

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年9月29日(29.09.2022)



(10) 国際公開番号

WO 2022/201861 A1

(51) 国際特許分類:
H01L 27/146 (2006.01) *H04N 5/369* (2011.01)

神奈川県厚木市旭町四丁目14番
1号 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2022/003514

(72) 発明者: 高橋 洋 (TAKAHASHI, Hiroshi);

(22) 国際出願日: 2022年1月31日(31.01.2022)

〒2430014 神奈川県厚木市旭町四丁目14番1

(25) 国際出願の言語: 日本語

号 ソニーセミコンダクタソリューションズ株

(26) 国際公開の言語: 日本語

式会社内 Kanagawa (JP). 池原 成拓(IKEHARA,

(30) 優先権データ:

〒2430014 神奈川県厚木市旭町四丁

特願 2021-050667 2021年3月24日(24.03.2021) JP

目14番1号 ソニーセミコンダクタソリュ

(71) 出願人: ソニーセミコンダクタソリュー
ションズ株式会社(SONY SEMICONDUCTOR SO-
LUTIONS CORPORATION) [JP/JP]; 〒2430014

ーションズ株式会社内 Kanagawa (JP). 飯島 匡

(IIJIMA, Tadashi); 〒2430014 神奈川県厚木市

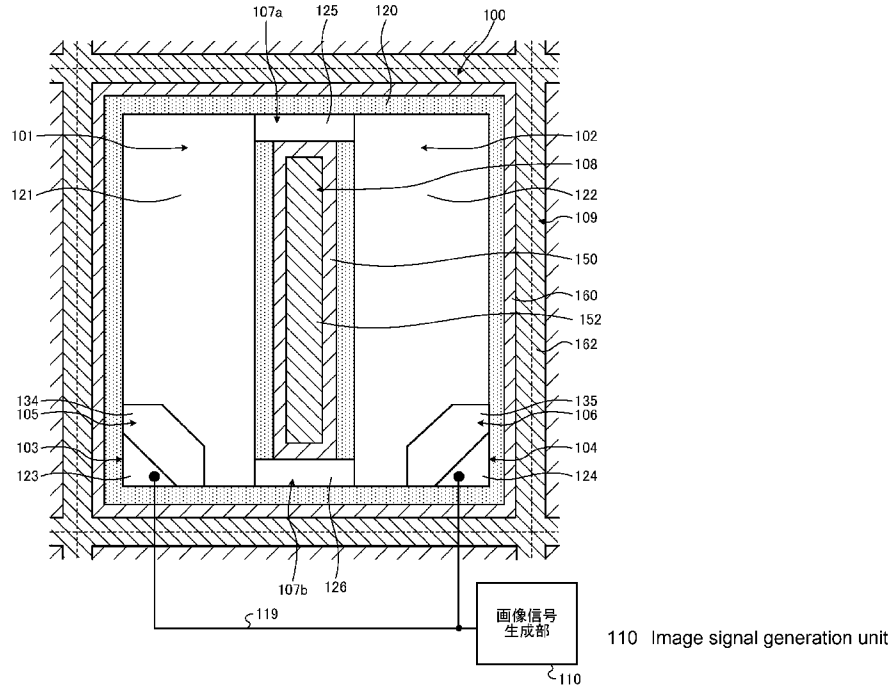
旭町四丁目14番1号 ソニーセミコンダクタソ

リューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 弁理士法人 酒井国際特許
事務所 (SAKAI INTERNATIONAL PATENT

(54) Title: IMAGING ELEMENT AND IMAGING DEVICE

(54) 発明の名称: 撮像素子及び撮像装置



(57) Abstract: According to the present invention, a plurality of photoelectric conversion units arranged in pixels are separated from each other. An imaging element according to the present disclosure includes the pixels, overflow paths, pixel separation units, pixel separation electrodes, in-pixel separation units, and in-pixel separation electrodes. The pixels include a plurality of photoelectric conversion units that are formed on a semiconductor substrate on which a wiring region is disposed on the surface side thereof, and generate charges by performing photoelectric conversion of incident light from



WO 2022/201861 A1

OFFICE); 〒1000013 東京都千代田区霞が
関 3 丁目 8 番 1 号 虎の門三井ビル
ディング Tokyo (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

a subject. The overflow paths transfer charges between the plurality of photoelectric conversion units. The pixel separation units are disposed at the boundaries of the pixels. The pixel separation electrodes are disposed in the pixel separation units, and a first bias voltage is applied to the pixel separation electrodes. The in-pixel separation units separate the plurality of photoelectric conversion units. The in-pixel separation electrodes are disposed in the in-pixel separation units, and a second bias voltage is applied to the in-pixel separation electrodes.

(57) 要約: 画素に配置される複数の光電変換部同士を分離する。本開示の撮像素子は、画素と、オーバーフローパスと、画素分離部と、画素分離電極と、画素内分離部と、画素内分離電極とを有する。画素は、表面側に配線領域が配置される半導体基板に形成されて被写体からの入射光の光電変換を行って電荷を生成する複数の光電変換部を備える。オーバーフローパスは、複数の光電変換部同士において電荷を相互に転送する。画素分離部は、画素の境界に配置される。画素分離電極は、画素分離部に配置されて第1のバイアス電圧が印加される。画素内分離部は、複数の光電変換部を分離する。画素内分離電極は、画素内分離部に配置されて第2のバイアス電圧が印加される。

明 細 書

発明の名称：撮像素子及び撮像装置

技術分野

[0001] 本開示は、撮像素子及び撮像装置に関する。

背景技術

[0002] 入射光の光電変換を行う光電変換部を有する画素が2次元行列状に配置される撮像素子が使用されている。この撮像素子の画素は、光電変換により生成された電荷に基づいて画像信号を生成する。この撮像素子における画素同士の間には分離領域が配置され、画素間の電荷の移動が抑制される。これにより、画像信号のノイズを低減することができる。この分離領域は、光電変換部が配置される半導体基板に形成され、隣接する画素の光電変換部同士を分離する。しかし、分離領域と接する半導体基板の界面には、界面準位が形成される。この界面準位に補足された電荷（電子）が界面準位から解放されて拡散すると暗電流を生じる。この暗電流は光電変換によらない電荷による信号電流であるため、暗電流が光電変換部の生成電荷に重畳すると、画像信号に誤差を生じる。

[0003] そこで、分離領域を導電性の部材により構成して負極性のバイアス電圧を印加する撮像素子が提案されている（例えば、特許文献1参照）。負極性のバイアス電圧を印加することにより、分離領域に接する半導体基板の界面の近傍に正孔が蓄積する。この蓄積した正孔により界面準位からの電荷の移動が阻止され、暗電流を低減することができる。

先行技術文献

特許文献

[0004] 特許文献1：米国特許出願公開第2017／0170229号明細書

発明の概要

発明が解決しようとする課題

[0005] 撮像レンズの焦点位置を検出してオートフォーカスを行う撮像素子では、

被写体像の像面位相差を検出する画素である位相差画素が配置される。この位相差画素のうち、複数の光電変換部が1つの画素に配置される形式の位相差画素では、光電変換部同士を分離する分離部を画素内に配置する必要がある。しかしながら、上記の従来技術では、画素内の光電変換部同士を分離できないという問題がある。

[0006] そこで、本開示では、画素に配置される複数の光電変換部同士を分離する撮像素子及び撮像装置を提案する。

課題を解決するための手段

[0007] 本開示に係る撮像素子は、画素と、オーバーフローパスと、画素分離部と、画素分離電極と、画素内分離部と、画素内分離電極と、電荷保持部と、複数の電荷転送部と、画像信号生成部とを有する。上記画素は、表面側に配線領域が配置される半導体基板に形成されて被写体からの入射光の光電変換を行って電荷を生成する複数の光電変換部を備える。上記オーバーフローパスは、上記複数の光電変換部同士において電荷を相互に転送する。上記画素分離部は、上記画素の境界に配置される。上記画素分離電極は、上記画素分離部に配置されて第1のバイアス電圧が印加される。上記画素内分離部は、上記複数の光電変換部を分離する。上記画素内分離電極は、上記画素内分離部に配置されて第2のバイアス電圧が印加される。上記電荷保持部は、上記生成された電荷を保持する。上記複数の電荷転送部は、上記複数の光電変換部毎に配置されて上記光電変換部により生成される電荷を上記電荷保持部に転送して保持させる。上記画像信号生成部は、上記保持された電荷に基づいて画像信号を生成する。

図面の簡単な説明

[0008] [図1]本開示の実施形態に係る撮像装置の構成例を示す図である。

[図2]本開示の実施形態に係る画素の構成例を示す図である。

[図3]本開示の第1の実施形態に係る画素の構成例を示す図である。

[図4]本開示の第1の実施形態に係る画素の構成例を示す断面図である。

[図5A]本開示の第1の実施形態に係る裏面側配線の構成例を示す図である。

[図5B]本開示の第1の実施形態に係る裏面側配線の構成例を示す図である。

[図5C]本開示の第1の実施形態に係る裏面側配線の構成例を示す図である。

[図6]本開示の実施形態に係る画像信号及び位相差信号の生成の一例を示す図である。

[図7A]本開示の第1の実施形態に係る撮像素子の製造方法の一例を示す図である。

[図7B]本開示の第1の実施形態に係る撮像素子の製造方法の一例を示す図である。

[図7C]本開示の第1の実施形態に係る撮像素子の製造方法の一例を示す図である。

[図7D]本開示の第1の実施形態に係る撮像素子の製造方法の一例を示す図である。

[図7E]本開示の第1の実施形態に係る撮像素子の製造方法の一例を示す図である。

[図7F]本開示の第1の実施形態に係る撮像素子の製造方法の一例を示す図である。

[図7G]本開示の第1の実施形態に係る撮像素子の製造方法の一例を示す図である。

[図7H]本開示の第1の実施形態に係る撮像素子の製造方法の一例を示す図である。

[図7I]本開示の第1の実施形態に係る撮像素子の製造方法の一例を示す図である。

[図7J]本開示の第1の実施形態に係る撮像素子の製造方法の一例を示す図である。

[図7K]本開示の第1の実施形態に係る撮像素子の製造方法の一例を示す図である。

[図7L]本開示の第1の実施形態に係る撮像素子の製造方法の一例を示す図である。

[図7M]本開示の第1の実施形態に係る撮像素子の製造方法の一例を示す図である。

[図7N]本開示の第1の実施形態に係る撮像素子の製造方法の一例を示す図である。

[図7O]本開示の第1の実施形態に係る撮像素子の製造方法の一例を示す図である。

[図7P]本開示の第1の実施形態に係る撮像素子の製造方法の一例を示す図である。

[図7Q]本開示の第1の実施形態に係る撮像素子の製造方法の一例を示す図である。

[図7R]本開示の第1の実施形態に係る撮像素子の製造方法の一例を示す図である。

[図7S]本開示の第1の実施形態に係る撮像素子の製造方法の一例を示す図である。

[図8]本開示の第2の実施形態に係る画素の構成例を示す断面図である。

[図9]本開示の第3の実施形態に係る画素の構成例を示す断面図である。

[図10A]本開示の第4の実施形態に係る裏面側配線の構成例を示す図である。

[図10B]本開示の第4の実施形態に係る裏面側配線の構成例を示す図である。

[図11A]本開示の第4の実施形態に係る裏面側配線の他の構成例を示す図である。

[図11B]本開示の第4の実施形態に係る裏面側配線の他の構成例を示す図である。

[図11C]本開示の第4の実施形態に係る画素100の構成の変形例を示す図である。

[図11D]本開示の第4の実施形態に係る画素100の構成の変形例を示す図である。

[図12]本開示の第5の実施形態に係る画素の構成例を示す断面図である。

[図13A]本開示の第5の実施形態に係る撮像素子の製造方法の一例を示す図で

ある。

[図13B]本開示の第5の実施形態に係る撮像素子の製造方法の一例を示す図である。

[図13C]本開示の第5の実施形態に係る撮像素子の製造方法の一例を示す図である。

[図13D]本開示の第5の実施形態に係る撮像素子の製造方法の一例を示す図である。

[図13E]本開示の第5の実施形態に係る撮像素子の製造方法の一例を示す図である。

[図14]本開示の第6の実施形態に係る画素の構成例を示す断面図である。

[図15A]本開示の第6の実施形態に係る撮像素子の製造方法の一例を示す図である。

[図15B]本開示の第6の実施形態に係る撮像素子の製造方法の一例を示す図である。

[図15C]本開示の第6の実施形態に係る撮像素子の製造方法の一例を示す図である。

[図15D]本開示の第6の実施形態に係る撮像素子の製造方法の一例を示す図である。

[図16A]本開示の第6の実施形態に係る撮像素子の製造方法の他の例を示す図である。

[図16B]本開示の第6の実施形態に係る撮像素子の製造方法の他の例を示す図である。

[図16C]本開示の第6の実施形態に係る撮像素子の製造方法の他の例を示す図である。

[図16D]本開示の第6の実施形態に係る撮像素子の製造方法の他の例を示す図である。

[図16E]本開示の第6の実施形態に係る撮像素子の製造方法の他の例を示す図である。

[図16F]本開示の第6の実施形態に係る撮像素子の製造方法の他の例を示す図である。

[図16G]本開示の第6の実施形態に係る撮像素子の製造方法の他の例を示す図である。

[図16H]本開示の第6の実施形態に係る撮像素子の製造方法の他の例を示す図である。

[図17]本開示の第6の実施形態の第1の変形例に係る画素の構成例を示す断面図である。

[図18A]本開示の第6の実施形態の第2の変形例に係る画素の構成例を示す断面図である。

[図18B]本開示の第6の実施形態の第2の変形例に係る画素の構成例を示す断面図である。

[図19A]本開示の第6の実施形態の第2の変形例に係る画素の他の構成例を示す断面図である。

[図19B]本開示の第6の実施形態の第2の変形例に係る画素の他の構成例を示す断面図である。

[図20A]本開示の変形例に係る画素の構成例を示す図である。

[図20B]本開示の変形例に係る画素の構成例を示す図である。

[図20C]本開示の変形例に係る画素の構成例を示す図である。

[図21A]本開示の変形例に係る画素の他の構成例を示す図である。

[図21B]本開示の変形例に係る画素の他の構成例を示す図である。

[図22]電子機器に搭載される撮像装置の構成例を示すブロック図である。

発明を実施するための形態

[0009] 以下に、本開示の実施形態について図面に基づいて詳細に説明する。説明は、以下の順に行う。なお、以下の各実施形態において、同一の部位には同一の符号を付することにより重複する説明を省略する。

1. 第1の実施形態

2. 第2の実施形態

3. 第3の実施形態
4. 第4の実施形態
5. 第5の実施形態
6. 第6の実施形態
7. 変形例
8. 撮像装置の構成例

[0010] (1. 第1の実施形態)

[撮像素子の構成]

図1は、本開示の実施形態に係る撮像素子の構成例を示す図である。本例の撮像素子1は、図1に示すように、半導体基板11例えばシリコン基板に複数の光電変換素子を含む画素100が規則的に2次元的に配列された画素領域（いわゆる撮像領域）3と、周辺回路部とを有して構成される。画素100は、光電変換素子、例えば、フォトダイオードと、複数の画素トランジスタ（いわゆるMOSトランジスタ）を有して成る。複数の画素トランジスタは、例えば転送トランジスタ（後述する電荷転送部）、リセットトランジスタ及び増幅トランジスタの3つのトランジスタで構成することができる。その他、選択トランジスタを追加して4つのトランジスタで構成することもできる。画素100は、共有画素構造とすることもできる。この画素共有構造は、複数のフォトダイオードと、複数の転送トランジスタと、共有する1つの浮遊拡散領域と、共有する1つずつの他の画素トランジスタとから構成される。

[0011] 周辺回路部は、垂直駆動回路4と、カラム信号処理回路5と、水平駆動回路6と、出力回路7と、制御回路8などを有して構成される。

[0012] 制御回路8は、入力クロックと、動作モードなどを指令するデータを受け取り、また撮像素子の内部情報などのデータを出力する。すなわち、制御回路8では、垂直同期信号、水平同期信号及びマスタクロックに基づいて、垂直駆動回路4、カラム信号処理回路5及び水平駆動回路6などの動作の基準となるクロック信号や制御信号を生成する。そして、これらの信号を垂直駆

動回路 4、カラム信号処理回路 5 及び水平駆動回路 6 等に入力する。

[0013] 垂直駆動回路 4 は、例えばシフトレジスタによって構成され、画素駆動配線 13 を選択し、選択された画素駆動配線に画素を駆動するためのパルスを提供し、行単位で画素を駆動する。すなわち、垂直駆動回路 4 は、画素領域 3 の各画素 100 を行単位で順次垂直方向に選択走査し、垂直信号線 9 を通して各画素 100 の光電変換素子となる例えばフォトダイオードにおいて受光量に応じて生成した信号電荷に基づく画素信号をカラム信号処理回路 5 に供給する。

[0014] カラム信号処理回路 5 は、画素 100 の例えば列ごとに配置されており、1 行分の画素 100 から出力される信号を画素列ごとにノイズ除去などの信号処理を行う。すなわちカラム信号処理回路 5 は、画素 100 固有の固定パターンノイズを除去するための CDS (Correlated Double Sampling) や、信号増幅、AD 変換等の信号処理を行う。カラム信号処理回路 5 の出力段には水平選択スイッチ（図示せず）が水平信号線 10 との間に接続されて設けられる。

[0015] 水平駆動回路 6 は、例えばシフトレジスタによって構成され、水平走査パルスを順次出力することによって、カラム信号処理回路 5 の各々を順番に選択し、カラム信号処理回路 5 の各々から画素信号を水平信号線 10 に出力させる。

[0016] 出力回路 7 は、カラム信号処理回路 5 の各々から水平信号線 10 を通して順次に供給される信号に対し、信号処理を行って出力する。例えば、バッファリングだけする場合もあるし、黒レベル調整、列ばらつき補正、各種デジタル信号処理などが行われる場合もある。入出力端子 12 は、外部と信号のやりとりをする。

[0017] [撮像素子の構成]

図 2 は、本開示の実施形態に係る画素の構成例を示す図である。同図は、画素 100 の構成例を表す回路図である。画素 100 は、光電変換部 101 及び 102 と、電荷保持部 103 及び 104 と、電荷転送部 105 及び 10

6と、リセットトランジスタ111と、増幅トランジスタ112と、選択トランジスタ113と、オーバーフローパス107と、画素内分離電極108と、画素分離電極109とを備える。なお、リセットトランジスタ111、増幅トランジスタ112及び選択トランジスタ113により構成される回路は、画像信号生成部110を構成する。

[0018] 光電変換部101及び102は、フォトダイオードにより構成することができる。また、電荷転送部105及び106、リセットトランジスタ111、増幅トランジスタ112及び選択トランジスタ113は、 n チャネルMOSトランジスタにより構成することができる。この n チャネルMOSトランジスタでは、ゲートソース間電圧 V_{gs} の閾値を超える電圧をゲートに印加することにより、ドレインソース間を導通させることができる。以下、このゲートソース間電圧 V_{gs} の閾値を超える電圧をオン電圧と称する。また、このオン電圧を含む制御信号をオン信号と称する。制御信号は、後述する信号線TRG1等により伝達される。

[0019] 前述のように、画素100には、画素駆動配線13及び垂直信号線9が配線される。同図の画素駆動配線13には、信号線Vb1、信号線Vb2、信号線TRG1、信号線TRG2、信号線RST、信号線SELが含まれる。また、垂直信号線9には、信号線VOが含まれる。この他、画素100には、電源線Vddが配線される。この電源線Vddは、画素100に電源を供給する配線である。

[0020] 光電変換部101のアノードは接地され、カソードは電荷転送部105のソースに接続される。光電変換部102のアノードは接地され、カソードは電荷転送部106のソースに接続される。電荷転送部105のドレインは、リセットトランジスタ111のソース、増幅トランジスタ112のゲート、電荷転送部106のドレイン、電荷保持部103の一端及び電荷保持部104の一端に接続される。電荷保持部103の他の一端及び104の他の一端は接地される。リセットトランジスタ111のドレインは、電源線Vddに接続される。増幅トランジスタ112のドレインは電源線Vddに接続され

、ソースは選択トランジスタ 113 のドレインに接続される。選択トランジスタ 113 のソースは、信号線 V_O に接続される。

[0021] オーバーフローパス 107 は、光電変換部 101 のカソード及び光電変換部 102 のカソードの間に接続される。画素内分離電極 108 は、信号線 V_{b2} に接続される。画素分離電極 109 は、信号線 V_{b1} に接続される。電荷転送部 105 のゲート及び電荷転送部 106 のゲートには、それぞれ信号線 T_{RG1} 及び信号線 T_{RG2} が接続される。リセットトランジスタ 111 のゲート及び選択トランジスタ 113 のゲートには、それぞれ信号線 R_{ST} 及び信号線 S_{EL} が接続される。

[0022] 光電変換部 101 及び 102 は、入射光の光電変換を行うものである。この光電変換部 101 及び 102 は、後述する半導体基板 120 に形成されるフォトダイオードにより構成することができる。光電変換部 101 及び 102 は、露光期間において入射光の光電変換を行うとともに光電変換により生成される電荷を保持する。

[0023] 電荷保持部 103 及び 104 は、光電変換部 101 及び 102 により生成される電荷を保持するものである。同図の電荷保持部 103 及び 104 は、並列に接続される場合の例を表したものである。電荷保持部 103 及び 104 は、半導体基板 120 に形成される半導体領域である浮遊拡散領域（F_D : Floating Diffusion）により構成することができる。

[0024] 電荷転送部 105 及び 106 は、電荷を転送するものである。電荷転送部 105 は光電変換部 101 の光電変換により生成される電荷を電荷保持部 103 及び 104 に転送し、電荷転送部 106 は光電変換部 102 の光電変換により生成される電荷を電荷保持部 103 及び 104 に転送する。この電荷転送部 105 及び 106 は、光電変換部 101 及び 102 と電荷保持部 103 及び 104 との間をそれぞれ導通させることにより、電荷を転送する。電荷転送部 105 及び 106 の制御信号は、信号線 T_{RG1} 及び T_{RG2} によりそれぞれ伝達される。

[0025] 画像信号生成部 110 は、電荷保持部 103 及び 104 に保持される電荷

に基づいて画像信号を生成するものである。前述のように、画像信号生成部 110 は、リセットトランジスタ 111、増幅トランジスタ 112 及び選択トランジスタ 113 により構成される。

[0026] リセットトランジスタ 111 は、電荷保持部 103 及び 104 をリセットするものである。このリセットは、電荷保持部 103 及び 104 と電源線 V_{dd} との間を導通して電荷保持部 103 及び 104 の電荷を排出することにより行うことができる。リセットトランジスタ 111 の制御信号は、信号線 RST により伝達される。

[0027] 増幅トランジスタ 112 は、電荷保持部 103 及び 104 の電圧を増幅するものである。増幅トランジスタ 112 のゲートは、電荷保持部 103 及び 104 に接続されている。このため、増幅トランジスタ 112 のソースには、電荷保持部 103 及び 104 に保持された電荷に応じた電圧の画像信号が生成される。また、選択トランジスタ 113 を導通させることにより、この画像信号を信号線 VO に出力させることができる。選択トランジスタ 113 の制御信号は、信号線 SEL により伝達される。

[0028] オーバーフローパス 107 は、光電変換部 101 及び 102 の間において電荷を相互に転送するものである。このオーバーフローパス 107 は、光電変換部 101 及び 102 の間に配置される半導体領域により構成することができる。

[0029] 画素内分離電極 108 は、後述する画素内分離部 150 に配置される電極である。この画素内分離電極 108 には、信号線 V_{b2} を介して第 2 のバイアス電圧が印加される。後述するように、画素内分離電極 108 は、光電変換部 101 及び 102 の間に配置される。

[0030] 画素分離電極 109 は、後述する画素分離部 160 に配置される電極である。この画素分離電極 109 には、信号線 V_{b1} を介して第 1 のバイアス電圧が印加される。後述するように、画素分離電極 109 は、光電変換部 101 及び 102 を含む画素 100 を囲繞する形状に構成される。

[0031] 画素 100 において位相差信号を生成する際には、電荷転送部 105 及び

106が光電変換部101及び102により生成される電荷を電荷保持部103及び104に個別に転送する。この電荷の転送を個別転送と称する。その後、電荷保持部103及び104に個別に転送された電荷に基づいて画像信号生成部110により位相差信号がそれぞれ生成される。以下、位相差信号を生成するモードを位相差信号モードと称する。

[0032] 一方、画素100において画像信号を生成する際には、電荷転送部105及び106が光電変換部101及び102により生成される電荷を電荷保持部103及び104に共通に転送する。この場合、電荷保持部103及び104は、光電変換部101及び102により生成される電荷を同時にまとめて保持する。この電荷の転送をまとめて転送と称する。また、この画像信号を生成するモードを画像信号モードと称する。

[0033] [撮像素子の平面の構成]

図3は、本開示の第1の実施形態に係る画素の構成例を示す図である。同図は、画素100の構成例を表す平面図である。同図は、半導体基板120の裏面側からみた画素100の構成を模式的に表した図である。同図の点線の矩形が画素100の領域を表す。また、白抜きの矩形は、半導体基板120に形成された半導体領域及びゲート電極を表す。画素100には光電変換部101及び102をそれぞれ構成する半導体領域121及び122が配置され、半導体領域121及び122に隣接して電荷転送部105及び106が配置される。同図には、電荷転送部105及び106のゲート電極134及び135を記載した。電荷転送部105及び106に隣接して電荷保持部103及び104を構成する半導体領域123及び124が配置される。なお、ゲート電極134及び135並びに半導体領域123及び124は、半導体基板120の表面側に配置される。

[0034] 後述する画素分離部160と画素内分離部150との間の半導体基板120には、オーバーフローパス107が配置される。同図の画素100は、2つのオーバーフローパス107a及び107bが配置される例を表したものである。オーバーフローパス107a及び107bは、それぞれ半導体領域

125及び126により構成される。

[0035] 光電変換部101及び102の間には、画素内分離部150が配置される。この画素内分離部150は、光電変換部101及び102を分離するものである。この画素内分離部150には、前述の画素内分離電極108を構成する電極152が配置される。また、画素100の境界には、画素分離部160が配置される。この画素分離部160は、画素100を囲繞する形状に構成されて隣接する画素100同士を分離する。この画素分離部160には、前述の画素分離電極109を構成する電極162が配置される。

[0036] なお、同図には、画像信号生成部110を更に記載した。同図は、画像信号生成部110が画素100以外の領域に配置される例を表したものである。同図の画素100は、信号線119により電荷保持部103及び104と接続される。

[0037] [撮像素子の断面の構成]

図4は、本開示の第1の実施形態に係る画素の構成例を示す断面図である。同図は、画素100の構成例を表す断面図である。同図の画素100は、半導体基板120と、絶縁膜133及び191と、配線領域140と、画素内分離部150と、画素分離部160と、画素内分離部配線181と、画素分離部配線182と、カラーフィルタ192と、遮光壁193と、平坦化膜194と、オンチップレンズ195とを備える。

[0038] 半導体基板120は、画素100の素子の拡散層が配置される半導体の基板である。この半導体基板120は、例えば、シリコン(Si)により構成することができる。光電変換部101等の素子は、半導体基板120に形成されたウェル領域に配置することができる。便宜上、同図の半導体基板120は、p型のウェル領域に構成されるものと想定する。このウェル領域にn型又はp型の半導体領域を配置することにより、素子の拡散層を形成することができる。同図には、光電変換部101及び102、電荷転送部105及び106、電荷保持部103及び104並びにオーバーフローパス107を記載した。

- [0039] 光電変換部101は、n型の半導体領域121により構成される。具体的には、n型の半導体領域121及び周囲のp型のウェル領域の界面のpn接合によるフォトダイオードが光電変換部101に該当する。同様に、光電変換部102は、n型の半導体領域122により構成される。露光期間に光電変換部101及び102の光電変換により生成される電荷は、n型の半導体領域121及び122にそれぞれ蓄積される。この蓄積された電荷が、露光期間の経過後に電荷転送部105及び106により電荷保持部103及び104に転送されて保持される。なお、同図の半導体領域121及び122は、一部が半導体基板120の表面側に展延される。この展延された領域は、後述する電荷転送部105及び106のソース領域を構成する。
- [0040] また、半導体基板120の表面側に電荷保持部103及び104を構成するn型の半導体領域123及び124が配置される。これらn型の半導体領域123及び124は、比較的高い不純物濃度の半導体領域であり、前述のFDを構成する。
- [0041] また、光電変換部101及び102をそれぞれ構成するn型の半導体領域121及び122の間にオーバーフローパス107を構成する半導体領域125が配置される。この半導体領域125は、半導体領域121及び122と同じ導電型に構成され、半導体領域121及び122に隣接して配置される。半導体領域125と半導体領域121及び122との間には、電位障壁が形成される。この電位障壁を低くすることにより、半導体領域121及び122の間において電荷を移動させることができる。
- [0042] 光電変換部101及び102の間には、画素内分離部150が配置される。この画素内分離部150は、絶縁部材により構成され、光電変換部101及び102を電氣的に分離する。同図の画素内分離部150は、半導体基板120の裏面側に配置される例を表したものであり、半導体基板120の裏面側から形成された溝部151に酸化シリコン(SiO_2)等の絶縁部材を埋め込むことにより構成することができる。
- [0043] 画素内分離部150には、画素内分離電極108が配置される。この画素

内分離電極 108 は、半導体基板 120 に形成された溝部 151 の中央部に電極 152 を配置することにより形成することができる。電極 152 は、例えば、タングステンにより構成することができる。

[0044] また、半導体基板 120 の表面側の光電変換部 101 及び 102 の間には、画素内分離領域 127 が配置される。この画素内分離領域 127 は、光電変換部 101 及び 102 の間の電荷の移動を防止する。画素内分離領域 127 は、ウェル領域と同じ導電型の比較的高い不純物濃度に構成される半導体領域により構成することができる。

[0045] また、画素 100 の境界の半導体基板 120 には、画素分離部 160 が配置される。この画素分離部 160 は、絶縁部材により構成され、画素 100 同士を電氣的に分離する。同図の画素分離部 160 は、半導体基板 120 の裏面側に配置される例を表したものである。また、同図の画素分離部 160 は、半導体基板 120 の表面側から形成された溝部 161 に SiO_2 等の絶縁部材を埋め込むことにより構成することができる。

[0046] 画素分離部 160 には、画素分離電極 109 が配置される。この画素分離電極 109 は、半導体基板 120 に形成された溝部 161 の中央部に電極 162 を配置することにより形成することができる。電極 162 は、例えば、タングステンにより構成することができる。

[0047] また、画素 100 の境界の半導体基板 120 の表面側には、分離部 131 が配置される。この分離部 131 は、半導体基板 120 の表面側に形成された比較的浅い溝部 132 に絶縁部材を埋め込むことにより構成することができる。この分離部 131 は、STI (Shallow Trench Isolation) と称される。分離部 131 は、画素分離部 160 に重なる位置に配置することができる。

[0048] 絶縁膜 133 は、半導体基板 120 の表面側を絶縁する膜である。この絶縁膜 133 は、 SiO_2 や窒化シリコン (SiN) により構成することができる。

[0049] 半導体基板 120 の表面側には、ゲート電極 134 及び 135 が配置され

る。ゲート電極 134 及び 135 は、それぞれ電荷転送部 105 及び 106 のゲートを構成する。ゲート電極 134 及び 135 は、多結晶シリコンにより構成することができる。なお、ゲート電極 134 及び 135 の下層の絶縁膜 133 は、ゲート絶縁膜を構成する。電荷転送部 105 は、半導体領域 121 及び半導体領域 123 をそれぞれソース領域及びドレイン領域とする MOS トランジスタにより構成される。同様に、電荷転送部 106 は、半導体領域 122 及び半導体領域 124 をそれぞれソース領域及びドレイン領域とする MOS トランジスタにより構成される。

[0050] 配線領域 140 は、半導体基板 120 の表面側に配置され、画素 100 の配線が配置される領域である。この配線領域 140 は、配線 142 及び絶縁層 141 を備える。配線 142 は、画素 100 の素子の信号等を伝達するものである。この配線 142 は、銅 (Cu) やタングステン等の導体により構成することができる。絶縁層 141 は、配線 142 等を絶縁するものである。この絶縁層 141 は、例えば、SiO₂ により構成することができる。また、半導体基板 120 の半導体領域やゲート電極 134 と配線 142 との間には、コンタクトプラグ 143 が配置される。このコンタクトプラグ 143 は、柱状の金属により構成することができる。

[0051] 絶縁膜 191 は、半導体基板 120 の裏面側を絶縁するものである。この絶縁膜 191 は、例えば、SiO₂ により構成することができる。

[0052] 画素内分離部配線 181 及び画素分離部配線 182 は、半導体基板 120 の裏面側に配置されて画素内分離電極 108 及び画素分離電極 109 と接続される配線である。画素内分離部配線 181 は画素内分離電極 108 に接続され、画素分離部配線 182 は画素分離電極 109 に接続される。画素内分離部配線 181 及び画素分離部配線 182 は、絶縁膜 191 に形成された開口部 189 を介して画素内分離電極 108 及び画素分離電極 109 と接続される。画素内分離部配線 181 及び画素分離部配線 182 は、タングステン等の金属により構成することができる。

[0053] カラーフィルタ 192 は、入射光のうちの所定の波長の光を透過する光学

的なフィルタである。カラーフィルタ 192 には、例えば、赤色光、緑色光及び青色光を透過するカラーフィルタを使用することができる。

[0054] 遮光壁 193 は、画素 100 の境界のカラーフィルタ 192 の領域に配置されて隣接する画素 100 からの入射光を遮光するものである。また、平坦化膜 194 は、カラーフィルタ 192 の表面を平坦化する膜である。

[0055] オンチップレンズ 195 は、入射光を集光するレンズである。このオンチップレンズ 195 は、半球形状に構成され、入射光を光電変換部 101 及び 102 に集光する。

[0056] 同図の画素 100 は、半導体基板 120 の裏面側に照射された入射光により撮像を行う。このような画素 100 を備える撮像素子 1 は、裏面照射型の撮像素子と称される。

[0057] 画素内分離部 150 及び画素分離部 160 は、半導体基板 120 に埋め込まれて構成される。この画素内分離部 150 及び画素分離部 160 と接する半導体基板 120 の界面には、前述のように界面準位が形成され、暗電流の原因となる。そこで、この半導体基板 120 の界面の近傍に正孔が蓄積された電荷蓄積領域を形成し、暗電流の影響を低減する。この電荷蓄積領域は、画素内分離電極 108 及び画素分離電極 109 に負のバイアス電圧を印加することにより形成することができる。このバイアス電圧の絶対値を高くすることにより、電荷蓄積領域の幅を増加させることができる。界面準位の影響をより低減することができる。

[0058] 一方、バイアス電圧の絶対値を高くして電荷蓄積領域を増加させると、光電変換部 101 及び 102 の飽和電荷量が低下する。電荷を蓄積可能な半導体領域が減少するためである。画素分離部 160 は、画素 100 を囲繞する形状に構成されるため、画素分離電極 109 のバイアス電圧の変化に対する飽和電荷量への影響が大きくなる。この画素分離電極 109 のバイアス電圧は、例えば、半導体基板 120 を構成する Si のバンドギャップに相当する電圧、例えば、 -1.4 V にすることができる。また、画素分離電極 109 に印加するバイアス電圧は、光電変換部 101 及び 102 に対する所望の電

荷の蓄積容量（後述する飽和電荷量）や画素分離部 160 を構成する絶縁部材の厚さに応じて調整し、Si のバンドギャップに相当する電圧とは異なる電圧、例えば、 -1.2 V にすることもできる。また、画素分離部 160 等に電荷蓄積領域が形成された後にバイアス電圧の絶対値を低くすることもできる。

[0059] なお、画素内分離電極 108 のバイアス電圧は、画素分離電極 109 のバイアス電圧と同じ電圧にすることができる。また、画素内分離電極 108 のバイアス電圧を画素分離電極 109 のバイアス電圧と異なる電圧にすることもできる。以下、画素分離電極 109 及び画素内分離電極 108 のバイアス電圧をそれぞれ第 1 のバイアス電圧及び第 2 のバイアス電圧と称する。

[0060] 前述のように、光電変換部 101 及び 102 は、露光期間に光電変換を行って電荷を生成し、自身の半導体領域 121 及び 122 にそれぞれ蓄積する。この半導体領域 121 等に蓄積可能な電荷量は、飽和電荷量と称される。この飽和電荷量を超えて生成される電荷は、半導体領域 121 及び 122 から溢れて電荷保持部 103 及び 104 に移動する。この電荷保持部 103 及び 104 に移動した電荷は、リセットにより排出される。

[0061] 光電変換部 101 及び 102 の生成電荷量が異なる場合、半導体領域 121 及び 122 にそれぞれ蓄積される電荷量も異なる値となる。例えば、製造工程におけるばらつきにより、オンチップレンズ 195 が光電変換部 101 の方にずれて配置された場合には、光電変換部 101 において多くの電荷が生成されて蓄積される。露光期間中にこの蓄積電荷量が飽和電荷量に達すると、光電変換部 101 において電荷溢れを生じる。一方、光電変換部 102 は、蓄積電荷量が飽和電荷量に達していないため、電荷の蓄積が継続される。この状況は、前述のまとめ転送を行う画像信号モードにおいて問題となる。まとめ転送では、光電変換部 101 及び 102 により生成された電荷が加算されるため、光電変換部 101 の電荷溢れを生じた時点において加算後の電荷量の増加が鈍化してしまい、画像信号の直線性が損なわれるためである。

[0062] そこで、オーバーフローパス 107 を配置し、光電変換部 101 の蓄積電荷量が飽和電荷量に達する前に光電変換部 102 に電荷を移動させる。これにより、画像信号の直線性を維持することができる。画素内分離電極 108 に負極性の第 2 のバイアス電圧を印加することによりオーバーフローパス 107 の電位障壁を調整することができる。例えば、画素内分離電極 108 に -0.5 V の第 2 のバイアス電圧を印加することにより、オーバーフローパス 107 の電位障壁を低くすることができる。光電変換部 101 及び 102 との間において電荷を相互に転送することが可能となる。

[0063] 一方、個別転送を行う位相差信号モードにおいては、オーバーフローパス 107 の電位障壁を高くして光電変換部 101 及び 102 の間の電荷の移動を制限する。これにより、光電変換部 101 及び 102 の飽和電荷量が増加する。位相差信号の振幅を高くすることができ、像面位相差の検出範囲を広くすることができる。位相差信号モードにおける第 2 のバイアス電圧は、例えば、 -2 V にすることができる。

[0064] [裏面側配線の構成]

図 5 A - 5 C は、本開示の第 1 の実施形態に係る裏面側配線の構成例を示す図である。同図は、画素内分離部配線 181 及び画素分離部配線 182 の構成例を表す図である。

[0065] 図 5 A は、画素内分離部配線 181 及び画素分離部配線 182 が、画素内分離電極 108 と同じ向きに配置される例を表した図である。

[0066] 図 5 B は、画素内分離部配線 181 及び画素分離部配線 182 が、画素内分離電極 108 と異なる向きに配置される例を表した図である。

[0067] 図 5 C は、画素 100 の境界における画素内分離部配線 181 及び画素分離部配線 182 の断面の構成を表した図である。画素 100 の境界には、遮光壁 193 が配置される。この遮光壁 193 は、画素内分離部配線 181 及び画素分離部配線 182 を覆う形状に構成される。また、遮光壁 193 は、画素内分離部配線 181 及び画素分離部配線 182 の配置有無に応じて厚さが調整される。これにより、遮光壁 193 の表面を平坦にすることができる。

。

[0068] なお、同図の画素内分離部配線 181 及び画素分離部配線 182 は、半導体基板 120 を貫通する貫通ビアにより配線領域 140 の配線 142 と接続することができる。この貫通ビアは、図 1 において説明した画素領域 3 の外側の領域に配置することができる。

[0069] [画像信号及び位相差信号の生成]

図 6 は、本開示の実施形態に係る画像信号及び位相差信号の生成の一例を示す図である。同図は、画素 100 における画像信号及び位相差信号の生成の一例を表すタイミング図である。

[0070] 同図の「RST」、「SEL」、「TRG1」及び「TRG2」は、それぞれ信号線 RST、信号線 SEL、信号線 TRG1 及び信号線 TRG2 の信号を表す。これらは、2 値化された制御信号の波形を表し、値「1」の部分がオン信号の伝達される領域を表す。また、「Vb1」は、信号線 Vb1 により伝達される第 1 のバイアス電圧を表す。また、「Vb2」は、信号線 Vb2 により伝達される第 2 のバイアス電圧を表す。また、破線は、0V のレベルを表す。また、「VO」は、信号線 VO の出力を表す。同図の前半は位相差信号モードの手順を表し、後半は画像信号モードの手順を表す。

[0071] 位相差信号モードの初期状態において、信号線 RST、信号線 SEL、信号線 TRG1 及び信号線 TRG2 には、値「0」が印加される。また、信号線 Vb2 には、 $-2V$ のバイアス電圧を印加する。なお、位相差信号モードの全期間において、信号線 Vb1 には $-1.2V$ のバイアス電圧が印加される。

[0072] T1 において、信号線 RST、TRG1 及び TRG2 にオン信号を印加する。これにより、リセットトランジスタ 111、電荷転送部 105 及び 106 が導通し、光電変換部 101 及び 102 並びに電荷保持部 103 及び 104 がリセットされる。また、信号線 Vb2 に 0V のバイアス電圧が印加される。オーバーフローパス 107 の電位障壁が低くなり、電荷が排出される。

[0073] T2 において、信号線 RST、TRG1 及び TRG2 へのオン信号の印加

が停止される。これにより、露光期間が開始され、光電変換部 101 及び 102 に光電変換により生成された電荷が蓄積される。また、信号線 Vb2 のバイアス電圧は、 -2 V に戻る。

[0074] T3 において、信号線 SEL にオン信号が印加される。信号線 SEL へのオン信号の印加は、画素部 3 の 1 行分の画素 100 の位相差信号の出力まで継続する。

[0075] T4 において、信号線 RST にオン信号が印加され、電荷保持部 103 及び 104 がリセットされる。また、信号線 Vb2 に 0 V のバイアス電圧が印加される。T6 において、露光期間が終了する。

[0076] T5 において、信号線 RST へのオン信号の印加が停止される。また、信号線 Vb2 のバイアス電圧は、 -2 V に戻る。次の T6 までの期間においてリセット時の画像信号 a が信号線 VO から出力される。

[0077] T6 において、信号線 TRG1 にオン信号が印加される。電荷転送部 105 が導通し、光電変換部 101 に蓄積された電荷が電荷保持部 103 及び 104 に転送される。

[0078] T7 において、信号線 TRG1 へのオン信号の印加が停止される。次の T8 までの期間において、光電変換部 101 の電荷に応じた画像信号 b が信号線 VO から出力される。画像信号 a 及び画像信号 b により前述の CDS が実行され、位相差信号が生成される。

[0079] T8 において、信号線 RST にオン信号が印加され、電荷保持部 103 及び 104 がリセットされる。また、信号線 Vb2 に 0 V のバイアス電圧が印加される。

[0080] T9 において、信号線 RST へのオン信号の印加が停止される。また、信号線 Vb2 のバイアス電圧は、 -2 V に戻る。

[0081] T10 において、信号線 TRG2 にオン信号が印加される。電荷転送部 106 が導通し、光電変換部 102 に蓄積された電荷が電荷保持部 103 及び 104 に転送される。

[0082] T11 において、信号線 TRG2 へのオン信号の印加が停止される。その

後、光電変換部 102 の電荷に応じた画像信号 c が信号線 VO から出力される。上述の画像信号 a 及び画像信号 c により CDS が実行され、2 つ目の位相差信号が生成される。

[0083] このように、位相差信号モードにおいて 2 つの位相差信号を生成することができる。次に、画像信号モードを説明する。

[0084] 画像信号モードの初期状態において、信号線 RST、信号線 SEL、信号線 TRG1 及び信号線 TRG2 には、値「0」が印加される。また、信号線 Vb2 には、 -0.3 V のバイアス電圧を印加する。なお、画像信号モードの全期間において、信号線 Vb1 には -1.4 V のバイアス電圧が印加される。

[0085] T12 において、信号線 RST、TRG1 及び TRG2 にオン信号を印加する。これにより、リセットトランジスタ 111、電荷転送部 105 及び 106 が導通し、光電変換部 101 及び 102 並びに電荷保持部 103 及び 104 がリセットされる。また、信号線 Vb2 に 0 V のバイアス電圧が印加される。

[0086] T13 において、信号線 RST、TRG1 及び TRG2 へのオン信号の印加が停止される。また、信号線 Vb2 のバイアス電圧は、 -0.3 V に戻る。これにより、露光期間が開始され、光電変換部 101 及び 102 に光電変換により生成された電荷が蓄積される。

[0087] T14 において、信号線 SEL にオン信号が印加される。信号線 SEL へのオン信号の印加は、画素部 3 の 1 行分の画素 100 の画像信号の出力まで継続する。

[0088] T15 において、信号線 RST にオン信号が印加され、電荷保持部 103 及び 104 がリセットされる。また、信号線 Vb2 に 0 V のバイアス電圧が印加される。T15 において、露光期間が終了する。

[0089] T16 において、信号線 RST へのオン信号の印加が停止される。また、信号線 Vb2 のバイアス電圧は、 -0.3 V に戻る。次の T17 までの期間においてリセット時の画像信号 d が信号線 VO から出力される。

[0090] T 1 7 において、信号線 T R G 1 及び T R G 2 にオン信号が印加される。電荷転送部 1 0 5 及び 1 0 6 が導通し、光電変換部 1 0 1 及び 1 0 2 に蓄積された電荷が電荷保持部 1 0 3 及び 1 0 4 に転送される。

[0091] T 1 8 において、信号線 T R G 1 及び T R G 2 へのオン信号の印加が停止される。その後、光電変換部 1 0 1 及び 1 0 2 の電荷に応じた画像信号 e が信号線 V O から出力される。画像信号 d 及び画像信号 e により C D S が実行され、画像信号が生成される。

[0092] 以上の手順により、位相差信号及び画像信号を生成することができる。なお、上述の信号線 V b 1 及び V b 2 のバイアス電圧は、例として記載したものであり、他の電圧のバイアス電圧を適用することもできる。

[0093] [撮像素子の製造方法]

図 7 A - 7 S は、本開示の第 1 の実施形態に係る撮像素子の製造方法の一例を示す図である。同図は、撮像素子 1 の製造工程の一例を表す図である。

[0094] まず、半導体基板 1 2 0 にウェル領域を形成し、半導体領域 1 2 1 (不図示)等を形成する(図 7 A)。

[0095] 次に、半導体基板 1 2 0 の表面側の分離部 1 3 1 を配置する領域に溝部 1 3 2 を形成する。これは、ドライエッチングにより行うことができる。次に、溝部 1 3 2 に絶縁膜 5 0 9 を配置する(図 7 B)。これは、C V D (Chemical Vapor Deposition)等を使用して S i O₂等の絶縁部材を溝部 1 3 2 に埋め込み、表面を平坦化することにより行うことができる。

[0096] 次に、半導体基板 1 2 0 の表面側の画素分離部 1 6 0 を配置する領域に溝部 1 6 1 を形成する(図 7 C)。これは、ドライエッチングにより行うことができる。

[0097] 次に、溝部 1 6 1 の壁面に絶縁部材を配置して画素分離部 1 6 0 を形成する(図 7 D)。これは、C V D等を使用して S i O₂等の膜を成膜することにより行うことができる。

[0098] 次に、溝部 1 6 1 に電極 1 6 2 を配置して画素分離電極 1 0 9 を形成する(図 7 E)。これは、C V D等を使用してタングステン等の膜を成膜するこ

とにより行うことができる。

[0099] 次に、画素分離電極 109 の表面側をエッチングにより除去し、開口部 501 を形成する（図 7 F）。

[0100] 次に、開口部 501 に絶縁部材を配置して分離部 131 を形成する（図 7 G）。これは、CVD 等を使用して SiO_2 等の膜を成膜することにより行うことができる。

[0101] 次に、半導体基板 120 の表面側に、画素内分離領域 127 を形成する（図 7 H）。これは、イオン注入により行うことができる。

[0102] 次に、半導体基板 120 の表面側に絶縁膜 133（不図示）やゲート電極 134 及び 135（不図示）を形成する。次に、配線領域 140 を形成する（図 7 I）。

[0103] 次に、半導体基板 120 の天地を反転して裏面側を研削し、薄肉化する。半導体基板 120 の研削は、CMP（Chemical Mechanical Polishing）により行うことができる。これにより、画素分離部 160 及び画素分離電極 109 が半導体基板 120 の裏面側に露出する形状になる（図 7 J）。

[0104] 次に、半導体基板 120 の裏面側の画素内分離部 150 を配置する領域に溝部 151 を形成する（図 7 K）。これは、ドライエッチングにより行うことができる。

[0105] 次に、溝部 151 の壁面に絶縁部材を配置して画素内分離部 150 を形成する（図 7 L）。これは、CVD 等を使用して SiO_2 等の膜を成膜することにより行うことができる。

[0106] 次に、溝部 151 に電極 152 を配置して画素内分離電極 108 を形成する（図 7 M）。これは、CVD 等を使用してタングステン等の膜を成膜することにより行うことができる。

[0107] 次に、半導体基板 120 の裏面側に絶縁膜 191 を配置する（図 7 N）。これは、CVD 等を使用して SiO_2 等の膜を成膜することにより行うことができる。

[0108] 次に、画素内分離電極 108 及び画素分離電極 109 に隣接する絶縁膜 1

91に開口部199を形成する(図7O)。

[0109] 次に、開口部199を含む半導体基板120の裏面側に、画素内分離部配線181等の材料膜502を配置する(図7P)。これは、CVD等を使用してタングステンの膜を成膜することにより行うことができる。

[0110] 次に、材料膜502をエッチングして画素内分離部配線181及び画素分離部配線182を形成する(図7Q)。

[0111] 次に、半導体基板120の裏面側の画素100の境界に遮光壁193を配置する(図7R)。

[0112] 次に、半導体基板120の裏面側に、カラーフィルタ192を形成する(図7S)。その後、平坦化膜194及びオンチップレンズ195を配置する。以上の工程により、撮像素子1を製造することができる。

[0113] このように、本開示の第1の実施形態の撮像素子1は、画素100に画素内分離部150を配置して画素100に配置される光電変換部101及び102を分離することができる。この画素内分離部150に画素内分離電極108を配置してバイアス電圧を印加することにより、電荷蓄積領域を形成し、暗電流を低減することができる。

[0114] (2. 第2の実施形態)

上述の第1の実施形態の撮像素子1は、画素100の境界に画素分離部160が配置されていた。これに対し、本開示の第2の実施形態の撮像素子1は、画素100の半導体基板120を貫通する形状の画素分離部160が配置される点で、上述の第1の実施形態と異なる。

[0115] [撮像素子の断面の構成]

図8は、本開示の第2の実施形態に係る画素の構成例を示す断面図である。同図は、図4と同様に、画素100の構成例を表す断面図である。同図の画素100は、半導体基板120を貫通する形状の画素分離部160を備える点で、図4の画素100と異なる。

[0116] 同図の画素分離部160及び画素分離電極109は、半導体基板120を貫通する形状に構成される。なお、分離部131は、画素分離部160の一

部を構成する。画素分離電極 109 が半導体基板 120 を貫通する形状のため、画素 100 の境界の電荷蓄積領域の範囲を広くすることができる。なお、同図の画素分離電極 109 は、図 7 F 及び 7 G の工程を省略することにより形成することができる。

[0117] これ以外の撮像素子 1 の構成は本開示の第 1 の実施形態における撮像素子 1 の構成と同様であるため、説明を省略する。

[0118] このように、本開示の第 2 の実施形態の撮像素子 1 は、半導体基板 120 を貫通する形状の画素分離部 160 及び画素分離電極 109 を備える。これにより、画素 100 の境界の電荷蓄積領域を広くことができ、暗電流を更に低減することができる。

[0119] (3. 第 3 の実施形態)

上述の第 2 の実施形態の撮像素子 1 は、半導体基板 120 の裏面側に画素分離電極 109 の配線が配置されていた。これに対し、本開示の第 3 の実施形態の撮像素子 1 は、画素分離電極 109 の配線が半導体基板 120 の表面側に配置される点で、上述の第 2 の実施形態と異なる。

[0120] [撮像素子の断面の構成]

図 9 は、本開示の第 3 の実施形態に係る画素の構成例を示す断面図である。同図は、図 8 と同様に、画素 100 の構成例を表す断面図である。同図の画素 100 は、画素分離部配線 182 の代わりにコンタクトプラグ 143 及び配線 142 が画素分離電極 109 に接続される点で、図 8 の画素 100 と異なる。

[0121] 画素分離電極 109 は、半導体基板 120 を貫通する形状に構成される。このため、画素分離電極 109 に隣接する絶縁膜 133 に開口部を形成してコンタクトプラグ 143 を配置し、配線 142 と接続することができる。同図の画素分離電極 109 は、配線領域 140 の配線 142 を介して第 1 のバイア電圧が印加される。同図の画素 100 は、画素分離部配線 182 を省略することができる。

[0122] これ以外の撮像素子 1 の構成は本開示の第 2 の実施形態における撮像素子

1の構成と同様であるため、説明を省略する。

[0123] このように、本開示の第3の実施形態の撮像素子1は、配線領域140のコンタクトプラグ143及び配線142を使用して画素分離電極109に第1のバイア電圧を印加する。画素分離部配線182を省略することができ、画素100の構成を簡略化することができる。

[0124] (4. 第4の実施形態)

上述の第1の実施形態の撮像素子1は、タングステン等の金属により構成される画素内分離部配線181及び画素分離部配線182を使用していた。これに対し、本開示の第4の実施形態の撮像素子1は、透明な部材により構成される裏面側配線を使用する点で、上述の第1の実施形態と異なる。

[0125] [裏面側配線の構成]

図10A及び10Bは、本開示の第4の実施形態に係る裏面側配線の構成例を示す図である。同図は、図5A及び5Bと同様に、裏面側配線の構成例を表す平面図である。同図の画素100は、画素内分離部配線181及び画素分離部配線182の代わりに画素内分離部配線183及び画素分離部配線184を備える点で、図5A及び5Bと異なる。

[0126] 画素内分離部配線183及び画素分離部配線184は、透明導電膜等の透明な部材により構成される配線である。画素内分離部配線183は画素内分離電極108に接続され、画素分離部配線184は画素分離電極109に接続される。画素内分離部配線183及び画素分離部配線184は、例えば、ITO(Indium Tin Oxide)、 In_2O_3 、ZnO(Zinc Oxide)、IZO(Indium Zinc Oxide)及びIGZO(In-Ga-Zn-O)により構成することができる。

[0127] 図10Aは画素内分離部配線183及び画素分離部配線184が、画素内分離電極108と同じ向きに配置される例を表し、図10Bは画素内分離部配線183及び画素分離部配線184が、画素内分離電極108と異なる向きに配置される例を表す。

[0128] [裏面側配線の他の構成]

図11A及び11Bは、本開示の第4の実施形態に係る裏面側配線の他の

構成例を示す図である。同図は、図10A及び10Bと同様に、裏面側配線の構成例を表す平面図である。同図の画素内分離部配線183は、画素分離部配線184と異なる幅に構成される点で、図10A及び10Bの画素内分離部配線183と異なる。

[0129] 同図の画素内分離部配線183は、画素100の裏側の広い範囲を覆う形状に構成される。通常、透明導電膜は、金属膜と比較して導電率が低くなる。このため、画素内分離部配線183は、金属膜により構成される画素内分離部配線181より高い抵抗値となる。図6に表したように、第2のバイアス電圧は、頻繁に電圧が変化する。この第2のバイアス電圧を伝達する画素内分離部配線183の抵抗値が高い場合、遅延時間が増加するとともに、画素100毎の第2のバイアス電圧に差異を生じる。このため、画像信号にムラを生じることとなる。

[0130] そこで、図11A及び11Bに表したように、画素内分離部配線183を幅広に構成する。これにより、画素内分離部配線183を低抵抗化することができ、第2のバイアス電圧の伝達の遅延時間を短縮することができる。

[0131] [変形例]

図11C及び11Dは、本開示の第4の実施形態に係る画素100の構成の変形例を示す図である。同図の画素内分離電極108は、画素内分離領域127とは異なる方向に配置され、光電変換部101及び102の境界と垂直な方向に配置される例を表したものである。この画素内分離電極108により入射光を光電変換部101等の領域に反射することができる。画素100の変換効率を向上させることができる。

[0132] これ以外の撮像素子1の構成は本開示の第1の実施形態における撮像素子1の構成と同様であるため、説明を省略する。

[0133] このように、本開示の第4の実施形態の撮像素子1は、画素100に透明な部材により構成される画素内分離部配線183及び画素分離部配線184を備える。これにより、光電変換部101への入射光量を増加させることができる。画素100の感度を向上させることができる。

[0134] (5. 第5の実施形態)

上述の第1の実施形態の撮像素子1は、半導体基板120の裏面側に配置される画素内分離部150及び画素分離部160を備えていた。これに対し、本開示の第5の実施形態の撮像素子1は、半導体基板120の両面に画素内分離部及び画素分離部を備える点で、上述の第1の実施形態と異なる。

[0135] [撮像素子の断面の構成]

図12は、本開示の第5の実施形態に係る画素の構成例を示す断面図である。同図は、図4と同様に、画素100の構成例を表す断面図である。同図の画素100は、画素内分離領域127の代わりに画素内分離部154が配置され、画素分離部164が更に配置される点で、図4の画素100と異なる。

[0136] 画素内分離部154は、半導体基板120の表面側に配置される画素内分離部である。この画素内分離部154は、半導体基板120の表面側から形成された溝部155に絶縁部材を埋め込むことにより形成することができる。また、画素内分離部154には、画素内分離電極108を更に配置することができる。なお、画素内分離部150及び画素内分離部154にそれぞれ配置される画素内分離電極108を符号「a」及び「b」を付記して区別する。画素内分離電極108bは、溝部155の中央部に配置された電極156により構成することができる。

[0137] また、同図の画素分離部160は、半導体基板120の表面側に配置される。半導体基板120の裏面側の画素100の境界には、画素分離部164が配置される。この画素分離部164は、半導体基板120の裏面側から形成された溝部165に絶縁部材を埋め込むことにより形成することができる。また、画素分離部164には、画素分離電極109を更に配置することができる。なお、画素分離部160及び画素分離部164にそれぞれ配置される画素分離電極109を符号「a」及び「b」を付記して区別する。画素分離電極109bは、溝部165の中央部に配置された電極166により構成することができる。

[0138] また、同図の画素１００は、オーバーフローパス１０７ａ及び１０７ｂを備える。オーバーフローパス１０７ａは、画素内分離部１５０と画素分離部１６４との間に配置される半導体領域１２５により構成されるオーバーフローパスである。オーバーフローパス１０７ｂは、画素内分離部１５０及び１５４の間に配置される半導体領域１２８により構成されるオーバーフローパスである。なお、オーバーフローパス１０７ａ及び１０７ｂは、何れか一方を配置する構成にすることもできる。

[0139] 画素内分離電極１０８ｂには、画素内分離電極１０８ａと同じ第２のバイアス電圧を印加することができる。また、画素内分離電極１０８ｂに、画素内分離電極１０８ａとは異なる第２のバイアス電圧を印加することもできる。

[0140] 画素分離電極１０９ａには画素分離部配線１８４が接続される。一方、画素分離電極１０９ｂには、配線領域１４０のコンタクトプラグ１４３及び配線１４２を接続することができる。画素分離電極１０９ｂには、画素分離電極１０９ａと同じ第１のバイアス電圧を印加することができる。また、画素分離電極１０９ｂに、画素分離電極１０９ａとは異なる第１のバイアス電圧を印加することもできる。

[0141] 同図の画素１００は、半導体基板１２０の両面に画素内分離電極１０８ａ及び１０８ｂ並びに画素分離電極１０９ａ及び１０９ｂを備える。これらに印加するバイアス電圧をそれぞれ調整することにより、光電変換部１０１及び１０２の飽和電荷量及び暗電流の調整を半導体基板１２０の両面のそれぞれにおいて行うことができる。

[0142] なお、画素内分離部１５４は、請求の範囲に記載の第２の画素内分離部の一例である。画素内分離電極１０８ｂは、請求の範囲に記載の第２の画素内分離電極の一例である。同図の画素分離部１６０は、請求の範囲に記載の第２の画素分離部の一例である。同図の画素分離電極１０９ｂは、請求の範囲に記載の第２の画素分離電極の一例である。

[0143] [撮像素子の製造方法]

図 1 3 A – 1 3 E は、本開示の第 5 の実施形態に係る撮像素子の製造方法の一例を示す図である。同図は、本開示の第 5 の実施形態に係る撮像素子 1 の製造工程のうちの画素内分離部 1 5 0 及び 1 5 4 並びに画素分離部 1 6 0 及び 1 6 4 の部分の製造工程の一例を表す図である。

[0144] まず、半導体基板 1 2 0 の表面側に溝部 1 6 1 及び 1 5 5 を形成する。次に、溝部 1 6 1 及び 1 5 5 の壁面に絶縁部材を配置して画素内分離部 1 5 4 及び画素分離部 1 6 0 を形成する。次に、溝部 1 6 1 及び 1 5 5 に導電部材を配置して電極 1 5 6 及び 1 6 2 を形成する（図 1 3 A）。

[0145] 次に、半導体基板 1 2 0 の表面側に配線領域 1 4 0 を形成する。次に、半導体基板 1 2 0 の天地を反転し、半導体基板 1 2 0 の裏面側を研削する（図 1 3 B）。

[0146] 次に、半導体基板 1 2 0 の裏面側に溝部 1 5 1 及び 1 6 5 を形成する（図 1 3 C）。

[0147] 次に、溝部 1 5 1 及び 1 6 5 の壁面に絶縁部材を配置して画素内分離部 1 5 0 及び画素分離部 1 6 4 を形成する（図 1 3 D）。

[0148] 次に、溝部 1 5 1 及び 1 6 5 に導電部材を配置して電極 1 5 6 及び 1 6 2 を形成する（図 1 3 E）。

[0149] これ以外の撮像素子 1 の構成は本開示の第 1 の実施形態における撮像素子 1 の構成と同様であるため、説明を省略する。

[0150] このように、本開示の第 5 の実施形態の撮像素子 1 は、半導体基板 1 2 0 の両面に画素内分離電極 1 0 8 a 及び 1 0 8 b 並びに画素分離電極 1 0 9 a 及び 1 0 9 b を備える。これらに印加するバイアス電圧をそれぞれ調整することが可能となり、印加するバイアス電圧を最適化することができる。

[0151] （6. 第 6 の実施形態）

上述の第 1 の実施形態の撮像素子 1 は、金属の電極 1 5 2 及び 1 6 2 により構成される画素内分離電極 1 0 8 及び画素分離電極 1 0 9 を使用していた。これに対し、本開示の第 6 の実施形態の撮像素子 1 は、透明導電膜の電極により構成される画素内分離電極 1 0 8 及び画素分離電極 1 0 9 を使用する

点で、上述の第１の実施形態と異なる。

[0152] 〔撮像素子の断面の構成〕

図１４は、本開示の第６の実施形態に係る画素の構成例を示す断面図である。同図は、図４と同様に、画素１００の構成例を表す断面図である。同図の画素１００は、電極１５２の代わりに電極１５７が配置され、電極１６２の代わりに電極１６７が配置される点で、図４の画素１００と異なる。

[0153] 同図の画素内分離電極１０８は、電極１５７により構成される。また、同図の画素分離電極１０９は、電極１６７により構成される。これらの電極１５７及び１６７は、透明導電膜等の透明な部材により構成される。この透明導電膜には、図１０Ａにおいて説明した部材を適用することができる。

[0154] なお、撮像素子１の構成は、この例に限定されない。例えば、画素内分離部配線１８１及び画素分離部配線１８２の代わりに図１０Ａにおいて説明した画素内分離部配線１８３及び画素分離部配線１８４を配置することもできる。

[0155] 〔撮像素子の製造方法〕

図１５Ａ－１５Ｄは、本開示の第６の実施形態に係る撮像素子の製造方法の一例を示す図である。同図は、本開示の第６の実施形態に係る撮像素子１の製造工程のうちの画素内分離部１５０及び画素分離部１６０の部分の製造工程の一例を表す図である。

[0156] まず、半導体基板１２０の表面側に溝部１６１を形成する。次に、溝部１６１の壁面に絶縁部材を配置して画素分離部１６０を形成する（図１５Ａ）。

[0157] 次に、溝部１６１に透明導電膜を配置して電極１６７を形成する（図１５Ｂ）。次に、半導体基板１２０に画素内分離領域１２７を形成し、半導体基板１２０の表面側に配線領域１４０を形成する。次に、半導体基板１２０の天地を反転し、半導体基板１２０の裏面側を研削する。次に、半導体基板１２０の裏面側に溝部１５１を形成する（図１５Ｃ）。

[0158] 次に、溝部１５１の壁面に絶縁部材を配置して画素内分離部１５０を形成

する。次に溝部 151 に透明導電膜を配置して電極 157 を形成する（図 15D）。

[0159] 以上の工程では、図 15B に表したように、半導体基板 120 の表面側に形成された溝部 151 に透明導電膜の電極 167 が配置される。このため、以降の工程に低温プロセスを適用する必要がある。透明導電膜は、耐熱性が低いためである。

[0160] [撮像素子の他の製造方法]

図 16A – 16H は、本開示の第 6 の実施形態に係る撮像素子の製造方法の他の例を示す図である。同図は、本開示の第 6 の実施形態に係る撮像素子 1 の製造工程のうちの画素内分離部 150 及び画素分離部 160 の部分の製造工程の他の例を表す図である。

[0161] まず、半導体基板 120 の表面側に溝部 161 を形成する。次に、溝部 161 の壁面に絶縁部材を配置して画素分離部 160 を形成する。次に、溝部 161 に仮電極 510 を配置する。この仮電極 510 は、例えば、多結晶シリコンにより構成することができる（図 16A）。

[0162] 次に、半導体基板 120 に画素内分離領域 127 を形成し、半導体基板 120 の表面側に配線領域 140 を形成する。次に、半導体基板 120 の天地を反転し、半導体基板 120 の裏面側を研削する。（図 16B）。

[0163] 次に、溝部 151 の仮電極 510 をエッチングにより除去する（図 16C）。次に、溝部 151 にレジスト 511 を配置する（図 16D）。

[0164] 次に、半導体基板 120 の裏面側に溝部 151 を形成する（図 16E）。次に、溝部 151 の壁面に絶縁部材を配置して画素内分離部 150 を形成する（図 16F）。

[0165] 次に溝部 161 のレジスト 511 を除去する（図 16G）。次に、溝部 151 及び 161 に透明導電膜を配置して電極 157 及び 167 を形成する（図 16H）。

[0166] 図 16A – 16H に表した製造工程では、図 16A に表したように、半導体基板 120 の表面側に形成された溝部 161 に仮電極 510 が配置される

。この仮電極 510 は、多結晶シリコンにより構成される。この多結晶シリコンは、高い耐熱性を有する部材である。このため、以降の工程に高温プロセス、例えば、半導体基板 120 の熱酸化による絶縁膜の形成のプロセスを適用することができる。

[0167] [第 1 の変形例]

図 12 において説明した撮像素子 1 は、金属により構成される電極 152 及び 156 並びに電極 162 及び 166 を使用していたが、透明導電膜による電極を使用することもできる。

[0168] [撮像素子の断面の構成]

図 17 は、本開示の第 6 の実施形態の第 1 の変形例に係る画素の構成例を示す断面図である。同図は、図 12 と同様に、画素 100 の構成例を表す図である。同図の画素 100 は、電極 152 及び 156 の代わりに電極 157 及び 158 が配置され、電極 162 及び 166 の代わりに電極 167 及び 168 が配置される点で、図 12 の画素 100 と異なる。電極 157 及び 158 並びに電極 167 及び 168 は、透明導電膜による電極である。

[0169] [第 2 の変形例]

図 17 において説明した撮像素子 1 は、電極 157 及び 158 並びに電極 167 及び 168 に、透明導電膜による電極を使用していたが、一部の電極のみを透明導電膜により構成することもできる。

[0170] [撮像素子の断面の構成]

図 18 A 及び 18 B は、本開示の第 6 の実施形態の第 2 の変形例に係る画素の構成例を示す断面図である。同図は、簡略化した画素 100 の構成例を表す図である。図 18 A の画素 100 は、半導体基板 120 の裏面側に透明導電膜による電極 157 及び 168 が配置される例を表した図である。また、図 18 B は、半導体基板 120 の表面側に透明導電膜による電極 158 及び 167 が配置される例を表した図である。

[0171] [撮像素子の断面の他の構成]

図 19 A 及び 19 B は、本開示の第 6 の実施形態の第 2 の変形例に係る画

素の他の構成例を示す断面図である。同図は、図 18 A 及び 18 B と同様に、簡略化した画素 100 の構成例を表す図である。図 19 A の画素 100 は、画素内分離電極 108 a 及び 108 b に透明導電膜による電極 157 及び 158 が配置される例を表したものである。また、図 19 B は、画素分離電極 109 a 及び 109 b に透明導電膜による電極 167 及び 168 が配置される例を表した図である。

[0172] これ以外の撮像素子 1 の構成は本開示の第 1 の実施形態における撮像素子 1 の構成と同様であるため、説明を省略する。

[0173] このように、本開示の第 6 の実施形態の撮像素子 1 は、透明な部材により構成された画素内分離電極 108 及び画素分離電極 109 にバイアス電圧を印加する。

[0174] (7. 変形例)

上述の第 1 の実施形態の撮像素子 1 は、画素内分離電極 108 及び画素分離電極 109 を使用していたが、これらと異なる形状の画素内分離電極 108 及び画素分離電極 109 を使用することもできる。

[0175] [画素内分離電極及び画素分離電極の構成]

図 20 A - 20 C は、本開示の変形例に係る画素の構成例を示す図である。同図は、画素 100 における画素内分離電極 108 及び画素分離電極 109 の構成例を表す図である。

[0176] 図 20 A は、半導体基板 120 の平面視において 2 つに分割された電極 152 により構成される画素内分離電極 108 を表す図である。2 つの電極 152 の間にオーバーフローパス 107 を配置することができる。同図の画素 100 においては、半導体基板 120 を貫通する形状の画素内分離電極 108 及び画素分離電極 109 を配置することができる。また、図 12 に表した、半導体基板 120 の表面側及び裏面側に分割された画素内分離電極 108 及び画素分離電極 109 を配置することもできる。

[0177] 図 20 B は、半導体基板 120 の平面視において 2 以上に分割された電極 152 により構成される画素内分離電極 108 を表した図である。これら複

数の電極 152 の間にオーバーフローパス 107 を配置することができる。
また、電極 152 と画素分離電極 109 を構成する電極 152 の間にオーバーフローパス 107 を配置することもできる。同図の画素 100 においては、半導体基板 120 を貫通する形状の画素内分離電極 108 及び画素分離電極 109 を配置することができる。また、図 12 に表した、半導体基板 120 の表面側及び裏面側に分割された画素内分離電極 108 及び画素分離電極 109 を配置することもできる。

[0178] 図 20C は、半導体基板 120 の平面視において画素分離電極 109 を構成する電極 162 に当接する形状の電極 152 により構成される画素内分離電極 108 を表した図である。同図の画素 100 においては、半導体基板 120 を貫通する形状の画素分離電極 109 や半導体基板 120 の表面側及び裏面側に分割された画素分離電極 109 を配置することができる。一方、同図の画素 100 においては、半導体基板 120 の表面側及び裏面側に分割された画素内分離電極 108 を配置する。この場合、オーバーフローパス 107 は、表面側及び裏面側に分割された画素内分離電極 108 の間に配置する。

[0179] [画素分離電極の構成]

図 21A 及び 22B は、本開示の変形例に係る画素の他の構成例を示す図である。同図は、画素 100 における画素分離電極 109 の構成例を表す図である。

[0180] 図 21A は、半導体基板 120 の平面視において八角形の形状の電極 162 により構成される画素分離電極 109 の例を表した図である。電極 162 を八角形にすることにより、電極 162 に第 1 のバイア電圧を印加した際の画素 100 の隅部への電界の集中を軽減することができる。なお、画素 100 の隅部には、貫通ビア 171 を配置することができる。この貫通ビア 171 は、半導体基板 120 を貫通する形状のビアプラグであり、配線領域 140 の配線 142 に接続されるビアプラグである。この貫通ビア 171 を画素内分離部配線 181 及び画素分離部配線 182 に接続することにより、貫通

ビア 171 を介して第 1 のバイア電圧及び第 2 のバイアス電圧を供給することができる。

[0181] 図 21B は、半導体基板 120 の平面視において角部を丸めた形状の電極 162 により構成される画素分離電極 109 の例を表した図である。図 21A の電極 162 と同様に、第 1 のバイア電圧を印加した際の画素 100 の隅部への電界の集中を軽減することができる。

[0182] これ以外の撮像素子 1 の構成は本開示の第 1 の実施形態における撮像素子 1 の構成と同様であるため、説明を省略する。

[0183] (8. 撮像装置の構成例)

上述したような撮像素子 1 は、例えば、デジタルスチルカメラやデジタルビデオカメラなどの撮像システム、撮像機能を備えた携帯電話機、または、撮像機能を備えた他の機器といった各種の電子機器に適用することができる。

[0184] 図 22 は、電子機器に搭載される撮像装置の構成例を示すブロック図である。図 22 に示すように、撮像装置 701 は、光学系 702、撮像素子 703、DSP (Digital Signal Processor) 704 を備えており、バス 707 を介して、DSP 704、表示装置 705、操作系 706、メモリ 708、記録装置 709、および電源系 710 が接続されて構成され、静止画像および動画像を撮像可能である。

[0185] 光学系 702 は、1 枚または複数枚のレンズを有して構成され、被写体からの像光 (入射光) を撮像素子 703 に導き、撮像素子 703 の受光面 (センサ部) に結像させる。

[0186] 撮像素子 703 としては、上述したいずれかの構成例の撮像素子 1 が適用される。撮像素子 703 には、光学系 702 を介して受光面に結像される像に応じて、一定期間、電子が蓄積される。そして、撮像素子 703 に蓄積された電子に応じた信号が DSP 704 に入力される。

[0187] DSP 704 は、撮像素子 703 からの信号に対して各種の信号処理を施して画像を取得し、その画像のデータを、メモリ 708 に一時的に記憶させ

る。メモリ 708 に記憶された画像のデータは、記録装置 709 に記録されたり、表示装置 705 に供給されて画像が表示されたりする。また、操作系 706 は、ユーザによる各種の操作を受け付けて撮像装置 701 の各ブロックに操作信号を供給し、電源系 710 は、撮像装置 701 の各ブロックの駆動に必要な電力を供給する。

[0188] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0189] なお、本技術は以下のような構成も取ることができる。

(1)

表面側に配線領域が配置される半導体基板に形成されて被写体からの入射光の光電変換を行って電荷を生成する複数の光電変換部を備える画素と、

前記複数の光電変換部同士において電荷を相互に転送するオーバーフローパスと、

前記画素の境界に配置される画素分離部と、

前記画素分離部に配置されて第 1 のバイアス電圧が印加される画素分離電極と、

前記複数の光電変換部を分離する画素内分離部と、

前記画素内分離部に配置されて第 2 のバイアス電圧が印加される画素内分離電極と、

前記生成された電荷を保持する電荷保持部と、

前記複数の光電変換部毎に配置されて前記光電変換部により生成される電荷を前記電荷保持部に転送して保持させる複数の電荷転送部と、

前記保持された電荷に基づいて画像信号を生成する画像信号生成部とを有する撮像素子。

(2)

前記画素内分離電極は、前記オーバーフローパスの電位障壁を調整するための前記第 2 のバイアス電圧が印加される前記 (1) に記載の撮像素子。

(3)

前記複数の電荷転送部は、前記複数の光電変換部によりそれぞれ生成される電荷を前記電荷保持部に共通に転送して前記電荷保持部に前記複数の光電変換部により生成される電荷を同時にまとめて保持させるまとめ転送と前記複数の光電変換部によりそれぞれ生成される電荷を前記電荷保持部に個別に転送する個別転送とを行い、

前記画像信号生成部は、前記まとめ転送により前記電荷保持部にまとめて保持された電荷に基づいて前記画像信号を生成するとともに前記個別転送により前記電荷保持部に個別に保持されたそれぞれの電荷に基づいて前記被写体を瞳分割して像面位相差を検出するための複数の位相差信号を生成する

前記（１）又は（２）に記載の撮像素子。

（４）

前記オーバーフローパスは、前記画素内分離部及び前記画素分離部の間に配置される前記（１）から（３）の何れかに記載の撮像素子。

（５）

前記画素は、複数の前記画素内分離部を備え、

前記オーバーフローパスは、複数の前記画素内分離部の間に配置される

前記（１）から（４）の何れかに記載の撮像素子。

（６）

前記画素内分離電極は、前記まとめ転送により転送される電荷が生成される際と前記個別転送により転送される電荷が生成される際とにおいて異なる前記第２のバイアス電圧が印加される前記（３）に記載の撮像素子。

（７）

前記画素内分離電極は、前記光電変換部における前記電荷の蓄積容量を調整するための前記第２のバイアス電圧が印加される前記（１）から（６）の何れかに記載の撮像素子。

（８）

前記画素内分離部は、前記半導体基板の裏面側に配置される前記（１）から（７）の何れかに記載の撮像素子。

(9)

前記画素における前記半導体基板の表面側に配置されて前記複数の光電変換部を分離する半導体領域である画素内分離領域を更に有する前記 (8) に記載の撮像素子。

(1 0)

前記半導体基板の表面側に配置される前記画素内分離部である第 2 の画素内分離部と、

前記第 2 の画素内分離部に配置される前記画素内分離電極である第 2 の画素内分離電極と

を更に有する前記 (8) に記載の撮像素子。

(1 1)

前記第 2 の画素内分離電極は、前記画素内分離電極とは異なる前記第 2 のバイアス電圧が印加される前記 (1 0) に記載の撮像素子。

(1 2)

前記半導体基板の裏面側に配置されて前記画素内分離電極に前記第 2 のバイアス電圧を印加する画素内分離部配線を更に有する前記 (8) に記載の撮像素子。

(1 3)

前記画素内分離部配線は、透明な部材により構成される前記 (1 2) に記載の撮像素子。

(1 4)

前記画素内分離部配線は、前記複数の光電変換部を覆う形状に構成される前記 (1 3) に記載の撮像素子。

(1 5)

前記画素内分離部及び前記画素内分離電極は、前記半導体基板を貫通する形状に構成される前記 (1) から (1 4) の何れかに記載の撮像素子。

(1 6)

前記画素分離電極は、前記光電変換部における前記電荷の蓄積容量を調整

するための前記第１のバイアス電圧が印加される前記（１）から（１５）の何れかに記載の撮像素子。

（１７）

前記画素分離部は、前記半導体基板の裏面側に配置される前記（１）から（１６）の何れかに記載の撮像素子。

（１８）

前記半導体基板の表面側に配置される前記画素分離部である第２の画素分離部と、

前記第２の画素分離部に配置される前記画素分離電極である第２の画素分離電極と

を更に有する前記（１７）に記載の撮像素子。

（１９）

前記半導体基板の裏面側に配置されて前記画素分離部に前記第１のバイアス電圧を伝達する画素分離部配線を更に有する前記（１７）に記載の撮像素子。

（２０）

前記画素分離部及び前記画素分離電極は、前記半導体基板を貫通する形状に構成される前記（１）から（１９）の何れかに記載の撮像素子。

（２１）

前記画素内分離電極は、透明な部材により構成される前記（１）から（２０）の何れかに記載の撮像素子。

（２２）

前記画素分離電極は、透明な部材により構成される前記（１）から（２１）の何れかに記載の撮像素子。

（２３）

表面側に配線領域が配置される半導体基板に形成されて被写体からの入射光の光電変換を行って電荷を生成する複数の光電変換部を備える画素と、

前記複数の光電変換部同士において電荷を相互に転送するオーバーフロー

パスと、

前記画素の境界に配置される画素分離部と、

前記画素分離部に配置されて第1のバイアス電圧が印加される画素分離電極と、

前記複数の光電変換部を分離する画素内分離部と、

前記画素内分離部に配置されて第2のバイアス電圧が印加される画素内分離電極と、

前記生成された電荷を保持する電荷保持部と、

前記複数の光電変換部毎に配置されて前記光電変換部により生成される電荷を前記電荷保持部に転送して保持させる複数の電荷転送部と、

前記保持された電荷に基づいて画像信号を生成する画像信号生成部と、

前記生成された画像信号を処理する処理回路と

を有する撮像装置。

符号の説明

- [0190] 1、703 撮像素子
- 5 カラム信号処理回路
- 100 画素
- 101、102 光電変換部
- 103、104 電荷保持部
- 105、106 電荷転送部
- 107、107a、107b オーバーフローパス
- 108、108a、108b 画素内分離電極
- 109、109a、109b 画素分離電極
- 110 画像信号生成部
- 120 半導体基板
- 127 画素内分離領域
- 131 分離部
- 150、154 画素内分離部

152、156～158、162、166、167 電極

160、164 画素分離部

181、183 画素内分離部配線

182、184 画素分離部配線

701 撮像装置

請求の範囲

- [請求項1] 表面側に配線領域が配置される半導体基板に形成されて被写体からの入射光の光電変換を行って電荷を生成する複数の光電変換部を備える画素と、
- 前記複数の光電変換部同士において電荷を相互に転送するオーバーフローパスと、
- 前記画素の境界に配置される画素分離部と、
- 前記画素分離部に配置されて第1のバイアス電圧が印加される画素分離電極と、
- 前記複数の光電変換部を分離する画素内分離部と、
- 前記画素内分離部に配置されて第2のバイアス電圧が印加される画素内分離電極と、
- 前記生成された電荷を保持する電荷保持部と、
- 前記複数の光電変換部毎に配置されて前記光電変換部により生成される電荷を前記電荷保持部に転送して保持させる複数の電荷転送部と、
- 、
- 前記保持された電荷に基づいて画像信号を生成する画像信号生成部と
- を有する撮像素子。
- [請求項2] 前記画素内分離電極は、前記オーバーフローパスの電位障壁を調整するための前記第2のバイアス電圧が印加される請求項1に記載の撮像素子。
- [請求項3] 前記複数の電荷転送部は、前記複数の光電変換部によりそれぞれ生成される電荷を前記電荷保持部に共通に転送して前記電荷保持部に前記複数の光電変換部により生成される電荷を同時にまとめて保持させるまとめ転送と前記複数の光電変換部によりそれぞれ生成される電荷を前記電荷保持部に個別に転送する個別転送とを行い、
- 前記画像信号生成部は、前記まとめ転送により前記電荷保持部にま

とめて保持された電荷に基づいて前記画像信号を生成するとともに前記個別転送により前記電荷保持部に個別に保持されたそれぞれの電荷に基づいて前記被写体を瞳分割して像面位相差を検出するための複数の位相差信号を生成する

請求項 1 に記載の撮像素子。

[請求項4] 前記オーバーフローパスは、前記画素内分離部及び前記画素分離部の間に配置される請求項 1 に記載の撮像素子。

[請求項5] 前記画素は、複数の前記画素内分離部を備え、
前記オーバーフローパスは、複数の前記画素内分離部の間に配置される

請求項 1 に記載の撮像素子。

[請求項6] 前記画素内分離電極は、前記まとめ転送により転送される電荷が生成される際と前記個別転送により転送される電荷が生成される際とにおいて異なる前記第 2 のバイアス電圧が印加される請求項 3 に記載の撮像素子。

[請求項7] 前記画素内分離電極は、前記光電変換部における前記電荷の蓄積容量を調整するための前記第 2 のバイアス電圧が印加される請求項 1 に記載の撮像素子。

[請求項8] 前記画素内分離部は、前記半導体基板の裏面側に配置される請求項 1 に記載の撮像素子。

[請求項9] 前記画素における前記半導体基板の表面側に配置されて前記複数の光電変換部を分離する半導体領域である画素内分離領域を更に有する請求項 8 に記載の撮像素子。

[請求項10] 前記半導体基板の表面側に配置される前記画素内分離部である第 2 の画素内分離部と、

前記第 2 の画素内分離部に配置される前記画素内分離電極である第 2 の画素内分離電極と

を更に有する請求項 8 に記載の撮像素子。

- [請求項11] 前記第2の画素内分離電極は、前記画素内分離電極とは異なる前記第2のバイアス電圧が印加される請求項10に記載の撮像素子。
- [請求項12] 前記半導体基板の裏面側に配置されて前記画素内分離電極に前記第2のバイアス電圧を印加する画素内分離部配線を更に有する請求項8に記載の撮像素子。
- [請求項13] 前記画素内分離部配線は、透明な部材により構成される請求項12に記載の撮像素子。
- [請求項14] 前記画素内分離部配線は、前記複数の光電変換部を覆う形状に構成される請求項13に記載の撮像素子。
- [請求項15] 前記画素内分離部及び前記画素内分離電極は、前記半導体基板を貫通する形状に構成される請求項1に記載の撮像素子。
- [請求項16] 前記画素分離電極は、前記光電変換部における前記電荷の蓄積容量を調整するための前記第1のバイアス電圧が印加される請求項1に記載の撮像素子。
- [請求項17] 前記画素分離部は、前記半導体基板の裏面側に配置される請求項1に記載の撮像素子。
- [請求項18] 前記半導体基板の表面側に配置される前記画素分離部である第2の画素分離部と、
前記第2の画素分離部に配置される前記画素分離電極である第2の画素分離電極と
を更に有する請求項17に記載の撮像素子。
- [請求項19] 前記半導体基板の裏面側に配置されて前記画素分離部に前記第1のバイアス電圧を伝達する画素分離部配線を更に有する請求項17に記載の撮像素子。
- [請求項20] 前記画素分離部及び前記画素分離電極は、前記半導体基板を貫通する形状に構成される請求項1に記載の撮像素子。
- [請求項21] 前記画素内分離電極は、透明な部材により構成される請求項1に記載の撮像素子。

[請求項22] 前記画素分離電極は、透明な部材により構成される請求項1に記載の撮像素子。

[請求項23] 表面側に配線領域が配置される半導体基板に形成されて被写体からの入射光の光電変換を行って電荷を生成する複数の光電変換部を備える画素と、

前記複数の光電変換部同士において電荷を相互に転送するオーバーフローパスと、

前記画素の境界に配置される画素分離部と、

前記画素分離部に配置されて第1のバイアス電圧が印加される画素分離電極と、

前記複数の光電変換部を分離する画素内分離部と、

前記画素内分離部に配置されて第2のバイアス電圧が印加される画素内分離電極と、

前記生成された電荷を保持する電荷保持部と、

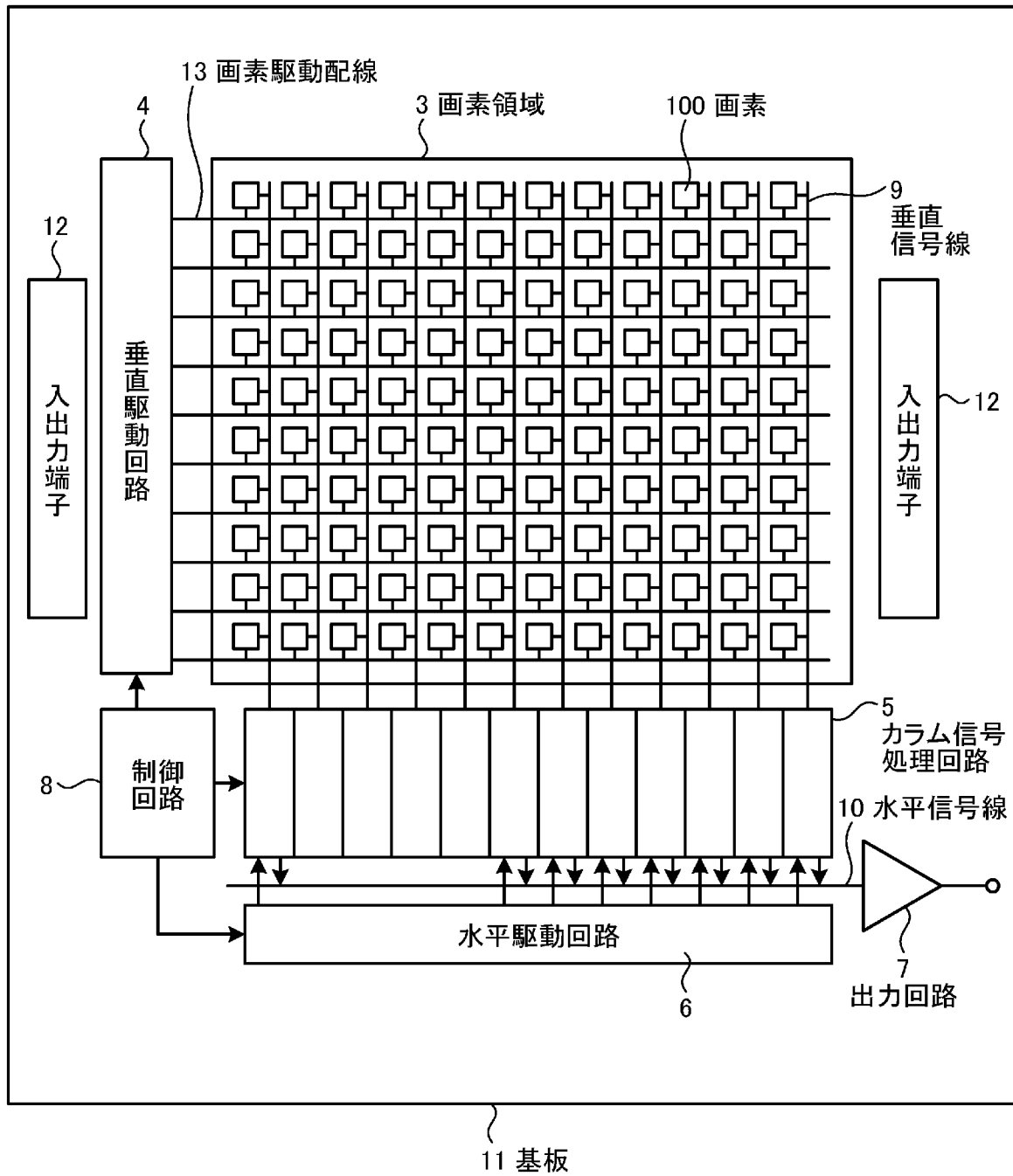
前記複数の光電変換部毎に配置されて前記光電変換部により生成される電荷を前記電荷保持部に転送して保持させる複数の電荷転送部と、

前記保持された電荷に基づいて画像信号を生成する画像信号生成部と、

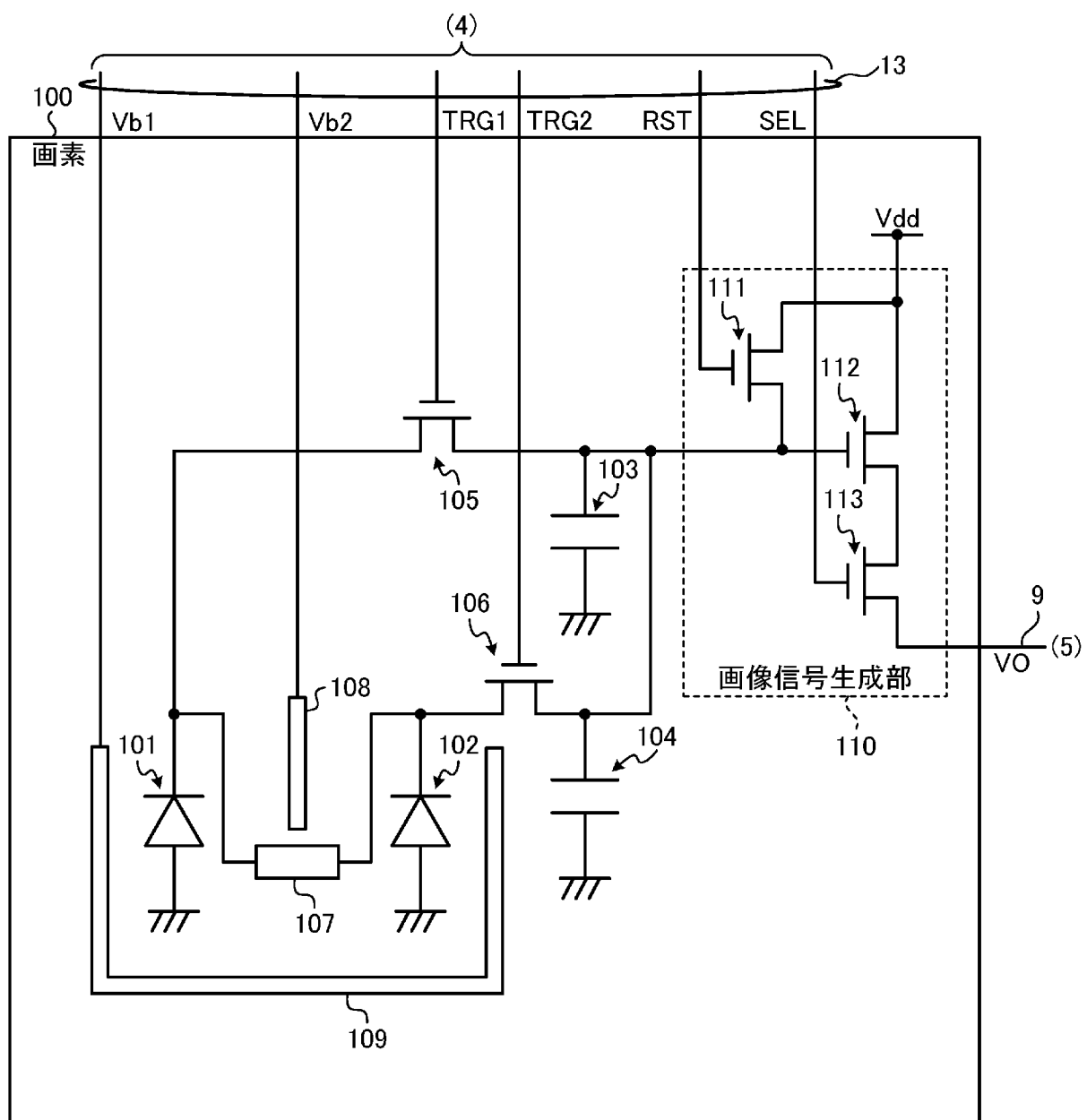
前記生成された画像信号を処理する処理回路とを有する撮像装置。

[図1]

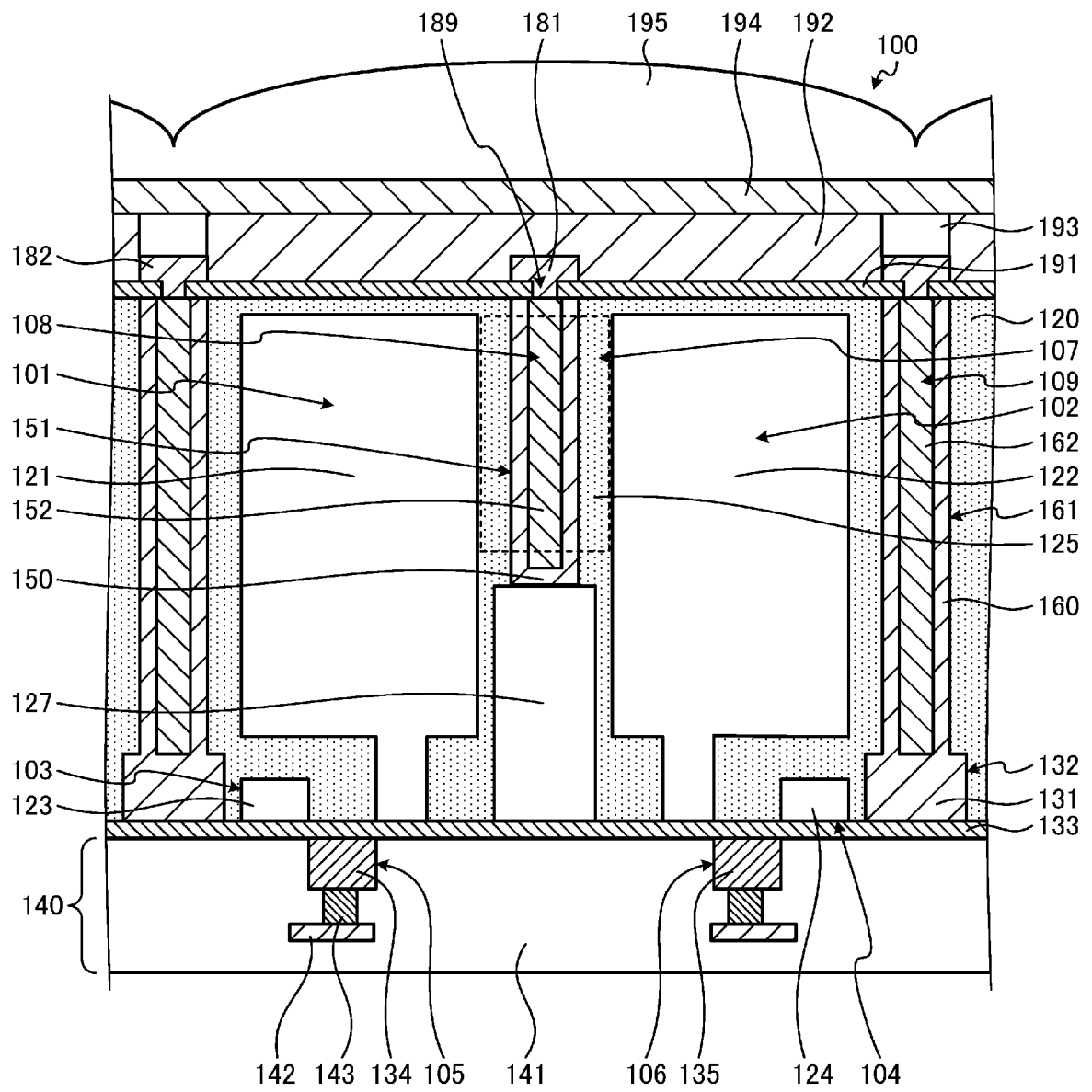
1 撮像素子



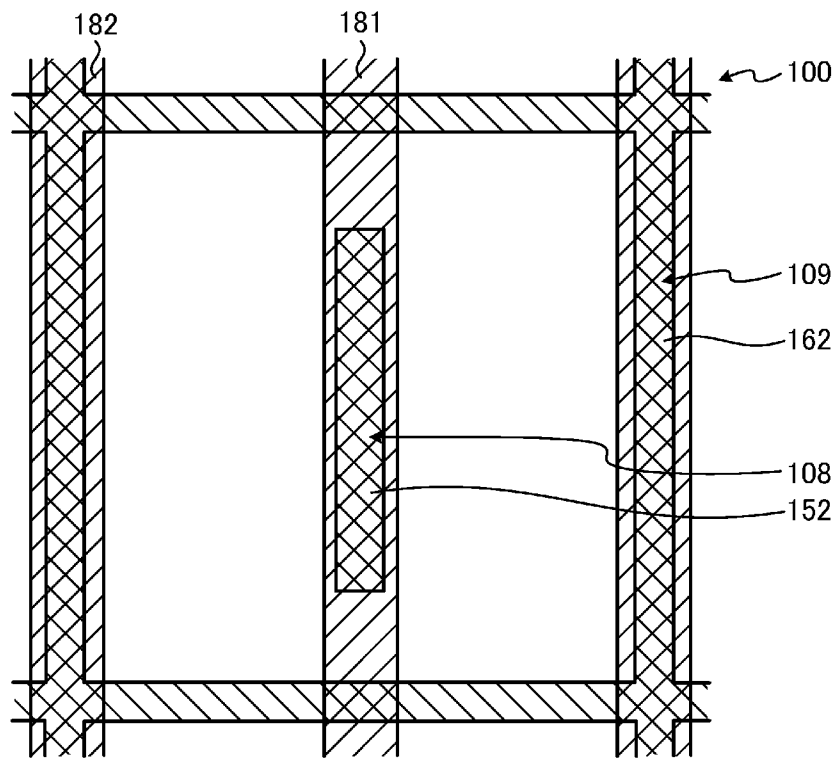
[図2]



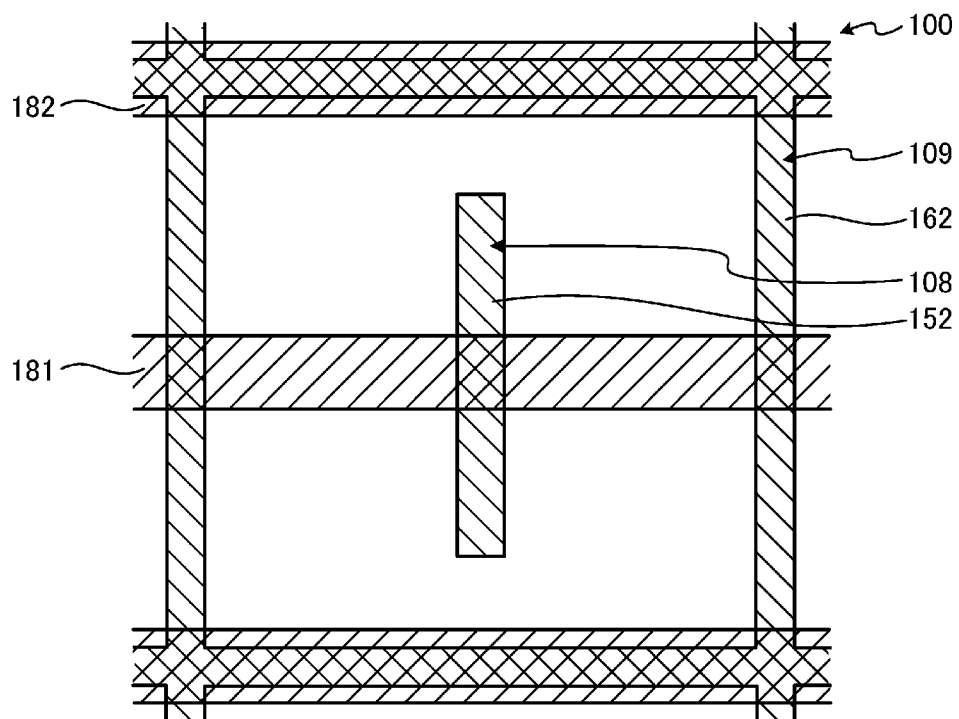
[図4]



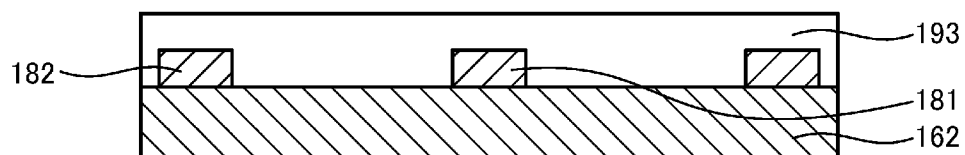
[図5A]



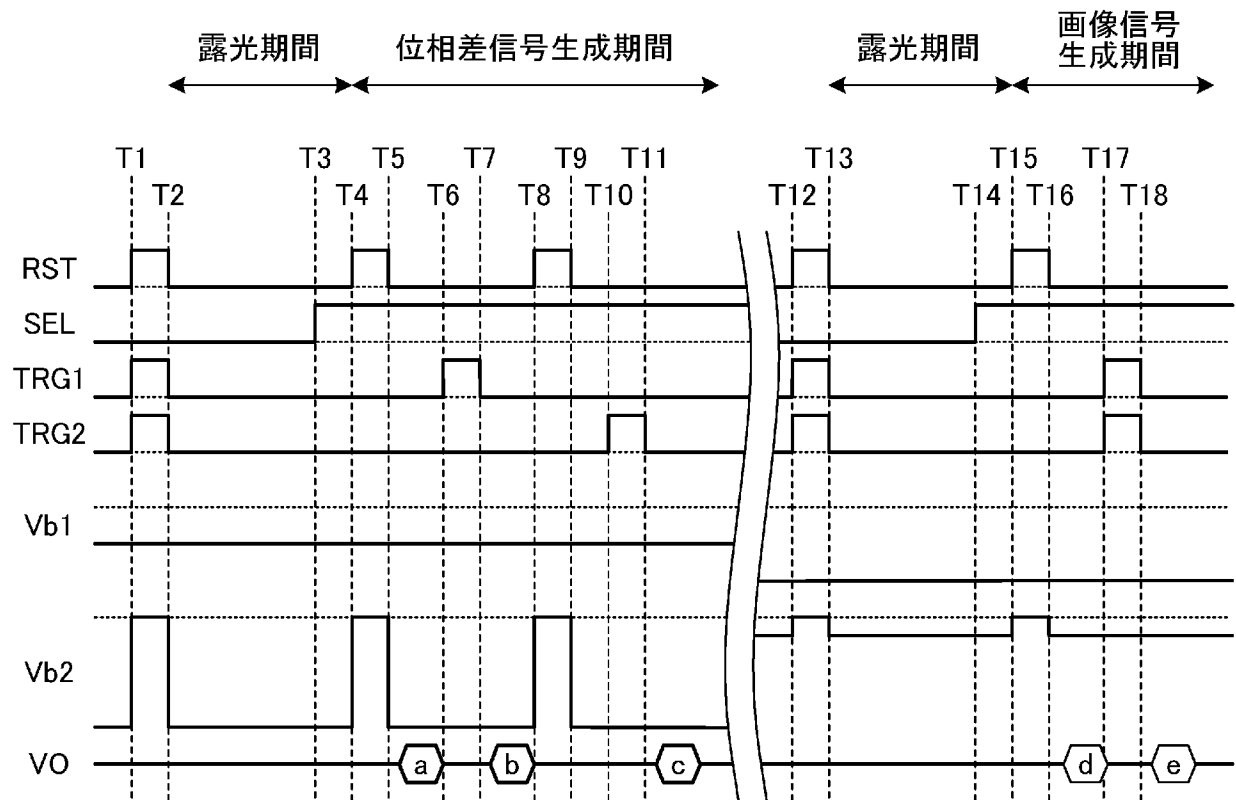
[図5B]



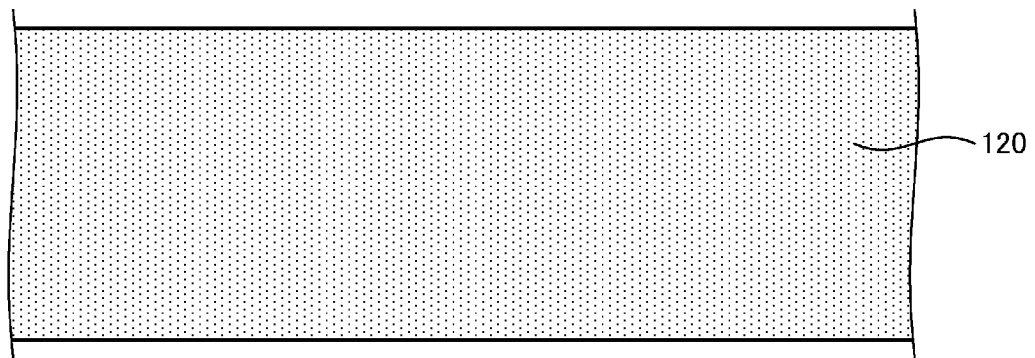
[図5C]



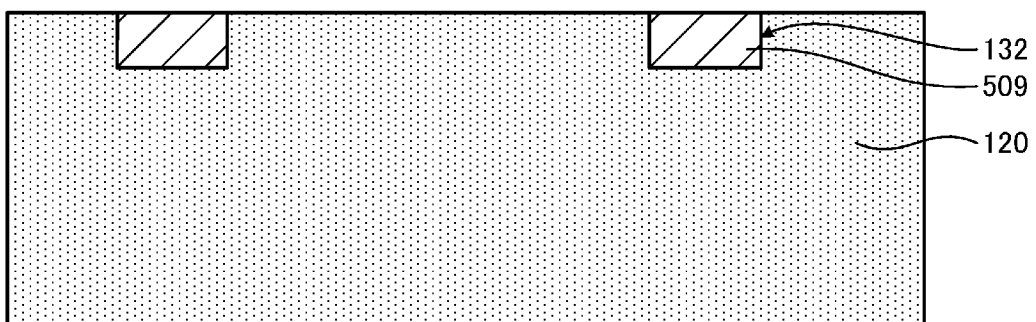
[図6]



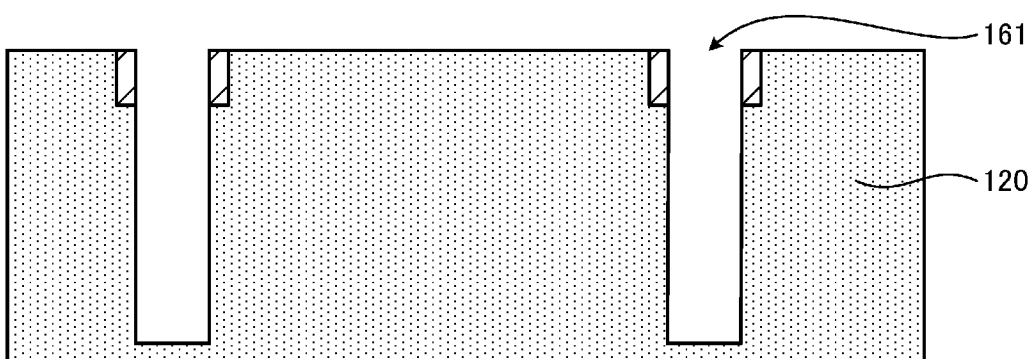
[図7A]



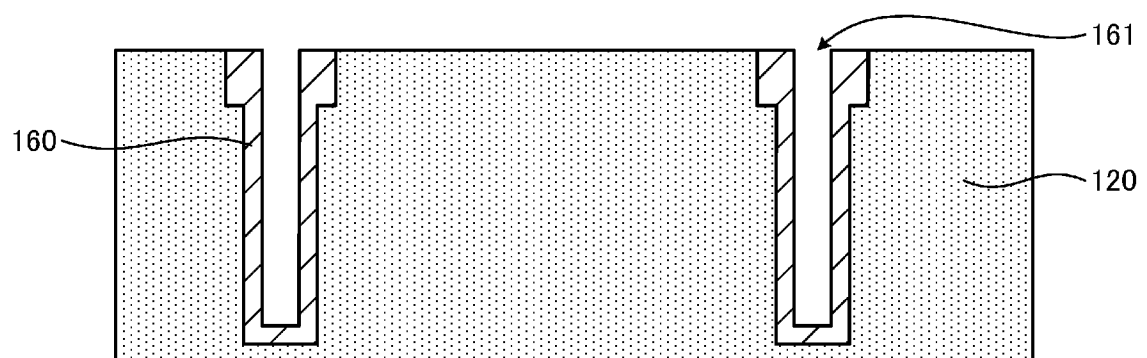
[図7B]



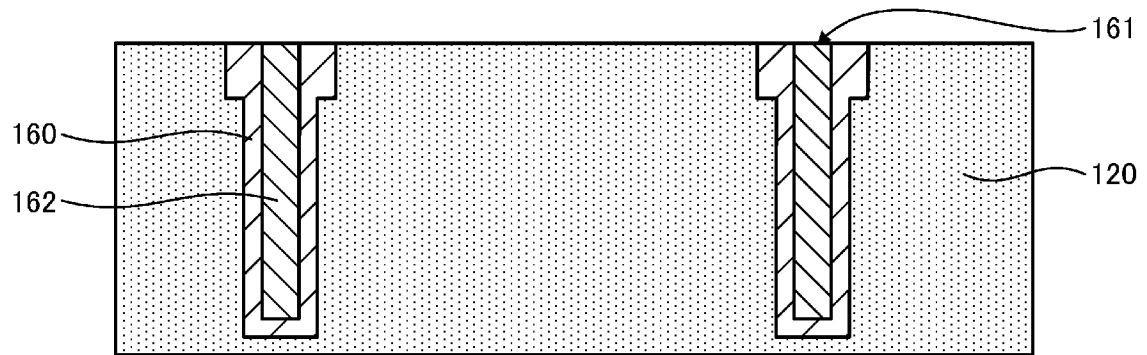
[図7C]



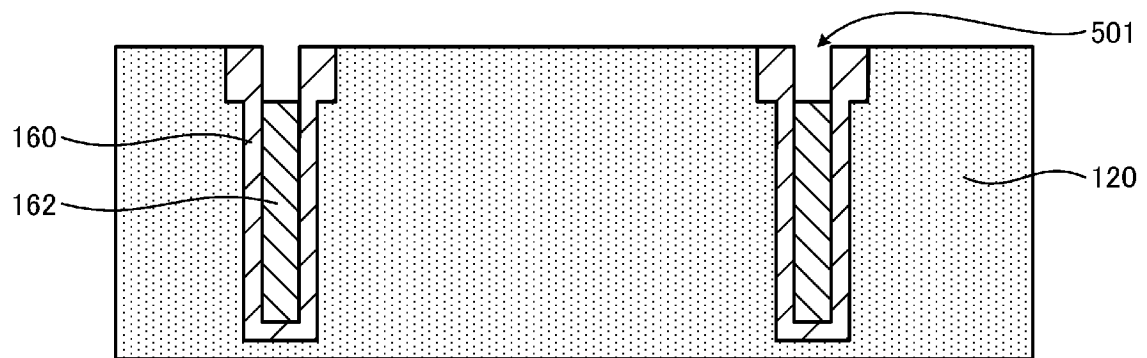
[図7D]



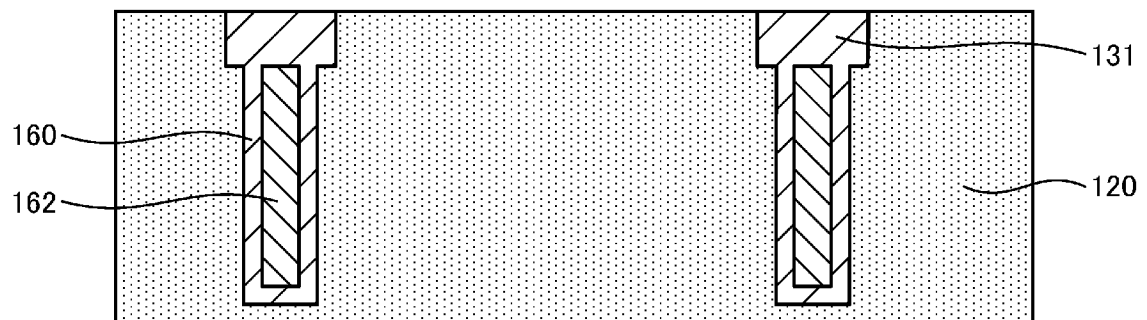
[図7E]



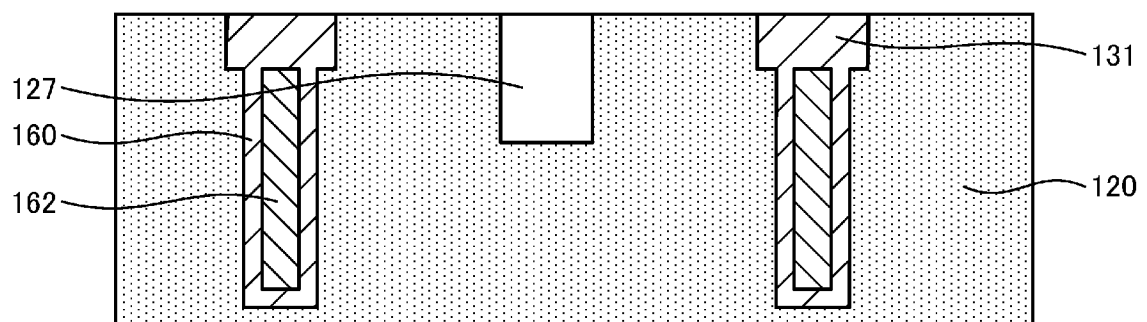
[図7F]



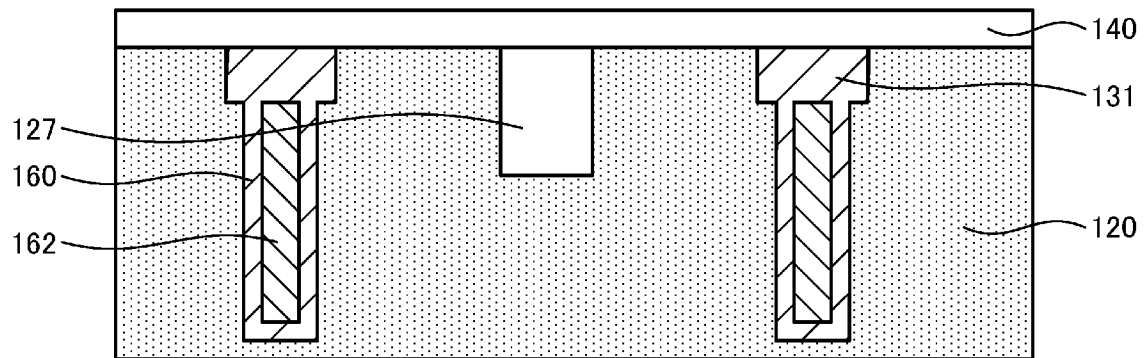
[図7G]



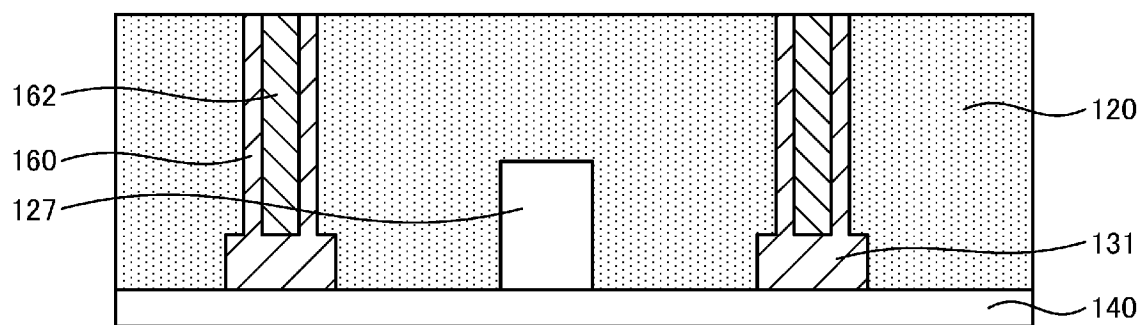
[図7H]



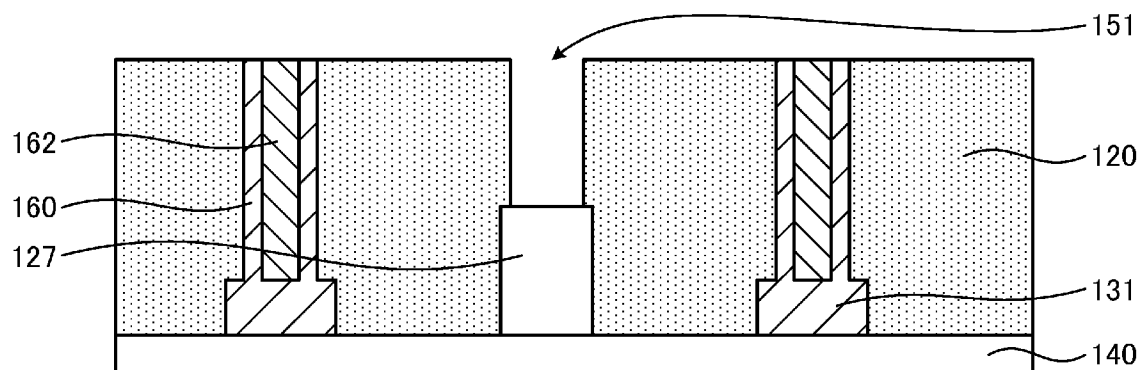
[図7I]



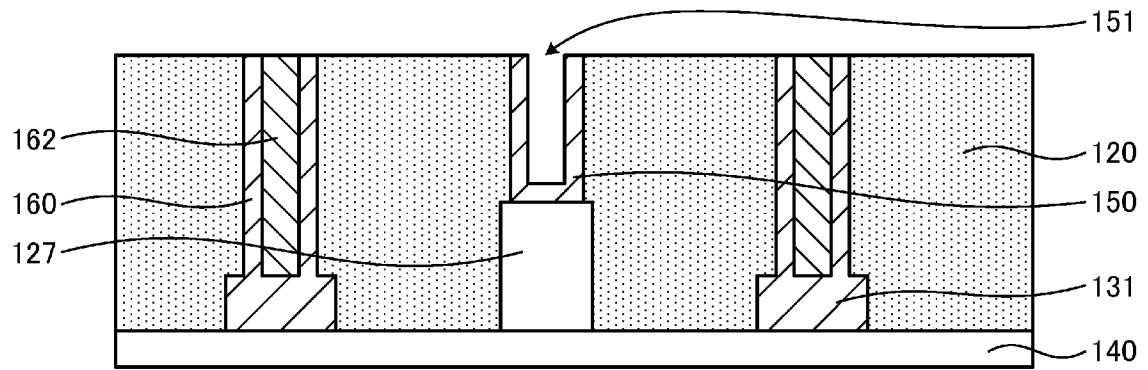
[図7J]



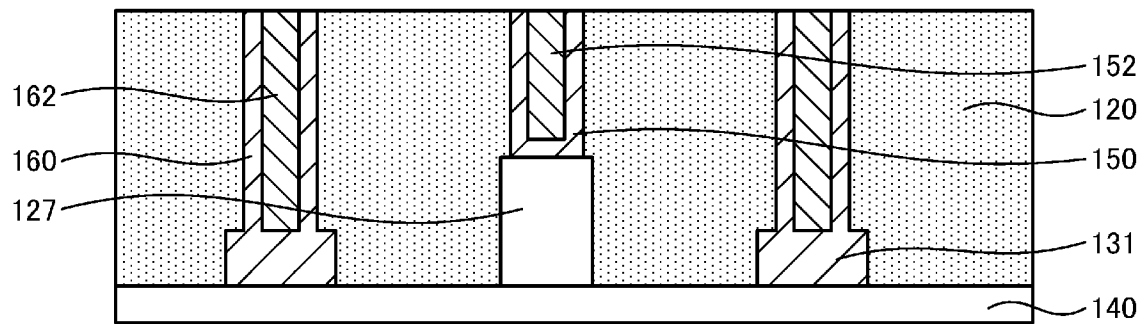
[図7K]



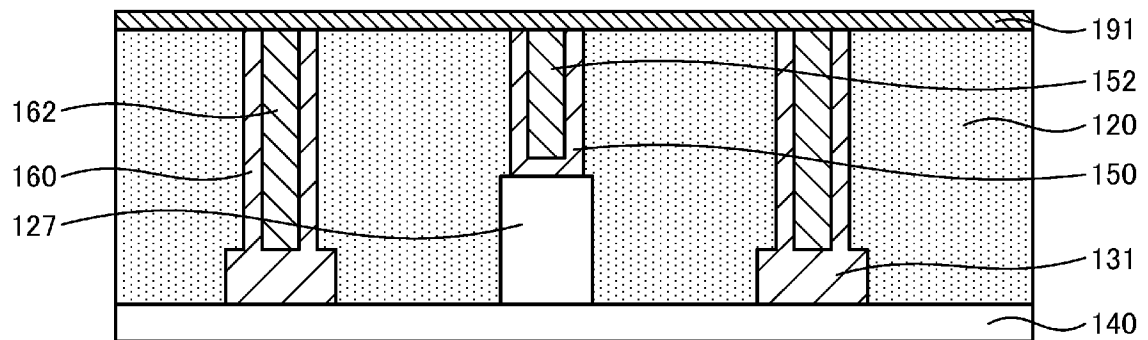
[図7L]



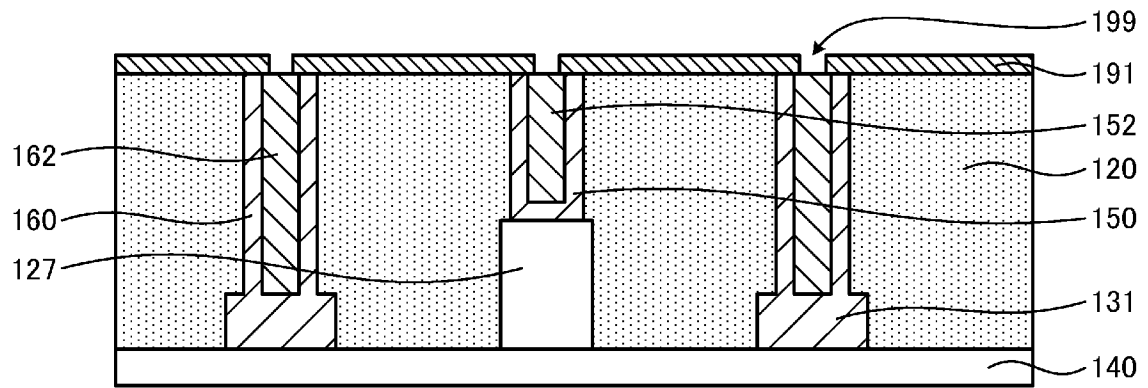
[図7M]



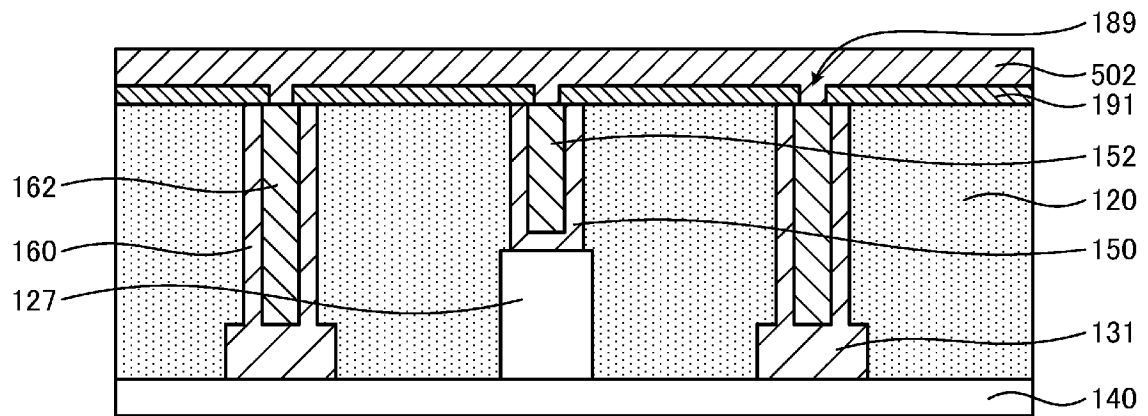
[図7N]



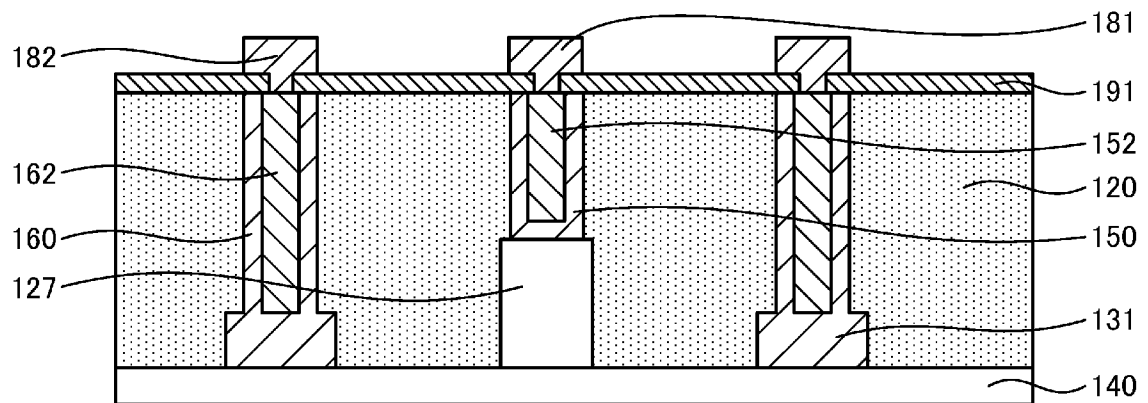
[図70]



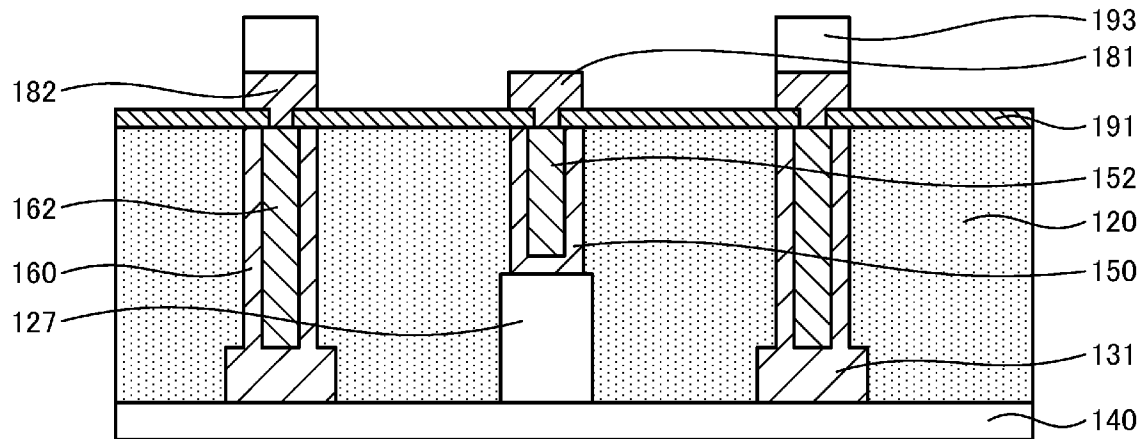
[図7P]



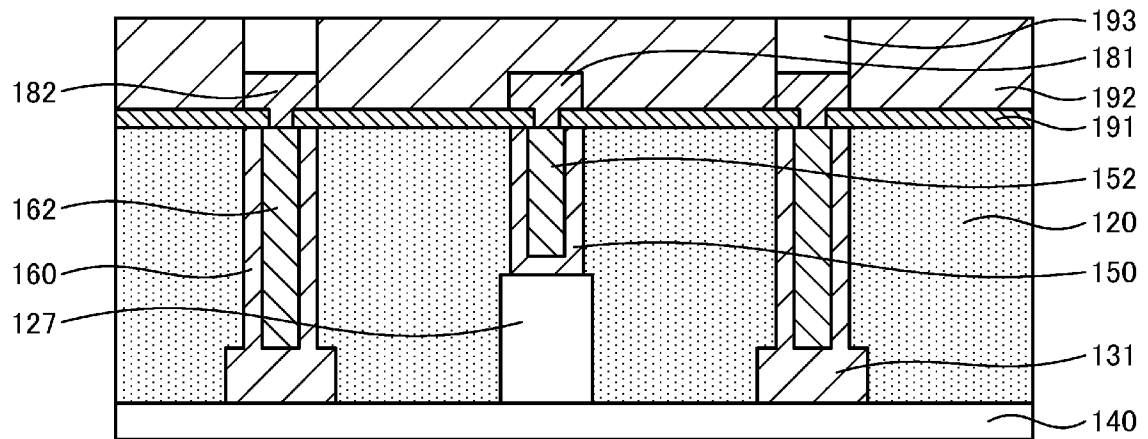
[図7Q]



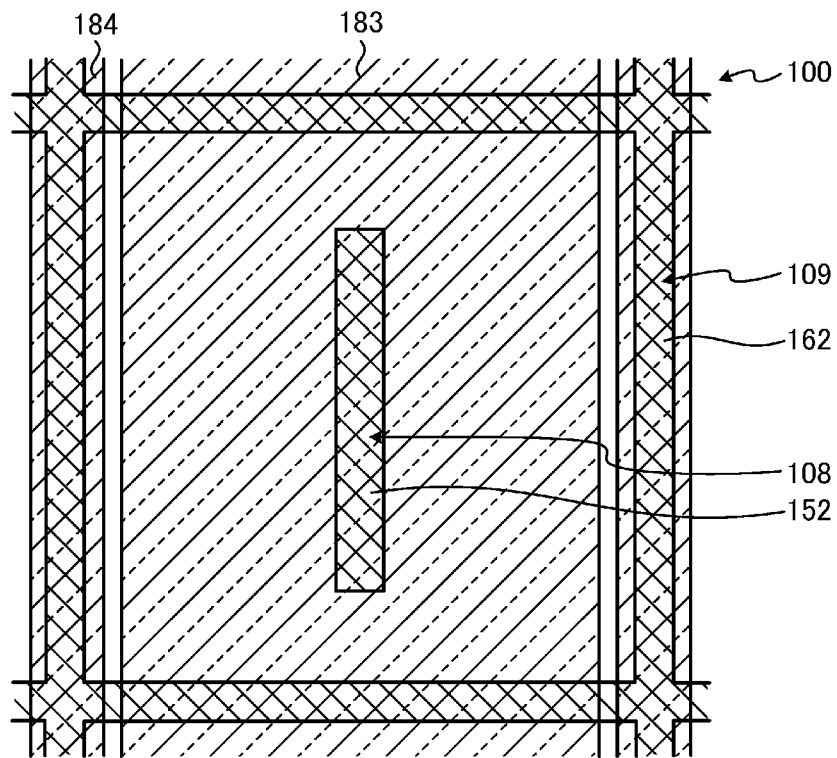
[図7R]



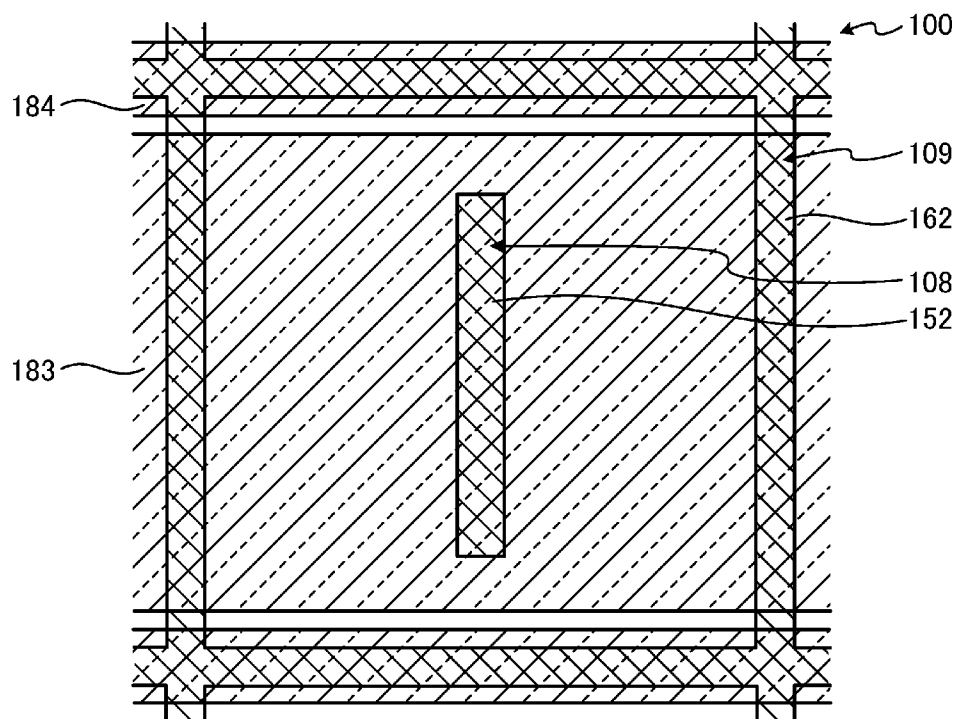
[図7S]



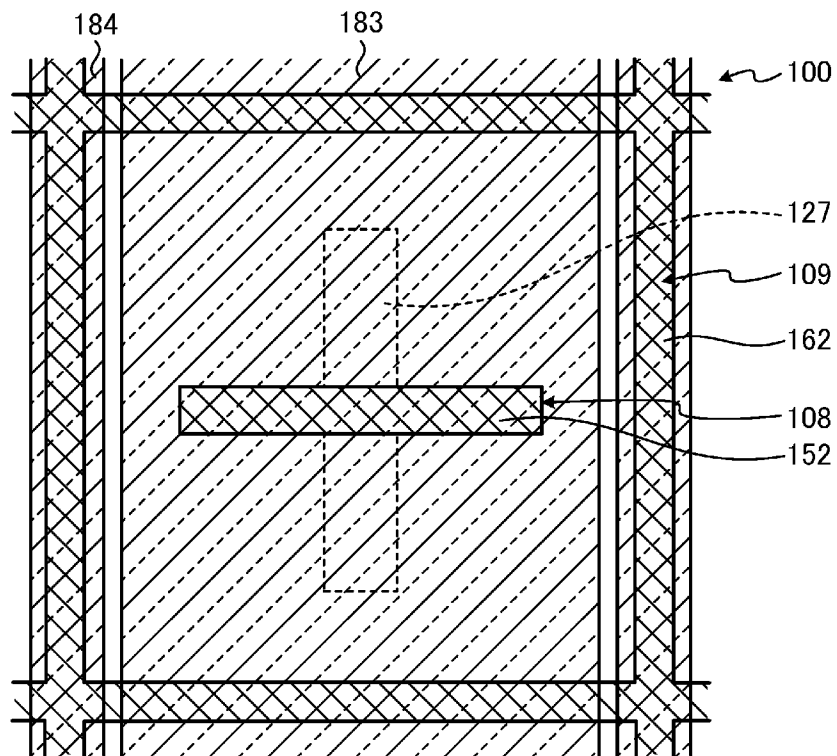
[図11A]



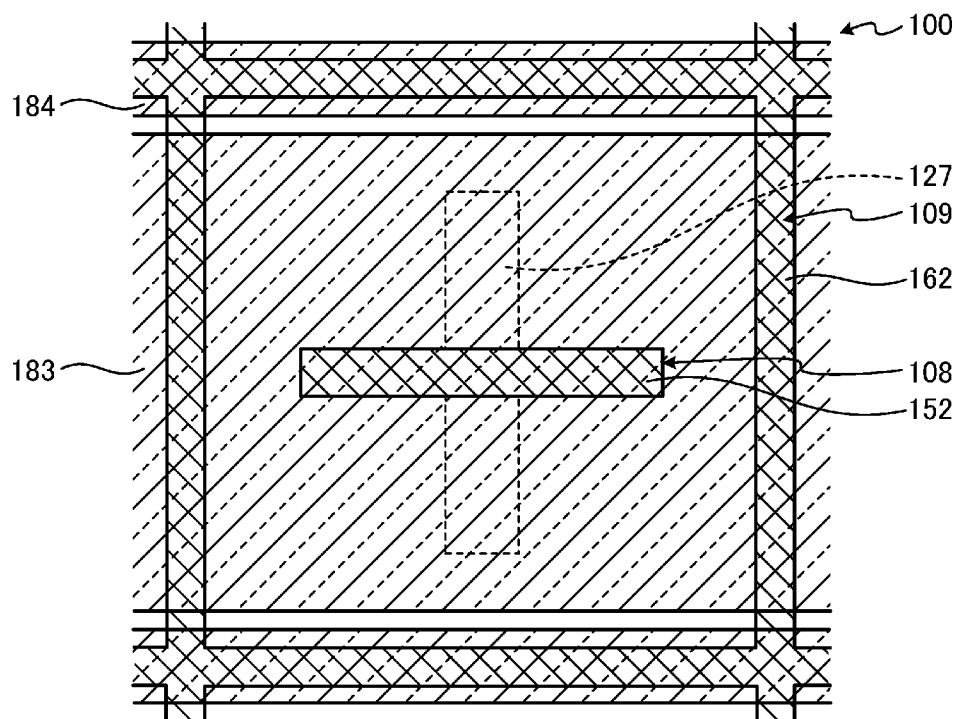
[図11B]



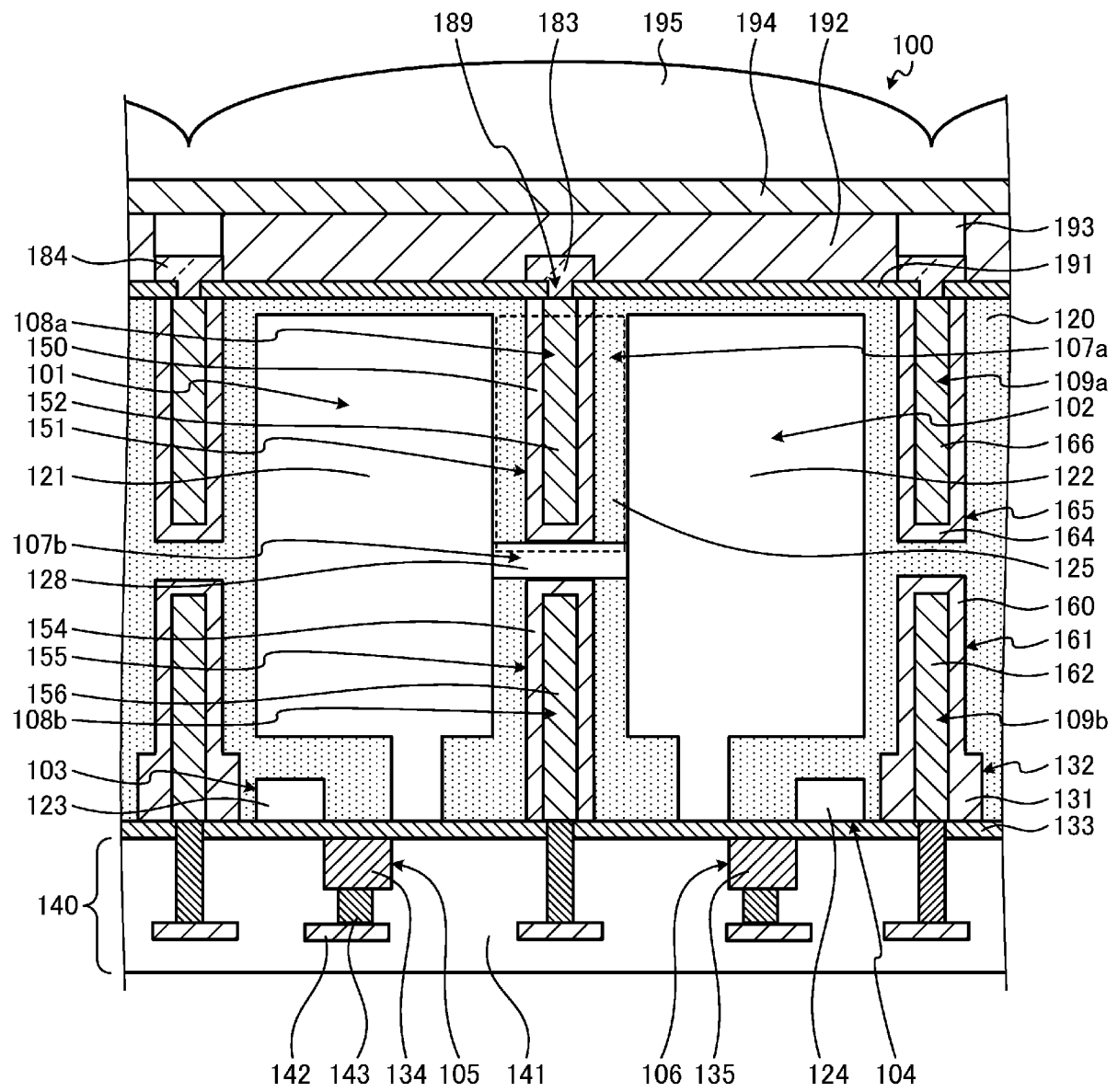
[図11C]



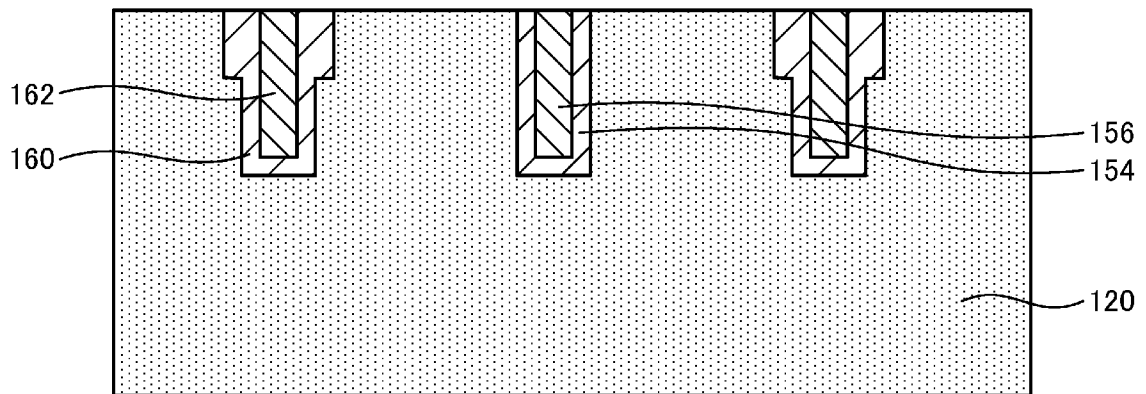
[図11D]



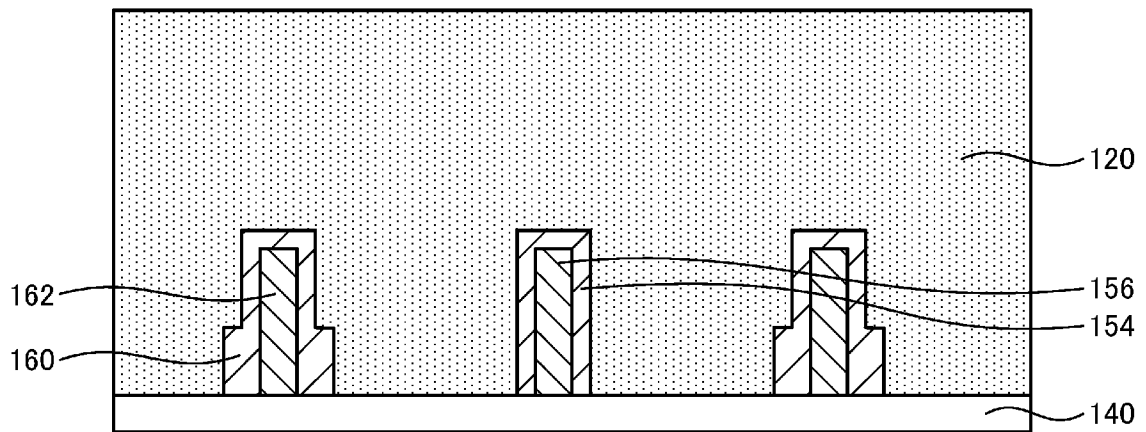
[図12]



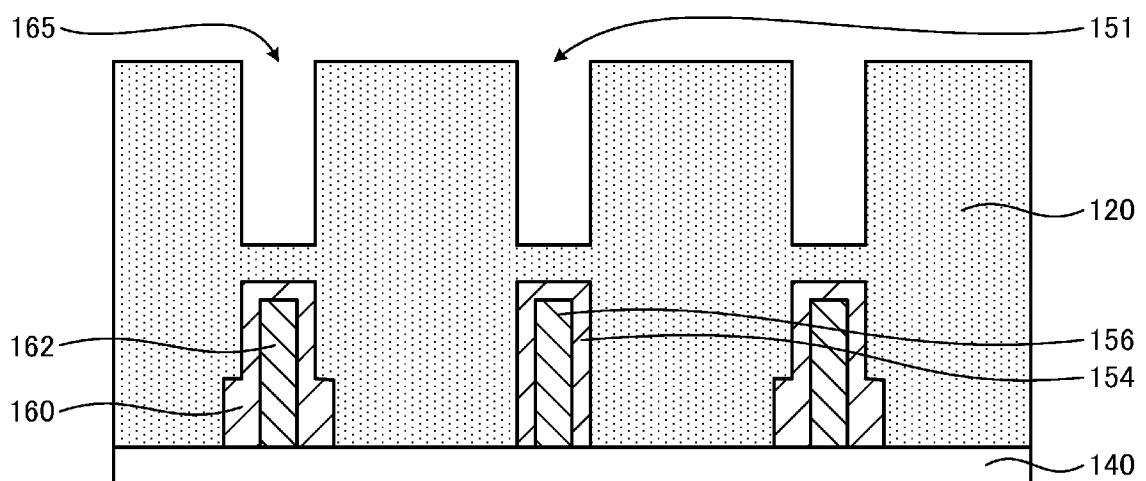
[図13A]



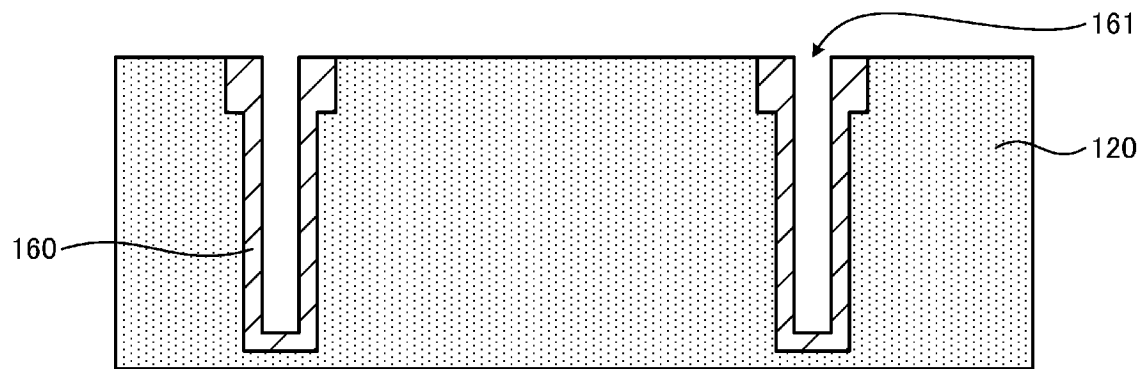
[図13B]



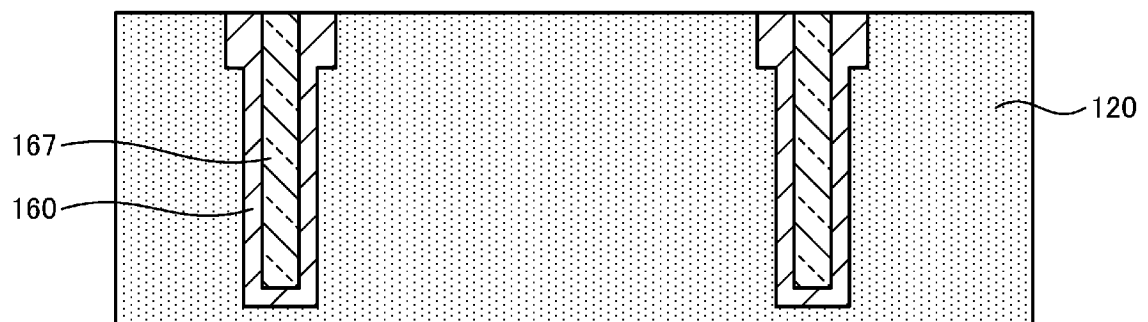
[図13C]



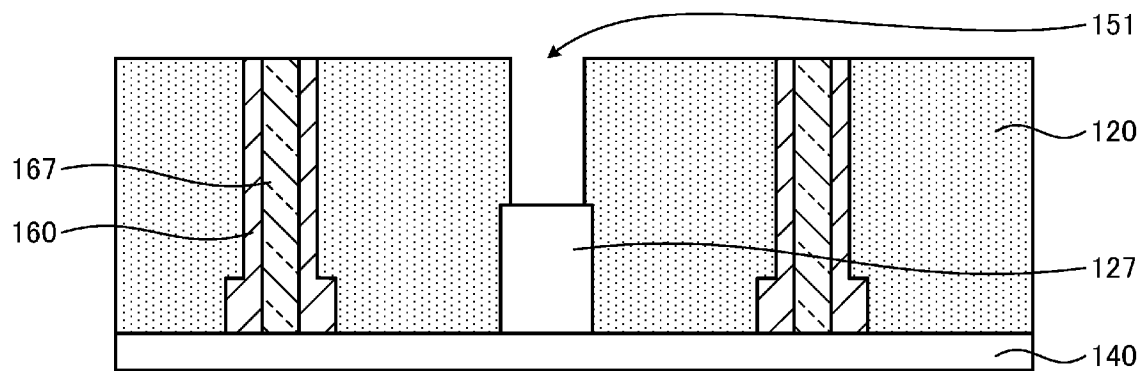
[図15A]



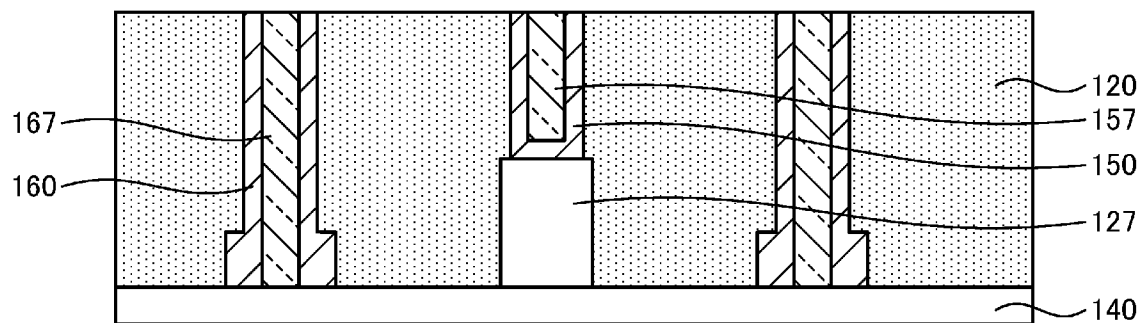
[図15B]



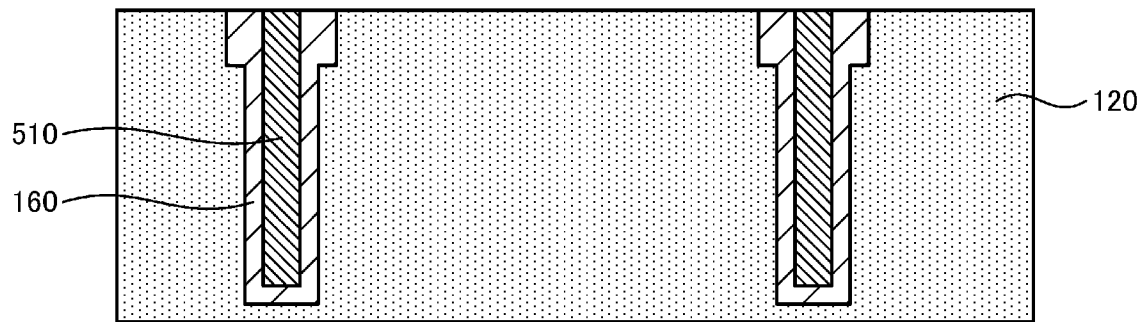
[図15C]



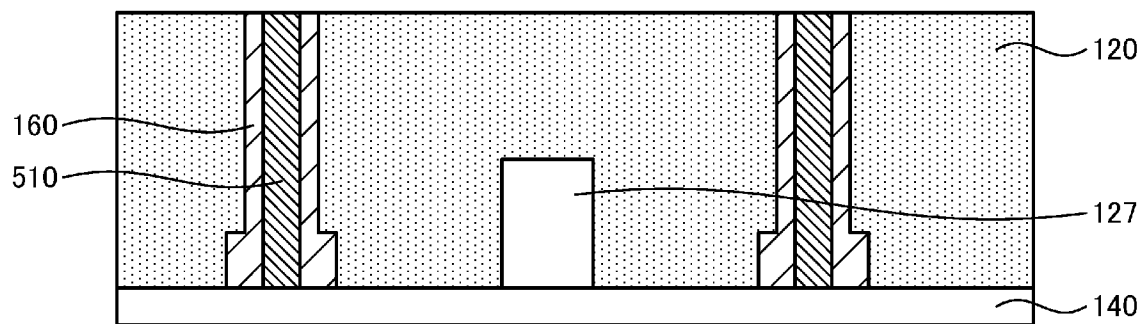
[図15D]



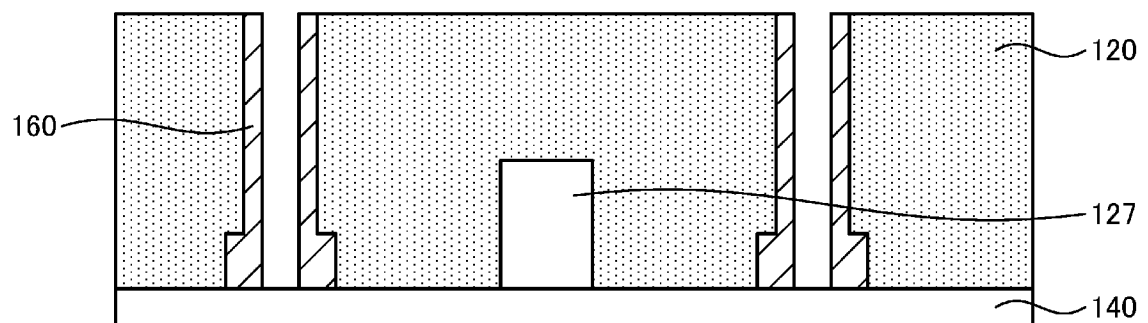
[図16A]



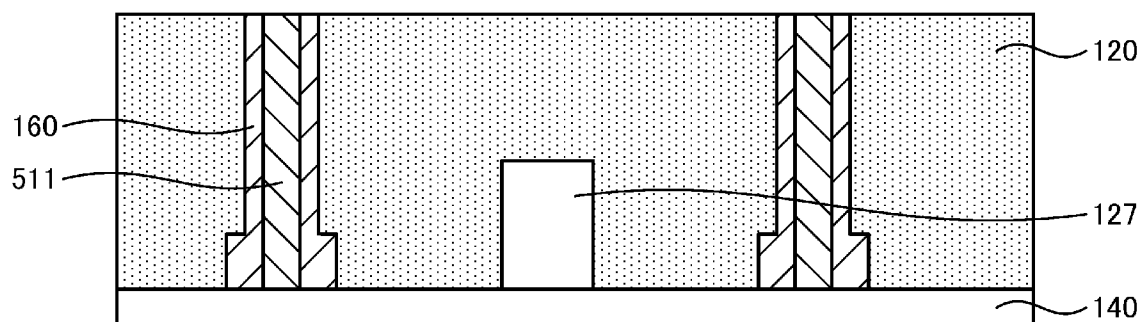
[図16B]



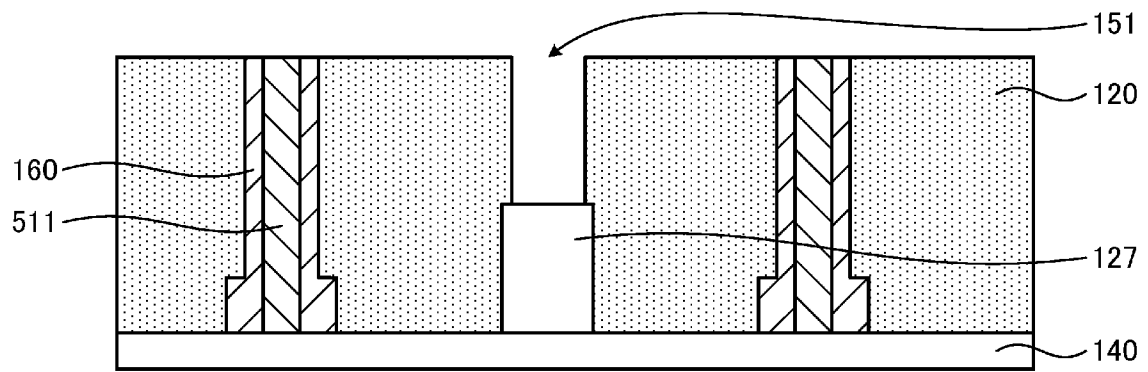
[図16C]



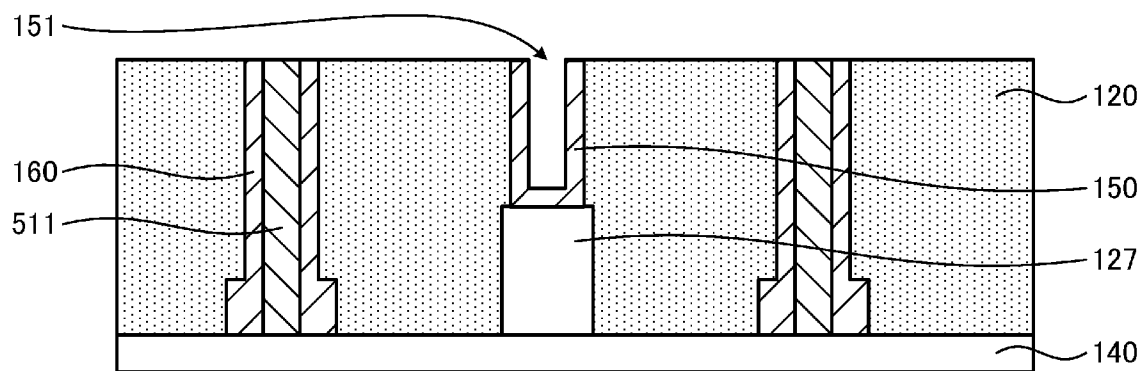
[図16D]



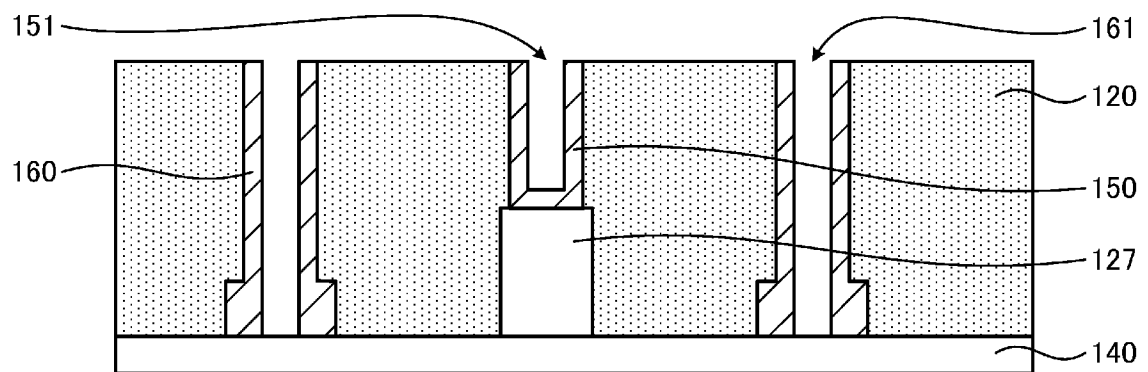
[図16E]



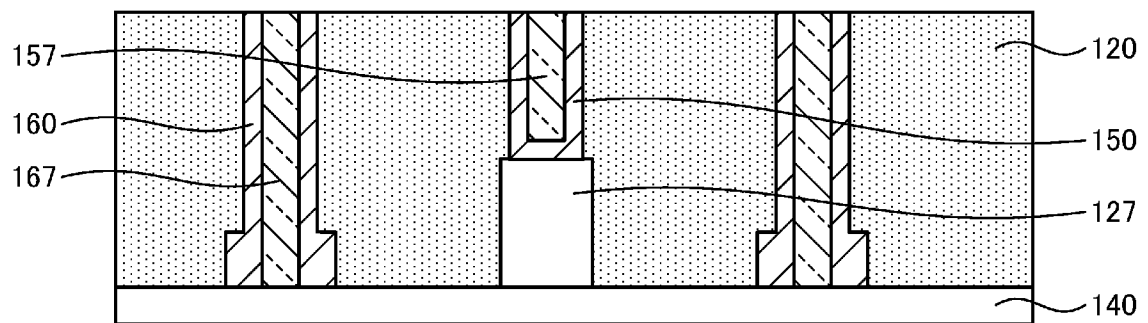
[図16F]



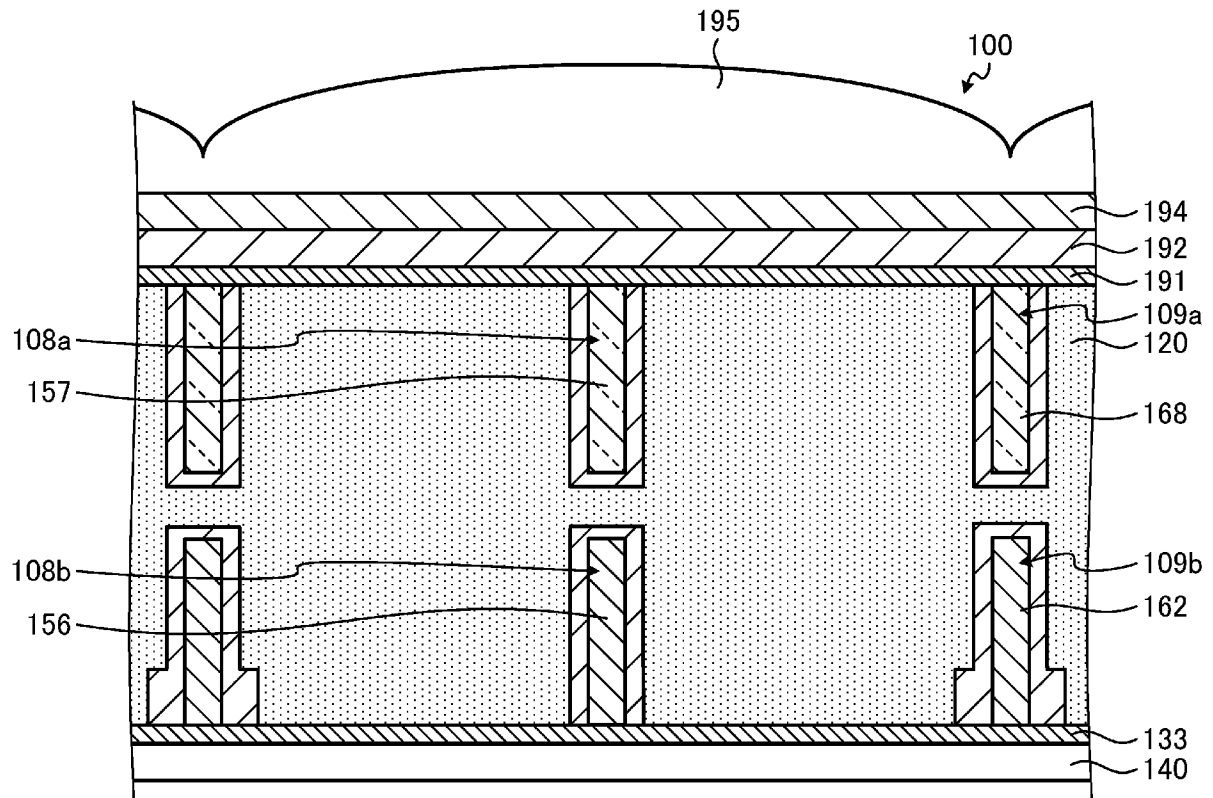
[図16G]



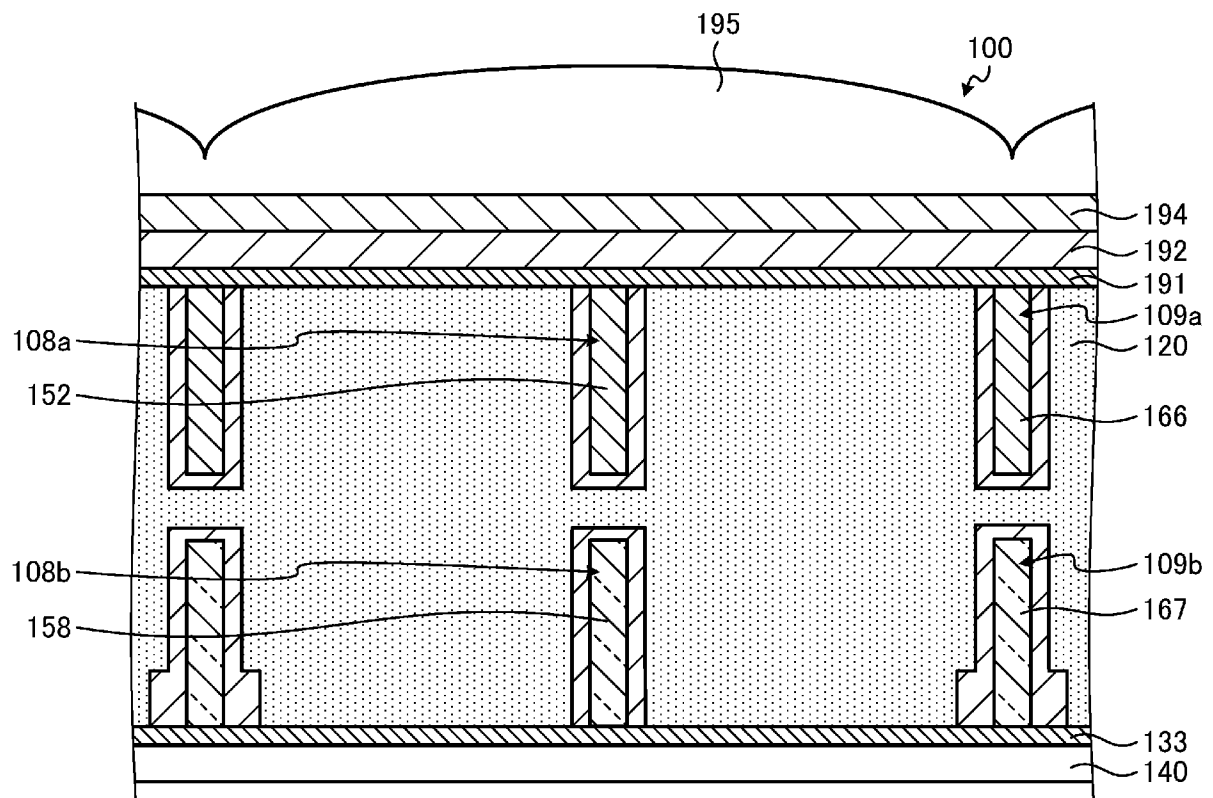
[図16H]



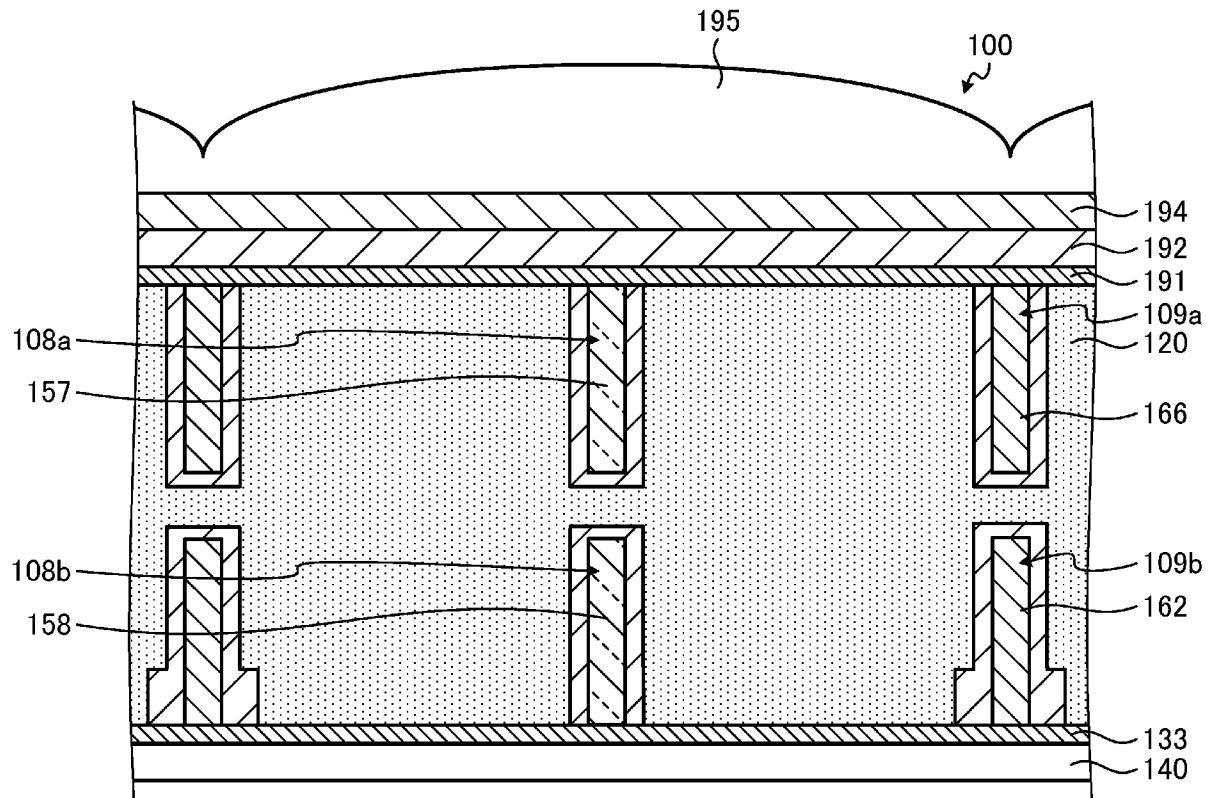
[図18A]



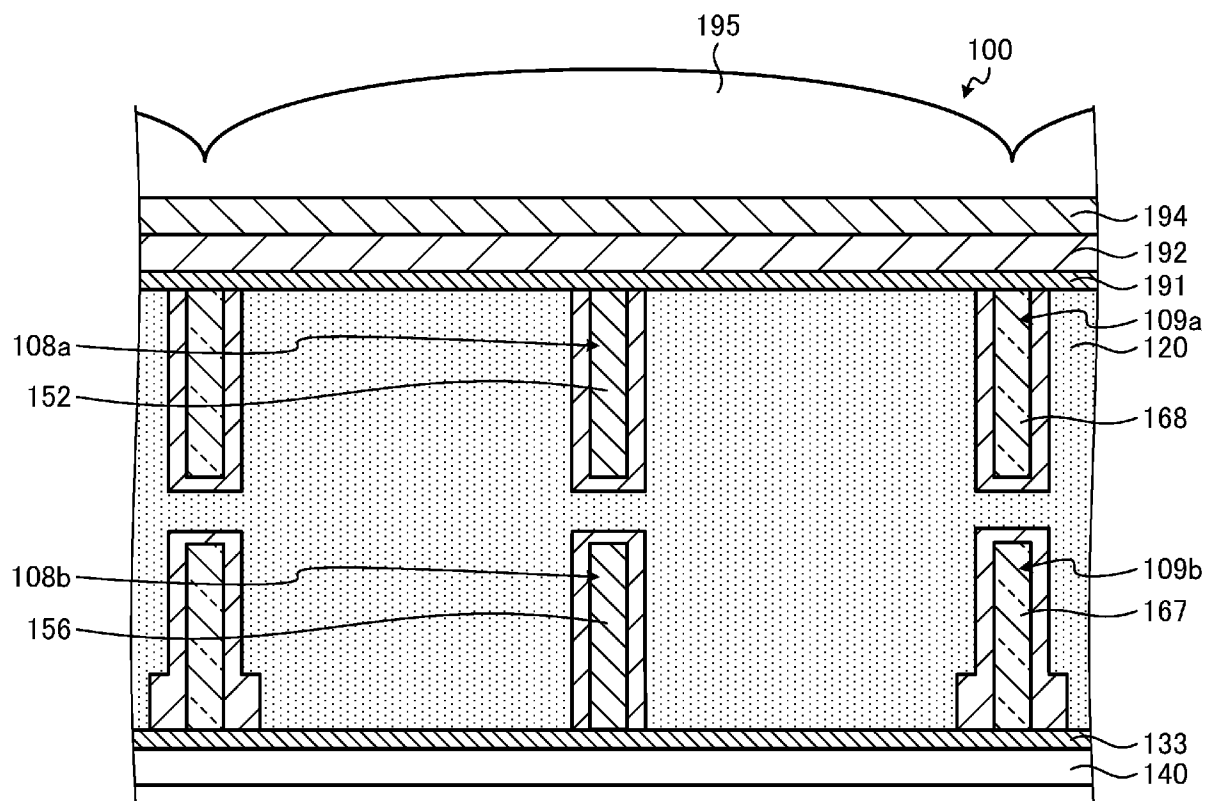
[図18B]



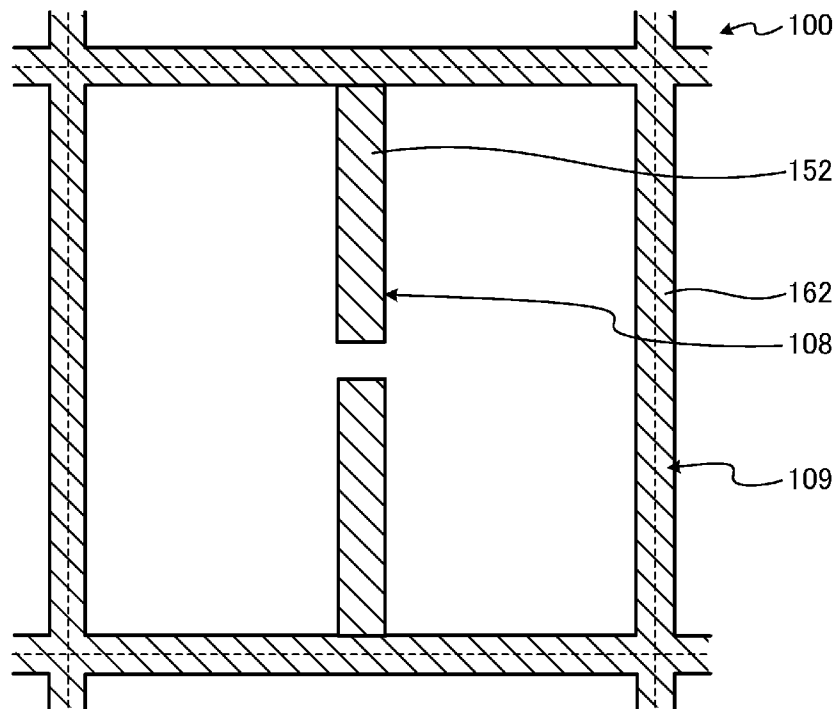
[図19A]



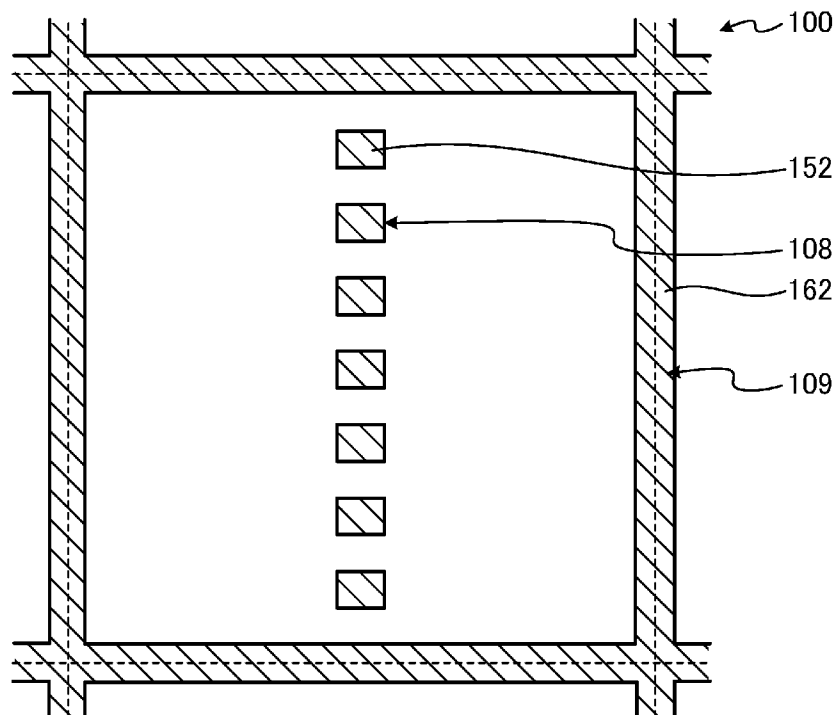
[図19B]



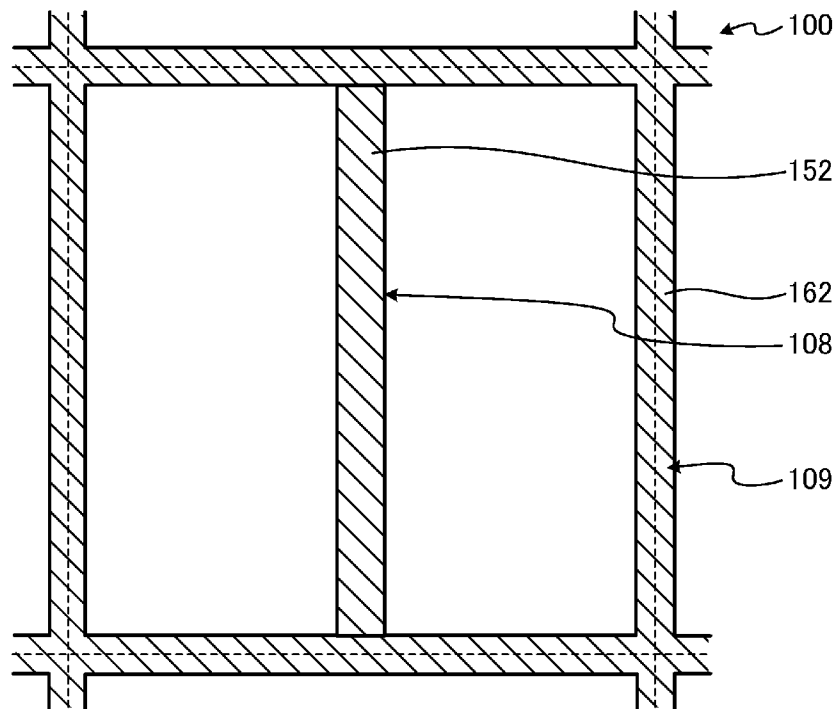
[図20A]



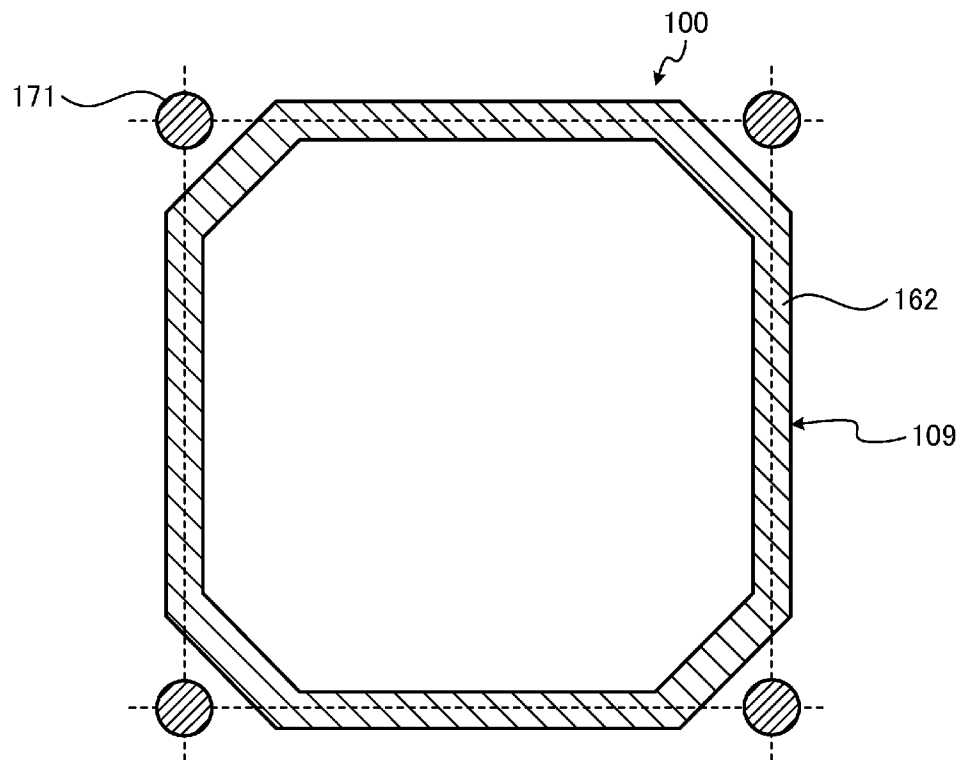
[図20B]



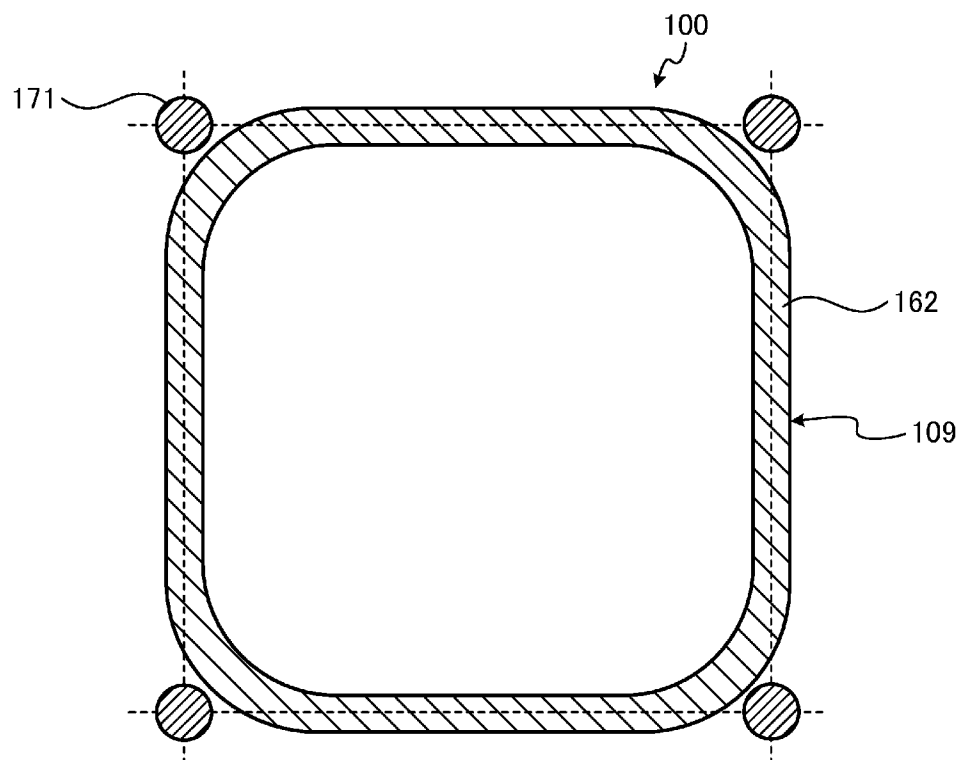
[図20C]



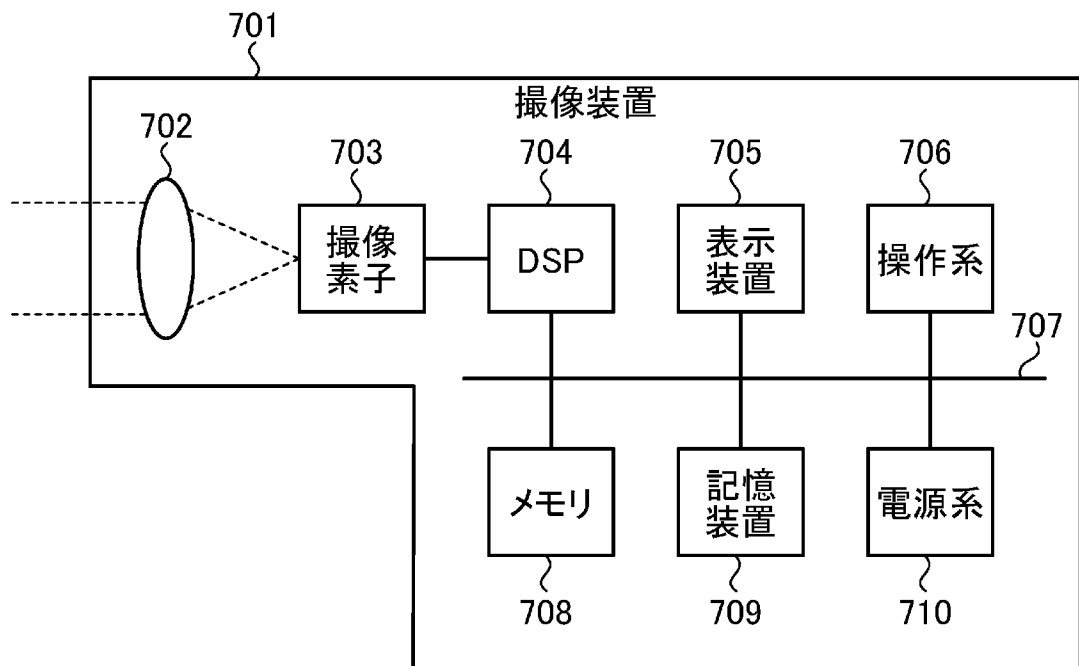
[図21A]



[図21B]



[図22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/003514

A. CLASSIFICATION OF SUBJECT MATTER**H01L 27/146**(2006.01)i; **H04N 5/369**(2011.01)i

FI: H01L27/146 A; H04N5/369

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146; H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2022
 Registered utility model specifications of Japan 1996-2022
 Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 10073239 B1 (OMNIVISION TECHNOLOGIES, INC.) 11 September 2018 (2018-09-11) column 3, line 25 to column 3, line 39, fig. 1C	1-23
A	JP 2009-206210 A (SONY CORP) 10 September 2009 (2009-09-10) entire text, all drawings	1-23
A	JP 2010-114274 A (SONY CORP) 20 May 2010 (2010-05-20) entire text, all drawings	1-23
A	JP 2014-116472 A (CANON INC) 26 June 2014 (2014-06-26) entire text, all drawings	1-23
A	JP 2009-177601 A (FUJIFILM CORP) 06 August 2009 (2009-08-06) entire text, all drawings	1-23
A	CN 109273470 A (HUAIAN IMAGING DEVICE MANUFACTURER CORPORATION) 25 January 2019 (2019-01-25) entire text, all drawings	1-23

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

19 April 2022

Date of mailing of the international search report

26 April 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/003514

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	10073239	B1	11 September 2018	CN	108878463	A	
				TW	201901319	A	
JP	2009-206210	A	10 September 2009	US	2009/0213256	A1	
				entire text, all drawings			
				KR	10-2009-0092241	A	
				CN	101521216	A	
				TW	200947688	A	
JP	2010-114274	A	20 May 2010	US	2009/0303371	A1	
				entire text, all drawings			
				US	2014/0151533	A1	
				US	2019/0123093	A1	
				US	2020/0350358	A1	
				EP	2133918	A2	
				CN	101609837	A	
				KR	10-2009-0127828	A	
				TW	201003907	A	
JP	2014-116472	A	26 June 2014	US	2014/0160335	A1	
				entire text, all drawings			
				US	2016/0064432	A1	
				US	2017/0263658	A1	
				US	2018/0102384	A1	
				US	2018/0301483	A1	
				US	2019/0259788	A1	
				US	2020/0357832	A1	
JP	2009-177601	A	06 August 2009	(Family: none)			
CN	109273470	A	25 January 2019	(Family: none)			

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 27/146(2006.01)i; H04N 5/369(2011.01)i FI: H01L27/146 A; H04N5/369		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L27/146; H04N5/369		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 10073239 B1 (OMNIVISION TECHNOLOGIES, INC.) 11.09.2018 (2018-09-11) 3欄25行-3欄39行, 図1C	1-23
A	JP 2009-206210 A (ソニー株式会社) 10.09.2009 (2009-09-10) 全文, 全図	1-23
A	JP 2010-114274 A (ソニー株式会社) 20.05.2010 (2010-05-20) 全文, 全図	1-23
A	JP 2014-116472 A (キヤノン株式会社) 26.06.2014 (2014-06-26) 全文, 全図	1-23
A	JP 2009-177601 A (富士フイルム株式会社) 06.08.2009 (2009-08-06) 全文, 全図	1-23
A	CN 109273470 A (HUAIAN IMAGING DEVICE MANUFACTURER CORPORATION) 25.01.2019 (2019-01-25) 全文, 全図	1-23
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 19.04.2022		国際調査報告の発送日 26.04.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 西出 隆二 5F 3356 電話番号 03-3581-1101 内線 3516

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/003514

引用文献			公表日	パテントファミリー文献			公表日
US	10073239	B1	11.09.2018	CN	108878463	A	
				TW	201901319	A	
JP	2009-206210	A	10.09.2009	US	2009/0213256	A1	
				全文, 全図			
				KR	10-2009-0092241	A	
				CN	101521216	A	
				TW	200947688	A	
JP	2010-114274	A	20.05.2010	US	2009/0303371	A1	
				全文, 全図			
				US	2014/0151533	A1	
				US	2019/0123093	A1	
				US	2020/0350358	A1	
				EP	2133918	A2	
				CN	101609837	A	
				KR	10-2009-0127828	A	
				TW	201003907	A	
JP	2014-116472	A	26.06.2014	US	2014/0160335	A1	
				全文, 全図			
				US	2016/0064432	A1	
				US	2017/0263658	A1	
				US	2018/0102384	A1	
				US	2018/0301483	A1	
				US	2019/0259788	A1	
				US	2020/0357832	A1	
JP	2009-177601	A	06.08.2009	(ファミリーなし)			
CN	109273470	A	25.01.2019	(ファミリーなし)			