(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년03월04일
(11) 등록번호 10-0809858
(24) 등록일자 2008년02월27일

(51) Int. Cl.
H01L 21/20 (2006.01)
(21) 출원번호 10-2001-0050655
(22) 출원일자 2001년08월22일
심사청구일자 2006년08월22일
(65) 공개번호 10-2002-0015667
(43) 공개일자 2002년02월28일
(30) 우선권주장
JP-P-2000-00251623 2000년08월22일 일본(JP)
(56) 선행기술조사문헌
JP06077131 A
JP11145056 A
전체 청구항 수 : 총 6 항

(73) 특허권자
소니 가부시끼 가이샤
일본국 도쿄도 미나토쿠 코난 1-7-1
(72) 발명자
히라가토루
일본국도쿄도시나가와쿠키타시나가와6쵸메7반35고 소니가부시끼가이샤내
노구치타카시
일본국도쿄도시나가와쿠키타시나가와6쵸메7반35고 소니가부시끼가이샤내
(뒷면에 계속)
(74) 대리인
이병호, 장훈

심사관 : 이시근

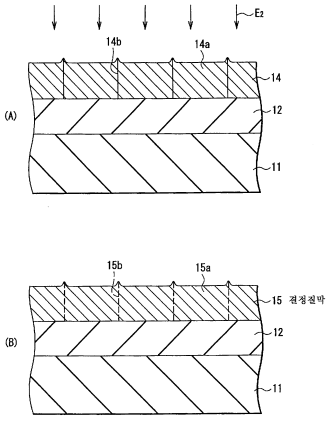
(54) 결정질 반도체 재료 제조 방법 및 반도체 장치 제조 방법

(57) 요 약

결정성을 보다 향상시킬 수 있는 결정질 반도체 재료 제조 방법 및 그것을 이용한 반도체 장치 제조 방법을 제공한다.

기판(11) 상에 보호막(12)을 통해 Si로 이루어지는 비정질막을 형성한다. 이어서, 이 비정질막에 단파장 에너지 빔을 조사하여 제 1 가열 처리를 행하여, 준단결정으로 이루어지는 결정질막(14)을 형성한다. 계속해서, 결정질막(14)에 단파장 에너지 빔(E_2)을 조사하여 제 2 가열 처리를 행하여, 결정질막(14)의 입자계(14b) 및 그 근방만을 선택적으로 용융하고 재결정화한다. 이로써, 결정성이 개선된 결정질막(15)이 얻어진다.

대표도 - 도5



(72) 발명자

우스이세츠오

일본국도쿄도시나가와쿠키타시나가와6쵸메7반35고 소니가부시끼가이샤내

모리요시후미

일본국도쿄도시나가와쿠키타시나가와6쵸메7반35고 소니가부시끼가이샤내

특허청구의 범위

청구항 1

결정질 반도체 재료 제조 방법에 있어서,

비정질 반도체 재료에 제 1 가열 처리를 행함으로써 준(準)단결정 반도체 재료를 형성하는 공정과,

준단결정 반도체 재료에 제 2 가열 처리를 행함으로써 일부를 용융하여 재결정화하는 공정을 포함하는 것을 특징으로 하는, 결정질 반도체 재료 제조 방법.

청구항 2

제 1 항에 있어서,

제 2 가열 처리로서, 준단결정 반도체 재료를 단결정 융점보다도 낮고 비정질 융점보다도 높은 온도로 가열하는 것을 특징으로 하는, 결정질 반도체 재료 제조 방법.

청구항 3

제 1 항에 있어서,

제 2 가열 처리에 의해, 준단결정 반도체 재료의 결정입계(結晶粒界) 및 그 근방(近傍)만을 용융하여 재결정화하는 것을 특징으로 하는, 결정질 반도체 재료 제조 방법.

청구항 4

제 1 항에 있어서,

제 2 가열 처리로서, 준단결정 반도체 재료에 에너지 빔을 조사하는 것을 특징으로 하는, 결정질 반도체 재료 제조 방법.

청구항 5

제 1 항에 있어서,

제 1 가열 처리로서, 비정질 반도체 재료에 에너지 빔을 조사하는 것을 특징으로 하는, 결정질 반도체 재료 제조 방법.

청구항 6

반도체 장치 제조 방법에 있어서,

비정질 반도체 재료에 제 1 가열 처리를 행함으로써 준단결정 반도체 재료를 형성하는 공정과,

준단결정 반도체 재료에 제 2 가열 처리를 행함으로써 일부를 용융하여 재결정화하는 공정을 포함하는 것을 특징으로 하는, 반도체 장치 제조 방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<17> 본 발명은 어모퍼스(amorphous) 반도체 재료에 가열 처리를 행하여 결정화하는 결정질 반도체 재료 제조 방법 및 그것을 이용한 반도체 장치 제조 방법에 관한 것이다.

<18> 종래 기술

<19> 현재, 특히 FPD(Flat Panel Display) 등의 분야에서는, 엑시머 레이저 어닐(ELA; Excimer Laser Annealing)법에 의해, 저온에서 다결정 실리콘막을 사용한 박막 트랜지스터(TFT; Thin Film Transistor)를 제조하는 연구·

개발이 진행되고 있다. 또한, 금후는 임의의 기판 상에서 LSI(Large Scale Integrated circuit) 기능을 탑재한 시스템 온 패널의 조기 실현도 기대되고 있다. 이것에는, 저온 프로세스에서 다결정 실리콘(Si)막을 사용한 TFT의 고성능화를 도모할 필요가 있으며, 그 한 수단으로서, 다결정 실리콘막의 결정성 향상 및 결정 입자 직경 증대화 등이 검토되고 있다.

<20> 그러나, 다결정 실리콘막의 결정 입자 직경이 커져 TFT의 채널 길이에 근접해지면, 특성에 불균일성이 생겨버린다는 문제가 있다. 그래서, 다결정상보다 단결정상에 가까운 서로 인접하는 결정립 입자계가 부분적으로 정합하는 준단결정상을 사용하는 것이 새롭게 제안되고 있다(일본 특개평 11-145056호 공보). 이 준단결정 실리콘막을 사용하면, 다결정 실리콘막에 비해 결정입계에 존재하는 캐리어의 산란 장벽을 낮게 할 수 있어, TFT의 고성능화를 도모할 수 있다.

발명이 이루고자 하는 기술적 과제

<21> 그렇지만, 준단결정 실리콘막이라 해도 역시 결정입계에는 캐리어의 산란 장벽이 존재해버리기 때문에, TFT의 균일화 및 고성능화를 충분히 도모할 수 없다는 문제가 있었다. 따라서, 보다 균일하고 보다 고성능인 TFT 실현을 도모하기 위해서는, 서로 인접하는 결정립 입자계를 더욱 격자 정합시켜, 결정성을 더욱 향상시키는 것이 요구되고 있다.

<22> 본 발명은 이러한 문제점에 비추어 이루어진 것으로, 그 목적은 결정성을 보다 향상시킬 수 있는 결정질 반도체 재료 제조 방법 및 그것을 이용한 반도체 장치 제조 방법을 제공함에 있다.

발명의 구성 및 작용

<23> 과제를 해결하기 위한 수단

<24> 본 발명에 의한 결정질 반도체 재료 및 반도체 장치 제조 방법은 각각 비정질 반도체 재료에 제 1 가열 처리를 행함으로써 준단결정 반도체 재료를 형성하는 공정과, 준단결정 반도체 재료에 제 2 가열 처리를 행함으로써 일부를 용융하여 재결정화하는 공정을 포함하는 것이다.

<25> 제 2 가열 처리로서는, 준단결정 반도체 재료를 단결정 융점보다도 낮고 비정질 융점보다도 높은 온도에서 가열하는 것이 바람직하다. 또한, 제 2 가열 처리에 의해, 준단결정 반도체 재료의 결정입계 및 그 근방만을 용융하여 재결정화하는 것이 바람직하다.

<26> 또한, 제 2 가열 처리 방법으로서는, 준단결정 반도체 재료에 엑시머 레이저 빔 등의 단파장 에너지 빔을 조사하는 것이 바람직하다.

<27> 본 발명에 의한 결정질 반도체 재료 또는 반도체 장치 제조 방법에서는, 비정질 반도체 재료가 2단계로 나누어 가열됨으로써, 준단결정화 및 재결정화되어 이 재결정화에 의해 결정성 향상이 도모된다.

<28> 발명의 실시예

<29> 이하, 본 발명의 실시예에 대해서, 도면을 참조하여 상세하게 설명한다.

<30> 또한, 이하의 실시예에서는, 반도체 장치로서 예를 들면 도 1에 도시한 액정 표시 장치(100)를 제조하는 경우에 대해서 구체적으로 설명한다. 덧붙여, 이 액정 표시 장치(100)는 도시하지 않은 기판 상에 화소부(101)와, 이 화소부(101) 주변부에 설치된 주변 회로부(102)를 구비한 것이다. 화소부(101)에는 액정층(103)과, 이 액정층(103)을 각 화소에 대응하여 구동하기 위한 매트릭스 형상으로 배열된 복수의 박막 트랜지스터(104)가 형성되어 있다. 주변 회로부(102)는 비디오 신호 단자(105)를 구비하며, 입력한 화상 신호와 함께 수평 주사 신호를 화소부(101)로 보내는 수평 주사부(수평 주사 회로; 신호 전극 구동 회로)(106)와, 수직 주사 신호를 화소부(101)로 보내는 수직 주사부(수직 주사 회로; 주사 전극 구동 회로)(107)에 의해 구성되어 있다.

<31> 이 액정 표시 패널(100)에서는, 화상 신호가 비디오 신호 단말(105)을 통해 수평 주사부(106)로 보내지고, 이 수평 주사부(106)로부터 화상 신호와 함께 수평 주사 신호가 화소부(101)의 각 화소마다의 박막 트랜지스터(104)로 보내지며, 또 수직 주사부(107)로부터 수직 주사 신호가 화소부(101)의 각 화소마다의 박막 트랜지스터(104)로 보내짐으로써 액정층(103)의 스위칭 제어가 이루어져, 화상 표시가 행해지도록 되어 있다.

<32> 도 2 내지 도 5는 본 발명의 한 실시예에 관련되는 결정질 반도체 재료 제조 방법을 공정 순으로 나타내는 것이다. 우선, 도 2의 (A)에 도시한 바와 같이, 예를 들면, 유리로 이루어지는 절연성 기판(11) 상에 적층 방향 두

께(이하, 간단히 두께라 한다)가 40nm의 이산화규소(SiO_2)로 이루어지는 보호막(12)을 통해 실리콘으로 이루어지는 비정질(어모퍼스)막(13)을 형성한다. 보호막(12)은 비정질막(13)(즉 후의 결정질막(14, 15))이 유리제 기판(11)에 의해 오염되는 것을 방지하기 위한 것으로, 예를 들면, 화학 기상 성장법(CVD; Chemical Vapor Deposition)법 또는 스패터링법에 의해 형성한다. 또한, 보호막(12)은 예를 들면, 질화 규소(SiN)막과 이산화규소막을 기판(11) 측에서 이 순서로 적층한 구조로 해도 된다.

<33> 비정질막(13)은 예를 들면, CVD법, 플라즈마 CVD(PECVD; Plasma Enhanced Chemical Vapor Deposition)법 또는 스패터링법에 의해 형성한다. 비정질막(13)의 두께는 예를 들면, 10nm 이상 100nm 이하로 하는 것이 바람직하며, 15nm 이상 75nm 이하로 하면 보다 바람직하다. 후속 결정화 공정에 있어서 양호한 결정질막(14)을 얻을 수 있기 때문이다. 예를 들면, 여기서는, 40nm 두께로 비정질막(13)을 형성한다.

<34> 또한, 비정질막(13)을 플라즈마 CVD법에 의해 형성할 경우에는 비정질막(13)에 다량의 수소가 함유되어버리기 때문에, 비정질막(13)을 형성한 후에, 예를 들면, 450℃ 온도에서 2시간 가열함으로써, 또는 자외선에 의한 급속 열 어닐(RTA; Rapid Thermal Annealing)을 행함으로써, 수소를 제거하는 것이 바람직하다.

<35> 이어서, 도 2의 (B)에 도시한 바와 같이, 예를 들면, 질소 분위기 중에 있어서 비정질막(13)에 단파장 에너지 빔(E_1)을 조사하여, 제 1 가열 처리를 행한다. 그 때, 비정질막(13)의 가열 온도는 비정질 실리콘 융점(1200℃ 정도)보다도 높아지도록 하는 것이 바람직하다. 또한, 단파장 에너지 빔(E_1)으로서는, 예를 들면 파장 308nm의 XeCl 엑시머 레이저 빔 등을 들 수 있다. 이 단파장 에너지 빔(E_1)은 소위 선 빔으로서 조사해도 되며, 면 빔으로서 조사해도 된다.

<36> 예를 들면, 선 빔으로 조사할 경우에는, 하기에 도시한 조사 조건의 펄스 레이저 빔으로서 조사한다. 또한, 에너지 밀도는 1펄스당 값이다.

<37> 조사 조건

<38> 펄스 폭; 20nsec

<39> 펄스 주파수; 200Hz

<40> 에너지 밀도; 약 250mJ/cm^2

<41> 조사 회수; 100회

<42> 이로써, 예를 들면 도 3에 도시한 바와 같이, 비정질막(13)은 결정화하여, 준단결정으로 이루어지는 결정질막(14)이 된다. 이 「준단결정」이라는 것은 거의 단결정인 복수의 결정립으로 이루어지며, 복수의 결정립은 한 면 방위에 우선 배향하고 있으며, 복수의 결정립 중 서로 인접하는 결정립은 적어도 그 입자계 일부에서 서로 격자 정합하고 있는 것이다(일본 특개평 11-145056호 공보 참조). 본 실시예에서는, 예를 들면 도 4의 (A)에 도시한 바와 같이, {100}면 방위에 배향한 정방 형상의 거의 단결정으로 이루어지는 결정립(14a) 군이 바둑판 눈금 형상으로 2차원적으로 배열되며, 서로 인접하는 결정립(14a)이 그들 입자계(14b) 중 적어도 일부에서 서로 거의 격자 정합한 준단결정으로 이루어지는 결정질막(14)이 형성된다. 결정립(14a)의 4개 측면은 각각 {002}면으로 이루어진다.

<43> 또한, 결정질막(14)은 예를 들면 도 3에 도시한 바와 같이, 입자계(14b)가 융기하고 있으며, 입자계(14b)에는 미결합수가 남아 있다. 이로써, 결정질막(14)에서는, 예를 들면 도 4의 (B)에 도시한 바와 같이, 입자계(14b)의 에너지 전위가 높아지며, 캐리어의 산란 장벽이 높게 되어 있다.

<44> 또한, 이 제 1 가열 처리에 의한 준단결정 생성 과정에서는, 조사한 단파장 레이저 빔과 비정질 반도체 표면에서 반사되는 단파장 레이저 빔이 간섭을 일으킴으로써, 비정질 반도체 속으로 유기되는 주기적인 열 분포가 중요한 역할을 하고 있다고 생각된다. 즉, 단파장 레이저 빔은 거의 직선 편광으로 되어 있으며, 기판에 수직으로 입사한 단파장 레이저 빔은 표면 요철(凹凸)에 의해 산란된다. 산란 광은 구면파로서 표면을 따라 넓어지며, 입사 광의 편광 성분과 산란 광의 편광 성분이 간섭하는 조건에 따라서 광 강도 분포를 초래한다. 산란원으로부터 파장의 정수배 떨어진 곳에서는 간섭에 의해 강도가 강해져, 보다 강하게 편광하고 있는 방향으로 반도체의 결정 성장에 의한 파장 주기의 새로운 요철이 생긴다.

<45> 이들 주기적인 요철이 새로운 산란원이 되어, 단파장 레이저 빔의 샷 수 증가와 함께, 보다 선명한 파장 주기의 격자 형상 패턴을 갖는 결정화가 진행한다. 각각의 요철은 격자 형상 에너지 강도 패턴의 에너지가 낮은 곳으

로부터 결정 성장이 시작되며, 각 결정립이 서로 부딪친 곳이 돌기가 된다. 격자 형상의 온도 분포가 균일하고, 또한 융액과 기판 계면의 표면 상태가 균일하면, 각각의 결정립은 동일한 결정 방위를 가지고 성장하기 때문에, 전체적으로 소위 준단결정으로서 성장한다.

<46> 계속해서, 도 5의 (A)에 도시한 바와 같이, 예를 들면, 질소 분위기 중에 있어서 결정질막(14)에 단파장 에너지 빔(E_2)을 조사하여, 제 2 가열 처리를 행한다. 그 때, 결정질막(14)의 가열 온도는 비정질 실리콘 융점(1200℃ 정도)보다도 높고, 단결정 실리콘 융점(1415℃)보다도 낮아지도록 하는 것이 바람직하다. 결정질막(14)의 입자계(14b)는 미결합 부분이 결함으로서 비정질적으로 되어 있다고 생각되기 때문에, 단결정 융점보다도 낮은 온도로 함으로써, 결정질막(14) 중 입자계(14b) 및 그 근방만을 선택적으로 용융할 수 있다고 생각되기 때문이다. 이로써, 예를 들면 도 5의 (B)에 도시한 바와 같이, 결정질막(14)은 입자계(14b) 및 그 근방만이 용융하여, 재결정화함으로써, 결정성이 개선된 결정질막(15)이 된다. 이 결정질막(15)은 예를 들면 도 6에 도시한 바와 같이, 결정질막(14)보다도 더욱 입자계(15b)가 격자 정합하여, 입자계(15b)의 에너지 전위는 낮아지며, 캐리어의 산란 장벽이 낮게 되어 있다.

<47> 또한, 참고로서, 도 7에 일반적인 다결정막(21)의 결정립(21a) 상태(A) 및 에너지 전위(B)를 도시한다. 이렇게, 다결정막(21)에서는, 결정립(21a) 크기 및 배향면이 불균일하여, 입자계(21b)의 에너지 전위는 대단히 높게 되어 있다. 이에 대해, 본 실시예에서는, 제 1 가열 처리에 의해 결정립(14a) 크기 및 배향면을 갖추고, 입자계(14b)의 에너지 전위를 낮게 한 후(도 4 참조), 제 2 가열 처리에 의해 입자계(15b) 및 그 근방의 결정성을 향상시켜, 입자계(15b)의 에너지 전위를 더욱 낮게 하도록 되어 있다(도 6 참조).

<48> 제 2 가열 처리에서 조사하는 단파장 에너지 빔(E_2)으로서는, 단파장 에너지 빔(E_1)과 마찬가지로, 예를 들면 파장 308nm의 XeCl 엑시머 레이저 빔 등을 들 수 있다. 단파장 에너지 빔(E_2)은 소위 선 빔으로서 조사해도 되며, 면 빔으로서 조사해도 되지만, 10J 이상의 고출력 에너지에 의한 면 빔을 펄스로 조사하는 편이 바람직하다. 고출력이 가능한 예를 들면 X-ray 예비 전리 방식의 에너지 빔 발생 장치를 사용할 경우에는, 펄스 폭이 예를 들면 150nsec로 약간 길어지기 때문에, 재결정화 효율은 떨어지지만, 긴 응고 시간 및 느린 응고 속도를 얻는 데는 유리해져, 입자계(14b)의 결정성을 개선하는 데 적합하다고 생각되기 때문이다.

<49> 예를 들면, 면 빔으로 조사할 경우에는, 하기에 도시한 조건의 펄스 레이저 빔으로서 조사한다. 또한, 에너지 밀도는 1펄스당 값이다.

<50> 조사 조건

<51> 펄스 폭; 150nsec

<52> 펄스 주파수; 10Hz

<53> 에너지 밀도; 500mJ/cm^2

<54> 조사 회수; 40회

<55> 또한, 제 2 가열 처리에서는, 단파장 에너지 빔(E_2) 조사 대신, 전기로 혹은 램프 등의 다른 방법에 의해 결정질막(14)을 가열하도록 해도 된다. 단, 에너지 빔을 조사하는 방법에 의하면, 에너지가 결정질막(14)에 직접 흡수되어, 결정질막(14)을 국소적으로 용융할 수 있기 때문에, 보다 결정성 높은 결정질막(15)을 얻을 수 있어 바람직하다. 또한, 램프에 의한 가열에 의하면, 결정질막(14)의 가열 온도를 단결정 융점보다도 낮고 정확히 제어할 수 있기 때문에 바람직하다.

<56> 이렇게 하여 결정질막(15)을 형성한 후, 필요에 따라서 결정질막(15) 표면을 CMP(Chemical Mechanical Polish) 등에 의해 평탄화하도록 해도 된다. 결정질막(15) 표면에는 결정질막(14)을 형성할 때에 생긴 기복이 남아 있는 경우도 있기 때문이다. 그 후, 공지 방법에 의해, TFT 형성 공정이나 액정 표시 소자 제조 공정 등을 행한다. 이들 공정은 소자 분리 후에 있어서의 게이트 산화막 형성, 게이트 전극 형성 후에 있어서의 소스 영역 및 드레인 영역 형성, 층간 절연막 형성, 컨택트 홀 형성, 메탈 배선, ITO(Indium-Tin Oxide: 인듐과 주석의 산화물 혼합막) 형성, 액정 봉입 등의 공정이다. 이로써, 본 실시예에 관련되는 다결정막 제조 방법 및 반도체 장치 제조 방법에 관한 공정이 종료하여, 도 1에 도시한 반도체 장치가 형성된다.

<57> 이렇게 본 실시예에 의하면, 비정질막(13)을 복수 단계로 나누어 가열하도록 했기 때문에, 비정질막(13)을 결정화하여 결정질막(14)으로 한 후, 이 결정질막(14) 일부를 다시 용융하고, 재결정화하여 결정질막(15)으로 할 수

있다. 따라서, 보다 높은 결정성을 갖는 결정질막(15)을 얻을 수 있다. 따라서, 균일하고 고성능 TFT를 대면적 기판 상에 형성할 수 있다. 즉, 평면 디스플레이 장치의 고화질화를 도모할 수 있음과 동시에, 페이퍼라이크 디스플레이 실현 및 LSI 탑재 시스템 온 패널 실현을 도모할 수 있다.

<58> 특히, 비정질막(13)에 제 1 가열 처리를 행하여 준단결정으로 이루어지는 결정질막(14)을 형성한 후, 이 결정질막(14)에 제 2 가열 처리를 행하여 그 일부를 용융하고, 재결정화하여 결정질막(15)을 형성하도록 했기 때문에, 입자계(15b) 및 그 근방의 결정성을 보다 향상시킬 수 있다. 따라서, 입자계(15b)의 에너지 전위를 낮게 할 수 있으며, 캐리어의 산란 장벽을 낮게 할 수 있다.

<59> 또한, 제 2 가열 처리로서, 결정질막(14)을 단결정 융점보다도 낮고 비정질 융점보다도 높은 온도로 가열하도록 하면, 결정질막(14) 중 입자계(14b) 및 그 근방을 선택적으로 용융할 수 있어, 용이하게 결정질막(15)의 결정성을 높일 수 있다.

<60> 더욱이, 제 2 가열 처리로서, 결정질막(14)에 에너지 빔(E_2)을 조사하도록 하면, 결정질막(14)을 국소적으로 용융할 수 있어, 보다 결정성 높은 결정질막(15)을 얻을 수 있다.

<61> 이상, 실시예를 들어 본 발명을 설명했지만, 본 발명은 상기 실시예에 한정되는 것이 아니라, 각종 변형 가능하다. 예를 들면, 상기 실시예에서는, 비정질막(13)을 제 1 가열 처리와 제 2 가열 처리 2단계로 나누어 가열하도록 했지만, 3단계 이상으로 나누어 가열하도록 해도 된다.

<62> 또한, 상기 실시예에서는, 제 1 가열 처리에 의해, 예를 들면 도 4의 (A)에 도시한 바와 같이, {100}면 방위에 우선 배향한 정방 형상의 거의 단결정으로 이루어지는 결정립(14a) 군이 바둑판 눈금 형상으로 배열된 준단결정으로 이루어지는 결정질막(14)을 형성하는 경우에 대해서 설명했지만, 다른 면 방위에 우선 배향하고 있는 결정질막을 형성하도록 해도 된다. 예를 들면, 도 8에 도시한 바와 같이, {111}면 방위에 우선 배향한 정육각 형상의 거의 단결정 결정립(14a) 군이 6각형의 연속 무늬 형상으로 이차원적으로 배열된 결정질막(14)을 형성해도 되며, 도 9에 도시한 바와 같이, {110}면 방위에 우선 배향한 육각 형상의 거의 단결정 결정립(14a) 군이 6각형의 연속 무늬 형상으로 이차원적으로 배열된 결정질막(14)을 형성하도록 해도 된다. 이들 경우에도, 상기 실시예와 완전히 동일한 효과를 얻을 수 있다.

<63> 더욱이, 상기 실시예에서는, 실리콘으로 이루어지는 결정질막(15), 즉 결정성 반도체 재료를 제조할 경우에 대해서 설명했지만, 본 발명은 다른 결정성 반도체 재료를 제조하는 경우에 대해서도 동일하게 적용할 수 있다. 특히, 다이아몬드형 결정 구조를 갖는 다른 공유 결합형 반도체, 전형적으로는 다른 IV족 반도체로 이루어지는 결정질 반도체 재료를 제조할 경우는, 상기 실시예와 완전히 동일하다. 또한, IV족 반도체에는 실리콘, 게르마늄(Ge), 탄소(C) 등의 원소 반도체 외에 실리콘, 게르마늄 및 탄소로 이루어지는 군에서 선택된 적어도 1종으로 이루어지는 반도체, 예를 들면 SiGe 혹은 SiC가 있다.

<64> 더불어, 상기 실시예에서는, 제 1 가열 처리로서, 비정질막(13)에 에너지 빔(E_1)을 조사하도록 했지만, 일반적인 범용 전기 가열로(확산로) 또는 램프 등의 다른 방법에 의해 가열하도록 해도 된다.

<65> ［실시예］

<66> 도 10은 이하의 조건으로 제 1 가열 처리를 실시함으로서 얻어진 준단결정의 SEM(Scanning Electron Microscope) 사진이다.

<67> 시료 구조

<68> 비정질 실리콘막(막 두께 40nm)/SiO$_2$막(막 두께 200nm)/유리 기판

<69> 조사 조건

<70> 펄스 폭; 20nsec

<71> 펄스 주파수; 200Hz

<72> 레이저 에너지 밀도; 350mJ/cm^2

<73> 조사 회수; 20회

<74> 도 11은 그 후, 이하의 조건으로 제 2 가열 처리를 실시한 후의 SEM 사진으로, 일부 결정입계부가 용융하여 결

정 입자 직경이 커져, 재결정화하고 있는 것을 알 수 있다.

<75> 조사 조건

<76> 펄스 폭; 150nsec

<77> 펄스 주파수; 10Hz

<78> 레이저 에너지 밀도; 530mJ/cm^2

<79> 조사 회수; 20회

발명의 효과

<80> 이상 설명한 바와 같이 청구항 제 1 항 내지 제 5 항 중 어느 한 항에 기재된 결정질 반도체 재료 제조 방법에 의하면, 비정질 반도체 재료에 제 1 가열 처리를 행하여 준단결정으로 이루어지는 결정질 반도체 재료를 형성한 후, 이 결정질 반도체 재료에 제 2 가열 처리를 행하여 그 일부를 용융하여, 재결정화하도록 했기 때문에, 입자계 및 그 근방의 결정성을 보다 향상시킬 수 있다. 따라서, 입자계의 에너지 전위를 낮게 할 수 있으며, 캐리어의 산란 장벽을 낮게 할 수 있다.

<81> 또한, 청구항 제 2 항에 기재된 결정성 반도체 재료 제조 방법에 의하면, 제 2 가열 처리로서, 결정질 반도체 재료를 단결정 융점보다도 낮고 비정질 융점보다도 높은 온도로 가열하도록 했기 때문에, 입자계 및 그 근방을 선택적으로 용융할 수 있어, 용이하게 결정성을 높일 수 있다.

<82> 더욱이, 청구항 제 4 항에 기재된 결정성 반도체 재료 제조 방법에 의하면, 제 2 가열 처리로서, 결정질 반도체 재료에 에너지 빔을 조사하도록 했기 때문에, 결정질 반도체 재료를 국소적으로 용융할 수 있어, 보다 결정성 높은 결정질 반도체 재료를 얻을 수 있다.

<83> 더불어, 청구항 제 6 항에 기재된 반도체 장치 제조 방법에 의하면, 본 발명의 결정질 반도체 재료 제조 방법을 사용하도록 했기 때문에, 균일하고 고성능 TFT 등의 반도체 장치를 대면적 기판 상에 형성할 수 있다. 따라서, 평면 디스플레이 장치의 고화질화를 도모할 수 있음과 동시에, 페이퍼라이크 디스플레이 실현 및 LSI 탑재 시스템 온 패널 실현을 도모할 수 있다.

도면의 간단한 설명

<1> 도 1은 본 발명의 한 실시예에 관련되는 결정질 반도체 재료 제조 방법 및 반도체 장치 제조 방법을 사용하여 제조하는 액정 표시 장치 구조를 모식적으로 도시한 블록도.

<2> 도 2는 본 발명의 한 실시예에 관련되는 결정질 반도체 재료 제조 방법 및 반도체 장치 제조 방법의 각 공정을 도시하는 단면도.

<3> 도 3은 도 2에 계속되는 공정을 도시하는 단면도.

<4> 도 4는 도 3에 도시한 공정을 설명하기 위한 평면도 및 에너지 전위 구조도.

<5> 도 5는 도 3에 계속되는 공정을 도시하는 단면도.

<6> 도 6은 도 5의 (B)에 도시한 공정을 설명하기 위한 평면도 및 에너지 전위 구조도.

<7> 도 7은 일반적인 다결정막에 있어서의 결정립 상태를 도시하는 평면도 및 에너지 전위 구조도.

<8> 도 8은 본 발명의 변형예를 도시하는 평면도.

<9> 도 9는 본 발명의 다른 변형예를 도시하는 평면도.

<10> 도 10은 제 1 가열 처리 후의 SEM 사진.

<11> 도 11은 제 2 가열 처리 후의 SEM 사진.

<12> * 도면의 주요 부분에 대한 부호의 설명 *

<13> 11: 기판 12: 보호막

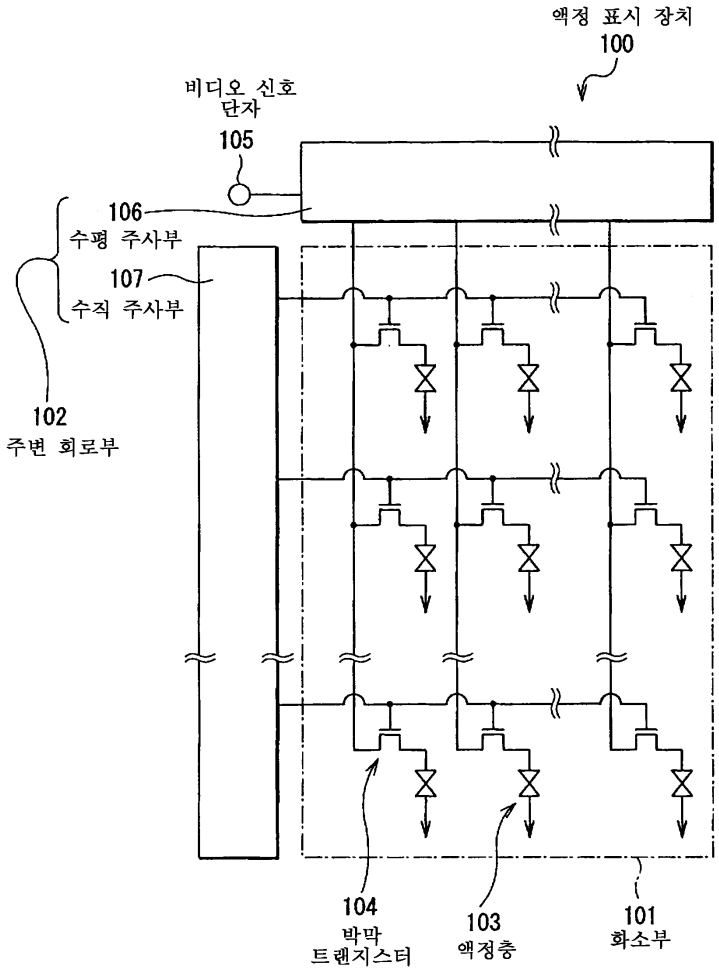
<14> 13: 비정질막 14, 15: 결정질막

<15> 14a, 15a, 21a: 결정립 14b, 15b, 21b: 입자계

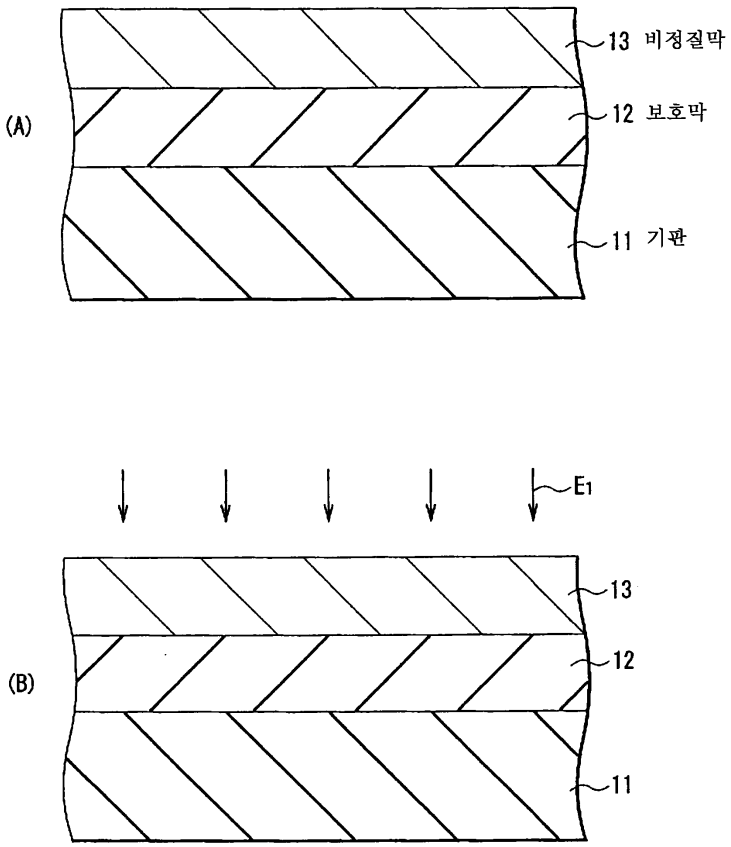
<16> 21: 다결정막 E_1, E_2: 단파장 에너지 빔

도면

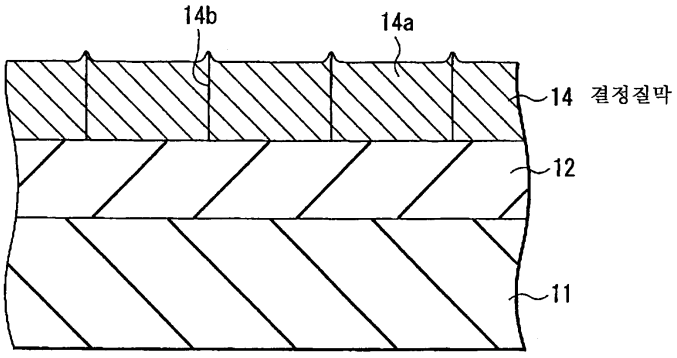
도면1



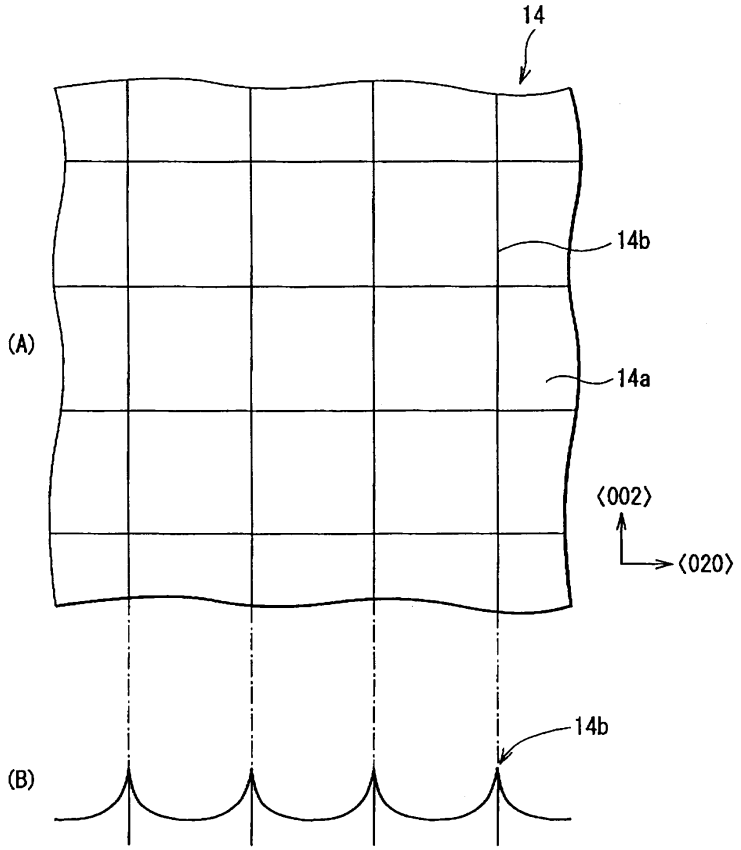
도면2



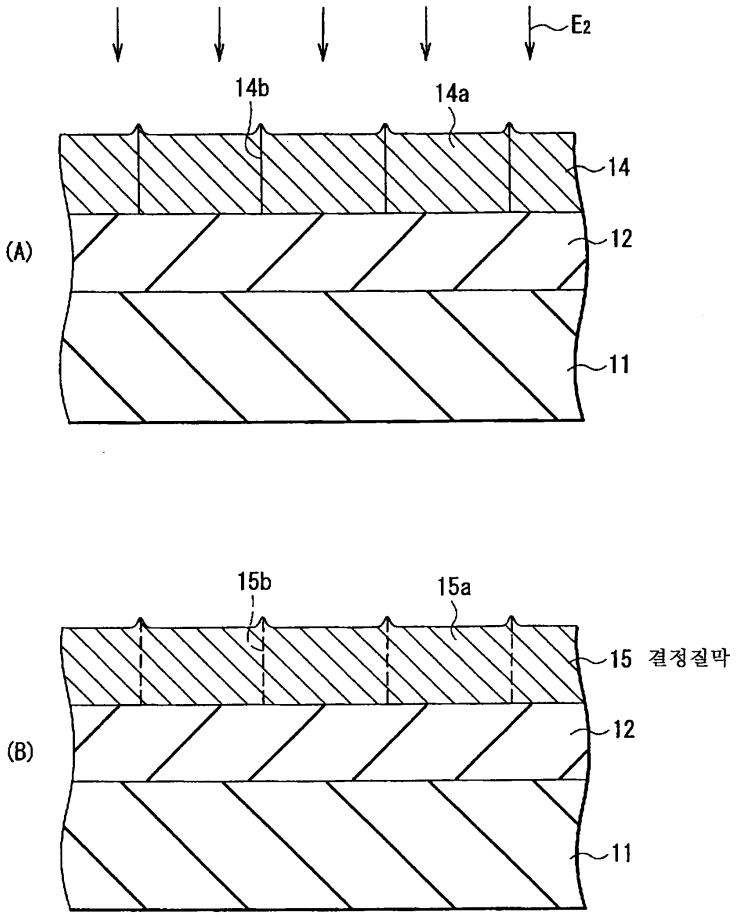
도면3



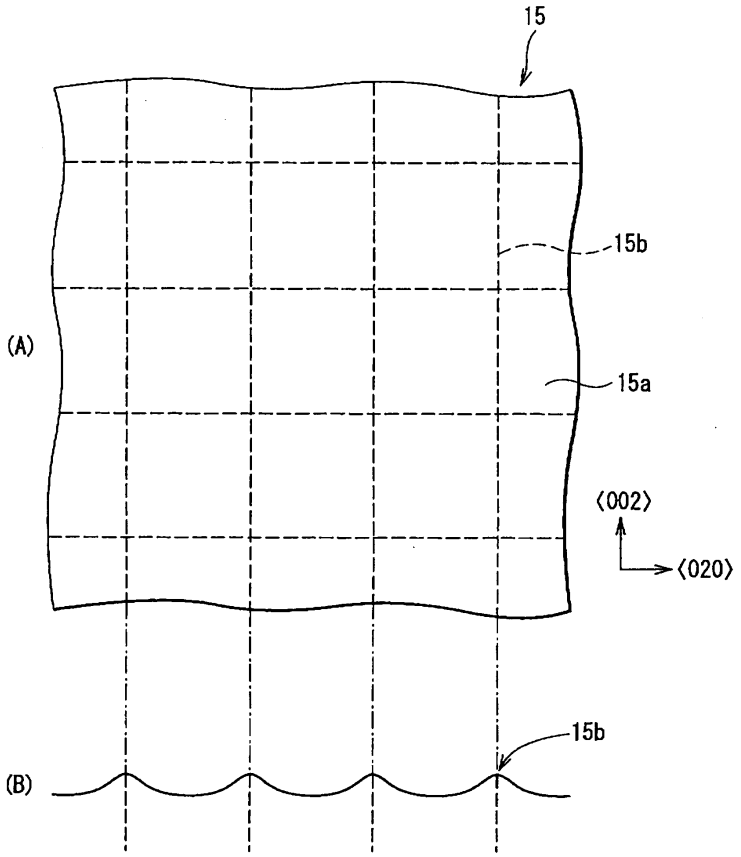
도면4



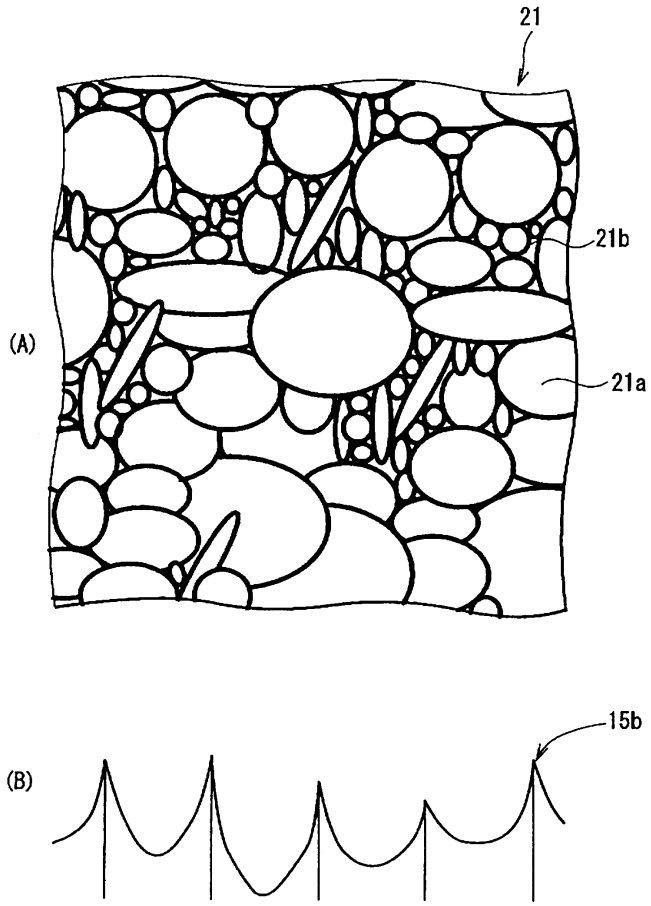
도면5



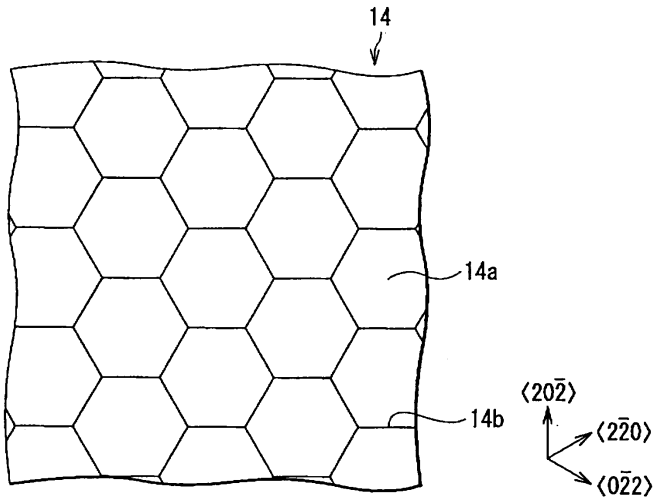
도면6



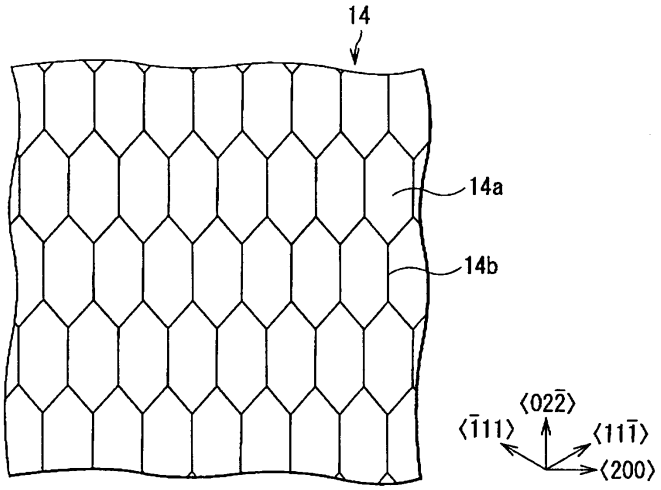
도면7



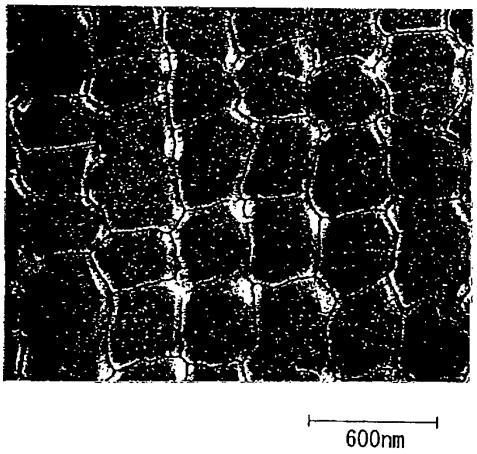
도면8



도면9



도면10



도면11

