

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-206871

(P2018-206871A)

(43) 公開日 平成30年12月27日(2018.12.27)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 L	4 M 1 0 4
HO 1 L 29/12 (2006.01)	HO 1 L 29/78 6 5 2 K	5 F 0 3 3
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 2 T	5 F 1 1 0
HO 1 L 21/28 (2006.01)	HO 1 L 29/78 6 5 8 G	
HO 1 L 29/41 (2006.01)	HO 1 L 29/78 6 5 6 B	

審査請求 未請求 請求項の数 13 O L (全 19 頁) 最終頁に続く

(21) 出願番号 特願2017-108575 (P2017-108575)
 (22) 出願日 平成29年5月31日 (2017.5.31)

(71) 出願人 515353811
 株式会社テンシックス
 愛知県長久手市郷前2276番地
 (74) 代理人 100094190
 弁理士 小島 清路
 (74) 代理人 100151644
 弁理士 平岩 康幸
 (74) 代理人 100151127
 弁理士 鈴木 勝雅
 (72) 発明者 加藤 光治
 愛知県長久手市郷前2276番地
 Fターム(参考) 4M104 AA03 AA04 FF01 FF26 GG06
 GG08 GG09 GG11 GG18 HH20

最終頁に続く

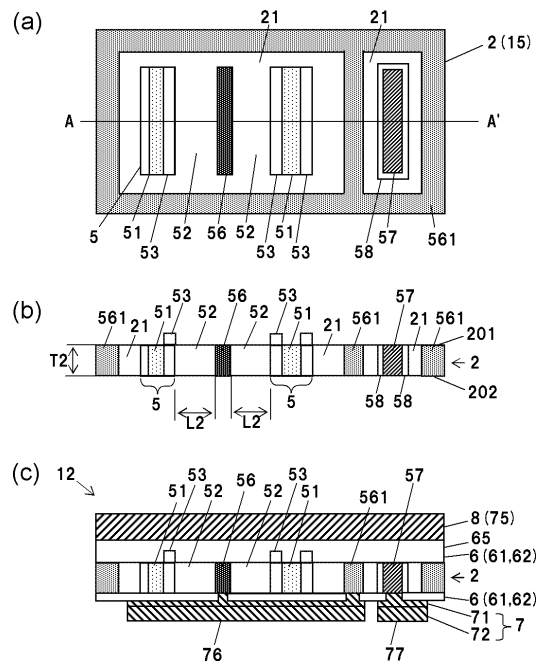
(54) 【発明の名称】 半導体素子及びその製造方法

(57) 【要約】 (修正有)

【課題】化合物半導体基板に形成される高耐圧で放熱性に優れた半導体素子、及びその製造方法を提供する。

【解決手段】化合物半導体の単結晶からなる半導体基板2に形成され、少なくとも3つの端子を具備する半導体素子であって、半導体基板に形成された第1電極、第2電極及び制御電極53を含む少なくとも3つの電極と、半導体基板の主面201側に接合され、導電性を有し1つの端子を兼ねる支持基板8と、裏面202に形成された金属層7からなる少なくとも2つの裏面端子76、77と、半導体基板を貫通して形成された貫通電極部57と、を備える。制御電極は、貫通電極部を介して1つの裏面端子と接続されており、第1電極及び第2電極のうちの一方は支持基板と接続されており、他方は別の裏面端子と接続されている。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

化合物半導体の単結晶からなる半導体基板に形成され、少なくとも 3 つの端子を具備する半導体素子であって、

前記半導体基板に形成された第 1 電極、第 2 電極及び制御電極を含む少なくとも 3 つの電極と、

前記半導体基板の主面側に接合され、導電性を有し 1 つの端子を兼ねる支持基板と、

前記半導体基板の裏面に形成された金属層からなる少なくとも 2 つの裏面端子と、

導電性を有し、前記半導体基板を貫通して形成された貫通電極部と、

を備え、

10

前記制御電極は前記半導体基板の前記主面に形成され、前記貫通電極部を介して 1 つの前記裏面端子と電気的に接続されており、

前記第 1 電極及び前記第 2 電極のうちの一方は前記支持基板と電気的に接続されており、他方は別の前記裏面端子と電気的に接続されていることを特徴とする半導体素子。

【請求項 2】

前記半導体基板にはソース領域、ドレイン領域及びゲートを備える MOSFET が形成されており、

前記第 1 電極及び前記第 2 電極の一方はソース電極であり、他方はドレイン電極であり、前記制御電極はゲート電極である請求項 1 記載の半導体素子。

【請求項 3】

20

前記半導体基板は n 型半導体であり、

前記貫通電極部は、前記 n 型半導体とは電気的に分離された高濃度 n 型部又は金属によって形成されている請求項 1 又は 2 に記載の半導体素子。

【請求項 4】

前記半導体基板の前記主面側に前記ソース電極及び前記ゲート電極、前記裏面に前記ドレイン電極が形成されており、

前記ソース電極は前記支持基板と電気的に接続されており、

前記ドレイン電極及び前記ゲート電極はそれぞれ前記裏面端子と電気的に接続されている請求項 2 又は 3 に記載の半導体素子。

【請求項 5】

30

前記半導体基板を貫通するように形成された p 型層と、前記 p 型層に形成された前記ソース領域と、前記 p 型層と一定の長さ離隔して前記半導体基板を貫通するように形成されたドレイン接続用の高濃度 n 型部と、を備え、

前記ソース電極は前記支持基板と電気的に接続されており、

前記ドレイン接続用の高濃度 n 型部及び前記貫通電極部は、それぞれ前記裏面端子と電気的に接続されている請求項 2 又は 3 に記載の半導体素子。

【請求項 6】

前記ソース領域は前記半導体基板を貫通するように形成されており、前記半導体基板の前記裏面に前記ゲート電極が更に形成されている請求項 5 記載の半導体素子。

【請求項 7】

40

化合物半導体の単結晶からなる半導体基板に少なくとも 3 つの端子を具備する半導体素子を形成する半導体素子の製造方法であって、

前記半導体基板の裏面に仮支持基板が接合されており、

前記半導体基板に第 1 電極及び第 2 電極を形成し、前記半導体基板の主面に制御電極を形成する素子形成工程と、

前記半導体基板を貫通し前記制御電極と電気的に接続される貫通電極部を形成する貫通電極部形成工程と、

前記第 1 電極及び前記第 2 電極のうちの一方と電気的に接続されるように前記半導体基板の前記主面側に導電性を有する支持基板を貼り合わせる支持基板接合工程と、

前記仮支持基板を除去する仮支持基板除去工程と、

50

前記半導体基板の前記裏面に金属層からなる少なくとも2つの裏面端子を形成すると共に、前記貫通電極部を1つの前記裏面端子に電氣的に接続し、前記第1電極及び前記第2電極のうちの他方を別の前記裏面端子に電氣的に接続する裏面端子形成工程と、を含むことを特徴とする半導体素子の製造方法。

【請求項8】

前記素子形成工程において、前記半導体基板にソース領域、ドレイン領域及びゲートからなるMOSFETを形成し、

前記第1電極及び前記第2電極の一方はソース電極であり、他方はドレイン電極であり、前記制御電極はゲート電極である請求項7記載の半導体素子の製造方法。

【請求項9】

前記半導体基板はn型半導体であり、

前記貫通電極部形成工程は、前記n型半導体とは電氣的に分離された高濃度n型部又は金属によって前記貫通電極部を形成する請求項7又は8に記載の半導体素子の製造方法。

【請求項10】

前記素子形成工程において、前記半導体基板の前記主面側に前記ソース電極及び前記ゲート電極、前記裏面に前記ドレイン電極を形成し、

前記支持基板接合工程において、前記ソース電極を前記支持基板と電氣的に接続し、

前記裏面端子形成工程において、前記ドレイン電極及び前記貫通電極部をそれぞれ前記裏面端子と電氣的に接続する請求項8又は9に記載の半導体素子の製造方法。

【請求項11】

前記貫通電極部形成工程は、金属からなる前記貫通電極部を、前記半導体基板の前記裏面側で拡がるテーパ形状に形成する請求項10記載の半導体素子の製造方法。

【請求項12】

前記素子形成工程において、前記半導体基板を貫通するようにp型層を形成し、前記p型層に前記ソース領域を形成すると共に、前記p型層と一定の長さ離隔して前記半導体基板を貫通するようにドレイン接続用の高濃度n型部を形成し、

前記支持基板接合工程において、前記ソース電極を前記支持基板と電氣的に接続し、

前記裏面端子形成工程において、前記貫通電極部及び前記ドレイン接続用の高濃度n型部をそれぞれ前記裏面端子と電氣的に接続する請求項8又は9に記載の半導体素子の製造方法。

【請求項13】

前記素子形成工程において、前記半導体基板を貫通するように前記ソース領域を形成し、前記半導体基板の前記裏面に前記ゲート電極を更に形成する請求項12記載の半導体素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体素子及びその製造方法に関する。詳しくは、化合物半導体基板に形成される高耐圧で放熱性に優れた半導体素子、及びその製造方法に関する。

【背景技術】

【0002】

高電圧用途の半導体素子の基板として、バンドギャップ幅が大きい炭化ケイ素(SiC)、窒化ガリウム(GaN)、酸化ガリウム(Ga₂O₃)などの化合物半導体基板が着目されている。図10は、SiCからなる一般的な縦型構造のMOSFET(92)の断面構造を示している。単結晶からなる支持基板901上に能動層902がエピタキシャル成長により形成されており、その能動層902の領域にソース921、ドレイン922及びゲート923が形成されている。ソース921、ドレイン922間の電流の導通と遮断はゲート923により制御される。導通時のドレイン電流*i*は、ドレイン922と支持基板901の裏面に形成されている電極903との間で流れる。

上記支持基板901は、電流が縦方向(図の上下方向)に流れる領域であり、20m

10

20

30

40

50

・cm以下の低い抵抗率とされる。一方、上記能動層902は、高電圧の耐圧が必要であるため、支持基板901と比べて2～3桁高い抵抗率とされている。SiCを用いる半導体素子はバンドギャップ幅が大きいいため、能動層902の厚さを5～10μm程度と薄くできることが特徴である。能動層902は、支持基板901の上にエピタキシャル成長によって形成されるため、その結晶性は下地となる支持基板901に依存する。このため、支持基板901のSiCの結晶品質が重要となる。支持基板901の厚さは、単結晶基板の取り扱い時の割れ防止等のため、6インチサイズの基板の場合、400μm程度が必要とされる。そして、基板の表面側に素子形成後、支持基板部の抵抗を低くするために、裏面を研削して厚さは100μm以下まで薄くされる。図10のような縦型構造は、Si素子と同様な構造で作り易いという特徴を有する。

10

【0003】

薄いシリコン基板を用いたパワーMOSFETにおいては、金属被覆法でドレイン電極を形成する段階でのストレスによるウェーハの破損等を防止し、ハンドリングを容易にするために、処理済みの半導体基板を金属基板に接合する方法が開示されている（特許文献1を参照）。この製造方法により、半導体層形成後の半導体基板107の裏面にドレイン電極を兼ねる金属基板118が接合され、半導体基板107の主面上に形成される上部金属層116をソース電極とする縦型構造のMOSFETが構成されている。

また、SiCからなる半導体素子の基板の場合には表層の能動層だけが単結晶であればよいので、薄い単結晶基板と単結晶ではない支持基板とを接合する製造方法が開発されている。表面活性化手法等により基板の貼り合わせを行うことが可能である（特許文献2を参照）。

20

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特表2009-532913号公報

【特許文献2】特開2015-15401号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

前記のとおり、バンドギャップ幅が大きい炭化ケイ素（SiC）、窒化ガリウム（GaN）、酸化ガリウム（Ga₂O₃）等の化合物半導体基板は、高電圧用途の半導体素子を形成するための基板として期待されている。これらの化合物半導体の主な用途はパワー素子であるため、半導体素子内で発生する熱の放熱が課題である。特に酸化ガリウムは熱伝導率が低く、そのまま半導体素子の基板として使うと動作上の制限を受けてしまう。このため、半導体基板を金属基板と接合し、半導体素子に生じる熱を金属基板により放熱することが考えられる。しかし、放熱に金属基板を使用する構造は、ショットキーダイオードのように2端子の素子であれば考えやすいが、MOSFETのように3端子の素子では容易ではない。

30

従来、シリコン半導体基板に素子を形成した後、半導体基板の裏面に金属基板を接合して縦型構造のMOSFETを製造する方法が知られている（例えば特許文献1）。シリコン半導体に対して、化合物半導体の場合にはバンドギャップ幅が大きいため、高電圧素子とする場合にも極めて薄い基板（厚さ5～10μm程度）を使用することができる。しかし、薄い化合物半導体基板は曲がり易く、反りも大きいので、支持基板（仮支持基板）に接合した状態で半導体素子の形成プロセスを行う必要がある。また、バンドギャップの広い化合物半導体の特徴を生かせば、縦型構造のみならず、横型構造のパワーMOSFETを小さな寸法で構成することも可能となる。これらの点から、化合物半導体基板の主面側に半導体素子を形成し、裏面に金属基板を接合する従来の製造方法を採用することは困難である。

40

【0006】

本発明は、上記現状に鑑みてなされたものであり、化合物半導体基板に形成される高耐

50

圧で放熱性に優れた半導体素子、及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明は、以下の通りである。

1. 化合物半導体の単結晶からなる半導体基板に形成され、少なくとも3つの端子を具備する半導体素子であって、前記半導体基板に形成された第1電極、第2電極及び制御電極を含む少なくとも3つの電極と、前記半導体基板の主面側に接合され、導電性を有し1つの端子を兼ねる支持基板と、前記半導体基板の裏面に形成された金属層からなる少なくとも2つの裏面端子と、導電性を有し、前記半導体基板を貫通して形成された貫通電極部と、を備え、前記制御電極は前記半導体基板の前記主面に形成され、前記貫通電極部を介して1つの前記裏面端子と電気的に接続されており、前記第1電極及び前記第2電極のうちの一方は前記支持基板と電気的に接続されており、他方は別の前記裏面端子と電気的に接続されていることを特徴とする半導体素子。

10

2. 前記半導体基板にはソース領域、ドレイン領域及びゲートを備えるMOSFETが形成されており、前記第1電極及び前記第2電極の一方はソース電極であり、他方はドレイン電極であり、前記制御電極はゲート電極である前記1.記載の半導体素子。

3. 前記半導体基板はn型半導体であり、

前記貫通電極部は、前記n型半導体とは電気的に分離された高濃度n型部又は金属によって形成されている前記1.又は2.に記載の半導体素子。

4. 前記半導体基板の前記主面側に前記ソース電極及び前記ゲート電極、前記裏面に前記ドレイン電極が形成されており、前記ソース電極は前記支持基板と電気的に接続されており、前記ドレイン電極及び前記ゲート電極はそれぞれ前記裏面端子と電気的に接続されている前記2.又は3.に記載の半導体素子。

20

5. 前記半導体基板を貫通するように形成されたp型層と、前記p型層に形成された前記ソース領域と、前記p型層と一定の長さ離隔して前記半導体基板を貫通するように形成されたドレイン接続用の高濃度n型部と、を備え、前記ソース電極は前記支持基板と電気的に接続されており、前記ドレイン接続用の高濃度n型部及び前記貫通電極部は、それぞれ前記裏面端子と電気的に接続されている前記2.又は3.に記載の半導体素子。

6. 前記ソース領域は前記半導体基板を貫通するように形成されており、前記半導体基板の前記裏面に前記ゲート電極が更に形成されている前記5.記載の半導体素子。

30

7. 化合物半導体の単結晶からなる半導体基板に少なくとも3つの端子を具備する半導体素子を形成する半導体素子の製造方法であって、前記半導体基板の裏面に仮支持基板が接合されており、前記半導体基板に第1電極及び第2電極を形成し、前記半導体基板の主面に制御電極を形成する素子形成工程と、前記半導体基板を貫通し前記制御電極と電気的に接続される貫通電極部を形成する貫通電極部形成工程と、前記第1電極及び前記第2電極のうちの一方と電気的に接続されるように前記半導体基板の前記主面側に導電性を有する支持基板を貼り合わせる支持基板接合工程と、前記仮支持基板を除去する仮支持基板除去工程と、前記半導体基板の前記裏面に金属層からなる少なくとも2つの裏面端子を形成すると共に、前記貫通電極部を1つの前記裏面端子に電気的に接続し、前記第1電極及び前記第2電極のうちの他方を別の前記裏面端子に電気的に接続する裏面端子形成工程と、を含むことを特徴とする半導体素子の製造方法。

40

8. 前記素子形成工程において、前記半導体基板にソース領域、ドレイン領域及びゲートからなるMOSFETを形成し、前記第1電極及び前記第2電極の一方はソース電極であり、他方はドレイン電極であり、前記制御電極はゲート電極である前記7.記載の半導体素子の製造方法。

9. 前記半導体基板はn型半導体であり、前記貫通電極部形成工程は、前記n型半導体とは電気的に分離された高濃度n型部又は金属によって前記貫通電極部を形成する前記7.又は8.に記載の半導体素子の製造方法。

10. 前記素子形成工程において、前記半導体基板の前記主面側に前記ソース電極及び前記ゲート電極、前記裏面に前記ドレイン電極を形成し、前記支持基板接合工程において

50

、前記ソース電極を前記支持基板と電氣的に接続し、前記裏面端子形成工程において、前記ドレイン電極及び前記貫通電極部をそれぞれ前記裏面端子と電氣的に接続する前記 8 . 又は 9 . に記載の半導体素子の製造方法。

1 1 . 前記貫通電極部形成工程は、金属からなる前記貫通電極部を、前記半導体基板の前記裏面側で拡がるテーパ形状に形成する前記 1 0 . に記載の半導体素子の製造方法。

1 2 . 前記素子形成工程において、前記半導体基板を貫通するように p 型層を形成し、前記 p 型層に前記ソース領域を形成すると共に、前記 p 型層と一定の長さ離隔して前記半導体基板を貫通するようにドレイン接続用の高濃度 n 型部を形成し、前記支持基板接合工程において、前記ソース電極を前記支持基板と電氣的に接続し、前記裏面端子形成工程において、前記貫通電極部及び前記ドレイン接続用の高濃度 n 型部をそれぞれ前記裏面端子と電氣的に接続する前記 8 . 又は 9 . に記載の半導体素子の製造方法。

1 3 . 前記素子形成工程において、前記半導体基板を貫通するように前記ソース領域を形成し、前記半導体基板の前記裏面に前記ゲート電極を更に形成する前記 1 2 . に記載の半導体素子の製造方法。

【発明の効果】

【0008】

本発明の半導体素子によれば、化合物半導体の単結晶からなる半導体基板に形成され、少なくとも 3 つの端子を具備する半導体素子であって、前記半導体基板に形成された第 1 電極、第 2 電極及び制御電極を含む少なくとも 3 つの電極と、前記半導体基板の主面側に接合され、導電性を有し 1 つの端子を兼ねる支持基板と、前記半導体基板の裏面に形成された金属層からなる少なくとも 2 つの裏面端子と、導電性を有し、前記半導体基板を貫通して形成された貫通電極部と、を備え、前記制御電極は前記半導体基板の前記主面に形成され、前記貫通電極部を介して 1 つの前記裏面端子と電氣的に接続されており、前記第 1 電極及び前記第 2 電極のうち的一方は前記支持基板と電氣的に接続されており、他方は別の前記裏面端子と電氣的に接続されているため、半導体基板の主面側に導電性の支持基板が設けられ、裏面に設けられた金属層と相まって、半導体基板の熱伝導度が低くても、熱伝導性・放熱性に優れる。また、半導体素子の両面に、3 つの端子を好適に配設することができる。更に、化合物半導体はバンドギャップが大きいいため、小さな寸法のパワー半導体素子を構成することができる。

【0009】

前記半導体基板にはソース領域、ドレイン領域及びゲートを備える MOSFET が形成されており、前記第 1 電極及び前記第 2 電極の一方はソース電極であり、他方はドレイン電極であり、前記制御電極はゲート電極である場合には、小型で放熱性に優れたパワー MOSFET を構成することができる。

前記半導体基板は n 型半導体であり、前記貫通電極部は、前記 n 型半導体とは電氣的に分離された高濃度 n 型部又は金属によって形成されている場合には、半導体素子の構造に応じて最適な貫通電極部とすることができる。

前記半導体基板の前記主面側に前記ソース電極及び前記ゲート電極、前記裏面に前記ドレイン電極が形成されており、前記ソース電極は前記支持基板と電氣的に接続されており、前記ドレイン電極及び前記ゲート電極はそれぞれ前記裏面端子と電氣的に接続されている場合には、電流が縦方向（基板面と垂直な方向）に流れる縦型構造のパワー MOSFET を構成することができる。

前記半導体基板を貫通するように形成された p 型層と、前記 p 型層に形成された前記ソース領域と、前記 p 型層と一定の長さ離隔して前記半導体基板を貫通するように形成されたドレイン接続用の高濃度 n 型部と、を備え、前記ソース電極は前記支持基板と電氣的に接続されており、前記ドレイン接続用の高濃度 n 型部及び前記貫通電極部は、それぞれ前記裏面端子と電氣的に接続されている場合には、電流が横方向（基板面と平行な方向）に流れる横型構造のパワー MOSFET を構成することができる。バンドギャップの大きい化合物半導体においては、pn 接合部における空乏層の拡がり数は数 μm 程度の狭い範囲に留まる。したがって、空乏層が横方向に拡がる横型の MOSFET を構成しても、小さな

寸法とすることが可能である。

前記ソース領域は前記半導体基板を貫通するように形成されており、前記半導体基板の前記裏面に前記ゲート電極が更に形成されている場合には、半導体基板の両面にF E Tが形成された横型構造のパワーM O S F E Tを構成することができる。

【0010】

本発明の半導体素子の製造方法によれば、薄い化合物半導体基板を使用しても、仮支持基板に接合した状態で半導体素子を形成し、導電性の支持基板を貼り合わせた後に仮支持基板を除去することができる。これによって、各前記半導体素子を好適に製造することができる。

【図面の簡単な説明】

10

【0011】

本発明について、本発明による典型的な実施形態の非限定的な例を挙げ、言及された複数の図面を参照しつつ以下の詳細な記述にて更に説明するが、同様の参照符号は図面のいくつかの図を通して同様の部品を示す。

【図1】半導体素子(M O S F E T)の構造を表す模式的な上面図及び断面図

【図2】別の半導体素子(M O S F E T)の構造を表す模式的な上面図及び断面図

【図3】別の半導体素子(M O S F E T)の構造を表す模式的な断面図

【図4】別の半導体素子(M O S F E T)の構造を表す模式的な断面図

【図5】半導体素子(M O S F E T)の接続方法及び特性を説明するための図

【図6】半導体素子(M O S F E T)の製造工程を表す模式的断面図(1)

20

【図7】半導体素子(M O S F E T)の製造工程を表す模式的断面図(2)

【図8】別の半導体素子(M O S F E T)の製造工程を表す模式的断面図(1)

【図9】別の半導体素子(M O S F E T)の製造工程を表す模式的断面図(2)

【図10】更に別の半導体素子(M O S F E T)の製造工程を表す模式的断面図

【図11】一般的な縦型構造のM O S F E Tの構造を表す模式的断面図

【発明を実施するための形態】

【0012】

以下、図を参照しながら、本発明を詳しく説明する。

ここで示される事項は例示的なもの及び本発明の実施形態を例示的に説明するためのものであり、本発明の原理と概念的な特徴とを最も有効に且つ難なく理解できる説明であると思われるものを提供する目的で述べたものである。この点で、本発明の根本的な理解のために必要である程度以上に本発明の構造的な詳細を示すことを意図してはならず、図面と合わせた説明によって本発明の幾つかの形態が実際にどのように具現化されるかを当業者に明らかにするものである。

30

【0013】

(1)半導体素子

本開示に係る半導体素子は、S i C、G a N、G a₂O₃等、バンドギャップの大きい化合物半導体の単結晶からなる半導体基板に形成される高耐圧の半導体素子(1)である。半導体素子(1)は、電流が縦方向に流れる縦型構造であってもよいし、電流が横方向に流れる横型構造であってもよい。「横方向」とは半導体基板の表面に平行な方向をいい、「縦方向」とは半導体基板の表面に対して垂直な方向をいう。

40

バンドギャップの大きい化合物半導体においては、高電圧が加わってもp n接合の空乏層の拡がりは少ない。それ故、半導体素子(1)を横型構造としても、無駄が少なく高密度に素子を形成することができる。普及しているS i半導体においては空乏層の拡がりが大きいため、横方向の高耐圧半導体素子を形成するには素子面積が大きくなり、採用し難い構成である。また、半導体素子(1)を縦型構造とした場合も、半導体基板は薄くてよい。このため、半導体基板の熱伝導性は小さくても、放熱性の良い半導体素子を構成することができる。

【0014】

上記半導体素子(1)は、化合物半導体の単結晶からなる半導体基板(2)に形成され

50

、少なくとも3つの端子を具備する半導体素子であって、半導体基板(2)に形成された第1電極、第2電極(51、52)及び制御電極(53)を含む少なくとも3つの電極と、半導体基板(2)の主面(201)側に接合され、導電性を有し1つの端子(75)を兼ねる支持基板(8)と、半導体基板の裏面(202)に形成された金属層からなる少なくとも2つの裏面端子(76、77)と、導電性を有し、半導体基板(2)を貫通して形成された貫通電極部(57)と、を備える。そして、制御電極(53)は半導体基板の主面(201)に形成され、貫通電極部(57、59)を介して1つの裏面端子(77)と電氣的に接続されており、第1電極及び前記第2電極(51、52)のうちの一方は支持基板(8)と電氣的に接続されており、他方は別の裏面端子(76)と電氣的に接続されていることを特徴とする(図1-3参照)。

10

半導体基板(2)の一方の面を「主面」(201)、主面とは反対側の面を「裏面」(202)と呼ぶ。貫通電極部(57、59)は、半導体基板(2)を縦方向に貫通するように設けられる。また、半導体基板(2)において素子を構成する各半導体領域の電氣的接点を「電極」といい、外部との接続用の電氣的接点を「端子」といつている。

尚、半導体基板(2)に素子を形成する過程においては、半導体基板の裏面(202)は仮支持基板81に接合されている。

【0015】

半導体基板(2)にはソース領域、ドレイン領域及びゲートを備えるMOSFETを形成することができる。その場合、第1電極及び第2電極(51、52)の一方をソース電極(51)とし、他方をドレイン電極(52)とすることができる。また、制御電極(53)はゲート電極に当たる。MOSFETは、縦型構造であっても横型構造であっても、小さな寸法(例えば3mm×3mm程度)で形成することができる。

20

【0016】

また、半導体基板(2)はn型半導体であり、貫通電極部は、半導体基板(2)のn⁻型半導体層(21)とは電氣的に分離された高濃度n型(n⁺)部で構成することができる(以下、高濃度n型部で構成される貫通電極部を「貫通n⁺電極」(57)ともいう。)。貫通n⁺電極(57)は、その周囲にp型層(pウェル)(58)を形成することによって、n⁻型半導体層(21)と電氣的に分離することができる。

また、半導体素子の構造により、貫通電極部は、半導体基板(2)のn⁻型半導体層(21)とは電氣的に分離された金属等の導電材料によって形成されてもよい(以下、金属等により構成される貫通電極部を「貫通メタル電極」(59)ともいう。)。貫通メタル電極(59)は、シリコン酸化膜等の絶縁膜を設けることによって、n⁻型半導体層(21)と電氣的に分離することができる。

30

このような貫通電極部(57、59)によって、半導体基板の主面(201)側に形成されたMOSFETのゲート電極(53)を、裏面に配設されるゲート端子(77)に接続することが可能になる。

【0017】

半導体素子(1)の一実施形態として、縦型構造のMOSFET(11)を挙げることができる。図1は、MOSFET11の構造を表している。同図(a)は半導体基板2内に形成される基本構造の上面図であり、(b)はそのAA'断面図である。同図(a)に示す半導体基板2の領域は、MOSFET11において能動層15となる領域である。MOSFET11の大きさは、例えば3mm×3mm程度である。同図(b)に示されるように、半導体基板2の一方の面を主面201、他方の面を裏面202とする。半導体基板2の厚さT1は特に限定されず、例えば5-10μm程度とすることができる。

40

MOSFET11では、半導体基板の主面201側にp型層(pウェル)5が形成され、ソース領域及びソース電極51、ドレイン領域52、ゲート及びゲート電極53が形成されている。また、基板の裏面202側に裏面ドレイン521及びドレイン電極が形成されている。同図(b)に示すように、後に貫通メタル電極59を形成するためのテーパ形状の貫通穴591、上面ゲート電極部531が形成されている。

尚、本例においては、高濃度n型部561が、pウェル5及び貫通電極部との間に一定

50

以上の距離をにおいてそれらを囲むように、MOSFET（能動層15部）の周縁部に形成されている。

【0018】

同図(c)は、MOSFET11の構造例を表している。MOSFETがオンした時の電流は縦方向(図中*i*で示す方向)に流れ、MOSFETがオフの時のpウェル5の空乏層は、主面201側から裏面201側へ広がる。半導体材料がSiCである場合、バンドギャップ電圧は3.4ボルトであり、逆バイアスの時に空乏層の拡がり大きい。そのため、1000ボルトの耐圧を得ようとする、pウェル5と裏面ドレイン521の間を8μm程度と広くする必要があり、一般には縦型構造が採用される。

【0019】

本例においては、半導体基板2の主面201上に、選択的に形成された絶縁層6を挟んで電極の配線を行う相互配線層65が積層され、更に素子支持層として支持基板8が接合されている。支持基板8としては、導電性及び熱伝導性に優れた半導体基板、金属基板を用いることができる。ソース電極51は支持基板8と電氣的に接続されており、支持基板8はソース端子75を兼ねるようにすることができる。また、ゲート53は金属膜からなる上面ゲート電極531に接続されている。

また、半導体基板2の裏面202上には、選択的に形成された絶縁層6を挟んで、選択的に形成された金属層7が積層されている。そして、テーパ形状の貫通穴591部には、金属層7と同じ金属により、貫通メタル電極59が形成されている。これにより、ゲート53は、貫通メタル電極59と電氣的に接続される。選択的に形成された金属層7は2つの裏面端子を構成し、裏面ドレイン521及びドレイン電極は、1つの裏面端子76と電氣的に接続され、ゲート電極53は貫通電極部(57)を介して別の裏面端子(77)と電氣的に接続される。すなわち、裏面ドレイン521と接点を有する金属膜7はドレイン端子(D)76となり、貫通メタル電極59と接点を有する金属膜7はゲート端子(G)77となる。

上記絶縁層6の材料は特に問わず、例えば、Si酸化膜61とポリイミドPIQ膜を積層して構成することができる。また、上記金属膜7の材料は特に問わず、例えば、Al薄膜71とNiメッキ膜72を積層して構成することができる。

【0020】

半導体素子(1)の別の実施形態として、横型構造のMOSFET(12)を挙げることができる。図2は、MOSFET12の構造を表している。同図(a)は半導体基板2内に形成される基本構造の上面図であり、(b)はそのAA'断面図である。同図(a)に示す半導体基板2の領域は、MOSFET12において能動層15となる領域である。MOSFET12の大きさは、例えば3mm×3mm程度である。

【0021】

MOSFET12は、半導体基板2を縦方向に貫通し、且つpn接合面が半導体基板2の表面に対して垂直となるように形成されたpウェル5を備えており、pウェル5内にはソース領域及びソース電極51が形成されている。そして、pウェル5の主面201側にゲート53が形成されている。

また、半導体基板2の横方向にpウェル5から一定の長さL2離隔して、半導体基板2を縦方向に貫通するように形成されたドレイン接続用の高濃度n型(n⁺)部56を備えている。半導体基板2のn⁻型半導体層21と高濃度n型部56との界面は、半導体基板2の表面に対して垂直な平面状に形成されており、pウェル5と高濃度n型部56との間には、長さL2のn⁻型半導体層21が存在する。距離L2は3μm程度と狭くてよい。このドレイン接続用の高濃度n型部56により、ドレイン52が形成される主面とは反対側の裏面202においてドレイン電位をとれるように構成することができる(以下、ドレイン接続用の高濃度n型部56を「貫通ドレイン」ともいう。)

横型構造の場合には、横方向への空乏層の拡がりのため、pウェル5と高濃度n型部56との間のドリフト長L2が長くなり、一般には素子の面積が大きくなってしまふ。しかし、横型構造とすることで縦方向の寸法に制限はなくなり、半導体基板2の厚さT2を例

10

20

30

40

50

例えば $2\ \mu\text{m}$ 程度と薄くすることが可能である。

【0022】

更に、MOSFET 12 には、貫通電極部として、半導体基板 2 を縦方向に貫通する p ウェル 58 と、半導体基板 2 を縦方向に貫通し且つ p ウェル 58 に囲まれる貫通 n^+ 電極 57 と、が形成されている。p ウェル 58 及び貫通 n^+ 電極 57 もまた、横方向の境界となる側面が半導体基板 2 の表面に対して垂直な平面状に形成されている。貫通 n^+ 電極 57 は、p ウェル 58 により半導体基板 2 (n^- 型半導体層 21) とは電氣的に分離されている。この貫通 n^+ 電極 57 により、ゲート 53 が形成されている主面とは反対側の裏面 202 においてゲート電位をとれるように構成することができる。貫通 n^+ 電極 57 に代わり、前記 MOSFET 11 の場合と同様の貫通メタル電極 59 が設けられてもよい。

10

尚、本例においては、高濃度 n 型部 561 が、p ウェル 5 及び貫通 n^+ 電極 57 との間で一定以上の距離をおいてそれらを囲むように、MOSFET (能動層 15 部) の周縁部に形成されている。

【0023】

同図 (c) は、MOSFET 12 の構造例を表している。本例においては、半導体基板 2 の主面 201 上に、選択的に形成された絶縁層 6 を挟んで電極の配線を行う相互配線層 65 が積層され、更に素子支持層として支持基板 8 が接合されている。支持基板 8 としては、導電性及び熱伝導性に優れた半導体基板、金属基板を用いることができる。ソース電極 51 は支持基板 8 と電氣的に接続されており、支持基板 8 はソース端子 75 を兼ねるようにすることができる。また、ゲート 53 は貫通 n^+ 電極 57 と電氣的に接続されている。

20

また、半導体基板 2 の裏面 202 には、選択的に形成された絶縁層 6 を挟んで、選択的に形成された金属膜 7 が積層されている。選択的に形成された金属層 7 は 2 つの裏面端子を構成し、貫通ドレイン 56 は 1 つの裏面端子 76 と電氣的に接続され、ゲート 53 と接続されている貫通 n^+ 電極 57 は別の裏面端子 77 と電氣的に接続される。すなわち、貫通ドレイン 56 と接点を有する金属膜 7 はドレイン端子 (D) 76 となり、貫通 n^+ 電極 57 と接点を有する金属膜 7 はゲート端子 (G) 77 となる。

20

上記絶縁層 6 の材料は特に問わず、例えば、Si 酸化膜 61 とポリイミド PIQ 膜を積層して構成することができる。また、上記金属膜 7 の材料は特に問わず、例えば、Al 薄膜 71 と Ni メッキ膜 72 を積層して構成することができる。

30

【0024】

半導体材料のバンドギャップ電圧が一層大きい場合には、半導体基板 2 の横方向の空乏層の拡がりをより抑えることができるため、図 3 に示すような MOSFET 13 を形成することができる。同図 (a) は半導体基板 2 に形成される構造を示し、(b) は MOSFET 13 の構造例を示している。基本的な構成は、図 2 に示した MOSFET 12 と同様である。

例えば酸化ガリウムのようにバンドギャップが 4.8 V 程度と大きい場合には、耐圧 1000 V とするにも、逆バイアス時の空乏層の拡がりである p ウェル 5 と貫通ドレイン 56 との間隔 L_3 を狭くすることができる (例えば $L_3 = 3\ \mu\text{m}$ 程度)。また、バンドギャップの大きい化合物半導体を用いた横型構造の MOSFET 13 (12) においては、半導体基板 2 の厚さ T_3 (T_2) は $2\ \mu\text{m}$ 程度と薄くすることができる。縦方向の空乏層の広がりは無視できるため、半導体基板 2 が薄くても機能上問題はない。よって、貫通 n^+ 電極 57 の形成が容易であるというメリットが大きい。

40

【0025】

更に、図 4 に示すように、MOSFET を半導体基板 2 の両面に形成することができる。図 4 (a) は、半導体基板 2 に形成された MOSFET 14 の半導体層の断面構造を表している。基本的な構成は、図 3 に示した MOSFET 13 と同様であり、p ウェル 5 の主面 201 側にソース 51、ドレイン 52 及びゲート 53 が形成されている。これに加えて、主面 201 側のゲート 53 と対応する裏面 202 上の位置にゲート 53 が形成されている。これは、半導体基板 2 の厚さが薄いので、p ウェル 5、ソース 51、ドレイン 52

50

、貫通ドレイン 5 6 のいずれも半導体基板 2 を貫通しているためであり、両面のソース電位、ドレイン電位は同一となる。

【 0 0 2 6 】

図 4 (b) は、M O S F E T 1 4 の構造の一例を表している。半導体基板 2 の主面 2 0 1 側にソース端子 7 5 を兼ねる支持基板 8 が設けられている。また、半導体基板 2 の裏面 2 0 2 側には、ドレイン端子 7 6 及びゲート端子 7 7 が形成されている。半導体基板 2 の裏面 2 0 2 側に形成されているゲート電極 5 3 は、裏面 2 0 2 側の相互配線層 6 5 においてゲート端子 7 7 に接続されている。

【 0 0 2 7 】

以上のように形成された M O S F E T 1 1 - 1 4 は、半導体基板 2 の主面側に設けられた支持基板 8 がソース端子及びドレイン端子のうち的一方となり、その他方及びゲート端子を裏面側に配設することができる。

図 5 (a) は、支持基板 8 をソース (S) 端子 7 5、裏面の金属層 7 をドレイン (D) 端子 7 6 及びゲート (G) 端子 7 7 とした例を表している。同図 (b) に上記 M O S F E T の回路構成を示す。ソース端子 S とドレイン端子 D との間の抵抗は、M O S F E T のチャンネル抵抗 R_c とドリフト抵抗 R_d とからなる。チャンネル抵抗 R_c は、M O S F E T がオンした状態のチャンネル部の抵抗である。ドリフト部分は、M O S F E T がオフの時に p ウェル 5 と n 型半導体層 2 1 の間で空乏層が広がる領域であり、そのドリフト部分に M O S F E T のオン電流が流れるときの抵抗がドリフト抵抗 R_d である。

【 0 0 2 8 】

横型構造の M O S F E T 1 2 - 1 4 においては、p n 接合面は半導体基板 2 の表面に対して垂直方向に形成されるため、半導体基板 2 の厚さ (T 2、T 3) を厚くする必要はない。半導体基板 2 の厚さが薄い場合、M O S F E T のオン時のドリフト層の抵抗が増すこととなるが、ワイドバンドギャップの半導体素子においては p n 接合の空乏層の拡がり小さいため横方向のドリフト長は短くてよく、ドリフト抵抗の増大は顕著にはならない。

ワイドバンドギャップの半導体は、高耐圧素子においても横方向の電界の拡がり小さくて済むことに特徴がある。例えば、 $G a_2 O_3$ の場合には、9 0 0 V の耐圧を得るにも、ソース 5 1 及び p ウェル 5 と貫通ドレイン 5 6 との横方向の間隔 L (L 2、L 3) は 3 μm 程度と狭くてよい。M O S F E T 1 2 - 1 4 の構造は、ワイドバンドギャップの半導体の特徴を生かした構造である。

【 0 0 2 9 】

(2) 半導体素子の製造方法

本開示に係る半導体素子の製造方法は、化合物半導体の単結晶からなる半導体基板 (2) に少なくとも 3 つの端子を具備する半導体素子 (1) を形成する半導体素子の製造方法であって、予め半導体基板 (2) の裏面 (2 0 2) に仮支持基板 (8 1) が接合されている。仮支持基板 8 1 の材料は特に限定されず、化合物半導体が $G a N$ の場合には、S i 基板、サファイア基板等を用いることができる。また、化合物半導体が $G a_2 O_3$ の場合には、仮支持基板 8 1 としてサファイア基板等を用いることができる。また、貼り合せ技術により半導体基板 2 を仮支持基板 8 1 上に接合する場合には、仮支持基板 8 1 の材料は問わない。

そして、半導体素子 (1) の製造方法は、半導体基板 (2) に第 1 電極及び第 2 電極 (5 1、5 2) を形成し、半導体基板の主面 (2 0 1) に制御電極 (5 3) を形成する素子形成工程と、半導体基板 (2) を貫通し制御電極 (5 3) と電氣的に接続される貫通電極部 (5 7、5 9) を形成する貫通電極部形成工程と、第 1 電極及び第 2 電極 (5 1、5 2) のうち的一方と電氣的に接続されるように半導体基板の主面 (2 0 1) 側に導電性を有する支持基板 (8) を貼り合わせる支持基板接合工程と、仮支持基板 (8 1) を除去する仮支持基板除去工程と、半導体基板の裏面 (2 0 2) に金属層 (7) からなる少なくとも 2 つの裏面端子 (7 6、7 7) を形成すると共に、貫通電極部 (5 7、5 9) を 1 つの裏面端子 (7 6) に電氣的に接続し、第 1 電極及び第 2 電極 (5 1、5 2) のうちの他方を別の裏面端子 (7 6) に電氣的に接続する裏面端子形成工程と、を含む。

10

20

30

40

50

【0030】

前記素子形成工程において、半導体基板(2)にソース領域、ドレイン領域及びゲートからなるMOSFETを形成し、第1電極及び第2電極(51、52)の一方はソース電極であり、他方はドレイン電極であり、制御電極(53)はゲート電極であるように形成することができる。

【0031】

また、半導体基板(2)はn型半導体であり、前記貫通電極部形成工程は、前記n型半導体とは電氣的に分離された高濃度n型部又は金属によって貫通電極部(57、59)を形成することができる。目的とする半導体素子(1)の構造により、貫通電極部は、高濃度n型(n^+)部で形成することができる(貫通 n^+ 電極(57))。貫通 n^+ 電極(57)は、その周囲にp型層(pウェル)(58)を形成することによって、 n^- 型半導体層(21)と電氣的に分離することができる。また、貫通電極部は、金属等の導電材料によって形成することができる(貫通メタル電極(59))。貫通メタル電極(59)は、シリコン酸化膜等の絶縁膜を設けることによって、 n^- 型半導体層(21)と電氣的に分離することができる。

10

【0032】

製造方法の一実施形態として、図1に示した縦型構造のMOSFET(11)の製造方法を挙げることができる。

図6及び7は、MOSFET11の製造工程の一例を示す模式的断面図である。予め、化合物半導体の単結晶からなる半導体基板2は、仮支持基板81上に接合されている。

20

図6(a)は、素子形成工程において、半導体基板2の主面201側に、p型層(pウェル)5及びソース領域51を形成した状態を表している。更に高濃度n型部561を形成することができる(図1参照)。pウェル5は、半導体基板2に不純物を選択的にイオン注入することにより形成される。次いで、pウェル5に選択的にn型不純物を注入することにより、ソース51を形成する。隣り合うpウェル5の間の領域は、ドレイン領域52となる。

図6(b)は、素子形成工程において、pウェル5の主面201上にゲート53を形成した状態を表している。ゲート53はゲート酸化膜とゲート金属とにより形成することができる。また、後に貫通メタル電極59を形成するために、主面201上に金属膜からなる上面ゲート電極部531が形成されている。ゲート酸化膜はSi酸化膜に限らず、種々の絶縁物を採用し得る。縦型構造のMOSFET11のドレイン部は、主面201側のドレイン52から始まり裏面ドレイン521(図7参照)に至る部分で構成される。

30

【0033】

同図(c)は、支持基板接合工程において、半導体基板2の主面201側に支持基板接続用の金属膜7を形成した状態を表している。まず、半導体基板2の主面201上に、フォトリソグラフィにより選択的に形成した絶縁層6を挟んで各電極用配線を行う相互配線層65を形成する。絶縁層6は、Si酸化膜61及びポリイミドPIQ膜62を積層することが好ましい。相互配線層65においてはソース51、ゲート53及び上面ゲート電極531が、それぞれ必要な配線によって電氣的に接続される。例えば、ゲート53は上面ゲート電極531と接続される。また、相互配線層65の表面には、ソース51と接続されたソース接続面が露出される。そして、相互配線層65の表面上に、蒸着、スパッタ等によってAl薄膜71、Ni薄膜72等からなる金属膜7が形成される。

40

その後、同図(d)に示すように、金属膜7上に導電性の支持基板8(半導体基板又は金属基板)を接合する。支持基板8は、導電性樹脂、金属接合等によって金属膜7と接合可能である。これにより、支持基板8は外部接続用のソース端子75を兼ねるようにすることができる。

【0034】

半導体基板2の主面201側に支持基板8を接合した後、前記仮支持基板除去工程において、裏面202に接合されていた仮支持基板81を除去する。仮支持基板81を除去する方法は特に問わない。例えば、仮支持基板81がサファイア基板であり、半導体基板2

50

が Ga_2O_3 や GaN である場合には、レーザの照射（レーザリフトオフ）により剥離することができる。仮支持基板 81 が Si である場合には、研削で大部分を除去した後に残りを化学エッチングで除去することができる。以後、半導体基板 2 を支持する機能は支持基板 8 が担うことになる。

【0035】

引き続き、図 7 (a) に示すように、半導体基板 2 の裏面 202 側から、主面側に形成された上面ゲート電極部 531 に達する貫通孔 591 を形成する（貫通電極部形成工程）。貫通孔 591 は、テーパエッチにより半導体基板 2 の裏面 202 側で拡がるテーパ形状に形成することが好ましい。テーパは半導体単結晶の面方位で決まる傾斜角度により制御することができる。

10

同図 (b) 及び (c) は、半導体基板 2 の裏面 202 に裏面端子 (76、77) を形成する前記裏面端子形成工程を表している。同図 (b) は、仮支持基板 81 が除去された半導体基板 2 の裏面 202 に、選択的に絶縁層 6 を形成した状態を示している。絶縁層 6 は、 Si 酸化膜 61 の上にポリイミド PIQ 膜 62 を積層することが好ましい。絶縁層 6 には、半導体基板 2 の下面に形成される裏面ドレイン 521 及び貫通孔 591 部が露出するように開口が設けられている。

【0036】

同図 (c) は、絶縁層 6 を挟み、金属層 7 が選択的に形成された状態を示している。金属層 7 は、蒸着やスパッタにより Al 薄膜 71 を形成し、その上に Ni メッキ膜 72 を形成することが好ましい。貫通孔 591 には、その金属層 7 (71、72) により貫通電極部（貫通メタル電極）59 が形成される。これにより、テーパ形状の貫通メタル電極 59 を形成することができる。上面ゲート電極 531 へ至る電氣的接続が確保される限り、貫通孔 591 が金属層 7 (71、72) により充填される必要はない。

20

裏面ドレイン 521 と接する金属層 7 部は、外部接続用のドレイン端子 76 となる。また、貫通メタル電極 59 と接する金属層 7 部は、ゲート端子 77 となる。以上により、MOSFET 11 が形成される。

【0037】

また、製造方法の別の実施形態として、図 2 に示した横型構造の MOSFET 12 の製造方法が挙げられる。

図 8 及び 9 は、MOSFET 12 の製造工程の一例を示す模式的断面図である。図 3 に示した MOSFET 13 についても製造方法は同様である。予め、化合物半導体の単結晶からなる半導体基板 2 は、仮支持基板 81 上に接合されている。仮支持基板 81 については、前記 MOSFET 11 の場合と同様である。

30

図 8 (a) は、素子形成工程において、半導体基板 2 を貫通するように p 型層 (p ウェル) 5 を形成した状態を表している。p ウェル 5 は半導体基板 2 に不純物を選択的にイオン注入することにより形成される。同様にして、半導体基板 2 を縦方向に貫通する p 型層 (p ウェル) 58 を形成することができる。p ウェル 5 と半導体基板 2 の n 型層 (n 型半導体層 21) との界面である pn 接合面は、半導体基板 2 の表面に対して垂直な平面状に形成することができる。

【0038】

40

次に、同図 (b) に示すように、p ウェル 5 の主面 201 側の表層から選択的に不純物を注入することにより、ソース 51 を形成する。そして、p ウェル 5 と一定の長さ (L2) 離隔し半導体基板 2 を貫通するように、ドレイン接続用の高濃度 n 型部 (貫通ドレイン) 56 を形成する。貫通ドレイン 56 と半導体基板 2 の n 型半導体層 21 との界面は、半導体基板 2 の表面に対して垂直な平面状に形成することができる。また、横方向に p ウェル 58 に囲まれ且つ半導体基板 2 を縦方向に貫通するように、貫通電極部となる高濃度 n 型部 (貫通 n^+ 電極) 57 を形成する。

更に、p ウェル 5 の主面 201 上にゲート 53 を形成する。ゲート 53 はゲート酸化膜とゲート金属とにより形成することができる。ゲート酸化膜は Si 酸化膜に限らず、種々の絶縁物を採用可能である。ゲート 53 と貫通ドレイン 56 との間の n 型半導体層 21

50

は、ドレイン 5 2 となる。

貫通 n^+ 電極 5 7 は、 p ウェル 5 8 により半導体基板 2 (n^- 型半導体層 2 1) とは電氣的に分離されている。上記の貫通ドレイン 5 6 及び貫通 n^+ 電極 5 7 により、半導体基板 2 の裏面 2 0 2 から、ドレイン電位及びゲート電位が取れるように構成できる。

尚、 p ウェル 5 及び 5 8 との間に一定以上の距離をおいてそれらを囲むように、高濃度 n 型部 5 6 1 を形成することができる (図 2 (a) 参照) 。

【 0 0 3 9 】

同図 (c) は、支持基板接合工程において、半導体基板 2 の主面 2 0 1 上に支持基板接続用の金属膜 7 を形成した状態を表している。先ず、半導体基板 2 の主面 2 0 1 上に、フォトリソグラフィにより選択的に形成した絶縁層 6 を挟んで各電極用配線を行う相互配線層 6 5 を形成する。絶縁層 6 は、 Si 酸化膜 6 1 及びポリイミド PIQ 膜 6 2 を積層することが好ましい。相互配線層 6 5 においてはソース電極 5 1、ゲート 5 3 及び貫通 n^+ 電極 5 7 が、それぞれ必要な配線によって接続される。例えば、ゲート 5 3 は貫通 n^+ 電極 5 7 と接続される。また、相互配線層 6 5 の表面には、ソース 5 1 と接続されたソース接続面が露出される。そして、相互配線層 6 5 の表面上に、蒸着、スパッタ等によって Al 薄膜 7 1、Ni 薄膜 7 2 等からなる金属膜 7 が形成される。

その後、同図 (d) に示すように、金属膜 7 上に導電性の支持基板 8 (半導体基板又は金属基板) を接合する。支持基板 8 は、導電性樹脂、金属接合等によって金属膜 7 と接合可能である。これにより、支持基板 8 は外部接続用のソース端子 7 5 を兼ねるようにすることができる。

【 0 0 4 0 】

半導体基板 2 に支持基板 8 を接合した後、前記仮支持基板除去工程において、半導体基板 2 の裏面 2 0 2 に接合されていた仮支持基板 8 1 を除去する。仮支持基板 8 1 を除去する方法は前記 MOSFET 1 1 の場合と同様である。図 9 (a) は、仮支持基板 8 1 を除去した状態を示している (図 9 では、支持基板 8 との接合面の金属膜 7 を省略する) 。

以後、半導体基板 2 を支持する機能は支持基板 8 が担うことになる。

【 0 0 4 1 】

図 9 (b) 及び (c) は、半導体基板 2 の裏面 2 0 2 に裏面端子 (7 6、7 7) を形成する裏面端子形成工程を表している。同図 (b) は、仮支持基板 8 1 が除去された半導体基板 2 の裏面 2 0 2 に、選択的に絶縁層 6 を形成した状態を示している。絶縁層 6 は、 Si 酸化膜 6 1 の上にポリイミド PIQ 膜 6 2 を積層することが好ましい。絶縁層 6 には、半導体基板 2 に形成されている貫通ドレイン 5 6 及び貫通 n^+ 電極 5 7 が露出するように開口が設けられている。

【 0 0 4 2 】

同図 (c) は、絶縁層 6 を挟み、金属膜 7 が選択的に形成された状態を示している。金属膜 7 は、蒸着やスパッタにより Al 薄膜 7 1 を形成し、その上に Ni メッキ膜 7 2 を形成することが好ましい。貫通ドレイン 5 6 と接する金属膜 7 部は、外部接続用のドレイン端子 7 6 となる。また、貫通 n^+ 電極 5 7 と接する金属膜 7 部は、ゲート端子 7 7 となる。以上により、MOSFET 1 2 が形成される。前記 MOSFET 1 3 についても同様に形成することができる。

【 0 0 4 3 】

MOSFET は、図 4 に示したように半導体基板 2 の両面に形成することができる。図 1 0 は、前記 MOSFET 1 4 の製造工程の一例を示す模式的断面図である。MOSFET 1 4 は、半導体基板 2 の両面に形成される。前記 MOSFET 1 2 の製造方法と共通する内容については説明を省略する。

図 1 0 (a) は、MOSFET 1 2 と同様の方法 (図 9 (a) 参照) により、半導体素子層が形成された半導体基板 2 の主面 2 0 1 側に、絶縁層 6、相互配線層 6 5 及び金属層 7 (図示せず) を介して支持基板 8 が接合され、その後裏面 2 0 2 側に接合されていた仮支持基板 8 1 が除去された状態を表している。半導体基板 2 には、半導体基板 2 を貫通し且つ $p-n$ 接合面が基板面に対して垂直方向となるように、 p ウェル 5 が形成されている。

また、ソース51、ドレイン52及び貫通ドレイン56が形成されている。更に、半導体基板2を貫通するように形成されたpウェル58に囲まれ、高濃度n型部（貫通n⁺電極）57が設けられている。貫通n⁺電極57はpウェル58によって半導体基板2から電氣的に分離されている。

同図(b)は、pウェル5の裏面202側に、主面201側と同様の方法でゲート53を形成した状態を示している。

【0044】

同図(c)は、ゲート53が形成された半導体基板2の裏面202に、選択的に絶縁層6及び相互配線層65を形成した状態を示している。相互配線層65においてはゲート53と貫通n⁺電極57とが電氣的に接続される。また、絶縁層6及び相互配線層65には、半導体基板2に形成されている貫通ドレイン56及び貫通n⁺電極57が露出するように開口が設けられている。

10

同図(d)は、半導体基板2の裏面202側に、絶縁層6及び相互配線層65を挟み、金属層7(71、72)が選択的に形成された状態を示している。金属層7により、外部接続用のドレイン端子76及びゲート端子77がそれぞれ形成される。ドレイン端子76は貫通ドレイン56と電氣的に接続され、ゲート端子77は貫通n⁺電極57と電氣的に接続されている。以上により、MOSFET14が形成される。

【0045】

以上の実施形態において、支持基板8は金属基板でもよいし、電気伝導性と熱伝導性の良い半導体基板、例えばSiC基板でもよい。支持基板8の接合方法は特に問わず、例えば、導電接着材を用いて貼り合わせる他、接合面を平坦化した後にプラズマ又はFAB(Fast Atomic Beam)により活性化し、直接貼り合わせることも可能である。

20

【0046】

尚、本発明は以上で詳述した実施形態に限定されず、本発明の請求項に示した範囲で様々な変形または変更が可能である。また、MOSFETのみならず、MISFET、JFET、IGBTなどの素子にも同様に適用できる。また、貼り合せ基板技術との組み合わせも容易である。

【産業上の利用可能性】

【0047】

ワイドバンドギャップ基板を用いたパワー系化合物半導体素子は、車においてはハイブリッド車、電気自動車等の普及に伴ってますます重要度が増している。また、家庭においてはスマートグリッドの普及に伴って家電製品の制御やエネルギー管理のためにパワー系化合物半導体装置の役割が重要になってくる。本発明により放熱性に優れた高耐圧の化合物半導体素子を実現することができる。

30

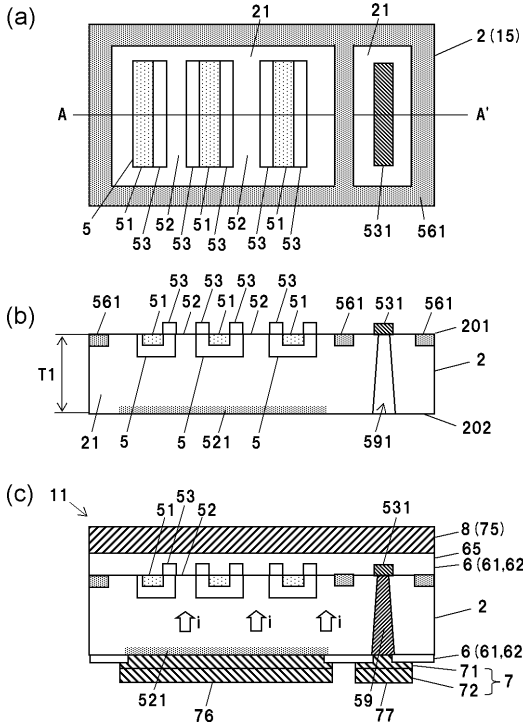
【符号の説明】

【0048】

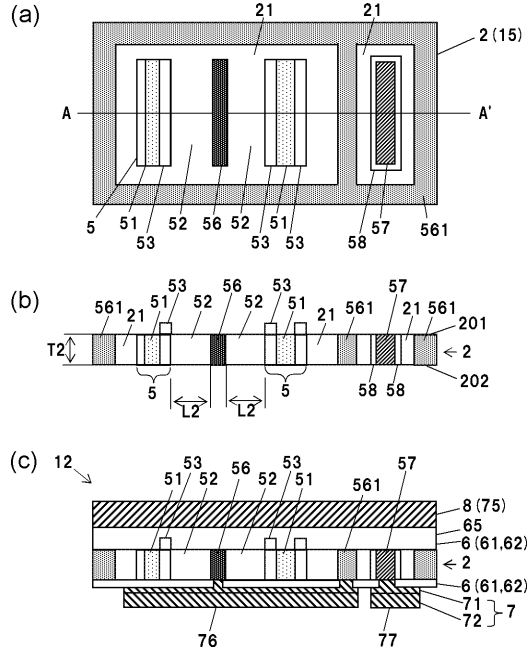
1；半導体素子、11、12、13、14；MOSFET、15；能動層、2；半導体基板、201；主面、202；裏面、21；n⁻型半導体層、5；p型層(pウェル)、51；ソース、52；ドレイン、521；裏面ドレイン、53；ゲート、531；上面ゲート電極部、56；高濃度n型部(貫通ドレイン)、561；高濃度n型部、57；高濃度n型部(貫通n⁺電極)、58；p型層(pウェル)、59；貫通メタル電極、591；貫通孔、6；絶縁層、61；シリコン酸化膜、62；PIQ膜、65；相互配線層、7；金属層、71；Al薄膜、72；Niメッキ膜、75；ソース端子、76；裏面端子(ドレイン端子)、77；裏面端子(ゲート端子)、8；金属基板、81；仮支持基板。

40

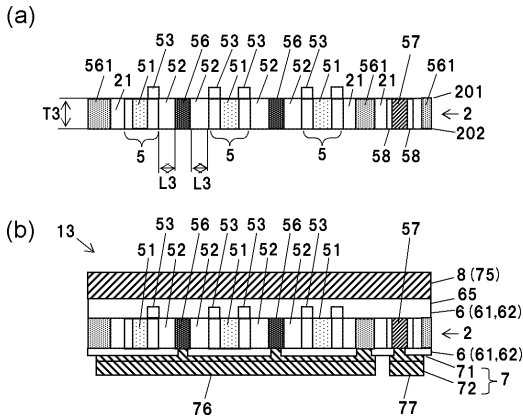
【 図 1 】



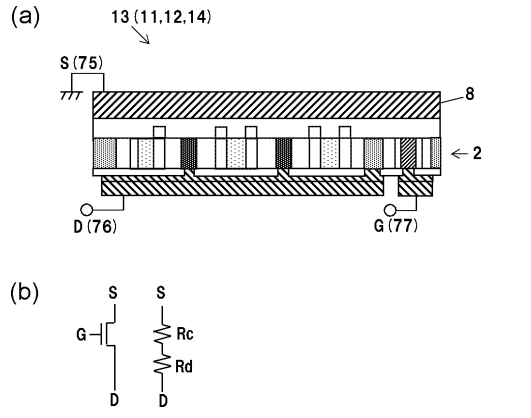
【 図 2 】



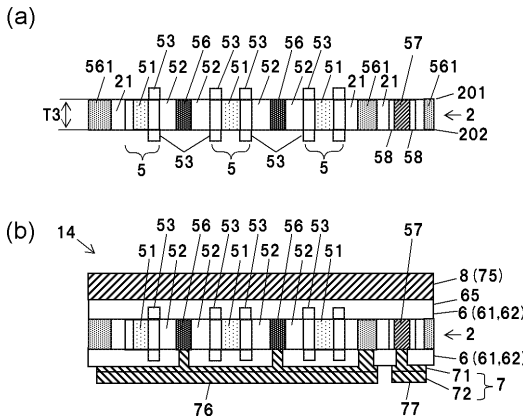
【 図 3 】



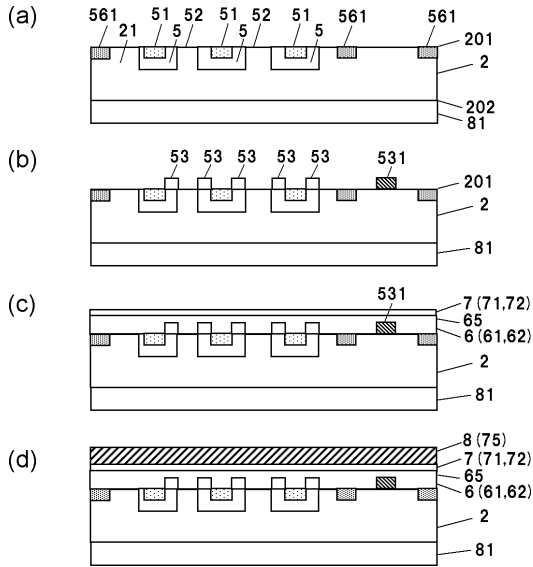
【 図 5 】



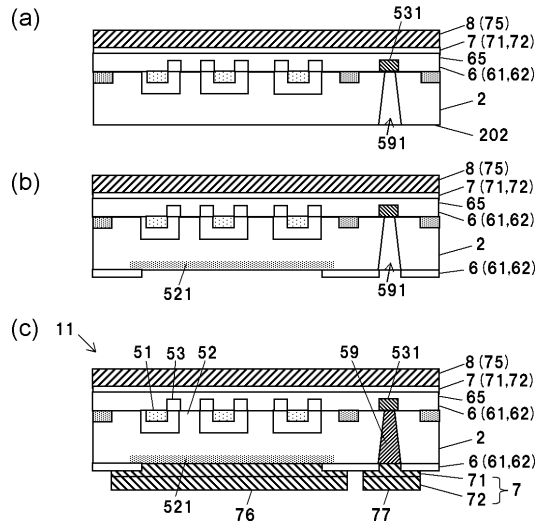
【 図 4 】



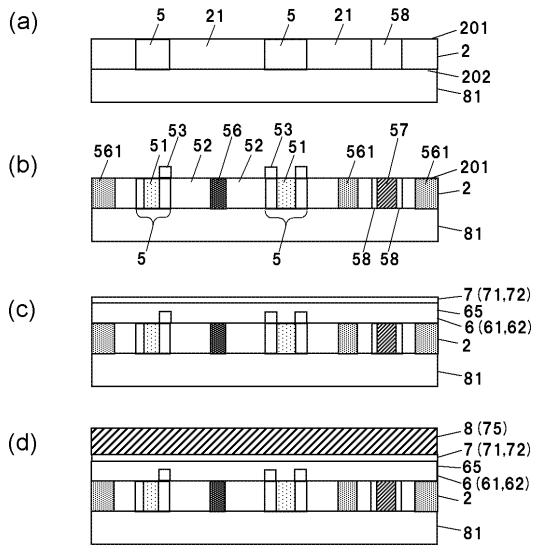
【 図 6 】



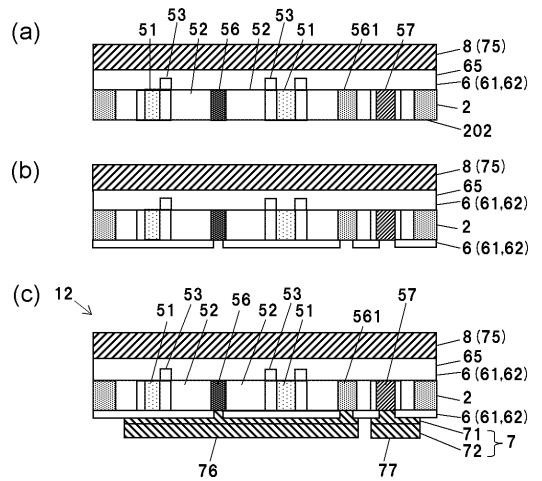
【 図 7 】

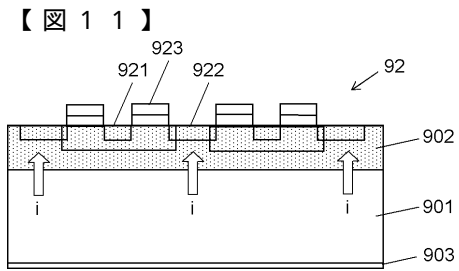
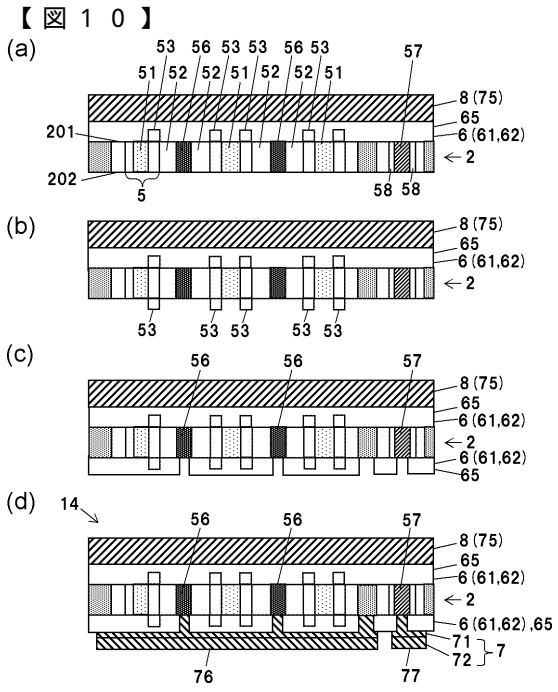


【 図 8 】



【 図 9 】





フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
<i>H 0 1 L 21/3205 (2006.01)</i>	H 0 1 L 29/78	6 5 8 K
<i>H 0 1 L 21/768 (2006.01)</i>	H 0 1 L 29/78	6 5 2 S
<i>H 0 1 L 23/522 (2006.01)</i>	H 0 1 L 29/78	6 5 8 F
<i>H 0 1 L 29/786 (2006.01)</i>	H 0 1 L 21/28	3 0 1 B
	H 0 1 L 29/44	L
	H 0 1 L 21/88	J
	H 0 1 L 29/78	6 1 8 B
	H 0 1 L 29/78	6 1 6 S
	H 0 1 L 29/78	6 1 7 A

Fターム(参考) 5F033 HH07 HH08 JJ01 JJ07 JJ08 MM30 NN32 PP15 PP19 PP27
 PP28 QQ07 QQ34 QQ37 RR04 RR22 TT07 VV06 XX22
 5F110 AA11 AA23 BB12 EE30 FF02 GG01 GG04 GG06 GG12 GG24
 GG52 HJ13 HK02 HK03 HK21 HK32 HK33 HM12 HM14 NN03
 NN23 NN27 QQ16