

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年4月19日(19.04.2018)



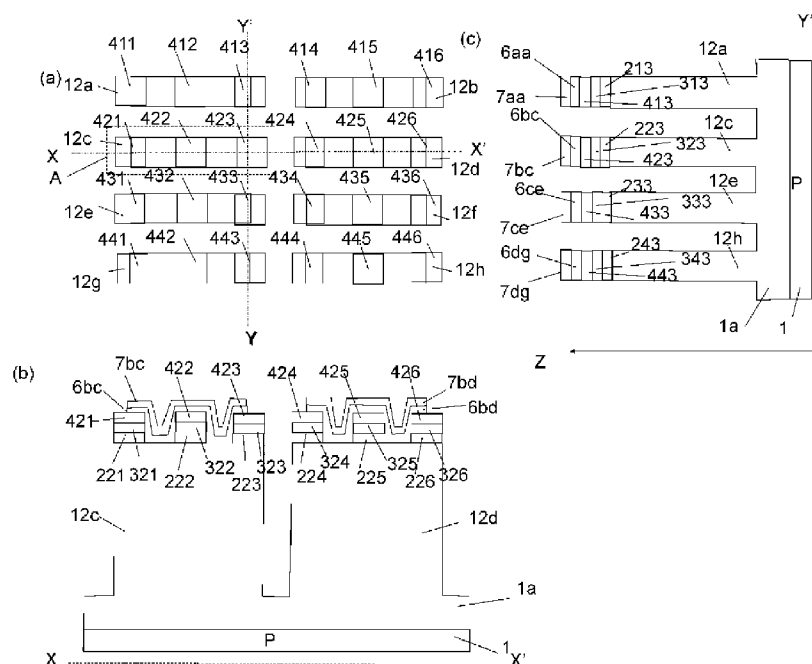
(10) 国際公開番号

WO 2018/070034 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) *H01L 29/78* (2006.01)
- (21) 国際出願番号: PCT/JP2016/080529
- (22) 国際出願日: 2016年10月14日(14.10.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(USを除く全ての指定国について): ユニ
サントイス エレクトロニクス シンガポ
ール プライベート リミテッド(UNISANTIS
ELECTRONICS SINGAPORE PTE. LTD.) [SG/
SG]; 179098 ノースブリッジロード 1
1 1、ペニンシュラ プラザ # 1 6
- 0 4 Singapore (SG).
- (72) 発明者; および
(71) 出願人(USについてのみ): 舩岡 富士雄
(MASUOKA Fujio) [JP/JP]; 〒1020072 東京都
千代田区飯田橋 1-12-13 いずみ九段ビル
5F Semicon Consulting株式
会社内 Tokyo (JP). 原田 望(HARADA Nozomu)
[JP/JP]; 〒1020072 東京都千代田区飯田橋 1-
12-13 いずみ九段ビル5F Semicon
Consulting株式会社 Tokyo (JP).
- (74) 代理人: 木村 満(KIMURA Mitsuru); 〒1010054
東京都千代田区神田錦町二丁目7番地
協販ビル2階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) Title: METHOD FOR MANUFACTURING COLUMNAR SEMICONDUCTOR DEVICE

(54) 発明の名称: 柱状半導体装置の製造方法



(57) Abstract: A region comprising SiO₂ layers (221-226), Si₃N₄ layers (321-326), and SiO₂ layers (421-426), and C layers (6bc, 6bd) and SiO₂ layers (7bc, 7bd) both ends of which in a Y-Y' direction are located on the SiO₂ layers (421, 423, 424, 426) and both ends of which in an X-X' direction coincide with the rectangular SiO₂ layers (421-426), are formed on an i layer (1a). Next, i layers (12c, 12d) are formed by etching the i layer using the SiO₂ layers (421, 423, 424, 426, 7bc, 7bd) as masks. Then, after the SiO₂ layers (7bc, 7bd) and the C layers (6bc, 6bd) are removed, an Si column is formed on an Si column base by using as masks the SiO₂ layers (221-226)



CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

formed into circular shapes through isotropic etching by using the Si_3N_4 layers (321-326) as masks.

(57) 要約: i 層 (1 a) 上に、 SiO_2 層 (2 2 1 ~ 2 2 6)、 Si_3N_4 層 (3 2 1 ~ 3 2 6)、及び SiO_2 層 (4 2 1 ~ 4 2 6) からなる領域と、Y-Y' 方向の両端が SiO_2 層 (4 2 1、4 2 3、4 2 4、4 2 6) 上にあり、且つ、X-X' 方向の両端が矩形状 SiO_2 層 (4 2 1 ~ 4 2 6) と一致している、C 層 (6 b c、6 b d) 及び SiO_2 層 (7 b c、7 b d) とを形成し、 SiO_2 層 (4 2 1、4 2 3、4 2 4、4 2 6、7 b c、7 b d) をマスクに i 層をエッチングして i 層 (1 2 c、1 2 d) を形成し、C 層 (6 b c、6 b d)、 SiO_2 層 (7 b c、7 b d) を除去した後、 Si_3N_4 層 (3 2 1 ~ 3 2 6) をマスクに等方エッチングにより円形状に形成した SiO_2 層 (2 2 1 ~ 2 2 6) をマスクにして、Si 柱台上に Si 柱を形成する。

明 細 書

発明の名称：柱状半導体装置の製造方法

技術分野

[0001] 本発明は柱状半導体装置の製造方法に関する。

背景技術

[0002] 近年、柱状半導体装置であるSGT (Surrounding Gate Transistor) は、高集積な半導体装置を提供する半導体素子としてますますその用途が拡大しつつある。これに伴い、SGTを有する半導体装置の更なる高密度化・高性能化が求められている。

[0003] プレナー型MOSトランジスタでは、チャネルは基板表面に沿ってソースとドレインの間に存在する。これに対して、SGTのチャネルは半導体基板表面に対して垂直方向にある（例えば、特許文献1、非特許文献1を参照）。このため、SGTは、プレナー型MOSトランジスタと比べ、半導体装置の高密度化が可能である。

[0004] 図5に、NチャネルSGTの模式構造図を示す。P型導電性又はi型（真性型）導電性を有するSi柱Pa（以下、シリコン半導体柱を「Si柱」という。）の上下の位置に、一方がソースとなり他方がドレインとなるN⁺領域100a、100b（ドナー不純物を高濃度で含む領域を、以降、「N⁺領域」と呼ぶ。）が形成されている。N⁺領域100a、100b間のSi柱Paがチャネル領域101となる。このチャネル領域101を囲むようにゲート絶縁層102が形成され、ゲート絶縁層102を囲むようにゲート導体層103が形成されている。SGTではソース、ドレインとなるN⁺領域100a、100b、チャネル領域101、ゲート絶縁層102、ゲート導体層103が、単一のSi柱Paに形成される。ここで、Si柱Paの水平断面形状は円形であることが望ましい。これによって、SGTの表面占有面積は、見かけ上、プレナー型MOSトランジスタの単一のソース又はドレインN⁺領域面積に相当したものになる。そのため、SGTを有する回路チップは、プレ

ナー型MOSトランジスタを有する回路チップと比較して、チップサイズの更なる縮小化が可能になり、この結果、半導体装置の高密度化が実現される。

[0005] 図6に、SGTを用いたCMOSインバータ回路の断面図を示す（例えば、特許文献2を参照）。

絶縁基板105上にSi柱を支えるSi柱台として働くi層106（「i層」は真性型Si層を示す。以下、「i層」と呼ぶ。）が形成され、i層106上にPチャネルSGT用Si柱Pb1、Pb2とNチャネルSGT用Si柱Pb3とが形成される（ここでは、並列に接続された2個のPチャネルSGTが負荷トランジスタとなり、1個のNチャネルSGTが駆動用トランジスタとなって、インバータ回路が形成される）。i層106はCMOSインバータ回路が形成される領域を定める領域である。i層106は隣接する回路とは絶縁基板105上で分離されている。

PチャネルSGT用Si柱Pb1、Pb2の下部に繋がるi層106と同層に、PチャネルSGTのドレインP⁺領域109a（アクセプタ不純物を高濃度で含む領域を、以降「P⁺領域」と呼ぶ。）が、Si柱Pb1、Pb2の下部を囲むように形成されている。また、i層106と同層に、NチャネルSGTのドレインN⁺領域110aが、Si柱Pb3の下部を囲むように形成されている。

さらに、PチャネルSGT用Si柱Pb1、Pb2の頂部にPチャネルSGTのソースP⁺領域109ba、109bbが形成され、NチャネルSGT用Si柱Pb3の頂部にNチャネルSGTのソースN⁺領域110bが形成されている。

[0006] そして、図6に示すように、Si柱Pb1、Pb2、Pb3を囲むようにゲート絶縁層107a、107b、107cが形成され、ゲート絶縁層107a、107b、107cを囲むように、PチャネルSGTのゲート導体層108aとNチャネルSGTのゲート導体層108bとが形成されている。

また、ゲート導体層108a、108bと、Si柱Pb1、Pb2、Pb

3の頂部のP⁺領域109ba、109bb、N⁺領域110bを囲むように、絶縁層（サイドウォール窒化膜）111a、111bが形成されている。そして、PチャネルSGTのドレインP⁺領域109aは、シリサイド層113を介して、NチャネルSGTのドレインN⁺領域110aと接続されている。

[0007] 以上のSGTを以下のように配線することでCMOSインバータ回路が形成される。絶縁基板105、i層106、Si柱Pb1、Pb2、Pb3を覆うSiO₂層112を貫通して、ゲート導体層108a、P⁺領域109ba、P⁺領域109bb、シリサイド層113、N⁺領域110b、ゲート導体層108b上に、それぞれ、コンタクトホール114a、114b、114c、114d、114e、114fが形成されている。

ここで、図6に示すように、コンタクトホール114b、114cを介して、SiO₂層112上に形成した電源配線金属層VccがPチャネルSGTのソースP⁺領域109ba、109bbに接続されている。また、コンタクトホール114d及びシリサイド層113を介して、SiO₂層112上に形成された出力配線金属層VoutがPチャネルSGTのドレインP⁺領域109a、NチャネルSGTのドレインN⁺領域110aにそれぞれ接続されている。また、コンタクトホール114a、114fを介して、SiO₂層112上に形成した入力配線金属層Vin1、Vin2がNチャネル、PチャネルSGTのゲート導体層108a、108bに接続されている。また、コンタクトホール114eを介して、SiO₂層112上に形成したグランド配線金属層VssがNチャネルSGTのソースN⁺領域110bに接続されている。

このSGTを有するCMOSインバータ回路では、PチャネルSGTとNチャネルSGTとが、それぞれSi柱Pb1、Pb2、Pb3内に形成されるため、垂直方向からみた場合の回路面積が縮小され、従来例のプレナー型MOSトランジスタを有するインバータ回路と比較してさらに回路の縮小化が可能となる。

[0008] 以上のように、SGTを有するCMOSインバータ回路では、i層106

上にSi柱Pb1、Pb2、Pb3が形成される。このSi柱Pb1、Pb2、Pb3は、平面視でi層106の外周からはみ出ることがないよう、高い位置精度で形成せねばならない。

[0009] 以下、図7A～図7Cを用いて、i層106上に、Si柱Pb1、Pb2、Pb3を形成する方法について説明する。これら各図において、(a)は平面図を示し、(b)は、(a)のX-X'線方向の断面図を示す。

[0010] まず、図7Aに示すように、絶縁基板105（図6における絶縁基板105に対応している。）上にi層116を形成する。さらに、i層116上に熱酸化法により、SiO₂層117を形成する。

[0011] 次に、図7Bに示すように、リソグラフィ法と、SiO₂膜エッチング法とを用い、Si柱Pb1、Pb2、Pb3の頂部に対応する平面視円形状SiO₂層118a、118b、118cをSiO₂層117から形成する。そして、これら平面視円形状SiO₂層118a、118b、118cをマスクとして用い、i層116をエッチングすることでSi柱Pb1、Pb2、Pb3（図6のSi柱Pb1、Pb2、Pb3に対応する。）を形成する。このエッチングでは、Si柱Pb1、Pb2、Pb3と絶縁基板105との間に、i層116aを残存させる。

[0012] 次に、図7Cに示すように、マスク合わせを伴うリソグラフィ法と、Siエッチング法とにより、Si柱Pb1、Pb2、Pb3の位置に合わせて、平面視においてSi柱Pb1、Pb2、Pb3を囲む部分を除いてi層116aをエッチングすることで、Si柱台106（図6のi層106に対応する。）を形成する。このようにして、Si柱Pb1、Pb2、Pb3が、i層106上に形成される。

[0013] 以上のように、従来の製造方法では、Si柱Pb1、Pb2、Pb3が形成された後に、Si柱Pb1、Pb2、Pb3にマスク合わせを伴うリソグラフィ法を用いてCMOS回路領域を定めるSi柱台106を形成する。ここで、Si柱Pb1、Pb2、Pb3は、平面視でSi柱台106の外周からはみ出ることなく、高い位置精度で形成されることが必要である。この位

置精度が高いほど、SGTを有するCMOSインバータ回路の縮小化が進む。

[0014] また、Si柱台106とSi柱Pb1、Pb2、Pb3の形成順番は逆に行うこともできる（例えば、特許文献3を参照）。まず、Si柱台106の外形を形成するためのエッチングマスクを積層し、i層116をエッチングする。次に、Si柱台106上に残存するi層116上にSiO₂層と窒化シリコン（Si₃N₄）層をこの順番に積層する。その後、残存i層116上に、Si柱台106が延びる方向と直交する方向に沿って3列のマスクを形成し、SiO₂層とSi₃N₄層を矩形状にエッチングする。そして、矩形状Si₃N₄層をエッチングマスクにして、矩形状SiO₂層を等方エッチングすることで、平面視円形状SiO₂層118a、118b、118cを形成する。最後に、矩形状Si₃N₄層を除去した後に、平面視円形状SiO₂層118a、118b、118cをエッチングマスクとして、Si柱台106上に残存するi層116をエッチングして、Si柱Pb1、Pb2、Pb3を形成する。この方法では、Si柱台106が延びる方向と直交する方向での位置精度は改善されるものの、矩形状のSiO₂層とSi₃N₄層を作るためのマスクとSi柱台106との位置関係に依存してSi柱Pb1、Pb2、Pb3とSi柱台106との位置関係がSi柱台106の延びる方向にずれ得るので、依然として、Si柱台106が延びる方向での位置合わせに精度が必要とされる。

先行技術文献

特許文献

[0015] 特許文献1：特開平2-188966号公報

特許文献2：米国特許出願公開第2012/0270374号明細書

特許文献3：米国特許第9224835号明細書

非特許文献

[0016] 非特許文献1：Hiroshi Takato, Kazumasa Sunouchi, Naoko Okabe, Akihiro Nitayama, Katsuhiko Hieda, Fumio Horiguchi, and Fujio Masuoka: IEEE T

ransaction on Electron Devices, Vol. 38, No. 3, pp. 573-578 (1991)

発明の概要

発明が解決しようとする課題

- [0017] SGTを有するCMOSインバータ回路の高集積化を実現するには、SGTを形成する水平断面が平面視円形状の半導体柱（図6のSi柱Pb1、Pb2、Pb3に対応する。）が、回路形成領域（図6のi層106に対応する。）に、高い位置精度で形成されることが必要である。

課題を解決するための手段

- [0018] 本発明の第1の観点に係る柱状半導体装置の製造方法は、
半導体層上に、平面視において第1方向に帯状に延びた第1材料層と、前記第1材料層上に前記第1材料層と重なった第2材料層を形成する工程と、
前記第2材料層と前記半導体層との上に、平面視において前記第1方向とは異なる第2方向に帯状に延びた第3材料層を形成する工程と、
前記第3材料層をマスクにして、前記第1材料層と前記第2材料層とをエッチングして、平面視において重なった前記第1材料層と前記第2材料層を含む第1材料層・第2材料層重なり部を形成する工程と、
前記第3材料層をエッチングして、平面視において、前記第1方向又は前記第2方向に一系列に2つ以上並んだ前記第1材料層・第2材料層重なり部の両端にある前記第1材料層・第2材料層重なり部の前記第2材料層上に両端を有する第4材料層を形成する工程と、
前記第4材料層と、平面視において前記第4材料層の両端に重なっている前記第1材料層・第2材料層重なり部と、をエッチングマスクにして、前記半導体層をエッチングして、第1の半導体柱台を形成する工程と、
前記第4材料層を除去する工程と、
前記第1材料層・第2材料層重なり部の前記第2材料層をエッチングマスクにして、前記第1材料層・第2材料層重なり部の前記第1材料層を等方エッチングして、縮小第1材料層を形成する工程と、
前記第1材料層・第2材料層重なり部の前記第2材料層を除去する工程と

、

を有し、

(a) 前記縮小第 1 材料層をエッチングマスクにして、前記第 1 の半導体柱台をエッチングして、半導体柱を形成する工程、又は、

(b) 前記第 1 の半導体柱台と前記縮小第 1 材料層との間に、平面視において、前記縮小第 1 材料層と同じ形状で重なった第 5 材料層を形成する工程、及び、少なくとも、前記第 5 材料層をエッチングマスクにして、前記第 1 の半導体柱台をエッチングして、半導体柱を形成する工程、

をさらに有し、

前記半導体柱を形成する工程において、前記第 1 の半導体柱台のエッチングを、前記第 1 の半導体柱台の底部より上方で止めて、前記半導体柱の下に第 2 の半導体柱台を形成する、

ことを特徴とする。

[0019] 前記第 4 材料層を形成する工程において、前記第 1 材料層・第 2 材料層重なり部上に、前記第 3 材料層を形成しない領域を設ける、

ことが望ましい。

[0020] 前記第 4 材料層を形成する工程において、前記第 3 材料層は、平面視において個別の前記第 1 材料層・第 2 材料層重なり部の 1 つの一端が収まる窓を備える、

ことが望ましい。

[0021] 前記第 1 材料層・第 2 材料層重なり部がない領域を形成し、そして、前記領域に前記第 4 材料層を形成する、

ことが望ましい。

[0022] 前記第 1 の半導体柱台形成の後に、平面視において、前記第 1 の半導体柱台の外周部の前記半導体層の表層にドナーまたはアクセプタ不純物を含む不純物領域を形成する工程と、

熱処理を行い、前記ドナーまたはアクセプタ不純物を前記第 1 の半導体柱台の側面から内部に拡散させて、側面不純物領域を形成する工程とを含み、

前記縮小第1材料層をエッチングマスクにして、前記第1の半導体柱台をエッチングして、前記半導体柱を形成する工程において、平面視において、前記半導体柱の外周が、前記側面不純物領域より内側にある、

ことが望ましい。

発明の効果

[0023] 本発明によれば、回路形成領域に、SGTを構成する半導体柱と半導体柱台の位置関係と形状が高い位置精度で形成され、これによりSGT回路の高密度化・高性能化を図ることができる。

図面の簡単な説明

[0024] [図1A]第1実施形態に係る、SGTを有する半導体装置の製造方法を説明するためのCMOS型SRAMセル回路の平面図と断面図である。

[図1B]第1実施形態に係る、SGTを有する半導体装置の製造方法を説明するためのCMOS型SRAMセル回路の平面図と断面図である。

[図1C]第1実施形態に係る、SGTを有する半導体装置の製造方法を説明するためのCMOS型SRAMセル回路の平面図と断面図である。

[図1D]第1実施形態に係る、SGTを有する半導体装置の製造方法を説明するためのCMOS型SRAMセル回路の平面図と断面図である。

[図1E]第1実施形態に係る、SGTを有する半導体装置の製造方法を説明するためのCMOS型SRAMセル回路の平面図と断面図である。

[図1F]第1実施形態に係る、SGTを有する半導体装置の製造方法を説明するためのCMOS型SRAMセル回路の平面図と断面図である。

[図1G]第1実施形態に係る、SGTを有する半導体装置の製造方法を説明するためのCMOS型SRAMセル回路の平面図と断面図である。

[図1H]第1実施形態に係る、SGTを有する半導体装置の製造方法を説明するためのCMOS型SRAMセル回路の平面図と断面図である。

[図1I]第1実施形態に係る、SGTを有する半導体装置の製造方法を説明するためのCMOS型SRAMセル回路の平面図と断面図である。

[図1J]第1実施形態に係る、SGTを有する半導体装置の製造方法を説明す

るためのCMOS型SRAMセル回路の平面図と断面図である。

[図1K]第1実施形態に係る、SGTを有する半導体装置の製造方法を説明するためのCMOS型SRAMセル回路の平面図と断面図である。

[図1L]第1実施形態に係る、SGTを有する半導体装置の製造方法を説明するためのCMOS型SRAMセル回路の平面図と断面図である。

[図1M]第1実施形態に係る、SGTを有する半導体装置の製造方法を説明するためのCMOS型SRAMセル回路の平面図と断面図である。

[図2A]第2実施形態に係る、SGTを有する半導体装置の製造方法を説明するための平面図と断面図である。

[図2B]第2実施形態に係る、SGTを有する半導体装置の製造方法を説明するための平面図と断面図である。

[図2C]第2実施形態に係る、SGTを有する半導体装置の製造方法を説明するための平面図と断面図である。

[図2D]第2実施形態に係る、SGTを有する半導体装置の製造方法を説明するための平面図と断面図である。

[図3A]第3実施形態に係る、SGTを有する半導体装置の製造方法を説明するための平面図と断面図である。

[図3B]第3実施形態に係る、SGTを有する半導体装置の製造方法を説明するための平面図と断面図である。

[図3C]第3実施形態に係る、SGTを有する半導体装置の製造方法を説明するための平面図と断面図である。

[図4A]第4実施形態に係る、SGTを有する半導体装置の製造方法を説明するための平面図と断面図である。

[図4B]第4実施形態に係る、SGTを有する半導体装置の製造方法を説明するための平面図と断面図である。

[図4C]第4実施形態に係る、SGTを有する半導体装置の製造方法を説明するための平面図と断面図である。

[図4D]第4実施形態に係る、SGTを有する半導体装置の製造方法を説明す

るための平面図と断面図である。

[図5]従来例の、SGTを示す模式構造図である。

[図6]従来例の、SGTを有するCMOSインバータ回路のSi柱配置図である。

[図7A]従来例の、SGTを有するCMOSインバータ回路の製造方法を説明するための平面図と断面図である。

[図7B]従来例の、SGTを有するCMOSインバータ回路の製造方法を説明するための平面図と断面図である。

[図7C]従来例の、SGTを有するCMOSインバータ回路の製造方法を説明するための平面図と断面図である。

発明を実施するための形態

[0025] 以下、本発明の実施形態に係る、SGTを有する半導体装置の製造方法について、図面を参照しながら説明する。

[0026] (第1実施形態)

以下、図1A～図1Mを参照しながら、本発明の第1実施形態に係る、SGTを有するCMOS型SRAM(Static Random Access Memory)セル回路の製造方法について説明する。図1A～図1Mにおいて、(a)は平面図であり、(b)は(a)のX-X'線方向の断面図であり、(c)は(a)のY-Y'線方向の断面図である。

[0027] まず、図1Aに示すように、P層基板1上に、i層1aを形成する。そして、i層1a上に、下からSiO₂層(図示せず)、窒化シリコン(Si₃N₄)層(図示せず)、SiO₂層(図示せず)を形成する。そして、平面視において、第1方向(Y-Y'方向)に延び、かつ、第1方向と直交する第2方向(X-X'方向)に並んだ帯状レジスト層5a～5fを積層し、これらをエッチングマスクにして、前述のSiO₂層、Si₃N₄層、SiO₂層をRIE(Reactive Ion Etching)によりエッチングして、レジスト層5a～5fの下に、それぞれ、下から順番に、SiO₂層2a～2f、Si₃N₄層3a～3f、SiO₂層4a～4fを形成する。そして、レジスト層5a～5fを除

去する。

[0028] 次に、図1Bに示すように、全体に下から順番に炭素(C)層(図示せず)、 SiO_2 層(図示せず)を積層する。そして、平面視において、第2方向に延び、かつ、第1方向に並んだ帯状レジスト層8a~8dを積層し、これらをエッチングマスクにして、前述の炭素(C)層、 SiO_2 層をRIEによりエッチングして、レジスト層8a~8dの下に、それぞれ、下から順番に、C層6a~6d、 SiO_2 層7a~7dを形成する。

[0029] 次に、図1Cに示すように、レジスト層8a~8d、C層6a~6d、 SiO_2 層7a~7dをマスクにして、RIEにより SiO_2 層2a~2f、 Si_3N_4 層3a~3f、 SiO_2 層4a~4fをエッチングする。このレジスト層8a~8dの幅は、レジスト層5a~5fの幅と同じであることが望ましい。これにより、レジスト層8aと SiO_2 層2a~2f、 Si_3N_4 層3a~3f、 SiO_2 層4a~4fとが重なる領域の下に、それぞれ、 SiO_2 層211~216、 Si_3N_4 層311~316、 SiO_2 層411~416が形成される。レジスト層8bと SiO_2 層2a~2f、 Si_3N_4 層3a~3f、 SiO_2 層4a~4fとが重なる領域の下に、それぞれ、 SiO_2 層221~226、 Si_3N_4 層321~326、 SiO_2 層421~426が形成される。レジスト層8cと SiO_2 層2a~2f、 Si_3N_4 層3a~3f、 SiO_2 層4a~4fとが重なる領域の下に、それぞれ、 SiO_2 層231~236、 Si_3N_4 層331~336、 SiO_2 層431~436が形成される。レジスト層8dと SiO_2 層2a~2f、 Si_3N_4 層3a~3f、 SiO_2 層4a~4fとが重なる領域の下に、それぞれ、 SiO_2 層241~246、 Si_3N_4 層341~346、 SiO_2 層441~446が形成される。以上の各層の形状は任意であり、略矩形状、略円形状、略長円状、略楕円状などであってもよい。

[0030] 次に、図1Dに示すように、平面視において、第1方向に延びるレジスト層10a、10bを形成する。レジスト層10aの第2方向の一方の端は、 SiO_2 層411、421、431、441上にあり、他方の端は SiO_2 層

4 1 3、4 2 3、4 3 3、4 4 3上にある。そして、レジスト層1 0 bの第2方向の一方の端は、S i O₂層4 1 4、4 2 4、4 3 4、4 4 4上にあり、他方の端はS i O₂層4 1 6、4 2 6、4 3 6、4 4 6上にある。そして、レジスト層1 0 a、1 0 bをエッチングマスクにして、S i O₂層7 a、7 b、7 c、7 dとC層6 a、6 b、6 c、6 dをエッチングする。こうして、レジスト層1 0 aとS i O₂層7 a、7 b、7 c、7 dとが重なる領域の下に、下から順番に、C層6 a a、6 b c、6 c e、6 d gと、S i O₂層7 a a、7 b c、7 c e、7 d gとが形成される。レジスト層1 0 bとS i O₂層7 a、7 b、7 c、7 dとが重なる領域の下に、下から順番に、C層6 a b、6 b d、6 b f、6 b hと、S i O₂層7 a b、7 b d、7 c f、7 d hとが形成される。そして、レジスト層1 0 a、1 0 bを除去する。

[0031] 次に、図1 Eに示すように、(a)図のX-X'線に沿った領域で見ると、左側では、i層1 aの上面はS i O₂層4 2 1、7 b c、4 2 3で覆われている。右側では、S i O₂層4 2 4、7 b d、4 2 6で覆われている。他の領域においても同様である。そして、S i O₂層4 2 1、7 b c、4 2 3をエッチングマスクにして、i層1 aをR I Eによりエッチングして、帯状S i 柱台1 2 cを形成する。そして、S i O₂層4 2 4、7 b d、4 2 6をエッチングマスクにして、帯状S i 柱台1 2 dを形成する。他の領域においても同様にして、S i O₂層7 a a、7 b c、7 a b、7 b d、7 c f、7 d hとその両端の下にあるS i O₂層の下に、それぞれ、帯状S i 柱台1 2 a、1 2 b、1 2 e、1 2 f、1 2 g、1 2 hが形成される。帯状S i 柱台1 2 cを見ると、平面視における、第2方向の一方の端は、S i O₂層4 2 1の左端に一致しており、他方の端はS i O₂層4 2 3の右端に一致している。そして、帯状S i 柱台1 2 cを見ると、平面視における垂直方向の両端は、S i O₂層4 2 1、4 2 2、4 2 3の両端に一致している。この関係は、他の帯状S i 柱台1 2 a、1 2 b、1 2 d～1 2 hにおいても同様である。

[0032] 次に、図1 Fに示すように、i層1 a上方からヒ素(A s)原子を帯状S i 柱台1 2 a～1 2 hの外周部のi層1 a表層にイオン注入して、その後に

熱処理を行い、As原子を帯状Si柱台12a～12h内に熱拡散させて、帯状Si柱台12a～12hの外周部と、これに繋がる帯状Si柱台12a～12hの下部表面から内側に、それぞれ、N層13a～13h（13a、13c、13d、13e、13gのみ図示）を形成する。そして、i層1a上方からボロン（B）原子を帯状Si柱台12a～12hの外周部のi層1a表層にイオン注入してP⁺層14を形成する。

[0033] 次に、図1Gに示すように、RIE法により、SiO₂層7aa～7dhを除去して、次に燃焼（Ashing）法によりC層6aa～6dhを除去する。そして、RIE法によりSiO₂層411～416、421～426、431～436、441～446を除去する。そして、Si₃N₄層311～316、321～326、331～336、341～346をマスクにして、例えばプラズマエッチング法により、SiO₂層211～216、221～226、231～236、241～246をその側面から等方エッチングして、平面視において円形状のSiO₂層211a～216a、221a～226a、231a～236a、241a～246aを形成する。

[0034] 次に、図1Hに示すように、Si₃N₄層311～316、321～326、331～336、341～346を除去する。そして、SiO₂層211a～216a、221a～226a、231a～236a、241a～246aをマスクにして、RIE法により帯状Si柱台12a～12hの底部を帯状Si柱台12aa～12haが残存するようエッチングしてSi柱Pa1～Ph3を形成する。そして、全体に薄いSi₃N₄層（図示せず）を堆積する。そして、全体にCVD（Chemical Vapor Deposition）法によりSiO₂層（図示せず）を堆積する。そして、CMP（Chemical Mechanical Polishing）法によりSiO₂層表面を平坦にした後、RIEを用いたエッチバック法によりSiO₂層を、帯状Si柱台12aa～12ha上表面の高さまでエッチングして、帯状Si柱台12aa～12ha外側領域にSiO₂層16を形成する。

[0035] 同じ構造の繰り返しなので、以降、Si柱台12ca、12eaの周辺に

着目して説明する。そのため、図1 I～1 Mは、図1 H (a) における点線で囲んだ領域Bの拡大図を示す。図1 I に示すように、Si柱Pc1～Pc3、Pe1～Pe3が帯状Si柱台12ca、12ea上に形成されている。そして、Si柱Pc1～Pc3、Pe1～Pe3上には、それぞれ、SiO₂層221a～223a、231a～233aがある。そして、帯状Si柱台12ca、12eaを取り囲んでi層1a表層にP⁺層14が形成されている。そして、帯状Si柱台12ca、12eaの外周部にN層13c、13eが形成されている。平面視において、帯状Si柱台12ca、12ea内のN層13c、13eの先端の位置((a)図の点線C1、C2で示した位置)は、Si柱Pc1～Pc3、Pe1～Pe3の外側にあることが望ましい。図1 Fで示したAs及びBのイオン注入において、i層1a表面で反射されたAs及びB原子が帯状Si柱台12a～12hの側面に注入される可能性があるが、図1 Hで示したSi柱Pa1～Ph3形成時のRIE法によりこうした側面部分は除去される。また、全体に薄いSi₃N₄層17が形成されている。そして、帯状Si柱台12ca、12ea外側領域にSiO₂層16が形成されている。

[0036] 次に、図1 Jに示すように、リソグラフィ法によって、Si柱Pc2、Pe2を覆い且つY-Y'線方向に延びるレジスト層19を形成する。続いて、レジスト層19とSiO₂層16、221a、223a、231a、232aとをマスクにして、Asイオン注入法により、Si柱Pc1、Pe1、Pc3、Pe3の外周部の帯状Si柱台12ca、12ea表層にN⁺領域20a、20b、20c、20dを形成する。その後、レジスト層19を除去する。

[0037] 次に、図1 Kに示すように、リソグラフィ法により、Si柱Pc1、Pe1を覆ったレジスト層20aと、Si柱Pc3、Pe3を覆ったレジスト層20bとを形成する。そして、Si柱Pc2、Pe2の外周部であってN⁺領域20a、20bの間と、N⁺領域20c、20dの間との帯状Si柱台12ca、12ea表層に、Bイオン注入法により、P⁺領域21a、21bを形

成する。続いて、エッチングによって、Si柱Pc1～Pc3、Pe1～Pe3を囲んだSi₃N₄層17と、Si柱Pc1～Pc3、Pe1～Pe3の頂部のSiO₂層221a～223a、231a～233aを除去する。

[0038] 次に、図1Lに示すように、熱処理を行い、P⁺層14を帯状Si柱台12c、12eの外周部まで拡張させてP⁺領域14aを形成し、N層13c、13fを帯状Si柱台12c、12eの中心部まで拡張させてN領域13ca、13faを形成し、N⁺領域20a、20b、20c、20dをSi柱Pc1、Pc3、Pe1、Pe3の下まで拡張させてN⁺領域20aa、20ba、20ca、20daを形成し、P⁺領域21a、21bをSi柱Pc2、Pe2の下まで拡張させてP⁺領域21aa、21baを形成する。そして、ALD (Atomic Layer Deposition) 法によって、全体を、酸化ハフニウム (HfO₂) 層24と、窒化チタン (TiN) 層 (図示せず) とで覆う。そして、リソグラフィ法とRIEにより、Si柱Pc1及びPc2を囲んだTiN層25aと、Si柱Pc3を囲んだTiN層25bと、Si柱Pe1を囲んだTiN層25cと、Si柱Pe2及びPe3を囲んだTiN層25dとを形成する。そして、全体を覆ってCVD法によりSiO₂層 (図示せず) を形成する。そして、CMP法とRIEエッチバック法により、上部表面の位置がSi柱Pc1～Pc3、Pe1～Pe3の頂部よりも低い位置にあるSiO₂層23を形成する。そして、SiO₂層23をマスクとして用い、Si柱Pc1～Pc3、Pe1～Pe3の頂部のTiN層、HfO₂層をエッチングすることで除去する。そして、リソグラフィ法とイオン注入法によって、Si柱Pc1、Pc3、Pe2、Pe3の頂部に、N⁺領域26a、26c、26d、26fを形成し、Si柱Pc2、Pe2の頂部にP⁺領域26b、26eを形成する。

[0039] 次に、図1Mに示すように、CVD法によってSiO₂層28を堆積した後、SiO₂層28の表面をCMP法によって平坦化する。そして、Si柱Pc1上にコンタクトホール29aを、Si柱Pe3上にコンタクトホール29lを、それぞれ形成する。また、TiN層25c上にコンタクトホール29

fを、TiN層25b上にコンタクトホール29gを、それぞれ形成する。そして、コンタクトホール29a、29lを介して、N⁺領域26a、26cに接続されるグラウンド配線金属層VSS1、VSS2と、コンタクトホール29f、29gを介して、TiN層25b、25cに接続されるワード配線金属層WLと、を形成する。

そして、CVD法によってSiO₂層31を形成した後、SiO₂層31の表面をCMP法によって平坦化する。続いて、TiN層25a、25d上にコンタクトホール29b、29kを形成し、P⁺領域26b、26e上にコンタクトホール29c、29jを形成し、P⁺領域21aaとN⁺領域20baの境界上にコンタクトホール29dを形成し、P⁺領域21bbとN⁺領域20caの境界上にコンタクトホール29iを形成する。

そして、コンタクトホール29hを介してN⁺領域26dに接続される反転ビット配線金属層BLBと、コンタクトホール29c、29jを介してP⁺領域26b、26eに接続される電源配線金属層VDDと、コンタクトホール29b、29jを介して、TiN層25aとN⁺領域20ca、P⁺領域21bbに接続される配線金属層22aと、TiN層25dとN⁺領域20ba、P⁺領域21aaに接続される配線金属層22bと、コンタクトホール29hを介して、N⁺領域26dに接続される反転ビット配線金属層BLBと、コンタクトホール29eを介してN⁺領域26cに接続されるビット配線金属層BLを形成する。これによって、SGTを有するSRAMセル回路が形成される。

[0040] 本発明の第1実施形態によれば、以下の効果が得られる。

1. Si柱Pa1～Ph3の位置及び形状は、平面視において互いに直交する帯状レジスト層5aと帯状レジスト層8a～8dが重なった領域の位置で決められている。Si柱Pa1～Ph3は、SiO₂層211a～216a、221a～226a、231a～236a、241a～246aをエッチングマスクにして、RIEにより帯状Si柱台12a～12hの底部に帯状Si柱台12aa～12haを残してエッチングして形成した。SiO₂層21

1 a ~ 2 1 6 a、2 2 1 a ~ 2 2 6 a、2 3 1 a ~ 2 3 6 a、2 4 1 a ~ 2 4 6 a は、 Si_3N_4 層 3 1 1 ~ 3 1 6、3 2 1 ~ 3 2 6、3 3 1 ~ 3 3 6、3 4 1 ~ 3 4 6 をエッチングマスクにして、等方プラズマエッチングにより SiO_2 層 2 1 1 ~ 2 1 6、2 2 1 ~ 2 2 6、2 3 1 ~ 2 3 6、2 4 1 ~ 2 4 6 を外周側面よりエッチングして形成した。 Si_3N_4 層 3 1 1 ~ 3 1 6、3 2 1 ~ 3 2 6、3 3 1 ~ 3 3 6、3 4 1 ~ 3 4 6 は、平面視において、第 1 方向（Y-Y' 方向）に延び、かつ、第 2 方向（X-X' 方向）に並んだ帯状レジスト層 5 a ~ 5 f と、これと直交して第 1 方向に並んだ帯状レジスト層 8 a ~ 8 d とが、重なった領域に形成されている。帯状レジスト層 5 a ~ 5 f と帯状レジスト層 8 a ~ 8 d とは、リソグラフィ法における第 1 および第 2 方向における高いマスク合わせ精度がもとめられない。加えて、帯状レジスト層 5 a ~ 5 f と帯状レジスト層 8 a ~ 8 d は、i 層 1 a をエッチングする前の、平坦な i 層 1 a 上に形成されるため、高精度の帯状レジスト層 5 a ~ 5 f と帯状レジスト層 8 a ~ 8 d が形成される。このように、Si 柱 P a 1 ~ P h 3 の形成は、リソグラフィ法を用いない等方プラズマエッチング、高いマスク合わせ精度を要しない直交する帯状レジスト層 5 a ~ 5 f、8 a ~ 8 d 形成、平坦な i 層 1 a 上での直交する帯状レジスト層 5 a ~ 5 f、8 a ~ 8 d 形成により、高精度の Si 柱 P a 1 ~ P h 3 が容易に形成できる特徴を有する。

2. そして、Si 柱 P a 1 ~ P h 3 と帯状 Si 柱台 1 2 a a ~ 1 2 h a の位置関係及び形状は、平面視において互いに直交する帯状レジスト層 5 a と帯状レジスト層 8 a ~ 8 d の重なる領域の位置で決められている。帯状 Si 柱台 1 2 a a ~ 1 2 h a は、平面視で見ると、図 1 E で示した、Si 柱台 1 2 a ~ 1 2 h と一致している。例えば、図 1 E (a) の点線で囲んだ領域 A でみると、帯状 Si 柱台 1 2 c の第 2 方向の一方の端は、 SiO_2 層 4 2 1 の左端に一致しており、他方の端は SiO_2 層 4 2 3 の右端に一致している。これは、図 1 D、図 1 E で示したように、レジスト層 1 0 a の第 2 方向の両端を、 SiO_2 層 4 2 1、4 2 3 上になるように形成し、その後に、レジスト層 1

0 aをマスクにして、 SiO_2 層7 b、C層6 bをエッチングすることにより、上面がSiエッチングに対するマスク材となる SiO_2 層4 2 1、7 b c、4 2 3が形成されるためである。このレジスト層1 0 aの第2方向の両端は、 SiO_2 層4 2 1、4 2 3上にあればよいので、高いマスク合わせ精度を必要としない。そして、平面視における第1方向の両端は、Si柱P c 1、P c 2、P c 3を形成するのに用いた Si_3N_4 層3 2 1、3 2 2、3 2 3下の同じ形状の、 SiO_2 層4 2 1、4 2 2、4 2 3の両端に一致している。これは、Si柱P a 1～P h 3と底部の帯状Si柱台1 2 a a～1 2 h aとの位置関係と形状が、高精度で且つ容易に形成されることを意味している。これは高密度かつ高性能のSGT回路形成に繋る。

3. 本実施形態の説明は6個のSGTよりなるSRAMセル形成に本発明を適用する場合であるが、図1 Dで示した工程において、レジスト層1 0 a、1 0 bが被覆する重なり領域の数を調節することで、SRAMセルを構成するSGTの数を調節できる。例えば、8個のSGTよりなるSRAMセルでは、図1 Dにおけるレジスト層1 0 a、1 0 bを、 SiO_2 層4 1 1～4 4 6の内の第2方向(X-X'方向)に並んだ4個を覆うようにすればよい。また、インバータ回路形成では、第2方向に並んだ2個を覆うようにすればよい。このように、本実施形態の製造方法では、同じ回路上に、第2方向に任意に2個以上のSi柱を、帯状Si柱台上に、高精度かつ高密度で容易に形成することができる。

4. 本実施形態の説明は、第2方向に任意に2個以上のSi柱を、帯状Si柱台上に形成した場合である。これに対し、図1 A、図1 Bに示した帯状レジスト層5 a～5 fと帯状レジスト層8 a～8 dとの関係を90度回転させることによって、同じ回路上に、第1方向(Y-Y'方向)に任意に2個以上のSi柱を、帯状Si柱台上に、高精度かつ高密度で容易に形成することができる。これにより、回路設計に応じて、第1方向と第2方向に任意に2個以上並んだSi柱を、帯状Si柱台上に形成させた回路を同一基板上に配置させることができる。これは、回路の高密度化及び高性能化に繋がる。

[0041] (第2実施形態)

以下、図2A～図2Dを参照しながら、本発明の第2実施形態に係る柱状半導体装置の製造方法を示す。(a)は平面図であり、(b)は(a)のX-X'線方向の断面図であり、(c)は(a)のY1-Y1'線方向の断面図である。

[0042] 図2Aにおいて、(a)図の左半分の領域は、図1Dに示した構造と同様である。帯状レジスト層10aの第2方向の一方の端は、SiO₂層411、421、431、441上にあり、他方の端はSiO₂層413、423、433、443上にある。(a)図の右半分の領域は、帯状レジスト層10bが形成されていないことを除き、図1Dに示した構造と同様である。そして、レジスト層10aをマスクにして、SiO₂層7a、7b、7c、7dとC層6a、6b、6c、6dをエッチングする。(a)図の左半分の領域では、図1Dと同様に、SiO₂層7aa、7bc、7ce、7dg、C層6aa、6bc、6ce、6dgが形成される。一方、(a)図の右半分の領域では、図1Dと異なり、SiO₂層7ab、7bd、7cf、7df、C層6ab、6bd、6cf、6dhが形成されない。(a)図の右半分の領域では、平面視において、SiO₂層414～416、424～426、434～436、444～446の上表面の全体が露出される。そして、帯状レジスト層10aを除去する。

[0043] 次に、図2Bに示すように、RIE法によりi層1aのエッチングを行う。(a)図の左半分の領域は、図1Eに示した構造と同様である。一方、(a)図の右半分の領域では、SiO₂層414～416、424～426、434～436、444～446をエッチングマスクに、これらの下にそれぞれ、i層40aa～40ac(40aaのみ図示)、40ba～40bc、40ca～40cc(40caのみ図示)、40da～40dc(40daのみ図示)が形成される。

[0044] 次に、図2Cに示すように、SiO₂層7aa、7bc、7ce、7dg、C層6aa、6bc、6ce、6dgを除去する。そして、RIE法により

SiO_2 層411～416、421～426、431～436、441～446を除去する。そして、 Si_3N_4 層311～316、321～326、331～336、341～346をマスクにして、例えばプラズマエッチング法により、 SiO_2 層211～216、221～226、231～236、241～246をその側面から等方エッチングして、平面視において円形状の SiO_2 層211a～216a、221a～226a、231a～236a、241a～246aを形成する。

[0045] 次に、図2Dに示すように、 Si_3N_4 層311～316、321～326、331～336、341～346を除去する。そして、 SiO_2 層211a～216a、221a～226a、231a～236a、241a～246aをエッチングマスクにして、RIEにより、帯状Si柱台12a、12c、12e、12gと、i層40aa～40ac（40aaのみ図示）、40ba～40bc、40ca～40cc（40caのみ図示）、40da～40dc（40daのみ図示）と、をエッチングして、Si柱Pa1～Ph3を形成する。これにより、（a）図の左半分の領域は、図1Hに示した構造と同様であるが、（a）図の右半分の領域は、平面視において、 Si_3N_4 層314～316、324～326、334～336、344～346と同じ形状のSi柱台41aa～41ac（41aaのみ図示）、41ba～41bc、41ca～41cc（41caのみ図示）、41da～41dc（41daのみ図示）上に、Si柱Pb1～Pb3、Pd1～Pd3、Pf1～Pf3、Ph1～Ph3が形成される。そして、図1I～図1Mと同じ工程を行って、Si柱Pb1～Pb3、Pd1～Pd3、Pf1～Pf3、Ph1～Ph3にSGTが形成される。

[0046] 本発明の第2実施形態によれば、以下のような特徴を供する。第1実施形態では、平面視において、第1または第2方向に2個以上並んだSi柱（3個の場合は図1HにおけるSi柱Pa1～Pha）が、それぞれのSi柱台（3個の場合は図1Hにおける帯状Si柱台12aa～12da）上に形成される。これに対し、本実施形態では、同じSGT回路基板上に、Si柱P

b 1 ~ P b 3、P d 1 ~ P d 3、P f 1 ~ P f 3、P h 1 ~ P h 3が、平面視においてS i₃N₄層3 1 1 ~ 3 1 6、3 2 1 ~ 3 2 6、3 3 1 ~ 3 3 6、3 4 1 ~ 3 4 6と同じ形状のS i柱台4 1 a a ~ 4 1 a c、4 1 b a ~ 4 1 b c、4 1 c a ~ 4 1 c c、4 1 d a ~ 4 1 d c上に形成される。これにより、回路設計に応じて、1個または複数個のS i柱を、S i柱台上に形成することができる。これは、回路の高密度化、高性能化に繋がる。

[0047] (第3実施形態)

以下、図3 A ~ 図3 Cを参照しながら、本発明の第3実施形態に係る、柱状半導体装置の製造方法を示す。

[0048] 図3 Aに図1 Bに対応する平面図と断面図を示す。(a)は平面図であり、(b)は(a)のX 2 - X 2' 線方向の断面図であり、(c)は(a)のY - Y' 線方向の断面図である。それまでの工程は、第1実施形態と同じである。i層1 a上に、下からS i O₂層(図示せず)、S i₃N₄層(図示せず)、S i O₂層(図示せず)を形成する。そして、リソグラフィ法とR I E法により、第1実施形態と同様に、平面視において、第1方向(Y - Y' 方向)に延び、かつ、第2方向(X - X' 方向)に並んだS i O₂層2 a ~ 2 f、S i₃N₄層3 a ~ 3 f、S i O₂層4 a ~ 4 fを形成する。ただし、この後で形成するレジスト層8 bと重なる部分(図3 AでX 2 - X 2' 線とY - Y' 線とが交差する部分)には、S i O₂層2 c、S i₃N₄層3 c、S i O₂層4 cを積層せず、i層1 aを露出させたままにしておく。以降、S i O₂層2 c、S i₃N₄層3 c、S i O₂層4 cのうち、レジスト層8 aと重なる部分をS i O₂層2 c a、S i₃N₄層3 c a、S i O₂層4 c aと呼び、レジスト層8 c、8 dと重なる部分をS i O₂層2 c b、S i₃N₄層3 c b、S i O₂層4 c bと呼ぶ。そして、全体に、炭素(C)層(図示せず)、S i O₂層(図示せず)を、この順番に積層する。そして、第1実施形態と同じく、平面視において、第2方向に延び、かつ、第1方向に並んだ帯状レジスト層8 a ~ 8 dをマスクにして、前述のS i O₂層、炭素(C)層をR I E法によりエッチングして、レジスト層8 a ~ 8 dの下に、C層6 a ~ 6 d、S i O₂層7 a ~

7 d を形成する。

[0049] 次に、図 3 B に図 1 D に対応する平面図と断面図を示す。(a) は平面図であり、(b) は (a) の X 1 - X 1' 線方向の断面図であり、(c) は (a) の X 2 - X 2' 線方向の断面図であり、(d) は (a) の X 3 - X 3' 線方向の断面図であり、(e) は (a) の X 4 - X 4' 線方向の断面図であり、(f) は (a) の Y - Y' 線方向の断面図である。

[0050] 図 3 B (a) に示すように、レジスト層 4 0 にリソグラフィ法により、レジスト層窓 W 1 ~ W 1 0 を開ける。そして、レジスト層窓 W 1 ~ W 1 0 をエッチングマスクにして、R I E 法により、S i O₂ 層 7 a ~ 7 d、C 層 6 a ~ 6 d をエッチングする。

[0051] 図 3 B (a)、(b) に示すように、X 1 - X 1' 線に沿って、レジスト層窓 W 1 の右端は S i O₂ 層 4 1 1 上にある。そして、レジスト層窓 W 2 の左端は S i O₂ 層 4 1 3 上にあり、右端は S i O₂ 層 4 1 4 上にある。そして、レジスト層窓 W 3 の右端は S i O₂ 層 4 1 6 上にある。この部分は、第 1 実施形態と同じ構造が得られている。

[0052] 図 3 B (a)、(c) に示すように、X 2 - X 2' 線に沿って、レジスト層窓 W 4 の左端は S i O₂ 層 4 2 1 上にあり、右端は S i O₂ 層 4 2 2 上にある。そして、レジスト層窓 W 5 の左端は S i O₂ 層 4 2 4 上にあり、右端は直接 i 層 1 a 上にある。そして、レジスト層窓 W 6 の右端は S i O₂ 層 4 2 6 上にある。

[0053] 図 3 B (a)、(d) に示すように、X 3 - X 3' 線に沿って、レジスト層窓 W 7 の右端は S i O₂ 層 4 3 1 上にある。そして、レジスト層窓 W 8 の左端は S i O₂ 層 4 3 2 上にあり、右端は S i O₂ 層 4 3 4 上にある。そして、レジスト層窓 W 3 の右端は S i O₂ 層 4 3 6 上にある。

[0054] 図 3 B (a)、(e) に示すように、X 4 - X 4' 線に沿って、S i O₂ 層 4 4 1 ~ 4 4 6 の上にレジスト層窓 W 1 0 が設けられており（即ち、これらの S i O₂ 層上にはレジスト層がなく）、S i O₂ 層 7 d、C 層 6 d はエッチングされて、除去されている。この部分は第 2 実施形態の図 2 A (a) の左

半分の領域と同じ構造が得られている。

[0055] そして、図1E～図1Hで示した工程を行うことにより、Si柱Pa1～Ph3（Pc3はない）がSi柱台42a～42n上に形成される。そして、Si柱台42a～42nの外側のi層1a表層にP+層14が形成され、Si柱台42a～42nの側面内側にN層41a～41n（41a、41d、41e、41g、41iのみを図示）が形成され、Si柱台42a～42hの外側を囲みSiO₂層16が形成される。

[0056] X1-X1'線に沿っては、第1実施形態と同じく、Si柱台42a、42b上のそれぞれに、Si柱Pa1～Pa3と、Si柱Pb1～Pb3とが形成される。これにより、第1実施形態と同じSGT回路が形成される。

[0057] そして、X2-X2'線に沿っては、Si柱台42c、42d、42e上のそれぞれに、Si柱Pc1と、Si柱Pc2と、Si柱Pd1～Pd3とが形成される。Si柱台42dでは、第1実施形態で存在していたSi柱Pc3がない構造になっている。

[0058] そして、X3-X3'線に沿っては、Si柱台42f、42g、42h上のそれぞれに、Si柱Pe1、Pe2と、Si柱Pe3と、Si柱Pf1～Pf3とが形成される。Si柱Pe1、Pe2、Pf1～Pf3は、第1実施形態と同様なSGT回路が形成される。そして、Si柱Pe3は第2実施形態と同じSGT回路が形成される。

[0059] そして、X4-X4'線に沿っては、Si柱台42j～42n上のそれぞれに、Si柱Pg1～Ph3が形成される。これにより、第2実施形態と同じSGT回路が形成される。

[0060] 本発明の第3実施形態によれば、以下の効果が得られる。

1. 第1実施形態では、図1Dに示すように、Si柱Pa1～Ph3とSi柱台12aa～12haとの位置関係と形状を決めるレジスト層10a、10bは、平面視において第1方向に帯状に延びて、形成されている。これに対し、本実施形態では、図3Bに示すように、レジスト層10a、10bに替え、レジスト層窓W1～W10を持つレジスト層40が形成されている。

レジスト層窓W5を除いて、レジスト層窓W1～W10を用いることによっても、Si柱Pa1～Ph3（Pc2を除く）とSi柱台42a～42n（42dを除く）の位置関係と形状は第1実施形態または第2実施形態と同じ効果が得られている。そして、本実施形態によれば、行毎に、第2方向に、異なるSi柱Pa1～Ph3とSi柱台42a～42nの配置関係を持つ回路を回路設計に応じて形成できる。また、第1実施形態と同じく、領域によって、Si柱とSi柱台を90度回転させて形成することができるので、この特徴を利用して、高密度かつ高性能なSGT回路を形成できる。

2. レジスト層窓W5の領域では、SiO₂層2c、Si₃N₄層3c、SiO₂層4cが形成されないことによって、平面視においてSi柱台42dは、Si柱Pc2下から右方向に延びた構造にできる。回路設計に応じて、この延びたSi柱台42d上に、例えばコンタクトホールを形成して、このコンタクトホールを介して、Si柱台42dと上部金属配線との接続を行うことができる。このSi柱がないSi柱台の延長は、図3Aで示したSiO₂層2c、Si₃N₄層3c、SiO₂層4cが分離されて形成された、SiO₂層2ca、2cb、Si₃N₄層3ca、3cb、SiO₂層4ca、4cbと同様な構造を回路設計に応じて設けることによって、左右、上下（この場合はSi柱とSi柱台との形成を90度回転させる）に延ばすことができる。この特徴を利用して、高密度・高性能なSGT回路を形成できる。

3. レジスト層窓W8は、平面視において、SiO₂層433の全体を囲み、且つ左端がSiO₂層432上にあり、右端がSiO₂層434上に形成されている。これにより、帯状Si柱台42f、42hの間に、最少面積のSi柱台42g上にSi柱Pe3が形成されている。これを利用して、回路設計に応じて、最少面積Si柱台上に立つSi柱を随所に形成することができる。

[0061]（第4実施形態）

以下、図4A～図4Dを参照しながら、本発明の第4実施形態に係る柱状半導体装置の製造方法を示す。（a）は平面図であり、（b）は（a）のX

—X' 線方向の断面図であり、(c) は (a) の Y—Y' 線方向の断面図である。

[0062] まず、図 4 A に示すように、P 層基板 1 上に、i 層 1 a を形成する。そして、i 層 1 a 上に、下から、SiO₂ 層 4 5、Si₃N₄ 層 4 6、SiO₂ 層（図示せず）、窒化シリコン（Si₃N₄）層（図示せず）、SiO₂ 層（図示せず）を形成する。そして、平面視において、第 1 方向（Y—Y' 方向）に延び、かつ、第 1 方向と直交する第 2 方向（X—X' 方向）に並んだ帯状レジスト層 5 a～5 f を積層し、これらをエッチングマスクにして、Si₃N₄ 層 4 6 上に存在する前述の SiO₂ 層、Si₃N₄ 層、SiO₂ 層を RIE（Reactive Ion Etching）によりエッチングして、レジスト層 5 a～5 f の下に、それぞれ、下から順番に、SiO₂ 層 2 a～2 f、Si₃N₄ 層 3 a～3 f、SiO₂ 層 4 a～4 f を形成する。これにより、SiO₂ 層 4 5、Si₃N₄ 層 4 6 が、i 層 1 a と SiO₂ 層 4 a～4 f との間に存在する以外、図 1 A に示す構造と同様の、図 4 A に示す構造が得られる。そして、レジスト層 5 a～5 f を除去する。

[0063] 次に、図 1 B～図 1 G に示したものと同様な工程を行う。これにより、図 4 B に示すように、帯状 Si 柱台 1 2 a～1 2 h 上に、下から順番に、SiO₂ 層 4 5 a～4 5 h、Si₃N₄ 層 4 6 a～4 6 h が形成される。また、Si₃N₄ 層 3 1 1～3 1 6、3 2 1～3 2 6、3 3 1～3 3 6、3 4 1～3 4 6 をマスクにして、例えばプラズマエッチング法により、SiO₂ 層 2 1 1～2 1 6、2 2 1～2 2 6、2 3 1～2 3 6、2 4 1～2 4 6（図 1 G を参照）をその側面から等方エッチングして、平面視において円形状の SiO₂ 層 2 1 1 a～2 1 6 a、2 2 1 a～2 2 6 a、2 3 1 a～2 3 6 a、2 4 1 a～2 4 6 a が形成される。SiO₂ 層 2 1 1 a～2 1 6 a、2 2 1 a～2 2 6 a、2 3 1 a～2 3 6 a、2 4 1 a～2 4 6 a は、側面から等方エッチングされるので、断面を拡大して見ると、下辺が長く、上辺が短い台形状になっている。

[0064] 次に、図 4 C に示すように、最上部の Si₃N₄ 層 3 1 1～3 1 6、3 2 1

～326、331～336、341～346を、例えばRIE法により除去する。そして、SiO₂層211a～216a、221a～226a、231a～236a、241a～246aをマスクにして、Si₃N₄層をエッチングするエッチング種を用いてSi₃N₄層46をRIEエッチングしてSi₃N₄層46aa～46hc（46ac、46ec、46gc、46ca～46dcのみを図示）を形成する。SiO₂層211a、212a、213a、214a、215a、216aの下に、それぞれ、Si₃N₄層46aa、46ab、46ac、46ba、46bb、46bcが形成される。同様に、SiO₂層221a～226a、231a～236a、241a～246aの下に、Si₃N₄層46ca～46hcが形成される。そして、Si₃N₄層46aa～46hcをマスクにして、SiO₂層45をエッチングするエッチング種を用いてSiO₂層45をRIEエッチングしてSi₃N₄層46aa～46hcの下にそれぞれSiO₂層45aa～45hc（45ac、45ec、45gc、45ca～45dcのみを図示）を形成する。ここで、Si₃N₄層46aa～46hcの断面は、SiO₂層211a～216a、221a～226a、231a～236a、241a～246aをマスクに、非等方エッチング法であるRIEエッチングされるので、X-X'断面において矩形状に形成される。同じくSiO₂層45aa～45hcもX-X'断面において矩形状に形成される。

[0065] 次に、図4Dに示すように、断面が矩形状のSi₃N₄層46aa～46hc、SiO₂層45aa～45hcをマスクにして、RIE法により帯状Si柱台12a～12hの底部を帯状Si柱台12aa～12haが残存するようエッチングしてSi柱Pa1～Ph3を形成する。これにより、図1Hと同様に、帯状Si柱台12aa～12ha上にSi柱Pa1～Ph3が形成される。以後、図1H～図1Mと同様な工程を行うことにより、SRAMセル回路が形成される。

[0066] 本発明の第4実施形態によれば、以下の効果が得られる。

第1実施形態においては、拡大して見ると断面が台形状になっているSi

SiO_2 層211a~216a、221a~226a、231a~236a、241a~246aをマスクにして、RIE法により帯状Si柱台12a~12hの底部を帯状Si柱台12aa~12haが残存するようエッチングしてSi柱Pa1~Ph3を形成した。この帯状Si柱台12a~12hのRIEエッチングにおいて、エッチングマスクである SiO_2 層211a~216a、221a~226a、231a~236a、241a~246aは少しずつではあるが上面よりエッチングされる。これにより、台形断面形状をもつ SiO_2 層211a~216a、221a~226a、231a~236a、241a~246aは外周部から除去されていく。このため、平面視において円形状の SiO_2 層211a~216a、221a~226a、231a~236a、241a~246aが同心円状に縮小されていく。これにより、Si柱Pa1~Ph3の断面は下辺が長く、上辺が短い台形状になる。これは、高さ方向におけるソース、ドレインを入れ替えたSGTの電気特性の違いを発生させる。これはSGTを用いた回路設計の困難さに繋がる。これに対して、本実施形態では、断面が矩形状の Si_3N_4 層46aa~46hc、 SiO_2 層45aa~45hcをマスクにして、RIEエッチングにより、Si柱Pa1~Ph3を形成する（ SiO_2 層45aa~45hcだけをマスクにしてもよい）。これにより、形成されたSi柱Pa1~Ph3の断面はより矩形状に形成することができる。

[0067] なお、上記各実施形態では、半導体柱としてSi柱を用いたSGTについて説明したが、半導体柱の材料はSiに限られず、半導体柱の一部または全体を他の材料から構成してもよい。

[0068] また、上記各実施形態では、P層基板1の代わりに、他の導電性を持つ半導体基板、または絶縁基板を有するSOI基板を用いることができる。

[0069] また、第1実施形態では、図1Dに示すように、 SiO_2 層211~246、 Si_3N_4 層311~346、 SiO_2 層411~446を形成した。 SiO_2 層211~246は、図1Eで示すように、i層1aをエッチングする場合のエッチングマスクの役割を持つ。そして、 Si_3N_4 層311~346は、

図1 Gで示すように、 SiO_2 層4 1 1～4 4 6に等方プラズマエッチングを行い、 SiO_2 層2 1 1 a～2 4 6 aを形成するためのエッチングマスクの役割をもつ。そして、 SiO_2 層2 1 1 a～2 4 6 aは、図1 Hで示すように、 i 層1 aをエッチングして、 Si 柱Pa 1～Ph 3を形成するためのエッチングマスクの役割をもつ。 SiO_2 層2 1 1～2 4 6、 Si_3N_4 層3 1 1～3 4 6、 SiO_2 層4 1 1～4 4 6のそれぞれは、上記の役割を実現できるものであれば、単層または複数層の他の材料層であってもよい。このことは、他の実施形態においても適用される。

[0070] また、第1実施形態では、 SiO_2 層2 1 1～2 4 6は、図1 Eで示すように、 i 層1 aをエッチングする場合のエッチングマスクの役割を持つ。 Si_3N_4 層3 1 1～3 4 6に替えて、 SiO_2 層4 1 1～4 4 6に等方プラズマエッチングを行い、 SiO_2 層2 1 1 a～2 4 6 aを形成するためのエッチングマスクの役割を持ち、且つ i 層1 aをエッチングする場合のエッチングマスクの役割を持つ単層または複数層の他の材料層を用いる場合は、 Si_3N_4 層3 1 1～3 4 6はなくてもよい。このことは、他の実施形態においても適用される。

[0071] また、第1実施形態では、図1 Dに示すように、 SiO_2 層7 a a、7 b c、7 c e、7 d g、7 b a（図示せず）、7 b d、7 b f（図示せず）、7 b h（図示せず）、C層6 a a、6 b c、6 c e、6 d g、6 b a（図示せず）、6 b d、6 b f（図示せず）、6 b h（図示せず）を形成した。 SiO_2 層7 a a～7 b hは、C層6 a a～6 b hを形成するためのエッチングマスクとしての役割と、 i 層1 aをエッチングする場合のエッチングマスクの役割を持つ。C層6 a a～6 b hは、レジスト層1 0 a、1 0 bをエッチングマスクにして、 SiO_2 層7 a a～7 b hを形成するときの、下部 SiO_2 層4 1 1～4 4 6を保護するためのエッチングストッパー層としての役割と、その後にC層6 a a～6 b hを除去するときに、 i 層1 a表面がエッチングされないものとして用いられている。 SiO_2 層7 a a～7 b h及びC層6 a a～6 b hのそれぞれは、上記の役割を実現できるものであれば、単層ま

たは複数層の他の材料層であってもよい。また、 SiO_2 層 7 a a～7 b hと、C層 6 a a～6 b hとの両方の役割を得られるものであれば単層の他の材料層であってもよい。このことは、他の実施形態においても適用される。

[0072] また、第1実施形態では、図1 Aにおいて示したように、帯状レジスト層 5 a～5 fを積層し、これらをエッチングマスクにして、前述の SiO_2 層、 Si_3N_4 層、 SiO_2 層をRIE (Reactive Ion Etching) によりエッチングして、レジスト層 5 a～5 fの下に、それぞれ、下から順番に、 SiO_2 層 2 a～2 f、 Si_3N_4 層 3 a～3 f、 SiO_2 層 4 a～4 fを形成した。この場合、帯状レジスト層 5 a～5 fを形成するリソグラフィ法において、レジスト・ベーキング温度、時間、現像条件などを調整して、帯状レジスト層 5 a～5 fの幅を細くする工程を行ってもよい。これにより、 SiO_2 層 2 1 1～2 1 6、2 2 1～2 2 6、2 3 1～2 3 6、2 4 1～2 4 6をその側面から等方エッチング時間を少なくして、所定の円形状の SiO_2 層 2 1 1 a～2 1 6 a、2 2 1 a～2 2 6 a、2 3 1 a～2 3 6 a、2 4 1 a～2 4 6 aを容易に形成することができる。これは、図1 Bに示した帯状レジスト層 8 a～8 dの形成においても同様である。このことは、他の実施形態においても同様である。

[0073] また、第1実施形態における帯状レジスト層 5 a～5 f、8 a～8 dは、有機材料層と無機材料層の複数層より構成されるものであってもよい。このことは、他の実施形態においても同様である。

[0074] また、第1実施形態では、図1 Aにおいて示したように、帯状レジスト層 5 a～5 fを積層し、これらをエッチングマスクにして、前述の SiO_2 層、 Si_3N_4 層、 SiO_2 層をRIE (Reactive Ion Etching) によりエッチングして、レジスト層 5 a～5 fの下に、それぞれ、下から順番に、 SiO_2 層 2 a～2 f、 Si_3N_4 層 3 a～3 f、 SiO_2 層 4 a～4 fを形成した。それに対して、帯状レジスト層 5 a～5 fと最上層の SiO_2 層の間に、材料層を設けて、帯状レジスト層 5 a～5 fをマスクにして、この材料層をエッチングし、そして、この材料層をマスクにして、例えばRIEエッチングにより、

SiO_2 層2a～2f、 Si_3N_4 層3a～3f、 SiO_2 層4a～4fを形成してもよい。所定の形状に SiO_2 層2a～2f、 Si_3N_4 層3a～3f、 SiO_2 層4a～4fを形成できるマスク材料層であれば、単層または複数層よりなる他の材料層であってもよい。また、帯状レジスト層5a～5fをマスクにして、下の材料層を等方エッチングして、前述の帯状レジスト層5a～5fの幅を細くさせたのと同じ効果を得てもよい。これは、図1Bに示した帯状レジスト層8a～8dの形成においても同様である。このことは、他の実施形態においても同様である。

[0075] また、第1実施形態での、図1Fに示した工程の後に、全体に例えばALD法により薄い SiN 層を被覆する。そして、全体に SiO_2 膜をスパイン法またはCVD法により塗布し、その後CMP法により帯状 Si 柱台の外周部の溝に SiO_2 層を形成する。そして、この SiO_2 層を残した状態で図1Hに示した Si 柱Pa1～Ph3の形成を行う。これにより、帯状 Si 柱台の外周部の溝にある SiO_2 層が、細い Si 柱Pa1～Ph3の、例えば洗浄工程時における転倒を防止することができる。これは、これにより更に細い Si 柱Pa1～Ph3を形成することができることを示している。このように高密度SGT回路の製造を容易にする工程を追加できる。このことは、他の実施形態においても同様である。

[0076] また、第1実施形態では、等方プラズマエッチング法によって、 Si_3N_4 層311～346をエッチングマスクとして用い、平面視円形状の SiO_2 層221a～246aを形成した。しかしこれに限られず、 SiO_2 層221～246が Si_3N_4 層311～346の外周から内側にエッチングされる方法であれば、プラズマエッチング法以外の等方エッチングであってもよい。このことは、他の実施形態においても同様である。

[0077] また、第1から第3実施形態では、第1または第2方向に延びた帯状の SiO_2 層211～246、 Si_3N_4 層311～346、 SiO_2 層411～446を形成し、その後に、帯状の SiO_2 層211～246、 Si_3N_4 層311～346、 SiO_2 層411～446と直交した帯状のC層6a～6d、S

i O₂層 7 a～7 dを形成した。両者で異なるのは、図 1 D、図 2 A、図 3 B に示されるように、平面視における、帯状のC層 6 a～6 d、S i O₂層 7 a～7 dのエッチング形状である。この帯状のC層 6 a～6 d、S i O₂層 7 a～7 dのエッチング形状は、リソグラフィ法で形成するレジスト層 1 0 a、1 0 b、レジスト層窓W 1～W 1 0を持つレジスト層 4 0の形状で決まっている。これより、第 1 から第 3 実施形態のうち 1 種、2 種、又は全種の構成を同じ基板上に作成できる。

[0078] また、第 3 実施形態では、レジスト層窓W 2、W 5、W 8、W 1 0を独立した矩形形状で説明した。これに対し、レジスト層窓W 2、W 5を繋げた第 1 方向に長方形のレジスト層窓を形成しても、なんらS i 柱P a 1～P h 3、S i 柱台 4 2 a～4 2 nの加工精度を悪くしない。同様にレジスト層窓W 5、W 8を繋げたL型のレジスト層窓を形成しても同様な効果を得ることができる。また、レジスト層窓W 8、W 1 0を繋げてT型レジスト層窓を形成しても同様な効果を得ることができる。

[0079] また、第 1 から第 4 実施形態において、帯状のS i O₂層 2 1 1～2 4 6、S i₃N₄層 3 1 1～3 4 6、S i O₂層 4 1 1～4 4 6を形成した後の構造体上全体に、帯状のC層 6 a～6 d、S i O₂層 7 a～7 dを形成する前に、薄いエッチングマスク層を形成してもよい。これにより、続く工程でのエッチング処理からi 層 1 aを保護することができる。

[0080] また、各実施形態におけるエッチングマスク材料層と、このエッチングマスク材料層に対してエッチングされる被エッチング材料層においては、上記要求が満足される限り、任意の材料を選択して用いることができると同様に、R I E、等方プラズマエッチングなどのエッチング方法も、上記要求が満足される限り、任意の方法を選択して用いることができる。

[0081] また、第 1 実施形態では、ゲート絶縁層としてH f O₂層 2 4、ゲート導体層としてT i N層 2 5 a、2 5 b、2 5 c、2 5 dを用いたが、単層または複数層の、他の材料層であってもよい。また、ソース・ドレイン不純物領域としてイオン注入によりN⁺領域 2 0 a a、2 0 b a、2 0 c a、2 0 d a、

26 a、26 c、26 d、26 f、P⁺領域21 a a、21 b b、26 b、26 eを形成したが、他の方法であってもよい。そして、ウエル構造に係るN領域13 c a、13 f a、P⁺領域14 aの形成に関しても同様である。このことは、他の実施形態においても同様である。

[0082] また、第4実施形態では、SiO₂層211 a～216 a、221 a～226 a、231 a～236 a、241 a～246 aと帯状Si柱台12 a～12 hの間に、X-X'断面において矩形状のSi₃N₄層46 a a～46 h c、SiO₂層45 a a～45 h cを設けた。そして、Si柱Pa1～Ph3形成のためのエッチングマスクとして、SiO₂層211 a～216 a、221 a～226 a、231 a～236 a、241 a～246 aに依らないで、これらSi₃N₄層46 a a～46 h c、SiO₂層45 a a～45 h cを用いて行った。Si₃N₄層46 a a～46 h c、SiO₂層45 a a～45 h cは、SiO₂層211 a～216 a、221 a～226 a、231 a～236 a、241 a～246 aをマスクにして、X-X'断面において矩形状に形成され、且つ、帯状Si柱台12 a～12 hをエッチングしてSi柱Pa1～Ph3を形成できる材料層であれば、他の材料よりなる材料層であってもよい。そして、Si₃N₄層46 a a～46 h c、SiO₂層45 a a～45 h cは、同じ効果が得られるものであれば、単層、または複数層よりなる材料層であってもよい。

[0083] また、第4実施形態では、SiO₂層211 a～216 a、221 a～226 a、231 a～236 a、241 a～246 aは、Si柱Pa1～Ph3の平面視における形状を定めていることについては、他の実施形態と同じである。これにより、第4実施形態は、他の実施形態にも同様に適用することができる。

[0084] 各実施形態に係るSGTを含む回路の製造法は、CMOS型SRAM回路のみならず、その他のSGTを有する回路を形成する場合にも適用可能である。

[0085] 各実施形態では、Si柱Pa1～Phaに1個のSGTを形成する場合に

ついて説明したが、1個のSi柱に2個以上のSGTを形成してもよい。

[0086] SGTは、半導体柱の外周にゲート絶縁膜が形成され、さらにこのゲート絶縁膜の外周にゲート導体層が形成されている構造を有する。このようなゲート導体層とゲート絶縁層との間に電氣的に浮遊した導体層を有するフラッシュメモリ素子であっても、SGTの一類型であるので、本発明の技術思想が適用できる。

[0087] 各実施形態では、一つの半導体柱にSGTが形成された場合について説明したが、本発明の技術思想は、SGTとそれ以外の素子（例えば、フォトダイオードなど）が組み込まれた半導体装置の製造方法にも適用することができる。

[0088] 各実施形態では、第1方向と第2方向が直交する場合について説明した。これに対し、リソグラフィ法のマスク合わせにおいて発生する、第1方向と第2方向の交差角度の多少のずれは許容される。また、第1方向に延びるSiO₂層2a～2f、Si₃N₄層3a～3f、SiO₂層4a～4fと第2方向に延びる帯状レジスト層8a～8dとが重なる領域が、Si柱形成用のマスク層を等方エッチングで削り出せる程度の大きさを持つのであれば、第1方向と第2方向とは直交していなくともよい。

[0089] なお、本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。上記各実施形態及びそれらの変形例は任意に組み合わせることができる。さらに、必要に応じて本発明の構成要件の一部を除いても本発明の技術的思想の範囲内となる。

産業上の利用可能性

[0090] 本発明によれば、高密度化された、SGTを有する半導体装置が実現される。

符号の説明

[0091] 1 P層基板

1 a、40 a a ~ 40 d c i 層

2 a ~ 2 f、4 a ~ 4 f、7 a ~ 7 d、211 ~ 216、221 ~ 226、
231 ~ 236、241 ~ 246、411 ~ 416、421 ~ 426、43
1 ~ 436、441 ~ 446、7 a a ~ 7 d h、211 a ~ 216 a、22
1 a ~ 226 a、231 a ~ 236 a、241 a ~ 246 a、16、23、
28、31、2 c a、2 c b、4 c a、4 c b、45、45 a a ~ 45 h c

SiO₂層

3 a ~ 3 f、311 ~ 316、321 ~ 326、331 ~ 336、341 ~
346、17、3 c a、3 c b、46、46 a a ~ 46 h c Si₃N₄層

5 a ~ 5 f、8 a ~ 8 d、10 a、10 b、19、20 a、20 b、40

レジスト層

6 a ~ 6 d、6 a a ~ 6 d h C層

14 P⁺層

13 a ~ 13 h、41 a ~ 41 n N層

12 a ~ 12 h、12 a a ~ 12 h a、41 a a ~ 41 d c、42 a ~ 42

n Si柱台

Pa1 ~ Ph3 Si柱

20 a、20 b、20 c、20 d、20 a a、20 b a、20 c a、20 d
a、26 a、26 c、26 d、26 f N⁺領域

21 a、21 b、21 a a、21 b b、21 b a、14 a、26 b、26 e

P⁺領域

13 c a、13 f a N領域

29 a ~ 29 l コンタクトホール

VSS1、VSS2 グランド配線金属層

WL ワード配線金属層

22 a、22 b 配線金属層

BL ビット配線金属層

BLB 反転ビット配線金属層

W1～W10 レジスト層窓

VDD 電源配線金属層

24 HfO₂層

25a～25d TiN層

請求の範囲

[請求項1]

半導体層上に、平面視において第1方向に帯状に延びた第1材料層と、前記第1材料層上に前記第1材料層と重なった第2材料層を形成する工程と、

前記第2材料層と前記半導体層との上に、平面視において前記第1方向とは異なる第2方向に帯状に延びた第3材料層を形成する工程と、

前記第3材料層をマスクにして、前記第1材料層と前記第2材料層とをエッチングして、平面視において重なった前記第1材料層と前記第2材料層を含む第1材料層・第2材料層重なり部を形成する工程と、

前記第3材料層をエッチングして、平面視において、前記第1方向又は前記第2方向に一系列に2つ以上並んだ前記第1材料層・第2材料層重なり部の両端にある前記第1材料層・第2材料層重なり部の前記第2材料層上に両端を有する第4材料層を形成する工程と、

前記第4材料層と、平面視において前記第4材料層の両端に重なっている前記第1材料層・第2材料層重なり部と、をエッチングマスクにして、前記半導体層をエッチングして、第1の半導体柱台を形成する工程と、

前記第4材料層を除去する工程と、

前記第1材料層・第2材料層重なり部の前記第2材料層をエッチングマスクにして、前記第1材料層・第2材料層重なり部の前記第1材料層を等方エッチングして、縮小第1材料層を形成する工程と、

前記第1材料層・第2材料層重なり部の前記第2材料層を除去する工程と、

を有し、

(a) 前記縮小第1材料層をエッチングマスクにして、前記第1の半導体柱台をエッチングして、半導体柱を形成する工程、又は、

(b) 前記第 1 の半導体柱台と前記縮小第 1 材料層との間に、平面視において、前記縮小第 1 材料層と同じ形状で重なった第 5 材料層を形成する工程、及び、少なくとも、前記第 5 材料層をエッチングマスクにして、前記第 1 の半導体柱台をエッチングして、半導体柱を形成する工程、

をさらに有し、

前記半導体柱を形成する工程において、前記第 1 の半導体柱台のエッチングを、前記第 1 の半導体柱台の底部より上方で止めて、前記半導体柱の下に第 2 の半導体柱台を形成する、

ことを特徴とする、柱状半導体装置の製造方法。

[請求項2] 前記第 4 材料層を形成する工程において、前記第 1 材料層・第 2 材料層重なり部上に、前記第 3 材料層を形成しない領域を設ける、

ことを特徴とする、請求項 1 に係る柱状半導体装置の製造方法。

[請求項3] 前記第 4 材料層を形成する工程において、前記第 3 材料層は、平面視において個別の前記第 1 材料層・第 2 材料層重なり部の 1 つの一端が収まる窓を備える、

ことを特徴とする、請求項 1 に係る柱状半導体装置の製造方法。

[請求項4] 前記第 1 材料層・第 2 材料層重なり部がない領域を形成し、そして、前記領域に前記第 4 材料層を形成する、

ことを特徴とする、請求項 1 に係る柱状半導体装置の製造方法。

[請求項5] 前記第 1 の半導体柱台形成の後に、平面視において、前記第 1 の半導体柱台の外周部の前記半導体層の表層にドナーまたはアクセプタ不純物を含む不純物領域を形成する工程と、

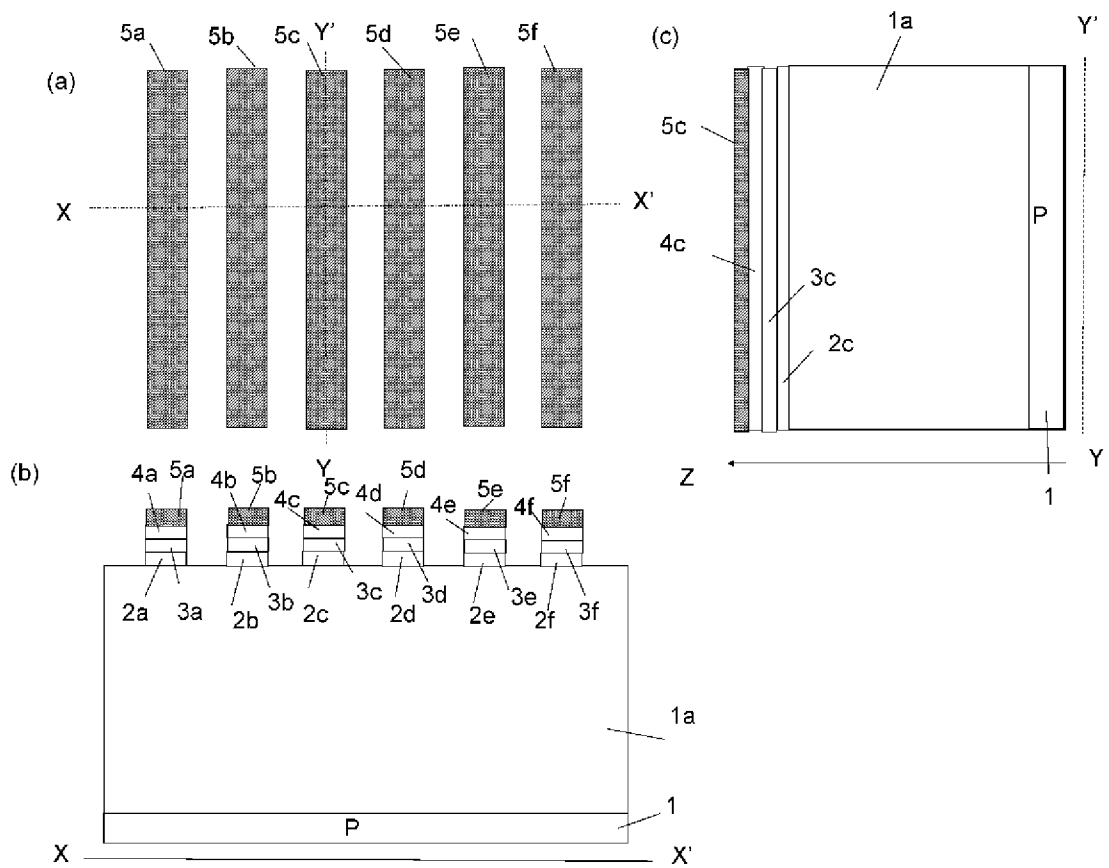
熱処理を行い、前記ドナーまたはアクセプタ不純物を前記第 1 の半導体柱台の側面から内部に拡散させて、側面不純物領域を形成する工程とを含み、

前記縮小第 1 材料層をエッチングマスクにして、前記第 1 の半導体柱台をエッチングして、前記半導体柱を形成する工程において、平面

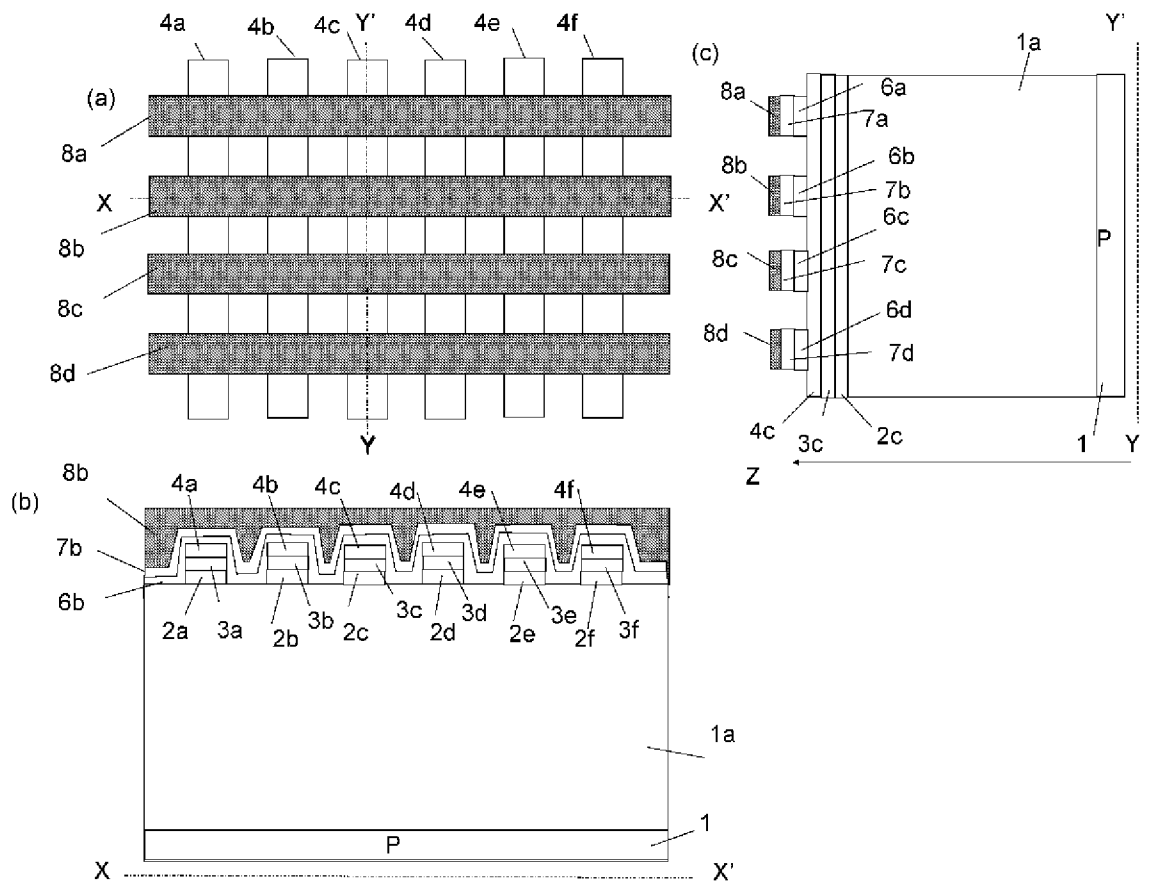
視において、前記半導体柱の外周が、前記側面不純物領域より内側にある、

ことを特徴とする、請求項 1 に係る柱状半導体装置の製造方法。

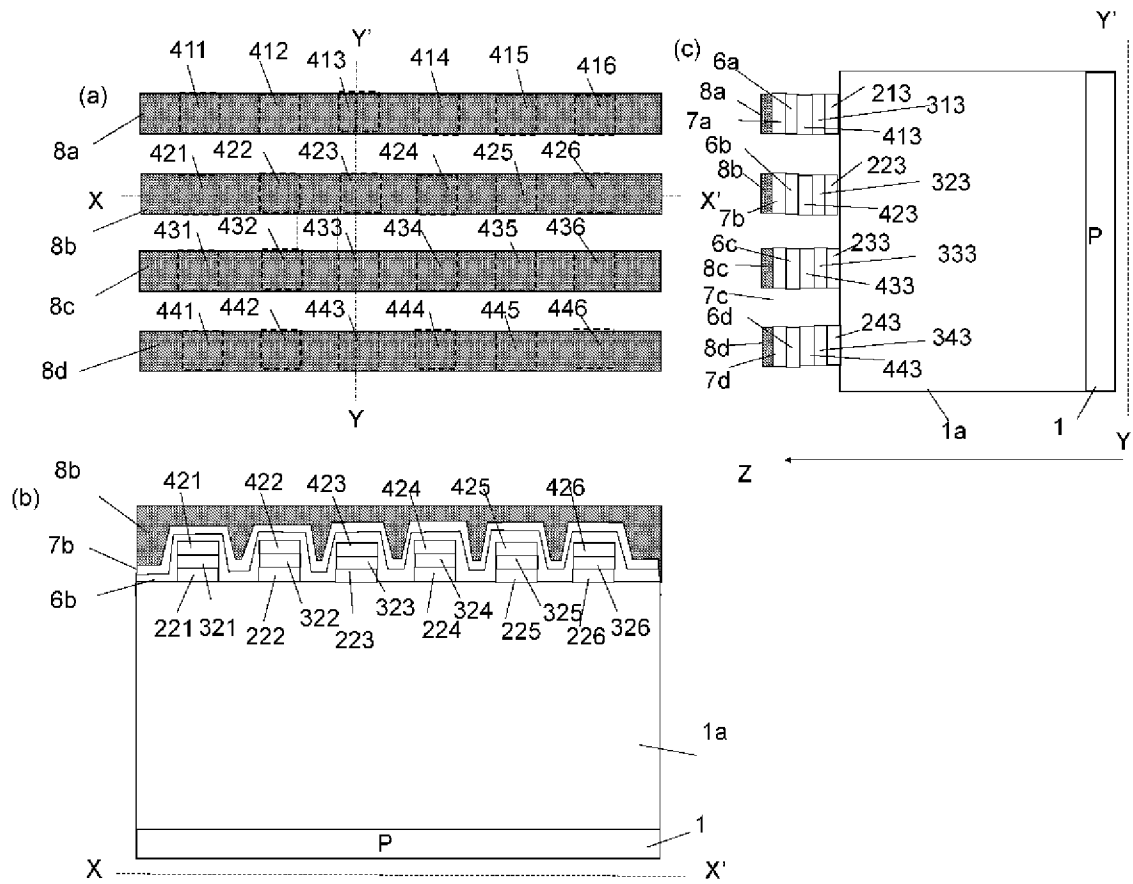
[図1A]



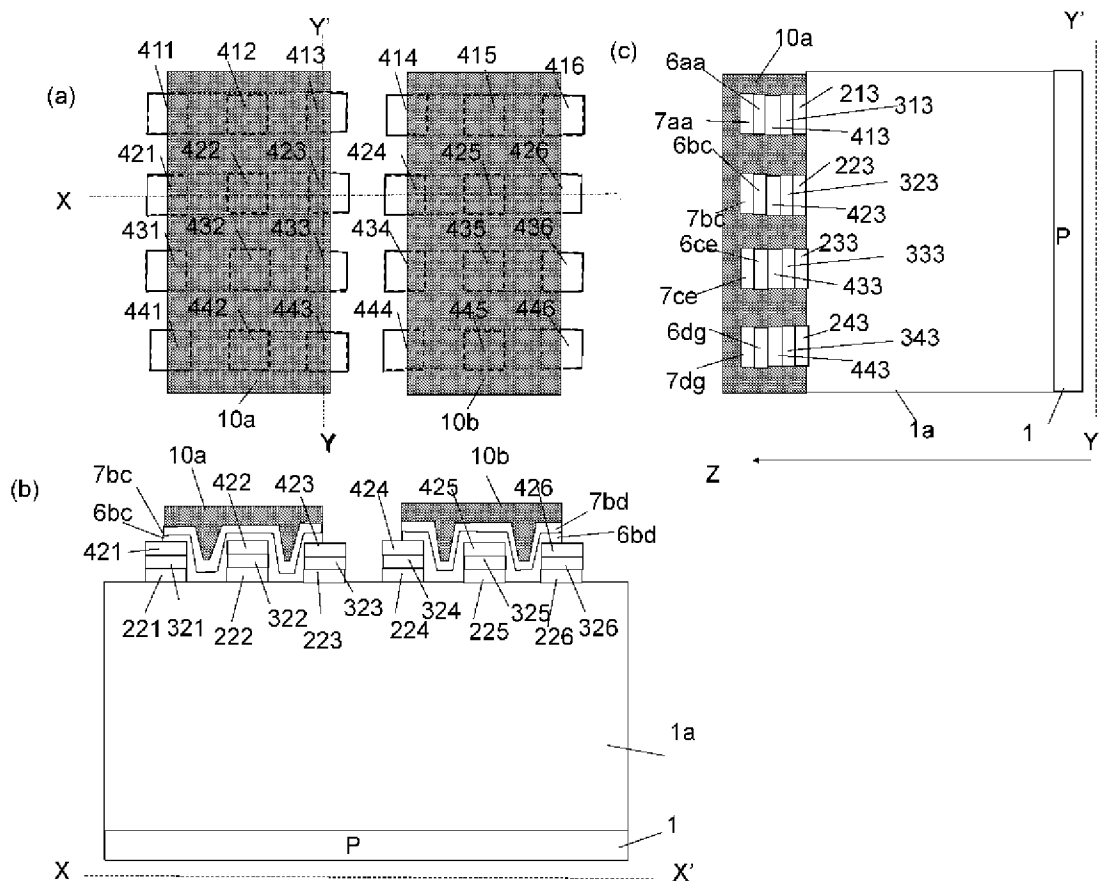
[図1B]



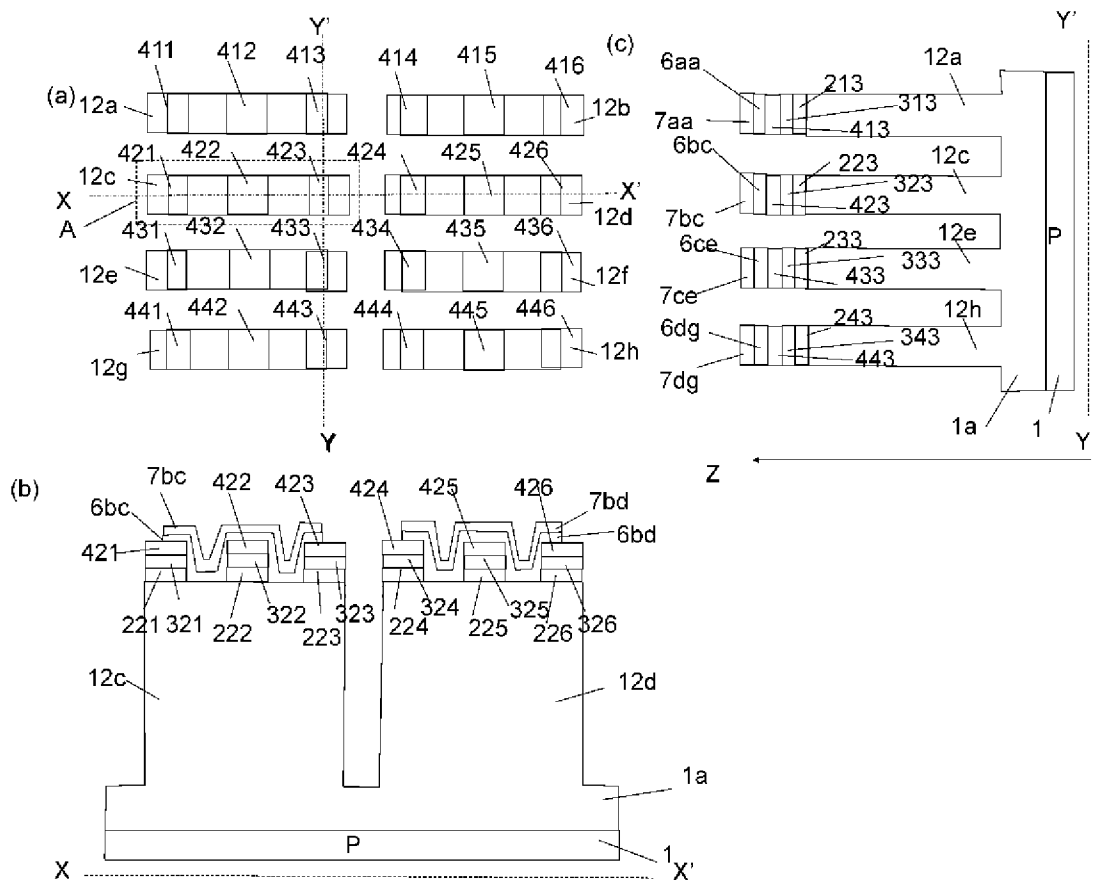
[図1C]



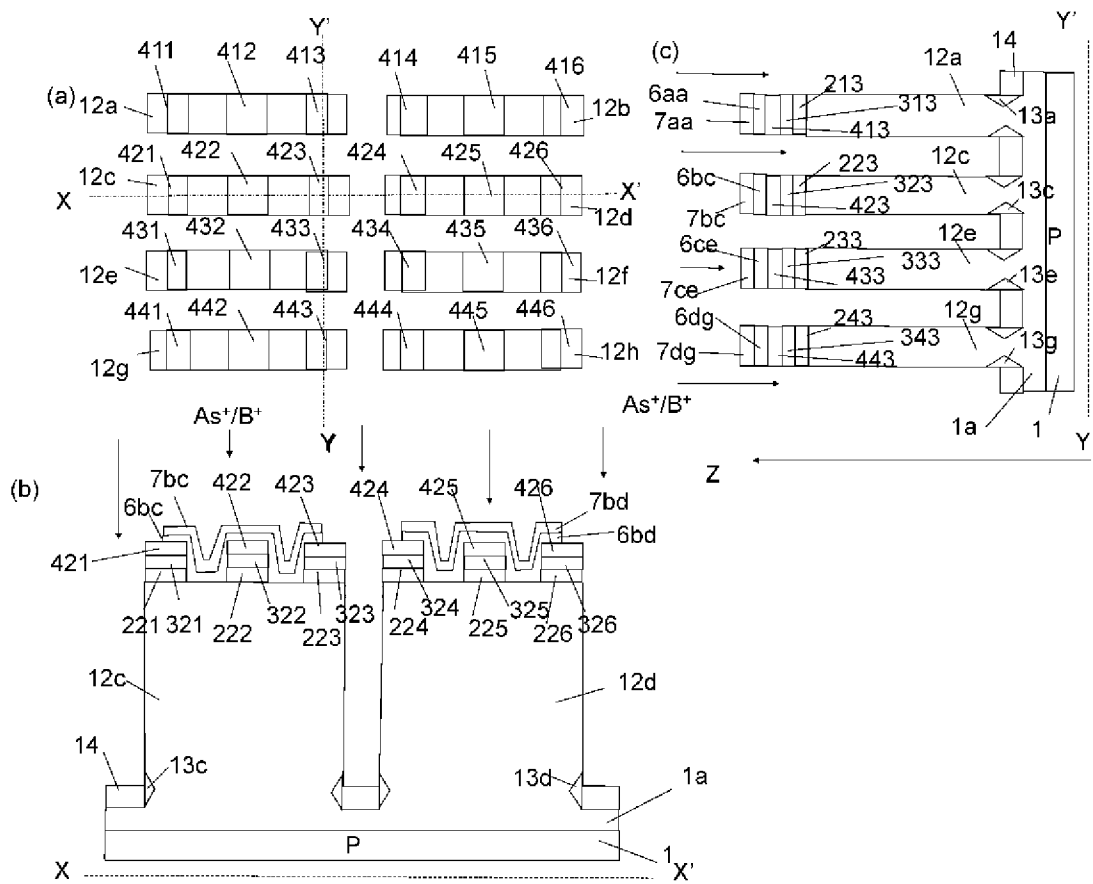
[図1D]



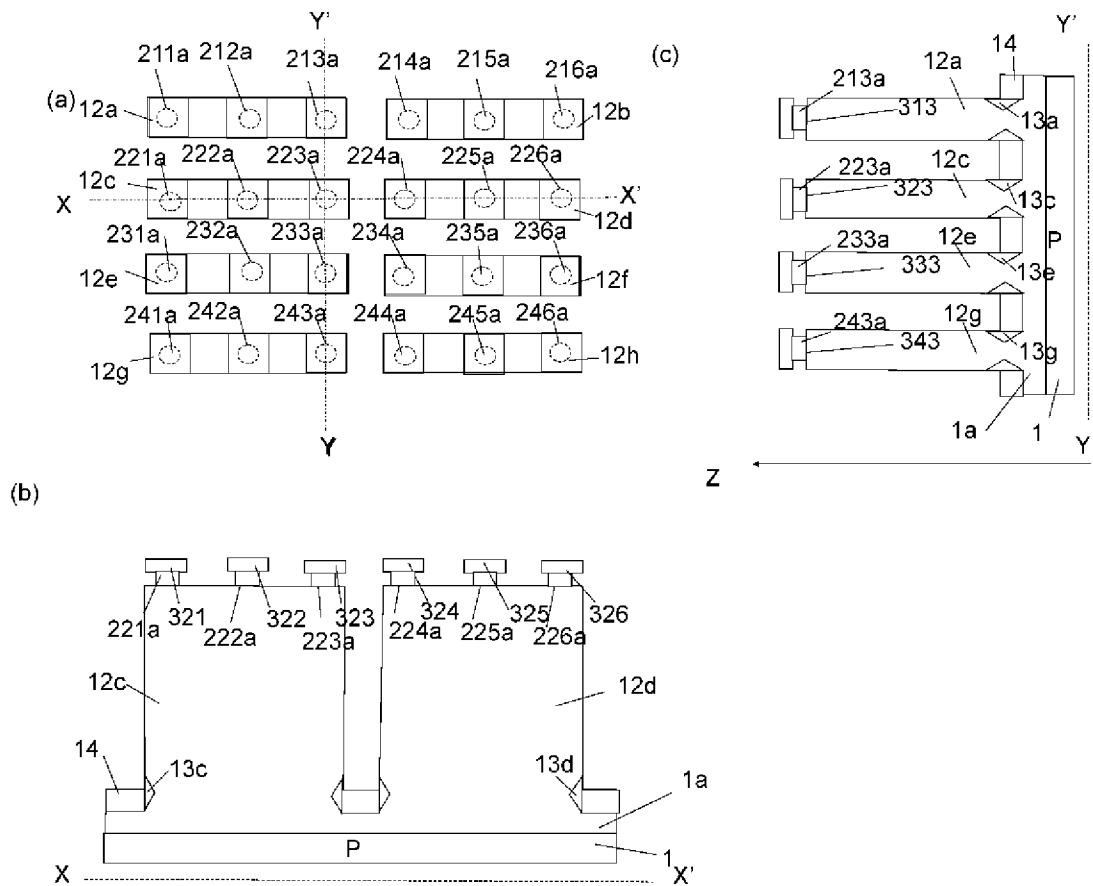
[図1E]



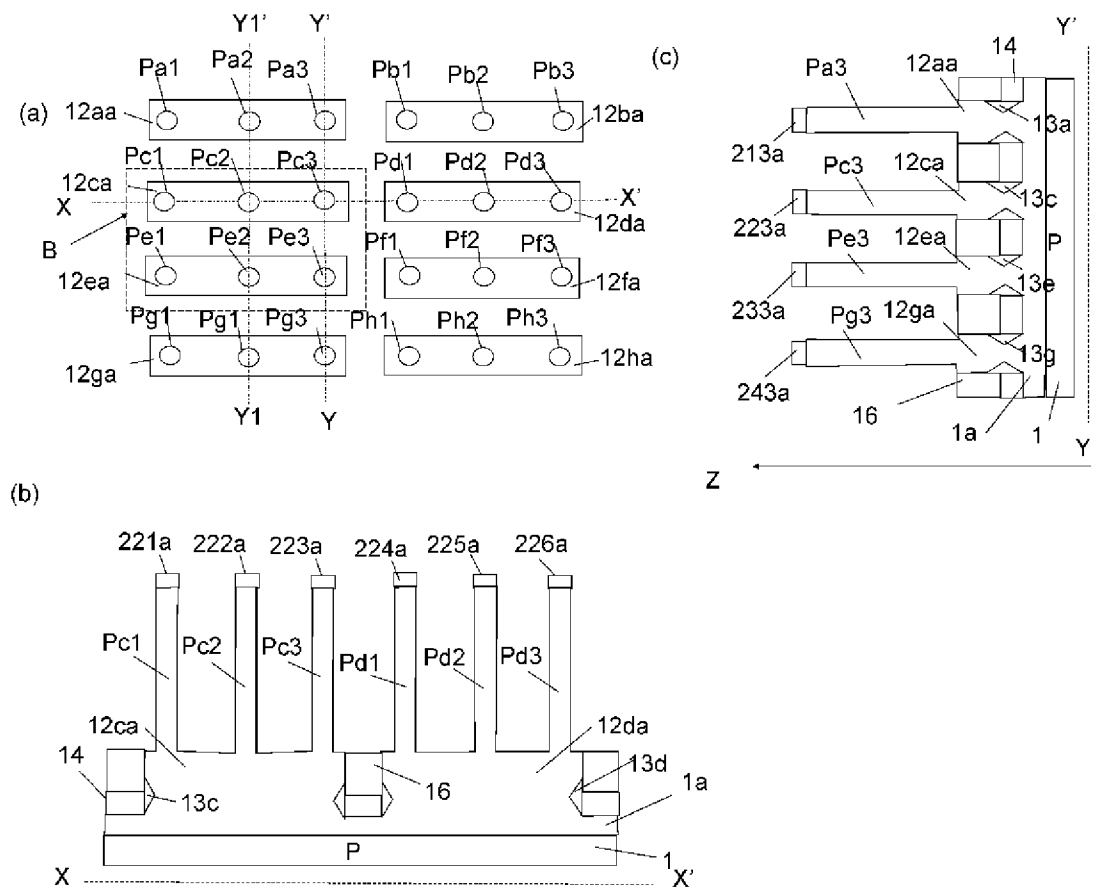
[図1F]



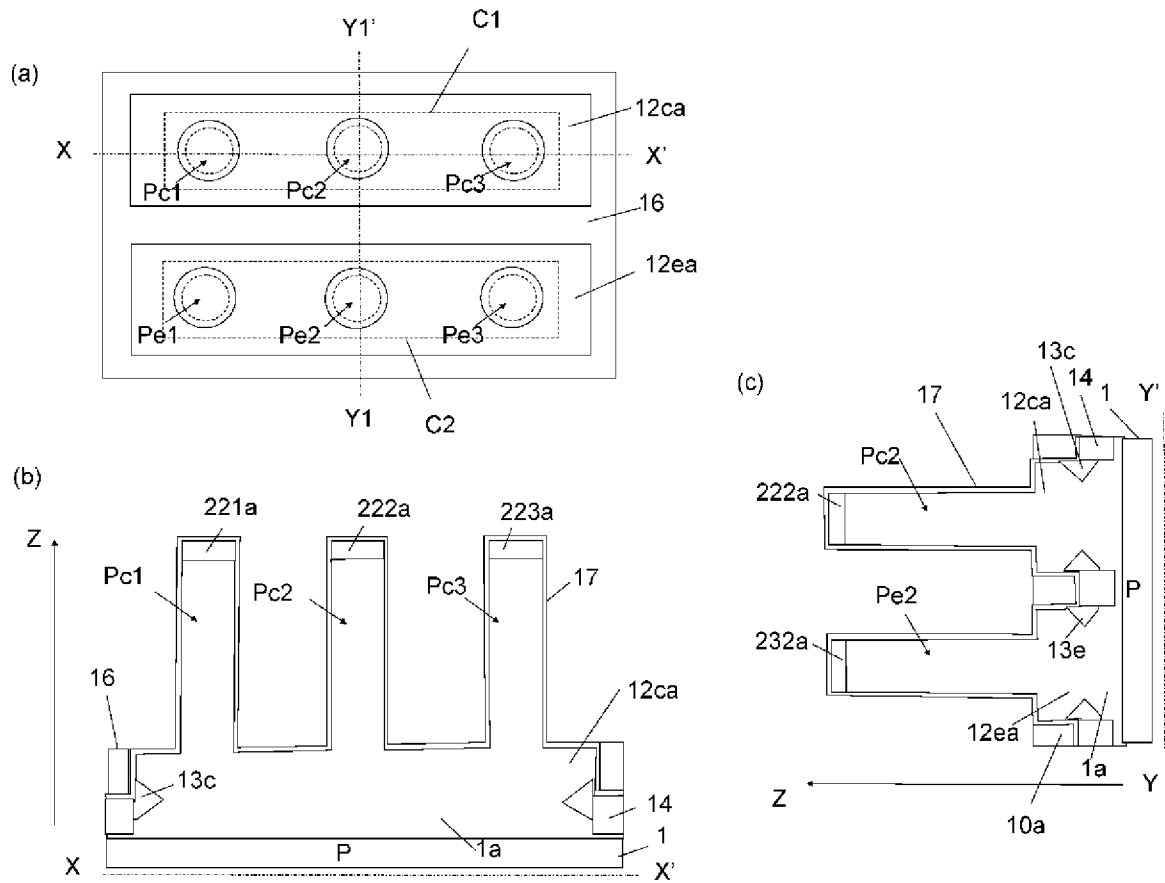
[図1G]



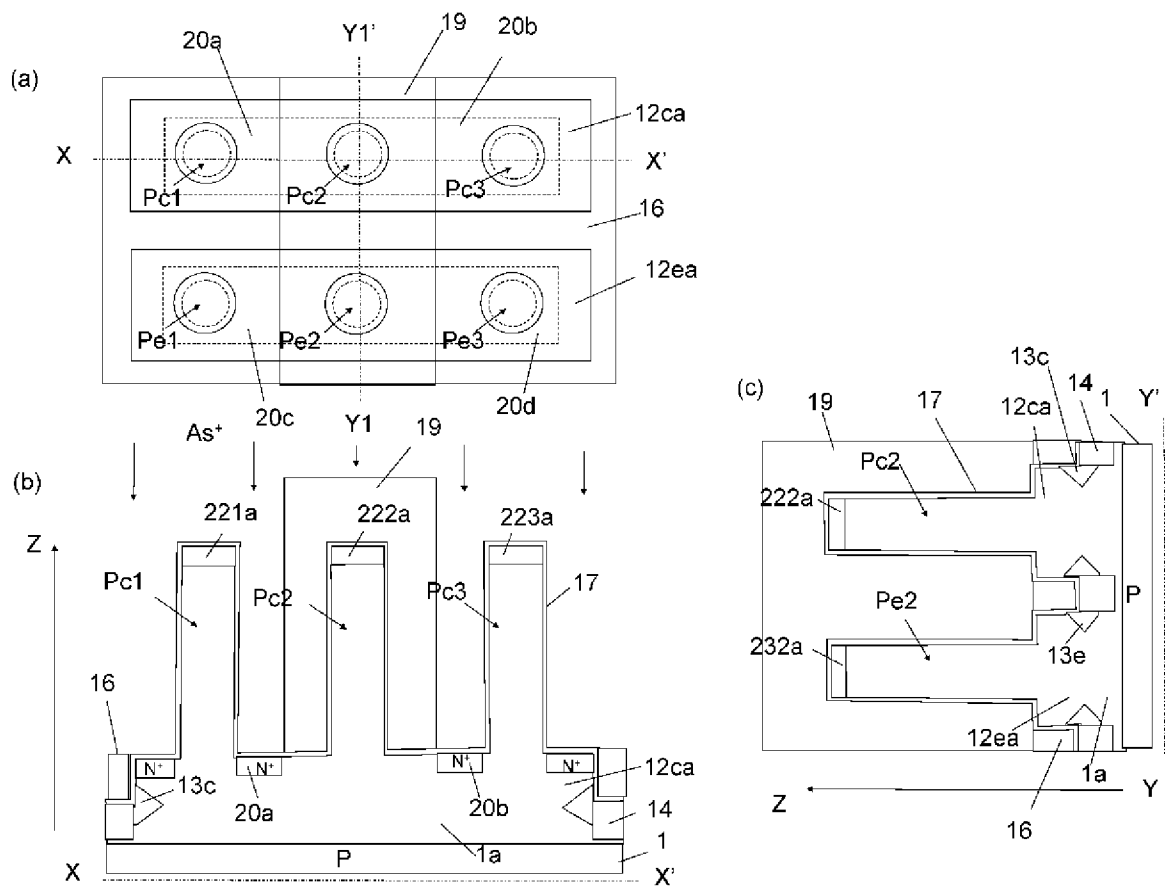
[図1H]



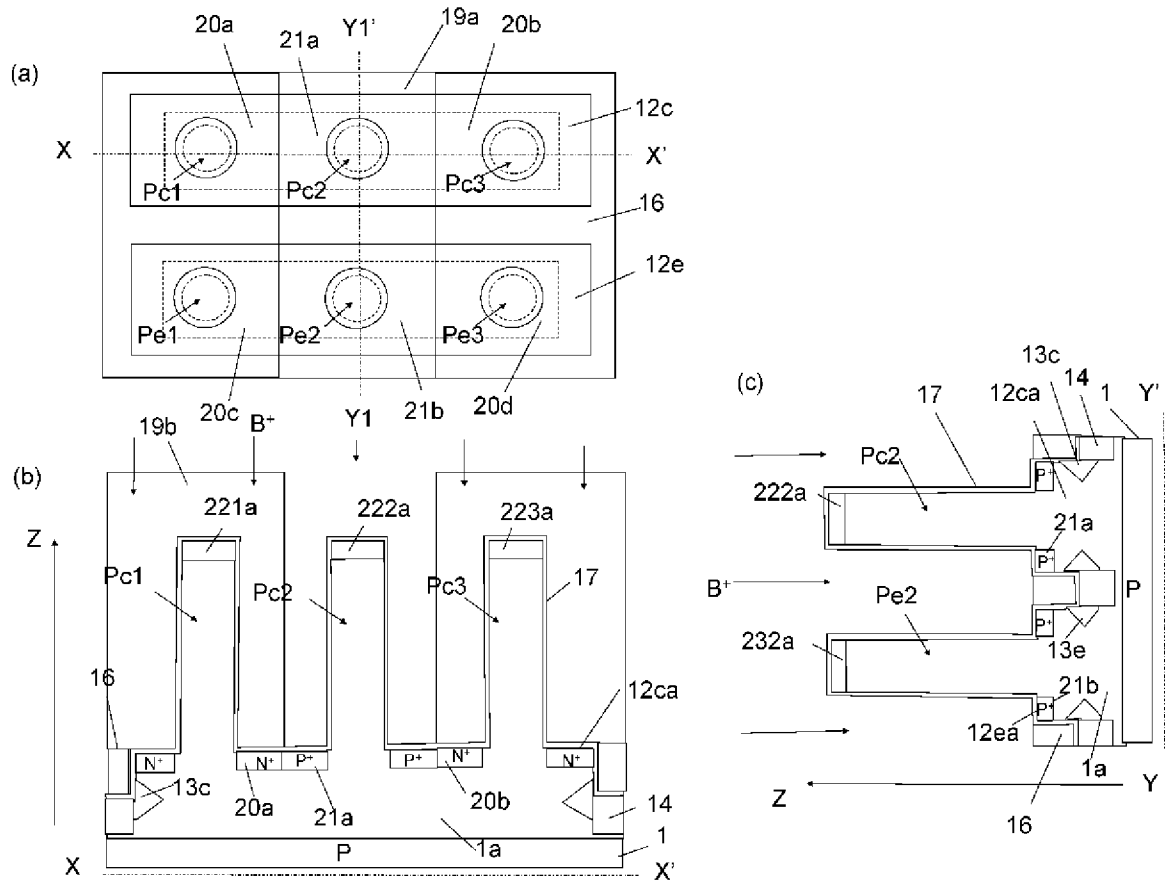
[図1I]



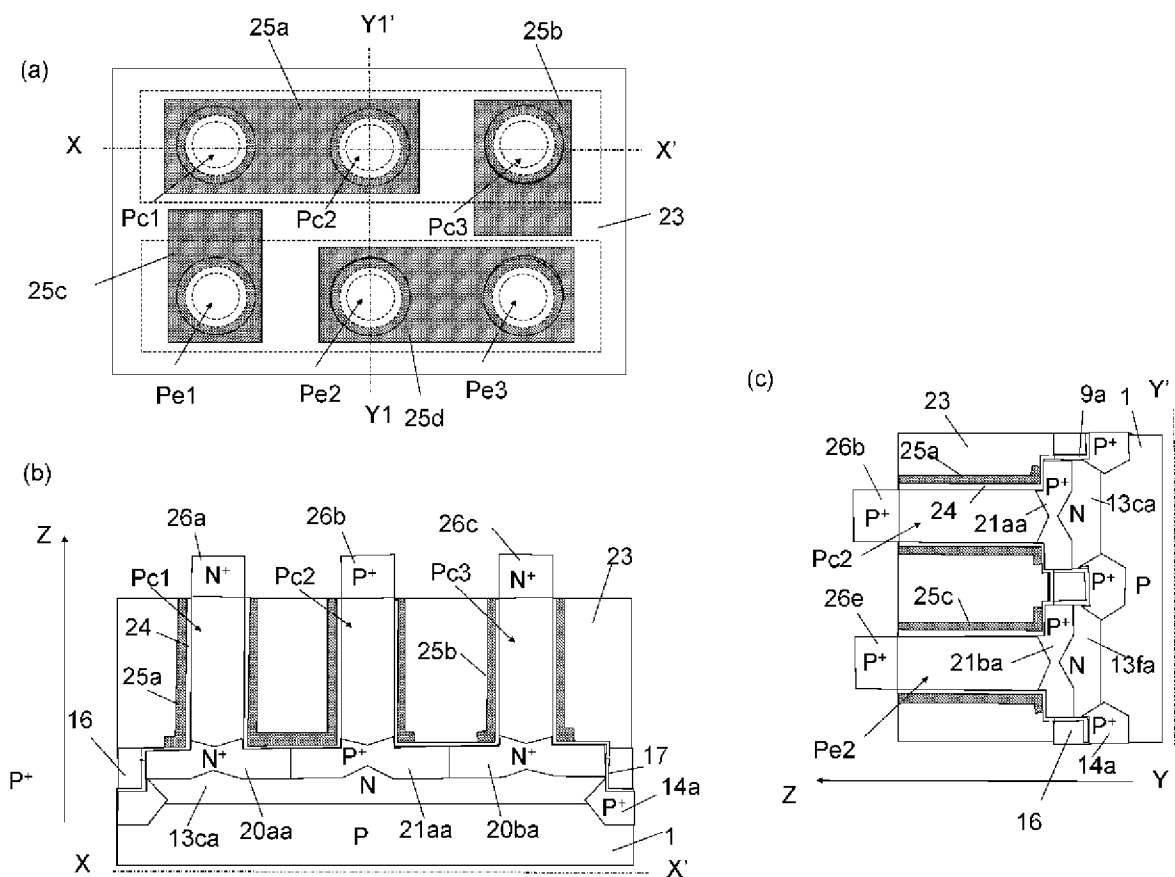
[図1J]



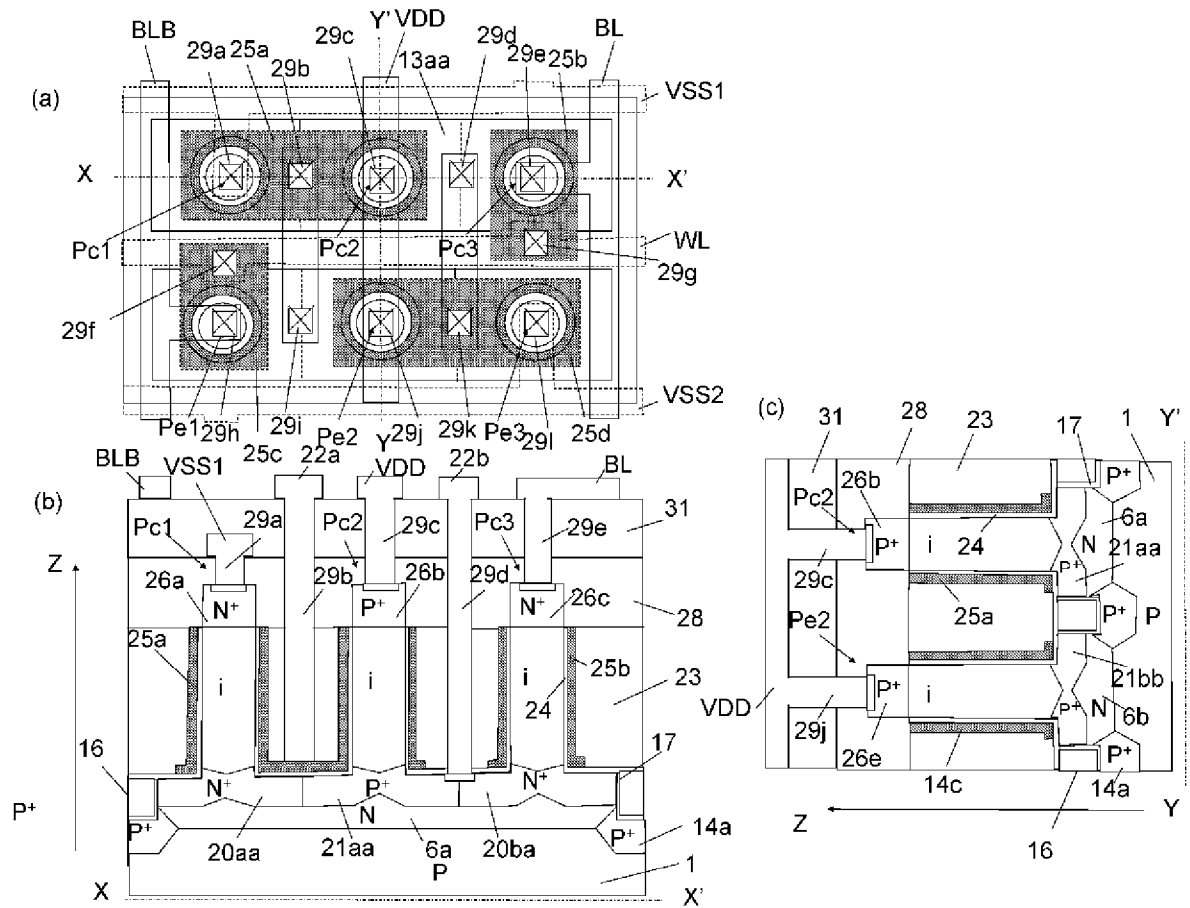
[図1K]



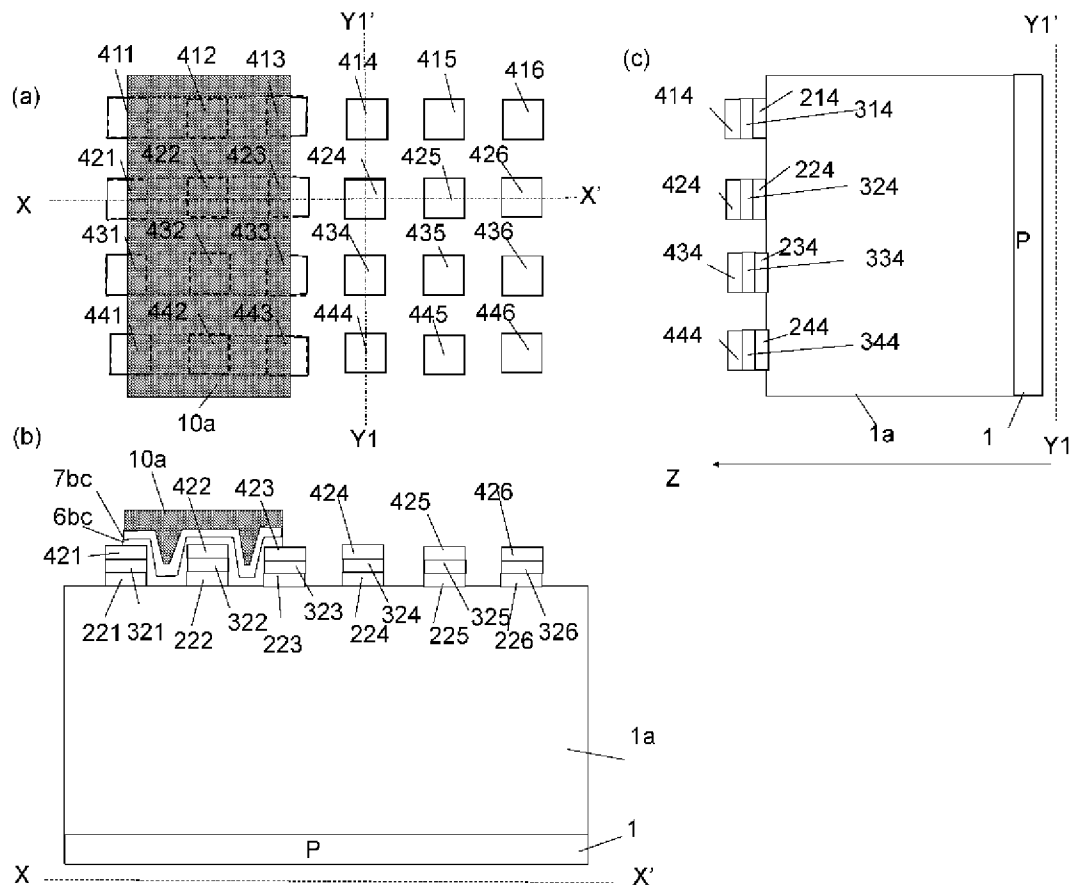
[図1L]



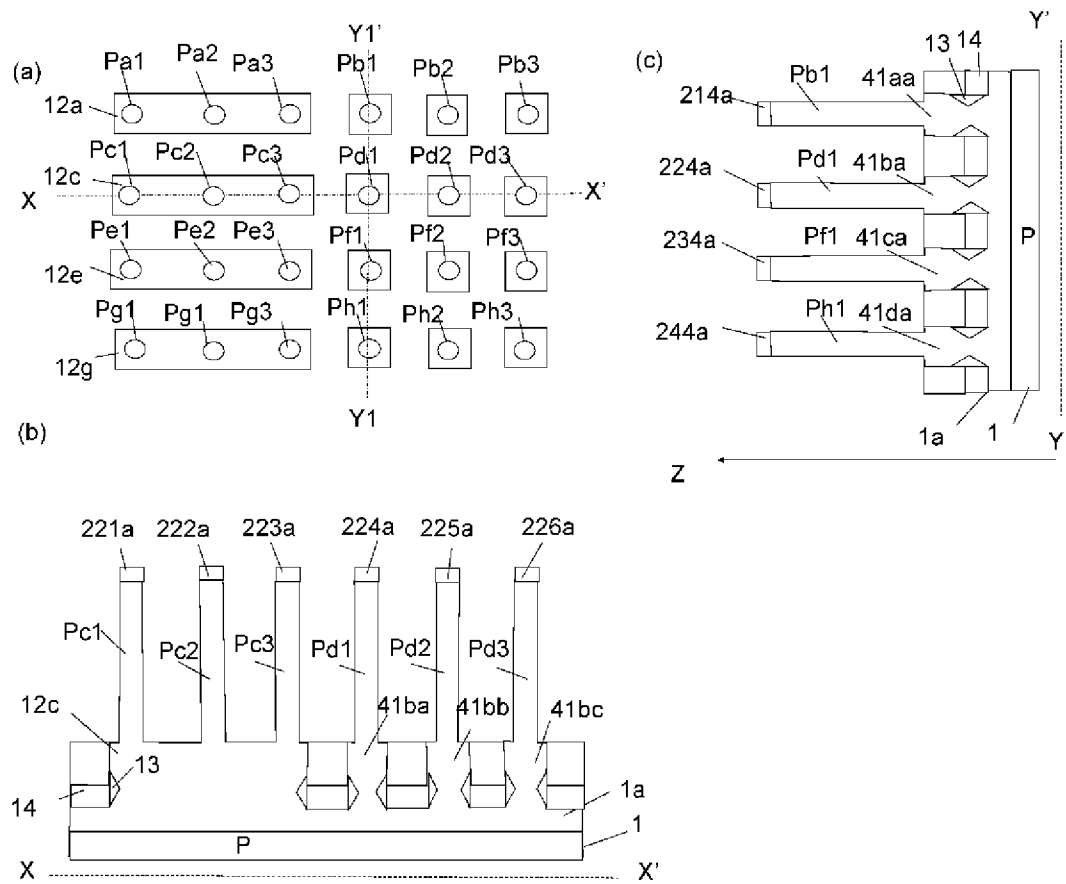
[図1M]



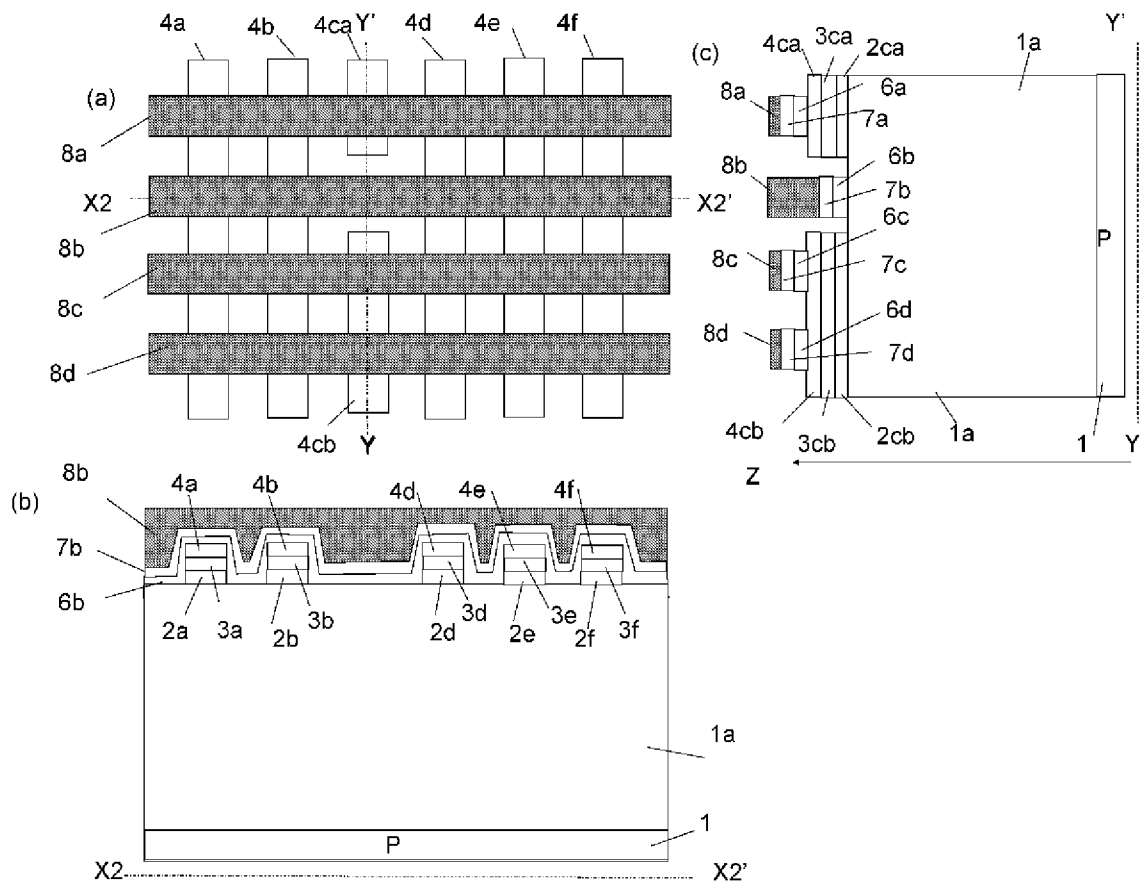
[図2A]



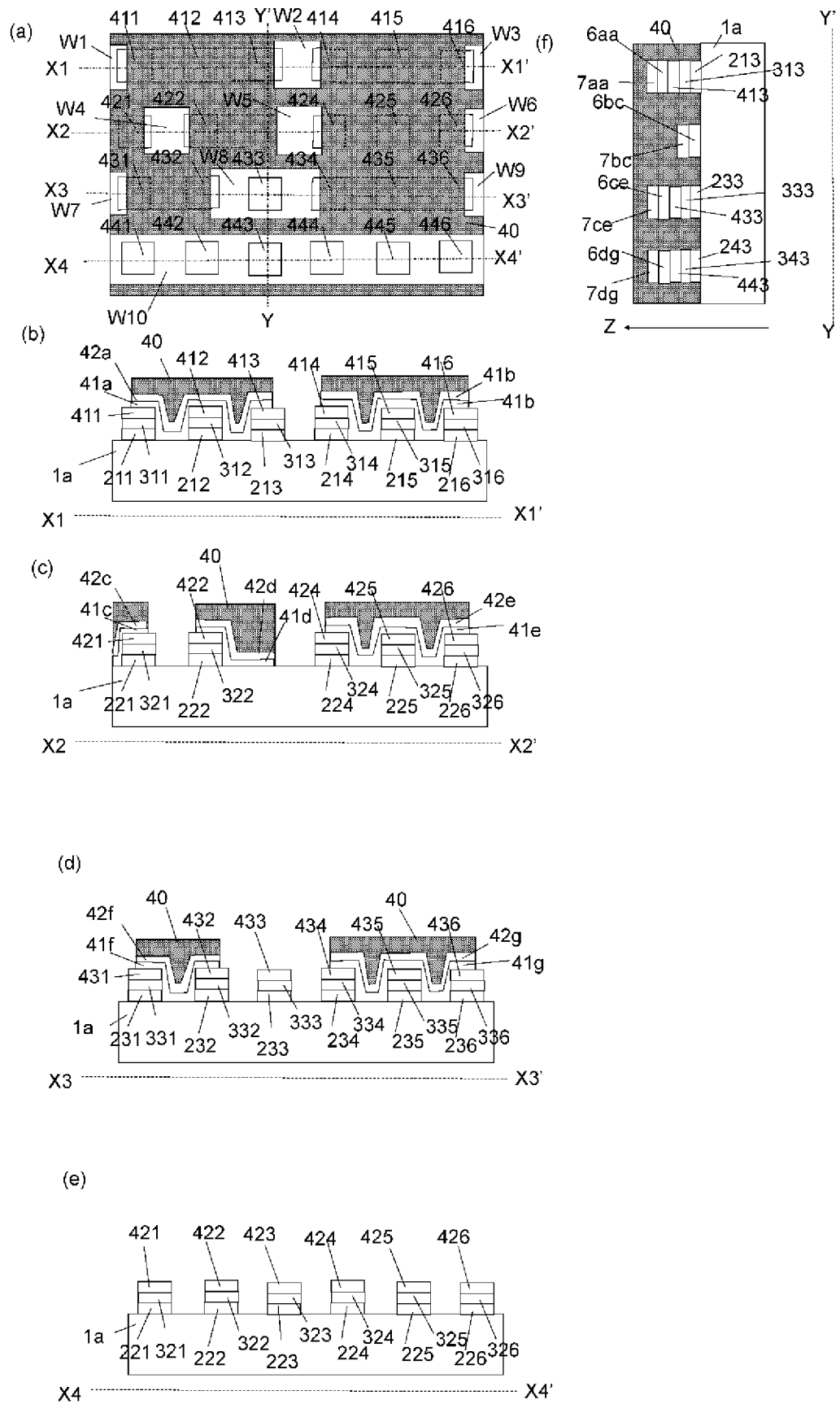
[図2D]



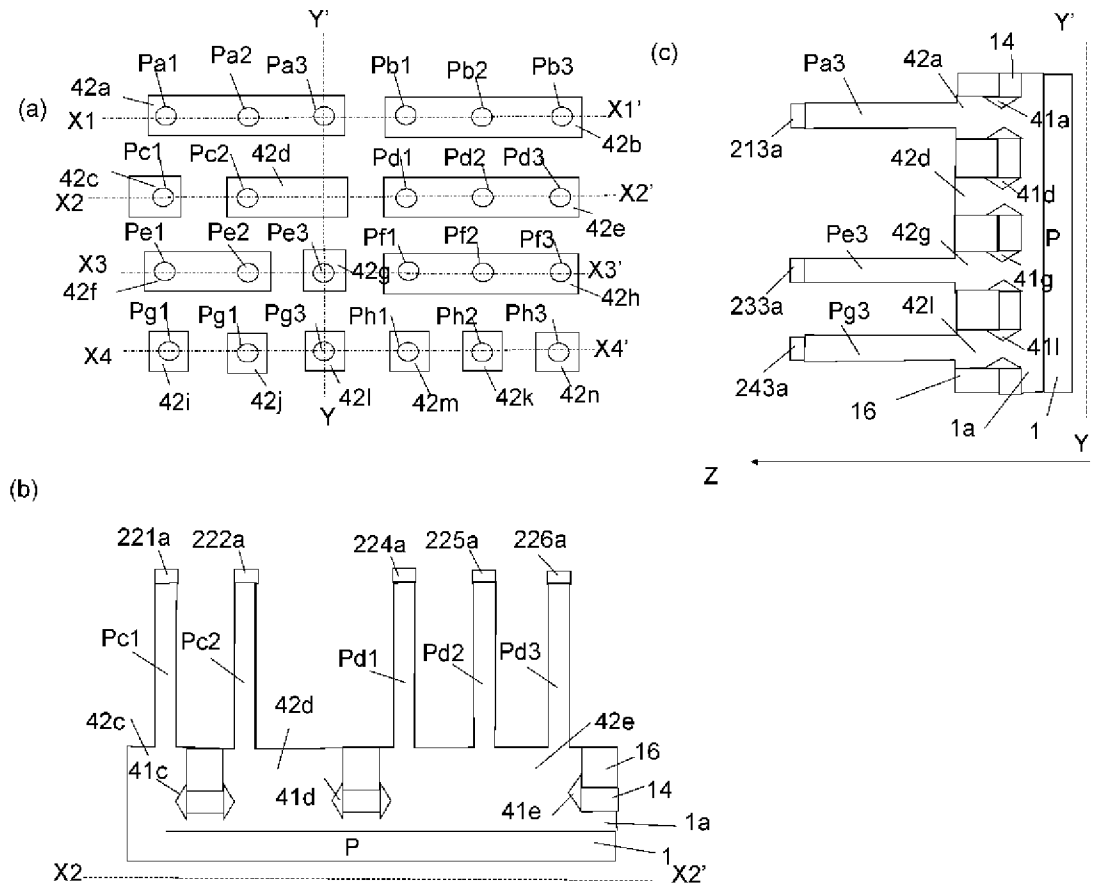
[図3A]



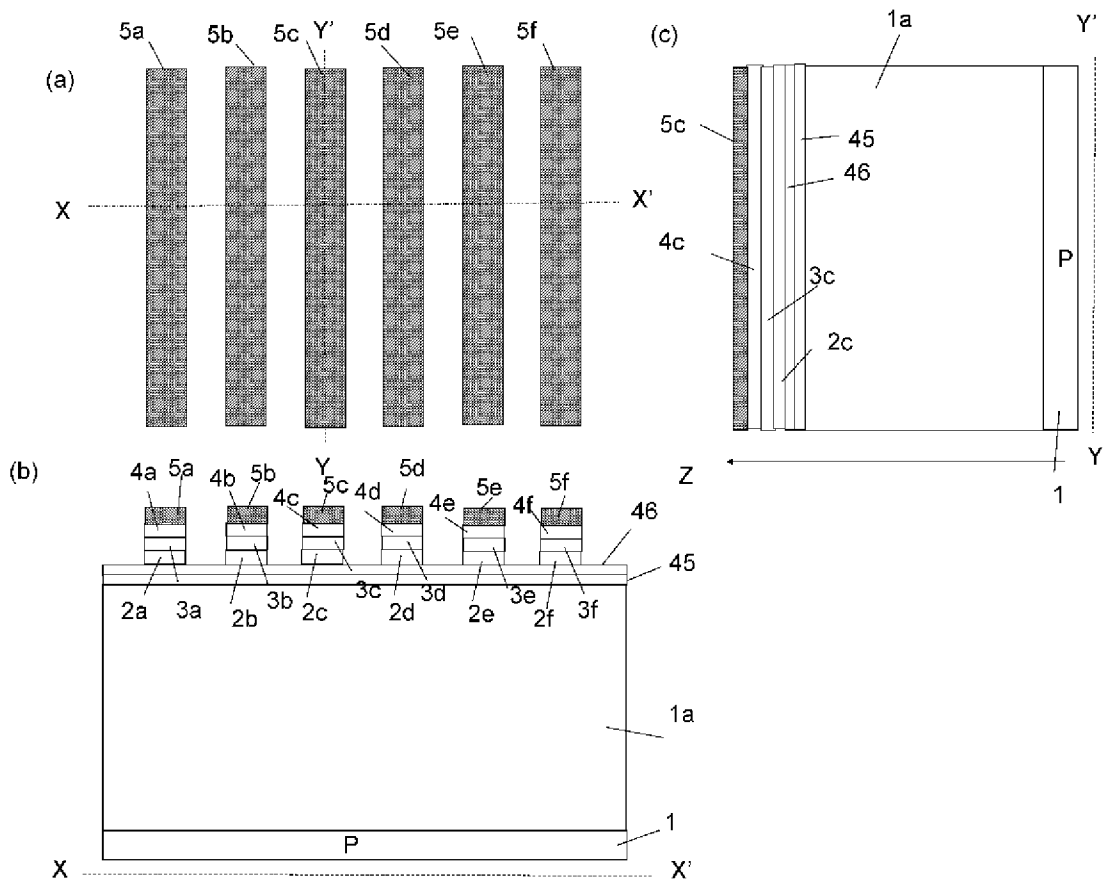
[図3B]



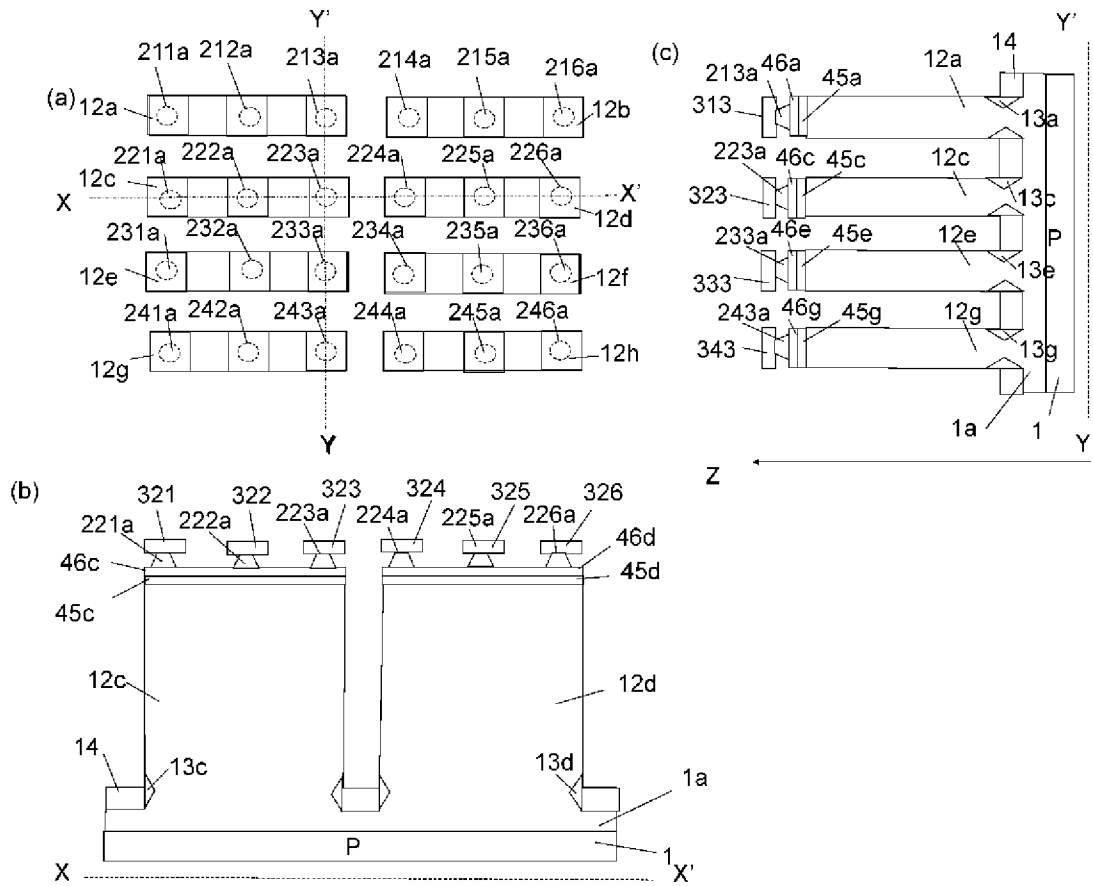
[図3C]



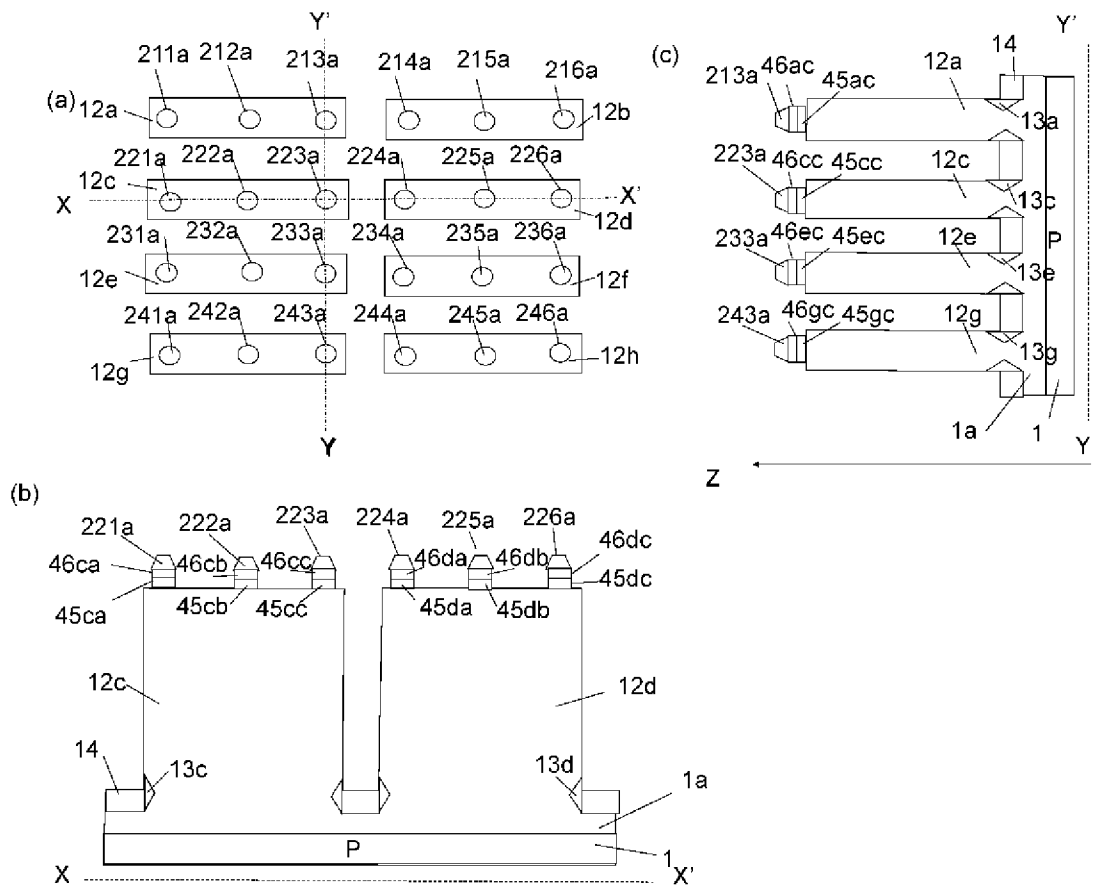
[図4A]



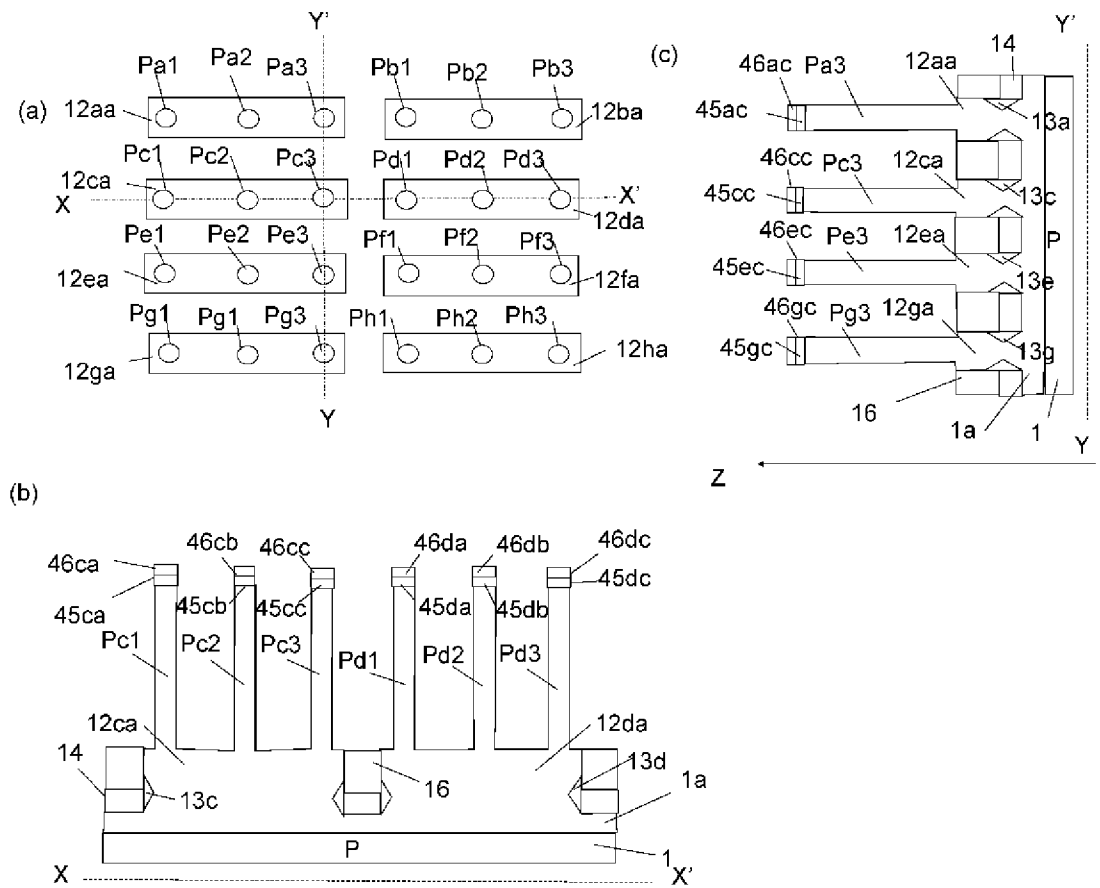
[図4B]



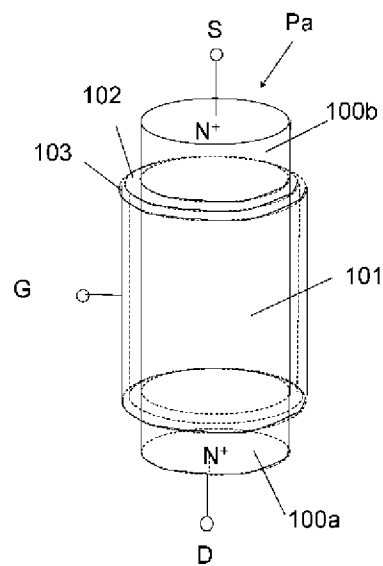
[図4C]



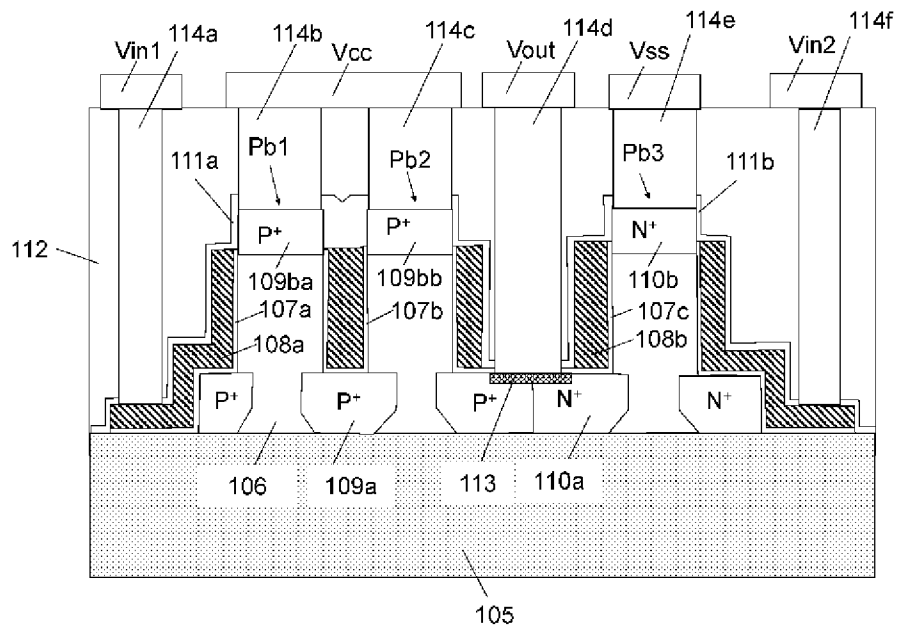
[図4D]



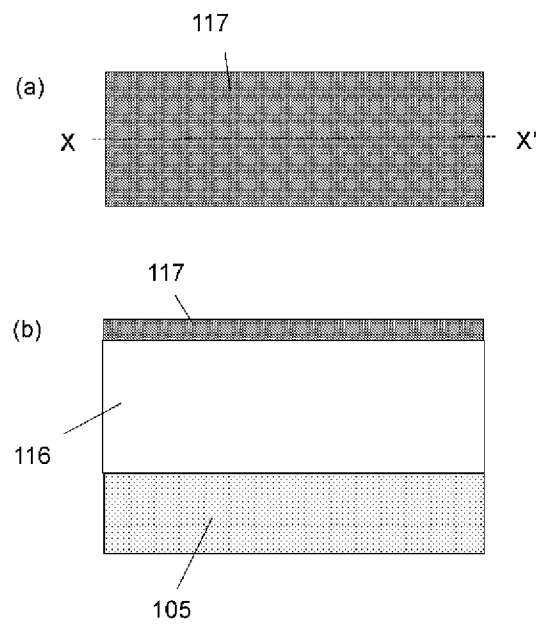
[図5]



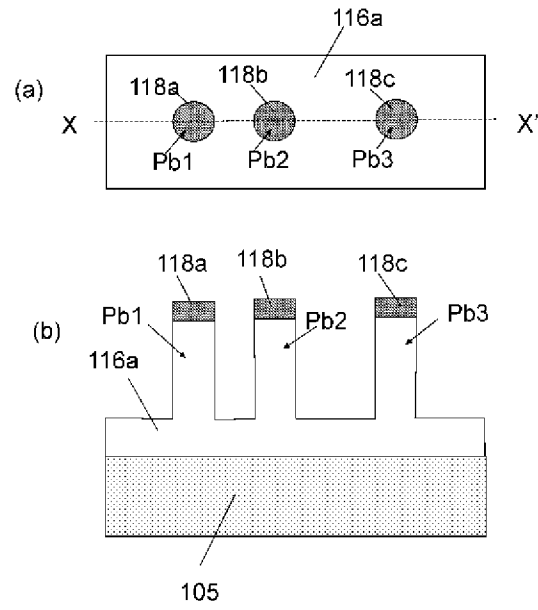
[図6]



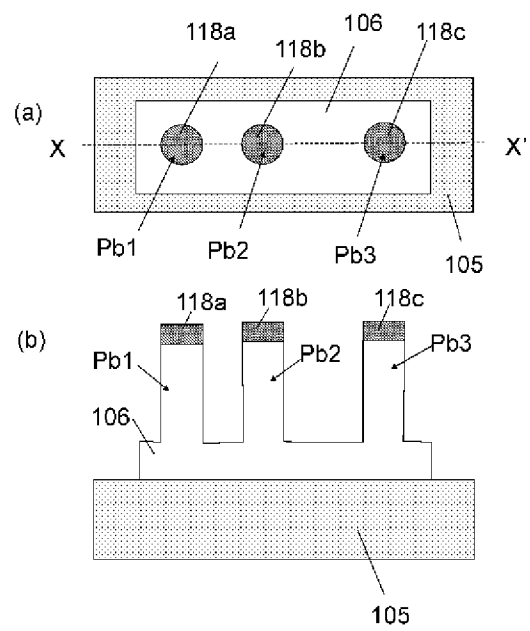
[図7A]



[図7B]



[図7C]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/080529

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 5639318 B1 (Unisantis Electronics Singapore Pte Ltd.), 31 October 2014 (31.10.2014), entire text; all drawings & US 2015/0221750 A1	1-5
A	JP 2016-157970 A (Unisantis Electronics Singapore Pte Ltd.), 01 September 2016 (01.09.2016), entire text; all drawings (Family: none)	1-5
A	JP 2009-81389 A (Elpida Memory, Inc.), 16 April 2009 (16.04.2009), entire text; all drawings & US 2009/0085102 A1 & US 2014/0239384 A1	1-5

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13 December 2016 (13.12.16)

Date of mailing of the international search report
27 December 2016 (27.12.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/336(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/336, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 5639318 B1 (ユニサンティス エレクトロニクス シンガポール プライベート リミテッド) 2014.10.31, 全文, 全図 & US 2015/0221750 A1	1-5
A	JP 2016-157970 A (ユニサンティス エレクトロニクス シンガポ ール プライベート リミテッド) 2016.09.01, 全文, 全図 (ファミリーなし)	1-5

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

13.12.2016

国際調査報告の発送日

27.12.2016

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

市川 武宜

5 F

4056

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-81389 A (エルピーダメモリ株式会社) 2009. 04. 16, 全文, 全図 & US 2009/0085102 A1 & US 2014/0239384 A1	1-5