

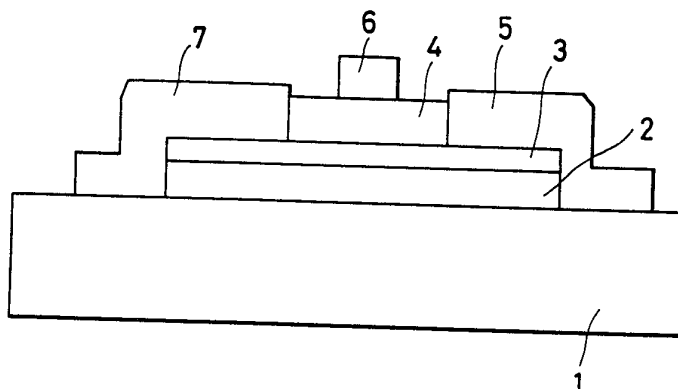


特許協力条約に基づいて公開された国際出願

(51) 国際特許分類 5 H01L 29/804, 29/812		A1	(11) 国際公開番号 WO 92/17908
		(43) 国際公開日 1992年10月15日 (15. 10. 1992)	
(21) 国際出願番号 PCT/JP92/00379 (22) 国際出願日 1992年3月27日 (27. 03. 92) (30) 優先権データ 特願平3/64987 1991年3月28日 (28. 03. 91) JP 特願平3/64988 1991年3月28日 (28. 03. 91) JP 特願平3/90151 1991年4月22日 (22. 04. 91) JP 特願平3/192410 1991年8月1日 (01. 08. 91) JP (71) 出願人 (米国を除くすべての指定国について) 旭化成工業株式会社 (ASAHI KASEI KOGYO KABUSHIKI KAISHA) [JP/JP] 〒530 大阪府大阪市北区堂島浜1丁目2番6号 Osaka, (JP) (72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 柴崎一郎 (SHIBASAKI, Ichiro) [JP/JP] 〒416 静岡県富士市中丸487-1 Shizuoka, (JP) 永瀬和宏 (NAGASE, Kazuhiro) [JP/JP] 〒416 静岡県富士市川成島100 旭化成5寮 Shizuoka, (JP) (74) 代理人 弁理士 谷 義一 (TANI, Yoshikazu) 〒107 東京都港区赤坂5-1-31 第6セイコービル3階 Tokyo, (JP)		(81) 指定国 DE (欧州特許), FR (欧州特許), GB (欧州特許), KR, US. 添付公開書類 国際調査報告書	

(54) Title : FIELD EFFECT TRANSISTOR

(54) 発明の名称 電界効果型トランジスタ



(57) Abstract

A field effect transistor in which a first compound semiconductor layer (2) functioning as a buffer layer, an InAs layer (3) functioning as an electron traveling layer, and a second compound semiconductor layer (4) functioning as an electron feeding layer or a barrier layer are formed in succession on a semiconductor substrate (1) having a different lattice constant from that of InAs. The first compound semiconductor layer (2) is in lattice matching with InAs substantially, and is formed of one selected from among AlGaAsSb, AlGaPSb, AlInAsSb or AlInPSb, whose band gaps are larger than that of InAs, and has a simple structure. On the substrate (1) having the different lattice constant from the InAs layer (3), a FET having excellent high-frequency characteristics can be realized.

(57) 要約

InAsと異なる格子定数を有する半導体基板(1)上に、バッファ層として機能する第1の化合物半導体層(2)と、電子走行層として機能するInAs層(3)と、電子供給層または障壁層として機能する第2の化合物半導体層(4)とを順次積層した構成の電界効果型トランジスタ。第1の化合物半導体層(2)は、InAsと実質的に格子整合し、それよりバンドギャップの大きい、AlGaAsSb, AlGaPSb, AlInAsSb、またはAlInPSbの中から選択して形成したもので、単純な構成を有している。InAs層(3)と格子定数の異なる基板(1)上で、優れた高周波特性を有するFETを実現できる。

情報としての用途のみ

PCTに基づいて公開される国際出願のパンフレット第1頁にPCT加盟国を同定するために使用されるコード

AT	オーストリア	ES	スペイン	MG	マダガスカル
AU	オーストラリア	FI	フィンランド	ML	マリ
BB	バルバドス	FR	フランス	MN	モンゴル
BE	ベルギー	GA	ガボン	MR	モーリタニア
BF	ブルキナ・ファソ	GN	ギニア	MW	マラウイ
BG	ブルガリア	GB	イギリス	NL	オランダ
BJ	ベナン	GR	ギリシャ	NO	ノルウェー
BR	ブラジル	HU	ハンガリー	PL	ポーランド
CA	カナダ	IE	アイルランド	RO	ルーマニア
CF	中央アフリカ共和国	IT	イタリア	RU	ロシア連邦
CG	コンゴ	JP	日本	SD	スーダン
CH	スイス	KP	朝鮮民主主義人民共和国	SE	スウェーデン
CI	コート・ジボアール	KR	大韓民国	SN	セネガル
CM	カメルーン	LI	リヒテンシュタイン	SU	ソヴィエト連邦
CS	チェコスロバキア	LK	スリランカ	TD	チャード
DE	ドイツ	LU	ルクセンブルグ	TG	トーゴ
DK	デンマーク	MC	モナコ	US	米国

明 細 書

電界効果型トランジスタ

技術分野

この発明は、衛星放送の送受信増幅素子や高速データ転送用素子として好適な電界効果型トランジスタ (Field Effect Transistor、以下、FET と略記する) に関する。

背景技術

衛星放送の送受信増幅素子等に代表される GHz 帯の高周波素子として、GaAs 基板上的 GaAs のエピタキシャル層を電子走行層とする、GaAs-MESFET (Metal Semiconductor FET) や、GaAs と AlGaAs のヘテロ構造界面に蓄積する 2 次元電子層を用いた FET、いわゆる HEMT (High Electron Mobility Transistor: 以後、GaAs-HEMT と記す。特開昭 56-94780 号公報) が広く知られている。GaAs 素子が高速なのは、GaAs の電子移動度が、不純物をドーブしない状態 (intrinsic state) で約 $8,000 \text{ cm}^2/\text{V} \cdot \text{sec}$ と高く、Si に比べて数倍 (5 ~ 6 倍) の値を有するためである。

ただし、GaAs-MESFET では、電子走行層に不純物を

ドーピングしなければならず、この不純物による伝導電子の散乱のため、電子移動度は、 $4,000\text{cm}^2/\text{V}\cdot\text{sec}$ 程度まで低くなる。この問題を解決するために、GaAs-HEMTでは、バンドギャップが異なる異種の半導体のヘテロ接合を使って、不純物がドーピングされた電子供給層と電子走行層とを分離した構造を用いることによって、不純物散乱の影響を減じ、高い電子移動度を実現している。

GaAs-HEMTの電子供給層の不純物濃度と膜厚との関係を規定したものに、特開昭59-53714号公報、USP No. 4,424,525、USP No. Re. 33,584がある。

HEMT構造では、一般に、電子走行層の不純物濃度が低いとオーミック電極が作りにくく、また電子移動度の制御性が悪い。この欠点を補うために、ヘテロ接合を形成する電子供給層と電子走行層の双方に、不純物をドーピングしたGaAs-FETが提案されている（特開昭61-54673号公報）。

また、2次元電子ガスの濃度を増大させる目的で、不純物のドーピング領域をヘテロ接合を含む領域まで広げたGaAsの半導体ヘテロ接合デバイスが提案されている（特開昭61-276267号公報）。

さらに、n型の電子走行層の上面と下面双方が、これよりギャップが広く、かつ、不純物をドーピングされている化合物半導体からなる電子供給層に接するダブルヘテロ型のGaAs-FETが提案されている（特開昭

61-131565 号公報)。

また、上記ヘテロ接合を用いたGaAs-FETのソースおよびドレイン下部の、電子供給層と電子走行層の双方が、不純物を含むことを規定したものとしてUSP No. 4,424,525がある。

しかし、これらの素子によって、十数GHz帯の電波の送受信が可能な素子を得るためには、 $0.2\ \mu\text{m}$ 以下の、極めて短いゲート長を有するFETが必要になる。このような長さのゲート電極を形成するには、光リソグラフィーが用いられることもあるが、高度の技術が必要になり、安定的に生産するのは容易でない。

実際には、電子線リソグラフィーが使用されることが多いが、工業的な量産性の点で光リソグラフィーに比して難がある。その上、さらに高い周波数帯に対応する高周波素子を上記のGaAs-MESFETやGaAs-HEMT等のGaAs-FETで実現するためには、ゲート長の一層の微細化が必要になる。しかし、ゲート長の微細化により、素子の高周波化を行おうとすると、新たな技術開発や工業的に成立しにくい高度のプロセス技術が必要となる。このため、微細化技術が容易で、量産性があり、かつ、従来以上に高い周波数帯に対応できる新しい構造の高周波素子が求められている。

このような目的で、GaAsより高い電子移動度を有するInGaAsの薄膜を、FETの電子走行層に用いる提案がされている(特開昭63-272080号公報)。この提案で

は、n型InGaAs層を電子走行層として、この上面と下面とが、GaAs層に接したダブルヘテロ接合を形成している。GaAs層は、その双方をドーブした試作例と、いずれもノンドーブの試作例とが示されている。基板にはGaAs基板が用いられている。この提案では、InGaAs層は、GaAs層と直接接しているため、InGaAs中のAsに対するIn原子数の割合は、格子整合性の要請から、小さくなければならない。上記提案の試作例では、20%に押さえられており、InGaAs層の膜厚も150 Åと薄い。Inの割合がこのような低くては、GaAsに比しての移動度の改善は、あまり大きなものではない。

さらに、GaAsに比して電子移動度と飽和速度が圧倒的に大きいInAsの良質な薄膜を、FETの電子走行層に用いる研究が行われている。

InAsの高い電子移動度と飽和速度は、GaAs-FETに比して長いゲート長を有するFETでも、GaAs-FETと同程度の高周波の電波の送受信を実現する可能性を有している。しかし、これら従来のInAs-FETの試みは、以下のような問題を含んでいる。

- (1) 用いる基板が高価で、工業的な素材としては適しない。
- (2) 構造が複雑で、信頼性や製造工程に難がある。
- (3) InAs層と、これに接する半導体層との格子定数の違いのために、欠陥が発生しやすい。
- (4) InAs層を、これと異なる格子定数を有する半導体

層上に積層する時、欠陥を生ずる事なく積層できるInAs層の膜厚には限界がある。この限界の膜厚、すなわち臨界膜厚が小さいため、FETの設計上必要とする膜厚のInAs層が得られない。

- (5) InAs層と、これに接する半導体層との格子定数の違いが大きいため、InAs層に強いストレスがかかり、熱的に不安定であったり、経時変化が大きい等の問題があり信頼性に欠ける。
- (6) 基板とInAs層との間の寄生容量等が大きいため、高周波素子として十分な機能を期待し難い。
- (7) 素材の一部が極めて酸化しやすいため、その製法が極めて複雑な上に信頼性に問題がある。
- (8) InAsはバンドギャップエネルギーが小さく適当なショットキー接合や、pn接合等の非オーミック接合が得られない。

たとえば、InAsの基板を用いた、特開平2-5439号公報記載の提案がある。InAs基板は、高価で、工業的な目的にとって難点になるばかりか、常温では、絶縁基板が得られないため、電子走行層との間に寄生容量を有し、良好な高速特性を得る上で障害になる。

一方、格子定数の大きく異なる基板の上に、InAs薄膜を直接形成したものもある。たとえば、特開平2-229438号公報は、GaAs基板の上に分子線エピタキシー(MBE: Molecular Beam Epitaxy)法を用いて、GaAsのバッファ層を形成し、この上に直接、電子走行層とし

ての InAs 層を形成し、さらにこの上に、GaAs 層を形成したダブルヘテロ型の InAs-FET を開示している。この構造では、格子定数の著しく異なる GaAs 基板上に InAs 層を形成するため、良質な InAs 薄膜の得られる InAs 層の膜厚は、20 Å 程度以下に限定される。これは、電流駆動能力の高い素子を設計する上で障害となり、設計上の自由度を著しく制約し、実用上問題が多い。

GaAs 基板と InAs 基板との格子不整合を緩和する方法の一つとして、特開昭 60-5572 号公報は、GaSb と AlSb 層の積層膜をバッファ層として用いた InAs-FET を提案している。GaSb は、InAs との格子定数のずれは小さく、0.6 % 程度である。しかし、InAs 層を電子走行層とする FET を形成するためには、GaSb 上に InAs 薄膜を直接形成するのは、第 1A 図に示すように、GaSb 層 102 の価電子帯上端が、InAs 層 103 の伝導帯下端より高くなってしまい、好ましくない。このため、第 1B 図に示すように、GaSb 層 102 と InAs 層 103 とを電氣的に絶縁するための電流障壁層として、AlSb 層 104 を GaSb 層 102 上に形成し、この上に InAs 層 103 を形成する。しかしながら、この構造ではバッファ層が複雑になるばかりか、第 1C 図に示すように AlSb 層 104 を誘電体膜として、これをサンドイッチする GaSb 層 102 と InAs 層 103 とを電極とする寄生容量が形成され、高速デバイスの構造として好ましくない。また、AlSb 層 104 は、InAs 層 103 と格子定数が 1.25 % も異なるため、AlSb 膜

104 上の InAs 薄膜 103 の臨界膜厚は 200 Å 以下となつてしまい、これも高電流駆動の素子を得る上では制約になる。AlSb 膜 104 が極めて酸化しやすい特性を有するのも、メサエッチ法による活性層領域の形成等に際し、工程を複雑にする原因になるとともに酸化による素子特性の経時的変化の可能性があり、実用性に乏しい。さらに、この提案には、酸化防止法の開示も無い。

GaAs 基板と InAs 基板との格子不整合を緩和する方法の一つとして、AlSb と $\text{Al}_{0.5}\text{Ga}_{0.5}\text{Sb}$ 層の積層膜からなるバッファ層の上に形成された InAs 層を電子走行層とする InAs-FET がある (IEEE ELECTRON DEVICE LETTERS, Vol.11, No.11, NOVEMBER, 1990)。第 2A 図に上記 InAs-FET の構造図を示す。 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{Sb}$ は、InAs との格子定数のズレは 0.9 % 程であり、臨界膜厚は 300 Å 以下である。このため高電流駆動の素子を得る上で制約になる。その上この例では、2.8 μm もの AlSb 層を、基板と $\text{Al}_{0.5}\text{Ga}_{0.5}\text{Sb}$ 層の間のバッファ層として用い、InAs 層と $\text{Al}_{0.5}\text{Ga}_{0.5}\text{Sb}$ 層の間には、電子走行層のキャリア濃度を増加するために、60 Å の AlSb 層を挿入する複雑な積層構造を用いている。また、これらのキャリアは、意図せずにドーパされた AlSb 中のドナーから、あるいは AlSb 層と InAs 層との界面から、電子走行層に供給されたものであり、この FET の製造過程において、その濃度を設計値に合わせて制御するの

は難しい。したがって、これは工業的な量産性の上で問題があり、実用性に乏しい。第2B図に、上記の方法で作製されたInAs-FETの電流・電圧特性を示す。ピンチオフ特性が見られるが、飽和領域での線形性に乏しく、ゲート長が $1.7\ \mu\text{m}$ もあるのに、インパクト・アイオニゼーション効果も著しく、実用性に乏しい。

InAs層を、これにほぼ格子整合するAlGaAsSb層でサンドイッチした構造のInAs-FETが提案されている（特開昭60-144979号公報）。この提案では、半絶縁性InP基板上に、組成比と格子定数がステップ状に変化するInGaAs多層構造がバッファ層として配置されている。InGaAs多層構造は、基板のInPの格子定数からInAsの格子定数まで、ステップ毎に少しずつ変化するように設計されている。この上に、AlGaAsSb層でInAs層をサンドイッチした構造の積層膜が形成される。AlGaAsSb層は、InAs層に伝導電子を閉じ込めるための障壁層として用いられている。このようにして得られるInAs-FETの構造は、極めて複雑で製造上好ましくない。また、バッファ層を形成するInGaAsの多層膜の最上部のInGaAs層は、InAsに極く近い特性を有し、バンドギャップもInAsのバンドギャップに近く、常温では導体である。このため、AlGaAsSb層を誘電体膜とし、電子走行層のInAs層とバッファ層のInGaAs層を電極とする寄生容量が形成され、良好な高周波特性が得られない。また、ゲート電極とInAs層とが直接接すると、

オーミック接触してしまうため、活性領域の形成をメサ分離法で行う場合には、この接触を避ける構造上の工夫が必要であるが、そのような構造の開示はない。さらに、AlGaAsSb膜は、Ga成分が少ない場合には極めて酸化しやすい特性を有するため、メサエッチ法により活性層領域を形成する場合や、InAs膜の上部のAlGaAsSb膜が露出するような構造では、AlGaAsSb膜の酸化防止策は必須であるが、この提案では酸化防止法の開示が無い。

以上のように、高い電子移動度を持つInAsを、FETの電子走行層として活用する試みはあったが、実用に適したFET構造は見出されていない。

発明の開示

本発明は、衛星放送の送受信増幅素子や高速データ転送用素子として、優れた高周波特性を有するFETを提供することを目的とする。

上記目的を達成するため、本発明によるFETは、InAsと異なる格子定数を有する半導体基板上に、バッファ層として機能する第1の化合物半導体層と、電子走行層として機能するInAs層とを順次積層した構成を有している。

本発明において電子走行層として用いられたInAsは、高周波FETの電子走行層として通常用いられてい

るGaAsに比して、電子移動度と飽和速度が圧倒的に大きい。また温度依存性も適度に小さく、GaAs-FETを凌ぐ次世代型の高速素子の素材として期待されていた。なかでも、実用的な意味から、GaAsやSiの汎用基板上に、InAsの良質な結晶薄膜を形成する技術が望まれていた。

GaAsやSi基板は、InAsと格子定数が著しく異なるため、これらの基板上にInAs層を形成すると、数層の原子層で臨界膜厚を越え、格子欠陥が発生する。このため、良質なInAs薄膜を得るためには基板とInAs薄膜の間に絶縁性のバッファ層を形成する必要がある。バッファ層としては、InAsに実質的に格子整合し、欠陥の少ない平滑な表面を有するものが望ましいことは無論であるが、製法の上からも信頼性の上からも熱的に安定で、経時変化の少ない単純な構造が望ましく、また基板リーク電流を防御し、寄生容量の少ない構造で、かつ絶縁性であることが望ましい。

本発明は、このようなバッファ層の素材としての条件を満足する、単純な構造を有する半導体層の発見に基づき、このバッファ層上に形成されたInAs層を活性層とする、優れた高周波特性を有するFETをInAs層と格子定数の異なる基板上で、実現する全く新しいFET構造を提示するものである。

第1の化合物半導体層は、InAsと実質的に格子整合し、それよりバンドギャップの大きい、AlGaAsSb、

AlGaPSb , AlInAsSb、またはAlInPSb の中から選択して形成したもので、単純な構成を有している。

バッファ層の構造が単純化できたのは、AlGaAsSb層等の第1の化合物半導体層が、基板とInAs層との格子不整合の影響をわずか数十原子層で吸収し、平滑な平面を形成するという事実を見いだしたことによる。これによって、汎用基板であるGaAsやSi基板上に、格子欠陥等の少ない良質なInAs薄膜を形成することができた。しかも、そのInAs層の臨界膜厚は、FETの設計上必要とする膜厚を得るのに十分な程大きくて、InAs層の界面の受けるストレスも小さく熱的に安定で、経時変化が小さく信頼度の高い素子を得ることができ、かつ、InAs層と基板間の寄生容量等も小さく、高周波素子として優れた特性が得られた。素材の一部には酸化しやすいものもあるが、メサ構造の側壁や保護膜によって、酸化を防止することができた。ショットキー接合等についても、これを容易にするいくつかの工夫を用い、高周波特性に優れたFETを実現することができた。

本発明のFETでは、InAs層を電子走行層としている。InAs層の電子移動度と電子の飽和速度は、GaAsのそれより大きいため、同一のゲート長でも高周波まで動作させることができる。したがって、同一の動作周波数では、本発明のFETは、従来のGaAs-HEMTに比べて、ゲート長は約2倍でよい。このため、ゲートの加

工がきわめて容易になる。すなわち、ステッパーによるフォトリソグラフィの可能な $0.6\ \mu\text{m}$ 以上の寸法の加工と、それより微細な加工は精度的に大きな隔たりがあり、工程も複雑である。したがって、本発明によれば、紫外光を用いたフォトリソグラフィプロセスにより、容易に超高周波で動作する素子の製作が可能となる。さらに、従来と同一のゲート長の場合は、InAsの高電子移動度性によりGaAsの場合に比べて2倍の高周波で動作させることができる。そのうえ、工程の歩留りもよく、量産も可能である。

図面の簡単な説明

第1図は、特開昭60-5572号公報に示される従来のGaSbとAlSbの積層構造によるFETのバンド図であり、第1A図は、GaSbとInAsを直接接合した場合のバンド図、第1B図は、FETの積層構造、第1C図は、第1B図の積層構造におけるバンド図である。

第2A図は、IEEE EDL Vo.11, No.11, p.526(1990)に示される従来のInAs-FETの断面図であり、第2B図はそのIV特性を示すグラフである。

第3図は、本発明によるFETの一実施例の構成を示す断面図である。

第4図は、AlGaAsSbをGaAs基板上に形成し、InAs層のバッファ層としたときの、InAsの電子移動度を示す

グラフである。

第5図は、4元系化合物半導体であるAlGaAsSbの組成比と、バンドギャップと、格子定数との関係を表す相図であり、J.J.A.P Vol.19 p.1675 1980からの引用である。

第6図は、バッファ層として機能する第1の化合物半導体層とInAsとの格子不整合の大きさに対する、InAs層の臨界膜厚の計算値を示すグラフである。

第7図は、InAs層の膜厚と、FETの相互コンダクタンスとの関係の計算結果を示すグラフである。

第8図は、本発明によるFETの3種類の変形例の構成を示す断面図であり、ドナー不純物のドーピング位置の違いによって分類されている。第8A図は、第2の化合物半導体層4にはドナー不純物をドーピングせず絶縁性の障壁層とし、電子走行層であるInAs層にのみドーピングした、上記実施例の変形例1としてのFETの断面図、第8B図は、InAs層にはドナー不純物をドーピングせず、第2の化合物半導体層にのみドナー不純物をドーピングしInAs層への電子供給層とした、上記実施例の変形例2としてのFETの断面図、第8C図は第2の化合物半導体層とInAs層の両方にドナー不純物をドーピングし、InAs層中の不純物から発生した伝導素子と、第2の化合物半導体層4から供給された伝導電子とを電流担体とした、上記実施例の変形例3としてのFETの断面図である。

第9図は、上記実施例の変形例4としてのFETにお

いて電子走行層に形成されている量子準位を示す図である。

第10図は、第2の化合物半導体層を介して、InAs層と、ソース、ドレイン各電極とのオーミック接合をとった、上記実施例の変形例5としてのFETの構成を示す断面図である。

第11図は、ソース電極、およびドレイン電極下部にコンタクト層を配置した、上記実施例の変形例6としてのFETの構成を示す断面図である。

第12図は、ゲート電極をマスクとして、ゲート電極下部を除く周辺にドナー不純物をイオン注入した、上記実施例の変形例7としてのFETの構成を示す断面図である。

第13図は、第2の化合物半導体層と、ゲート電極との間に導電層を挿入した、上記実施例の変形例8としてのFETの構成を示す断面図である。

第14図は、ゲート電極部をリセス構造にした、上記実施例の変形例9としてのFETの構成を示す断面図である。

第15図は、上記実施例に各種のスペーサー層を加えたFETの構成を示す断面図であり、第15A図は第1から第4の半導体挿入層を配置した、上記実施例の変形例10および11としてのFETの断面図、第15B図は、ゲート電極下部に絶縁体層を配置した、上記実施例の変形例10としてのFETの断面図である。

第16図は、メサエッチングにより素子分離をし、メサ断面の側面に絶縁性の側壁を形成した、上記実施例の変形例12としてのFETの構成を示す図であり、第16A図は平面図、第16B図はA-B線断面図、第16C図はC-D線断面図である。

第17図は、上記実施例に酸化防止層を加えた、上記実施例の変形例13としてのFETの構成を示す断面図である。

第18図は、試作例5によるFETの構造を示す断面図である。

第19図は、試作例6によるFETの構造を示す断面図である。

第20図は、試作例7によるFETの構造を示す断面図である。

第21図は、試作例8～11によるFETの構造を示す断面図である。

第22図は、試作例12によるFETの構造を示す断面図である。

第23図は、試作例5によるFETのIV特性を示すグラフである。

発明を実施するための最良の形態

本発明者らは、InAsに格子整合しない絶縁性基板上に、InAsと実質的に格子整合し、かつ基板とInAsの間の格子不整合を吸収するバッファ層を設けた新たな構造のInAs-FETを検討してきた。その結果、InAsに実質的に格子整合し、かつInAsに比べてバンドギャップの大きい化合物半導体のひとつであるAlGaAsSbを、InAsと格子整合しない基板上に形成し、その上部にInAs層を形成する構造を見出した。この構造では、基板とInAsとの格子不整合がわずか数十原子層のAlGaAsSb層内で緩和され、良質なInAs層が得られるばかりでなく、基板とAlGaAsSb層の界面付近の格子の乱れも少なく、FETを製作したとき寄生容量の少ないことが分かった。また、この他にも同様の効果を示すいくつかの化合物半導体があることも明らかになった。これらの化合物半導体を、基板とInAs層の間の格子不整合を緩和するためのバッファ層とし、このバッファ層上にInAs層を形成し、さらに、InAsと実質的に格子整合する化合物半導体の層をInAs層上に形成することにより、これまでには実現できなかった良好な特性を持つInAs-FETが実現できた。

実施例 1

以下、本発明による電界効果トランジスタの一実施

例を第3図により説明する。第3図において、1は基板、2は第1の化合物半導体層、3はInAs層、4は第2の化合物半導体層を示す。また、5と7是一对のオーミック電極であり、5はソース電極、7はドレイン電極である。6はソース電極5とドレイン電極7の間に設けられたゲート電極である。以下、各構成要素について説明する。

基板 1

本発明に用いられる基板1は、InAsと異なる格子定数を有する基板であればなんでも良いが、GaAs基板、もしくは、GaP基板、表面に単結晶のGaAsを成長させたSi基板、サファイア基板などが好適である。なかでも半絶縁性で良質の単結晶基板が得られるGaAs基板は、特に好ましい。ここで言う半絶縁性とは、抵抗率が $10^7 \Omega \cdot \text{cm}$ 以上のものを指す。単結晶基板を用いる場合、基板の面方位は(100), (111), (110)等が好ましい。これらの面方位から、 $1^\circ \sim 5^\circ$ ずらした面方位を用いることもある。中でも、(100)面は良質の薄膜を成長させるうえで最適である。通常行われるように、基板表面を平坦化させ、清浄化させる目的で、基板と同じ材質の半導体を成長させたものを本発明の基板として使用してもよい。GaAs基板上にGaAsを成長させるのは、この最も代表的な1例である。本発明が従来法に比して優れているのは、InAsと格子定数の異な

る基板を用いる場合であるが、特に、InAsと3.5 %以上異なる格子定数を有する基板には、GaAs基板、Si基板等があり、結晶の純度、平坦性、基板コスト等の点から望ましい基板が多いため、本発明の従来法に対する優越性は最も顕著になる。

第1の化合物半導体層2

第1の化合物半導体層2は、(a) InAs層と実質的に格子整合し、(b) InAs層3と大きく格子定数の異なるGaAs等の基板に直接積層した場合でも、欠陥の少ない平滑な表面を有し、(c) 基板との界面付近では寄生容量等の原因になる結晶欠陥が少ない化合物半導体で、かつ(d) InAs層3との界面では、基板リーク電流を阻止する障壁を形成するものが好ましい。

第4図に、MBEを用いてGaAs基板1上に直接形成したAlGaAsSb層2の膜厚によって、この層の上に積層された300 ÅのInAs層3の電子移動度が変化する様子を黒丸で示す。また、比較のため、GaAs基板上に直接設けたAlSb層の上に形成された、300 ÅのInAs層の電子移動度を白丸で示す。AlSb層上の300 ÅのInAs層は、既に臨界膜厚を越えていて、電子移動度は悪くなっている。AlGaAsSb層2上に形成されたInAs層3の電子移動度は、AlGaAsSb層2の膜厚が0.1 μm以上では、高い値が得られ、300 Åでも既にかなり高い値が得られている。この結果と、RHEED(REFLECTION HIGH

ENERGY ELECTRON DIFFRACTION)およびX線解析等の結果からも、膜厚が $0.1\ \mu\text{m}$ 以上のAlGaAsSb層2は、きわめて平滑な表面を有するばかりか、GaAs基板1との界面から約 $100\ \text{\AA}$ 程度の距離にある領域を除けば、膜の大部分の領域において、欠陥の少ない良質な結晶性を有することが分かった。AlGaPSb, AlInAsSb および AlInPSb も同様な特性を有している。

これら4種類の化合物半導体, $\text{Al}_{x_1}\text{Ga}_{1-x_1}\text{As}_{y_1}\text{Sb}_{1-y_1}$, $\text{Al}_{x_2}\text{In}_{1-x_2}\text{As}_{y_2}\text{Sb}_{1-y_2}$, $\text{Al}_{x_3}\text{In}_{1-x_3}\text{P}_{y_3}\text{Sb}_{1-y_3}$ および $\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{P}_{y_4}\text{Sb}_{1-y_4}$ は、その成分比を選ぶことによっていずれもこれらの条件を満足させることができる。その組成比の範囲は、次に述べる3通りの異なる方法によって定められる。

I. 第1の方法

第1の方法は、以下の2条件を満足するように定められる。

- (1A) 第1の化合物半導体層2の格子定数が、InAs層3のInAsの格子定数に、 0.6% 以内で一致し、かつ、
- (2) 第1の化合物半導体層2が $1\ \text{eV}$ 以上のバンドギャップを有し、InAs層3の伝導電子をInAs層3内に閉じ込めるのに必要なポテンシャル障壁を形成する。

InAsと 0.6% 以内の格子整合をする化合物半導体は、III-V 属の2元系ではInAs以外には存在しない。

しかしながら、第1の化合物半導体2の上に積層されたInAs層3が適切な臨界膜厚を有し、かつ熱安定性や経時変化の原因となるストレスの少ない薄膜を形成するためには、0.6%以内の格子整合は必要と考えられる。第5図は、この条件を満足するIII-V属の4元系化合物半導体の相図である。

第5図に示す相図において、 $Al_{x_1}Ga_{1-x_1}As_{y_1}Sb_{1-y_1}$ は、AlAsとAlSbとGaSbとGaAsの4点を結んで得られる矩形領域D1内の点で表される。この領域D1において、 x_1 の値は、GaAsとGaSbの点を結ぶ直線L1からの距離に比例して0から1まで変化し、AlAsとAlSbの点を結ぶ直線L2上で1を取る。 y_1 の値は、AlSbとGaSbを結ぶ直線L3からの距離に比例して0から1まで変化し、AlAsとGaAsを結ぶ直線L4上で1になる。図中の破線と一点鎖線は、それぞれ、各点で表される組成と組成比を有する化合物半導体のバンドギャップの等高線と格子定数の等高線を示す。

第5図に、上記(1A)および(2)の条件を満足する、 $Al_{x_1}Ga_{1-x_1}As_{y_1}Sb_{1-y_1}$ を含む領域を実線で描かれた矩形R1の領域で示す。この領域は、 $\{0.21 \leq x_1 \leq 1.0, 0.02 \leq y_1 \leq 0.22\}$ で規定される。同様に、(1A)、および(2)の条件を満足する $Al_{x_2}In_{1-x_2}As_{y_2}Sb_{1-y_2}$ 、 $Al_{x_3}In_{1-x_3}P_{y_3}Sb_{1-y_3}$ 、および $Al_{x_4}Ga_{1-x_4}P_{y_4}Sb_{1-y_4}$ を含む矩形領域は、それぞれ、 $\{0.34 \leq x_2 \leq 1.0, 0.09 \leq y_2 \leq 0.79\}$ 、 $\{0.07 \leq x_3 \leq 1.0, 0.06 \leq y_3 \leq 0.72\}$ 、

および $\{0.13 \leq x_4 \leq 1.0, 0.13 \leq y_4 \leq 0.18\}$ で規定される。より厳密には、(1A)および(2)の条件を満たす、上記4種類の化合物半導体の組成比の範囲は、

$$\{0.21 \leq x_1 \leq 1.0, 0.09x_1 \leq y_1 \leq 0.07x_1 + 0.15\},$$

$$\{0.34 \leq x_2 \leq 1.0,$$

$$-0.82x_2 + 0.91 \leq y_2 \leq -0.87x_2 + 1.09\},$$

$$\{0.07 \leq x_3 \leq 1.0,$$

$$-0.57x_3 + 0.63 \leq y_3 \leq -0.58x_3 + 0.76\}, \text{ および}$$

$$\{0.13 \leq x_4 \leq 1.0, 0.06x_4 \leq y_4 \leq 0.06x_4 + 0.12\}$$

で規定される。

II. 第2の方法

より良質なInAs層3の得られる範囲として、第2の方法は、以下の2条件を満足するように定められる。

(1B) 第1の化合物半導体層2の格子定数が、InAs層3のInAsの格子定数に、0.4%以内で一致し、

(2) 第1の化合物半導体層2が1 eV以上のバンドギャップを有し、InAs層3の伝導電子をInAs層3内に閉じ込めるのに必要なポテンシャル障壁を形成する。

上記(1B)および(2)の条件を満足する、上記4種類の化合物半導体の組成比の範囲は、第5図に基づいて以下のように規定される。

$\text{Al}_{x_1}\text{Ga}_{1-x_1}\text{As}_{y_1}\text{Sb}_{1-y_1}$ は、

$$\{0.21 \leq x_1 \leq 1.0,$$

$$0.08x_1 + 0.03 \leq y_1 \leq 0.08x_1 + 0.12\},$$

$Al_{x2}In_{1-x2}As_{y2}Sb_{1-y2}$ は、

$$\{ 0.34 \leq x2 \leq 1.0 , \\ -0.83x2 + 0.94 \leq y2 \leq -0.86x2 + 1.06 \} ,$$

$Al_{x3}In_{1-x3}Py_3Sb_{1-y3}$ は、

$$\{ 0.07 \leq x3 \leq 1.0 , \\ -0.57x3 + 0.65 \leq y3 \leq -0.58x3 + 0.74 \} , \text{ および}$$

$Al_{x4}Ga_{1-x4}Py_4Sb_{1-y4}$ は、

$$\{ 0.13 \leq x4 \leq 1.0 , \\ 0.06x4 + 0.02 \leq y4 \leq 0.06x4 + 0.10 \} .$$

III . 第 3 の方法

第 3 の方法は、以下の 2 条件を満足するように定められる。

(1C) 第 1 の化合物半導体層 2 の上に形成された InAs 層 3 の臨界膜厚が、この InAs 層 3 を電子走行層とする FET の相互コンダクタンスを最大にするような InAs 層の膜厚以上になり、かつ、

(2) 第 1 の化合物半導体層 2 が 1 eV 以上のバンドギャップを有し、InAs 層 3 の伝導電子を InAs 層 3 内に閉じ込めるのに必要なポテンシャル障壁を形成する。

第 6 図は、AlGaAsSb 層 2 の格子定数の、InAs の格子定数に対する、格子不整合の度合と、臨界膜厚との関係の概略を示す。AlGaPSb, InGaAsSb および InGaPSb もほぼ同様の特性を示す。

第 6 図に示すように、最も高い格子整合度を必要と

するのは、最も厚い電子走行層を必要とする場合であるが、本発明では、必要とする電子走行層の膜厚の好ましい上限を、FETの相互コンダクタンスが最大になる膜厚として定めた。

FETの相互コンダクタンスの大きさは、その値が最大になるバイアス条件において移動度 μ 、ドナー濃度 N_D および電子走行層の膜厚 a の積 $\mu N_D a$ にほぼ比例する。このため、相互コンダクタンスの大きなFETを得るためには、積 $\mu N_D a$ の大きな構造が望まれる。電子走行層3に垂直に電圧をかけて、電子走行層3を空乏化するのに必要な、電子走行層3の上面と下面の電位差を V_{off} とすれば、電圧 V_{off} はドナー濃度 N_D と膜厚 a と共に増大する。FETでは、電圧 V_{off} の値は、電子走行層3のソース・ドレイン間耐圧 V_B の1/4程度とするのが好ましい。

第7図は、積 $\mu N_D a$ の膜厚 a への依存性の概要を示すグラフである。それぞれの膜厚 a における積 $\mu N_D a$ の値は、電圧 V_{off} が耐圧 V_B の1/4程度となるように、ドナー濃度 N_D を定め、耐圧 V_B および移動度 μ の N_D 依存性を考慮して与えられている。積 $\mu N_D a$ は、膜厚 a の値が2,000 Å付近で最大値をとり、この点で a の増加関数から減少関数に変化している。よって、InAs層3の厚さは、実用素子では2,000 Å以下でよいことが分かる。また第6図から、400 Å位の膜厚があれば、相互コンダクタンスは最大値の80%程度になることが分

かる。

第5図から、次の条件が得られる。

- (3) 臨界膜厚 2,000 Å の InAs 電子走行層 3 を実現するためには、AlGaAsSb 層 2 の成分比は、その格子定数の、InAs の格子定数に対するズレが、0.2 % 以内になるように定めることが必要である。

なお、臨界膜厚 400 Å の InAs 電子走行層 3 を実現するためには、AlGaAsSb 層 2 の成分比は、その格子定数の、InAs の格子定数に対するズレが、0.6 % 以内になるように定めることが必要であることが分かる。AlGaPSb, InGaAsSb および InGaPSb を第1化合物半導体層 2 として用いる場合にも同様の結果が得られる。

さらに高い相互コンダクタンスの FET を実現するために、上記 (1C)、(2) の条件を満足するだけでなく、(3) の条件をも満たす、第1の化合物半導体層 2 の組成は、第5図の相図に基づいて求めることができる。その結果は、以下の通りである。

$\text{Al}_{x_1}\text{Ga}_{1-x_1}\text{As}_{y_1}\text{Sb}_{1-y_1}$ は、

$$\{0.21 \leq x_1 \leq 1.0,$$

$$0.08x_1 + 0.05 \leq y_1 \leq 0.08x_1 + 0.10\},$$

$\text{Al}_{x_2}\text{In}_{1-x_2}\text{As}_{y_2}\text{Sb}_{1-y_2}$ は、

$$\{0.34 \leq x_2 \leq 1.0,$$

$$-0.84x_2 + 0.97 \leq y_2 \leq -0.85x_2 + 1.03\},$$

$\text{Al}_{x_3}\text{In}_{1-x_3}\text{Py}_3\text{Sb}_{1-y_3}$ は、

$$\{ 0.07 \leq x_3 \leq 1.0 ,$$

$$-0.57x_3 + 0.67 \leq y_3 \leq -0.58x_3 + 0.72 \} , \text{ および}$$

$$\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{P}_{y_4}\text{Sb}_{1-y_4} \text{ は、}$$

$$\{ 0.13 \leq x_4 \leq 1.0 ,$$

$$0.06x_4 + 0.04 \leq y_4 \leq 0.06x_4 + 0.08 \} .$$

この4種類の化合物半導体の中でも、組成の制御がしやすく、良質の薄膜が得やすいAlGaAsSb, AlInAsSbが好ましい。特に、AlGaAsSbを第1の化合物半導体層2とした場合、FET特性は最も良好であった。

第1の化合物半導体層2は、不純物をドーピングしない状態でも導電性を持つことがある。この場合、電気伝導に寄与しているキャリアの効果を打ち消すために、電気伝導に寄与しているキャリアと逆の極性を有する不純物をドーピングすることもある。第1の化合物半導体層2の厚さは自由に選んでよいが、製作上の制約から、0.05～3.0 μmが好ましい範囲である。より好ましくは、0.1～2.0 μm、さらに好ましくは0.1～1.0 μmである。

InAs層3

本発明の電子走行層であるInAs層3は、制御電極にかかる電圧によって電気伝導を制御する都合上、厚さ0.2 μm以下が好ましい。InAs層3は、ノンドープでもよいが、不純物がドーピングされていても十分に高い電子移動度を得られるため、必要に応じて不純物ドーピング

することも可能である。ドーピングされるドナー不純物は、InAs中でドナー原子として作用する物ならなんでもよいが、Si, S, Sn, Se, Teは特に好ましい不純物である。ドーピングされる不純物の量は、 $5 \times 10^{16}/\text{cm}^3 \sim 5 \times 10^{18}/\text{cm}^3$ であればよいが、好ましい範囲は、 $1 \times 10^{17}/\text{cm}^3 \sim 1 \times 10^{18}/\text{cm}^3$ であり、より好ましくは $2 \times 10^{17}/\text{cm}^3 \sim 8 \times 10^{17}/\text{cm}^3$ である。不純物がドーピングされる位置は、InAs層3の厚さ方向に均一でも良いが、他の化合物半導体層2, 4との界面付近を避け、膜の中央部のみドーピングすると、第1の化合物半導体層2および第2の化合物半導体層4との界面での伝導電子の散乱が低減でき好ましい。また、InAs中のInは、In原子の総数の9%以内であればGaに置き換えてもよい。この範囲であれば、InAs層3のInAsとの格子定数の違いは0.6%以下であり、第1の化合物半導体2および第2の化合物半導体4と実質的に格子整合する。このため、InAsの特性を大きく損なうことなく、FETの耐圧を上げることができる。また、第1の化合物半導体層2および第2の化合物半導体層4の格子定数が、InAs層3のInAsの格子定数に対して、0.4%以内である場合は、Inと置き換えるGaの量を6%以内とすると、格子不整合によるInAs層3の特性の劣化や、経時変化が低減できる。さらに、より高い格子整合をとるために、格子不整合を0.2%とした場合は、Inと置き換えるGaの量を3%以下にすると、格子不整合によるInAs

層 3 の特性劣化は、さらに小さくできる。

第 2 の化合物半導体層 4

InAs 層 3 の上部に形成される第 2 の化合物半導体層 4 は、InAs と実質的に格子整合し、かつ、伝導電子を InAs 層中に閉じこめるのに適した障壁を InAs 層 3 との界面に形成するために、InAs 層 3 よりも大きなバンドギャップを持つものが好ましい。さらに、第 2 の化合物半導体層 4 の電子親和力が、InAs 層 3 の電子親和力に比べて小さく、かつ、電子親和力とバンドギャップの和が、InAs 層 3 の電子親和力とバンドギャップの和に対して大きくなる場合には、InAs 層 3 の特性を損ねることがなく好ましい。これらの要請は、第 1 の化合物半導体層 2 に対する要請と共通である。

さらに、ショットキー接合を用いる FET では、第 2 の化合物半導体層 4 とゲート電極 6 とが良好なショットキー接合を形成することが必要である。一方、第 2 の化合物半導体層 4 を絶縁性の障壁層として使う MIS 型 FET では、第 2 の化合物半導体層 4 は、良好な絶縁膜となる材質が望ましい。これらの要請を満足する化合物半導体であればなんでもよいが、なかでも、第 1 の化合物半導体層 2 として用いた、 $Al_{x1}Ga_{1-x1}As_{y1}Sb_{1-y1}$ 、 $Al_{x2}In_{1-x2}As_{y2}Sb_{1-y2}$ 、 $Al_{x3}In_{1-x3}P_{y3}Sb_{1-y3}$ 、 $Al_{x4}Ga_{1-x4}P_{y4}Sb_{1-y4}$ は、特に好適である。また、その成分比は、第 1 の化合物半導体層

2と同様に定められる。良質の薄膜が得やすいAlGaAsSb, AlInAsSbは特によい。第2の化合物半導体層4の厚さは、50Å～1,000 Åがよく、ゲート電極6の形成後、第2の化合物半導体層4中に伝導電子が存在しないような範囲であればよい。

第2の化合物半導体層4にドナー不純物をドーピングして、InAs層3への電子供給層とする場合、ドーピングされるドナー不純物は、ドナー原子として作用する物ならなんでもよいが、Te, Se, S, Si, Snは特に好ましい不純物である。ドーピングされる不純物の量は、 $5 \times 10^{16}/\text{cm}^3 \sim 5 \times 10^{18}/\text{cm}^3$ であればよいが、好ましい範囲は $1 \times 10^{17}/\text{cm}^3 \sim 5 \times 10^{18}/\text{cm}^3$ である。ドーピングされる位置は、厚さ方向に均一でも良く、分布があっても良い。特に、ゲート電極6が形成される側の界面近傍のみ、不純物をドーピングしない構造にすると、ゲート耐圧が低下せず良好である。また、InAs層3との界面近傍の第2の化合物半導体層4には、不純物をドーピングしない構造にすることによって、InAs層3中の伝導電子の不純物による散乱を低減でき、FETの動作速度を高める上で好ましい。

また、第2の化合物半導体層4はIII属とV属の元素からなる上記の化合物半導体に限らず、II属とVI属の元素からなる化合物半導体でもよい。

第1の化合物半導体層2と第2の化合物半導体層4は、同じ組成の化合物半導体から形成すると、製造工

程が簡略化できるため好ましいが、異なる組成、または、同一の組成で組成比の異なる化合物半導体を組み合わせた構造でもよく、必要に応じて適宜実施される。

ソース電極 5、およびドレイン電極 7

ソース電極 5、およびドレイン電極 7 は、その下部の InAs 層 3 とオーミック接合をとる必要がある。オーミック接合には、各種の構造があるが、第 3 図の実施例では、InAs 層 3 に電極を直接コンタクトする構造をとっている。

InAs 層 3 は、バンドギャップが狭く、電極をコンタクトしただけで、接触抵抗の低いオーミック接合が得られる。このため、オーミック電極 5、6 下部のみ、第 2 の化合物半導体層 4 をエッチングして、InAs 層 3 に電極を直接形成することができる。この場合、電極 5、7 と InAs 層 3 の間の接触抵抗を低減するために、合金化工程を行っても良いが、蒸着しただけでも良好なオーミック接合が得られる。このため、電極金属は、AuGe/Ni/Au の 3 層構造をはじめとする公知の積層電極構造でもよいが、Al, Ti, Au, W など単層の金属でもよく、極めて多くの組み合わせが可能である。

ゲート電極 6

第3図に示すゲート電極6は、その下部に空乏層を形成できるものであればよく、ショットキー接合を用いる方法の他、ゲート電極6とInAs層3の間に、絶縁物を挟んだMIS(METAL-INSULATOR-SEMICONDUCTOR)構造や、pn接合を利用することもできる。特に、第2の化合物半導体4をはじめとする半導体と、ショットキー接合を形成する材料としては、Al, Ti, W, Pt, WSi, Auなどが好ましく、これらを積層構造にしたものもよい。

以上が本発明のFETにおける基本的層構造であるが、InAs層3は、不純物をドーピングしても電子移動度があまり低下せず、GaAs, InGaAs等に比べて高い電子移動度を持つことから、InAs層3と第2の化合物半導体層4のドナー不純物のドーピングの組み合わせ方により、3種の異なる特徴をもつトランジスタが可能である。これらを、上記実施例の変形例1-3として説明する。

変形例 1

第1のタイプは、第8A図に示すように、第2の化合物半導体層4にはドナー不純物をドーピングせずに、絶縁性の障壁層として用いるもので、後述の試作例1はこの変形例1に属するものである。

この場合、InAs層3は、ドナー不純物をドーピングしなくてもよいが、InAs層3の特性を落とさない範囲であれば、ドナー不純物をドーピングしてもよい。このFETでは、ゲート電極6が、不純物濃度の低い第2の化合物半導体層4上に形成されることから、ゲート耐圧が高く、かつ良好な整流性を持つゲート電極が形成できる。

変形例2

第2のタイプは、第8B図に示すように、第2の化合物半導体層4にのみ、ドナー不純物をドーピングしたもので、試作例2は、この変形例2に属するものである。InAs層3中の伝導電子は、主として、第2の化合物半導体層4から、電子親和力の違いにより供給された電子であり、InAs層3中には、意図的には不純物がドーピングされていない。このため、InAs層3中の不純物による伝導電子の散乱は、3つのタイプのうち最も少ない。したがって、本発明によるInAs-FETのなかでは、高速動作性に最も優れており、雑音特性にも優れたFETが製作できる。

変形例3

第3のタイプは、第8C図に示すように、InAs層3と第2の化合物半導体層4の両方に、ドナー不純物をドーピングしたもので、試作例3は、この変形例3に属す

るものである。

この場合、InAs層3中には、InAs層3中のドナー不純物から生じた伝導電子と、第2の化合物半導体層4から、電子親和力の違いにより供給された伝導電子の両方が存在し、電流担体となっている。したがって、InAs層3の特性を損なうことのない不純物濃度で、極めて高濃度の伝導電子をInAs層3中に集中させることができ、極めて薄いInAs層3を持つ場合でも、流れる電流を大きくとれるなど、FETの電子走行層としては理想的な構造が実現できる。

また、InAs層3中で熱的に励起された真性の伝導電子が、室温付近で $10^{15}/\text{cm}^3 \sim 10^{16}/\text{cm}^3$ であるのに対して、ドナー不純物から発生した伝導電子は、 $10^{17}/\text{cm}^3 \sim 10^{18}/\text{cm}^3$ と高濃度である。このため、FETの使用環境温度の変化に対する、FET特性の変動の小さいFETとなる。

変形例4

第2の化合物半導体層4とInAs層3への不純物のドーピングの仕方によらず、InAs層3の厚さが、量子準位の形成される程度の厚さになると、第9図に示すバンド図のように、InAs層3中の伝導電子のエネルギーレベル30が量子化され、いわゆる量子準位が形成される。このため、素子の使用環境温度が変動しても、InAs層3の抵抗値の変動が少なくなり、量子準位を形

成しないものに比べ、温度特性に優れたFETが可能となる。

さらに、InAs層3中を流れる伝導電子が散乱を受けにくくなるため、高速動作にも適したトランジスタとなる。しかも、バンドギャップが狭いInAs層3を電子走行層としていながら、離散的な量子準位の効果により、実質的にバンドギャップが広がったのと同等の効果がある。このため、トランジスタの耐圧を増すことができる。

こうした特性を得るためには、InAs層3の膜厚を400 Å以下にすることが好ましい。特に、200 Å以下にすると、量子準位による効果はより顕著となる。

量子井戸の材料としてのInAsは、GaAs、Siに比べ電子の有効質量が小さいため、量子井戸の幅が広くても、量子準位を形成しやすい。化合物半導体の格子定数は、通常、5～6 Åであるが、薄膜成長の段階で、1原子層程度の表面段差が生じることがあっても、量子井戸の厚さが厚いため、段差の影響が小さく抑えられる。また、InAsでは、量子井戸幅が広くとれるため、量子井戸を電子走行層としながらも、大きなコンダクタンスを得ることができる。試作例4は、この変形例4に属するもので、InAs層3を100 Åにした量子効果型FETの一例である。

次に、ソース電極5およびドレイン電極7の変形例

について説明する。

変形例 5

ソース電極 5 およびドレイン電極 7 は、第 10 図に示すように、InAs 層 3 上の第 2 の化合物半導体層 4 を介して、InAs 層 3 とオーミック接触をとる構造でもよい。この構造は、次の方法によって形成される。すなわち、電極 5, 7 と InAs 層 3 間のオーミック接触を得るために、合金化アニールを行い、電極材料を拡散して、不純物が高濃度にドーパされた領域 54, 74 を形成するか、あるいは、電極 5, 7 下部の領域 54, 74 のみに、ドナー不純物をイオン注入し、接触抵抗を下げる。

変形例 6

第 11 図に示すように、ソース電極 5 およびドレイン電極 7 と InAs 層 3 との間に、より接触抵抗の低いオーミック接触を形成するために、コンタクト層 50, 70 を形成する技術もある。

コンタクト層 50, 70 は、ドナー不純物のドーパされた GaAs, GaAsSb, InGaAs, InAs, InSb などが好ましく、厚さは 500 Å 以下ならよいが、100 Å ~ 300 Å は特に好適である。また、コンタクト層 50, 70 にドーパされるドナー不純物は、コンタクト層中でドナー原子として作用する物ならなんでもよいが、Si, S, Sn, Se, Te は特に良好な不純物である。ドーパされる不純

物の量は、コンタクト層50, 70の材質によっても異なるが、 $5 \times 10^{17}/\text{cm}^3 \sim 10^{19}/\text{cm}^3$ は好ましい範囲である。

次に、ゲート電極6の変形例について説明する。

変形例7

ゲート電極6の材料として、W, WSi等の高融点金属を使った場合は、第12図に示すように、半導体層4, 3の、ゲート電極6の下部を除く領域55, 75に、ドナー不純物をイオン注入して、ゲート電極6の周辺領域55, 75を低抵抗化したセルフアラインメント構造をとることができる。この構造では、ソース電極5とゲート電極6間、およびゲート電極6とドレイン電極7間の寄生抵抗を減らすことができる。さらに、寄生抵抗のばらつきも極めて小さく抑えることができる。

イオン注入する不純物は、第2の化合物半導体層4とInAs層3で、ドナー不純物となる不純物であれば何でもよい。特に、S, Se, Sn, Siなどは好適である。注入される不純物の濃度は、 $3 \times 10^{17}/\text{cm}^3 \sim 1 \times 10^{19}/\text{cm}^3$ が好ましい範囲である。

ゲート電極6は、第3図に示すように、第2の化合物半導体層4上に直接形成してもよいが、第2の化合物半導体層4上に形成した他の層上に形成してもよい。

変形例 8

第13図に示すように、ゲート電極6の下部に、第2の化合物半導体層4に引き続いて、大気に触れることなくInAs, InSbといった、バンドギャップの狭い半導体からなるゲート電極下部導電層61を形成する。この構造では、ゲート電極下部導電層61と第2の化合物半導体層4の界面に酸化膜がなく、界面準位の少ない理想的な界面が得られる。一方、ゲート電極6とゲート電極下部導電層61とはオーミック接合するため、ゲート電極下部導電層61と第2の化合物半導体層4との間の障壁により、ゲート電極6と第2の化合物半導体層4とをショットキー接合したのと同等となる。

変形例 9

第14図に示すように、第2の化合物半導体層4がゲート電極6と接合する箇所において、第2の化合物半導体層4の上にリセス構造12を形成すると、FETの耐圧を上げることができる。リセス構造12は、第2の化合物半導体層4に接してゲート電極6を配置する場合に限らず、ゲート電極6の配置される他の層に形成してもよい。

挿入層、保護膜などを備えた変形例

変形例 10

本発明のFETでは、第1の化合物半導体層2を直接

基板 1 上に積層し、その上に、InAs 層 3 を形成した単純な構造でも、良質な InAs 層 3 を形成できる。しかしながら、本発明による FET では、各層間に他の半導体層を挿入して、FET の特性を向上させることも可能である。第 15A 図に示す例を使って、各種挿入層の説明をする。

この図の FET は、基板 1 の表面に、基板 1 の材質とは異なる第 1 の半導体挿入層 21 を有し、第 1 の化合物半導体層 2 と InAs 層 3 の間に第 2 の半導体挿入層 22 を、また、InAs 層 3 と第 2 の化合物半導体層 4 との間に第 3 の半導体挿入層 41 を有している。これらの半導体挿入層を入れることにより、ホール電流の低減、およびトランジスタのコンダクタンスの向上を図ることができる。

第 2 および第 3 の半導体挿入層 22, 41 は、InAs 層 3 中に伝導電子をより効率的に閉じこめるために、電子走行層である InAs 層 3 と接して配置される。このため、InAs よりも広いバンドギャップを持つ半導体から選ばれ、半導体挿入層 22, 41 に用いた半導体の電子親和力が、InAs 層 3 の電子親和力よりも小さく、かつ、電子親和力とバンドギャップとの和が、InAs 層 3 の電子親和力とバンドギャップとの和よりも大きくなる半導体層が好ましい。なかでも、AlSb, AlGaSb, InAlAs は、特に好適である。

挿入された各半導体層 21, 22 および 41 は、InAs 層 3

のInAsとは格子定数が異なるため、特定の膜厚よりも厚くすると、格子不整合による転位が生じてしまう。このため、InAs層3の特性が低下することがある。したがって、半導体挿入層21, 22および41の厚さは、こうした格子不整合による転位の生じない膜厚、すなわち、臨界膜厚の範囲が好ましい。臨界膜厚は、挿入される半導体の材質によって異なるが、AlSbの場合であれば、InAs層3との組み合わせで、約160 Åとなる。

また、第15B図に示すように、ゲート電極6の下部に接して、絶縁体層62を形成することもある。

変形例11

本発明において、第1の化合物半導体層2、および第2の化合物半導体層4として用いられる半導体は、GaAsやInAs等の半導体に比べて酸化しやすい。このような化合物半導体層の酸化によるFET特性の経時変化を低減するために、通常の半導体デバイスで用いられるパッシベーション層とは別に、酸化防止のための層を形成すると好ましい。

まず、第15A図に示すような第4の半導体挿入層42を、第2の化合物半導体層4の上に形成すると、第2の化合物半導体層4は、大気との接触から保護されるため、酸化による特性劣化の問題が生じにくくなる。第4の半導体挿入層42は、酸化しにくい半導体であれ

ばよいが、GaAs, GaSb, GaAsSbが特に好ましい。厚さは、50～1,000 Åが適当である。特に、100 Å～700 Åは最適な厚さである。

変形例12

FETでは、ソースドレイン間電流は、ゲート電極6に印加される電圧によって制御される。このため、InAs層3を、電氣的に不活性な領域と、FETの電子走行層となるべき活性領域11とに分離する必要がある。この分離方法として、メサ構造を形成する方法と、活性領域11以外を不導体化する方法とがある。

メサ構造によって、活性領域11を形成する場合は、酸、またはアルカリをベースとした、液体によるエッチング、あるいは気体によるエッチングが用いられる。

一方、第2の化合物半導体層4、およびInAs層3を不導体化する場合は、イオン注入、電子線照射など、通常の方法が用いられる。この不要部分を不導体化する構造は、メサ構造と異なり、断面を持たないため、ゲートリークや酸化といった問題が起きにくい。

メサ構造、すなわち、不要部分をエッチングにより除去し、必要な部分だけ台地状に残した構造では、次のような不都合が生じることがある。すなわち、第1の化合物半導体2および第2の化合物半導体層4の大気に触れている面が酸化し、トランジスタ特性の劣化

につながることもある。また、メサ構造の断面に露出したInAs層3が、ゲート電極6と接触しただけでオーミック接合するため、ゲート電極6からInAs層3へのリーク電流が発生することもある。

第16B図に示す側壁9は、このような不都合を防止するためのものである。側壁9は、絶縁性あるいは半絶縁性の材質から形成され、InAs層3とゲート電極6が直接接することがないようにする。これによって、ゲート電極6からInAs層3へのリーク電流を防ぐことができる。そのうえ、メサ構造の断面が覆われるため、第1の化合物半導体層2、第2の化合物半導体層4の酸化を防止することもできる。

第16A図はFETの平面図、第16B図は第16A図におけるA-B線断面図、第16C図は第16A図におけるC-D線断面図である。これらの図は、側壁9がメサ構造の断面を覆うように形成されており、InAs層3とゲート電極6が直接接していない様子を示している。

側壁9の材質は、絶縁性の半導体、もしくは、半導体の保護膜として通常用いられる、 SiN_x 、 SiO_2 、 SiO_xN_y 、 Al_2O_3 等がよい。なかでも、 SiN_x 、 SiO_xN_y は特に好適である。

変形例13

第17図は、第1および第2の化合物半導体層の酸化によるFETの特性劣化を小さくするために、第1の保

護膜 81 および 第 2 の 保護膜 82 を、素子の表面に設けた例である。第 1 の 保護膜 81 は、第 1 の 化合物半導体層 2 の 上面で、かつ、活性領域 11 が形成されていない部分に、 SiN_x 、 SiO_2 、 Al_2O_3 等の絶縁体を用いて形成した。また、第 2 の 保護膜 82 は、活性領域 11 における第 2 の 化合物半導体層 4 の 上面、あるいは第 4 の 半導体挿入層 42 の 上面で、電極 5、6 および 7 以外の部分に形成した。第 1 の 保護膜 81 と第 2 の 保護膜 82 は、同一の膜からなる場合もあるが、別々に形成してもよい。また第 1 の 保護膜 81、第 2 の 保護膜 82 と側壁 9 は同一の絶縁膜を、反応性イオンエッチングを用いた異方性エッチングによって、除去して形成することもできる。このため、プロセスが容易となる利点もある。

その他の一般的応用構造

本発明の FET は、同一基板上に多数集積することも可能である。また、基板と電子走行層とが同一の半導体材料で構成されているトランジスタと、同一基板上に形成してもよい。特に、高速動作を特徴とする本発明の InAs-FET と、同一基板上に形成された GaAs-FET とを集積化した構造は好ましい。

[試作例 1]

第8A図に示す第2の化合物半導体層4を絶縁性の障壁層としたFETの試作例を説明する。

厚さ350 μm の鏡面研磨した(100)面の半絶縁性GaAs基板を基板1として使用した。該基板1上に第1の化合物半導体層2として、InAsに格子整合したノンドープの $\text{Al}_{0.8}\text{Ga}_{0.2}\text{As}_{0.14}\text{Sb}_{0.86}$ 層を8,000 Å、ドナー不純物としてのSiが $2 \times 10^{17}/\text{cm}^3$ ドープされたInAs層3を700 Å、ついで、第2の化合物半導体層4として、ノンドープの $\text{Al}_{0.8}\text{Ga}_{0.2}\text{As}_{0.14}\text{Sb}_{0.86}$ 層を400 Å、それぞれ分子線エピタキシー法により順次形成した。次に、フォトリソグラフィ法により、GaAs基板1上に形成した積層薄膜の不要部を除去し、素子の電子走行部分を製作するためのレジストパターンを形成した。次に $\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2$ 系エッチング液によりエッチングを行い、メサ構造による活性領域11を形成した。ついで、レジストパターンを形成した後、 $\text{NH}_4\text{OH} : \text{H}_2\text{O}_2$ 系エッチング液により、ソース電極5およびドレイン電極7下部のAlGaAsSb層4のみエッチングし、InAs層3の表面を出した。引き続き真空蒸着法により、AuGe (Au : Ge = 88 : 12) 層51, 71を2,000 Å、Ni層52, 72を500 Å、Au層53, 73を3,500 Å連続蒸着した。次にリフトオフを行い、3層51, 52, 53および71, 72, 73からなるソース電極5, ドレイン電極7のパターンを形成し、InAs層3とのオーミック接合

を得た。さらに、ゲート電極6のレジストパターンを形成した後、ウェハー全面に3,000 ÅのAlを蒸着し、リフトオフを行って、ゲート電極6を形成した。ついで、ダイシングを行い、個別の素子に切り離した。こうして、第8A図に示した本発明のFETを製作した。また、この素子は、通常の組立工程によりリード線がつけられ、パッケージされた。

[試作例 2]

第8B図に示す本発明のFETを試作例によって説明する。この試作例では、第2の化合物半導体層4にドナー不純物がドーピングされ、InAs層3への電子供給層として機能しており、InAs層3中には意図的に不純物はドーピングされていない

厚さ350 μmの鏡面研磨した(100)面の半絶縁性GaAs基板1上に、第1の化合物半導体層2として、InAsに格子整合したノンドープの $\text{Al}_{0.8}\text{Ga}_{0.2}\text{As}_{0.14}\text{Sb}_{0.86}$ 層を8,000 Å、ドナー不純物のドーピングされていないInAs層3を700 Å、ついで、第2の化合物半導体層4としてSeが $2 \times 10^{18}/\text{cm}^3$ ドーピングされた $\text{Al}_{0.8}\text{Ga}_{0.2}\text{As}_{0.14}\text{Sb}_{0.86}$ 層を400 Å、それぞれ分子線エピタキシー法により順次形成した。以後、試作例1と同様の工程を経て、第8B図に示すFETを製作した。

[試作例 3]

第8C図に示す本発明のFETを試作例によって説明する。この試作例では、第2の化合物半導体層4および

InAs層 3 の両方にドナー不純物がドーピングされている。
InAs層 3 中の伝導電子は、第 2 の化合物半導体層 4 から供給された電子と、InAs層 3 中のドナー不純物による電子とからなっている。

厚さ 350 μm の鏡面研磨した (100) 面の半絶縁性 GaAs 基板 1 上に、第 1 の化合物半導体層 2 として、InAs に格子整合したノンドープの $\text{Al}_{0.8}\text{Ga}_{0.2}\text{As}_{0.14}\text{Sb}_{0.86}$ 層を 8,000 $\text{\AA}$ 、ドナー不純物として Se が $5 \times 10^{17}/\text{cm}^3$ ドープされた InAs 層 3 を 700 $\text{\AA}$ 、ついで、第 2 の化合物半導体層 4 として Se が $5 \times 10^{17}/\text{cm}^3$ ドープされた $\text{Al}_{0.8}\text{Ga}_{0.2}\text{As}_{0.14}\text{Sb}_{0.16}$ 層を 400 $\text{\AA}$ を、それぞれ分子線エピタキシー法により順次形成した。以後、試作例 1 と同様の工程を経て、第 8C 図に示す FET を製作した。

[試作例 4]

第 3 図に示す本発明の FET において、InAs 層 3 の厚さが 100 $\text{\AA}$ で、InAs 層 3 中に量子準位が形成された量子効果型 FET の試作例を説明する。InAs 層 3 中にはドナー不純物として Si がドーピングされている。

厚さ 350 μm の鏡面研磨した (100) 面の半絶縁性 GaAs 基板を基板 1 として使用し、該基板上に第 1 の化合物半導体層 2 として、InAs に格子整合したノンドープの $\text{Al}_{0.8}\text{Ga}_{0.2}\text{As}_{0.14}\text{Sb}_{0.86}$ 層を 8,000 $\text{\AA}$ 、ドナー不純物として Si が $2 \times 10^{17}/\text{cm}^3$ ドープされた InAs 層 3 を 100 $\text{\AA}$ 、ついで、第 2 の化合物半導体層 4 としてノン

ドーブの $\text{Al}_{0.8}\text{Ga}_{0.2}\text{As}_{0.14}\text{Sb}_{0.16}$ 層を 400 Å、それぞれ分子線エピタキシー法により順次形成した。以下、試作例 1～3 と同様に、第 9 図に示すような量子効果型 FET を製作した。

[試作例 5]

第 18 図に示した構造の FET の試作例を説明する。本試作例では、第 2 の化合物半導体層 4 にはドナー不純物がドーブされ、ドナー不純物のドーブされていない InAs 層 3 への電子供給層としている。また、第 4 の半導体挿入層 4 2 として GaAsSb が形成されている。

厚さ 350 μm の鏡面研磨した (100) 面の半絶縁性 GaAs 基板 1 上に、第 1 の化合物半導体層 2 として、InAs に格子整合したノンドーブの $\text{Al}_{0.7}\text{Ga}_{0.3}\text{As}_{0.15}\text{Sb}_{0.85}$ 層を 8,000 Å 形成し、続いて不純物のドーブされていない InAs 層 3 を 200 Å、さらに第 2 の化合物半導体層 4 としてドナー不純物の Se がドーブされた 500 Å の $\text{Al}_{0.7}\text{Ga}_{0.3}\text{As}_{0.15}\text{Sb}_{0.85}$ 層を、それぞれ分子線エピタキシー法により順次形成した。最後に第 4 の半導体挿入層 4 2 として、不純物のドーブされていない $\text{GaAs}_{0.15}\text{Sb}_{0.85}$ 層を 200 Å 形成した。次に、フォトリソグラフィ法により、GaAs 基板上に形成した積層薄膜の不要部を除去し、活性領域 11 を製作するためのレジストパターンを形成した。次に $\text{H}_3\text{PO}_4 : \text{H}_2\text{O}_2$ 系エッチング液によりエッチングを行い、メサ構造による活性領域 11 を形成した。次にプラズマ CVD 法により

3,000 Å の SiN を形成した後、反応性イオンエッチング装置を使って、側壁 9 の部分以外をエッチングして除去した。次に、オーミック電極用のレジストパターンを形成した後、 $\text{NH}_4\text{OH} : \text{H}_2\text{O}_2$ 系エッチング液により、ソース電極 5 およびドレイン電極 7 下部の GaAsSb (第 4 半導体挿入層 42) および AlGaAsSb (第 2 の化合物半導体層 4) のみエッチングし、InAs 層 3 の表面を出した。さらに、真空蒸着法により、Ti を 1,500 Å、Au を 2,500 Å 連続蒸着した。次にリフトオフを行い、ソース電極 5、ドレイン電極 7 を形成した。さらに、ゲート電極 6 のレジストパターンを形成し、 $\text{NH}_4\text{OH} : \text{H}_2\text{O}_2$ 系エッチング液により、第 4 の半導体挿入層 42 である GaAsSb をエッチングした後、Al を全面に蒸着し、リフトオフ法によりゲート電極 6 を形成した。ついで、ダイシングを行い、個別の素子に切り離した。こうして第 18 図に示した FET を製作した。

[試作例 6]

第 19 図に示した本発明の別の試作例を説明する。本試作例は、第 2 の化合物半導体層 4 と InAs 層 3 の両方にドナー不純物がドーピングされ、InAs 層 3 中のドナー不純物から発生した伝導電子と、第 2 の化合物半導体層 4 から供給された伝導電子とが InAs 層 3 中に存在している。また、第 2 の半導体挿入層 22、第 3 の半導体挿入層 41、第 4 の半導体挿入層 42 のほか、コンタクト層 50、70、第 1 の保護膜 81、第 2 の保護膜 82、側壁 9 も

形成された例である。

まず、厚さ350 μm の鏡面研磨した(100)面の半絶縁性GaAs基板1上に、第1の化合物半導体層2として、InAsに格子整合したノンドープの $\text{Al}_{0.7}\text{Ga}_{0.3}\text{As}_{0.15}\text{Sb}_{0.85}$ 層を10,000 Å、第2の半導体挿入層22として、 $\text{Al}_{0.7}\text{Ga}_{0.3}\text{Sb}$ 層を20 Å、Siがドープされた、キャリア濃度 $5 \times 10^{17}/\text{cm}^3$ のInAs層3を500 Å、それぞれ分子線エピタキシー法により順次成長させた。ついで、第3の半導体挿入層41として、 $\text{Al}_{0.7}\text{Ga}_{0.3}\text{Sb}$ 層を20 Å成長させたのち、第2の化合物半導体層4として、Seが $1 \times 10^{18}/\text{cm}^3$ ドープされた $\text{Al}_{0.7}\text{Ga}_{0.3}\text{As}_{0.15}\text{Sb}_{0.85}$ 層を形成した。さらに、該層上に第4の半導体挿入層42として、 $\text{GaAs}_{0.15}\text{Sb}_{0.85}$ 層を100 Å、コンタクト層50、70となるInAs層を100 Å成長させた。次に、フォトリソグラフィ法により、GaAs基板1上に形成した積層薄膜の不要部を除去し、活性領域11を製作するためのレジストパターンを形成した。次に、 $\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2$ 系エッチング液によりエッチングを行い、メサ構造による活性領域11を形成した。次に、プラズマCVD法によりSiNを全面に2,000 Å形成し、第1の保護膜81、第2の保護膜82、および側壁9を同時に形成した。ついで、レジストパターンを形成した後、反応性イオンエッチング装置を使った異方性エッチングにより、側壁9の部分のSiNを残して、ソース電極5およびドレイン電極7の形成される部分のSiN

をエッチングした。さらに真空蒸着法により、AuGe (Au : Ge = 88 : 12) を 2,000 Å、Ni を 500 Å、Au を 3,500 Å 連続蒸着した。次にリフトオフを行い、ソース電極 5、ドレイン電極 7 のパターンを形成した。その後、アニールを行い、ソースおよびドレイン電極金属と電子走行層 3 とのオーミック接合を得た。次に、ゲート電極 6 のレジストパターンを形成し、続いて反応性イオンエッチング装置を使った異方性エッチングにより、側壁 9 の部分の SiN を残して、ゲート電極 6 が形成される部分の SiN のエッチングを行った。さらに、このパターンを使って、 $\text{NH}_4\text{OH} : \text{H}_2\text{O}_2$ 系エッチング液により、表面の InAs 層 50、70 と GaAsSb 層 42 をエッチングして、第 2 の化合物半導体層 4 である AlGaAsSb 層に、リセス構造 12 を形成した。次に、ウェハー全面に 3,000 Å の Al を蒸着し、リフトオフを行って、ゲート長 1.0 μm のゲート電極 6 を形成した。ついで、ダイシングを行い、個別の素子に切り離した。こうして第 19 図に示した FET を製作した。

[試作例 7]

第 20 図に示した別の試作例を説明する。本試作例では、InAs 層 3 の In の一部を Ga に置き換えて、電子走行層とし、また、その膜厚を 70 Å としているため、伝導電子が量子準位を形成している。また、素子間分離は、イオン注入によって形成した領域 10 により行っている。

厚さ400 μm の鏡面研磨した(100)面のp型Si基板1上に、分子線エピタキシー法により、第1の半導体挿入層21として、厚さ3,000 ÅのノンドープのGaAs層を形成した後、第1の化合物半導体層2として、InAsに格子整合したノンドープの $\text{Al}_{0.7}\text{Ga}_{0.3}\text{As}_{0.15}\text{Sb}_{0.85}$ 層を5,000 Å、InAs中のInの9%をGaに置き換えたInAs層3を70 Å、ついで、ノンドープの $\text{Al}_{0.7}\text{Ga}_{0.3}\text{As}_{0.15}\text{Sb}_{0.85}$ 層を第2の化合物半導体層4として300 Å、最後に第4の半導体挿入層42として、 $\text{GaAs}_{0.15}\text{Sb}_{0.85}$ 層を100 Å、それぞれ形成した。さらに第2の保護膜82として、プラズマCVD法により1,000 ÅのSiN層を全面に成長させ、基板表面を覆った。次に、FETの活性領域11形成のためのレジストパターンを形成し、その後プロトンを全面にイオン注入し、不要部分10を不導体化(高抵抗化)した。

ソース電極5およびドレイン電極7は、以下のように形成した。レジストパターンを形成した後、反応性イオンエッチングによりSiNを部分的に除去した上で、真空蒸着法により、AuGe(Au:Ge=88:12)2,000 Å、Niを500 Å、Auを3,500 Å連続蒸着した。次にリフトオフを行い、ソース電極5、ドレイン電極7のパターンを形成した。その後、アニールを行い、電極金属と電子走行層とのオーミック接合を得た。次に、ゲート電極6のレジストパターンを形成した後、反応性イオンエッチングによりSiNを部分的に除去し

た上で、ウェハー全面にTiを500 Å、Ptを500 Å、Auを1,000 Å連続蒸着し、リフトオフを行って、ゲート電極6を形成した。最後にダイシングを行い、個別の素子に切り離した。こうして、第20図に示した本発明の素子を製作した。また、この素子は、通常の組立工程によりリード線がつけられ、パッケージされた。

〔試作例8〕

第21図に示した本発明のFETを試作例によって説明する。厚さ350 μmの鏡面研磨した(100)面の半絶縁性GaAs基板の上に、分子線エピタキシー法により、厚さ3,000 ÅのノンドープのGaAs層を形成し、本発明の基板1とした。ついで、InAsに格子整合したノンドープの $\text{AlAs}_{0.15}\text{Sb}_{0.85}$ 層2を1,500 Å、ノンドープのInAs層3を700 Å、ついで、ノンドープの $\text{AlAs}_{0.15}\text{Sb}_{0.85}$ 層4を形成した。次に、フォトリソグラフィ法により、GaAs基板1上に形成した積層薄膜の不要部を除去し、FETの活性領域11を製作するためのレジストパターンを形成した。次に、 $\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2$ 系エッチング液によりメサエッチングを行い、不要部を除去した。ついで、レジストパターンを形成した後、真空蒸着法により、AuGe (Au:Ge=88:12)を2,000 Å、Niを500 Å、Auを3,500 Å連続蒸着した。次にリフトオフを行い、ソース電極5、ドレイン電極7のパターンを形成した。その後、窒素雰囲気中の電気炉中で450℃で5分間アニールを行い、ソース電極5およびドレイン

電極 7 と InAs 層 3 とのオーミック接合を得た。さらに、ゲート電極 6 のレジストパターンを形成した後、ウエハー全面に 3,000 Å の Al を蒸着し、リフトオフを行い、ゲート長 1.0 μm のゲート電極 6 を形成した。最後に、シランガスとアンモニアガスによるプラズマ CVD 法によって、SiN 保護膜を全面に形成した。そして、電極部に窓開けを行うため、所望のレジストパターンを形成した後、反応性イオンエッチングを使って、ボンディングのために電極部に窓あけを行った。ついで、ダイシングを行い、個別の素子に切り離した。こうして、第 21 図に示した本発明の素子を製作した。また、この素子は、通常の組立工程によりリード線がつけられ、パッケージされた。

本発明の FET では、InAs の高電子移動度性により、遮断周波数も大きく、従来構造の GaAs の電界効果トランジスターに比べ、ゲート長が同じであれば高速動作性にすぐれていることが分かった。

[試作例 9]

第 21 図に示した本発明の FET を別の試作例により説明する。厚さ 350 μm の鏡面研磨した (100) の半絶縁性 GaAs 基板上に、分子線エピタキシー法により、厚さ 3,000 Å のノンドープの GaAs 層を形成し、基板 1 とした。ついで InAs に格子整合したノンドープの $\text{AlAs}_{0.15}\text{Sb}_{0.85}$ 層 2 を 1,500 Å、InAs 層 3 を 700 Å、ついで、Si が $1 \times 10^{18}/\text{cm}^3$ ドープされた $\text{AlAs}_{0.15}\text{Sb}_{0.85}$ 層 4 を

形成した。以後、試作例 8 と同様にして、第 21 図に示した本発明の素子を製作した。

[試作例 10]

第 21 図に示した本発明の FET を別の試作例により説明する。厚さ $350\ \mu\text{m}$ の鏡面研磨した (100) の半絶縁性 GaAs 基板上に、分子線エピタキシー法により、厚さ $3,000\ \text{\AA}$ のノンドープの GaAs 層を形成し、基板 1 とした。ついで InAs に格子整合したノンドープの $\text{AlAs}_{0.15}\text{Sb}_{0.85}$ 層 2 を $500\ \text{\AA}$ 、Si がドーピングされた、キャリア濃度 $1 \times 10^{17}/\text{cm}^3$ 、電子移動度 $14,000\text{cm}^2/\text{v}\cdot\text{sec}$ の InAs 層 3 を $700\ \text{\AA}$ 、ついで、Si が $1 \times 10^{18}/\text{cm}^3$ ドーピングされた $\text{AlAs}_{0.15}\text{Sb}_{0.85}$ 層 4 を形成した。以後、試作例 8 と同様にして、第 21 図に示した本発明の素子を製作した。

[試作例 11]

第 21 図に示した本発明の FET を別の試作例により説明する。厚さ $350\ \mu\text{m}$ の鏡面研磨した (100) の半絶縁性 GaAs 基板上に、分子線エピタキシー法により、厚さ $3,000\ \text{\AA}$ のノンドープの GaAs 層を形成し、基板 1 とした。ついで InAs に格子整合したノンドープの $\text{AlAs}_{0.15}\text{Sb}_{0.85}$ 層 2 を $1,500\ \text{\AA}$ 、InAs 層 3 を $100\ \text{\AA}$ 、ついで、ノンドープの $\text{AlAs}_{0.15}\text{Sb}_{0.85}$ 層 4 を形成した。以後、試作例 8 と同様にして、第 21 図に示した本発明の素子を製作した。また、この素子は、通常の組立工程によりリード線がつけられ、パッケージされた。

[試作例12]

第22図に示した本発明のFETを試作例により説明する。厚さ350 μm の鏡面研磨した(100)面の半絶縁性GaAs基板の上に、分子線エピタキシー法により、厚さ3,000 $\text{\AA}$ のノンドープのGaAs層を形成し、基板1とした。ついで $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層21を500 $\text{\AA}$ 、InAsに格子整合したノンドープの $\text{Ga}_{0.7}\text{Al}_{0.3}\text{As}_{0.15}\text{Sb}_{0.85}$ 層2を500 $\text{\AA}$ 形成した後、100 $\text{\AA}$ のノンドープのInAs層31、Siがドープされた500 $\text{\AA}$ のInAs層32、および100 $\text{\AA}$ のノンドープのInAs層33からなるInAs層3を形成し、さらにノンドープの $\text{AlAs}_{0.15}\text{Sb}_{0.85}$ 層4を形成した。最後に、 $5 \times 10^{18}/\text{cm}^3$ のSiが不純物としてドープされたコンタクト層50、70となるInAs層を200 $\text{\AA}$ 形成した。次に、フォトリソグラフィ法により、GaAs基板1上に形成した積層薄膜の不要部を除去し、FETの活性領域11を製作するためのレジストパターンを形成した。次に、 $\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2$ 系エッチング液によりエッチングを行い、不要部を除去した。ついで、レジストパターンを形成した後、真空蒸着法により、AuGe (Au:Ge=88:12)を2,000 $\text{\AA}$ 、Niを500 $\text{\AA}$ 、Auを3,500 $\text{\AA}$ 連続蒸着した。次にリフトオフを行い、ソース電極5、ドレイン電極7のパターンを形成した。その後、窒素雰囲気中の電気炉中で450 $^{\circ}\text{C}$ で5分間アニールを行い、電極金属と電子走行層とのオーミック接合を得た。ついで、レジスト剥離を経た後、ソース電極、

ドレイン電極下部以外のInAs層を除去するため、両電極をマスクとして、 $\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2$ 系エッチング液によりエッチングを行った。さらに、ゲート電極6のレジストパターンを形成した後、ウェハー全面に3,000 ÅのAlを蒸着し、リフトオフを行い、ゲート長1.0 μmのゲート電極6を形成した。最後に、シランガスとアンモニアガスによるプラズマCVD法によって、SiNからなるパッシベーション膜を全面に形成した。そして、電極部に窓開けを行うため、所望のレジストパターンを形成した後、反応性イオンエッチングを使って、ボンディングのために電極部の窓あけを行った。ついで、ダイシングを行い、個別の素子に切り離した。こうして、第22図に示した本発明の素子を製作した。また、この素子は、通常の組立工程によりリード線がつけられ、パッケージされた。

以上、試作例によって得られた素子特性は極めて望ましいものであった。その一例を第23図に示す。

第23図は、試作例5のFETのゲート電圧を変化させたときの、ソースドレイン電圧とドレイン電流の関係を、室温で測定した結果を示すグラフである。第2図に示す従来のInAs-FETの特性と異なり、ゲート電極6に印加した電圧によって、ドレイン電流が正確に制御されており、リーク電流の少ない、良好なFET特性を持っていることがわかる。また、本発明の他の試作例においても同様に良好な結果が得られている。

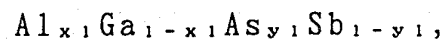
以上、実施例によって本発明を詳細に説明した。これによって、当業者は、本発明の精神から逸脱しない範囲で変形、改良を加え得ることは明らかである。したがって、請求の範囲においては、これらの変形、改良もすべて、本発明の範囲に属させることを意図している。

産業上の利用可能性

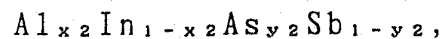
本発明は、衛星放送の送受信増幅素子や高速データ転送用素子の高速化、コスト低下および多機能化に貢献する。また、微細加工技術を用いた高周波素子の製作が容易になり、さらに高速な素子の製作も実現される。

請求の範囲

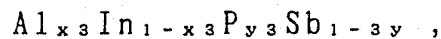
1. InAsと異なる格子定数を有する基板と、
該基板表面上に配置され、InAsと実質的に格子整合し、かつ



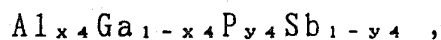
$$\{0.21 \leq x1 \leq 1.0, 0.02 \leq y1 \leq 0.22\},$$



$$\{0.34 \leq x2 \leq 1.0, 0.09 \leq y2 \leq 0.79\},$$



$$\{0.07 \leq x3 \leq 1.0, 0.06 \leq y3 \leq 0.72\}, \text{および}$$



$$\{0.13 \leq x4 \leq 1.0, 0.01 \leq y4 \leq 0.18\},$$

により定められる組成を有する薄膜の中から選ばれた少なくとも一層の膜で形成された第1の化合物半導体層と、

該第1の化合物半導体層の上に配置されたInAs層と、

該InAs層の上に配置され、該InAs層のInAsに実質的に格子整合し、該InAsに比して大きなバンドギャップを有する第2の化合物半導体層と、

前記InAs層にオーミック接触する少なくとも一対のオーミック電極と、

該一対のオーミック電極間において前記第2の化合物半導体の上に配置され、前記InAs層内の電流を制御

するための少なくとも一つのゲート電極と
を有することを特徴とする電界効果型トランジスタ。

2. 前記基板の格子定数が、前記 InAs 層の InAs の格子定数と 3.5 % 以上異なることを特徴とする請求の範囲第 1 項に記載の電界効果型トランジスタ。

3. 前記第 1 の化合物半導体層が、前記 InAs 層と実質的に格子整合し、かつ

$$\text{Al}_{x_1}\text{Ga}_{1-x_1}\text{As}_{y_1}\text{Sb}_{1-y_1},$$

$$\{0.21 \leq x_1 \leq 1.0, 0.09x_1 \leq y_1 \leq 0.07x_1 + 0.15\},$$

$$\text{Al}_{x_2}\text{In}_{1-x_2}\text{As}_{y_2}\text{Sb}_{1-y_2},$$

$$\{0.34 \leq x_2 \leq 1.0,$$

$$-0.82x_2 + 0.91 \leq y_2 \leq -0.87x_2 + 1.09\},$$

$$\text{Al}_{x_3}\text{In}_{1-x_3}\text{P}_{y_3}\text{Sb}_{1-y_3},$$

$$\{0.07 \leq x_3 \leq 1.0,$$

$$-0.57x_3 + 0.63 \leq y_3 \leq -0.58x_3 + 0.76\}, \text{ および}$$

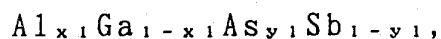
$$\text{Al}_{x_4}\text{Ga}_{1-x_4}\text{P}_{y_4}\text{Sb}_{1-y_4},$$

$$\{0.13 \leq x_4 \leq 1.0, 0.06x_4 \leq y_4 \leq 0.06x_4 + 0.12\},$$

により定められる組成を有する薄膜の中から選ばれた少なくとも一層の膜で形成されたことを特徴とする請求の範囲第 1 項に記載の電界効果型トランジスタ。

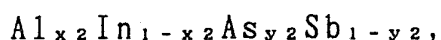
4. 前記第 1 の化合物半導体層が、前記 InAs 層と実質

的に格子整合し、かつ



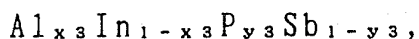
$$\{0.21 \leq x1 \leq 1.0 ,$$

$$0.08x1+0.03 \leq y1 \leq 0.08x1+0.12 \} ,$$



$$\{0.34 \leq x2 \leq 1.0 ,$$

$$-0.83x2+0.94 \leq y2 \leq -0.86x2+1.06 \} ,$$



$$\{0.07 \leq x3 \leq 1.0 ,$$

$$-0.57x3+0.65 \leq y3 \leq -0.58x3+0.74 \} , \text{ および}$$

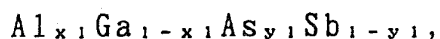


$$\{0.13 \leq x4 \leq 1.0 ,$$

$$0.06x4+0.02 \leq y4 \leq 0.06x4+0.10 \} ,$$

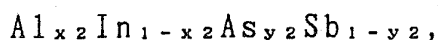
により定められる組成を有する薄膜の中から選ばれた少なくとも一層の膜で形成されたことを特徴とする請求の範囲第1項に記載の電界効果型トランジスタ。

5. 前記第1の化合物半導体層が、前記InAs層と実質的に格子整合し、かつ



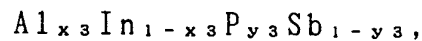
$$\{0.21 \leq x1 \leq 1.0 ,$$

$$0.08x1+0.05 \leq y1 \leq 0.08x1+0.10 \} ,$$



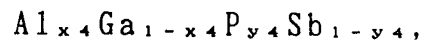
$$\{0.34 \leq x2 \leq 1.0 ,$$

$$-0.84x2+0.97 \leq y2 \leq -0.85x2+1.03 \} ,$$



$$\{0.07 \leq x3 \leq 1.0, \quad$$

$$-0.57x3+0.67 \leq y3 \leq -0.58x3+0.72\} \text{、および}$$

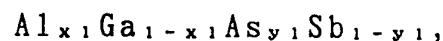


$$\{0.13 \leq x4 \leq 1.0, \quad$$

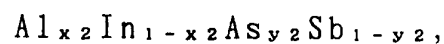
$$0.06x4+0.04 \leq y4 \leq 0.06x4+0.08\} \text{、}$$

により定められる組成を有する薄膜の中から選ばれた少なくとも一層の膜で形成されたことを特徴とする請求の範囲第1項に記載の電界効果型トランジスタ。

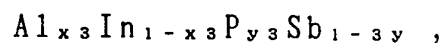
6. 前記第2の化合物半導体層が、前記InAs層と実質的に格子整合し、かつ



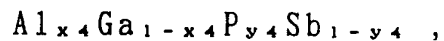
$$\{0.21 \leq x1 \leq 1.0, \quad 0.02 \leq y1 \leq 0.22\} \text{、}$$



$$\{0.34 \leq x2 \leq 1.0, \quad 0.09 \leq y2 \leq 0.79\} \text{、}$$



$$\{0.07 \leq x3 \leq 1.0, \quad 0.06 \leq y3 \leq 0.72\} \text{、および}$$

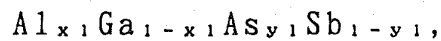


$$\{0.13 \leq x4 \leq 1.0, \quad 0.01 \leq y4 \leq 0.18\} \text{、}$$

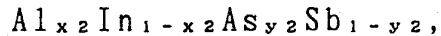
で定められる組成を有する薄膜の中から選ばれた少なくとも一層の薄膜で形成されたことを特徴とする請求の範囲第1項に記載の電界効果型トランジスタ。

7. 前記第2の化合物半導体層が、前記InAs層と実質

的に格子整合し、かつ

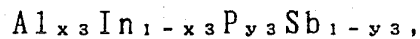


$$\{0.21 \leq x_1 \leq 1.0, 0.09x_1 \leq y_1 \leq 0.07x_1 + 0.15\},$$



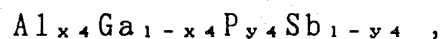
$$\{0.34 \leq x_2 \leq 1.0,$$

$$-0.82x_2 + 0.91 \leq y_2 \leq -0.87x_2 + 1.09\},$$



$$\{0.07 \leq x_3 \leq 1.0,$$

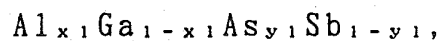
$$-0.57x_3 + 0.63 \leq y_3 \leq -0.58x_3 + 0.76\}, \text{ および}$$



$$\{0.13 \leq x_4 \leq 1.0, 0.06x_4 \leq y_4 \leq 0.06x_4 + 0.12\},$$

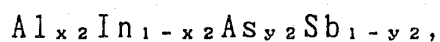
で定められる組成を有する薄膜の中から選ばれた少なくとも一層の薄膜で形成されたことを特徴とする請求の範囲第1項に記載の電界効果型トランジスタ。

8. 前記第2の化合物半導体層が、前記InAs層と実質的に格子整合し、かつ



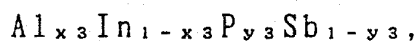
$$\{0.21 \leq x_1 \leq 1.0,$$

$$0.08x_1 + 0.03 \leq y_1 \leq 0.08x_1 + 0.12\},$$



$$\{0.34 \leq x_2 \leq 1.0,$$

$$-0.83x_2 + 0.94 \leq y_2 \leq -0.86x_2 + 1.06\},$$



$$\{0.07 \leq x_3 \leq 1.0,$$

$$\begin{aligned}
 & -0.57x_3+0.65 \leq y_3 \leq -0.58x_3+0.74 \} \text{、および} \\
 & Al_{x_4}Ga_{1-x_4}P_{y_4}Sb_{1-y_4}, \\
 & \{ 0.13 \leq x_4 \leq 1.0 \text{ ,} \\
 & 0.06x_4+0.02 \leq y_4 \leq 0.06x_4+0.10 \} \text{、}
 \end{aligned}$$

で定められる組成を有する薄膜の中から選ばれた少なくとも一層の薄膜で形成されたことを特徴とする請求の範囲第1項に記載の電界効果型トランジスタ。

9. 前記第2の化合物半導体層が、前記InAs層と実質的に格子整合し、かつ

$$\begin{aligned}
 & Al_{x_1}Ga_{1-x_1}As_{y_1}Sb_{1-y_1}, \\
 & \{ 0.21 \leq x_1 \leq 1.0 \text{ ,} \\
 & 0.08x_1+0.05 \leq y_1 \leq 0.08x_1+0.10 \} \text{、} \\
 & Al_{x_2}In_{1-x_2}As_{y_2}Sb_{1-y_2}, \\
 & \{ 0.34 \leq x_2 \leq 1.0 \text{ ,} \\
 & -0.84x_2+0.97 \leq y_2 \leq -0.85x_2+1.03 \} \text{、} \\
 & Al_{x_3}In_{1-x_3}P_{y_3}Sb_{1-y_3}, \\
 & \{ 0.07 \leq x_3 \leq 1.0 \text{ ,} \\
 & -0.57x_3+0.67 \leq y_3 \leq -0.58x_3+0.72 \} \text{、および} \\
 & Al_{x_4}Ga_{1-x_4}P_{y_4}Sb_{1-y_4}, \\
 & \{ 0.13 \leq x_4 \leq 1.0 \text{ ,} \\
 & 0.06x_4+0.04 \leq y_4 \leq 0.06x_4+0.08 \} \text{、}
 \end{aligned}$$

で定められる組成を有する薄膜の中から選ばれた少なくとも一層の薄膜で形成されたことを特徴とする請求の範囲第1項に記載の電界効果型トランジスタ。

10. 前記 InAs 層の少なくとも一部に不純物がドーピングされていることを特徴とする請求の範囲第 1 項に記載の電界効果型トランジスタ。

11. 前記第 2 の化合物半導体層の少なくとも一部に不純物がドーピングされていることを特徴とする請求の範囲第 1 項に記載の電界効果型トランジスタ。

12. 前記 InAs 層の少なくとも一部と、前記第 2 の化合物半導体層の少なくとも一部の双方に、不純物がドーピングされていることを特徴とする請求の範囲第 1 項に記載の電界効果型トランジスタ。

13. 前記一对のオーミック電極は、前記 InAs 層上に積層された前記第 2 の化合物半導体層を介して、前記 InAs 層にオーミック接触することを特徴とする請求の範囲第 1 項～第 12 項のいずれかに記載の電界効果型トランジスタ。

14. 前記オーミック電極と前記第 2 の化合物半導体層との間に、半導体層からなるコンタクト層を有することを特徴とする請求の範囲第 1 項～第 12 項のいずれかに記載の電界効果型トランジスタ。

15. 前記ゲート電極下部を除く前記第 2 の化合物半導

体層にドナー不純物が濃度 $3 \times 10^{17}/\text{cm}^3$ から $10^{19}/\text{cm}^3$ の範囲で注入されていることを特徴とする請求の範囲第1項～第12項のいずれかに記載の電界効果型トランジスタ。

16. 前記ゲート電極が、導電性の半導体と金属とからなる積層構造を有することを特徴とする請求の範囲第1項～第12項のいずれかに記載の電界効果型トランジスタ。

17. 前記ゲート電極と前記第2の化合物半導体層が接する箇所において、該第2の化合物半導体層は、リセス構造を有することを特徴とする請求の範囲第1項～第12項のいずれかに記載の電界効果型トランジスタ。

18. 前記基板と前記第1の化合物半導体層との間に、化合物半導体からなる第1の半導体挿入層を有することを特徴とする請求の範囲第1項～第12項のいずれかに記載の電界効果型トランジスタ。

19. 前記基板と前記第1の化合物半導体層との間に、格子定数が前記InAs層のInAsと3.5%以上異なる半導体からなる第1の半導体挿入層を有することを特徴とする請求の範囲第1項～第12項のいずれかに記載の電

界効果型トランジスタ。

20. 前記第1の化合物半導体層と前記InAs層との間に、第1の化合物半導体層上での臨界膜厚より薄い膜厚の第2の半導体挿入層を有することを特徴とする請求の範囲第1項～第12項のいずれかに記載の電界効果型トランジスタ。

21. 前記第2の化合物半導体層と前記InAs層との間に、該InAs層のInAs上での臨界膜厚より薄い膜厚の第3の半導体挿入層を有することを特徴とする請求の範囲第1項～第12項のいずれかに記載の電界効果型トランジスタ。

22. 前記ゲート電極と前記第2の化合物半導体層との間に、電子親和力が前記ゲート電極の仕事関数に比して小さく、かつ、電子親和力とバンドギャップの和が前記ゲート電極の仕事関数に比して大きい、第4の半導体挿入層を有することを特徴とする請求の範囲第1項～第12項のいずれかに記載の電界効果型トランジスタ。

23. 前記ゲート電極と前記第2の化合物半導体層とがショットキー接合を形成することを特徴とする請求の範囲第1項～第12項のいずれかに記載の電界効果型ト

ランジスタ。

24. 前記ゲート電極と前記第2の化合物半導体層との間に、絶縁体層を有することを特徴とする請求の範囲第1項～第12項のいずれかに記載の電界効果型トランジスタ。

25. 前記電界効果型トランジスタの活性領域の外周部の前記InAs層の断面の少なくとも一部において、前記ゲート電極と前記InAs層とが絶縁性の膜からなる側壁を介して接し、かつ、前記ゲート電極と前記InAs層とが電氣的に直流的に絶縁されている構造を有することを特徴とする請求の範囲第1項～第12項のいずれかに記載の電界効果型トランジスタ。

26. 前記第1の化合物半導体層は、その上面に接して、酸化防止のための第1の保護膜を有することを特徴とする請求の範囲第1項～第12項のいずれかに記載の電界効果型トランジスタ。

27. 前記第2の化合物半導体層は、その上面に接して、酸化防止のための第2の保護膜を有することを特徴とする請求の範囲第1項～第12項のいずれかに記載の電界効果型トランジスタ。

28. 前記 InAs 層は、400 Å 以下の膜厚を有することを特徴とする請求の範囲第 1 項～第 12 項のいずれかに記載の電界効果型トランジスタ。

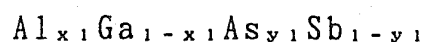
29. 前記 InAs 層は、200 Å 以下の膜厚を有することを特徴とする請求の範囲第 1 項～第 12 項のいずれかに記載の電界効果型トランジスタ。

30. 前記第 1 の化合物半導体層の少なくともその一部に不純物がドーピングされていることを特徴とする請求の範囲第 1 項～第 12 項のいずれかに記載の電界効果型トランジスタ。

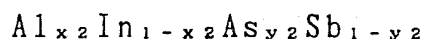
31. 前記第 2 の化合物半導体層は、実質的に半絶縁体であることを特徴とする請求の範囲第 1 項～第 12 項のいずれかに記載の電界効果型トランジスタ。

32. 前記 InAs 層に原子数比で In の 9 % 以下の Ga をドーピングしたことを特徴とする請求の範囲第 1 項～第 12 項のいずれかに記載の電界効果型トランジスタ。

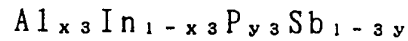
33. InAs と異なる格子定数を有する基板上に、



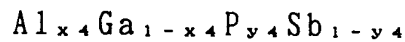
$$(0.21 \leq x1 \leq 1.0, 0.02 \leq y1 \leq 0.22),$$



$$(0.34 \leq x_2 \leq 1.0, 0.09 \leq y_2 \leq 0.79),$$



$$(0.07 \leq x_3 \leq 1.0, 0.06 \leq y_3 \leq 0.72), \text{ および }$$



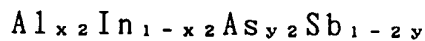
$$(0.13 \leq x_4 \leq 1.0, 0.01 \leq y_4 \leq 0.18)$$

により定められる組成を有する薄膜の中から選ばれた少なくとも一層の膜からなる第1の化合物半導体層を形成する工程と、

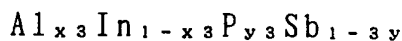
該第1の化合物半導体層の上にInAs層を形成する工程と、



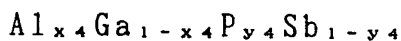
$$(0.21 \leq X_1 \leq 1.0, 0.02 \leq Y_1 \leq 0.22),$$



$$(0.34 \leq x_2 \leq 1.0, 0.09 \leq y_2 \leq 0.79),$$



$$(0.07 \leq x_3 \leq 1.0, 0.06 \leq y_3 \leq 0.72), \text{ および }$$



$$(0.13 \leq x_4 \leq 1.0, 0.01 \leq y_4 \leq 0.18)$$

により定められる組成を有する薄膜の中から選ばれた少なくとも一層の膜からなる第2の化合物半導体層を前記InAs層上に形成する工程と、

前記第1の化合物半導体層、前記InAs層および前記第2の化合物半導体層の不要部分を除去し、活性領域を形成する工程と、

前記InAs層にオーミック接触する1対のオーミック

電極を形成する工程と、

該一対のオーミック電極間において前記第2の化合物半導体の上に配置され、前記InAs層内の電流を制御するためのゲート電極を形成する工程と、

を具備することを特徴とする電界効果型トランジスタの製造方法。

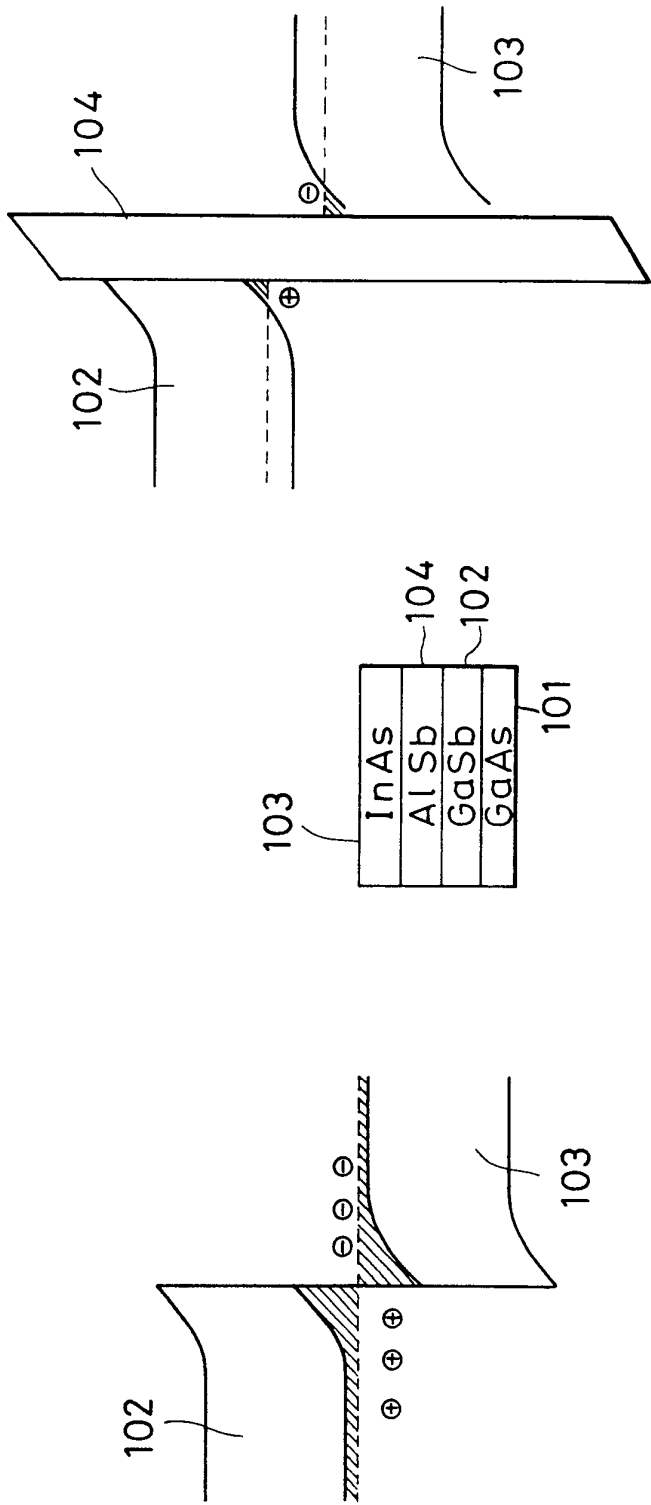


FIG. 1C

FIG. 1B

FIG. 1A

2/18

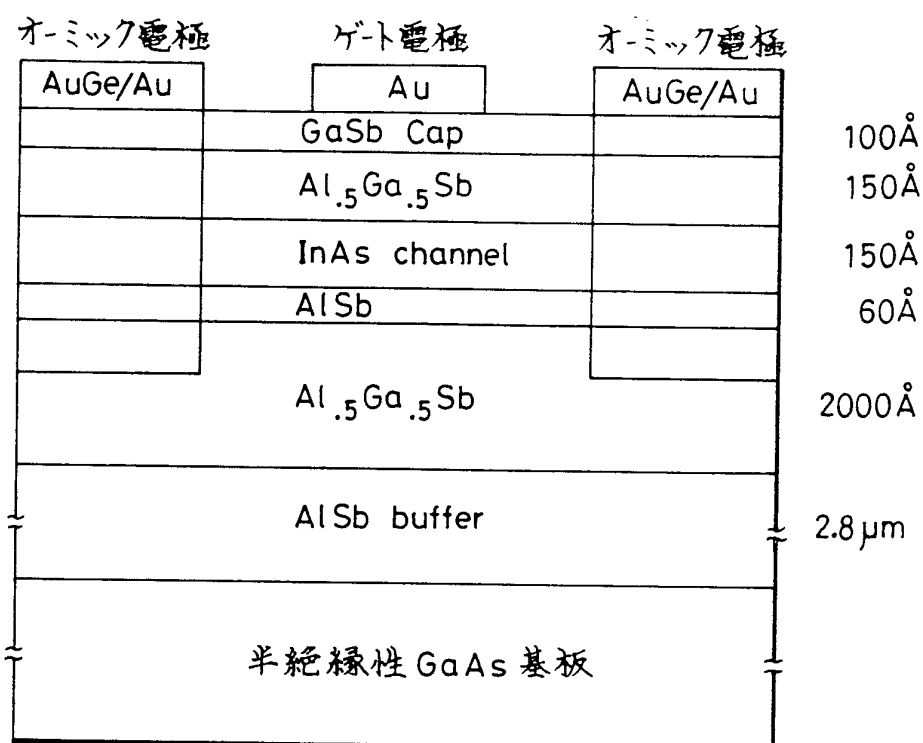


FIG.2A

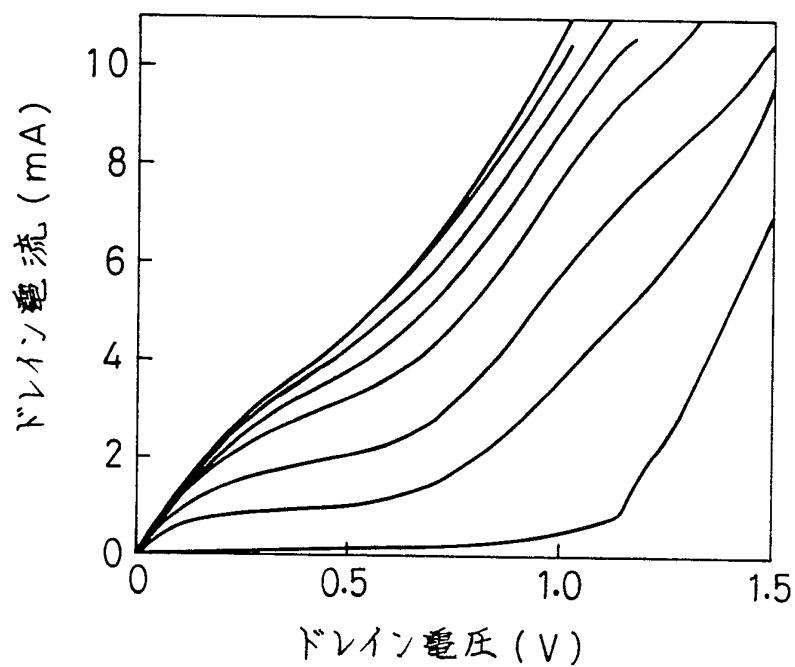


FIG.2B

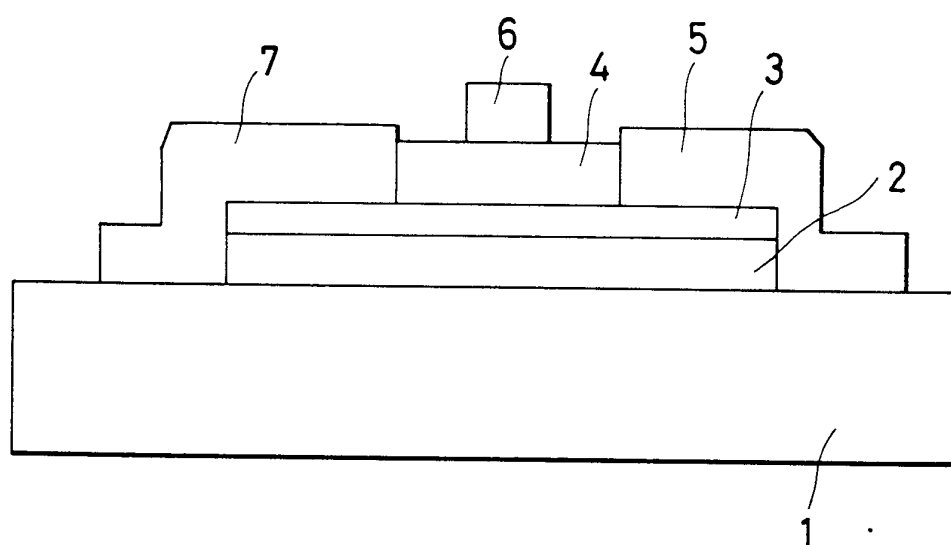


FIG. 3

4/18

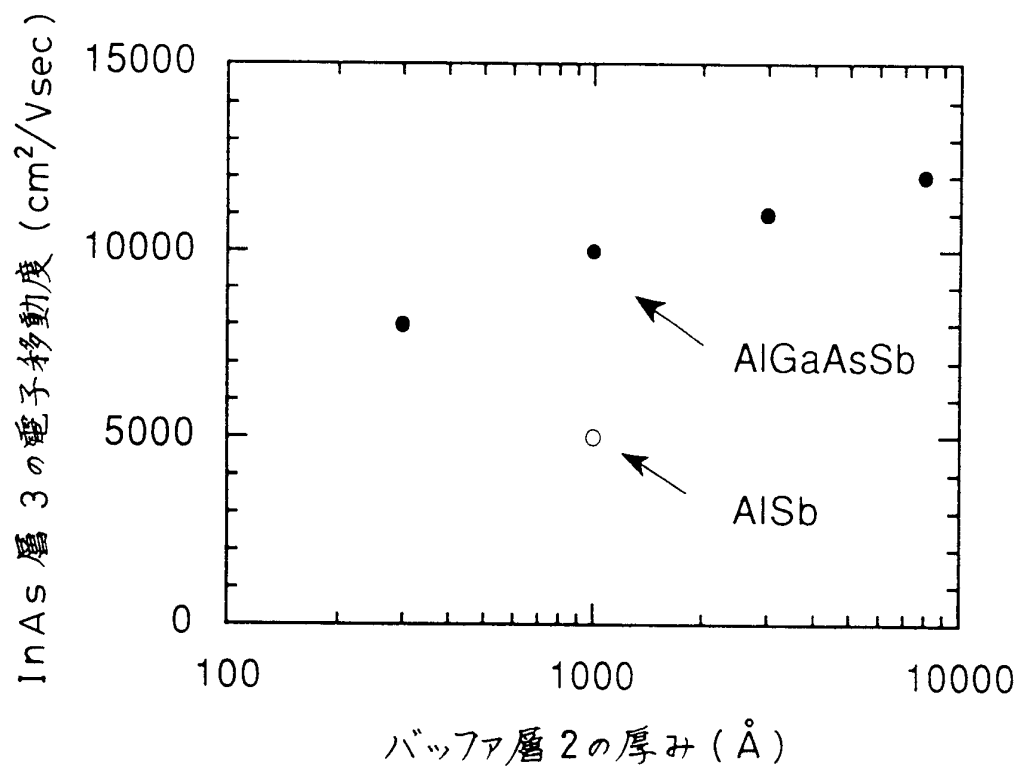


FIG.4

5/18

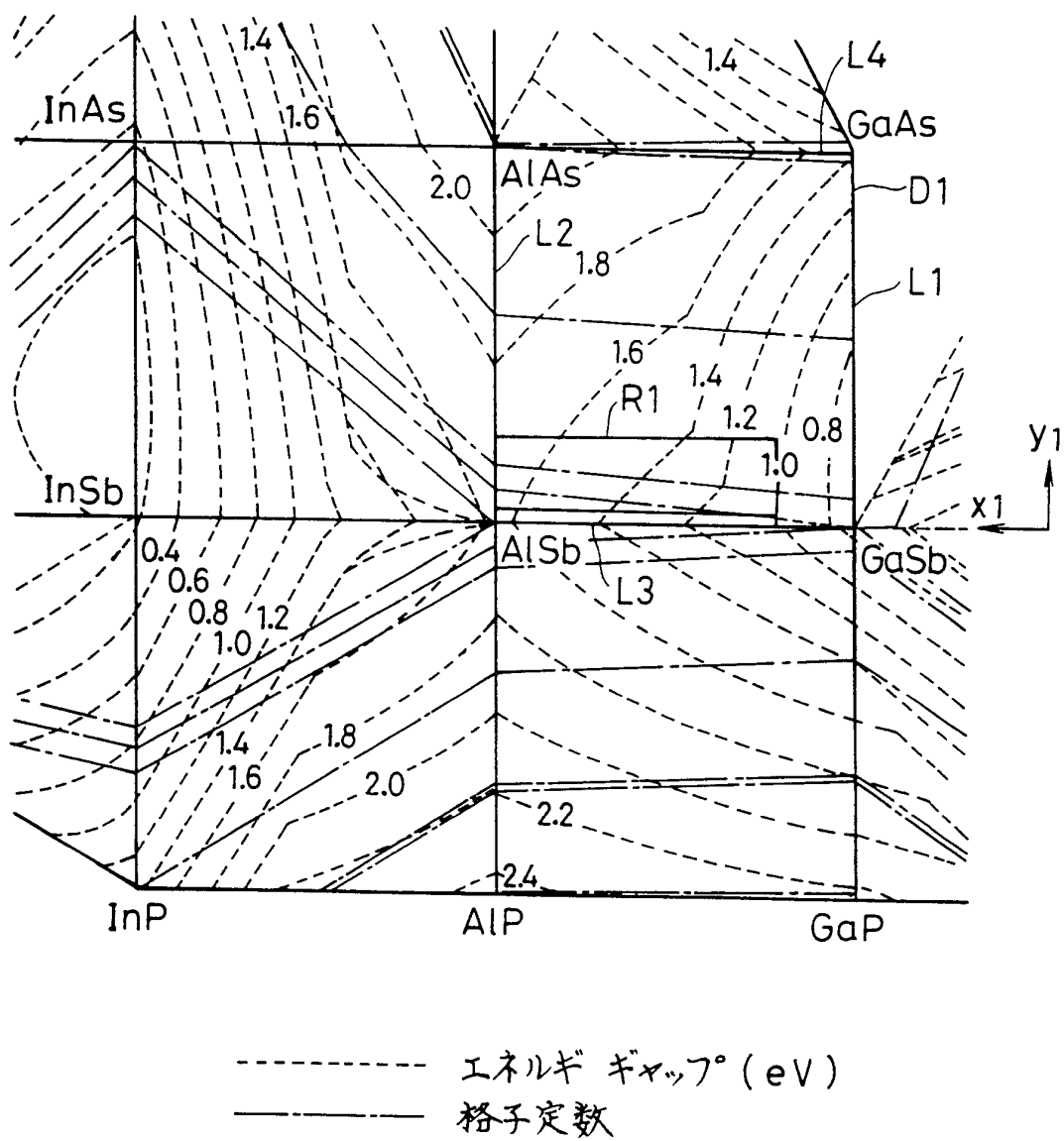


FIG.5

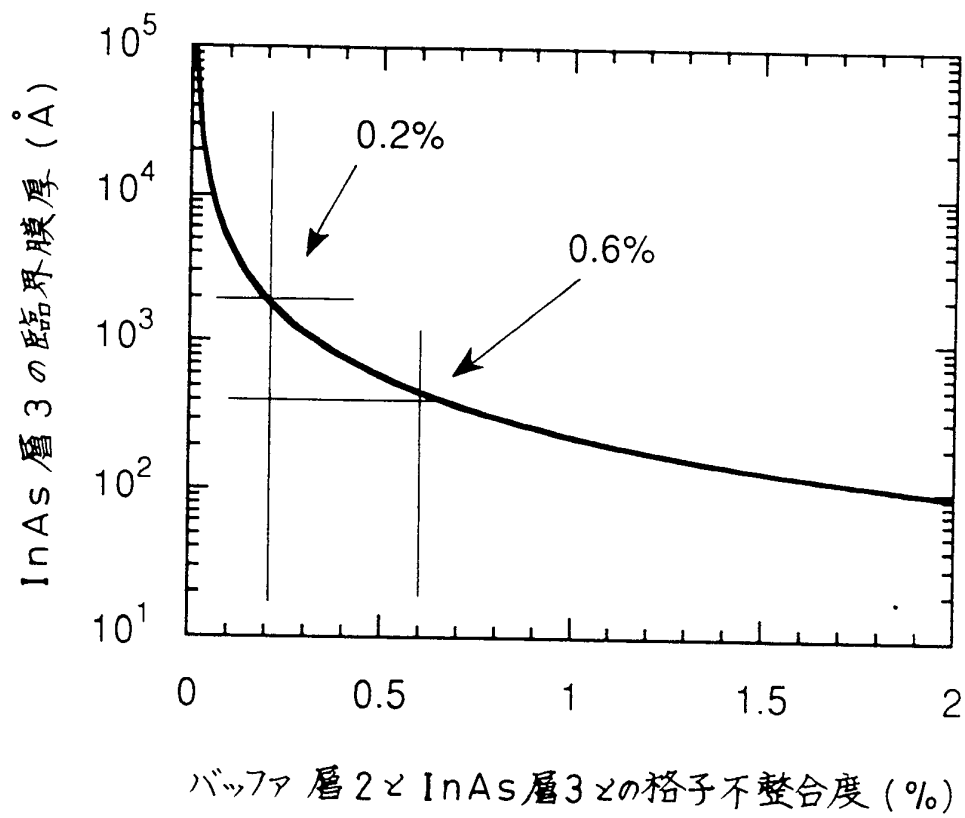


FIG.6

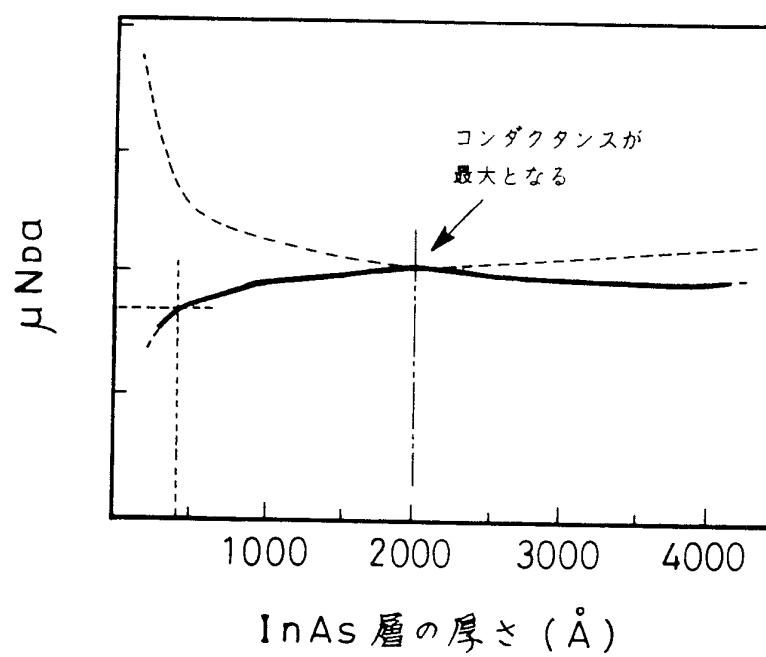


FIG.7

8/18

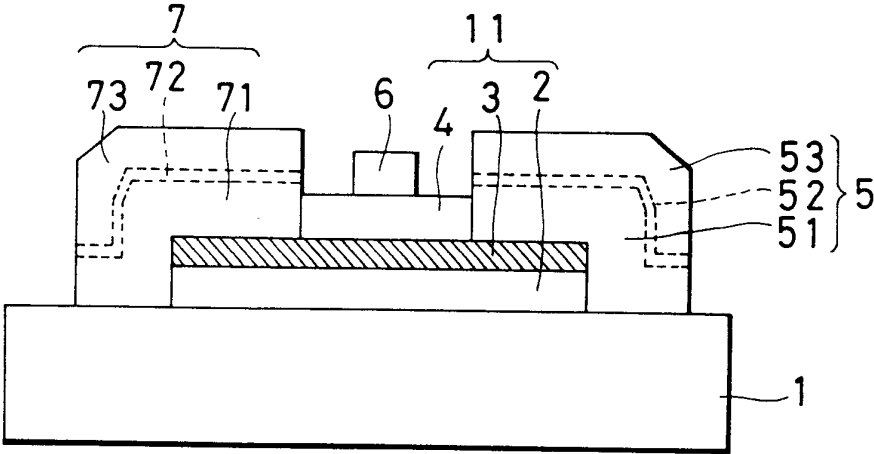


FIG. 8A

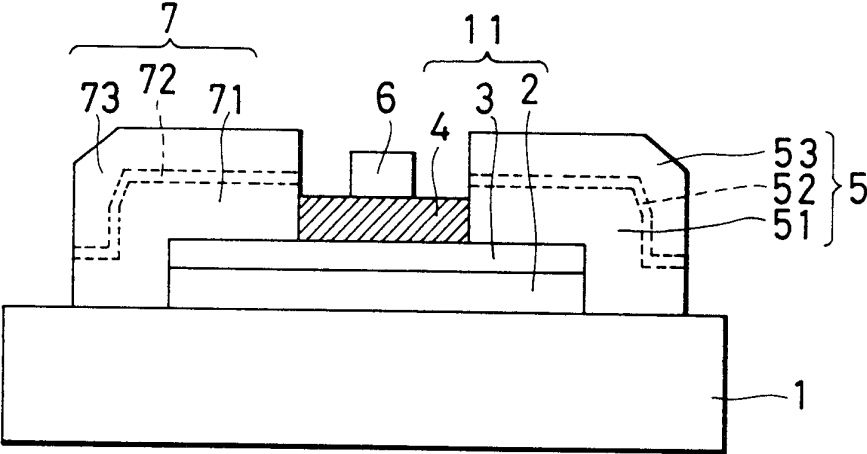


FIG. 8B

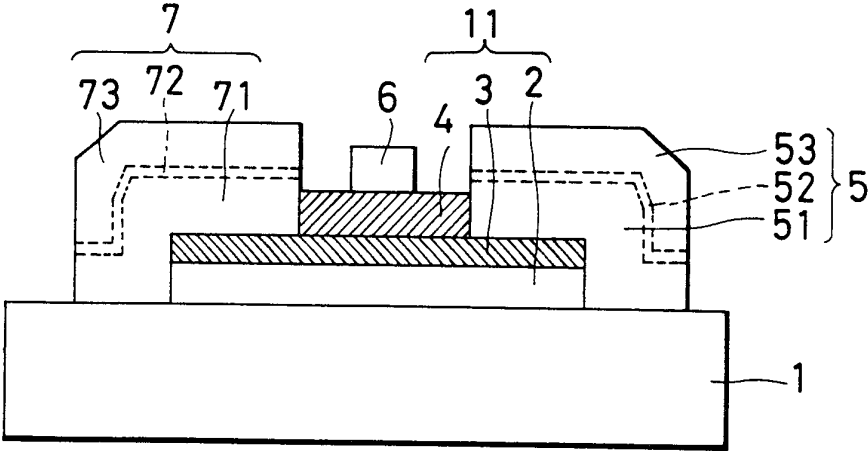


FIG. 8C

9/18

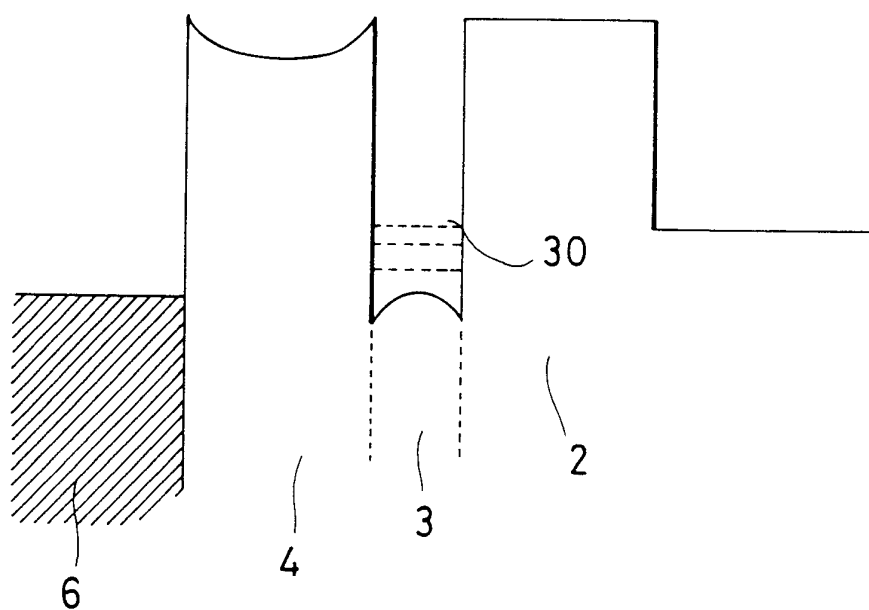


FIG. 9

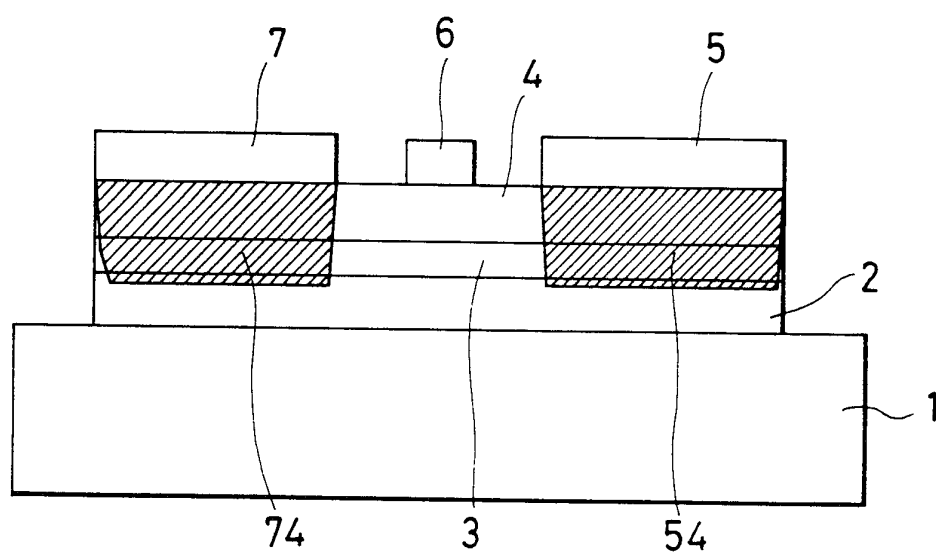


FIG. 10

10/18

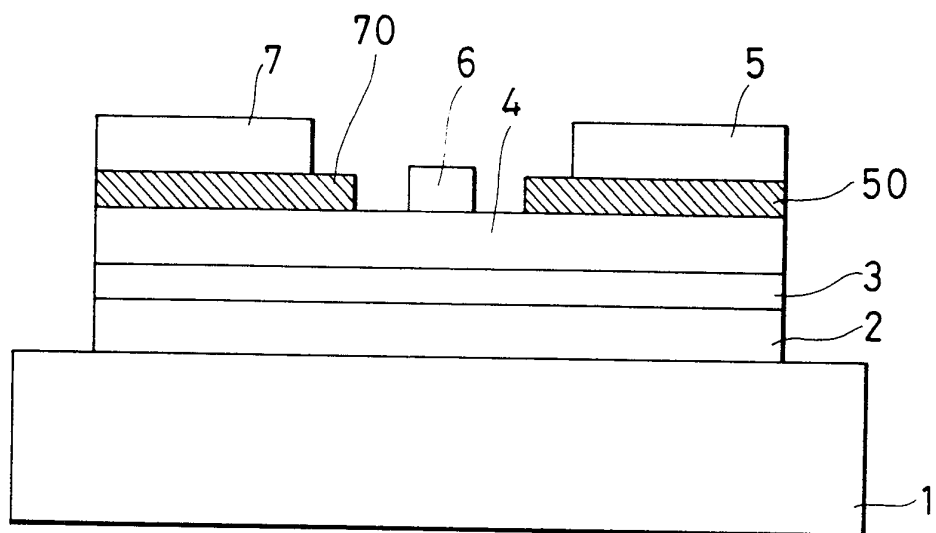


FIG. 11

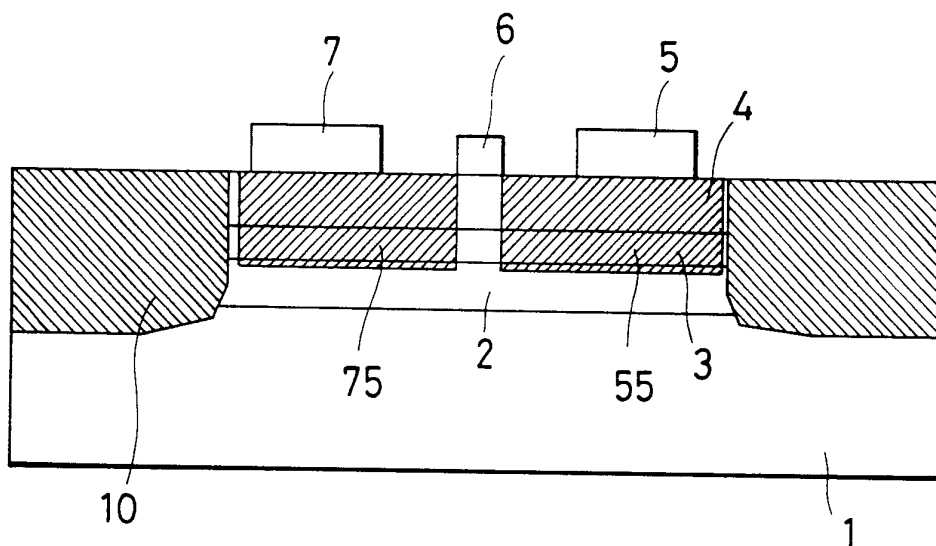


FIG. 12

11/18

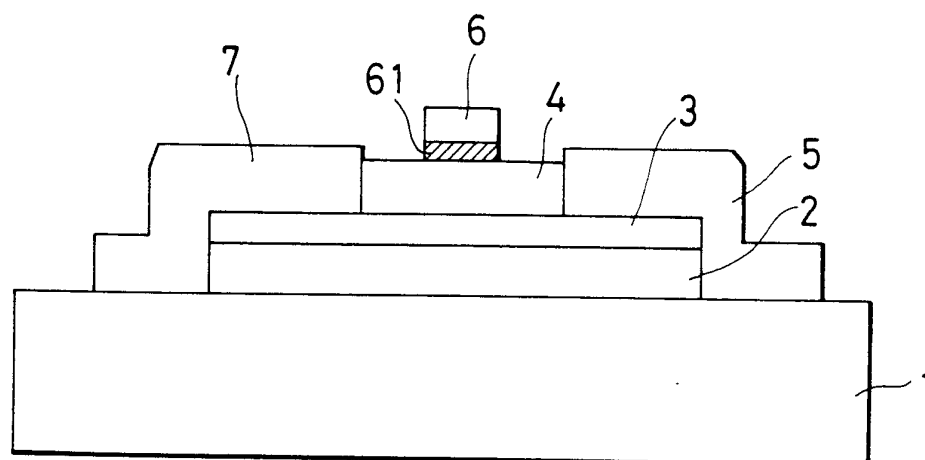


FIG. 13

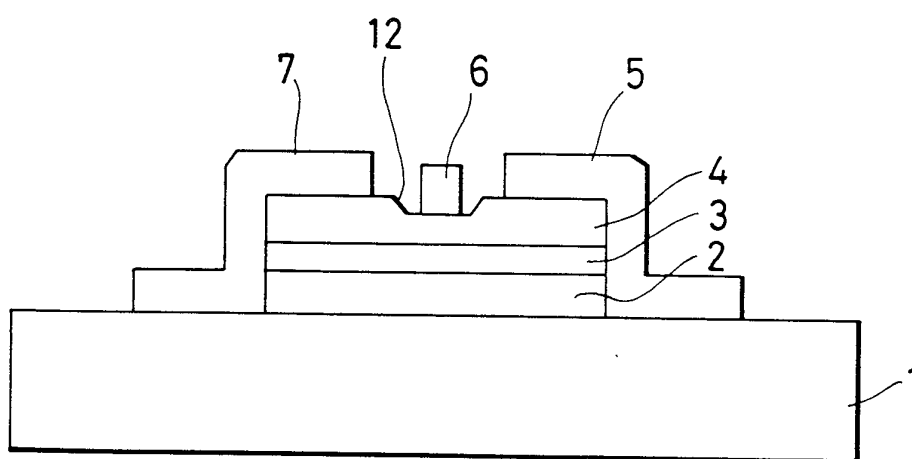


FIG. 14

12/18

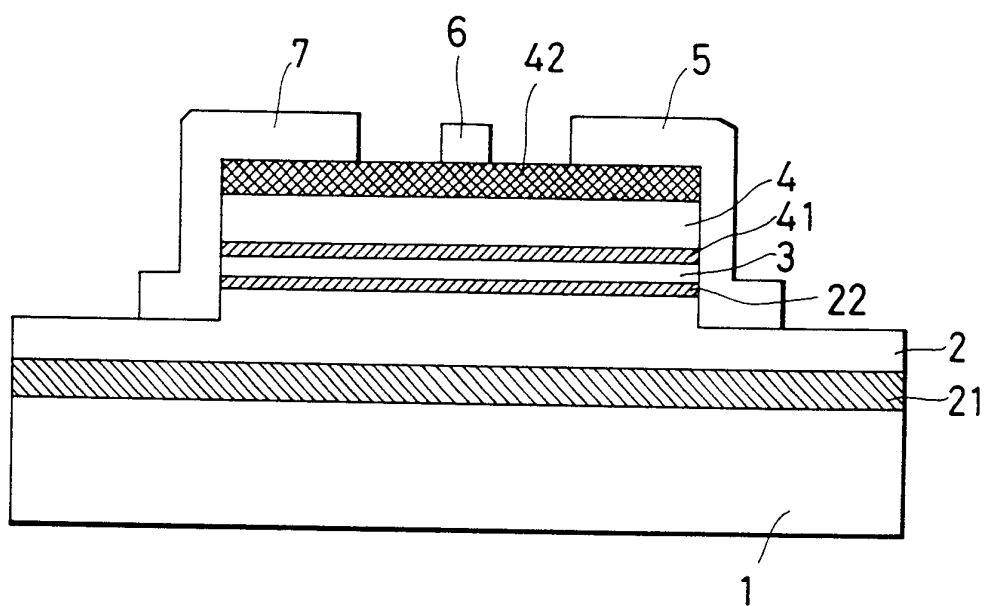


FIG.15A

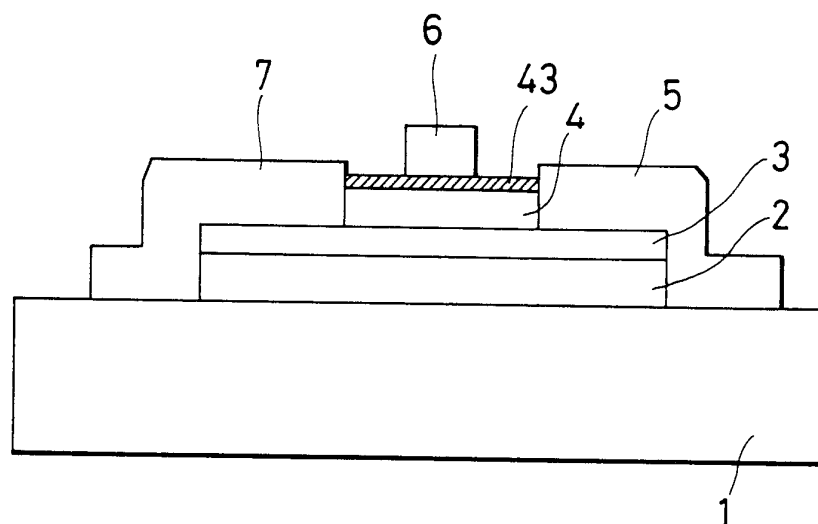


FIG.15B

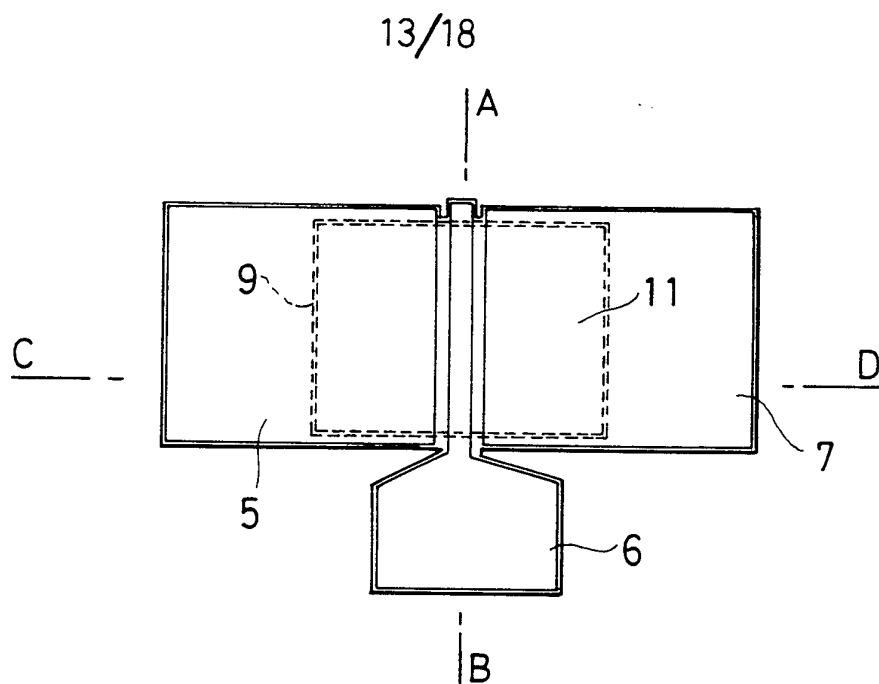


FIG. 16A

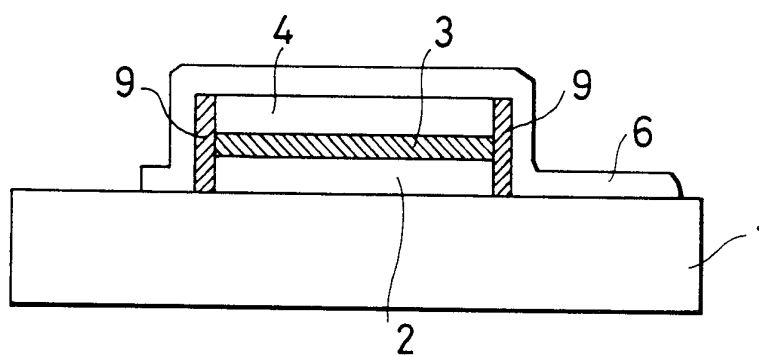


FIG. 16B

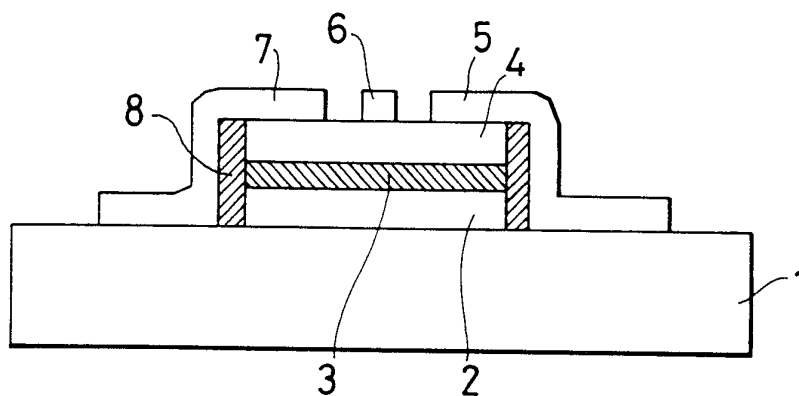


FIG. 16C

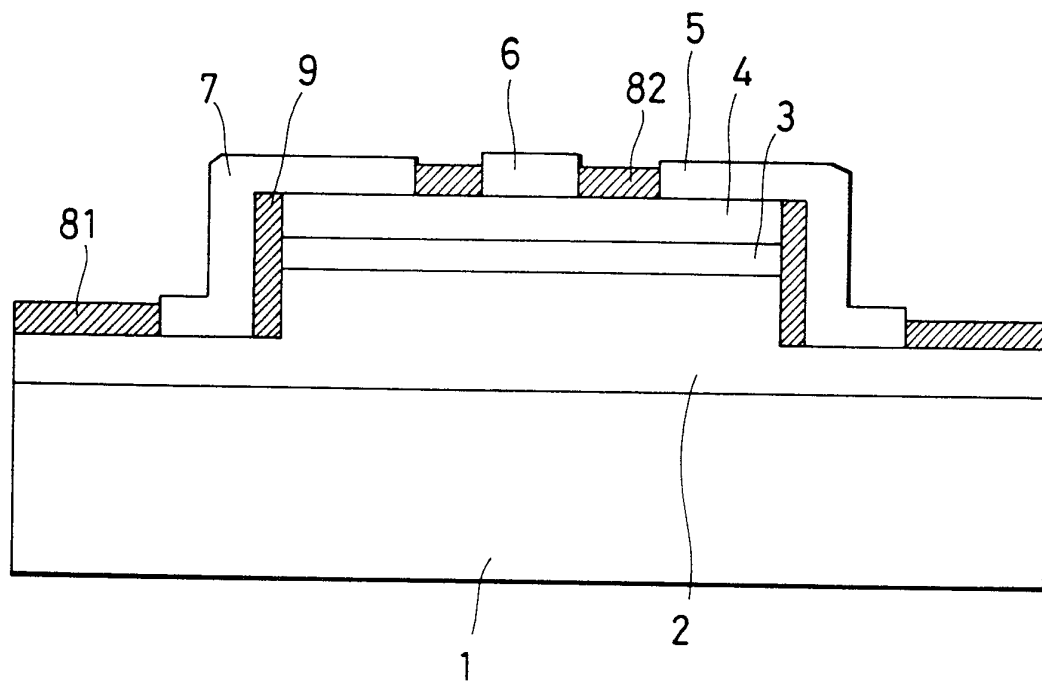


FIG.17

15/18

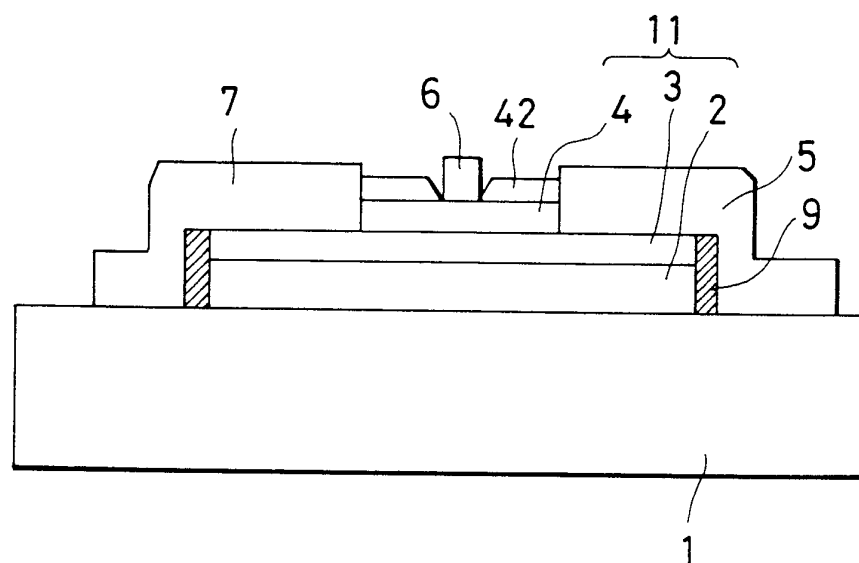


FIG. 18

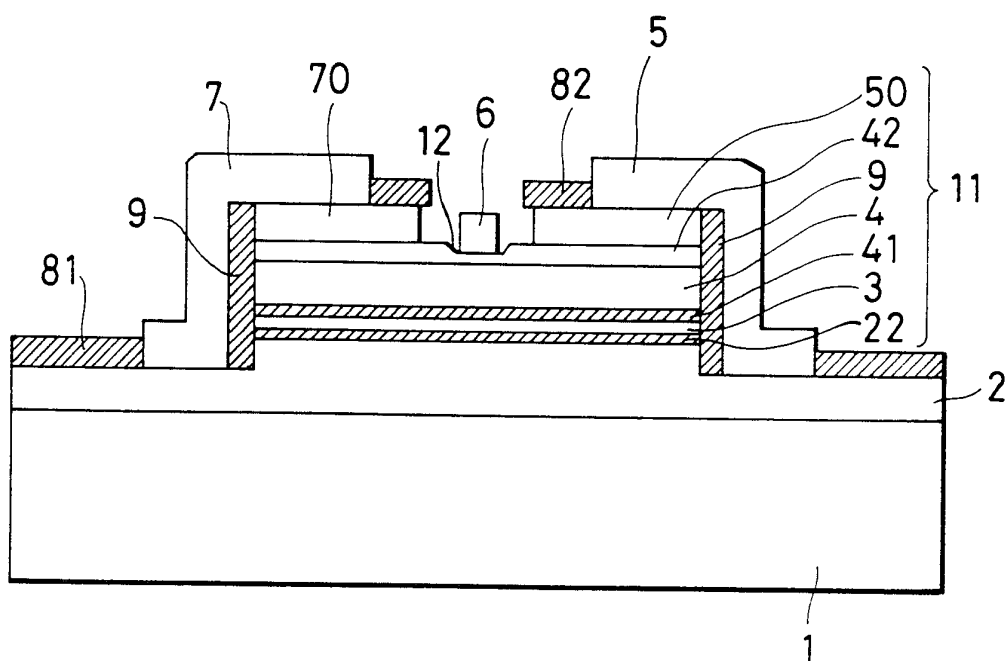


FIG. 19

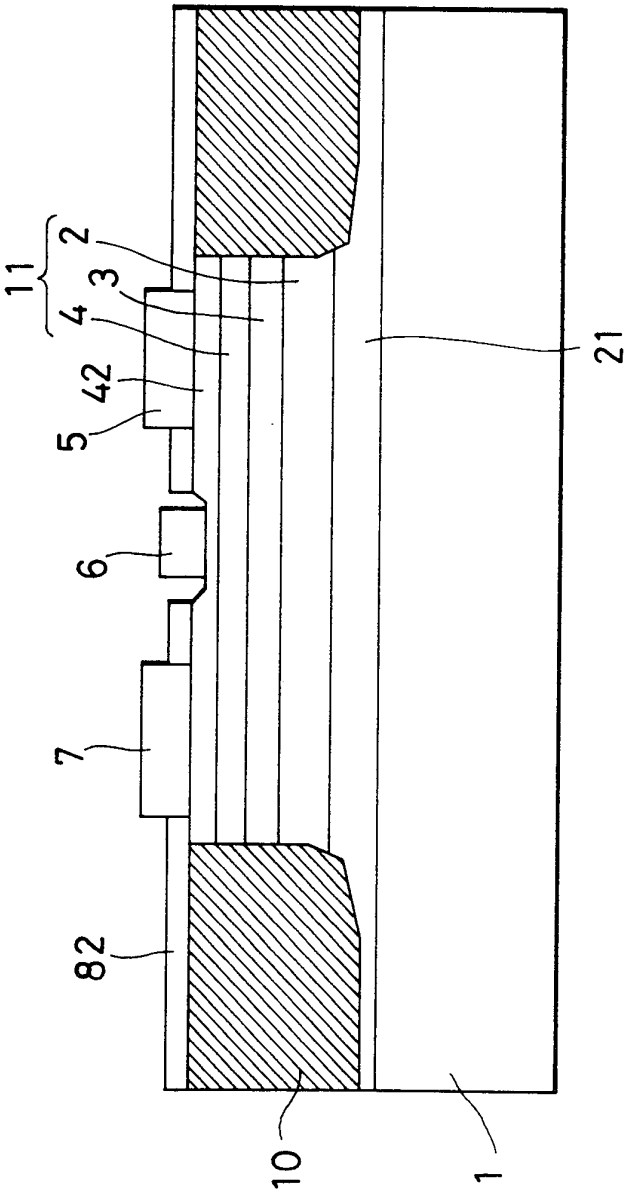


FIG.20

17/18

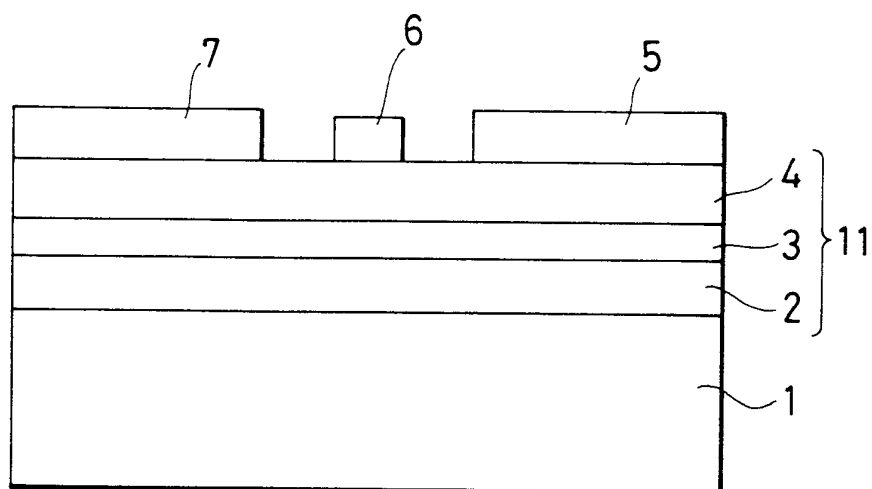


FIG. 21

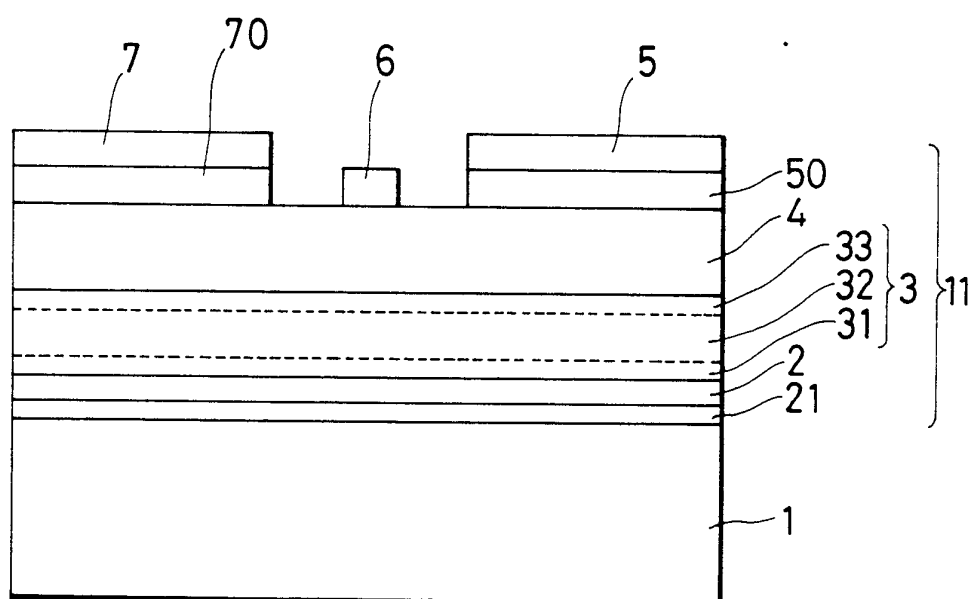


FIG. 22

18/18

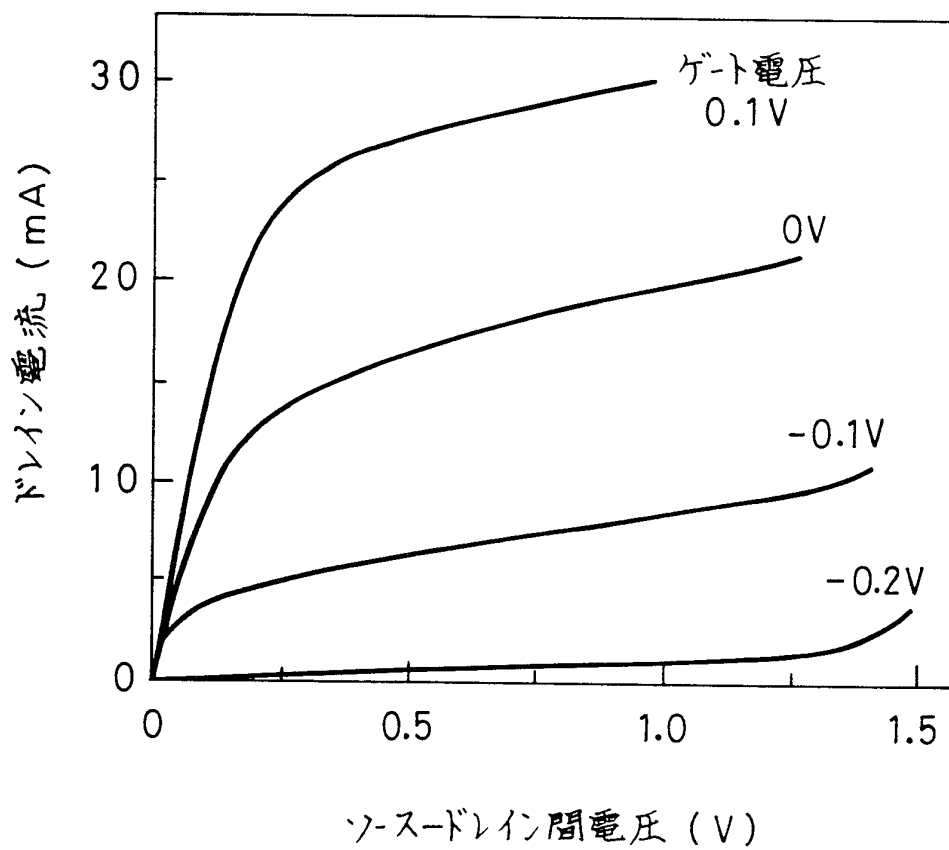


FIG.23

INTERNATIONAL SEARCH REPORT

International Application No PCT/JP92/00379

I. CLASSIFICATION OF SUBJECT MATTER (if several classification symbols apply, indicate all) ⁶ According to International Patent Classification (IPC) or to both National Classification and IPC Int. Cl⁵ H01L29/804, 29/812		
II. FIELDS SEARCHED		
Minimum Documentation Searched ⁷		
Classification System	Classification Symbols	
IPC	H01L21/20-21/205, 29/804-29/812	
Documentation Searched other than Minimum Documentation to the Extent that such Documents are Included in the Fields Searched ⁸		
III. DOCUMENTS CONSIDERED TO BE RELEVANT ⁹		
Category *	Citation of Document, ¹¹ with indication, where appropriate, of the relevant passages ¹²	Relevant to Claim No. ¹³
Y	JP, A, 60-144979 (Kogyo Gijutsuin-cho), July 31, 1985 (31. 07. 85), (Family: none)	1-33
Y	IEEE Electron Device Lett. <u>11</u> [11], (1990), pp. 526-528	1-33
Y	Appl. Phys. Lett. <u>55</u> [9], (1989), pp. 894-895	1-33
¹⁰ * Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
IV. CERTIFICATION		
Date of the Actual Completion of the International Search June 3, 1992 (03. 06. 92)		Date of Mailing of this International Search Report June 23, 1992 (23. 06. 92)
International Searching Authority Japanese Patent Office		Signature of Authorized Officer

I. 発明の属する分野の分類			
国際特許分類 (IPC)			
Int. Cl. ⁸			
H01L29/804, 29/812			
II. 国際調査を行った分野			
調 査 を 行 っ た 最 小 限 資 料			
分 類 体 系	分 類 記 号		
IPC	H01L21/20-21/205, 29/804-29/812		
最小限資料以外の資料で調査を行ったもの			
III. 関連する技術に関する文献			
引用文献の※ カテゴリー	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示		請求の範囲の番号
Y	JP, A, 60-144979 (工業技術院長), 31. 7月. 1985 (31. 07. 85), (ファミリーなし)		1-33
Y	IEEE Electron Device Lett. 11[11], (1990), pp. 526-528		1-33
Y	Appl. Phys. Lett. 55[9], (1989), pp. 894-895		1-33
※引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」先行文献ではあるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 「T」国際出願日又は優先日の後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリーの文献			
IV. 認 証			
国際調査を完了した日		国際調査報告の発送日	
03. 06. 92		23.06.92	
国際調査機関		権限のある職員	
日本国特許庁 (ISA/JP)		4 M 7 7 3 9	
		特許庁審査官 朽 名 一 夫	