



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0018576
(43) 공개일자 2009년02월20일

(51) Int. Cl.

H01L 21/60 (2006.01) H01L 23/48 (2006.01)

(21) 출원번호 10-2008-0079244

(22) 출원일자 2008년08월13일
심사청구일자 없음

(30) 우선권주장
JP-P-2007-00212949 2007년08월17일 일본(JP)

(71) 출원인

신코오덴기 고교 가부시키가이샤

일본국 나가노켄 나가노시 오시마다마치 80

(72) 발명자

가자마 다쿠야

일본국 나가노켄 나가노시 오시마다마치 80 신코
오덴기 고교 가부시키가이샤 내

(74) 대리인

문기상, 문두현

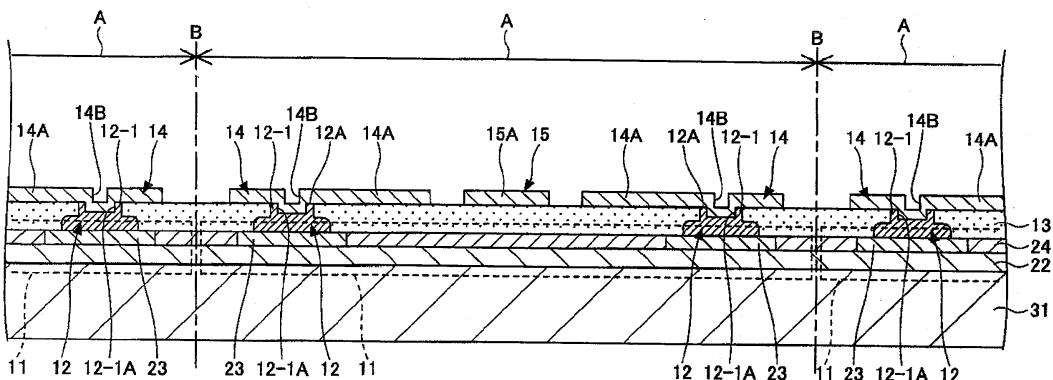
전체 청구항 수 : 총 12 항

(54) 반도체 장치의 제조 방법 및 반도체 장치

(57) 요 약

본 발명은 반도체 장치의 제조 방법을 제공하고 있다. 본 방법은, (a) 반도체 기판을 설치하는 단계; (b) 상기 반도체 기판 위에 전극 패드를 갖는 복수의 반도체 칩을 형성하는 단계; (c) 상기 전극 패드 위에 내부 접속 단자를 형성하는 단계; (d) 상기 내부 접속 단자를 덮기 위해 상기 복수의 반도체 칩 위에 절연층을 형성하는 단계; (e) 상기 절연층 위에 금속층을 형성하는 단계; (f) 상기 금속층의 전체 지역을 밀어 상기 금속층을 상기 내부 접속 단자의 상단부와 접촉시키는 단계; (g) 상기 내부 접속 단자의 상기 상단부와 접촉하는 상기 금속층 부분을 밀어, 상기 내부 접속 단자에 제1 굴곡부를 형성하고, 상기 금속층에 제2 굴곡부를 형성하는 단계; 및 (h) 상기 금속층을 에칭하여 배선 패턴을 형성하는 단계 등의 순차적인 공정을 포함한다.

대 표 도 - 도18



특허청구의 범위

청구항 1

반도체 장치의 제조 방법으로서,

- (a) 반도체 기판을 설치하는 단계;
- (b) 상기 반도체 기판 위에 전극 패드를 갖는 복수의 반도체 칩을 형성하는 단계;
- (c) 상기 전극 패드 위에 내부 접속 단자를 형성하는 단계;
- (d) 상기 내부 접속 단자를 덮기 위해 상기 복수의 반도체 칩 위에 절연층을 형성하는 단계;
- (e) 상기 절연층 위에 금속층을 형성하는 단계;
- (f) 상기 금속층의 전체 지역을 밀어 상기 금속층을 상기 내부 접속 단자의 상단부와 접촉시키는 단계;
- (g) 상기 내부 접속 단자의 상기 상단부와 접촉하는 상기 금속층 부분을 밀어, 상기 내부 접속 단자에 제1 굴곡부를 형성하고, 상기 금속층에 제2 굴곡부를 형성하는 단계; 및
- (h) 상기 금속층을 에칭하여 배선 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 2

제 1 항에 있어서,

- (g) 단계 이후의 상기 금속층과 상기 내부 접속 단자의 상기 상단부 간의 접촉 면적은, (f) 내지 (g) 단계의 접촉 면적보다 크게 하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 3

제 1 항에 있어서,

- (g) 단계에서, 상기 금속층이 상기 제1 굴곡부의 저면 및 측면과 접촉하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 4

반도체 장치의 제조 방법으로서,

- (a) 반도체 기판을 설치하는 단계;
- (b) 상기 반도체 기판 위에 전극 패드를 갖는 복수의 반도체 칩을 형성하는 단계;
- (c) 상기 전극 패드 위에 내부 접속 단자를 형성하는 단계;
- (d) 상기 내부 접속 단자를 덮기 위해 상기 복수의 반도체 칩 위에 절연층을 형성하는 단계;
- (e) 상기 절연층 위에 금속층을 형성하는 단계;
- (f) 상기 금속층의 전체 지역을 밀어 상기 금속층을 상기 내부 접속 단자의 상단부와 접촉시키는 단계;
- (g) 상기 금속층을 에칭하여 배선 패턴을 형성하는 단계; 및
- (h) 상기 내부 접속 단자의 상기 상단부와 접촉하는 상기 배선 패턴 부분을 밀어, 상기 내부 접속 단자에 제1 굴곡부를 형성하고, 상기 배선 패턴에 제2 굴곡부를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 5

제 4 항에 있어서,

- (h) 단계 이후의 상기 배선 패턴과 상기 내부 접속 단자의 상기 상단부 간의 접촉 면적은, (f) 내지 (h) 단계의 상기 금속층과 상기 내부 접속 단자의 상기 상단부 간의 접촉 면적보다 크게 되는 것을 특징으로 하는 반도체

장치의 제조 방법.

청구항 6

제 4 항에 있어서,

(h) 단계에서 상기 배선 패턴이 상기 제1 굴곡부의 저면 및 측면과 접촉하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 7

제 1 항에 있어서,

(g) 단계는, 상기 내부 접속 단자의 상기 상단부의 외주부(外周部)와 접촉하는 상기 금속층 부분을 미는 공정을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 8

제 7 항에 있어서,

(g) 단계 이후에, 상기 내부 접속 단자의 상기 상단부의 외주측면의 적어도 일 부분이 상기 제1 굴곡부 위에 설치된 상기 금속층 부분으로 덮여지는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 9

제 4 항에 있어서,

(h) 단계는, 상기 내부 접속 단자의 상기 상단부의 외주부와 접촉하는 상기 배선 패턴 부분을 미는 공정을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 10

제 9 항에 있어서,

(h) 단계 이후에, 상기 내부 접속 단자의 상기 상단부의 외주측면의 적어도 일 부분이 상기 배선 패턴으로 덮여지는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 11

제 1 항에 있어서,

(e) 단계에서, Cu 막을 상기 절연층 위에 적층하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 12

반도체 장치로서,

반도체 기판;

전극 패드를 갖고 상기 반도체 기판 위에 형성된 반도체 칩;

상기 반도체 칩 위에 형성된 절연층;

상기 전극 패드 위에 형성되고, 상기 절연층으로부터 노출된 제1 굴곡부를 갖는 내부 접속 단자;

상기 절연층 위에 형성되고, 상기 제1 굴곡부가 설치된 지역과 대응되는 지역에 설치된 제2 굴곡부를 갖고, 상기 제1 굴곡부가 설치된 상기 내부 접속 단자와 접촉하는 배선 패턴;

상기 배선 패턴 위에 형성되고, 상기 배선 패턴의 일부를 노출시키는 개구를 갖는 땜납 레지스트; 및

상기 노출된 배선 패턴 위에 형성된 외부 접속 단자를 포함하는 것을 특징으로 하는 반도체 장치.

명세서

발명의 상세한 설명

기술 분야

<1>

본 발명은 반도체 장치의 제조 방법에 관한 것으로, 보다 구체적으로, 내부 접속 단자의 상단부, 즉 반도체 기판 위에 형성된 복수의 반도체 칩의 전극 패드에 설치된 내부 접속 단자의 상단부가 배선 패턴과 전기적으로 접속하는 반도체 장치의 제조 방법에 관한 것이다.

배경 기술

<2>

도 1은 종래 기술의 반도체 장치의 단면도다.

<3>

도 1을 참조하면, 종래 기술의 반도체 장치(100)(예를 들면, 칩-사이즈 패키지)는, 반도체 칩(101), 내부 접속 단자(102), 수지층(103), 배선 패턴(104), 땜납 레지스트(106) 및 외부 접속 단자(107)를 포함한다.

<4>

반도체 칩(101)은 박판(薄板)화된 반도체 기판(110), 반도체 접적 회로(111), 복수의 전극 패드(112) 및 보호막(113)을 갖는다. 상기 반도체 접적 회로(111)는 반도체 기판(110)의 표면 측 위에 설치된다. 반도체 접적 회로(111)는 확산층, 절연층, 비어, 배선 및 그 밖의 것 등으로 구성된다. 복수의 전극 패드(112)는 반도체 접적 회로(111) 위에 설치된다. 복수의 전극 패드(112)는 반도체 접적 회로(111) 위에 설치된 배선들과 전기적으로 접속한다. 보호막(113)은 반도체 접적 회로(111) 위에 설치된다. 보호막(113)은 반도체 접적 회로(111)를 보호하기 위한 막이다.

<5>

내부 접속 단자(102)는 전극 패드(112) 위에 각각 설치된다. 내부 접속 단자(102)의 상단부의 상면은 수지층(103)으로부터 노출되어 있다. 내부 접속 단자(102)의 상단부는 배선 패턴(104)과 접속된다. 수지층(103)은 내부 접속 단자(102)가 설치된 측 위의 반도체 기판(110)을 덮기 위해 설치된다.

<6>

배선 패턴(104)은 수지층(103) 위에 설치된다. 배선 패턴(104)은 내부 접속 단자(102)와 각각 접속한다. 배선 패턴(104)은 내부 접속 단자(102)를 통하여 전극 패드(112)와 전기적으로 접속한다. 각각의 배선 패턴(104)들은, 외부 접속 단자(107)가 설치된 외부 접속 단자 배설(配設) 영역(104A)을 각각 갖는다. 땜납 레지스트(106)는 외부 접속 단자 배설 영역(104A)을 제외한 배선 패턴(104)을 덮기 위해 수지층(103) 위에 설치된다.

<7>

도 2 내지 도 10은 종래 반도체 장치의 제조 공정을 나타낸다. 도 2 내지 도 10에, 도 1에서 나타내는 종래 반도체 장치(100)와 동일한 구성 부분에는 동일한 참조 부호가 쓰인다.

<8>

먼저, 도 2에서 나타내는 공정에서, 반도체 기판(110)의 표면 측에 반도체 접적 회로(111), 복수의 전극 패드(112) 및 보호막(113)를 갖는 반도체 칩(101)을 형성한다. 반도체 기판(110)에 대해 박판 과정을 아직 적용시키지 않는다. 다음에, 도 3에서 나타내는 공정에서, 복수의 전극 패드(112) 위에 내부 접속 단자(102)를 각각 형성한다. 이 단계에서, 복수의 내부 접속 단자(102)의 높이에는 격차가 있다.

<9>

다음에, 도 4에서 나타내는 공정에서, 복수의 내부 접속 단자(102)의 상단부에 대해 평판(平板)(115)을 밀어, 복수의 내부 접속 단자(102)의 각각의 높이를 가지런히 한다. 다음에, 도 5에서 나타내는 공정에서, 내부 접속 단자(102)가 형성된 측 위의 반도체 칩(101) 및 내부 접속 단자(102)를 덮기 위해, 수지층(103)을 형성한다.

<10>

다음에, 도 6에서 나타내는 공정에서, 내부 접속 단자(102)의 상단부의 상면(102A)이 수지층(103)으로부터 노출될 때까지 수지층(103)을 연마(研磨)한다. 이때, 수지층(103)의 상면(103A)과 내부 접속 단자(102)의 상단부의 상면(102A)이 거의 동일한 레벨이 될 때까지 연마를 수행한다.

<11>

다음에, 도 7에서 나타내는 공정에서, 수지층(103)의 상면(103A) 위에 배선 패턴(104)을 형성한다. 다음에, 도 8에서 나타내는 공정에서, 땜납 레지스트(106)를 수지층(103) 위에 형성하여, 이 레지스트가 외부 접속 단자 배설 영역(104A)을 제외한 배선 패턴(104)을 덮도록 한다.

<12>

다음에, 도 9에서 나타내는 공정에서, 반도체 기판(110)의 두께를 줄이기 위하여 배면측으로부터 반도체 기판(110)을 연마한다. 다음에, 도 10에서 나타내는 공정에서, 외부 접속 단자(107)를 외부 접속 단자 배설 영역(104A) 위에 각각 형성한다. 결과적으로, 반도체 장치(100)가 제조된다(참조, 일본특허등록 제3614828호).

<13>

그러나, 종래 반도체 장치(100)의 제조 방법에서는, 복수의 내부 접속 단자(102)의 높이를 가지런히 하는 공정 및 수지층(103)을 연마하여 복수의 내부 접속 단자(102)의 상면(102A)을 수지층(103)으로부터 노출시키는 공정이 요구된다. 따라서, 공정의 개수가 증가하여 반도체 장치(100)의 생산 비용이 증가하는 문제가 존재한다.

<14>

또한, 수지층(103)을 연마하는 도중, 내부 접속 단자(102)의 상단부의 상면(102A) 위에 존재하는 수지층(103)을

정확하게 제거하는 것이 어렵다. 따라서, 내부 접속 단자(102)의 상단부의 상면(102A) 위에 수지층(103)이 여전히 남게 된다. 결과적으로, 내부 접속 단자(102)와 배선 패턴(104) 간의 밀착이 약화되고(최악의 경우, 내부 접속 단자(102)와 배선 패턴(104) 간에 박리가 발생한다.), 내부 접속 단자(102)와 배선 패턴(104) 간의 저항값이 증가한다. 그런 까닭에, 반도체 장치(100)의 양품률이 저하된다.

발명의 내용

해결 하고자하는 과제

- <15> 본 발명의 바람직한 실시예는 상기 문제 및 상기에서 언급하지 아니한 문제를 다루고 있다. 그러나, 본 발명은 상기에서 언급한 문제점을 해결할 필요가 없어, 본 발명의 바람직한 실시예는 상기에서 언급한 어떠한 문제점도 해결하지 않을 수 있다.
- <16> 본 발명의 일 태양은 반도체 장치의 제조 방법을 제공하는 것으로서, 공정의 개수를 줄여 반도체 장치의 생산비용을 감소하면서 반도체 장치의 양품률 또한 향상시킬 수 있다.

과제 해결수단

- <17> 본 발명의 하나 이상의 태양에 의한 반도체 장치의 제조 방법에서는,
- <18> (a) 반도체 기판을 설치하는 단계;
- <19> (b) 상기 반도체 기판 위에 전극 패드를 갖는 복수의 반도체 칩을 형성하는 단계;
- <20> (c) 상기 전극 패드 위에 내부 접속 단자를 형성하는 단계;
- <21> (d) 상기 내부 접속 단자를 덮기 위해 상기 복수의 반도체 칩 위에 절연층을 형성하는 단계;
- <22> (e) 상기 절연층 위에 금속층을 형성하는 단계;
- <23> (f) 상기 금속층의 전체 지역을 밀어 상기 금속층을 상기 내부 접속 단자의 상단부와 접촉시키는 단계;
- <24> (g) 상기 내부 접속 단자의 상기 상단부와 접촉하는 상기 금속층 부분을 밀어, 상기 내부 접속 단자에 제1 굴곡부를 형성하고, 상기 금속층에 제2 굴곡부를 형성하는 단계; 및
- <25> (h) 상기 금속층을 에칭하여 배선 패턴을 형성하는 순차적인 단계를 포함한다.
- <26> 본 발명의 하나 이상의 태양에 의하면, (g) 단계 이후의 상기 금속층과 상기 내부 접속 단자의 상기 상단부 간의 접촉 면적은, (f) 내지 (g) 단계의 접촉 면적보다 크다.
- <27> 본 발명의 하나 이상의 태양에 의하면, (g) 단계에서, 상기 금속층은 상기 제1 굴곡부의 저면 및 측면과 접촉하게 된다.
- <28> 본 발명의 하나 이상의 태양에 의하면, 반도체 장치의 제조 방법에서는,
- <29> (a) 반도체 기판을 설치하는 단계;
- <30> (b) 상기 반도체 기판 위에 전극 패드를 갖는 복수의 반도체 칩을 형성하는 단계;
- <31> (c) 상기 전극 패드 위에 내부 접속 단자를 형성하는 단계;
- <32> (d) 상기 내부 접속 단자를 덮기 위해 상기 복수의 반도체 칩 위에 절연층을 형성하는 단계;
- <33> (e) 상기 절연층 위에 금속층을 형성하는 단계;
- <34> (f) 상기 금속층의 전체 지역을 밀어 상기 금속층을 상기 내부 접속 단자의 상단부와 접촉시키는 단계;
- <35> (g) 상기 금속층을 에칭하여 배선 패턴을 형성하는 단계; 및
- <36> (h) 상기 내부 접속 단자의 상기 상단부와 접촉하는 상기 배선 패턴 부분을 밀어, 상기 내부 접속 단자에 제1 굴곡부를 형성하고, 상기 배선 패턴에 제2 굴곡부를 형성하는 순차적인 단계를 포함한다.
- <37> 본 발명의 하나 이상의 태양에 의하면, (h) 단계 이후의 상기 배선 패턴과 상기 내부 접속 단자의 상기 상단부 간의 접촉 면적은, (f) 내지 (h) 단계의 상기 금속층과 상기 내부 접속 단자의 상기 상단부 간의 접촉 면적보다

크다.

- <38> 본 발명의 하나 이상의 태양에 의하면, (h) 단계에서, 상기 배선 패턴이 상기 제1 굴곡부의 저면 및 측면과 접촉하게 된다.
- <39> 본 발명의 하나 이상의 태양에 의하면, (g) 단계는,
- <40> 상기 내부 접속 단자의 상기 상단부의 외주부(外周部)와 접촉하는 상기 금속층 부분을 미는 공정을 포함한다.
- <41> 본 발명의 하나 이상의 태양에 의하면, (g) 단계 이후에, 상기 내부 접속 단자의 상기 상단부의 외주측면의 적어도 일 부분이 상기 제1 굴곡부 위에 설치된 상기 금속층 부분으로 덮여진다.
- <42> 본 발명의 하나 이상의 태양에 의하면, (h) 단계는, 상기 내부 접속 단자의 상기 상단부의 외주부와 접촉하는 상기 배선 패턴 부분을 미는 공정을 더 포함한다.
- <43> 본 발명의 하나 이상의 태양에 의하면, (h) 단계 이후에, 상기 내부 접속 단자의 상기 상단부의 외주측면의 적어도 일 부분이 상기 배선 패턴으로 덮여진다.
- <44> 본 발명의 하나 이상의 태양에 의하면, (e) 단계에서, Cu 막을 상기 절연층 위에 적층한다.
- <45> 본 발명의 하나 이상의 태양에 의한 반도체 장치에 있어서,
- <46> 반도체 기판;
- <47> 전극 패드를 갖고 상기 반도체 기판 위에 형성된 반도체 칩;
- <48> 상기 반도체 칩 위에 형성된 절연층;
- <49> 상기 전극 패드 위에 형성되고, 상기 절연층으로부터 노출된 제1 굴곡부를 갖는 내부 접속 단자;
- <50> 상기 절연층 위에 형성되고, 상기 제1 굴곡부가 설치된 지역과 대응되는 지역에 설치된 제2 굴곡부를 갖고, 상기 제1 굴곡부가 설치된 상기 내부 접속 단자와 접촉하는 배선 패턴;
- <51> 상기 배선 패턴 위에 형성되고, 상기 배선 패턴의 일부를 노출시키는 개구를 갖는 땜납 레지스트; 및
- <52> 상기 노출된 배선 패턴 위에 형성된 외부 접속 단자를 포함한다.

효과

- <53> 본 발명에 의하면, 공정의 개수를 줄여 반도체 장치의 생산 비용을 감소할 뿐만 아니라 반도체 장치의 양품률 또한 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

- <54> 본 발명의 다른 태양 및 장점은 이하의 설명, 도면 및 청구항으로부터 명백해질 것이다.
- <55> 본 발명의 상기 태양 및 다른 태양, 특징 및 장점은 그것의 다음의 보다 상세한 설명으로부터 더욱 명확해질 것이고, 이하의 도면과 관련하여 제시될 것이다.
- <56> 본 발명의 바람직한 실시예에 대해 이하의 도면을 참조하며 설명한다.
- <57> (제1 실시예)
- <58> 도 11은 본 발명의 제1 실시예에 의한 반도체 장치의 단면도다.
- <59> 도 11을 참조하면, 반도체 장치(10)는 반도체 칩(11), 내부 접속 단자(12), 절연층(13), 배선 패턴(14, 15), 땜납 레지스트(16) 및 외부 접속 단자(17)를 포함한다.
- <60> 반도체 칩(11)은 반도체 기판(21), 반도체 접적 회로(22), 전극 패드(23) 및 보호막(24)을 갖는다. 반도체 기판(21)은 반도체 접적 회로(22)를 형성하기 위해 사용된다. 반도체 기판(21)은 박판화되어 있다. 반도체 기판(21)의 두께(T_1)는, 예를 들면 100 ~ 300 μm 로 정할 수 있다. 반도체 기판(21)으로서, 예를 들면, 실리콘 기판(구체적으로 시트(sheet) 모양의 실리콘 웨이퍼의 개별 조각)이 사용될 수 있다.
- <61> 반도체 접적 회로(22)는 반도체 기판(21)의 상면(21A) 측 위에 설치된다. 반도체 접적 회로(22)는, 반도체 기판(21) 위에 형성된 확산층(미도시), 반도체 기판(21) 위에 적층된 절연층(미도시), 적층된 절연층 위에 설치된

비어(미도시), 배선, 및 그 밖의 것으로 구성된다.

<62> 전극 패드(23)는 반도체 접적 회로(22) 위에 복수 개 설치된다. 전극 패드(23)는 반도체 접적 회로(22) 위에 설치된 배선(미도시)과 전기적으로 접속된다. 전극 패드(23)의 재료로서, 예를 들면, Al 또는 Al을 함유하는 합금(예를 들면, Al-Si-Cu 합금)이 사용될 수 있다.

<63> 보호막(24)은 반도체 접적 회로(22) 위에 설치된다. 보호막(24)은 반도체 접적 회로(22)를 보호하는 막이다. 보호막(24)으로서, 예를 들면, SiN 막, PSG 막 및 그밖의 것이 사용될 수 있다.

<64> 내부 접속 단자(12)는 전극 패드(23) 위에 설치된다. 내부 접속 단자(12)의 하단부는 전극 패드(23)를 통하여 반도체 접적 회로(22)와 전기적으로 접속한다. 내부 접속 단자(12)의 상단부(12-1)는 배선 패턴(14)과 각각 대향하는 부분에 제1 굴곡부로서 굴곡부(12-1A)를 갖는다. 굴곡부(12-1A)의 측면 및 저면, 내부 접속 단자(12)의 상단부(12-1)의 상면은 배선 패턴(14)과 접촉한다. 따라서, 배선(14)과 반도체 접적 회로(22)는 내부 접속 단자(12)를 통하여 전기적으로 상호 접속한다. 내부 접속 단자(12)의 상단부(12-1)의 직경이 40 μm 인 경우, 굴곡부(12-1A)의 직경은, 예를 들면, 20 μm 로 정할 수 있다. 이 경우, 굴곡부(12-1A)의 깊이는, 예를 들면 10 μm 로 정해질 수 있다.

<65> 내부 접속 단자(12)의 높이(H_1)는 절연층(13)의 두께(T_2)와 대략 동등하다. 내부 접속 단자(12)의 높이(H_1)는, 예를 들면, 10 ~ 60 μm 로 정해질 수 있다. 내부 접속 단자(12)로서, 예를 들면, Au 범프(bump), Au 도금막 및 비전해 도금법에 의해 형성된 Ni 막과 그것을 덮는 Au 막으로 구성된 금속막이 사용될 수 있다. Au 범프는, 예를 들면, 본딩(bonding)법, 도금법 및 그 밖의 방법에 의해 형성될 수 있다.

<66> 절연층(13)은, 내부 접속 단자(12)의 상단부(12-1)의 상면 및 굴곡부(12-1A)를 제외하는 내부 접속 단자(12)와 반도체 칩(11)의 각각의 지역을 덮도록 설치되어 있다. 절연층(13)으로서, 예를 들면, 점착(粘着)성이 있는 시트 모양의 절연 수지(예를 들면, NCF(Non Conductive Film)), 페이스트(paste) 모양의 절연 수지(예를 들면, NCP(Non Conductive Paste)), 이방성 도전 수지(예를 들면, ACF(Anisotropic Conductive Film)) 및 그 밖의 것 등이 사용될 수 있다. 절연층(13)의 두께(T_2)는, 예를 들면, 10 ~ 60 μm 로 정할 수 있다.

<67> 배선 패턴(14)은 내부 접속 단자(12)의 상단부(12-1) 및 상단부(12-1) 근방에 배치된 절연층(13) 위에 설치된다. 배선 패턴(14)은 접속부(14A) 및 제2 굴곡부로서의 굴곡부(14B)를 갖는다. 접속부(14A)는 절연층(13) 위에 형성된다. 외부 접속 단자(17)는 접속부(14A) 위에 설치된다.

<68> 굴곡부(14B)는 내부 접속 단자(12)의 굴곡부(12-1A) 위에 배치된 배선 패턴(14) 부분에 형성된다. 굴곡부(14B)의 형성 지역에 대응하는 배선 패턴(14) 부분은 내부 접속 단자(12)의 굴곡부(12-1A)의 측면 및 저면과 접촉한다. 상기와 같이 구성된 배선 패턴(14)은 내부 접속 단자(12)를 통하여 반도체 접적 회로(22)와 전기적으로 접속된다.

<69> 이러한 방법으로, 굴곡부(12-1A)를 내부 접속 단자(12)에 설치하고 굴곡부(14B) 또한 굴곡부(12-1A)와 대응하는 배선 패턴(14)에 설치하여, 굴곡부(14B)의 형성 지역에 대응하는 배선 패턴(14) 부분을 굴곡부(12-1A)의 측면 및 저면과 접촉하게 할 수 있다. 그러므로, 내부 접속 단자(12)와 배선 패턴(14) 간의 접촉 면적이 증가하여, 내부 접속 단자(12)와 배선 패턴(14) 간의 저항값이 감소될 수 있다.

<70> 배선 패턴(14)으로서, 예를 들면, Cu 막이 사용될 수 있다. 이 경우, 배선 패턴(14)과 외부 접속 단자(17) 사이에 확산 방지막(미도시)을 형성할 수 있다. 확산 방지막으로서, 예를 들면, 배선 패턴(14) 위에 Ni 층과 Au 층을 순차적으로 형성하여 획득한 Ni/Au 가 사용될 수 있다. Cu 막이 배선 패턴(14)으로서 사용되는 경우, 배선 패턴(14)의 두께는, 예를 들면, 12 μm 로 정할 수 있다.

<71> 배선 패턴(15)은 절연층(13)의 상면(13A) 위에 설치된다. 배선 패턴(15)은 접속부(15A)를 갖는다. 외부 접속 단자(17)는 접속부(15A) 위에 설치된다. 배선 패턴(15)으로서, 예를 들면, Cu 막이 사용될 수 있다. 이 경우, 확산 방지막(미도시)을 배선 패턴(15)과 외부 접속 단자(17) 사이에 형성할 수 있다. 확산 방지막으로서, 예를 들면, 배선 패턴(15) 위에 Ni 층과 Au 층을 순차적으로 형성하여 획득한 Ni/Au 가 사용될 수 있다. Cu 막이 배선 패턴(15)으로서 사용되는 경우, 배선 패턴(15)의 두께는, 예를 들면, 12 μm 로 정할 수 있다.

<72> 땜납 레지스트(16)가 접속부(14A, 15A)를 제외한 배선 패턴(14, 15)의 각 부분을 덮기 위해 절연층(13) 위에 설치된다. 땜납 레지스트(16)는, 접속부(14A)를 노출시키는 개구부(16A) 및 접속부(15A)를 노출시키는 개구부(16B)를 갖는다.

- <73> 외부 접속 단자(17)는 배선 패턴(14, 15)의 접속부(14A, 15A) 위에 각각 설치된다. 외부 접속 단자(17)는 마더 보드와 같은 실장 기판(미도시) 위에 설치된 패드와 전기적으로 접속되는 각각의 단자다. 외부 접속 단자(17)로서, 예를 들면, 땜납 범프가 사용될 수 있다.
- <74> 본 실시예의 반도체 장치에 의하면, 굴곡부(12-1A)는 배선 패턴(14) 및 반도체 칩(11)과 전기적으로 접속하는 내부 접속 단자(12)에 설치된다. 또한, 굴곡부(12-1A)가 배치된 배선 패턴(14) 부분에 굴곡부(14B)를 설치하여, 굴곡부(14B)의 형성 지역에 대응하는 배선 패턴(14) 부분이 굴곡부(12-1A)의 측면 및 저면과 접촉하게 된다. 그렇기 때문에, 내부 접속 단자(12)와 배선 패턴(14) 간의 접촉 면적이 증가할 수 있어, 내부 접속 단자(12)와 배선 패턴(14) 간의 저항값이 감소될 수 있다. 결과적으로, 반도체 장치(10)의 양품률이 향상될 수 있다.
- <75> 도 12 내지 도 22는 본 발명의 제1 실시예에 의한 반도체 장치의 제조 공정을 나타내는 도이다. 도 12 내지 도 22에서, 제1 실시예에 의한 반도체 장치(10)와 동일한 구성 부분에는 동일한 참조 부호가 쓰인다. 또한, 도 12 내지 도 22에서, B는 다이서(dicer)가 반도체 기판(31)을 개별적인 조각으로 절단해가는 위치를 의미한다(이하 "절단 위치(B)"라 함).
- <76> 처음에, 도 12에서 나타내는 공정에서, 복수의 반도체 장치 형성 영역(A)을 갖는 반도체 기판(31)의 상면(31A) 측에, 공지의 수법에 의하여, 반도체 접적 회로(22), 전극 패드(23) 및 보호막(24)을 갖는 반도체 칩(11)을 형성한다. 반도체 장치 형성 영역(A)은 반도체 장치(10)가 형성되는 지역을 제공한다. 반도체 기판(31)은, 후술하는 공정에서 박판화되고 절단 위치 B에서 절단되는 경우 상술했던(도 11 참조) 반도체 기판(21)으로서 기능한다.
- <77> 반도체 기판(31)으로서, 예를 들면, 실리콘 웨이퍼가 사용될 수 있다. 반도체 기판(31)으로서 실리콘 웨이퍼가 사용되는 경우, 반도체 기판(31)의 두께(T_3)는, 예를 들면, 500 ~ 775 μm 로 정해질 수 있다. 전극 패드(23)의 재료로서, 예를 들면 A1 또는 Al을 함유하는 합금(예를 들면, Al-Si-Cu 합금)이 사용될 수 있다. 보호막(24)으로서, 예를 들면, SiN 막, PSG 막, 또는 그 밖의 것 등이 사용될 수 있다.
- <78> 다음에, 도 13에서 나타내는 공정에서, 내부 접속 단자(12)를 도 12에서 나타내는 구조체의 복수의 전극 패드(23) 위에 각각 형성한다. 내부 접속 단자(12)로서, 예를 들면, Au 범프, Au 도금막, 비전해 도금법에 의해 형성된 Ni 막과 이 Ni 막을 덮는 Au 막으로 구성되는 금속막이 사용될 수 있다. 이 경우, 도 13에서 나타내는 공정에서 형성된 복수의 내부 접속 단자(12)의 높이에는 격차가 있다.
- <79> 다음에, 도 14에서 나타내는 공정에서, 내부 접속 단자(12)가 설치된 측 위의 복수의 반도체 칩(11) 및 복수의 내부 접속 단자(12)를 덮기 위하여 절연층(13)을 형성한다(절연층 형성 공정). 절연층(13)으로서, 예를 들면, 점착성 있는 시트 모양 절연 수지(예를 들면, NCF(Non Conductive Film)), 페이스트 모양 절연 수지(예를 들면, NCP(Non Conductive Paste)), 이방성 도전 수지(예를 들면, ACF(Anisotropic Conductive Film))가 사용될 수 있다. 점착성 있는 시트 모양 절연 수지를 사용하는 경우, 도 13에서 나타내는 구조체의 상면 측에 시트 모양 절연 수지를 붙임으로서 절연층(13)을 형성한다. 또한, 절연층(13)으로서 페이스트 모양 절연 수지를 사용하는 경우, 도 13에서 나타내는 구조체의 상면 측에 인쇄법에 의해 페이스트 모양 절연 수지를 형성하고, 그 후 프리베이킹(prebaking)에 의해 절연 수지를 반경화(半硬化)시킨다. 이 반경화 절연 수지는 밀착성을 갖는다. 절연층(13)의 두께(T_4)는, 예를 들면, 20 ~ 100 μm 로 정할 수 있다.
- <80> 다음에, 도 15에서 나타내는 공정에서, 절연층(13)의 상면(13A) 위에 금속층(33)을 형성한다(금속층 형성 공정). 구체적으로, 예를 들면, 금속층(33)으로서 Cu 막을 사용하고, 이 Cu 막을 절연층(13)의 상면(13A) 위에 적층한다. 금속층(33)의 두께(T_5)는, 예를 들면, 12 μm 로 정할 수 있다. 후술하는 도 17에서 나타내는 공정에서 금속층(33)이 에칭되는 경우 이 층은 배선 패턴(14, 15)으로서 기능한다.
- <81> 다음에, 도 16에서 나타내는 공정에서, 도 15에서 나타내는 구조체를 가열하는 상태에서 금속층(33)의 상면(33A)에 평판(34)을 배치한 후, 이 평판(34)을 사용하여 금속층(33) 전체를 밀어 금속층(33)의 하면(33B)을 복수의 내부 접속 단자(12)의 상단부(12-1)와 접촉하게 한다(금속층 압압(押壓) 공정). 그리하여, 복수의 내부 접속 단자(12)의 상단부(12-1) 위에 대략 편평하게 만든 표면의 접촉면(12A)을 각각 형성한다.
- <82> 복수의 내부 접속 단자(12)의 상단부(12-1) 위에 대략 편평하게 만든 표면의 접촉면(12A)을 각각 형성한 후, 금속층(33)으로부터 평판(34)을 제거한다. 금속층(33)을 밀기 위해 적용하는 압력으로서, 예를 들면, 4 MPa (30 mN/cm^2)을 사용할 수 있다. 금속층 압압 공정 후에 획득한 절연층(13)의 두께(T_2)는, 예를 들면, 10 ~ 60 μm 로

정할 수 있다. 또한, 내부 접속 단자(12)의 높이(H_1)는 절연층(13)의 두께(T_2)와 대략 동등하고, 예를 들면, 30 μm 로 구체적으로 정할 수 있다.

<83> 이와 같은 방법으로, 금속층(33)의 전체를 밀어 넣음으로서 금속층(33)의 하면(33B)과 복수의 내부 접속 단자(12)의 상단부(12-1)를 접촉하게 하여, 복수의 내부 접속 단자(12)의 상단부(12-1)에 대략 편평하게 만든 표면의 접촉면(12A)을 각각 형성한다. 따라서, 종래 행해지고 있던, 복수의 내부 접속 단자(12)의 높이를 가지런히 하는 공정 및 복수의 내부 접속 단자(12)의 상단부(12-1)의 접촉면(12A)을 절연층(13)으로부터 노출시키는 연마 공정 모두 생략될 수 있다. 결과적으로, 제조 공정의 개수를 감소하여, 반도체 장치(10)의 생산 비용을 감소할 수 있다.

<84> 다음에, 도 17에서 나타내는 공정에서, 돌출부(37)를 갖는 프레스(press)용공구(36)를 준비하여, 도 16에서 나타내는 구조체를 가열하는 상태에서 내부 접속 단자(12)의 상단부(12-1)에 배치된 금속층(33) 부분을 돌출부(37)에 접촉하게 한다. 다음에, 돌출부(37)에 의하여 내부 접속 단자(12)의 상단부(12-1)에 배치된 금속층(33) 부분을 밀어(예를 들면, 10 ~ 30 gf), 내부 접속 단자(12)에 제1 굴곡부로서 굴곡부(12-1A)를 형성하고, 금속층(33)에 제2 굴곡부로서 굴곡부(14B)를 형성한다(굴곡부 형성 공정).

<85> 상기 공정에 의하여, 굴곡부(14B)에 대응하는 금속층(33) 부분은 내부 접속 단자(12)의 굴곡부(12-1A)의 측면 및 저면과 각각 접촉한다. 따라서, 굴곡부 형성 공정에서의 금속층(33)과 내부 접속 단자(12)의 상단부(12-1) 간 접촉 면적을, 금속층 압입 공정에서의 금속층(33)과 내부 접속 단자(12)의 상단부(12-1) 간 접촉 면적보다 크게 정할 수 있다. 돌출부(37)의 모양으로서, 예를 들면, 원기둥 또는 사각 기둥이 사용될 수 있다. 또한, 내부 접속 단자(12)의 높이(H_1)가 30 μm 인 경우, 돌출부(37)의 돌출량(C)이 예를 들면, 10 μm 로 정할 수 있다.

<86> 이와 같은 방법으로, 금속층(33) 전체를 밀어 금속층(33)을 내부 접속 단자(12)의 상단부(12-1)의 접촉면(12A)과 접촉하게 한 후, 내부 접속 단자(12)의 상단부와 접촉하는 금속층(33) 부분을 밀어, 내부 접속 단자(12)에 굴곡부(12-1A)를 형성하고 금속층(33)에 굴곡부(14B)를 형성한다. 따라서, 내부 접속 단자(12)에 형성된 굴곡부(12-1A)의 저면 및 측면이 금속층(33)과 접촉하여, 내부 접속 단자(12)와 배선 패턴(14) 간의 접촉 면적이 증가할 수 있다. 결과적으로, 내부 접속 단자(12)와 배선 패턴(14) 간의 밀착성이 향상될 수 있을 뿐만 아니라 내부 접속 단자(12)와 배선 패턴(14) 간에 절연층(13)이 개재되는 상황이 절대 생기지 않아(절연층(13)의 영향에 의하여 내부 접속 단자(12)와 배선 패턴(14) 간의 저항값이 증가하는 그러한 상황을 없앨 수 있다.), 반도체 장치(10)의 양품률이 향상될 수 있다.

<87> 다음에, 도 18에서 나타내는 공정에서, 도 17에서 나타내는 금속층(33)을 에칭함으로서 배선 패턴(14, 15)을 형성한다(배선 패턴 형성 공정). 구체적으로, 예를 들면, 도 17에서 나타내는 금속층(33) 위에 패턴화된 레지스트 막(미도시)을 형성한 후, 이 레지스트 막을 마스크로서 이용하는 에칭(예를 들면, 드라이 에칭 또는 웨트(wet) 에칭)에 의해 금속층(33)을 에칭하여 배선 패턴(14, 15)을 형성한다.

<88> 다음에, 도 19에서 나타내는 공정에서, 절연층(13) 위에 접속부(14A, 15A)를 제외한 배선 패턴(14, 15)을 덮도록 개구부(16A, 16B)를 갖는 뺨납 레지스트(16)를 형성한다. 개구부(16A)를 배선 패턴(14)의 접속부(14A)가 노출되도록 각각 형성한다. 개구부(16B)를 배선 패턴(15)의 접속부(15A)가 노출되도록 형성한다.

<89> 다음에, 도 20에서 나타내는 공정에서, 배선 패턴(14, 15)의 접속부(14A, 15A) 위에 외부 접속 단자(17)를 각각 형성한다. 외부 접속 단자(17)로서, 예를 들면, 뺨납 범프가 사용될 수 있다.

<90> 다음에, 도 21에서 나타내는 공정에서, 도 20에서 나타내는 반도체 기판(31)의 하면(31B) 측으로부터 반도체 기판(31)을 연삭하여 반도체 기판(31)의 두께를 감소시킬 수 있다. 반도체 기판(31)의 두께를 감소시키기 위해, 예를 들면, 백사이드 그라인더(backside grinder)를 사용할 수 있다. 연삭 후, 시트 모양 반도체 기판(31)의 두께(T_1)를, 예를 들면, 100 ~ 300 μm 로 정할 수 있다. 따라서, 반도체 장치 형성 영역(A)에 반도체 장치(10)와 대응하는 구조체가 형성된다.

<91> 다음에, 도 22에서 나타내는 공정에서, 도 21에서 나타내는 구조체를 절단 위치(B)를 따라 절단함으로서 복수의 반도체 장치(10)를 개별 조각으로서 얻는다. 결과적으로, 복수의 반도체 장치(10)가 제작된다.

<92> 본 실시예의 반도체 장치의 제조 방법에 의하면, 금속층(33) 전체를 밀어서 금속층(33)의 하면(33B)과 복수의 내부 접속 단자(12)의 상단부(12-1)를 접촉하게 하여, 복수의 내부 접속 단자(12)의 상단부(12-1)에 대략 편평하게 만들어진 표면의 접촉 지역(12A)을 각각 형성한다. 따라서, 종래 행해지고 있던, 복수의 내부 접속 단자(12)의 높이를 가지런히 하는 공정 및 복수의 내부 접속 단자(12)의 상단부(12-1)의 접촉면(12A)을 절연층(13)을 절연층(13)

으로부터 노출시키는 연마 공정 모두 생략할 수 있다. 결과적으로, 제조 공정의 개수를 감소하여, 반도체 장치(10)의 생산 비용을 감소할 수 있다.

<93> 또한, 금속층(33) 전체를 밀어서 금속층(33)과 내부 접속 단자(12)의 상단부(12-1)의 접촉면(12A)을 접촉하게 한 다음, 내부 접속 단자(12)의 상단부(12-1)와 접촉하는 금속층(33) 부분을 밀어서, 내부 접속 단자(12)에 굴곡부(12-1A)를 형성하고 금속층(33)에 굴곡부(14B)를 형성한다. 따라서, 내부 접속 단자(12)에 형성된 굴곡부(12-1A)의 저면 및 측면이 금속층(33)과 접촉하고, 내부 접속 단자(12)와 배선 패턴(14) 간의 접촉 면적이 증가한다. 결과적으로, 내부 접속 단자(12)와 배선 패턴(14) 간의 밀착성이 향상될 수 있을 뿐만 아니라 내부 접속 단자(12)와 배선 패턴(14) 간에 절연층(13)이 개재되는 상황이 절대 생기지 않음으로서(절연층(13)의 영향에 의하여 내부 접속 단자(12)와 배선 패턴(14) 간의 저항값이 증가하는 그러한 상황을 없앨 수 있다.), 반도체 장치(10)의 양품률이 향상될 수 있다.

<94> 상기 실시예에서는, 굴곡부(12-1A) 및 굴곡부(14B)를 형성한 후 금속층(33)을 에칭함으로써 배선 패턴(14, 15)을 형성한다. 그러나, 본 발명의 바람직한 실시예는 이에 한정되지 않는다. 이 경우, 도 16에서 나타내는 금속층 압입 공정 후 금속층(33)을 에칭함으로써 배선 패턴(14, 15)을 형성하고, 다음에 굴곡부(12-1A, 14B)를 형성할 수 있다.

<95> 도 23은 프레스용 공구를 나타내는 단면도고, 도 24는 도 23에서 나타내는 프레스(press)용 공구에 의해 형성된 굴곡부의 단면 형상을 나타내는 도다.

<96> 도 17에서 나타내는 공정에서 사용되는 프레스용 공구(36)를 대신하여, 도 23에서 나타내는 사다리꼴로 형성되는 단면 형상의 돌출부(42)를 갖는 프레스용 공구(41)를 사용하여 굴곡부 형성 공정을 실행할 수 있다. 이 경우, 도 24에서 나타내는 바와 같이, 내부 접속 단자(12)의 상단부(12-1)에 굴곡부(12-1B)(그것의 너비가 굴곡부(12-1B)의 저면으로부터 위로 올라갈수록 서서히 증가한다)를 형성하고, 배선 패턴(14)에 굴곡부(14C)(그것의 너비가 굴곡부(14C)의 저면으로부터 위로 올라갈수록 서서히 증가한다)를 형성한다.

<97> 도 25는 다른 프레스용 공구를 나타내는 단면도, 도 26은 도 25에서 나타내는 프레스용 공구에 의해 형성된 굴곡부의 단면 형상을 나타내는 도이다.

<98> 도 17에서 나타내는 공정에서 사용되는 프레스용 공구(36)를 대신하여, 도 25에서 나타내는 복수의 돌기(47)를 갖는 돌출부(46)를 갖는 프레스용 공구(45)를 사용하여 굴곡부 형성 공정을 실행할 수 있다. 이 경우, 도 26에서 나타내는 바와 같이, 내부 접속 단자(12)의 상단부(12-1)에 복수의 돌기(47) 형상이 전사(轉寫)된 굴곡부(12-1C)를 형성하고, 배선 패턴(14)에 복수의 돌기(47) 형상이 전사된 굴곡부(14D)를 형성한다.

<99> 이와 같은 방법으로, 복수의 돌기(47)를 갖는 돌출부(46)를 갖는 프레스용 공구(45)를 사용하여 굴곡부 형성 공정을 실행할 수 있다.

<100> (제2 실시예)

<101> 도 27은 본 발명의 제2 실시예에 의한 반도체 장치의 단면도다. 도 27에서, 제1 실시예의 반도체 장치(10)의 그것과 동일한 구성 부분에는 동일한 참조 부호가 쓰인다.

<102> 도 27을 참조하면, 제2 실시예의 반도체 장치(50)는, 제1 실시예의 반도체 장치(10)에 설치된 내부 접속 단자(12)를 대신하여 내부 접속 단자(51)를 설치하고, 절연층(13)에 굴곡부(13C)를 설치하고, 배선 패턴(14)에 설치된 굴곡부(14B) 대신에 굴곡부(14E)를 설치하는 것을 제외하고는 반도체 장치(10)와 비슷하게 구성된다.

<103> 내부 접속 단자(51)는 상면(51-1A)이 대략 평평한 면으로 된 상단부(51-1)를 갖는다. 상단부(51-1)의 상면(51-1A)은 절연층(13)의 상면(13A)과 거의 비슷한 레벨이고, 배선 패턴(14)과 접촉한다. 내부 접속 단자(51)의 높이(H_2)는 절연층(13)의 두께(T_2)와 대략 동등하게 정해진다. 내부 접속 단자(51)의 높이(H_2)는, 예를 들면, 10 ~ 60 μm 로 정할 수 있다. 내부 접속 단자(51)로서, 예를 들면, Au 범프, Au 도금막, 비전해 도금법에 의해 형성된 Ni 막과 이 Ni 막을 덮는 Au 막으로 구성되는 금속막이 사용될 수 있다. Au 범프는, 예를 들면, 본딩법 또는 도금법에 의해 형성될 수 있다.

<104> 링 모양의 홈으로 구성된 굴곡부(13C)는, 내부 접속 단자(51)의 상단부(51-1)의 외주부에 배치한 절연층(13) 부분에 형성된다. 굴곡부(13C)를 내부 접속 단자(51)의 상단부(51-1)의 외주측면을 노출시키도록 형성한다. 굴곡부(13C)의 깊이는, 예를 들면 15 μm 로 정할 수 있다.

<105> 링 모양의 홈으로 구성되는 굴곡부(14E)는, 굴곡부(13C)의 상방에 배치하는 배선 패턴(14) 부분에 형성된다. 굴

곡부(14E)와 대응하는 배선 패턴(14) 부분이 내부 접속 단자(51)의 상단부(51-1)의 외부측면을 덮도록 배치된다.

<106> 본 실시예의 반도체 장치에 의하면, 배선 패턴(14)이 내부 접속 단자(51)의 상단부(51-1)의 상면(51-1A)과 접촉하게 되어, 링 모양의 굴곡부(13C)가 내부 접속 단자(51)의 상단부(51-1)의 외주측면을 노출하도록 절연층(12 3)에 설치되고 링 모양의 굴곡부(14E) 또한 굴곡부(13C) 상방에 배치되는 배선 패턴(14) 부분에 설치됨으로써, 내부 접속 단자(51)의 상단부(51-1)의 외부측면이 굴곡부(13C) 상방에 배치된 배선 패턴(14) 부분에 의해 덮여진다. 따라서, 내부 접속 단자(51)와 배선 패턴(14) 간의 접촉 면적이 증가될 수 있다. 결과적으로, 내부 접속 단자(51)와 배선 패턴(14) 간의 밀착성이 향상될 수 있을 뿐만 아니라 내부 접속 단자(51)와 배선 패턴(14) 간에 절연층(13)이 개재되는 상황이 절대 생기지 않음으로서(절연층(13)의 영향에 의하여 내부 접속 단자(51)와 배선 패턴(14) 간의 저항값이 증가하는 그러한 상황을 없앨 수 있다.), 반도체 장치(50)의 양품률이 향상될 수 있다.

<107> 도 28은 본 발명의 제2 실시예에 의한 반도체 장치를 제조하는 공정을 나타내는 도이다. 도 28에서, 제1 실시예에서 설명된 도 17에서 나타내는 구조체 및 제2 실시예의 반도체 장치(50)의 그것과 동일한 구성 부분에는 동일한 참조 부호가 쓰인다.

<108> 도 28을 참조하여, 제2 실시예의 반도체 장치의 제조 방법을 이하에서 설명할 것이다. 먼저, 제1 실시예에서 설명된 도 12 내지 도 16에서 나타내는 공정과 비슷한 처리를 적용함으로서 도 16에서 나타내는 구조체(도 16에서 나타내는 평판(34)은 도 16에서 나타내는 구조체의 구성 요소로부터 제외된다.)를 형성한다.

<109> 다음에, 도 28에서 나타내는 공정에서, 링 모양의 돌출부(56)를 갖는 프레스용 공구(55)를 준비하^{rh}, 돌출부(56)에 의해 도 16에서 나타내는 구조체에 설치된 내부 접속 단자(51)의 상단부(51-1)의 외주부에 배치된 금속층(33) 부분을 밀어 (압력을, 예를 들면, 10 ~ 30 gf), 절연층(13)에 제1 굴곡부로서 굴곡부(13C)를 형성하고, 또한 금속층(33)에 링 모양의 제2 굴곡부로서 굴곡부(14E)를 형성한다(굴곡부 형성 공정).

<110> 돌출부(56)의 너비는, 예를 들면, 5 μm 로 정할 수 있다. 또한, 내부 접속 단자(51)의 높이(H_2)를 30 μm 로 정하는 경우, 돌출부(56)의 돌출량(E)은, 예를 들면 15 μm 로 정할 수 있다.

<111> 이와 같은 방법으로, 링 모양의 돌출부(56)를 갖는 프레스용 공구(55)를 이용하여 내부 접속 단자(51)의 상단부(51-1)의 외주부에 배치된 금속층(33) 부분을 밀어, 금속층(33)에 링 모양의 굴곡부(14E)를 형성하고 절연층(13)에 굴곡부(13C)를 형성한다. 따라서, 내부 접속 단자(51)의 상단부(51-1)의 외주측면이 굴곡부(14E)가 형성된 금속층(33)의 각 부분으로 덮여져, 굴곡부 형성 공정에서의 금속층(33)과 내부 접속 단자(51)의 상단부(51-1) 사이의 접촉 면적을 금속층 가압 공정에서의 그것보다 크게 정할 수 있다.

<112> 상기 과정에 의하면, 내부 접속 단자(51)와 배선 패턴(14) 간의 접촉 면적이 증가될 수 있다. 결과적으로, 내부 접속 단자(51)와 배선 패턴(14) 간의 밀착성이 향상될 수 있을 뿐만 아니라 내부 접속 단자(51)와 배선 패턴(14) 간에 절연층(13)이 개재되는 상황이 절대 생기지 않음으로서(절연층(13)의 영향에 의하여 내부 접속 단자(51)와 배선 패턴(14) 간의 저항값이 증가하는 그러한 상황을 없앨 수 있다.), 반도체 장치(50)의 양품률이 향상될 수 있다.

<113> 다음에, 제1 실시예에서 설명된 도 18 내지 도 22에서 나타내는 공정과 비슷한 처리를 적용함으로서 복수의 반도체 장치(50)를 제조할 수 있다.

<114> 본 실시예의 반도체 장치의 제조 방법에 의하면, 금속층(33) 전체를 밀어서 금속층(33)과 내부 접속 단자(51)의 상단부(51-1)가 접촉하고, 내부 접속 단자(51)의 상단부(51-1)의 외주부에 배치된 금속층(33) 부분을 밀어서, 절연층(13)에 내부 접속 단자(51)의 상단부(51-1)의 외주면 각각을 노출시키는 굴곡부(13C)를 형성하고, 금속층(33)에 굴곡부(14E)를 형성한다. 따라서, 내부 접속 단자(51)의 상단부의 외주면이 금속층(33)과 접촉하고, 내부 접속 단자(51)와 금속층(33) 간의 접촉 면적이 증가한다. 결과적으로, 내부 접속 단자(51)와 배선 패턴(14) 간의 밀착성이 향상될 수 있을 뿐만 아니라 내부 접속 단자(51)와 배선 패턴(14) 간에 절연층(13)이 개재되는 상황이 절대 생기지 않음으로서(절연층(13)의 영향에 의하여 내부 접속 단자(51)와 배선 패턴(14) 간의 저항값이 증가하는 그러한 상황을 없앨 수 있다.), 반도체 장치(50)의 양품률이 향상될 수 있다.

<115> 상기 실시예에서는, 굴곡부(13C, 14E)를 형성한 후 금속층(33)을 에칭함으로서 배선 패턴(14, 15)을 형성한다. 그러나, 본 발명의 바람직한 실시예는 이에 한정되지 않는다. 금속층 압압 공정 후 금속층(33)을 에칭함으로써 배선 패턴(14, 15)을 형성하고, 다음에 굴곡부(13C, 14E)를 형성할 수 있다. 또한, 프레스용 공구(55)의 돌출부

(56)의 모양은 본 실시예에 한정되지 않는다. 예를 들면, 돌출부(56)를 불연속한 링 모양으로 형성할 수 있다.

<116> 본 발명이 그것의 특정한 바람직한 실시예들을 참조하면서 나타나 설명되는 동안, 그 기술 사항에 의해, 첨부된 특허청구범위에서 정의되는 본 발명의 범위로부터 벗어나지 아니하고 모양과 세부 사항에서의 여러 변화가 가능함을 이해할 수 있을 것이다. 따라서, 첨부된 특허청구범위가 본 발명의 요지 및 범위 내에서 그러한 변화 및 변경을 망라할 것을 목표로 한다.

산업이용 가능성

<117> 본 발명은, 반도체 기판에 형성된 복수의 반도체 칩의 전극 패드에 형성된 내부 접속 단자의 상단부와 배선 패턴을 전기적으로 접속하는 반도체 장치의 제조 방법에 적용시킬 수 있다.

도면의 간단한 설명

<118> 도 1은 관련 기술 내의 반도체 장치의 단면도.

<119> 도 2는 관련 기술 내의 반도체 장치를 제조하는 공정을 나타내는 도(#1).

<120> 도 3는 관련 기술 내의 반도체 장치를 제조하는 공정을 나타내는 도(#2).

<121> 도 4는 관련 기술 내의 반도체 장치를 제조하는 공정을 나타내는 도(#3).

<122> 도 5는 관련 기술 내의 반도체 장치를 제조하는 공정을 나타내는 도(#4).

<123> 도 6는 관련 기술 내의 반도체 장치를 제조하는 공정을 나타내는 도(#5).

<124> 도 7는 관련 기술 내의 반도체 장치를 제조하는 공정을 나타내는 도(#6).

<125> 도 8는 관련 기술 내의 반도체 장치를 제조하는 공정을 나타내는 도(#7).

<126> 도 9는 관련 기술 내의 반도체 장치를 제조하는 공정을 나타내는 도(#8).

<127> 도 10는 관련 기술 내의 반도체 장치를 제조하는 방법을 나타내는 도(#9).

<128> 도 11는 본 발명의 제1 실시예에 의한 반도체 장치의 단면도.

<129> 도 12는 본 발명의 제1 실시예에 의한 반도체 장치를 제조하는 공정을 나타내는 도(#1).

<130> 도 13는 본 발명의 제1 실시예에 의한 반도체 장치를 제조하는 공정을 나타내는 도(#2).

<131> 도 14는 본 발명의 제1 실시예에 의한 반도체 장치를 제조하는 공정을 나타내는 도(#3).

<132> 도 15는 본 발명의 제1 실시예에 의한 반도체 장치를 제조하는 공정을 나타내는 도(#4).

<133> 도 16는 본 발명의 제1 실시예에 의한 반도체 장치를 제조하는 공정을 나타내는 도(#5).

<134> 도 17는 본 발명의 제1 실시예에 의한 반도체 장치를 제조하는 공정을 나타내는 도(#6).

<135> 도 18는 본 발명의 제1 실시예에 의한 반도체 장치를 제조하는 공정을 나타내는 도(#7).

<136> 도 19는 본 발명의 제1 실시예에 의한 반도체 장치를 제조하는 공정을 나타내는 도(#8).

<137> 도 20는 본 발명의 제1 실시예에 의한 반도체 장치를 제조하는 공정을 나타내는 도(#9).

<138> 도 21는 본 발명의 제1 실시예에 의한 반도체 장치를 제조하는 공정을 나타내는 도(#10).

<139> 도 22는 본 발명의 제1 실시예에 의한 반도체 장치를 제조하는 공정을 나타내는 도(#11).

<140> 도 23은 프레스(press)용 공구를 나타내는 단면도.

<141> 도 24는 도 23에서 나타내는 프레스용 공구에 의해 형성된 굴곡부의 단면 모양을 나타내는 도.

<142> 도 25는 다른 프레스용 공구를 나타내는 단면도.

<143> 도 26은 도 25에서 나타내는 프레스용 공구에 의해 형성된 굴곡부의 단면 모양을 나타내는 도.

<144> 도 27은 본 발명의 제2 실시예에 의한 반도체 장치의 단면도.

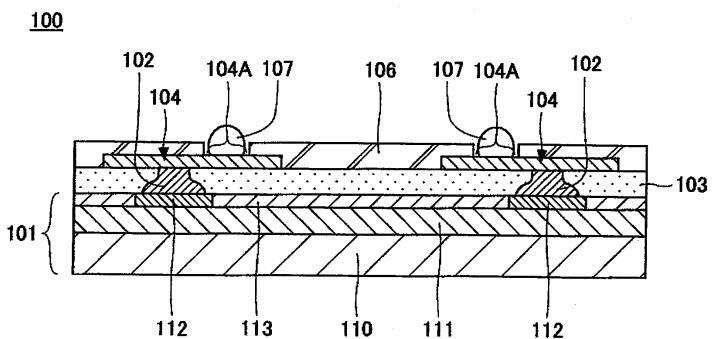
<145> 도 28은 본 발명의 제2 실시예에 의한 반도체 장치를 제조하는 공정을 나타내는 도.

도면의 주요 부분에 대한 부호의 설명

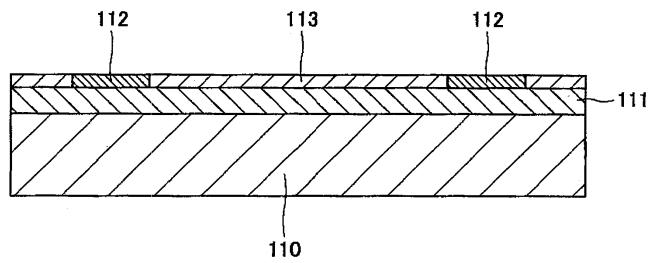
- | | |
|--|------------------|
| <147> 10, 50 : 반도체 장치 | 11 : 반도체 칩 |
| <148> 12, 51 : 내부 접속 단자 | 12-1, 51-1 : 상단부 |
| <149> 12-1A, 12-1B, 12-1C, 13C, 14B, 14C, 14D, 14E : 굴곡부 | |
| <150> 12A : 접촉면 | 13 : 절연층 |
| <151> 13A, 21A, 31A, 51-1A : 상면 | |
| <152> 14A, 15A : 접속부 | |
| <153> 16A, 16B : 개구부 | |
| <154> 21, 31 : 반도체 기판 | |
| <155> 23 : 전극 패드 | |
| <156> 31B, 33B : 하면 | |
| <157> 34 : 평판(平板) | |
| <158> 37, 42, 46, 56 : 돌출부 | |
| <159> A : 반도체 장치 형성 영역 | |
| <160> C, E : 돌출량 | |
| <161> H ₁ , H ₂ : 높이 | |
| 14 : 배선 패턴 | |
| 16 : 땜납 레지스트 | |
| 17 : 외부 접속 단자 | |
| 22 : 반도체 접적 회로 | |
| 24 : 보호막 | |
| 33 : 금속층 | |
| 36, 41, 45, 55 : 프레스용 공구 | |
| 47 : 돌기 | |
| B : 절단 위치 | |
| T ₁ ~ T ₅ : 두께 | |

도면

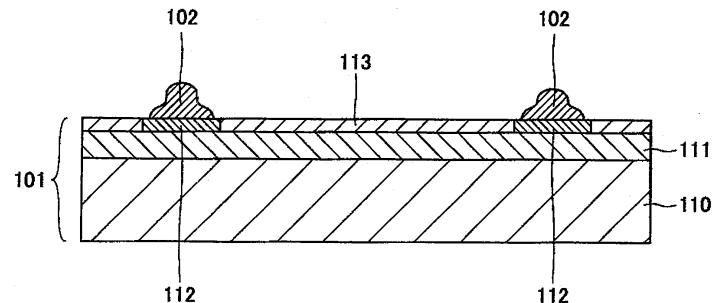
도면1



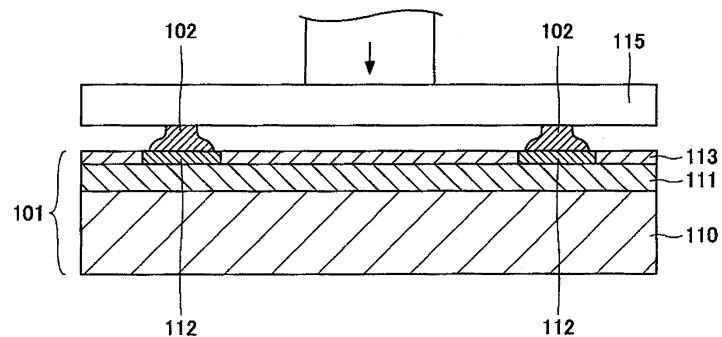
도면2

101

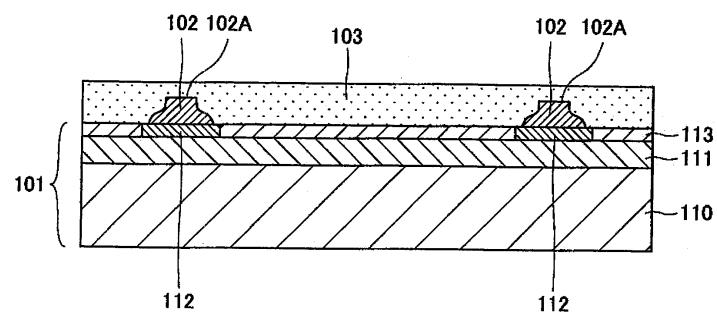
도면3



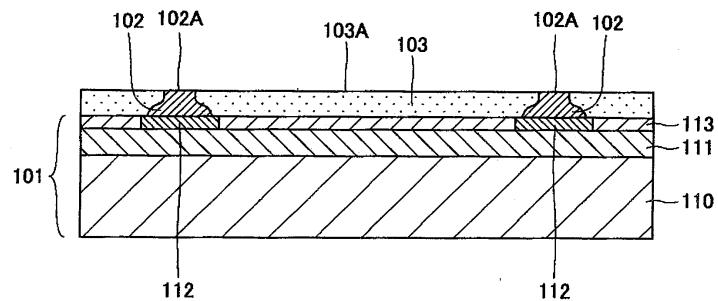
도면4



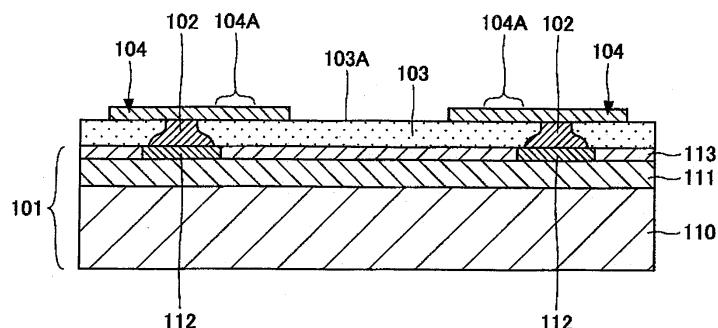
도면5



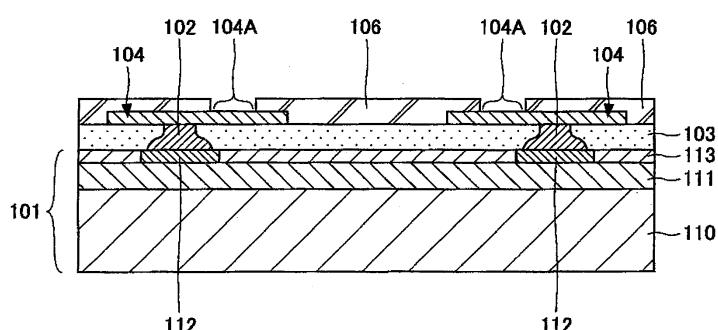
도면6



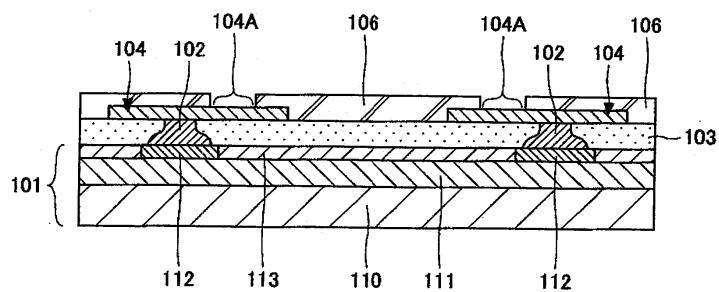
도면7



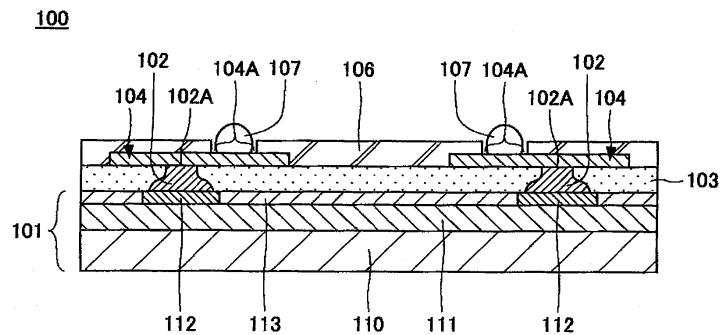
도면8



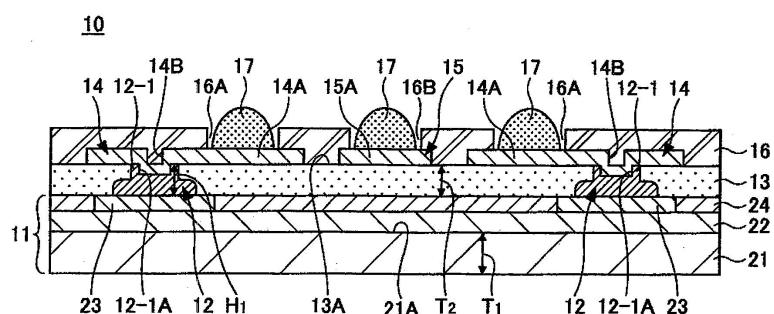
도면9



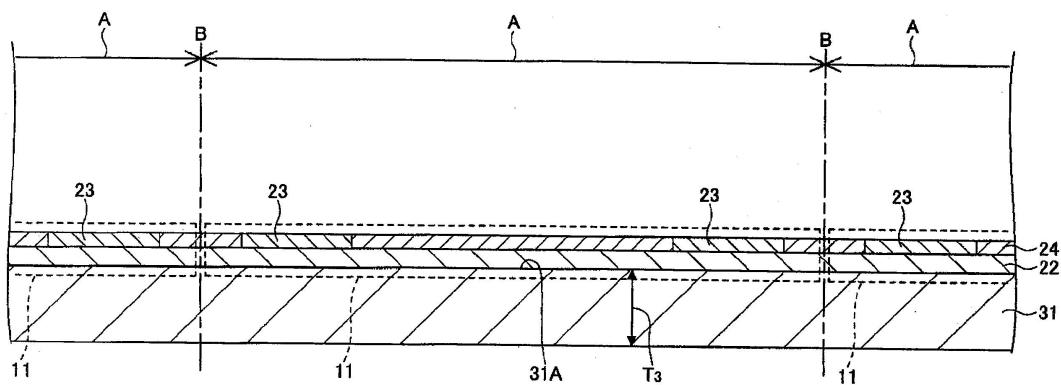
도면10



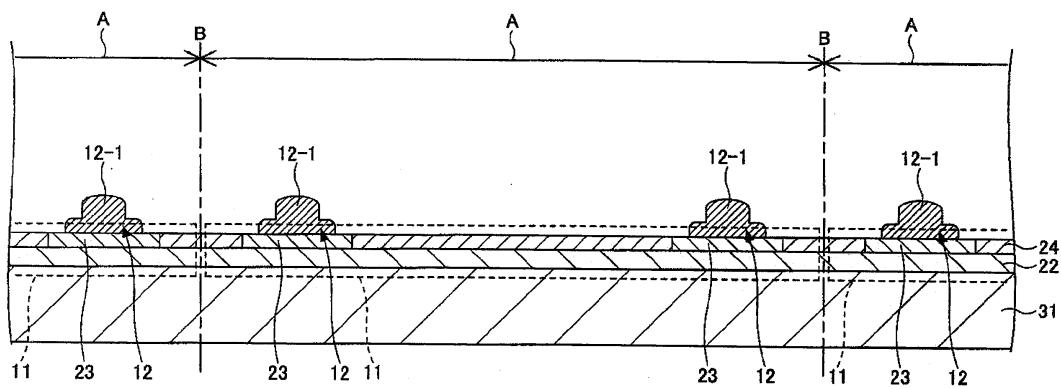
도면11



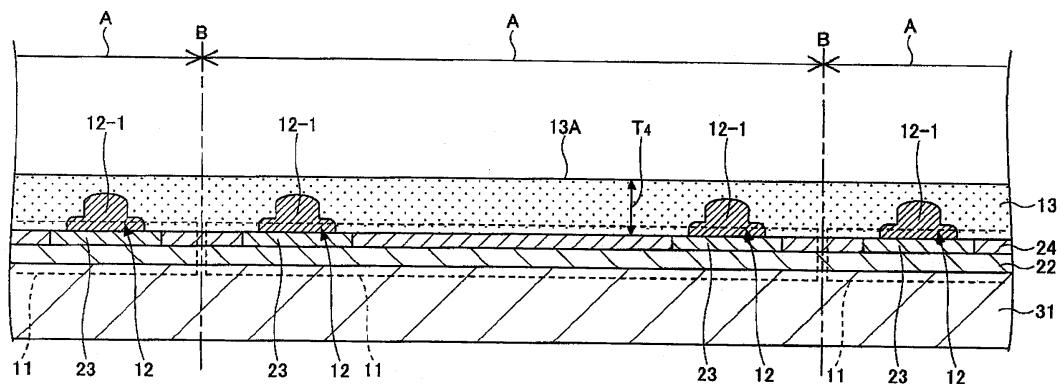
도면12



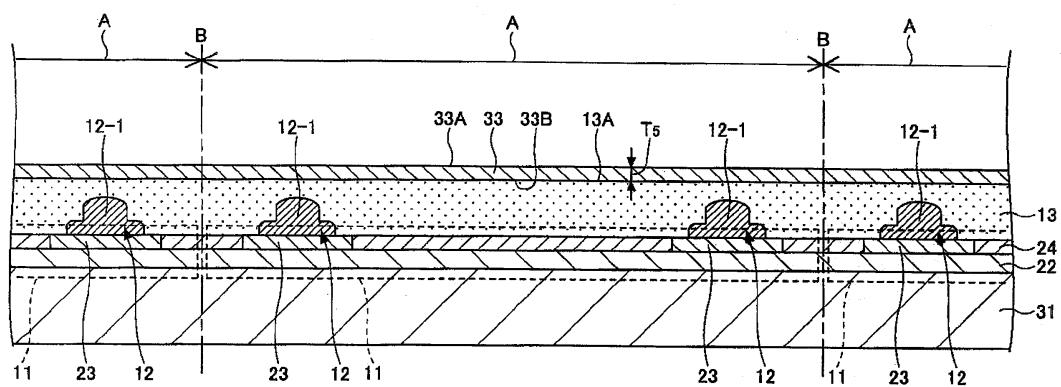
도면13



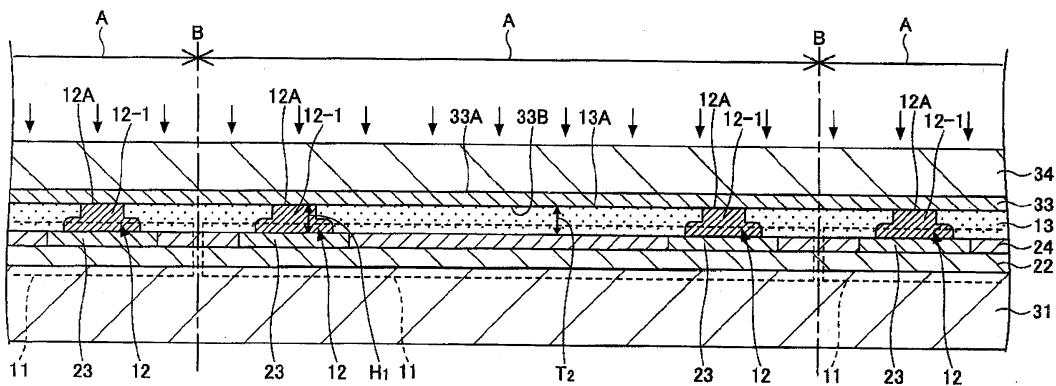
도면14



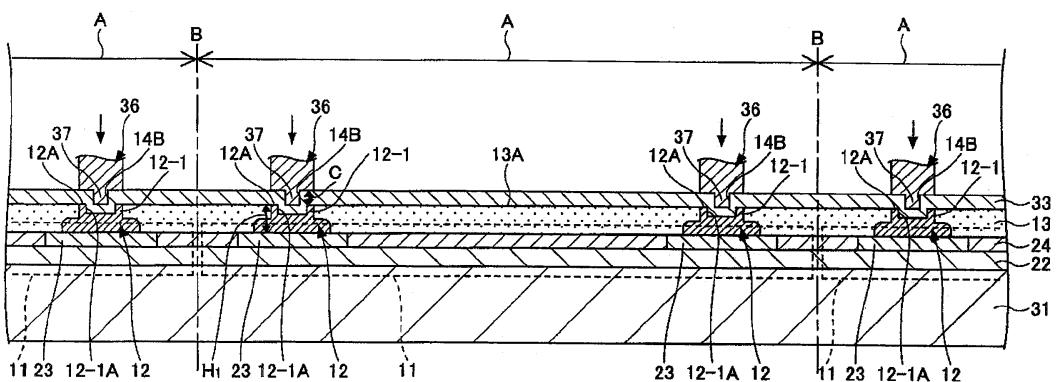
도면15



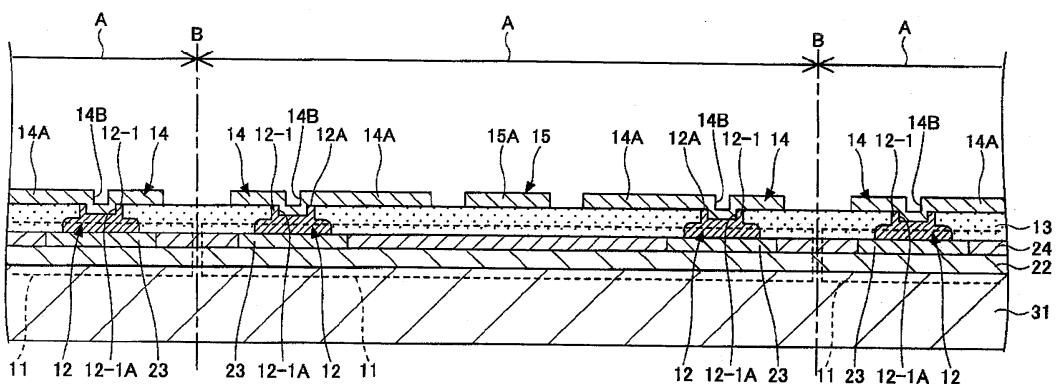
도면16



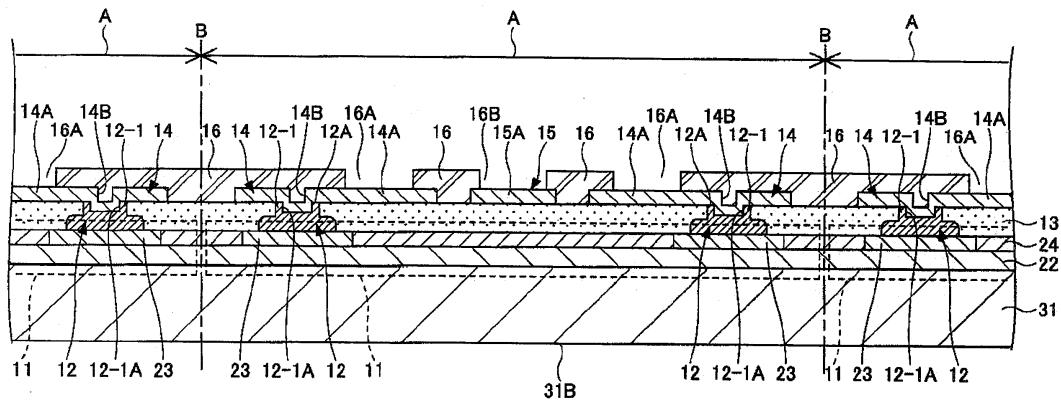
도면17



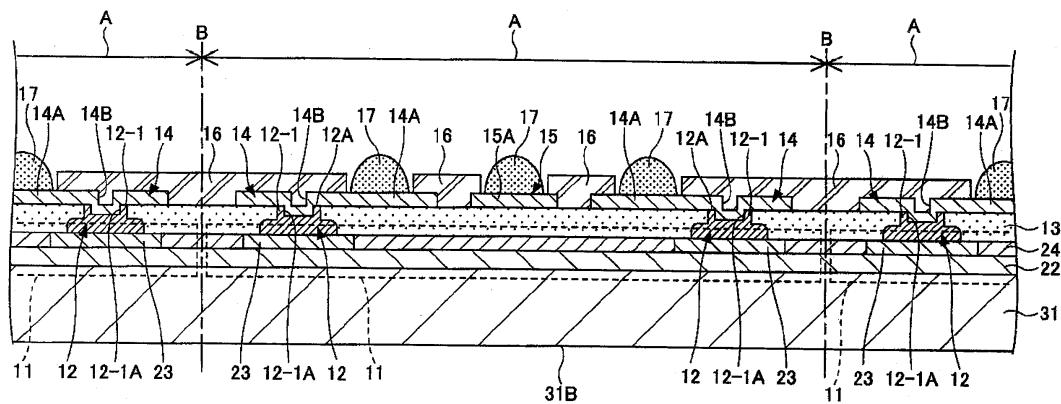
도면18



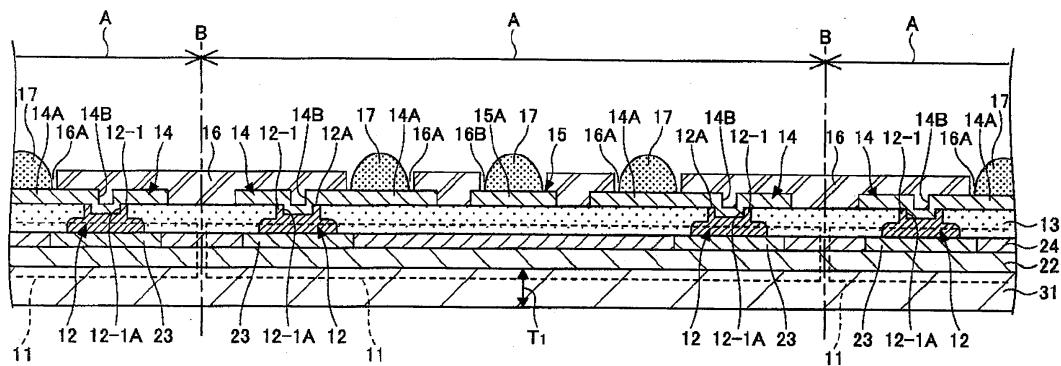
도면19



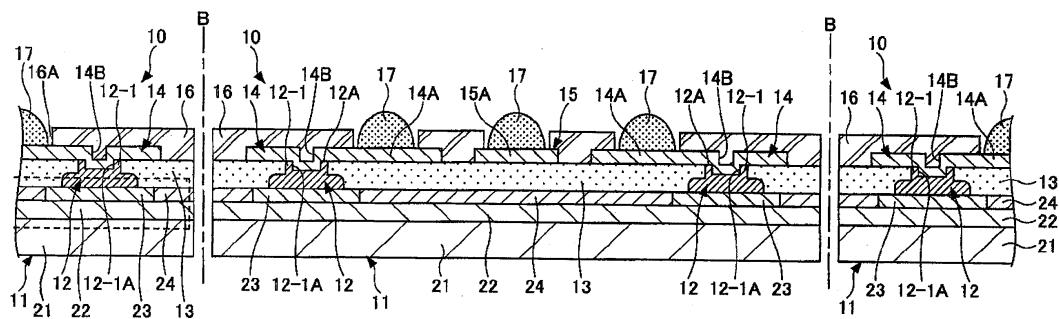
도면20



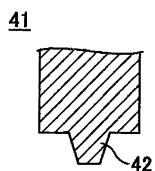
도면21



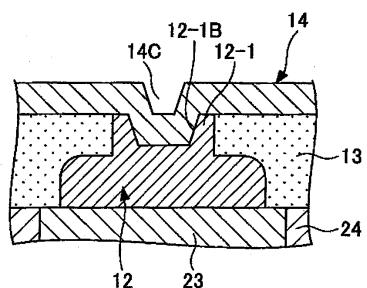
도면22



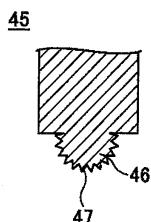
도면23



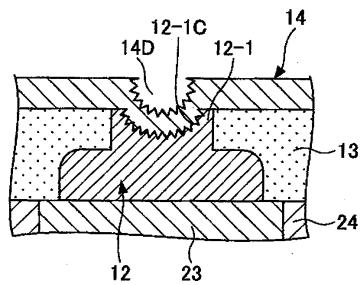
도면24



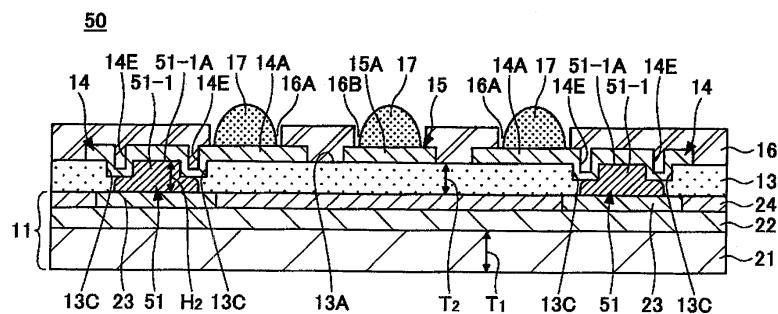
도면25



도면26



도면27



도면28

