(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3716958号
(P3716958)
(45)発行日　平成17年11月16日(2005.11.16)　(24)登録日　平成17年9月9日(2005.9.9)

(51)Int.Cl.[7]　F I
H01L 21/768　H01L 21/90　B

請求項の数 4　(全 8 頁)

(21)出願番号　特願平10-73645
(22)出願日　平成10年3月23日(1998.3.23)
(65)公開番号　特開平11-274293
(43)公開日　平成11年10月8日(1999.10.8)
審査請求日　平成14年8月23日(2002.8.23)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100083552
弁理士　秋田　収喜
(72)発明者　山口　日出
東京都青梅市新町六丁目１６番地の３　株式会社日立製作所　デバイス開発センタ内
(72)発明者　斉藤　達之
東京都青梅市新町六丁目１６番地の３　株式会社日立製作所　デバイス開発センタ内
(72)発明者　磯村　悟
東京都青梅市新町六丁目１６番地の３　株式会社日立製作所　デバイス開発センタ内

最終頁に続く

(54)【発明の名称】半導体装置

(57)【特許請求の範囲】

【請求項１】

層間絶縁膜を介して積層された少なくとも３層以上のダマシン配線層と、
上層のダマシン配線層に形成された第１のダマシン配線と、
前記層間絶縁膜を貫通し、前記第１の配線に接続された第１のプラグと、
下層のダマシン配線層に形成された第２のダマシン配線と、
前記層間絶縁膜を貫通し、前記第２の配線に接続された第２のプラグとを有し、
前記第１のプラグと第２のプラグが、平面的に同一の位置に、垂直方向に重ねて形成されると共に、中間のダマシン配線層に形成された第３のダマシン配線を介して接続され、
前記第３のダマシン配線の平面形状が、長方形であり、その短辺の長さが中間のダマシン配線層に形成された他のダマシン配線の配線幅と等しく、その長辺の長さが前記配線幅よりも大きく、
前記第３のダマシン配線が形成されている溝のアスペクト比は、前記長辺方向の断面の方が前記短辺方向の断面よりも小さいことを特徴とする半導体装置。

【請求項２】

前記第１のプラグ及び第２のプラグが、前記長方形の端部に接続されていることを特徴とする請求項１に記載の半導体装置。

【請求項３】

前記第１のプラグ及び第２のプラグが、前記長方形の中央部に接続されていることを特徴とする請求項１に記載の半導体装置。

【請求項４】
　前記第３のダマシン配線が、中間のダマシン配線層に形成された隣接する他のダマシン配線と対向長制限内にて形成されていることを特徴とする請求項１乃至請求項３の何れか一項に記載の半導体装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、半導体装置に関し、特に、積層した配線層を接続するプラグを有する半導体装置に適用して有効な技術に関するものである。
【０００２】
【従来の技術】
半導体装置では単結晶シリコン等の半導体基板主面に形成した各種素子を、層間絶縁膜を介して上層に形成する配線層によって接続し所定の回路を構成している。微細加工技術の進展により半導体装置に形成される前記素子の数が増大し、より複雑な回路を構成することにより、前記素子を接続し回路を構成するのに必要な配線の数も増大し、前記配線層も複数の配線層を層間絶縁膜を介して積層形成した多層配線が用いられている。
【０００３】
積層された各配線層間或いは各配線層と半導体基板主面に形成された各種素子、は層間絶縁膜に設けられたスルーホールに形成されたプラグによって互いに接続されている。
【０００４】
このような多層配線構造では、微細化の進展に伴い、配線層のパターニング加工が難しくなる、更に、配線層加工後の絶縁膜形成に関して、微細なギャップへの充填性を優先した場合に絶縁膜の膜質が低下する、或いは絶縁膜の平坦化が複雑になる等の問題が生じるため、配線層のための溝を絶縁膜に設け、この溝に金属を充填する埋込型のダマシン法による多層配線層構造が注目されている。
【０００５】
加えて、配線の低抵抗化のために配線材料として銅が注目されているが、銅を配線材料とした場合には、エッチング加工が難しく、銅の酸化珪素中への拡散を防止するバリア膜が必要となるが、これらの問題を解決する方法としてもダマシン法による配線形成が適している。ダマシン法の配線形成については、例えば、培風館刊「ＵＬＳＩプロセス技術」第２４８頁乃至第２５１頁、或いは「日経マイクロデバイス」１９９７年１２月号第２１２頁乃至第２１７頁に記載されている。
【０００６】
【発明が解決しようとする課題】
多層配線では、上下に隣接していない配線層を接続する場合には、中間に位置する配線層に接続のための中間配線層を設け、この中間配線層を介して上層のプラグと下層のプラグとを接続している。
【０００７】
このような配線層の接続状態を図１或いは図２を説明する。図中、（ａ）は平面図であり、そのａ-ａ線に沿った断面を（ｂ）に示す。例えば３層の配線層１，２，３の場合には、下層の配線層１と上層の配線層３とを接続するために、配線層１に接続したプラグ４と配線層３に接続したプラグ５とを中間配線層２によって接続している。夫々のプラグ４，５は、従来は平面的な位置を変えて垂直方向に重ならないように形成されていた。たが、配線密度を高める必要から、近年では図３に示すように、夫々のプラグ４，５を平面的に同一の位置に、垂直方向に重ねて形成する貫通スルーホールによる配線構造が要求されている。このような場合に、配線密度を高める必要から、中間配線層３はプラグ４，５と同等のサイズとすることが求められている。
【０００８】
また、隣接する層のプラグを相互に接続する場合に、近年ではプラグを直接接続するスタックドビア（stacked via）が行なわれているが、ダマシン法では配線層形成に先だって

層間絶縁膜を形成するために、通常は中間配線層を介してプラグを接続することになる。
【０００９】
このような微細化によって、プラグの形状は、０．４μｍ×０．４μｍの正方形パターンのプラグの場合には、ホトリソグラフィの解像マージンの低下によって、平面形状が略円形の円柱状に形成されることとなる。
【００１０】
また、こうしたプラグと接続する中間配線層も微細化させるために、配線層の線幅に対して配線層の厚さが相対的に大きい、即ちアスペクト比の高い配線層が必要となっており、０．４μｍ×０．４μｍ（配線幅×配線長）の正方形パターンの中間配線層では、断面形状も略正方形状となっている。
【００１１】
しかしながら、このようなパターンの中間配線層では、銅を配線材料とした場合に、スパッタでは高アスペクト比の溝部に対するステップカバレッジが充分ではなく、銅膜のリフロー埋込技術が不十分となる。
【００１２】
このため、金属材料である銅の充填が充分に行なわれずに、断線が生じ中間配線層の導通不良となる、或いは、ボイドを生じこの部分が高抵抗化する問題がある。このように部分的に高抵抗化した場合には、電流が流れる際の発熱によって経時的に断線するおそれがある。こうした問題を解決する方法としてステップカバレッジの良いＣＶＤによる銅の成膜が考えられるが、実用段階には未だ到っていない。また、ＣＶＤ或いはメッキによってもアスペクト比の高い正方形パターン状の配線を完全に埋め込むのは難しいという問題がある。
【００１３】
また、エッチングの際のマスク合わせの誤差等により、プラグ形成のためのスルーホールが中間配線層からずれてしまう目外れ部分が生じると、絶縁膜のオーバーエッチングによって前記中間配線層側面にクレバス状の隙間が生じることがある。こうした隙間では、酸化珪素膜の含有水分或いは残留水素等を除去する脱ガス処理を行なう際に、水分が放出されにくくなるために、この部分に残留する水分等によるタングステン等の導電体のＣＶＤ成膜不良が生じ、これが原因となって高抵抗化或いは断線などのプラグ導通不良が発生する。
【００１４】
本発明の課題は、中間配線層に対する埋込不足による断線或いは高抵抗化を防止することが可能な技術を提供することにある。
【００１５】
本発明の他の課題は、目外れ部分の絶縁膜に生じるクレバス状の隙間に残留した水分等によるタングステン等の導電体の成膜不良に起因するプラグの導通不良を防止することが可能な技術を提供することにある。
本発明の前記ならびにその他の課題と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。
【００１６】
【問題を解決するための手段】
本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。
層間絶縁膜を介して積層された少なくとも３層以上のダマシン配線層と、上層のダマシン配線層に形成された第１のダマシン配線と、前記層間絶縁膜を貫通し、前記第１の配線に接続された第１のプラグと、下層のダマシン配線層に形成された第２のダマシン配線と、前記層間絶縁膜を貫通し、前記第２の配線に接続された第２のプラグとを有し、前記第１のプラグと第２のプラグが、平面的に同一の位置に、垂直方向に重ねて形成されると共に、中間のダマシン配線層に形成された第３のダマシン配線を介して接続され、前記第３のダマシン配線の平面形状が、長方形であり、その短辺の長さが中間のダマシン配線層に

形成された他のダマシン配線の配線幅と等しく、その長辺の長さが前記配線幅よりも大きく、前記第３のダマシン配線が形成されている溝のアスペクト比は、前記長辺方向の断面の方が前記短辺方向の断面よりも小さく形成する。

【００１７】

上述した手段によれば、中間配線層を拡幅することによって埋込不足による断線或いは高抵抗化を防止することが可能となる。

【００１８】

また、前記拡幅部分によって、目外れ部分の発生を回避し、導電体の成膜不良に起因するプラグの導通不良を防止することが可能となる。

【００１９】

以下、本発明の実施の形態を説明する。

なお、実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【００２０】

【発明の実施の形態】

図４に示すのは、本発明の一実施の形態である半導体装置の要部を示す縦断面図である。

【００２１】

本実施の形態の半導体装置では、半導体基板１１主面をＳＧＩ（Shallow Groove Isolation）等の素子間分離絶縁膜１２によって各素子形成領域に分離し、各素子形成領域或いは素子間分離絶縁膜１２上にはバイポーラトランジスタ１３，ＦＥＴ１４，拡散抵抗１５等の各種素子が形成されている。

【００２２】

ＦＥＴ１４のゲート電極の側面はサイドウォールによって覆われ、バイポーラトランジスタ１３の電極、ＦＥＴ１４のソース領域，ドレイン領域、ゲート電極は、上面をチタンなどの高融点金属と反応させ自己整合によってシリサイド化するサリサイド処理がなされている。

【００２３】

半導体基板１１主面に形成された各素子は、ＳＡＣ（Self Align Contact）のための窒化珪素膜１６によって被覆し、リンによるゲッタリングを行なうＰＳＧ膜等の酸化珪素を主体とし、ＣＭＰ技術により研磨して、素子段差を平坦化した層間絶縁膜１７によって覆われている。前記各素子等の接続領域は、層間絶縁膜１７を貫通するプラグ１８の一端に接続され、プラグ１８の他端は層間絶縁膜１７を介して積層された１層目の配線層１９に接続されている。

【００２４】

プラグ１８は、スパッタによるチタン、窒化チタン等を堆積させたバリア膜及びＣＶＤによるタングステン膜等によって構成し、１層目の配線層１９は、主に局所配線に用いられるためタングステンによって形成し、更に層間絶縁膜２０を貫通するプラグ２１によって２層目の配線層２２と接続されている。

【００２５】

２層目の配線層２２は、ダマシン法による銅配線となっており、ダマシン法による配線層の形成について図５を用いて説明する。先ず層間絶縁膜２０ａを貫通するプラグ２１形成後に更に層間絶縁膜２０ｂを堆積させた上に、配線形成領域を除いたパターンのレジストマスク２３を形成し、次にレジストマスク２３を用いたドライエッチングによって配線形成領域にプラグ２１に達する溝を形成し、次に窒化チタンを堆積させたバリア膜２２ａ、銅膜２２ｂを順次スパッタによって堆積させ、熱処理を行ない、銅膜２２ｂをリフローさせ、次にＣＭＰによって余分の配線材料を研磨・除去して前記溝内に配線層２２を形成する。

【００２６】

同様にして、３層目の層間絶縁膜２４、プラグ２５、配線層２６、４層目の層間絶縁膜２７、プラグ２８、配線層２９、５層目の層間絶縁膜３０、プラグ３１、配線層３２、６層

目の層間絶縁膜３３、プラグ３４、配線層３５、７層目の層間絶縁膜３６、プラグ３７、配線層３８が形成されている。なお、６層目，７層目配線層３５，３８では、配線断面積の拡大によって低抵抗化を行ないアルミニウムを用いたスパッタによって配線層３５，３８を形成してもよい。

【００２７】

次に、本実施の形態の配線層の接続状態を配線層２６，２９，３２を例として説明する。図６，図７，図８はそれらの接続状態を示す図であり、図中、（ａ）は平面図であり、そのａ‐ａ線に沿った断面を（ｂ）表している。

【００２８】

先ず、図６に示す例では、下層の配線層２６と上層の配線層３２とを接続するために、配線層２６に接続したプラグ２８と配線層３２に接続したプラグ３１とを中間配線層２９によって接続している。夫々のプラグ２８，３１は平面的に同一の位置に、垂直方向に重ねて形成する貫通スルーホールによる配線構造となっており、中間配線層２９はプラグ２８，３１に対してオーバーサイズとなる略正方形状に拡幅されている。

【００２９】

また、図７に示す例では、夫々のプラグ２８，３１は平面的に同一の位置に、垂直方向に重ねて形成する貫通スルーホールによる配線構造となっており、中間配線層２９はプラグ２８，３１に対して配線長方向の一方向に拡幅されている。図８に示す例では、夫々のプラグ２８，３１は平面的に同一の位置に、垂直方向に重ねて形成する貫通スルーホールによる配線構造となっており、中間配線層２９はプラグ２８，３１に対して配線長方向の二方向に拡幅されている。

【００３０】

このような中間配線層２９の拡幅によって、銅膜の埋込不足による中間配線層２９の断線或いは高抵抗化を防止することが可能となる。また、前記拡幅部分によって、プラグ３１形成のためのスルーホール形成の際にエッチングのマスク合わせの誤差等により、スルーホールが中間配線層２９からずれてしまう目外れ部分の発生を回避し、導電体の成膜不良に起因するプラグ３１の導通不良を防止することが可能となる。

【００３１】

前述した例では中間配線層２９を、配線長方向に拡幅したが、同様に配線幅方向への拡幅或いは配線長方向及び配線幅方向の双方向への拡幅、更にそれらの拡幅を一方向或いは二方向に行なってもよい。

【００３２】

なお、こうした拡幅に関しては、同層の配線層間の寄生容量或いは配線層の加工限界等を考慮した対向長制限の範囲内で行ない、この対向長制限は配線層の用途或いは配線層の長さなどを考慮して夫々に設定することが可能である。

【００３３】

以上、本発明者によってなされた発明を、前記実施の形態に基づき具体的に説明したが、本発明は、前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【００３４】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

（１）本発明によれば、中間配線層を拡幅することによって、微細パターンへの導体膜充填が充分に行なわれるという効果がある。

（２）本発明によれば、上記効果（１）により、充填不良による断線を防止することができるという効果がある。

（３）本発明によれば、上記効果（１）により、充填不良によるボイドの発生を防止することができるという効果がある。

（４）本発明によれば、上記効果（２）（３）により、中間配線層の導通不良を防止する

ことができるという効果がある。
（５）本発明によれば、中間配線層を拡幅することによって、マスク合わせの誤差等による目外れ部分の発生を防止することができるという効果がある。
（６）本発明によれば、上記効果（５）により、中間配線層側面にクレバス状の隙間が生じるのを防止することができるという効果がある。
（７）本発明によれば、上記効果（６）により、残留水分等によるタングステン等の導電体のＣＶＤ成膜不良を防止することができるという効果がある。
（８）本発明によれば、上記効果（７）により、プラグ導通不良の発生を防止することができるという効果がある。

【図面の簡単な説明】

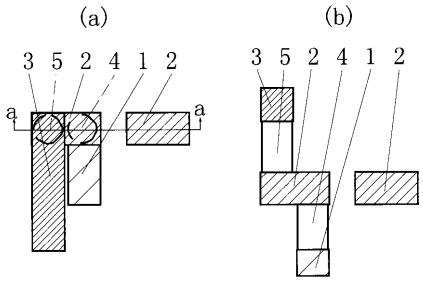
【図１】従来の半導体装置の配線層接続状態を示す平面図及び断面図である。
【図２】従来の半導体装置の配線層接続状態を示す平面図及び断面図である。
【図３】従来の半導体装置の配線層接続状態を示す平面図及び断面図である。
【図４】本発明の一実施の形態である半導体装置の要部を示す縦断面図である。
【図５】ダマシン法による配線層形成を示す縦断面図である。
【図６】本発明の半導体装置の配線層接続状態を示す平面図及び断面図である。
【図７】本発明の半導体装置の配線層接続状態を示す平面図及び断面図である。
【図８】本発明の半導体装置の配線層接続状態を示す平面図及び断面図である。

【符号の説明】

１，２，３…配線層、４，５…プラグ、１１…半導体基板、１２…素子間分離絶縁膜、１３…バイポーラトランジスタ、１４…ＦＥＴ、１５…拡散抵抗、１６…窒化珪素膜、１７，２０２４，２７，３０，３３，３６…層間絶縁膜、１８，２１，２５，２８，３１，３４，３７…プラグ、１９，２２，２６，２９，３２，３５，３８…配線層、２３…レジストマスク。

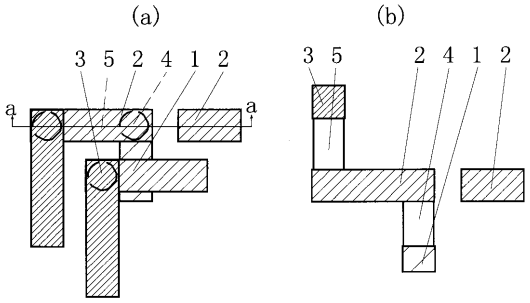
【図１】

図１



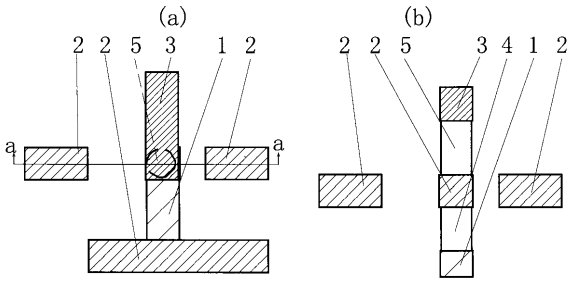
【図２】

図２



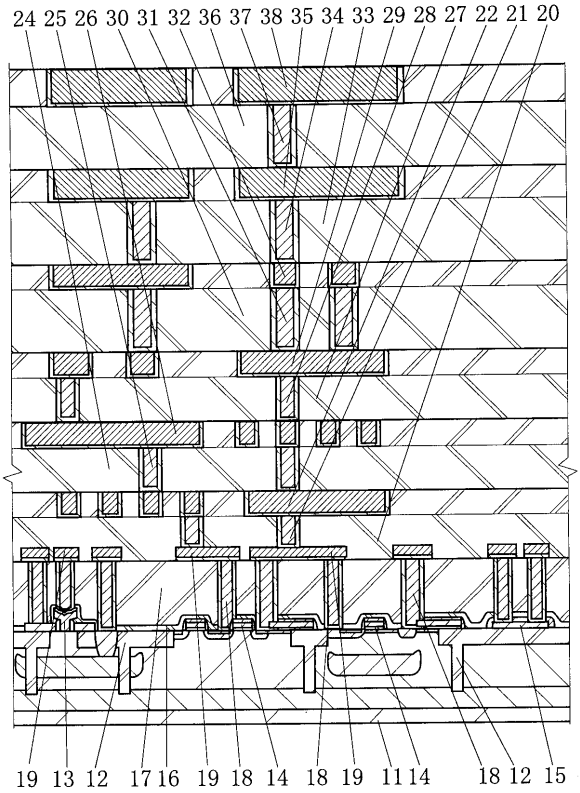
【図３】

図３



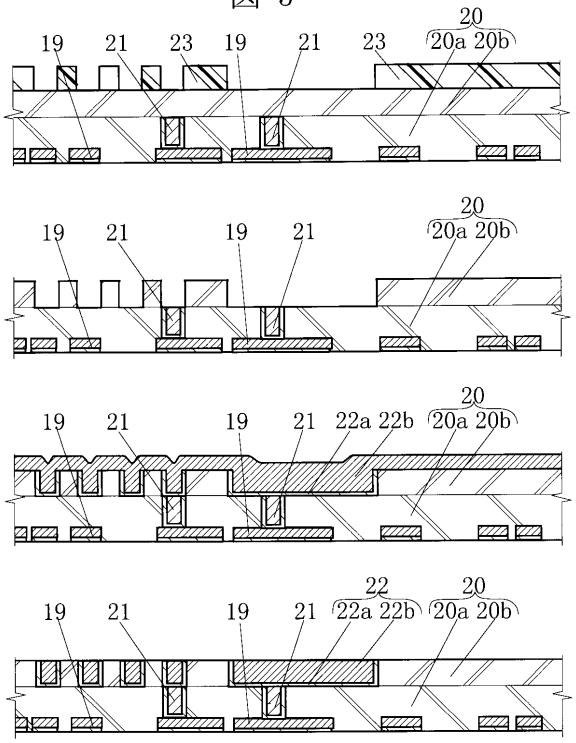
【図４】

図 4



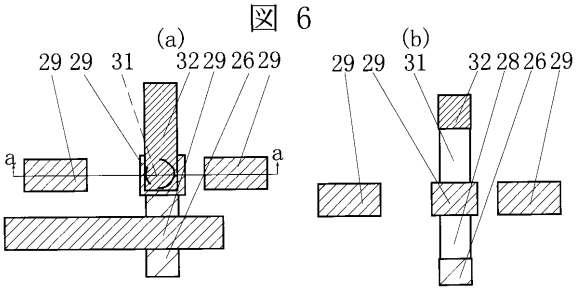
【図５】

図 5



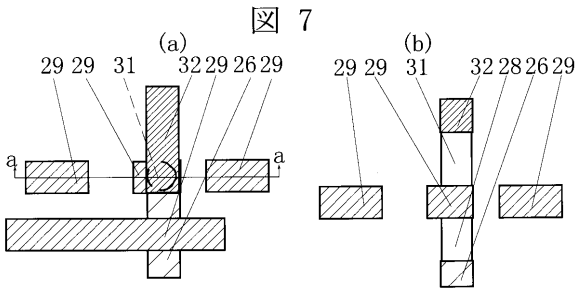
【図６】

図 6



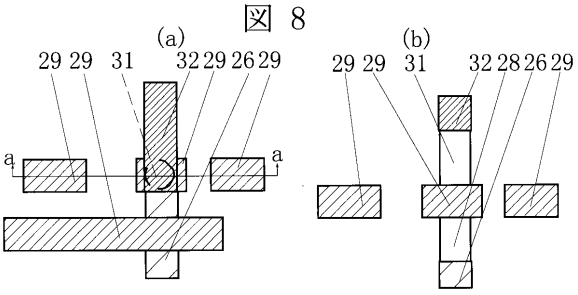
【図７】

図 7



【図８】

図 8



フロントページの続き

(72)発明者　大和田　伸郎
東京都青梅市新町六丁目１６番地の３　株式会社日立製作所　デバイス開発センタ内
(72)発明者　青木　英雄
東京都青梅市新町六丁目１６番地の３　株式会社日立製作所　デバイス開発センタ内

審査官　綿引　隆

(56)参考文献　特開平１０－１９９９８３（ＪＰ，Ａ）
特開平０７－３０７３３８（ＪＰ，Ａ）
特開平０７－２７３１９０（ＪＰ，Ａ）
特開平０６－３１４６９２（ＪＰ，Ａ）
特開平０６－０２１２３４（ＪＰ，Ａ）
特開平０５－０６７６１５（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.^{7}，ＤＢ名)
H01L 21/768