



## (12) 发明专利

(10) 授权公告号 CN 109448656 B

(45) 授权公告日 2021.01.26

(21) 申请号 201811600791.6

G11C 19/28 (2006.01)

(22) 申请日 2018.12.26

(56) 对比文件

(65) 同一申请的已公布的文献号

申请公布号 CN 109448656 A

CN 108986732 A, 2018.12.11

CN 108831403 A, 2018.11.16

CN 107705762 A, 2018.02.16

(43) 申请公布日 2019.03.08

CN 106652875 A, 2017.05.10

CN 104575430 A, 2015.04.29

(73) 专利权人 惠科股份有限公司

CN 105374314 A, 2016.03.02

地址 518101 广东省深圳市宝安区石岩街

CN 101604551 A, 2009.12.16

道水田村民营工业园惠科工业园厂房

CN 102968950 A, 2013.03.13

1、2、3栋,九州阳光1号厂房5、7楼

CN 108648686 A, 2018.10.12

(72) 发明人 单剑锋

CN 104240765 A, 2014.12.24

(74) 专利代理机构 广州华进联合专利商标代理

CN 109064964 A, 2018.12.21

有限公司 44224

CN 103489484 A, 2014.01.01

代理人 李文渊

审查员 张慧

(51) Int. Cl.

G09G 3/36 (2006.01)

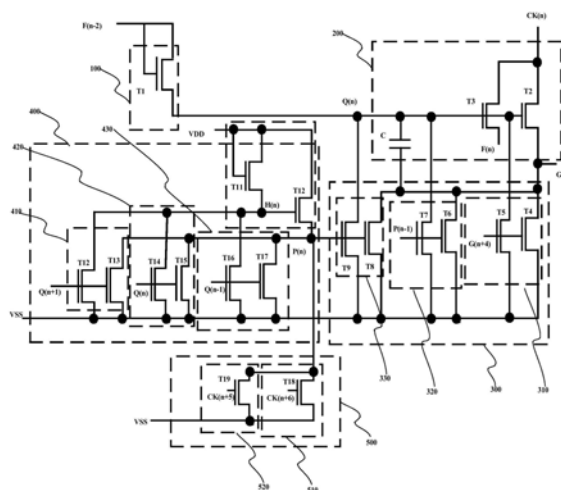
权利要求书3页 说明书12页 附图6页

(54) 发明名称

移位暂存器和栅极驱动电路

(57) 摘要

本申请涉及一种移位暂存器和栅极驱动电路。移位暂存器包括上拉电路、输出电路、下拉电路、第一下拉控制电路和第二下拉控制电路。第一下拉控制电路响应高电平信号,将高电平信号提供给下拉控制节点,响应下拉控制节点的电压信号,将高电平信号提供给下拉节点,以及响应第一开关信号、第二开关信号和上拉节点的电压信号,并将低电平信号分别提供给下拉节点和下拉控制节点。第二下拉控制电路响应第一下拉控制信号和第二下拉控制信号,并将低电平信号分别提供给下拉节点和下拉控制节点,从而减少下拉节点处于直流高电平工作状态的时间,降低相关的薄膜晶体管的阈值电压发生漂移的可能性,提高降噪效果。



1. 一种移位暂存器,其特征在于,包括:

上拉电路,连接所述移位暂存器的输入信号端,用以响应输入信号,并将所述输入信号提供给上拉节点;

输出电路,连接所述上拉节点以及时钟信号输入端,用以响应所述上拉节点的电压信号,并将时钟信号提供给所述移位暂存器的第一输出端和第二输出端;

下拉电路,连接第一下拉信号输入端、第二下拉信号输入端以及下拉节点,用以响应第一下拉信号、第二下拉信号以及所述下拉节点的电压信号,并将低电平信号分别提供给该移位暂存器的上拉节点和该移位暂存器的第一输出端;

第一下拉控制电路,连接高电平信号输入端、第一开关信号输入端、第二开关信号输入端、下拉控制节点、所述下拉节点以及所述上拉节点,用以响应所述高电平信号,将所述高电平信号提供给所述下拉控制节点,响应所述下拉控制节点的电压信号,将所述高电平信号提供给所述下拉节点,以及响应第一开关信号、第二开关信号和所述上拉节点的电压信号,并将所述低电平信号分别提供给所述下拉节点和所述下拉控制节点;以及

第二下拉控制电路,连接第一下拉控制信号输入端、第二下拉控制信号输入端和所述下拉节点,用以响应第一下拉控制信号和第二下拉控制信号,并将所述低电平信号分别提供给所述下拉节点和所述下拉控制节点;

其中,在由多个所述移位暂存器级联形成的扫描电路中,所述输入信号为第 $n-2$ 级所述移位暂存器的输出信号,所述第一下拉信号为第 $n+4$ 级所述移位暂存器的下拉节点的电压信号,所述第二下拉控制信号为第 $n-1$ 级所述移位暂存器的下拉节点的电压信号,所述第一开关信号为第 $n+1$ 级所述移位暂存器的上拉节点的电压信号,所述第二开关信号为第 $n-1$ 级所述移位暂存器的上拉节点的电压信号,所述第一下拉控制信号为第 $n+6$ 级所述移位暂存器的时钟信号,所述第二下拉控制信号为第 $n+5$ 级所述移位暂存器的时钟信号;

其中, $2 < n < N-6$ ,  $N$ 为所述移位暂存器的数目,且 $n$ 和 $N$ 均为正整数。

2. 如权利要求1所述的移位暂存器,其特征在于,所述第一下拉控制电路包括:

第一开关支路,连接第一开关信号输入端、所述下拉控制节点和所述下拉节点,用以响应所述第一开关信号,并将所述低电平信号分别提供给所述下拉节点和所述下拉控制节点;

第二开关支路,连接所述上拉节点、所述下拉控制节点和所述下拉节点,用以响应所述上拉节点的电压信号,并将所述低电平信号分别提供给所述下拉节点和所述下拉控制节点;

第三开关支路,连接所述第二开关信号输入端、所述下拉控制节点和所述下拉节点,用以响应所述第二开关信号,并将所述低电平信号分别提供给所述下拉节点和所述下拉控制节点;以及

下拉输入支路,连接所述高电平信号输入端、所述下拉控制节点和所述下拉节点,用以响应所述高电平信号,将所述高电平信号提供给所述下拉控制节点,以及响应所述下拉控制节点的电压信号,将所述高电平信号提供给所述下拉节点。

3. 如权利要求2所述的移位暂存器,其特征在于,所述第二下拉控制电路包括:

第一下拉控制支路,连接所述第一下拉控制信号输入端和所述下拉节点,用以响应所述第一下拉控制信号,并将所述低电平信号提供给所述下拉节点;以及

第二下拉控制支路,连接所述第二下拉控制信号输入端和所述下拉节点,用以响应所述第二下拉控制信号,并将所述低电平信号提供给所述下拉节点。

4.如权利要求3所述的移位暂存器,其特征在于,所述下拉电路包括:

第一下拉支路,连接所述第一下拉信号输入端,用以响应所述第一下拉信号,并将低电平信号分别提供给该移位暂存器的上拉节点和该移位暂存器的第一输出端;

第二下拉支路,连接所述第二下拉信号输入端,用以响应所述第二下拉信号,并将低电平信号分别提供给该移位暂存器的上拉节点和该移位暂存器的第一输出端;以及

第三下拉支路,连接所述下拉节点,用以响应所述下拉节点的电压信号,并将低电平信号分别提供给该移位暂存器的上拉节点和该移位暂存器的第一输出端。

5.如权利要求4所述的移位暂存器,其特征在于,所述上拉电路包括:

第一开关管,栅极和漏极与所述输入信号端连接,源极与所述上拉节点连接。

6.如权利要求5所述的移位暂存器,其特征在于,所述输出电路包括:

第二开关管,栅极与所述上拉节点连接,漏极与所述时钟信号输入端连接,源极与所述移位暂存器的第一输出端连接;

第三开关管,栅极与所述上拉节点连接,漏极与所述时钟信号输入端连接,源极与所述移位暂存器的第二输出端连接;以及

电容,一端与所述上拉节点连接,另一端与所述移位暂存器的第一输出端连接。

7.如权利要求6所述的移位暂存器,其特征在于,

所述第一下拉支路包括:

第四开关管,栅极与所述第一下拉信号输入端连接,漏极与所述移位暂存器的第一输出端以及所述电容连接,源极与所述低电平电压信号输入端连接;以及

第五开关管,栅极与所述第一下拉信号输入端连接,漏极与所述上拉节点连接,源极与所述低电平电压信号输入端连接;

所述第二下拉支路包括:

第六开关管,栅极与所述第二下拉信号输入端连接,漏极与所述移位暂存器的第一输出端以及所述电容连接,源极与所述低电平电压信号输入端连接;以及

第七开关管,栅极与所述第二下拉信号输入端连接,漏极与所述上拉节点连接,源极与所述低电平电压信号输入端连接;

所述第三下拉支路包括:

第八开关管,栅极与所述下拉节点连接,漏极与所述移位暂存器的第一输出端以及所述电容连接,源极与所述低电平电压信号输入端连接;以及

第九开关管,栅极与所述下拉节点连接,漏极与所述上拉节点连接,源极与所述低电平电压信号输入端连接。

8.如权利要求7所述的移位暂存器,其特征在于,

所述下拉输入支路包括:

第十开关管,栅极和漏极均与所述高电平信号输入端连接,源极与所述下拉控制节点连接;以及

第十一开关管,栅极与所述下拉控制节点连接,漏极与所述高电平信号输入端连接,源极与所述下拉节点连接;

所述第一开关支路包括：

第十二开关管，栅极与所述第一开关信号输入端连接，漏极与所述下拉控制节点连接，源极与所述低电平信号输入端连接；以及

第十三开关管，栅极与所述第一开关信号输入端连接，漏极与下拉节点连接，源极与所述低电平信号输入端连接；

所述第二开关支路包括：

第十四开关管，栅极与所述上拉节点连接，漏极与所述下拉控制节点连接，源极与所述低电平信号输入端连接；以及

第十五开关管，栅极与所述上拉节点连接，漏极与下拉节点连接，源极与所述低电平信号输入端连接；

所述第三开关支路包括：

第十六开关管，栅极与所述第二开关信号输入端连接，漏极与所述下拉控制节点连接，源极与所述低电平信号输入端连接；以及

第十七开关管，栅极与所述第二开关信号输入端连接，漏极与下拉节点连接，源极与所述低电平信号输入端连接。

9. 如权利要求8所述的移位暂存器，其特征在于，

所述第一下拉控制支路包括第十八开关管，栅极与第一下拉控制信号输入端连接，漏极与所述下拉节点连接，源极与所述低电平信号输入端连接；以及

所述第二下拉控制支路包括第十九开关管，栅极与第二下拉控制信号输入端连接，漏极与所述下拉节点连接，源极与所述低电平信号输入端连接。

10. 一种栅极驱动电路，包括级联的各级移位暂存器，其特征在于，所述移位暂存器包括：

上拉电路，连接第 $n-2$ 级移位暂存器的第二输出端，用以响应所述第 $n-2$ 级移位暂存器的输出信号，并将所述第 $n-2$ 级移位暂存器的输出信号提供给上拉节点；

输出电路，连接所述上拉节点以及时钟信号输入端，用以响应所述上拉节点的电压信号，并将时钟信号提供给该移位暂存器的第一输出端和第二输出端；

下拉电路，连接第 $n-1$ 级移位暂存器的下拉节点、所述移位暂存器的下拉节点以及第 $n+4$ 级移位暂存器的第一输出端，用以响应所述第 $n+4$ 级移位暂存器第一输出端输出的电压信号，并将低电平信号分别提供给该移位暂存器的上拉节点和该移位暂存器的第一输出端；

第一下拉控制电路，连接高电平信号输入端、第 $n+1$ 级暂存器的上拉节点、第 $n-1$ 级移位暂存器的上拉节点、所述移位暂存器的上拉节点、下拉控制节点和所述下拉节点，用以响应所述高电平信号，将所述高电平信号提供给所述下拉控制节点，响应所述下拉控制节点的电压信号，将所述高电平信号提供给所述下拉节点，以及响应第 $n+1$ 级暂存器的上拉节点的电压信号、第 $n-1$ 级移位暂存器的上拉节点的电压信号、所述移位暂存器的上拉节点的电压信号，将所述低电平信号分别提供给所述下拉节点和所述下拉控制节点；以及

第二下拉控制电路，连接第 $n+5$ 以及 $n+6$ 级移位暂存器的时钟信号输入端，用以响应第 $n+5$ 以及 $n+6$ 级移位暂存器的时钟信号，并将所述低电平信号分别提供给所述下拉节点和所述下拉控制节点；

其中， $2 < n < N-6$ ， $N$ 为栅线数量，且 $n$ 和 $N$ 均为正整数。

## 移位暂存器和栅极驱动电路

### 技术领域

[0001] 本申请涉及显示领域,尤其涉及一种移位暂存器和栅极驱动电路。

### 背景技术

[0002] 薄膜晶体管液晶显示 (Thin Film Transistor Liquid Crystal Display, TFT-LCD) 驱动器主要包括栅极驱动电路和数据驱动电路,其中,栅极驱动电路将输入的时钟信号通过移位暂存器转换后加在液晶显示面板的栅线上,栅极驱动电路可以与TFT形成具有相同工艺并与TFT一起同时形成在LCD面板上。栅极驱动电路包括具有多级的移位暂存器,每级移位暂存器均连接到相应的栅极线以输出栅极驱动信号。栅极驱动电路的各级彼此相连,起始信号输入至各级中的第一级并顺序的将栅极驱动信号输出至栅极线,其中当前第 $n$ 级的输入端连接到第 $n-2$ 级的输出端,第一下拉信号输入端连接到第 $n+4$ 级的输出端,第二下拉信号输入端连接到底 $n-1$ 的下拉节点,第一开关信号输入端连接第 $n-1$ 级的上拉节点,第二开关信号输入端连接第 $n+1$ 级的上拉节点。

[0003] 在LCD面板设置上述结构的栅极驱动电路,目前栅极驱动电路设计中,一般通过设置下拉节点将非输出行的输出端子的电位拉低,但是,如果下拉节点长期处于直流高电平工作状态,可能会导致相关的薄膜晶体管的阈值电压发生漂移,影响降噪效果。

### 发明内容

[0004] 基于此,本申请提供了一种移位暂存器和栅极驱动电路,以改善下拉节点长期处于直流高电平工作状态的情况。

[0005] 本申请实施例提供了一种移位暂存器,包括:

[0006] 上拉电路,连接所述移位暂存器的输入信号端,用以响应输入信号,并将所述输入信号提供给上拉节点;

[0007] 输出电路,连接所述上拉节点以及时钟信号输入端,用以响应所述上拉节点的电压信号,并将时钟信号提供给所述移位暂存器的第一输出端和第二输出端;

[0008] 下拉电路,连接第一下拉信号输入端、第二下拉信号输入端以及下拉节点,用以响应第一下拉信号、第二下拉信号以及所述下拉节点的电压信号,并将低电平信号分别提供给该移位暂存器的上拉节点和该移位暂存器的第一输出端;

[0009] 第一下拉控制电路,连接高电平信号输入端、第一开关信号输入端、第二开关信号输入端、下拉控制节点、所述下拉节点以及所述上拉节点,用以响应所述高电平信号,将所述高电平信号提供给所述下拉控制节点,响应所述下拉控制节点的电压信号,将所述高电平信号提供给所述下拉节点,以及响应第一开关信号、第二开关信号和所述上拉节点的电压信号,并将所述低电平信号分别提供给所述下拉节点和所述下拉控制节点;以及

[0010] 第二下拉控制电路,连接第一下拉控制信号输入端、第二下拉控制信号输入端和所述下拉节点,用以响应第一下拉控制信号和第二下拉控制信号,并将所述低电平信号分别提供给所述下拉节点和所述下拉控制节点。

[0011] 在其中一个实施例中,所述第一下拉控制电路包括:

[0012] 第一开关支路,连接第一开关信号输入端、所述下拉控制节点和所述下拉节点,用以响应所述第一开关信号,并将所述低电平信号分别提供给所述下拉节点和所述下拉控制节点;

[0013] 第二开关支路,连接所述上拉节点、所述下拉控制节点和所述下拉节点,用以响应所述上拉节点的电压信号,并将所述低电平信号分别提供给所述下拉节点和所述下拉控制节点;

[0014] 第三开关支路,连接所述第二开关信号输入端、所述下拉控制节点和所述下拉节点,用以响应所述第二开关信号,并将所述低电平信号分别提供给所述下拉节点和所述下拉控制节点;以及

[0015] 下拉输入支路,连接所述高电平信号输入端、所述下拉控制节点和所述下拉节点,用以响应所述高电平信号,将所述高电平信号提供给所述下拉控制节点,以及响应所述下拉控制节点的电压信号,将所述高电平信号提供给所述下拉节点。

[0016] 在其中一个实施例中,所述第二下拉控制电路包括:

[0017] 第一下拉控制支路,连接所述第一下拉控制信号输入端和所述下拉节点,用以响应所述第一下拉控制信号,并将所述低电平信号提供给所述下拉节点;以及

[0018] 第二下拉控制支路,连接所述第二下拉控制信号输入端和所述下拉节点,用以响应所述第二下拉控制信号,并将所述低电平信号提供给所述下拉节点。

[0019] 在其中一个实施例中,所述下拉电路包括:

[0020] 第一下拉支路,连接所述第一下拉信号输入端,用以响应所述第一下拉信号,并将低电平信号分别提供给该移位暂存器的上拉节点和该移位暂存器的第一输出端;

[0021] 第二下拉支路,连接所述第二下拉信号输入端,用以响应所述第二下拉信号,并将低电平信号分别提供给该移位暂存器的上拉节点和该移位暂存器的第一输出端;以及

[0022] 第三下拉支路,连接所述下拉节点,用以响应所述下拉节点的电压信号,并将低电平信号分别提供给该移位暂存器的上拉节点和该移位暂存器的第一输出端。

[0023] 在其中一个实施例中,所述上拉电路包括:

[0024] 第一开关管,栅极和漏极与所述输入信号端连接,源极与所述上拉节点连接。

[0025] 在其中一个实施例中,所述输出电路包括:

[0026] 第二开关管,栅极与所述上节点连接,漏极与所述时钟信号输入端连接,源极与所述移位暂存器的第一输出端连接;

[0027] 第三开关管,栅极与所述上节点连接,漏极与所述时钟信号输入端连接,源极与所述移位暂存器的第二输出端连接;以及

[0028] 电容,一端与所述上拉节点连接,另一端与所述移位暂存器的第一输出端连接。

[0029] 在其中一个实施例中,所述第一下拉支路包括:

[0030] 第四开关管,栅极与所述第一下拉信号输入端连接,漏极与所述移位暂存器的第一输出端以及所述电容连接,源极与所述低电平电压信号输入端连接;以及

[0031] 第五开关管,栅极与所述第一下拉信号输入端连接,漏极与所述上拉节点连接,源极与所述低电平电压信号输入端连接;

[0032] 所述第二下拉支路包括:

[0033] 第六开关管,栅极与所述第二下拉信号输入端连接,漏极与所述移位暂存器的第一输出端以及所述电容连接,源极与所述低电平电压信号输入端连接;以及

[0034] 第七开关管,栅极与所述第二下拉信号输入端连接,漏极与所述上拉节点连接,源极与所述低电平电压信号输入端连接;

[0035] 所述第三下拉支路包括:

[0036] 第八开关管,栅极与所述下拉节点连接,漏极与所述移位暂存器的第一输出端以及所述电容连接,源极与所述低电平电压信号输入端连接;以及

[0037] 第九开关管,栅极与所述下拉节点连接,漏极与所述上拉节点连接,源极与所述低电平电压信号输入端连接。

[0038] 在其中一个实施例中,所述下拉输入支路包括:

[0039] 第十开关管,栅极和漏极均与所述高电平信号输入端连接,源极与所述下拉控制节点连接;以及

[0040] 第十一开关管,栅极与所述下拉控制节点连接,漏极与所述高电平信号输入端连接,源极与所述下拉节点连接;

[0041] 所述第一开关支路包括:

[0042] 第十二开关管,栅极与所述第一开关信号输入端连接,漏极与所述下拉控制节点连接,源极与所述低电平信号输入端连接;以及

[0043] 第十三开关管,栅极与所述第一开关信号输入端连接,漏极与下拉节点连接,源极与所述低电平信号输入端连接;

[0044] 所述第二开关支路包括:

[0045] 第十四开关管,栅极与所述上拉节点连接,漏极与所述下拉控制节点连接,源极与所述低电平信号输入端连接;以及

[0046] 第十五开关管,栅极与所述上拉节点连接,漏极与下拉节点连接,源极与所述低电平信号输入端连接;

[0047] 所述第三开关支路包括:

[0048] 第十六开关管,栅极与所述第二开关信号输入端连接,漏极与所述下拉控制节点连接,源极与所述低电平信号输入端连接;以及

[0049] 第十七开关管,栅极与所述第二开关信号输入端连接,漏极与下拉节点连接,源极与所述低电平信号输入端连接。

[0050] 在其中一个实施例中,所述第一下拉控制支路包括第十八开关管,栅极与第一下拉控制信号输入端连接,漏极与所述下拉节点连接,源极与所述低电平信号输入端连接;以及

[0051] 所述第二下拉控制支路包括第十九开关管,栅极与第二下拉控制信号输入端连接,漏极与所述下拉节点连接,源极与所述低电平信号输入端连接。

[0052] 基于同一发明构思,本申请还提供了一种栅极驱动电路,包括级联的各级移位暂存器,所述移位暂存器包括:

[0053] 上拉电路,连接第 $n-2$ 级移位暂存器的第二输出端,用以响应所述第 $n-2$ 级移位暂存器的输出信号,并将所述第 $n-2$ 级移位暂存器的输出信号提供给上拉节点;

[0054] 输出电路,连接所述上拉节点以及时钟信号输入端,用以响应所述上拉节点的电

压信号,并将时钟信号提供给该移位暂存器的第一输出端和第二输出端;

[0055] 下拉电路,连接第 $n-1$ 级移位暂存器的下拉节点、所述移位暂存器的下拉节点以及第 $n+4$ 级移位暂存器的第一输出端,用以响应所述第 $n+4$ 级移位暂存器第一输出端输出的电压信号,并将低电平信号分别提供给该移位暂存器的上拉节点和该移位暂存器的第一输出端;

[0056] 第一下拉控制电路,连接高电平信号输入端、第 $n+1$ 级暂存器的上拉节点、第 $n-1$ 级移位暂存器的上拉节点、所述移位暂存器的上拉节点、下拉控制节点和所述下拉节点,用以响应所述高电平信号,将所述高电平信号提供给所述下拉控制节点,响应所述下拉控制节点的电压信号,将所述高电平信号提供给所述下拉节点,以及响应第 $n+1$ 级暂存器的上拉节点的电压信号、第 $n-1$ 级移位暂存器的上拉节点的电压信号、所述移位暂存器的上拉节点的电压信号,将所述低电平信号分别提供给所述下拉节点和所述下拉控制节点;以及

[0057] 第二下拉控制电路,连接第 $n+5$ 以及 $n+6$ 级移位暂存器的时钟信号输入端,用以响应第 $n+5$ 以及 $n+6$ 级移位暂存器的时钟信号,并将所述低电平信号分别提供给所述下拉节点和所述下拉控制节点;

[0058] 其中, $2 < n < N-6$ ,  $N$ 为栅线数量,且 $n$ 和 $N$ 均为正整数。

[0059] 综上,本申请提供了一种移位暂存器和栅极驱动电路。所述移位暂存器包括上拉电路、输出电路、下拉电路、第一下拉控制电路和第二下拉控制电路。所述上拉电路连接所述移位暂存器的输入信号端,用以响应输入信号,并将所述输入信号提供给上拉节点。所述输出电路连接所述上拉节点以及时钟信号输入端,用以响应所述上拉节点的电压信号,并将时钟信号提供给所述移位暂存器的第一输出端和第二输出端。所述下拉电路连接第一下拉信号输入端、第二下拉信号输入端以及下拉节点,用以响应第一下拉信号、第二下拉信号以及所述下拉节点的电压信号,并将低电平信号分别提供给该移位暂存器的上拉节点和该移位暂存器的第一输出端。所述第一下拉控制电路,连接高电平信号输入端、第一开关信号输入端、第二开关信号输入端、下拉控制节点、所述下拉节点以及所述上拉节点,用以响应所述高电平信号,将所述高电平信号提供给所述下拉控制节点,响应所述下拉控制节点的电压信号,将所述高电平信号提供给所述下拉节点,以及响应第一开关信号、第二开关信号和所述上拉节点的电压信号,并将所述低电平信号分别提供给所述下拉节点和所述下拉控制节点。所述第二下拉控制电路,连接第一下拉控制信号输入端、第二下拉控制信号输入端和所述下拉节点,用以响应第一下拉控制信号和第二下拉控制信号,并将所述低电平信号分别提供给所述下拉节点和所述下拉控制节点。本申请中,在非输出阶段,所述移位暂存器响应于所述第一下拉控制信号和第二下拉控制信号,并将所述低电平信号分别提供给所述下拉节点和所述下拉控制节点,从而减少所述下拉节点处于直流高电平工作状态的时间,进而降低相关的薄膜晶体管的阈值电压发生漂移的可能性,提高降噪效果。

## 附图说明

[0060] 图1为示例性显示面板的电气结构示意图;

[0061] 图2为汤普森电路结构示意图;

[0062] 图3为汤普森电路中上拉节点的充电过程示意图;

[0063] 图4为示例性的移位暂存器的电路结构示意图;

- [0064] 图5为另一示例性的移位暂存器的电路结构示意图；
- [0065] 图6为图5中的移位暂存器的各信号端的时序图；
- [0066] 图7为本申请实施例提供的一种移位暂存器的电路结构示意图；
- [0067] 图8为本申请提供的一种栅极驱动电路的级联结构示意图；
- [0068] 图9为图7中的移位暂存器的各信号端的时序图。

## 具体实施方式

[0069] 为使本申请的上述目的、特征和优点能够更加明显易懂，下面结合附图对本申请的具体实施方式做详细的说明。在下面的描述中阐述了很多具体细节以便于充分理解本申请。但是本申请能够以很多不同于在此描述的其它方式来实施，本领域技术人员可以在不违背本申请内涵的情况下做类似改进，因此本申请不受下面公开的具体实施的限制。

[0070] 请参见图1，移位暂存器 (Gate On Array, GOA) 在面板设计中是一项重要的技术，主要优点是可以替换掉栅极驱动芯片 (Gate driver IC)，降低生产成本，其主要就是通过曝光显影技术产生逻辑电路以驱动栅极信号。

[0071] 请参见图2和图3，目前栅极驱动电路都是在汤普森电路的基础上发展出来的，在扫描过程中，上拉节点Q (boost point) 处都会有一个预充信号对该点进行预充，以使该点的电压信号升高至高点位，进而导通相应开关管输出时钟信号。

[0072] 请参见图4和图5，一般移位暂存器包括主电路、次级下拉电路和次级下拉控制电路。以由8个级联的移位暂存器构成的栅极驱动电路为中的第四级移位暂存器为例，该第四级移栅极驱动电路的移位暂存器仅在当其上拉节点的电压信号以及其时钟信号CK4为高电平时输出扫描信号，从而实现栅线扫描驱动功能。但是该移位暂存器中的下拉节点长时间处于直流高电平工作状态，请参见图6，可能会导致相关的薄膜晶体管的阈值电压发生漂移，进而影响降噪效果。

[0073] 为减少下拉节点处于直流高电平工作状态的时间，本申请提供了一种移位暂存器，请参见图7。所述移位暂存器包括上拉电路100、输出电路200、下拉电路300、第一下拉控制电路400和第二下拉控制电路500。

[0074] 所述上拉电路100连接所述移位暂存器的输入信号端F (n-2)，用以响应输入信号，并将所述输入信号提供给上拉节点Q (n)。

[0075] 所述输出电路200连接所述上拉节点Q (n) 以及时钟信号CK (n) 输入端，用以响应所述上拉节点Q (n) 的电压信号，并将时钟信号提供给所述移位暂存器的第一输出端G (n) 和第二输出端F (n)。

[0076] 所述下拉电路300连接第一下拉信号输入端G (n+4)、第二下拉信号输入端P (n-1) 以及下拉节点P (n)，用以响应第一下拉信号、第二下拉信号以及所述下拉节点的电压信号，并将低电平信号分别提供给该移位暂存器的上拉节点Q (n) 和该移位暂存器的第一输出端G (n)。

[0077] 所述第一下拉控制电路400连接高电平信号VDD输入端、第一开关信号输入端Q (n+1)、第二开关信号输入端Q (n-1)、下拉控制节点H (n)、所述下拉节点p (n) 以及所述上拉节点Q (n)，用以响应所述高电平信号，将所述高电平信号提供给所述下拉控制节点H (n)，响应所述下拉控制节点H (n) 的电压信号，将所述高电平信号VDD提供给所述下拉节点P (n)，以及响

应第一开关信号、第二开关信号和所述上拉节点Q(n)的电压信号,并将所述低电平信号分别提供给所述下拉节点和所述下拉控制节点。

[0078] 所述第二下拉控制电路500连接第一下拉控制信号CK(n+6)输入端、第二下拉控制信号CK(n+5)输入端和所述下拉节点P(n),用以响应第一下拉控制信号CK(n+6)和第二下拉控制信号CK(n+5),并将所述低电平信号分别提供给所述下拉节点和所述下拉控制节点。

[0079] 可以理解,在非输出阶段,所述移位暂存器响应于第一下拉控制信号CK(n+6)和第二下拉控制信号CK(n+5),并将所述低电平信号分别提供给所述下拉节点P(n)和所述下拉控制节点H(n),从而减少所述下拉节点P(n)处于直流高电平工作状态的时间,进而降低相关的薄膜晶体管的阈值电压发生漂移的可能性,从而提高降噪效果。

[0080] 在其中一个实施例中,所述第一下拉控制电路400包括第一开关支路410、第二开关支路420、第三开关支路430和下拉输入支路440。

[0081] 所述第一开关支路410连接第一开关信号Q(n+1)输入端、所述下拉控制节点H(n)和所述下拉节点P(n),用以响应所述第一开关信号Q(n+1),并将所述低电平信号分别提供给所述下拉节点P(n)和所述下拉控制节点H(n)。

[0082] 所述第二开关支路420连接所述上拉节点Q(n)、所述下拉控制节点H(n)和所述下拉节点P(n),用以响应所述上拉节点Q(n)的电压信号,并将所述低电平信号VSS分别提供给所述下拉节点P(n)和所述下拉控制节点H(n)。

[0083] 所述第三开关支路430连接所述第二开关信号Q(n-1)输入端、所述下拉控制节点H(n)和所述下拉节点P(n),用以响应所述第二开关信号Q(n-1),并将所述低电平信号分别提供给所述下拉节点P(n)和所述下拉控制节点H(n)。

[0084] 所述下拉输入支路440连接所述高电平信号VDD输入端、所述下拉控制节点H(n)和所述下拉节点P(n),用以响应所述高电平信号VDD,将所述高电平信号VDD提供给所述下拉控制节点H(n),以及响应所述下拉控制节点H(n)的电压信号,将所述高电平信号VDD提供给所述下拉节点P(n)。

[0085] 本实施例中,利用后一级移位暂存器的上拉节点的电压信号作为所述第一开关信号以控制第一开关支路410,利用当前移位暂存器的上拉节点的电压信号作为控制所述第二开关支路420,利用所述前一级移位暂存器的上拉节点的电压信号作为所述第二开关信号以控制所述第三开关支路430,使得在输出阶段所述下拉节点保持低电平信号,不对所述第一输出端进行放电。

[0086] 在其中一个实施例中,所述第二下拉控制电路500包括:

[0087] 第一下拉控制支路510,连接所述第一下拉控制信号CK(n+6)输入端和所述下拉节点P(n),用以响应所述第一下拉控制信号CK(n+6),并将所述低电平信号VSS提供给所述下拉节点P(n);

[0088] 第二下拉控制支路520,连接所述第二下拉控制信号CK(n+5)输入端和所述下拉节点P(n),用以响应所述第二下拉控制信号CK(n+5),并将所述低电平信号VSS提供给所述下拉节点P(n)。

[0089] 本实施中,利用第n+6级的时钟信号作为当前级的第一下拉控制信号,控制所述第一下拉控制支路510。利用第n+5级的时钟信号作为当前级的第二下拉控制信号,控制所述第二下拉控制支路520。

[0090] 可以理解,在非输出阶段,当通过所述第一下拉控制电路400无法降低所述下拉节点的电压时,可进一步通过所述第一下拉控制支路510和第二下拉控制支路520减少所述下拉节点处于直流高压状态的时间,保持所述下拉节点在非输出阶段的电压信号为交流电压信号,从而有效的抑制了由元件自身的阈值电压的漂移导致的错误输出。

[0091] 在其中一个实施例中,所述下拉电路300包括第一下拉支路310、第二下拉支路320和第三下拉支路330。

[0092] 所述第一下拉支路310连接所述第一下拉信号 $Q(n+4)$ 输入端,用以响应所述第一下拉信号 $Q(n+4)$ ,并将低电平信号VSS分别提供给该移位暂存器的上拉节点 $Q(n)$ 和该移位暂存器的第一输出端 $G(n)$ ;

[0093] 所述第二下拉支路320连接所述第二下拉信号 $P(n-1)$ 输入端,用以响应所述第二下拉信号 $P(n-1)$ ,并将低电平信号VSS分别提供给该移位暂存器的上拉节点 $Q(n)$ 和该移位暂存器的第一输出端 $G(n)$ ;以及

[0094] 所述第三下拉支路330连接所述下拉节点 $P(n)$ ,用以响应所述下拉节点 $P(n)$ 的电压信号,并将低电平信号VSS分别提供给该移位暂存器的上拉节点 $Q(n)$ 和该移位暂存器的第一输出端 $G(n)$ 。

[0095] 本实施例中,利用第 $n+4$ 级的输出信号 $Q(n+4)$ 作为所述第一下拉信号,以控制所述第一下拉支路310。利用第 $n-1$ 级下拉节点的电压信号 $P(n-1)$ 作为所述第二下拉信号,以控制所述第二下拉支路320。利用当前级下拉节点 $P(n)$ 的电压信号控制所述第三下拉支路330。可以理解,通过对所述第一下拉支路310、第二下拉支路320和第三下拉支路330对上拉节点 $Q(n)$ 和所述第一输出端 $G(n)$ 进行不间断的放电,可提高所述移位暂存器的降噪效果。

[0096] 在其中一个实施例中,所述上拉电路100包括第一开关管T1。所述第一开关管T1的栅极和漏极与所述输入信号 $F(n-2)$ 端连接,源极与所述上拉节点 $Q(n)$ 连接。

[0097] 本实施例中,所述第 $n-2$ 级的输出信号 $F(n-2)$ 作为当前级的输入信号,所述第一开关管T1栅极和漏极与所述第 $n-2$ 级的第二输出端连接。

[0098] 在其中一个实施例中,所述输出电路200包括第二开关管T2、第三开关管T3和电容C。

[0099] 所述第二开关管T2的栅极与所述上拉节点 $Q(n)$ 连接,漏极与所述时钟信号 $CK(n)$ 输入端连接,源极与所述移位暂存器的第一输出端连接 $G(n)$ 。

[0100] 所述第三开关管T3的栅极与所述上拉节点 $Q(n)$ 连接,漏极与所述时钟信号输入端连接,源极与所述移位暂存器的第二输出端 $F(n)$ 连接。

[0101] 所述电容C一端与所述上拉节点 $Q(n)$ 连接,另一端与所述移位暂存器的第一输出端 $G(n)$ 连接,用于保持上拉节点 $Q(n)$ 的电位。

[0102] 本实施例中,所述第一输出端与扫描线连接,为显示面板提供扫描信号,所述第二输出端的输出信号作为第 $n+2$ 级的输入信号,以实现连续扫描。

[0103] 在其中一个实施例中,所述第一下拉支路310包括第四开关管T4和第五开关管T5。

[0104] 所述第四开关管T4的栅极与所述第一下拉信号输入端 $G(n+4)$ 输入端连接,漏极与所述移位暂存器的第一输出端以及所述电容C连接,源极与所述低电平电压信号VSS输入端连接。

[0105] 所述第五开关管T5的栅极与所述第一下拉信号输入端 $G(n+4)$ 输入端连接,漏极与

所述上拉节点Q(n)连接,源极与所述低电平电压信号VSS输入端连接。

[0106] 所述第二下拉支路320包括第六开关管T6和第七开关管T7。

[0107] 所述第六开关管T6的栅极与所述第二下拉信号P(n-1)输入端连接,漏极与所述移位暂存器的第一输出端G(n)以及所述电容C连接,源极与所述低电平电压信号VSS输入端连接。

[0108] 所述第七开关管T7的栅极与所述第二下拉信号P(n-1)输入端连接,漏极与所述上拉节点Q(n)连接,源极与所述低电平电压信号VSS输入端连接。

[0109] 所述第三下拉支路330包括第八开关管T8和第九开关管T9。

[0110] 所述第八开关管T8的栅极与所述下拉节点P(n)连接,漏极与所述移位暂存器的第一输出端G(n)以及所述电容C连接,源极与所述低电平电压信号VSS输入端连接。

[0111] 所述第九开关管T9的栅极与所述下拉节点P(n)连接,漏极与所述上拉节点Q(n)连接,源极与所述低电平电压信号VSS输入端连接。

[0112] 在其中一个实施例中,所述下拉输入支路440包括第十开关管T10、第十一开关管T11。

[0113] 所述第十开关管T10的栅极和漏极均与所述高电平信号VDD输入端连接,源极与所述下拉控制节点H(n)连接。

[0114] 所述第十一开关管T11的栅极与所述下拉控制节点H(n)连接,漏极与所述高电平信号VDD输入端连接,源极与所述下拉节点P(n)连接。

[0115] 所述第一开关支路410包括第十二开关管T12和第十三开关管T13。

[0116] 所述第十二开关管T12的栅极与所述第一开关信号Q(n+1)输入端连接,漏极与所述下拉控制节点H(n)连接,源极与所述低电平信号VSS输入端连接;以及

[0117] 所述第十三开关管T13的栅极与所述第一开关信号Q(n+1)输入端连接,漏极与所述下拉节点P(n)连接,源极与所述低电平信号VSS输入端连接。

[0118] 所述第二开关支路420包括第十四开关管T14和第十五开关管T15。

[0119] 所述第十四开关管T14的栅极与所述上拉节点Q(n)连接,漏极与所述下拉控制节点H(n)连接,源极与所述低电平信号VSS输入端连接。

[0120] 所述第十五开关管T15的栅极与所述上拉节点Q(n)连接,漏极与所述下拉节点P(n)连接,源极与所述低电平信号VSS输入端连接。

[0121] 所述第三开关支路430包括第十六开关管T16和第十七开关管T17。

[0122] 所述第十六开关管T16的栅极与所述第二开关信号Q(n-1)输入端连接,漏极与所述下拉控制节点H(n)连接,源极与所述低电平信号VSS输入端连接;以及

[0123] 所述第十七开关管T17的栅极与所述第二开关信号Q(n-1)输入端连接,漏极与所述下拉节点P(n)连接,源极与所述低电平信号VSS输入端连接。

[0124] 本实施例中,所述第十二开关管T12和所述第十三开关管T13的栅极均与第n+1级的上拉节点Q(n+1)连接,响应所述第n+1级的上拉节点Q(n+1)的电压信号。所述第十四开关管T14和所述第十五开关管T15的栅极均与当前级(即第n级)的上拉节点Q(n)连接,响应当前级的上拉节点Q(n)的电压信号。所述第十六开关管T16和所述第十七开关管T17的栅极均与第n-1级的上拉节点Q(n-1)连接,响应第n-1级的上拉节点Q(n-1)的电压信号。因此通过所述控制信号,可以保证在当前级的下拉节点P(n)在第n-1级、当前级以及第n+1级的输出

时间段内持续保持低电平。

[0125] 在其中一个实施例中,所述第一下拉控制支路510包括第十八开关管T18,所述第十八开关管T18的栅极与第一下拉控制信号CK(n+6)输入端连接,漏极与所述下拉节点P(n)连接,源极与所述低电平信号VSS输入端连接。所述第二下拉控制支路520包括第十九开关管T19,所述第十九开关管T19的栅极与第二下拉控制信号CK(n+5)输入端连接,漏极与所述下拉节点P(n)连接,源极与所述低电平信号VSS输入端连接。

[0126] 本实施例中,将第n+6级的时钟信号CK(n+6)作为当前级的第一下拉控制信号,所述第十八开关管T18的栅极与第n+6级的时钟信号CK(n+6)输入端连接。将第n+5级的时钟信号CK(n+5)作为当前级的第二下拉控制信号,所述第十九开关管T19的栅极与第n+5级的时钟信号CK(n+5)输入端连接。

[0127] 在其中一个实施例中,本申请例中所有的开关管均为N型开关管。

[0128] 在其中一个实施例中,所述开关管均为场效应管或均为三极管。当所述开关管均采用场效应管或均采用三极管时,便于进行电路设计。此外,还可以根据实际设计需要,部分采用场效应管,另一部采用三极管。

[0129] 基于同一发明构思,本申请还提供了一种栅极驱动电路,本申请实施例提供的栅极驱动电路包括级联的各级移位暂存器,且所述级联的移位暂存器为上述任一实施例中的移位暂存器。具体地,该阵列基板栅极驱动电路包括N级,N为栅线数量,且 $2 < n < N-6$ 。

[0130] 本实施例中,所述移位暂存器包括上拉电路100、输出电路200、下拉电路300、第一下拉控制电路400和第二下拉控制电路500。

[0131] 所述上拉电路100连接第n-2级移位暂存器的第二输出端,用以响应所述第n-2级移位暂存器的输出信号,并将所述第n-2级移位暂存器的输出信号提供给上拉节点Q(n)。

[0132] 所述输出电路200连接所述上拉节点Q(n)以及时钟信号输入端,用以响应所述上拉节点Q(n)的电压信号,并将时钟信号提供给该移位暂存器的第一输出端和第二输出端。

[0133] 所述下拉电路300连接第n-1级移位暂存器的下拉节点P(n-1)、所述移位暂存器的下拉节点P(n)以及第n+4级移位暂存器的第一输出端G(n+4),用以响应第n-1级移位暂存器的下拉节点P(n-1)、所述下拉节点P(n)以及所述第n+4级移位暂存器第一输出端的电压信号,并将低电平信号VSS分别提供给该移位暂存器的上拉节点Q(n)和该移位暂存器的第一输出端。

[0134] 所述第一下拉控制电路400连接高电平信号VDD输出端、第n+1级暂存器的上拉节点Q(n+1)、第n-1级移位暂存器的上拉节点Q(n-1)、所述移位暂存器的上拉节点Q(n)、下拉控制节点H(n)和所述下拉节点P(n),用以响应所述高电平信号VDD,将所述高电平信号VDD提供给所述下拉控制节点H(n),响应所述下拉控制节点H(n)的电压信号,将所述高电平信号VDD提供给所述下拉节点P(n),以及响应第n+1级暂存器的上拉节点Q(n+1)的电压信号、第n-1级移位暂存器的上拉节点Q(n-1)的电压信号、所述移位暂存器的上拉节点Q(n)的电压信号,将所述低电平信号VSS分别提供给所述下拉节点P(n)和所述下拉控制节点H(n)。

[0135] 所述第二下拉控制电路500连接第n+5以及n+6级移位暂存器的时钟信号输入端,用以响应第n+5以及n+6级移位暂存器的时钟信号,并将所述低电平信号VSS分别提供给所述下拉节点P(n)和所述下拉控制节点H(n);

[0136] 其中, $2 < n < N-6$ ,N为级联的移位暂存器的个数,n和N均为正整数。

[0137] 此外,本实施例中,对于前两级的信号输入端和最后四级的第一下拉电路300均与起始信号输入端连接。

[0138] 图8为栅极驱动电路的级联结构示意图,图9为所述移位暂存器的各信号端的时序图,下面结合图8和图9对本申请实施例提供的栅极驱动电路中的第n级移位暂存器的工作方法进行说明,具体以由8个所述移位暂存器构成的栅极驱动电路中的第4级移位暂存器的工作方法进行说明。

[0139] 第一阶段S1,时钟信号CK4为低电平信号,时钟信号CK2和CK8为高电平信号,第二级移位暂存器的输出的高电平信号,所述第一开关管T1打开,为上拉节点Q(4)充电,上拉节点Q(4)上升为高电平,所述第二开关管T2和所述第三开关管T3导通,但因CK4仍为低电平,因此第一输出端G(4)和第二输出端F(4)保持低电平,同时,响应上拉节点Q(4)的电压信号的第十四开关管T14和第十五开关管T15也导通,将低电平信号VSS提供给下拉节点P(4)和下拉控制节点H(4),因此此时下拉节点P(4)保持低电位。

[0140] 第二阶段S2,时钟信号CK4为高电平信号,时钟信号CK2和CK8为低电平信号,第二级移位暂存器的输出的低电平信号,所述第一开关管T1断开,但由于电容C的存在,上拉节点Q(4)仍保持高电位;同时时钟信号CK4为高电平,由于电容C的自举效应(Bootstrapping),上拉节点Q(4)的电位继续升高,响应于所述上拉节点Q(4)的电压信号的第二开关T2和第三开关管T3导通。

[0141] 同时,响应于所述上拉节点Q(4)的电压信号的第十四开关管T14和第十五开关管T15也导通,将低电平信号VSS提供给下拉节点P(4)和下拉控制节点H(4),因此此时下拉节点P(4)保持低电位,第八开关管T8和第九开关管T9断开;所述第三级移位暂存器的下拉节点P(3)保持低电位,响应于下拉节点P(3)的电压信号的第六开关和第七开关管T7断开;时钟信号CK8为低电平,第八级移位暂存器的第一输出端G(8)的输出信号为低电平信号,第四开关管T4和第五开关管T5断开,以防止对上拉节点Q(4)进行放电。

[0142] 因此,此时第一输出端G(4)和第二输出端F(4)的输出信号为高电平信号。

[0143] 第三阶段S3,时钟信号CK2、CK4和CK8为低电平信号,时钟信号CK6为高电平。

[0144] 第三级移位暂存器下拉节点P(3)在所述时钟信号CK6后半输出周期内为高电平,响应于下拉节点P(3)的电压信号的第六开关管T6和第七开关管T7导通,对上拉节点Q(4)进行放电,当由于电容C的存在,所述上拉节点Q(4)仍保持高电位。

[0145] 同时所述上拉节点Q(4)为高电位,响应于上拉节点Q(4)的第十二开关管T12和第十三开关管T13导通,将低电平信号VSS提供给下拉节点P(4)和下拉控制节点H(4),因此此时所述下拉节点P(4)保持低电平。

[0146] 第四阶段S4,在第四阶段的前半时段内,时钟信号CK1、CK2、CK3、CK4、CK5和CK6均为低电平信号,时钟信号CK7和CK8为高电平信号,因此,对应的上拉节点Q(3)、上拉节点Q(4)和上拉节点Q(5)的电压信号均为低电平信号,此时第一下拉控制电路400和第二下拉控制电路中的所有开关管均断开,下拉控制节点H(4)的电压信号为高电平电压信号,所述第十一开关管T11导通,将所述高电平信号VDD提供给下拉节点P(4),下拉节点P(4)的电压信号为高电平电压信号。

[0147] 在第四阶段的后半时段内,时钟信号CK2、CK3、CK4、CK5、CK6和CK7为低电平信号,时钟信号CK1和CK8为高电平信号,此时,对应的上拉节点Q(3)、上拉节点Q(4)和上拉节点Q

(5) 的电压信号均为低电平信号, 第一下拉控制电路400的所有开关管均断开, 响应于时钟信号CK1的第十八开关管T18导通, 将低电平信号VSS提供给下拉节点P(4), 下拉节点P(4)的电压信号为低电平电压信号VSS。

[0148] 第五阶段S5, 在第五阶段的前半时段内, 时钟信号CK3、CK4、CK5、CK6、CK7和CK8为低电平信号, 时钟信号CK1和CK2为高电平信号, 响应于时钟信号CK1的第十八开关管T18导通, 响应于时钟信号CK2的第十九开关管T19也导通, 通过十八开关管T18和第十九开关管T19将低电平信号VSS提供给下拉节点P(4), 下拉节点P(4)的电压信号为低电平电压信号VSS。

[0149] 在第五阶段的后半时段内, 时钟信号CK1、CK4、CK5、CK6、CK7和CK8为低电平信号, 时钟信号CK2和CK3为高电平信号, 响应于时钟信号CK2的第十九开关管T19导通, 将低电平信号VSS提供给下拉节点P(4), 下拉节点P(4)的电压信号为低电平电压信号VSS。

[0150] 第六阶段S6, 在第六阶段的前半时段内, 时钟信号CK1、CK2、CK5、CK6、CK7和CK8为低电平信号, 时钟信号CK3和CK4为高电平信号, 此时第一下拉控制电路400和第二下拉控制电路500中的开关管均断开, 下拉控制节点H(4)的电压信号为高电平电压信号, 所述第十一开关管T11导通, 将所述高电平信号VDD提供给下拉节点P(4), 下拉节点P(4)的电压信号为高电平电压信号。

[0151] 在第六阶段的后半时段内, 时钟信号CK1、CK2、CK3、CK6、CK7和CK8为低电平信号, 时钟信号CK4和CK5为高电平信号, 此时第一下拉控制电路400和第二下拉控制电路500中的开关管均断开, 下拉控制节点H(4)的电压信号为高电平电压信号, 所述第十一开关管T11导通, 将所述高电平信号VDD提供给下拉节点P(4), 下拉节点P(4)的电压信号为高电平电压信号。

[0152] 综上, 本申请提供了一种移位暂存器和栅极驱动电路。所述移位暂存器包括上拉电路100、输出电路200、下拉电路300、第一下拉控制电路400和第二下拉控制电路500。所述上拉电路100连接所述移位暂存器的输入信号端, 用以响应输入信号, 并将所述输入信号提供给上拉节点Q(n)。所述输出电路200连接所述上拉节点Q(n)以及时钟信号输入端, 用以响应所述上拉节点Q(n)的电压信号, 并将时钟信号提供给所述移位暂存器的第一输出端和第二输出端。所述下拉电路300连接第一下拉信号输入端G(n+4)输入端、第二下拉信号P(n-1)输入端以及下拉节点P(n), 用以响应第一下拉信号输入端G(n+4)、第二下拉信号P(n-1)以及所述下拉节点P(n)的电压信号, 并将低电平信号VSS分别提供给该移位暂存器的上拉节点Q(n)和该移位暂存器的第一输出端。所述第一下拉控制电路400, 连接高电平信号VDD输出端、第一开关信号Q(n+1)输入端、第二开关信号Q(n-1)输入端、上拉控制节点Q(n)、所述下拉节点P(n)以及所述上拉节点Q(n), 用以响应所述高电平信号VDD, 将所述高电平信号VDD提供给所述下拉控制节点H(n), 响应所述下拉控制节点H(n)的电压信号, 将所述高电平信号VDD提供给所述下拉节点P(n), 以及响应第一开关信号Q(n+1)、第二开关信号Q(n-1)和所述上拉节点Q(n)的电压信号, 并将所述低电平信号VSS分别提供给所述下拉节点P(n)和所述下拉控制节点H(n)。所述第二下拉控制电路500, 连接第一下拉控制信号输入端、第二下拉控制信号输入端和所述下拉节点P(n), 用以响应第一下拉控制信号和第二下拉控制信号, 并将所述低电平信号VSS分别提供给所述下拉节点P(n)和所述下拉控制节点H(n)。本申请中, 在非输出阶段, 所述移位暂存器响应于所述第一下拉控制信号和第二下拉控制信号,

并将所述低电平信号VSS分别提供给所述下拉节点P(n)和所述下拉控制节点H(n),从而减少所述下拉节点P(n)处于直流高电平工作状态的时间,进而降低相关的薄膜晶体管的阈值电压发生漂移的可能性,从而提高降噪效果。

[0153] 以上所述实施例的各技术特征可以进行任意的组合,为使描述简洁,未对上述实施例中的各个技术特征所有可能的组合都进行描述,然而,只要这些技术特征的组合不存在矛盾,都应当认为是本说明书记载的范围。

[0154] 以上所述实施例仅表达了本申请的几种实施方式,其描述较为具体和详细,但并不能因此而理解为对申请专利范围的限制。应当指出的是,对于本领域的普通技术人员来说,在不脱离本发明构思的前提下,还可以做出若干变形和改进,这些都属于本申请的保护范围。因此,本申请专利的保护范围应以所附权利要求为准。



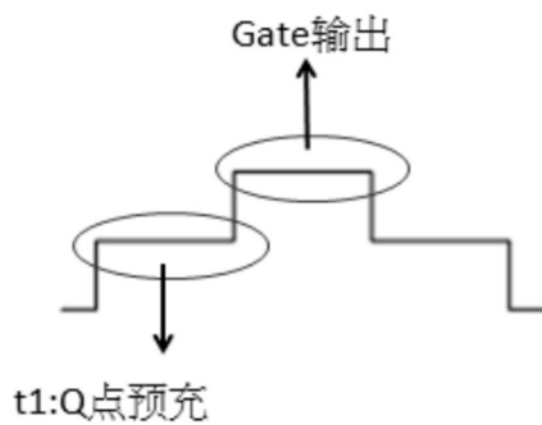


图3

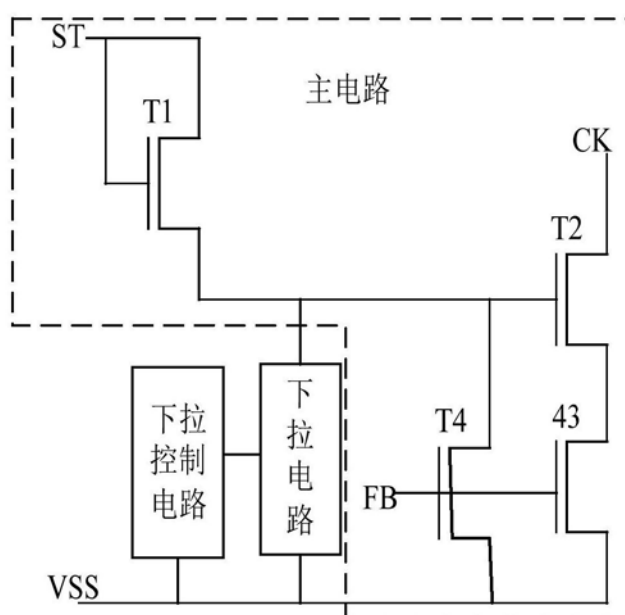


图4

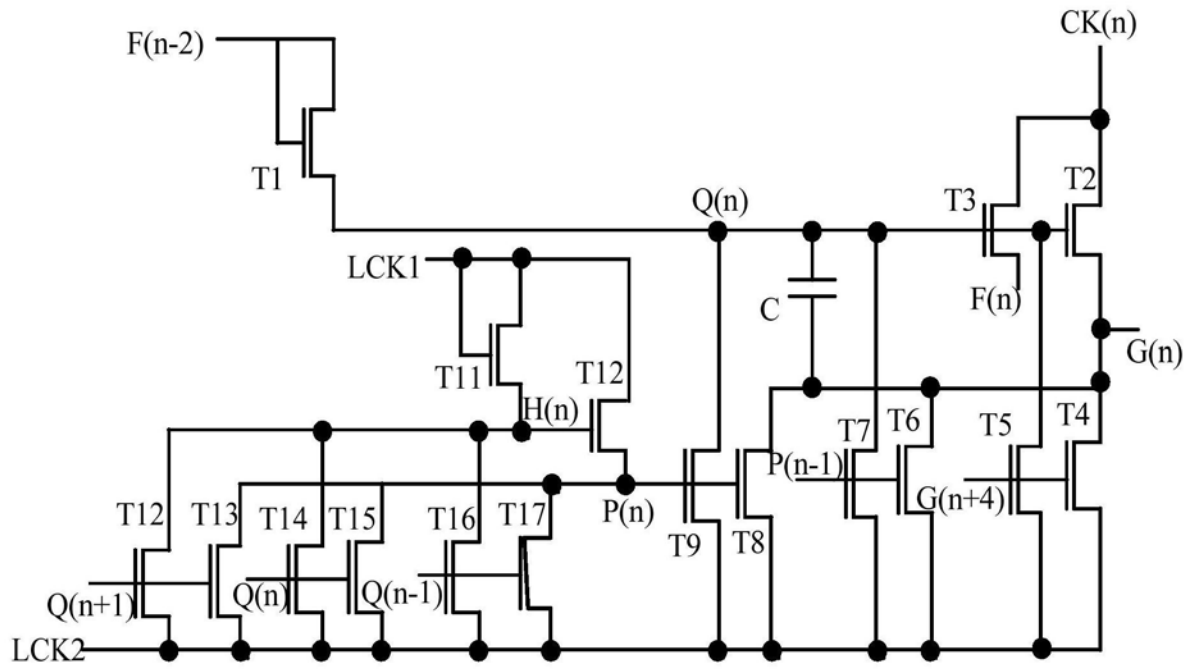


图5

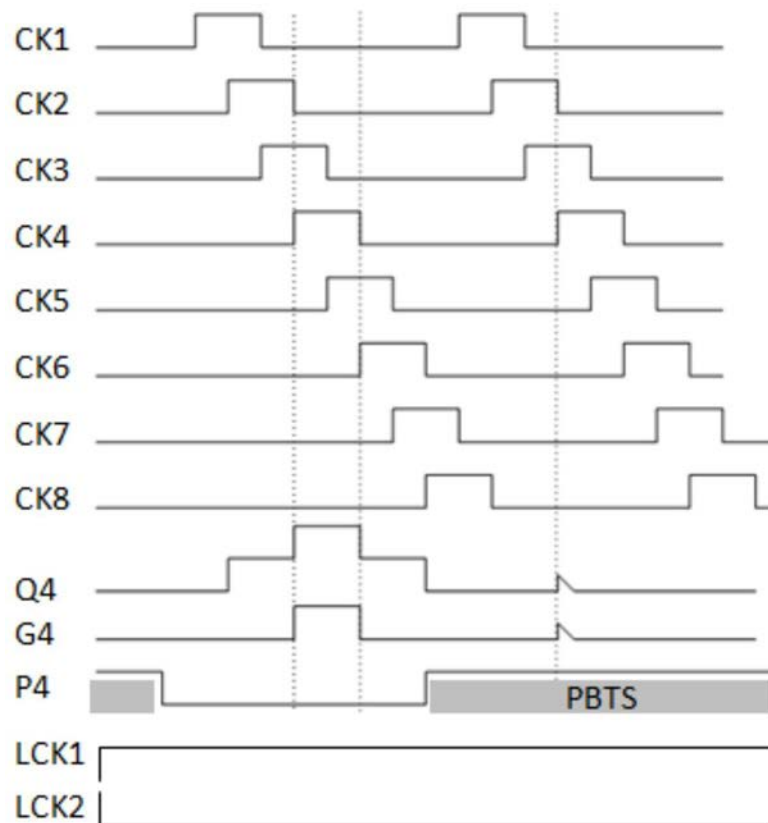


图6

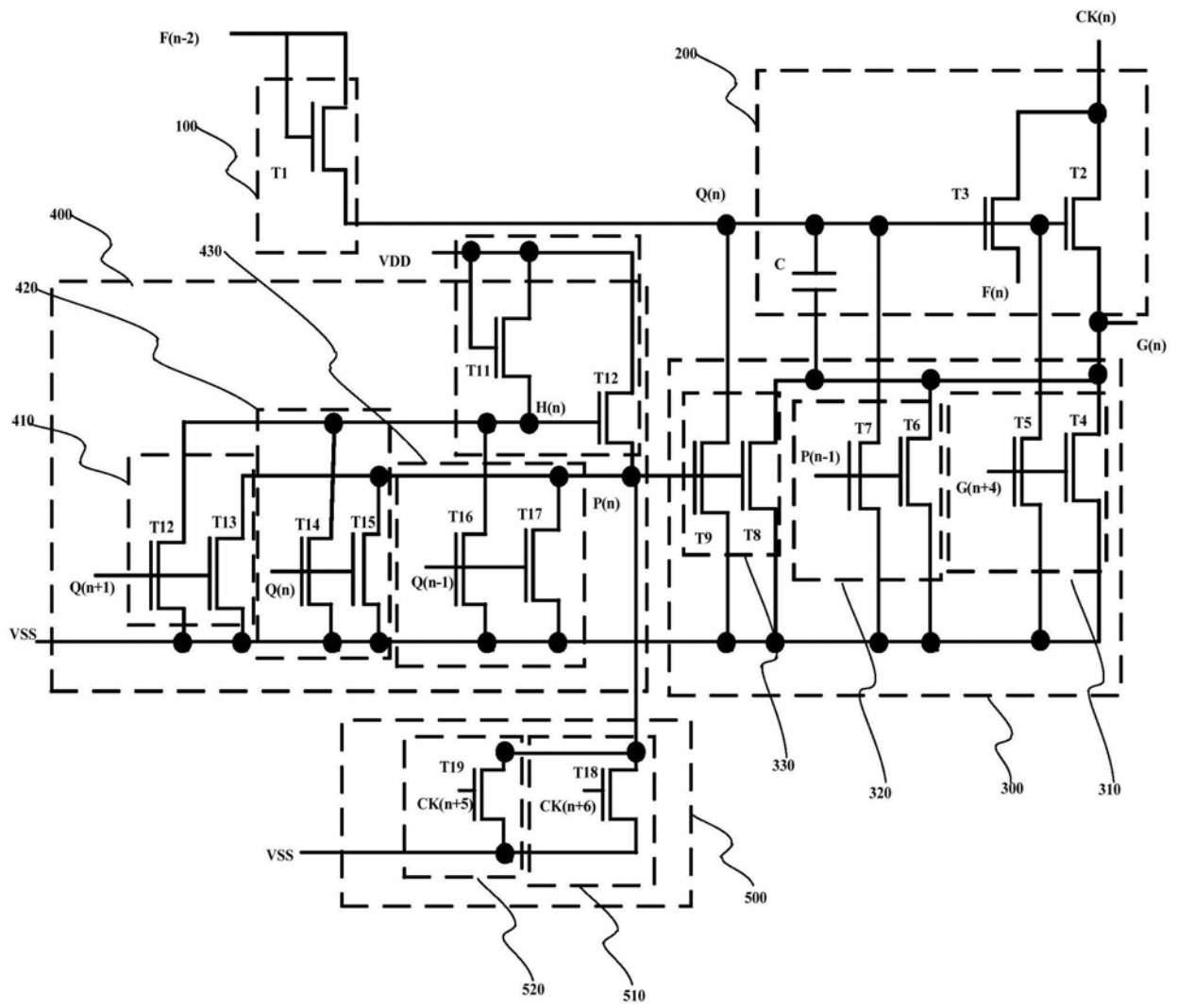


图7

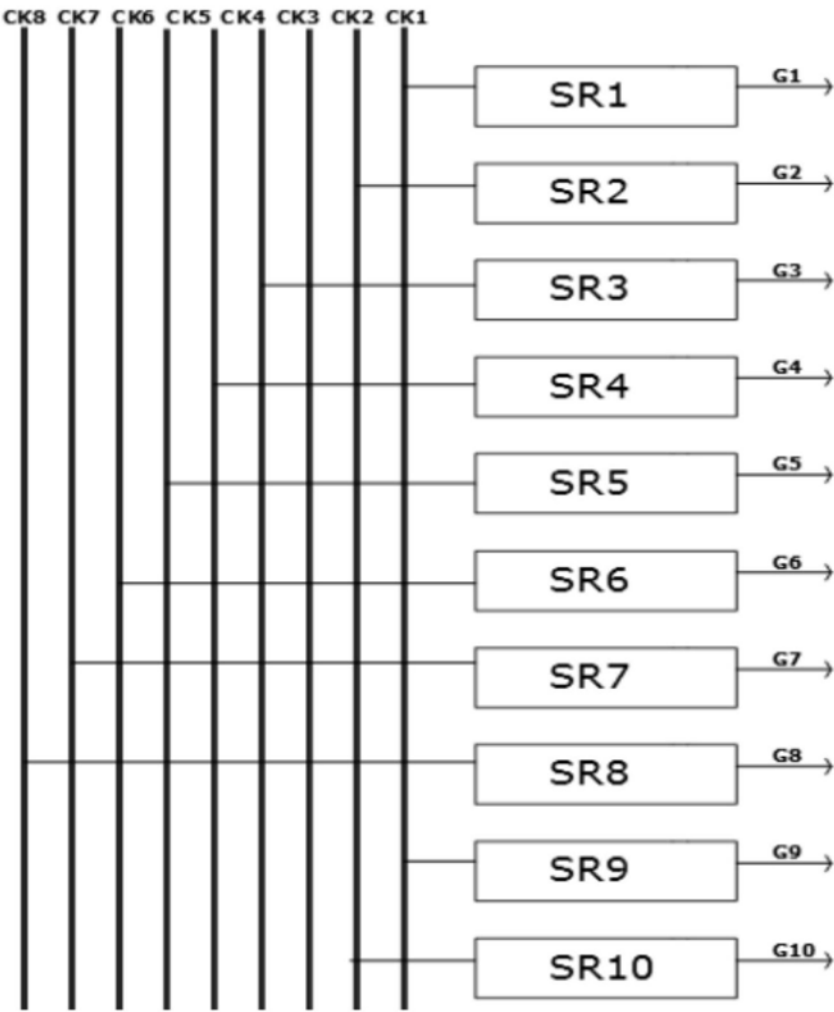


图8

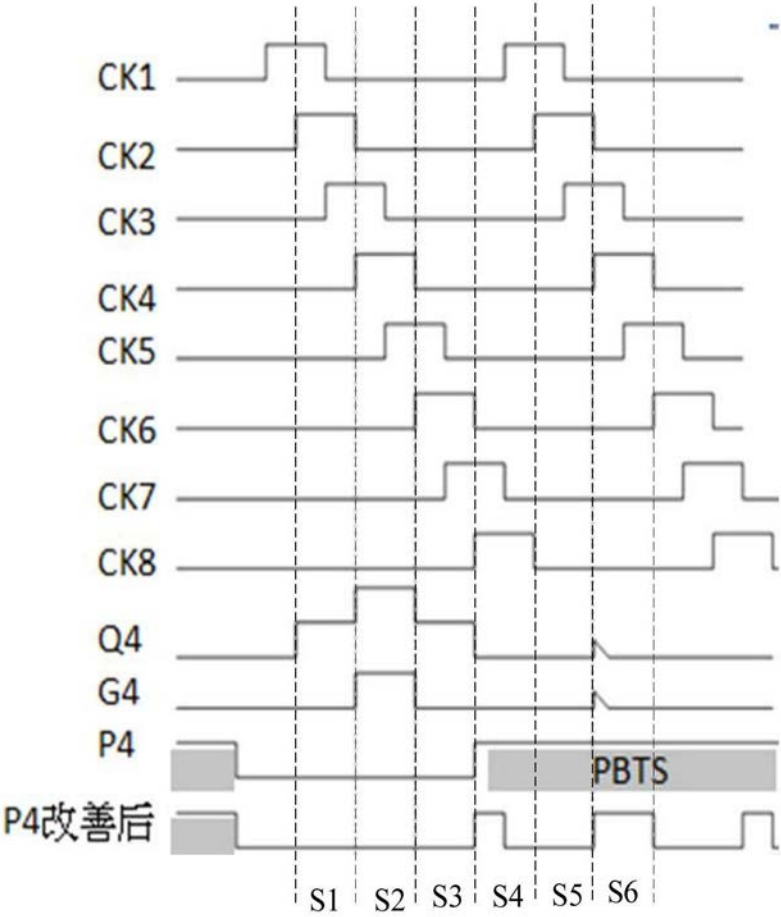


图9