(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [7]
H01L 21/66

(45) 공고일자 2002년05월04일
(11) 등록번호 10-0335168
(24) 등록일자 2002년04월19일

(21) 출원번호	10-2000-7003264	(65) 공개번호	특0000-0000000
(22) 출원일자	2000년03월27일	(43) 공개일자	0000년00월00일
(62) 원출원	특허특1997-0700957		
	원출원일자 : 1997년02월13일	심사청구일자	1997년02월13일
번역문 제출일자	2000년03월27일		
(86) 국제출원번호	PCT/US1995/14885	(87) 국제공개번호	WO 1996/15459
(86) 국제출원출원일자	1995년11월15일	(87) 국제공개일자	1996년05월23일

(81) 지정국 국내특허 : 아일랜드, 오스트레일리아, 바베이도스, 불가리아, 브라질, 캐나다, 중국, 체코, 에스토니아, 그루지야, 헝가리, 아이슬란드, 일본, 북한,
AP ARIPO특허: 케냐, 레소토, 말라위, 수단, 스와질랜드, 우간다, 케냐,
EA 유라시아특허: 아르메니아, 벨라루스, 키르기즈,
EP 유럽특허: 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 오스트리아, 스위스, 독일, 덴마크, 스페인, 핀랜드, 영국,

(30) 우선권주장

08/340,144	1994년11월15일	미국(US)
PCT/US94/13373	1994년11월16일	WIPO(WO)
08/452,255	1995년05월26일	미국(US)
08/457,479	1995년06월01일	미국(US)
08/526,246	1995년09월21일	미국(US)
08/533,584	1995년10월18일	미국(US)
08/554,902	1995년11월09일	미국(US)
08/558,332	1995년11월15일	미국(US)

(73) 특허권자
폼팩터, 인크.
이고르 와이. 칸드로스
미국 캘리포니아 리버모어 라 리베라 스트리트 5666 (우편번호 : 94550)

(72) 발명자
칸드로스이고르와이.
미국94563캘리포니아주오린다하씨엔다스로드25
매튜개탄엘.
미국94568캘리포니아주더블린폴크릭로드7980아파트먼트203
엘드릿지벤자민엔.
미국12533뉴욕주호프웰정션하이릿지로드11
그루브개리더블류.
미국10950뉴욕주몬로박스엠-397알.디.2

(74) 대리인 주성민
장수길

심사관 : 오제욱

(54) 반도체 장치에 일시 접속후 영구 접속하는 방법

요약

탄성 접촉 구조물(430)은 다이(402a, 402b)들이 반도체 웨이퍼로부터 개별화(분리)되기 전에 하나의 반도체 다이(402a, 402b) 상에 패드(410)들을 결합하도록 직접 장착된다. 이는 복수개의 단자(712)가 배치된 표면을 갖는 회로기판(710) 등을 갖춘 반도체 다이(702, 704)에 연결함으로써 반도체 다이(402a, 402b)들을 실행(예를 들어, 시험 및/또는 번인 등)시킬 수 있게 해준다. 따라서, 반도체 다이(402a, 402b)들은 반도체 웨이퍼로부터 개별화될 수 있어서, 동일한 탄성 접촉 구조물(430)이 반도체 다이들과 (와이어링 구조, 반도체 패키지 등)의 다른 전자 부품들 사이의 상호 접속을 수행하는 데 사용될 수 있다. 탄성 접촉 구조물로서 본 발명의 모든 금속성 복합 상호 접속 요소(430)를 사용함으로써 번인을 적어도 150 ℃의 온도로 60분 미만 내에서 완료할 수 있다.

대표도

도 7a

색인어

반도체 장치, 탄성 접촉 구조물, 접속, 탐침 검사, 패키지

명세서

도면의 간단한 설명

도1a는 본 발명의 일 실시예에 따른 상호 접속 요소의 일단을 포함하는 종방향 부분의 단면도.

도1b는 본 발명의 다른 실시예에 따른 상호 접속 요소의 일단을 포함하는 종방향 부분의 단면도.

도1c는 본 발명의 또 다른 실시예에 따른 상호 접속 요소의 일단을 포함하는 종방향 부분의 단면도.

도1d는 본 발명의 또 다른 실시예에 따른 상호 접속 요소의 일단을 포함하는 종방향 부분의 단면도.

도1e는 본 발명의 또 다른 실시예에 따른 상호 접속 요소의 일단을 포함하는 종방향 부분의 단면도.

도2a는 본 발명에 따라 전자 부품의 단자에 장착되고 다층 쉘을 갖는 상호 접속 요소의 단면도.

도2b는 본 발명에 따라 중간층이 유전 재료로 되어 있는 다층 쉘을 갖는 상호 접속 요소의 단면도.

도2c는 본 발명에 따라 전자 부품(탐침 카드 삽입체)에 장착된 복수개의 상호 접속 요소의 사시도.

도2d는 본 발명에 따라 상호 접속 요소를 제조하는 방법의 예시적인 제1 단계를 도시한 단면도.

도2e는 본 발명에 따라 상호 접속 요소를 제조하기 위한 도2d의 방법의 예시적인 다음 단계를 도시한 단면도.

도2f는 본 발명에 따라 상호 접속 요소를 제조하기 위한 도2e의 방법의 예시적인 다음 단계를 도시한 단면도.

도2g는 본 발명에 따라 도2d 내지 도2f의 방법에 따라 제조된 복수개의 개개의 상호 접속 요소를 도시한 단면도.

도2h는 본 발명에 따라 도2d 내지 도2f의 방법에 따라 제조되고 서로 소정의 이격 관계로 합체된 복수개의 개개의 상호 접속 요소를 도시한 단면도.

도2i는 본 발명에 따라 상호 접속 요소를 제조하기 위한 변경 실시예를 도시한 것으로서 한 요소의 일단을 도시한 단면도.

도3a는 본 발명에 따른 포토레지스트 층의 개구를 통해서 기층에 피착된 금속층에 결합된 자유단을 갖는 와이어의 측면도.

도3b는 본 발명에 따라 오버코팅된 와이어를 갖춘, 도3a의 기층의 측면도.

도3c는 본 발명에 따라 포토레지스트 층이 제거되고 금속층이 부분적으로 제거된, 도3b의 기층의 측면도.

도3d는 도3a 내지 도3c에 도시된 방법에 따라 형성된 반도체 장치의 사시도.

도4a 내지 도4e는 본 발명에 따라 탄성 접촉 구조물을 반도체 다이에 장착하는 방법을 도시한 측면도.

도4f 내지 도4g는 도4a 내지 도4e와 유사한 도면으로, 본 발명에 따라 탄성 접촉 구조물을 웨이퍼로부터 분리하기 전에 반도체 장치에 장착하는 방법을 도시한 측면도.

도5는 본 발명에 따라 반도체 웨이퍼 상에 있는 다중 다이 위치에 장착된 복수개의 탄성 접촉 구조물을 도시한 부분 사시도.

도5a는 본 발명에 따라 반도체 다이에 장착되어 핀 아웃(여기서는 결합 패드 간격으로 사용됨)의 유효 피치를 증가시키는 복수개의 탄성 접촉 구조물을 도시한 부분 사시도.

도6a 내지 도6c는 본 발명에 따라 다이(웨이퍼 또는 이로부터 절단된 다이) 상에 탄성 접촉 구조물을 형성하는 공정을 도시한 사시도.

도6d는 본 발명에 따라 다이(웨이퍼 또는 이로부터 절단된 다이) 상에 탄성 접촉 구조물을 형성하는 변경된 공정으로 도6a 내지 도6c에 도시된 방법과는 다른 공정을 도시한 사시도.

도7a는 본 발명에 따라 시험 및/또는 번인 상태 하에서 직접 장착된 탄성 접촉 구조물을 갖춘 개별화되지 않은 반도체 다이의 단면도.

도7b는 본 발명에 따라 직접 장착된 동일 탄성 접촉 구조물을 사용하여 배선 기판과의 상호 접속을 수행하는 도7a의 개별화된 반도체 다이를 도시한 단면도.

도7c는 종래 기술에 따라 웨이퍼로부터 패키징으로 반도체 장치가 따르게 되는 예시적인 경로를 도시한 흐름도.

도7d는 본 발명에 따라 웨이퍼로부터 패키징으로 반도체 장치가 따르게 되는 예시적인 경로를 도시한 흐름도.

도8a는 본 발명에 따른 탐침 요소용 팁 구조물을 제조하는 방법을 도시한 단면도.

도8b는 본 발명에 따른 도8a에 도시된 방법의 또 다른 단계를 도시한 단면도.

도8c는 본 발명에 따른 스페이스 트랜스포머 부품 전체를 도시한 부분적으로는 단면도로 도시한 측면도.

도8d는 본 발명에 따라 도8b의 팁 구조물과 결합된 도8c의 스페이스 트랜스포머 부품 전체를 부분적으로는 단면도로 도시한 측면도.

도8e는 본 발명에 따라 도8b의 팁 구조물과 도8c의 스페이스 트랜스포머 부품을 결합하는 또 다른 단계 전체를 부분적으로는 단면도로 도시한 측면도.

도8f는 본 발명에 따라 외부 부품에 상호 접속된 접촉 구조물의 일부를 도시한 측면도.

도9a 내지 도9d는 본 발명에 따라 와이어 스템의 노출된 중간부에 상호 접속부를 만드는 데 적합한 탄성 접촉 구조물을 제조하는 방법을 도시한 사시도.

도9e는 본 발명에 따라 와이어 스템을 절단하지 않고 다중 프리스탠딩형 접촉 구조물을 제조하는 방법을 도시한 사시도.

도9f는 본 발명에 따라 와이어 스템을 절단하지 않고 다중 프리스탠딩형 접촉 구조물을 제조하는 또 다른 방법을 도시한 사시도.

도10a 및 도10b는 본 발명에 따라 와이어 스템을 절단하지 않고 다중 프리스탠딩형 접촉 구조물을 제조하는 또 다른 방법을 도시한 사시도.

도10c 및 도10d는 본 발명에 따라 루프로부터 전자 화염 절단 없이 프리스탠딩형 와이어 스템을 만드는 방법을 도시한 측면도.

< 도면의 주요 부분에 대한 부호의 설명

110, 120, 130, 140, 150, 210, 220, 264, 832 : 상호 접속 요소

254, 274 : 희생 기층

258, 820 : 팁 구조물

302, 702, 704 : 반도체 장치

430, 530, 708 : 접촉 구조물

830 : 반도체 다이

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전자 부품들 간에 일시적인 가압 접속이 이루어지게 하는 것에 관한 것으로, 보다 상세하게는 반도체 장치를 패키징하기 전에 바람직하기로는, 각각의 반도체 장치가 반도체 웨이퍼로부터 개별화(분리)되기 전에 반도체 장치를 실행(시험 및 번인 과정을 수행)하는 기술에 관한 것이다.

본 특허 출원은 공유되어 동시 계류 중인 1995년 5월 26일자로 출원된 미국 특허 출원 제08/452,255호(이하에서, '모

출원'이라 함)의 공유된 일부 계속 출원이고, 바로 위 미국 특허 출원은 공유되어 동시 계류 중인 1994년 11월 15일자로 출원된 미국 특허 출원 제08/340,144호(현재 계류 중임)와 이에 대응하는 1994년 11월 16일자로 국제 출원된 PCT 특허 출원 제PCT/US94/13373호(1995년 5월 26일자로 국제 공개 제WO95/14314호로 공개됨)의 일부 계속 출원이고, 바로 위의 두 출원은 공유되어 동시 계류 중인 1993년 11월 16일자로 출원된 미국 특허 출원 제08/152,812호(1995년 12월 19일자로 미국 특허 제5,476,211호로 허여됨)의 일부 계속 출원이다.

본 특허 출원은 또한 공유되어 동시 계류 중인 1995년 9월 21일자로 출원된 미국 특허 출원 제08/526,246호(현재 계류 중임)와, 공유되어 동시 계류 중인 1995년 10월 18일자로 출원된 미국 특허 출원 제08/533,584호(현재 계류 중임)와, 공유되어 동시 계류 중인 1995년 11월 9일자로 출원된 미국 특허 출원(번호 미정)(서류 번호: 94-553-US)의 일부 계속 출원이다.

각각의 반도체 (집적 회로) 장치(다이)들은 통상적으로 사진 석판술 및 피착 등과 같은 공지의 기술을 이용하여 반도체 웨이퍼 상에 여러 개의 동일한 장치들을 형성시킴으로서 제조된다. 일반적으로, 이러한 공정들은 복수개의 완전 기능성 집적 회로 장치들을 반도체 웨이퍼로부터 각각의 다이들을 개별화시키기 전에 형성시키려고 의도되는 것이다. 그러나 실제에 있어서, 웨이퍼 자체의 물리적 결함과 웨이퍼의 처리 공정에서의 어떤 결함에 의하여 다이들 중 일부는 양호(완전 기능)하게 되지만 다이들 중 일부는 필연적으로 불량(기능 불량)하게 한다. 일반적으로, 패키징하기 전에 바람직하기로는, 웨이퍼로부터 개별화하기 전에 웨이퍼 상의 복수개의 다이들 중 어느 다이가 양호한지를 식별할 수 있는 것이 바람직하다. 이러한 목적을 위해, 웨이퍼 '시험기' 또는 '탐침'이 다이 상의 복수개의 개별 가압 접속 패드(접합 패드)에 이와 동수인 복수개의 개별 가압 접속부를 만드는 데에 유리하게 이용되며 그리고 다이에 (전력을 포함한) 신호를 제공하는 데 유리하게 이용된다. 이러한 방식에 따르면, 반도체 다이를 웨이퍼로부터 개별화하기 전에 반도체 다이를 실행(시험 및 번인)할 수 있다. 반도체 시험기의 종래의 구성 부재들로는 복수개의 탐침 요소가 연결되어 있는 '탐침 카드'가 있는데, 이 탐침 요소의 팁은 반도체 다이의 각각의 접합 패드에 가압 접속이 이루어지게 한다.

반도체 다이를 탐침 검사하는 모든 기술에 있어서 고유하게 존재하는 어떤 난제가 있다. 일례로, 현재의 집적 회로는 서로 근접하게 배치된(일례로, 중심에서 중심까지 거리가 5 mil) 수 백개의 접합 패드를 필요로 하는 수천개의 트랜지스터 요소들을 포함한다. 더욱이, 접합 패드의 배치는 다이의 주변 가장자리에 근접하게 배치된 접합 패드의 단일 배열에만 한정될 필요는 없다(미국 특허 제5,453,583호 참고).

탐침 요소와 반도체 다이 간의 신뢰성 있는 가압 접속이 이루어지게 하기 위해서는, 다음의 변수들에 제한되는 것은 아니나, 정렬, 탐침 검사력, 오버드라이브, 접촉력, 균형잡힌 접촉력, 스크러브(scrub), 접촉 저항 및 평탄도 등을 포함하는 여러 가지 변수들을 고려해야 한다. 이러한 변수들에 대한 일반적인 논의는 본 명세서의 일부를 구성하는 발명의 명칭이 '고밀도 탐침 카드'인 미국 특허 제4,837,622호에서 찾아볼 수 있는데, 상기 특허에는 미리 형성된 탐침 요소들의 에폭시 링 배열을 수용하도록 구성된 중앙 개구부를 구비하는 단일의 인쇄 회로 기판을 포함하는 고밀도 에폭시 링 탐침 카드에 대하여 개시되어 있다.

일반적으로, 종래 기술의 탐침 카드 조립체는 탐침 카드의 표면으로부터 외팔보로서 연장되는 복수개의 텅스텐 니들을 포함한다. 텅스텐 니들은 위에서 설명한 바와 같이 에폭시 링 중간체에 의해서 행해지는 것과 같은 임의의 적절한 방식에 의해 탐침 카드에 장착된다. 일반적으로, 어떤 경우라도, 텅스텐 니들은 이 텅스텐 니들을 탐침 카드의 단자에 연결시키는 분리된 별개의 배선 중간체에 의해 탐침 카드의 단자로 배선된다.

탐침 카드는 통상적으로 원형 링으로 형성되고, 수 백개의 탐침 요소(니들)들은 링의 내주연부로부터 연장된다(그리고 탐침 카드의 단자에 배선된다). 회로 모듈과 바람직하기로는 길이가 동일한 전도성 트레이스(라인)가 각각의 탐침 요소와 결합된다. 이러한 링형상의 배열에 의하면, 특히, 각각의 반도체 다이의 접합 패드가 반도체 다이의 2개의 대향 가장자리를 따라서 2개의 직선 열이 아닌 다른 형태로 배열될 때에, 웨이퍼 상의 복수개의 개별화되지 않은 반도체 다이(복

수개의 구역)를 탐침 검사하는 것이 곤란하고 어떤 경우에는 불가능하기도 하다.

웨이퍼 시험기는, 본 명세서의 일부로 포함된 발명의 명칭이 '아주 많은 수의 핀으로 시험하는 경우의 반도체 장치용 대형 돌출 막'인 미국 특허 제5,422,574호에 설명된 바와 같이 중앙 접속 돌출 영역을 갖는 탐침 막을 선택적으로 사용할 수 있다. 상기 특허에서 언급된 바와 같이, '시험 시스템은 통상적으로 일련의 시험 프로그램을 실행 및 제어하기 위한 시험 제어기와, 시험 준비함에 있어 웨이퍼를 기계적으로 다루고 위치시키는 웨이퍼 분배 시스템과, 시험 중인 장치(DUT)와의 정밀한 기계적 접촉을 유지시키기 위한 탐침 카드를 포함한다'고 되어 있다(칼럼 1의 41행 내지 46행 참조).

반도체 장치를 시험하는 기술 수준을 나타내는 것으로서 본 명세서의 일부를 구성하는 또 다른 참고 문헌으로는, 미국 특허 제5,442,282호(웨이퍼 상의 각각의 개별화되지 않은 다이의 시험 및 실행)와, 미국 특허 제5,382,898호(전기 회로 시험용 고밀도 탐침 카드)와, 미국 특허 제5,378,982호(패널 접촉부에 인접하게 중첩된 보호 부재를 구비하는 패널 시험 탐침)와, 미국 특허 제5,339,027호(IC 시험 탐침으로서 상승된 구성을 갖는 강성 가요성 회로)와, 미국 특허 제5,180,977호(장치 및 회로 시험용 탐침 시스템)와, 미국 특허 제4,757,256호(고밀도 탐침 카드)와, 미국 특허 제4,161,692호(집적 회로 웨이퍼용 탐침 장치)와, 미국 특허 제3,990,689호(진공 척을 위치시키기 위한 조정 가능한 홀더 조립체)가 있다.

일반적으로, 전자 부품들 간의 상호 결합은 '비교적 영구적'인 범주와 '착탈 용이한' 범주인 2개의 넓은 범주로 분류될 수 있다.

'비교적 영구적' 결합의 일례는 납땜 결합이다. 2개의 구성 부재가 서로 일단 납땜되면 이들 구성 부재들을 분리시키기 위해서는 납땜 해제 공정을 이용해야 한다. 와이어 결합은 '비교적 영구적' 결합의 또 다른 예이다.

'착탈 용이한' 결합의 일례는 다른 전자 부품의 탄성 소켓에 의해 수용되는 임의 전자 부품의 강성 핀이다. 소켓 요소들은 서로 간의 신뢰한 수 있는 전기적 접속을 보장하기에 충분한 크기의 접촉력(압력)을 핀에 가한다.

전자 부품의 단자와 가압 접속을 하도록 구성된 상호 연결 요소를 이하에서는 '스프링' 또는 '스프링 요소'라고 한다. 일반적으로, 전자 부품들(일례로, 전자 부품의 단자들)과 신뢰할 수 있는 가압 접촉을 수행하기 위해서는 어떤 최소한의 접촉력이 필요하다. 표면이 막으로 오염되거나 혹은 표면에 부식물 또는 산화물이 있을 수 있는 전자 부품의 단자와 신뢰할 수 있는 전기적 접속을 보장하기 위해서는 일례로 (접촉부 당 적게는 2 그램 또는 그 미만에서 많게는 150 그램 또는 그 초과를 포함하여) 약 15 그램의 접촉력(하중)이 필요하다. 각각의 스프링에 필요한 최소 접촉력은 스프링 재료의 항복 강도나 혹은 스프링 요소의 크기가 증가되는 것을 요구한다. 일반적인 명제로서, 재료의 항복 강도가 높으면 높을 수록 그 가공(예로 천공, 굽힘 등)은 더 어려워진다. 그리고 스프링을 보다 작게 만드려는 요구에 의하면 본질적으로 스프링의 횡단면적을 크게 할 수 없게 된다.

탐침 요소는 본 발명에 특히 관련된 스프링 요소의 한 부류이다. 종래 기술의 탐침 요소는 통상적으로 비교적 강성인 재료(고 항복 강도 재료)인 티타늄으로 제조된다. 위와 같은 비교적 강성의 재료를 전자 부품의 단자에 장착시켜야 하는 경우에, 경납땜과 같은 비교적 '적대적' 공정(일례로, 고온 공정)이 필요하다. 이와 같은 적대적 공정은 일반적으로 반도체 장치와 같은 비교적 '취약한' 어떤 전자 부품에 있어서는 바람직하지 않다(그리고 때에 따라서는 적합하지 않다). 이와 반대로, 와이어 접합은 비교적 '우호적' 공정의 일례로서, 이 공정은 경납땜에 비해서 취약한 전자 부품에 대하여 잠재적으로 손상을 덜 준다. 납땜도 비교적 '우호적' 공정의 또 다른 일례이다. 그러나, 땜납과 금은 비교적 연성(저 항복 강도) 재료이므로 이 재료들은 스프링 요소로서 양호하게 기능하지 못한다.

스프링 접촉을 포함한 상호 접속 요소와 관련된 민감한 문제점은 종종 전자 부품의 단자들이 완전하게 동일 평면상에 있지 않다는 점이다. 이러한 '공차'(총 비평면도)를 수용하기 위한 어떤 기구를 가지고 있지 않은 상호 연결 요소는 전자 부품의 단자와 지속적인 압력 접촉을 유지하기 위하여 강하게 가압되어 져야 한다.

본 명세서의 일부로 포함되는 다음과 같은 미국 특허들은 전자 부품들을 특히 가압 접속시키는 접속이 이루어지게 하는 것과 관련된 일반적인 관심 사항으로서 인용된다. 이러한 특허로는, 미국 특허 제5,386,344호(가요성 회로 카드 공중합체 케이블 커넥터 조립체)와, 미국 특허 제5,336,380호(전기 커넥터와 집적 회로 패키지용 스프링 편의 방식 테이퍼형 접속 요소)와, 미국 특허 제5,317,479호(전자 부품의 연결 구조와 이 구조를 이용하는 전자 장치)와, 미국 특허 제5,067,007호(인쇄 회로 기판의 표면 상에 장착시키기 위한 리드선을 갖는 반도체 장치)와, 미국 특허 제4,989,069호(지지체로부터 이탈된 리드선을 갖는 반도체 패키지)와, 미국 특허 제4,893,172호(전자 부품용 연결 구조물과 이를 제조하는 방법)와, 미국 특허 제4,793,814호(전자 회로 판의 상호 접속)와, 미국 특허 제4,777,564호(표면 장착형 구성 부재와 함께 사용하는 리드선 형태)와, 미국 특허 제4,764,848호(표면 장착형 열 응력 완화 장치)와, 미국 특허 제4,667,219호(반도체 칩 인터페이스)와, 미국 특허 제6,642,889호(추종성 상호 접속 및 이를 위한 방법)와, 미국 특허 제4,330,165호(가압 접속형 상호 접속 장치)와, 미국 특허 제4,295,700호(상호 접속 장치)와, 미국 특허 제4,067,104호(마이크로 전자 부품 결합용 가요성 금속제 상호 연결 열을 제조하기 위한 방법)와, 미국 특허 제3,795,037호(전기 커넥터 장치)와, 미국 특허 제3,616,532호(다층 인쇄 회로의 전기적 상호 접속 장치)와, 미국 특허 제3,509,270호(인쇄 회로용 상호 접속 및 이를 제조하기 위한 방법) 등이 있다.

일반적으로, 상기에서 설명한 탐침 기술 전체에 걸쳐서, 표면으로부터 혹은 표면 상으로 연장되는 복수개의 탄성 접촉 구조물을 갖는 탐침 카드 또는 이와 유사한 것은 반도체 웨이퍼 쪽으로 가압되어 각각의 반도체 다이 상의 대응하는 복수개의 단자(접합 패드)와 가압 접촉된다. 몇몇의 경우에는, 단부를 맞대고 배열된 제한된 수(일례로, 4개)의 개별화되지 않은 다이와의 압력 접촉이, 반도체 다이 상의 접합 패드의 배치(일례로, 다이의 2개의 측면 가장자리 각각 상에 접합 패드의 직선형 배열)에 따라서, 이루어 질 수 있다. (단부를 맞댄 다이는 2개의 접합 패드 열을 갖는 하나의 긴 다이로 취급될 수 있다.)

종래 기술에 있어서 반도체 다이(칩)의 표면으로부터 편향된 단자를 구비하는 반도체 칩 조립체를 제공하기 위한 제한된 수의 기술이 제안되었다. 발명의 명칭이 반도체 칩 조립체 및 가압 접촉부를 구비한 구성 부재인 미국 특허 제5,414,298호에는 '아주 소형으로 될 수 있으며 칩 자체의 영역보다 약간 더 큰 영역을 수용할 수 있는' 상기와 같은 조립체에 대하여 개시되어 있다.

일반인은 상기와 같은 기술을 웨이퍼 레벨까지 확장하는 것은 단순한 직관적인 단계라고 추측할 수도 있을 것이다. 그와 반대로, 각각의 인접하는 다이 사이에 배치되는 대단히 확장된 커프(스크라이빙) 영역을 필요로 하지 않으면서도 다이보다 크기가 그러한 조립체를 웨이퍼 레벨에서 수용시킬수 있는 방법에 대해서는 결코 명백하지 않다. 게다가, 그러한 조립체를 복수개의 개별화되지 않은 다이 상에 조립시키는 방법에 대해서도 명백하지 않다. 더욱이, 그러한 조립체는 일반적으로 주변 배열들(즉, 반도체 다이 상의 접합 패드의 주변(가장자리) 배치)을 단자의 영역 배열들(예를 들면, 행과 열)로 변환하도록 구속되며 변환을 수행하기 위하여 상당한 양의 가치있는 '부동산'(즉, 영역)을 필요로 한다. 연결부의 경로 지정은 하나의 심각한 제한 사항이며 통상적으로 상기 연결부는 부채꼴로 펼쳐진다. 비금속 재료(즉, 내고온성이 없는 재료)를 사용하는 것은 또 다른 문제이다.

앞에서 언급된 미국 특허 제5,414,298호에 설명된 것과 같은 기술과 관련된 또 다른 심각한 문제는 다이의 표면이 덮인다는 점이다. 이러한 점은 일반적으로 바람직하지 않으며, 갈륨 비소(GaAs) 반도체 장치와 관련해서는 특히 바람직하지 않다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 반도체 다이가 반도체 웨이퍼로부터 개별화되기 전에 시험(시행 또는 번인)하는 기술을 제공하기 위한 것이다.

본 발명의 다른 목적은 다이의 배열 또는 다이 상의 접합 패드의 배치에 의해서 제약됨이 없이 반도체 다이가 반도체 웨이퍼로부터 개별화되기 전에 탐침 검사하는 기술을 제공하기 위한 것이다.

본 발명의 또 다른 목적은 탐침 카드로부터 연장되는 탄성 접촉 구조물이 그 탐침 카드에 마련되는 것을 필요로 하지 않고, 필요한 탄성(resiliency) 및/또는 추종성(compliance)을 반도체 다이 상에 상주하도록 하면서 반도체 다이를 반도체 웨이퍼로부터 개별화되기 전에 탐침 검사하는 기술을 제공하기 위한 것이다.

본 발명의 또 다른 목적은 탄성 접촉 구조물을 반도체 장치에 직접 장착하고 이에 따라 탄성 접촉 구조물을 거쳐서 반도체 장치를 실행(시험 및 번인)시키고 동일한 탄성 접촉 구조물을 사용하여 반도체 장치를 최종적으로 패키징할 수 있도록 하기 위한 것이다.

본 발명의 또 다른 목적은 (수 시간에 대비되는) 수 분 내에 반도체 장치를 만족스럽게 번인하는 기술을 제공하기 위한 것이다.

본 발명의 또 다른 목적은 전자 부품의 단자에 직접 장착할 수 있는 개선된 스프링 요소(탄성 접촉 구조물)를 제공하기 위한 것이다.

본 발명의 또 다른 목적은 전자 부품과의 가압 접촉이 이루어지게 하기에 적절한 상호 접속 요소를 제공하기 위한 것이다.

발명의 구성 및 작용

본 발명에 따르면, 스프링 접촉 요소(복합 상호 접속 요소)는 반도체 다이에 직접 장착된다. 스프링 접촉 요소는 반도체 다이가 반도체 웨이퍼로부터 개별화되기 전에 반도체 다이에 바로 장착시키는 것이 바람직하다. 이러한 방식을 따르면, 반도체 장치들 또는 이와 유사한 것에 전력을 공급하는 '간단한' 시험 기판을 이용함으로써 하나 또는 그 이상의 개별화되지 않은 반도체 다이(장치)에 대하여 복수개의 가압 접촉부를 만들 수 있다.

본 명세서에서 사용되는 용어로서 '간단한' 시험 기판은, 표면으로부터 연장되는 복수개의 탐침 요소를 구비하는 기판인 종래의 '탐침 카드'와 대비되는 것으로서 복수개의 단자 또는 전극을 갖는 기판이다. 간단한 시험 기판은 종래의 탐침 카드보다 저렴하며 보다 용이하게 구성할 수 있다. 또한, 간단한 시험 기판을 사용하여 반도체 장치와의 소정의 가압 접촉이 이루어지도록 할 때에 종래의 탐침 카드에서 고유하게 존재하는 어떤 물리적 제약을 겪지 않게 된다.

이러한 방식에 따르면, 복수개의 개별화되지 않은 반도체 다이는 반도체 다이가 웨이퍼로부터 개별화(분리)되기 전에 실행(시험 및/또는 번인)된다.

본 발명의 일 태양에 따르면, 반도체 다이에 장착되에 반도체 다이를 실행시키는 데 사용되는 동일한 스프링 접촉 요소를 반도체 다이가 웨이퍼로부터 개별화된 후에 반도체 다이에 대하여 영구 접속을 시키는 데 사용할 수 있다.

본 발명의 일 태양에 따르면, 탄성 접촉 구조물은 반도체 장치의 단자 상에 직접 제작되는 '복합 상호 접속 요소'로서 바람직하게 형성된다. 상기 '복합' (다층) 상호 접속 요소는, 전자 부품에 긴 요소('코어')를 장착시키고, 코어가 스프링 형상을 갖도록 성형하고, 최종의 복합 상호 접속 요소의 물리적 특성(일례로, 스프링)을 향상시키기 위하여 그리고/또는 최종의 복합 상호 연결 요소를 전자 부품에 견고하게 고정시키기 위하여 코어를 피복시킴으로써 제작된다. 삽입체 부재의 탄성 접촉 구조물도 또한 복합 상호 연결 요소로서 형성될 수 있다.

본 명세서 전체에 걸쳐 사용하는 '복합'이라는 용어의 사용은 용어의 일반적인 의미(일례로, 2개 혹은 그 이상의 요소로 형성된)와 일관되고, 일례로, 유리, 탄소, 또는 수지 등의 기지로 지지되는 기타의 섬유와 같은 재료에 적용될 수 있는 것와 같은 다른 분야에서의 '복합'이라는 용어의 사용과는 혼동되어서는 안된다.

본 명세서에서 사용되는 '스프링 형상'이라는 용어는, 팁에 가해지는 힘에 대해서 긴 요소의 단부(팁)가 탄성(회복) 운동을 나타내게 하는 긴 요소의 임의의 형상을 실질적으로 의미한다. 이것은 실질적으로 직선인 긴 요소뿐만 아니라 하나 또는 그 이상의 굽힘부를 갖도록 성형된 긴 요소를 포함한다.

본 명세서에서 사용되는 '접촉 영역'과 '단자'와 '패드'라는 용어 등은 상호 접속 요소가 장착 또는 접촉하는 임의의 전자 부품 상의 임의의 전도성 영역을 말한다.

선택적으로, 코어는 전자 부품에 장착되기 전에 성형된다.

선택적으로, 코어는 전자 부품이 아닌 희생 기층에 장착되거나 이의 일부분으로 된다. 희생 기층은 코어가 성형되고, 오버코팅 되기 전 또는 그 후에 제거된다. 본 발명의 일면에 따르면, 여러종류의 형상을 갖는 팁은 상호 접속 요소의 접촉 단부에 배치될 수 있다 (모출원의 도11A 내지 도11F 참조).

본 발명의 일 실시예에서, 코어는 비교적 낮은 항복 강도를 갖는 '연질' 재료로 되고, 비교적 높은 항복 강도를 갖는 '경질' 재료로 오버코팅 된다. 예를 들어, 금선 등의 연질 재료는(예를 들면 와이어 결합에 의해) 반도체 장치의 결합 패드에 부착되며, 니켈 및 그 합금과 같은 경질 재료로 오버코팅 된다(예를 들면 전기화학 도금에 의해).

대면 코어 오버코팅, 단층 및 다층 오버코팅, 미세 돌기를 갖는 거친 오버코팅(모출원의 도5C 및 도5D 참조), 그리고 코어 길이의 전부 또는 일부만에 걸친 오버코팅에 대하여 기재되어 있다. 코어 길이의 전부 또는 일부만을 오버코팅 하는 경우에, 코어의 팁은 전자 부품과의 접속을 하기 위해 적절하게 노출될 수도 있다 (모출원의 도5B 참조).

일반적으로, 본 명세서의 기재 전체에 걸쳐서, '도금'은 코어를 오버코팅 하기 위한 여러 방법 중 일례로 사용된 것이다. 코어가 수용액으로부터 재료의 피착; 전해 도금; 무전해 도금; 화학적 증착(CVD); 물리적 증착(PVD); 액체 또는 고체 선구 물질들(precursors)의 유도된 분리를 통하여 재료의 피착을 야기하는 공정등을 포함하여, 그러나 이러한 기술에 국한되지 않고, 임의의 적당한 기술에 의하여 오버코팅될 수 있으며, 이러한 재료를 피착하기 위한 모든 기술은 일반적으로 공지되어 있다는 것은 본 발명의 범위내에 있다.

대개, 니켈과 같은 금속 재료로 코어를 오버코팅하기 위해서는 전기화학 공정, 특히 무전해 도금(electroless plating)이 바람직하다.

본 발명의 다른 실시예에서, 코어는 근본적으로 스프링 요소로서 기능하기에 적합한 경질 재료로 된 긴 요소이며, 일단에서 전자 부품의 단자에 장착된다. 코어, 그리고 적어도 단자의 인접 영역은 코어를 단자에 고정하는 것을 도와주게 되는 재료로 오버코팅 된다. 이 방식에서, 코어가 오버코팅 전에 단자에 양호하게 장착될 필요가 없으며, 전자 부품에 잠재적으로 손상을 덜 미치는 공정들이 후속 오버코팅을 위해 코어를 제위치에 고정하는 데 이용될 수 있다. 이러한 '우호적인' 공정들은 납땜, 접착제 접착 및 경질 코어의 일단을 단자의 연질 부분에 관통 삽입하는 것을 포함한다.

바람직하게는 코어는 와이어의 형태이다. 선택적으로 코어는 평평한 탭(전도성 금속 리본)일 수 도 있다.

코어 및 오버코팅을 위한 대표적인 재료들에 대하여 개시한다.

이하에서는 주로 일반적으로 매우 작은 치수(예를 들어, 3.0 mil 이하)인 비교적 연질인(저 항복 강도) 코어로부터 시

작하는 것과 관련된 기술에 대하여 설명한다. 반도체 장치에 용이하게 부착하는 금과 같은 연질 재료는 일반적으로 스프링으로서 기능하기에 충분한 탄성을 결여한다. (그러한 연질 금속 재료는 탄성 변형보다는 주로 소성변형을 나타낸다.) 반도체 장치에 용이하게 부착되고 적절한 탄성을 갖는 다른 연성 재료는 대부분의 탄성중합체 재료의 경우에 있어서와 같이 전기적으로 비전도성을 나타낸다. 양 경우에 있어서, 요구되는 구조적 및 전기적 특성은 코어 위에 적용된 오버코팅에 의해서 최종의 복합 상호 접속 요소에 부여될 수 있다. 최종의 복합 상호 접속 요소는 적절한 접촉력을 나타내면서도 매우 작게 만들어 질 수 있다. 더욱이, 복수개의 그러한 복합 상호 접속 요소는 이웃하는 복합 상호 접속 요소까지의 거리(이웃하는 상호 접속 요소 사이의 거리를 '피치'라고 한다)보다 훨씬 긴 길이(예를 들어, 100 mil)를 갖고 있더라도 미세 피치(예를 들어, 10 mil)로 배열될 수 있다.

본 발명의 범위 내에서, 복합 상호 접속 요소는 25 ㎛ 이하의 단면 치수를 갖는 커넥터 및 소켓용인 예를 들면 초소형 스프링과 같이 초소형으로 제조될 수 있다. 밀(mil)보다는 미크론(micron)으로 측정된 치수를 갖는 신뢰성 있는 상호 접속 요소를 제조할 수 있는 이러한 능력은 기존의 상호 접속 기술과 장래 영역 어레이 기술의 발전 필요성을 바로 이야기 하는 것이다.

본 발명의 복합 상호 접속 요소는 전도성, 납땜성, 및 낮은 접촉 저항을 포함하여 우수한 전기적 특성을 나타낸다. 많은 경우에 있어서, 작용된 접촉력에 대응한 상호 접속 요소의 변형은 와이핑 접촉을 일으키며, 이는 신뢰성 있는 접촉이 이루어 지는 것을 돕는다.

본 발명의 또 다른 장점은 본 발명의 상호 접속 요소로 만들어진 접속부를 용이하게 분리할 수 있다는 것이다. 전자 부품의 단자와 상호 접속을 수행하기 위하여 납땜을 하는 것은 선택적이며, 일반적으로 시스템 수준에서는 바람직하지 않다.

본 발명의 일면에 따르면, 제어된 임피던스를 갖는 상호 접속 요소를 제조하는 기술들이 설명된다. 이러한 기술들은 전도성 코어 또는 전체 복합 상호 접속 요소를 유전 재료(절연층)로 코팅(예를 들면 전기 영동적으로)하고, 유전 재료를 전도성 재료로 된 외부층으로 오버코팅하는 것을 포함한다. 외부 전도성 재료층을 접지함으로써 최종의 상호 접속 요소를 효과적으로 차폐할 수 있고 그 임피던스를 용이하게 제어할 수 있다 (모출원의 도10K 참조).

본 발명의 일면에 따르면, 상호 접속 요소는 전자 부품들에 나중에 부착하기 위하여 개개의 유닛으로서 미리 제조될 수 있다. 이 목적을 달성하기 위한 여러 가지 기술을 본 명세서에서 설명한다. 본 명세서에 상세하게 기재되지는 않았으나, 복수개의 개개의 상호 접속 요소를 기층에 장착하거나, 선택적으로 복수개의 개개의 상호 접속 요소를 탄성중합체 또는 지지 기층 상에 현수하는 것을 다루는 기계를 제조하는 것은 비교적 쉬운 일로 생각된다.

본 발명의 복합 상호 접속 요소는 전기적 전도 특성을 증진시키거나 부식에 대한 저항을 증진시키기 위하여 코팅된 종래 기술에 있어서의 상호 접속 요소와는 전적으로 다르다는 것이 명확하게 이해되어야 한다.

본 발명의 오버코팅은 상호 접속 요소를 전자 부품의 단자에 고정하는 것을 실질적으로 증진시키고 그리고/또는 필요로 하는 탄성 특성을 최종의 복합 상호 접속 요소에 부과하기 위하여 특별히 의도된 것이다. 응력들(접촉력)은 이 응력들을 흡수하도록 특별히 의도된 상호 접속 요소의 일부분들로 안내된다.

또한, 본 발명은 스프링 구조물을 제조하기 위한 새로운 기술을 제공한다는 것이 인정되어야 한다. 일반적으로, 최종의 스프링의 작동 구조는 절곡과 성형에 의한 것이라기 보다는 도금에 의한 것이다. 이것은 스프링 형상을 형성함에 있어서 다양한 재료를 사용하고, 코어의 '발판(falsework)'을 전자 부품에 부착하기 위해서 다양한 '우호적인' 공정들을 사용할 수 있게 해준다. 오버코팅은 코어의 '발판' 위의 '상부 구조(superstructure)'로서 기능하며, 이들 두 용어는 원래 토목 공학 분야에 사용되는 것이다.

본 발명의 현저한 장점은 탐침 요소(탄성 접촉 구조물)가 경납땜 또는 연납땜과 같은 부가적인 재료를 필요로 하지 않으면서 반도체 장치의 단자 상에 직접 제조될 수 있다는 것이다.

본 발명의 일면에 따르면, 임의의 탄성 접촉 구조물은 적어도 두개의 복합 상호 접속 요소로서 형성될 수 있다.

본 발명의 장점 중에서는 다음과 같은 것이 있다.

(a) 복합 상호 접속 요소들은 모두 금속 재료로 되어 있어서, 상승된 온도에서 번인을 수행할 수 있도록 허용하여, 그 결과, 짧은 시간 동안 수행할 수 있게 해준다.

(b) 복합 상호 접속 요소들은 프리스탠딩형이어서, 일반적으로 반도체 장치의 결합 패드 배치에 의해서 제한을 받지 않는다.

(c) 본 발명의 복합 상호 접속 요소들은 이들의 팁이 기부보다 큰 피치(간격)를 갖도록 형성될 수 있어서, 반도체 피치(예를 들어, 10 mil)로부터 배선 기판 피치(예를 들어, 100 mil)로의 피치의 전개 공정을 즉시에(예를 들면 제1 수준에서의 상호 접속) 개시하고 용이하게 할 수 있다.

본 발명의 다른 목적, 특징 및 장점은 이하의 설명에의하여 명확하게 될 것이다.

본 발명의 양호한 실시예에 대하여 첨부 도면을 참조하여 설명한다. 본 발명을 양호한 실시예에 대하여 설명하지만 본 발명의 범위와 정신은 상기 실시예에 제한되지 않는다.

상기 도면 등에서, 측면도의 몇몇 부분들은 도시의 명확성을 위해 단면도로 도시되어 있다. 예를 들어, 도면 중에서 와이어 스템은 굵은 선으로 전체적으로 도시되어 있고 오버코팅은 실제 단면(때로는 크로스 해칭 없이)으로 도시되어 있다.

상기 도면에서, 몇몇 요소들의 크기는 도시의 명확성을 위해 (다른 요소들과의 축척을 사용하지 않고) 과장되게 도시되어 있다.

본 출원은 반도체 장치가 반도체 웨이퍼 상에 잔류하는 동안에(즉, 웨이퍼로부터 분리되기 전에) 반도체 장치를 (번인을 실시하고 수행하는 것을 포함하여) 시험하는 기술에 관한 것이다. 나중에 상세하게 설명하는 것처럼, 상기 기술은 탄성 접촉 구조물을 반도체 장치 상에 직접 제조하는 단계와, 반도체 장치를 시험하기 위하여 탄성 접촉 구조물과 가압 접속을 수행하는 단계와, 반도체 다이가 웨이퍼로부터 분리된 후에 상기 반도체 다이와 접속하기 위해서 동일한 탄성 접촉 구조물을 이용하는 단계를 포함한다. 탄성 접촉 구조물들은 본 명세서의 일부로 포함된 미국 특허 출원 제08/452,255호(1995. 5. 26 출원, '모출원'이라 함)에 기재되어 있는 것처럼 '복합 상호 접속 요소'로서 실시되는 것이 바람직하다. 본 특허 출원은 도1a 내지 도1e 및 도2a 내지 도2i에 대한 논의에서 모출원에서 개시된 여러가지 기술을 요약한 것이다.

본 발명을 실시하기 위한 바람직한 기술의 중요한 일면은, '복합' 상호 접속 요소가 코어(전자 부품의 단자에 장착될 수 있는)로부터 출발하여, (1) 최종적인 복합 상호 접속 요소의 기계적 특성을 부여하고; 그리고/또는 (2) 상호 접속 요소가 전자 부품의 단자에 장착될 때 상호 접속 요소를 단자에 견고하게 고정하기 위하여 상기 코어를 적절한 재료로 오버코팅 함으로써 형성될 수 있다는 것이다. 이러한 방식에 있어서, 탄성 상호 접속 요소(스프링 요소)는 스프링 형상으로 용이하게 성형되고 전자 부품의 가장 취약한 부분에도 용이하게 부착되는 연질 재료로 된 코어로부터 출발하여서 제조될 수 있다. 경질 재료로부터 스프링 요소를 형성하는 종래의 기술에 비추어서, 연질 재료가 스프링 요소의 기부를 형성할 수 있다는 것은 결코 자명한 것이 아니며 틀림없이 직관적으로 알수 있는 것도 아니다. 그러한 '복합' 상호 접속 요소는 일반적으로 본 발명의 실시예들에서 사용하기 위한 탄성 접촉 구조물의 양호한 형태이다.

도1a, 도1b, 도1c 및 도1d는 일반적인 방식으로 본 발명에 따른 복합 상호 접속 요소를 위한 여러가지 형상을 도시한다.

이하에서는 주로 탄성을 나타내는 복합 상호 접속 요소에 대하여 설명한다. 그러나, 비탄성 복합 상호 접속 요소도 본 발명의 범위 내에 속하는 것으로 이해되어야 한다.

더 나아가, 이하에서는 주로 연질(용이하게 성형되고 전자 부품에 우호적인 공정에 의하여 부착할 수 있는) 코어를 보유하고, 경질(탄력이 있는) 재료에 의해 오버코팅 된 복합 상호 접속 요소에 대하여 설명한다. 그러나, 본 발명의 범위 내에서 코어는 경질 재료로도 할 수 있으며, 이 경우에 오버코팅은 주로 상호 접속 요소를 전자 부품의 단자에 견고하게 고정하는 기능을 한다.

도1a에서 전기적 상호 접속 요소(110)는 연질 재료(예를 들면 2,812 kg/cm2 (40,000 psi) 미만인 항복 강도를 갖는 재료)로 된 코어(112)와 경질 재료(예를 들면 5,624 kg/cm2 (80,000 psi)를 초과하는 항복 강도를 갖는 재료)로 된 쉘(114)을 포함한다. 코어(112)는 실질적으로 직선인 외팔보 비임과 같은 형상(외형)을 취하는 긴 요소로서, 0.00127 - 0.00762 cm (0.0005 - 0.0030 inch) (0.001 inch = 1 mil 25 micron(㎛))의 직경을 갖는 와이어일 수도 있다. 쉘(114)은 적절한 도금 공정(예를 들어, 전기화학 도금)과 같은 임의의 적절한 공정에 의해 미리 성형된 코어(112) 위에 도포된다.

도1a는 본 발명의 상호 접속 요소용의 가장 간단한 스프링 형상의 예를 도시한 것으로 즉, 직선형 외팔보 비임은 그 팁(110b)에 작용된 힘(F)에 대하여 소정의 각을 취하도록 향하고 있다. 상호 접속 요소와 가압 접촉되는 전자 부품의 단자에 의하여 이러한 힘이 가해 질 때 팁이 하향으로 휘어져서(보이는 바와 같이) 팁이 단자를 가로질러 와이핑(wiping) 운동을 하여 움직이게 된다. 이러한 와이핑 접촉은 상호 접속 요소와 전자 부품의 접촉된 단자 사이에 신뢰할 수 있는 접촉이 이루어 지는 것을 보장한다.쉘(114)은 자체의 '경도'에 의해서 그리고 그 두께(0.00064 - 0.0127 cm (0.00025 - 0.00500 inch))를 제어함에 의해서 전체 상호 접속 요소(110)에 소정의 탄성을 부과한다. 이 방식에 있어서, 전자 부품(도시 생략)들 사이의 탄성 상호 접속은 상호 접속 요소(110)의 두 개의 단부(110a, 110b) 사이에서 수행된다. (도1a에서, 부호 110a는 상호 접속 요소(110)의 하나의 끝단 부분을 나타내고, 단부(110b)의 반대쪽 끝단부는 도시되어 있지 않다.) 전자 부품의 단자를 접촉시킬 때 상호 접속 요소(110)는 화살표(F)로 도시된 것처럼 접촉력(압력)을 받게 된다.일반적으로 오버코팅(단일층 오버코팅이건 다층 오버코팅이건)의 두께는 오버코팅될 와이어의 직경보다 두꺼운 것이 바람직하다. 최종의 접촉 구조물의 전체 두께가 코어의 두께에 오버코팅의 두께의 2배를 더한 것으로 가정할 때, 코어와 동일한 두께(예를 들어, 1 mil)를 갖는 오버코팅의 전체 두께는 코어 두께의 2배인 두께를 갖는다.상호 접속 요소(110)는 작용된 접촉력에 대응하여 휘어지게 되고, 상기 휘어짐(탄성)은 부분적으로는 상호 접속 요소의 전체 형상에 의해서, 또 부분적으로는 오버코팅 재료(코어에 대하여)의 우수한(높은) 항복 강도에 의해서, 또 부분적으로는 오버코팅 재료의 두께에 의해서 결정된다.

여기에 사용된 바와 같이, '외팔보' 그리고 '외팔보 빔' 이라는 용어들은 긴 구조물(예를 들어, 오버코팅된 코어(112))이 일단에서 장착(고정)되고, 전형적으로 긴 요소의 종방향에 교차하여 작용하는 힘에 반응하여, 타단은 자유롭게 움직일 수 있는 것을 나타내는데 사용된다. 이들 용어를 사용함에 있어서 다른 특별한 또는 제한적인 의미를 부가하거나 포함하려는 의도는 없다.

도1b에서 전기적 상호 접속 요소(120)는 유사하게 연질 코어(122)(비교 112) 및 경질 쉘(124)(비교 114)을 포함한다. 이 실시예에서, 코어(122)는 두개의 절곡부를 갖는 형상을 취하고, 따라서 S자 형상을 취하는 것을 알 수 있다. 도1a의 실시예에서와 같이 이 방식에서도 전자 부품들(도시 생략) 사이의 탄성 상호 접속은 상호 접속 요소(120)의 두개의 단부(120a, 120b) 사이에서 수행된다. (도1b에서, 부호 120a는 상호 접속 요소(120)의 단부 부분을 나타내고, 단부 부분(120b)의 실제의 반대쪽 단부는 도시되어 있지 않다.) 전자 부품의 단자를 접속시킬 때, 상호 접속 요소(120)는 화살표(F)로 도시된 것처럼 접촉력(압력)을 받게 된다.

도1c에서 전기적 상호 접속 요소(130)는 유사하게 연질 코어(132)(비교 112) 및 경질 쉘(134)(비교 114)을 포함한다. 이 실시예에서, 코어(132)는 하나의 절곡부를 갖는 형상을 취하고, 따라서 U자 형상을 취하는 것을 알 수 있다. 도1a의 실시예에서와 같이 이 방식에서도 전자 부품들(도시 생략) 사이의 탄성 상호 접속은 상호 접속 요소(130)의 두개의 단부(130a, 130b)들 사이에서 수행된다. (도1c에서, 부호 130a는 상호 접속 요소(130)의 단부 부분을 나타내고, 단부 부분(130b)의 실제의 반대쪽 단부는 도시되어 있지 않다.) 전자 부품의 단자를 접속시킬 때, 상호 접속 요소(130)는 화살표(F)로 도시된 것처럼 접촉력(압력)을 받게 된다. 선택적으로, 상호 접속 요소(130)는 화살표(F')로 도시된 것처럼 단부(130b)가 아닌 다른 위치에서 접촉하도록 사용될 수도 있다.

도1d는 연질 코어(142) 및 경질 쉘(144)을 갖는 탄성 상호 접속 요소(140)의 또 다른 실시예를 도시한다. 이 실시예에 있어서 상호 접속 요소(140)는 본질적으로 자체의 종축을 교차하여 작용하는 접촉력(F)을 받는 만곡된 팁(140b)을 갖는 단순한 외팔보(도1a와 비교)이다.

도1e는 연질 코어(152) 및 경질 쉘(154)을 갖는 탄성 상호 접속 요소(150)의 또 다른 실시예를 도시한다. 이 실시예에 있어서 상호 접속 요소(150)는 약간 만곡된 팁(150b)을 갖추고 화살표(F)로 도시된 것처럼 가압 접촉을 하기에 적합한 C자 형상을 하고 있다.

연질 코어는 임의의 스프링 형상으로 용이하게 형성할 수 있는데, 즉 상기 형상은 최종의 상호 접속 요소가 자체의 팁에 작용된 힘에 반응하여 탄성적으로 휘어지도록 하는 형상이다. 예를 들어, 코어는 종래의 코일 형상으로 형성될 수 있다. 그러나, 코일 형상은 상호 접속 요소의 전체 길이, 이와 관련한 인덕턴스(그리고 이와 유사한 것) 및 고 주파수(속도)에서 회로 작동에 끼치는 불리한 영향때문에 바람직하지 않다.

쉘의 재료 또는 다층 쉘(나중에 설명함) 중 적어도 하나의 재료는 코어의 재료보다 현저하게 높은 항복 강도를 갖는다. 따라서, 쉘은 최종적인 상호 접속 구조물의 기계적 특성(예를 들어, 탄성)을 확립하는 데 있어서 코어를 압도한다. 쉘 대 코어의 항복 강도의 비는 적어도 3:1, 5:1, 가장 높게는 10:1을 포함하여 바람직하게는 적어도 2:1 이다. 이는 쉘 또는 다층 쉘의 적어도 외층은 전도성을 가져야 한다는 것은 명백하며 특히 쉘이 코어의 단부를 덮는 경우에 있어서는 더욱 확연하다. (그러나, 모출원의 경우에는 코어의 단부가 노출되어 코어가 전도성을 가져야 하는 경우에 대하여 기재되어 있다.)

학술적인 관점에서 볼 때, 단지 최종적인 복합 상호 접속 요소의 스프링(형상) 부분만이 경질 재료로 오버코팅되는 것이 필요하다. 이러한 관점에서, 일반적으로 코어의 두개의 단부들이 모두 오버코팅되는 것이 반드시 필요한 것은 아니다. 그러나, 실제로는 전체 코어를 오버코팅하는 것이 바람직하다. 전자 부품에 고정(부착)되는 코어의 단부를 오버코팅하는 것에 대한 특별한 이유 및 이에 따르는 장점에 대해서는 이하에서 상세하게 설명한다.

코어(112, 122, 132, 142)에 적합한 재료는 금, 알루미늄, 구리 및 이들의 합금을 포함하지만 이에 제한되지는 않는다. 이들 재료는 필요로 하는 물리적 특성을 얻기 위하여 베릴륨, 카드뮴, 실리콘 및 마그네슘과 같은 다른 금속의 적은 양을 포함하는 합금이다. 또한, 은, 팔라듐, 백금, 백금 군으로 된 금속 또는 그 합금을 사용할 수도 있다. 납, 주석, 인듐, 비스무스, 카드뮴, 안티몬 및 이들의 합금으로 구성된 땜납이 사용될 수도 있다.

코어(와이어)의 한쪽 단부를 전자 부품의 단자에 마주보게 부착(나중에 상세하게 설명함)함에 있어서, 결합(결합을 수행하기 위하여 온도, 압력 및/또는 초음파 에너지를 사용하여)이 용이한 임의의 재료로 된 와이어가 본 발명을 실시하기에 적합하다. 비금속 재료를 포함하여 오버코팅(예를 들어, 도금)이 용이한 임의의 재료가 코어로 사용될 수 있다는 사실은 본 발명의 범위에 속한다.

쉘(114, 124, 134, 144)에 적합한 재료들(및 이하에서 설명하는 것처럼 다층 쉘의 개개의 층에 적합한 재료)로는 니켈 및 그 합금; 구리, 코발트, 철, 그리고 그들의 합금; 우수한 전류 반송 능력 및 양호한 접촉 저항 특성을 나타내는 금(특히, 경질 금) 및 은; 백금 군의 요소; 희귀 금속; 반희귀 금속 및 그 합금 특히 백금 군의 요소 및 그 합금; 텅스텐 및

몰리브덴이 있으나, 이에 제한되지는 않는다. 또한 납땜과 유사한 마무리가 필요한 경우에는 주석, 납, 비스무스, 인듐 및 이들의 합금을 사용할 수 있다.

여러 종류의 코어 재료 위에 상기의 코팅 재료를 적용하기 위하여 선택된 기술은 물론 적용 경우마다 다를 것이다. 전해 도금 및 무전해 도금은 일반적으로 양호한 방법이다. 그러나 일반적으로 금으로 된 코에 위에 도금을 하는 것을 직관으로 알수 있는 것은 아니다. 본 발명의 일면에 따르면, 금으로된 코어 위에 니켈 쉘을 도금(특히, 전해 도금)할 때, 도금의 개시를 용이하게 하기 위하여 금 와이어 스템 위에 얇은 구리 개시층을 먼저 도포하는 것이 바람직하다.

도1a 내지 도1e에 도시된 것처럼 예시적인 상호 접속 요소는 약 0.00254 cm (0.001 inch)의 코어 직경 및 0.00254 cm (0.001 inch)의 쉘 두께를 가지며, 따라서 상호 접속 요소는 약 0.00762 cm (0.003 inch; 즉, 코어 직경 + 쉘 두께의 두배)의 전체 직경을 갖는다. 일반적으로, 상기 쉘의 두께는 코어 두께(예를들면 직경)의 0.2 - 5.0 (5분의 1 배에서 다섯배까지)배가 된다.

복합 상호 접속 요소의 몇몇 매개 변수의 예는 다음과 같다.

(a) 1.5 mil의 직경을 갖는 금 와이어 코어는 전체 40 mil의 높이를 갖고 일반적으로 9 mil의 반경으로 된 C자 형상의 곡선(도1e와 비교)을 갖는 형상을 취하며, 0.75 mil의 두께로 니켈 도금되고(전체 직경 = 1.5 + 2 × 0.75 = 3 mil), 50 마이크로인치 두께의 금(접촉 저항을 낮추고 증진시키도록) 으로 된 최종 오버코팅을 선택적으로 수용한다. 이렇게 형성된 복합 상호 접속 요소는 약 3 - 5 grams/mil의 스프링 상수(k)를 가진다. 사용 시에, 3 - 5 mil의 휘어짐은 9 - 25 gram의 접촉력을 일으킨다. 이 실시예는 인터포저용 스프링 요소의 경우에 유용하다.

(b) 1.0 mil의 직경을 갖는 금 와이어 코어는 전체 35 mil의 높이를 갖고, 1.25 mil의 두께로 니켈 도금되고(전체 직경 = 1.0 + 2 × 1.25 = 3.5 mil), 50 마이크로인치 두께로 금으로 된 최종 오버코팅을 선택적으로 수용한다. 이렇게 형성된 복합 상호 접속 요소는 약 3 grams/mil의 스프링 상수(k)를 가지며, 탐침용 스프링 요소의 경우에 유용하다.

c) 1.5 mil의 직경을 갖는 금 와이어 코어는 전체 20 mil의 높이를 갖고 약 5 mil의 반경으로 된 S형 곡선을 갖는 형상을 취하며, 0.75 mil의 두께로 니켈 또는 구리 도금된다 (전체 직경 = 1.5 + 2 × 0.75 = 3 mil). 이렇게 형성된 복합 상호 접속 요소는 약 2 - 3 grams/mil의 스프링 상수(k)를 가지며 반도체 장치에 장착되는 스프링 요소의 경우에 유용하다.

이하에서 상세하게 설명하는 것처럼, 코어는 원형의 단면을 가질 필요가 없으며 오히려 시트로부터 연장되는 평평한 탭(장방형 단면을 갖는)으로 될 수도 있다. 본 명세서에 사용된 것처럼 '탭'이라는 용어는 'TAB(Tape Automated Bonding)'이라는 용어와 혼동되어서는 않된다.

다층 쉘

도2a는 단자(214)를 갖춘 전자 부품(212)에 장착된 상호 접속 요소(210)의 구체적인 예(200)를 도시한다. 이 실시예에서, 연질(예를 들어, 금) 와이어 코어(216)는 한쪽 단부(216a)가 단자(214)에 결합(부착)되어, 단자로부터 연장되고 스프링 형상(도1b에 도시된 형상과 비교)을 취하고, 자유 단부(216b)을 갖도록 절단되어 있다. 이러한 방식으로 와이어를 결합, 성형 및 절단하는 것은 와이어 결합 설비를 사용함으로써 이루어진다. 코어의 단부(216a)에서의 결합은 단자(214)의 노출된 표면의 비교적 작은 부분만을 덮게 된다.

쉘(오버코팅)은 와이어 코어(216) 위에 배치되고, 이 실시예에 있어서는 내층(218) 및 외층(219)을 갖는 다층으로 되어 있으며, 각각의 층은 도금 공정에 의해서 적절하게 도포된 것으로 도시되어 있다. 다층 쉘의 하나 또는 그 이상의

층들은 필요로 하는 탄성을 상호 접속 요소(210)에 부과하도록 경질 재료(예를 들어, 니켈 및 그 합금)로 형성되어 있다. 예를 들어, 외층(219)은 경질 재료이고, 내층은 코어 재료(216) 상에 경질 재료(219)를 도금할 경우 버퍼 또는 차단층(또는 활성층 또는 접착층)으로서 작용하는 재료일 수 있다. 이와 달리, 내층(218)은 경질 재료일 수 있고, 외층(219)은 전도성 및 납땜성을 포함하여 우수한 전기적 특성을 나타내는 재료(연질 금과 같은)일 수 있다. 납땜 또는 경납땜 형태의 연결이 필요한 경우에는 상호 접속 요소의 외층은 납-주석 땜납 또는 금-주석 경납땜 재료로 각각 될 수 있다.

단자에의 고정

도2a는 일반적인 방식에서 본 발명의 또 다른 핵심 특징을 도시한 것으로, 탄성 상호 접속 요소가 전자 부품 상의 단자에 견고하게 고정될 수 있는 것을 도시한다. 상호 접속 요소의 부착된 단부(210a)는 상호 접속 요소의 자유단(210b)에 작용된 압축력(F)의 결과로 상당한 기계적 응력을 받게 된다.

도2a에 도시된 것처럼 오버코팅(218, 219)은 코어(216)뿐만 아니라, 연속 방식으로(간헐적이 아니라) 코어(216)에 인접한 단자(214)의 전체 잔여 노출면(즉, 결합부(216a) 이외의 부분)도 덮는다. 이것은 상호 접속 요소(220)를 단자에 견고하고 신뢰성 있게 고정하며, 오버코팅 재료는 최종의 상호 접속 요소를 단자에 고정하는 데 실직적인(예를 들어, 50% 이상의) 기여를 한다. 일반적으로, 오버코팅 재료는 코어에 인접한 단자의 적어도 일부만을 덮는 것이 요구된다. 그러나 오버코팅 재료는 단자의 전체 잔여면을 덮는 것이 바람직하다. 쉘의 각층은 금속성으로 되는 것이 바람직하다.

일반적인 명제로서, 코어가 단자에 부착(결합)된 비교적 작은 영역은 최종의 상호 접속 요소에 가하여진 접촉력(F)에 의하여 발생하는 응력을 수용하는 데 적합하지 않다. 단자의 전체 노출된 표면(단자에 코어 단부(216a)의 부착부를 포함하는 비교적 작은 영역 이외의)을 덮는 쉘에 의해서 전체 상호 접속 구조물은 단자에 견고하게 부착된다. 오버코팅의 부착 강도 및 접촉력에 반응하는 능력은 코어 단부(216a) 자체의 그러한 능력을 능가한다.

본 명세서에 사용된 바와 같이, '전자 부품'(예를 들어, 212)이라는 용어는 상호 접속 및 인터포저 기층; 실리콘(Si) 또는 갈륨 아르센나이드(GaAs)와 같은 임의의 적절한 반도체 재료로 된 반도체 웨이퍼 및 다이; 제품 상호 접속 소켓; 시험 소켓; 모출원에 기재된 것과 같은 제거가능한 부재, 요소 및 기층; 세라믹 및 플라스틱를 포함하는 반도체 패키지와 칩 캐리어; 커넥터를 포함하지만 이에 제한되지는 않는다.

본 발명의 상호 접속 요소는 다음 용도에 특히 적합하다.

- 반도체 패키지를 가질 필요성이 없는, 실리콘 다이에 직접 장착된 상호 접속 요소

- 전자 부품들을 시험하기 위해서 기층으로부터 탐침으로서 연장되는(나중에 상세하게 설명함) 상호 접속 요소 그리고

- 인터포저의 상호 접속 요소 (나중에 상세하게 설명함).

본 발명의 상호 접속 요소는 경질 재료들에 부수하는 전형적인 열악한 결합 특성에 의한 제한을 받지 않고 경질 재료의 기계적 특성(예를 들어 높은 항복 강도)을 얻는다는 점에서 독특한 것이다. 모출원에서 상세히 설명된 바와 같이, 이것은 주로 쉘(오버코팅)이 코어의 '발판(falsework)' 위에 '상부구조 (superstructure)'로서 작용한다는 사실에 의하여 주로 가능하게 된다. 상기 두 용어는 토목 공학 분야에서 차용된 용어이다. 이것은 도금이 보호성(예를 들어, 내식성) 코팅으로서 사용되고 상호 접속 요소에 소정의 기계적 특성을 부과할 수 없었던 종래 기술의 도금된 상호 접속 요소와는 매우 다르다. 또한, 이는 전기적 상호 접속부에 적용된 벤조트리아졸(BTA)과 같은 임의의 비금속성, 내식성 코팅과도 현저하게 다르다.

본 발명의 여러 장점 중의 하나는, 복수개의 프리스탠딩 상호 접속 구조물들의 자유단들이 서로 공통 평면에 위치하도록, 디커플링 커패시터를 갖는 PCB와 같이 기층의 상이한 높이로부터 기층 위의 공통 높이로, 복수개의 프리스탠딩 상호 접속 구조물들이 기층상에 용이하게 형성된다는 점이다. 또한, 본 발명에 따른 상호 접속 요소의 전기적 및 기계적 특성(예를 들어, 소성 및 탄성) 모두를 특별한 용도에 대하여 용이하게 적합하게 조절할 수 있다는 것이다. 예를 들어, 소정 용도에서 상호 접속 요소가 소성 및 탄성 변형을 나타내는 것이 바람직할 수 있다. (소성 변형은 상호 접속 요소에 의해 상호 접속되는 부품들에 있어서 전체적인 비평면성을 수용하기 위해 요구될 수 있다.) 탄성 특성이 필요한 경우에는 신뢰성 있는 접속을 수행하기 위하여 상호 접속 요소가 임계 최소 접촉력을 생성하는 것이 필요하다. 또한, 상호 접속 요소의 팁은 접촉 표면 상에 간혹 오염 물질의 막이 있으므로 전자 부품의 단자와 와이핑 접촉을 하는 것이 유리하다. 여기에 사용된 바와 같이, 접촉 구조물에 적용된 '탄성'이라는 용어는 작용된 하중(접촉력)에 반응하여 주로 탄성 거동을 나타내는 접촉 구조물(상호 접속 요소)을 의미하며, '추종성'이라는 용어는 작용된 하중(접촉력)에 반응하여 탄성 및 소성 거동을 나타내는 접촉 구조물(상호 접속 요소)을 의미한다. 여기에 사용된 바와 같이, '추종성(compliant)' 접촉 구조물은 '탄성' 접촉 구조물이다. 본 발명의 복합 상호 접속 요소는 추종성 또는 탄성 접촉 구조물의 특별한 경우이다.

모출원에는 여러 특징, 즉 희생 기층 상에 상호 접속 요소의 제조; 복수개의 상호 접속 요소의 전자 부품에 대한 단체 이송; 상호 접속 요소에 바람직하게는 거친 표면 마무리부를 한 접촉 팁의 제공; 전자 부품에 일시적인 접속을 시키고, 그 후에 영구 접속을 시키기 위한 전자 부품 상에서의 상호 접속 요소의 이용; 대향 단부들 이외의 일 단부들에서 상이한 간격을 갖도록하는 상호 접속 요소 배열; 상호 접속 요소를 제조와 같은 동일한 공정 단계에서 스프링 클립과 배열핀의 제조; 연결된 부품들 사이에 열팽창에 있어서의 차이를 수용하기 위한 상호 접속 요소들의 사용; 분리된 반도체 패키지(SIMM용)에 대한 필요성의 제거; 그리고 선택적인 탄성 상호 접속 요소(탄성 접촉 구조물)의 납땜을 포함하여 많은 특징이 상세히 기재되어 있으나, 이에 제한되지는 않는다.

제어된 임피던스

도2b는 다층을 갖는 복합 상호 접속 요소(220)를 도시한다. 상호 접속 요소(220)의 최내측부(내측의 긴 전도성 요소, 222)는 상기에 설명한 것처럼 비코팅 코어이거나 또는 오버코팅된 코어이다. 최내측부(222)의 팁(222b)은 적절한 마스킹 재료(도시 생략)로 마스킹 된다. 유전층(124)은 전기 영동 공정 (electrophoretic process)과 같은 공정에 의해 최내측부(222) 위에 피착된다. 전도성 재료의 외측부(226)는 유전층(124) 위에 피착된다.

사용 시에, 외층(226)을 전기적으로 접지하는 것은 상호 접속 요소(220)가 제어된 임피던스를 갖도록 한다. 유전층(124) 재료의 일례로 중합체(polymeric) 재료가 있으며, 임의의 적절한 방법 및 두께(예를 들어, 0.1 - 3.0 mil)로 피착된다.

외층(226)은 다층으로 될 수 있다. 예를 들어, 최내측부(222)가 비코팅된 코어이고 전체 상호 접속 요소가 탄성을 나타내는 것이 필요한 경우에 외층(226)의 적어도 하나의 층은 스프링 재료이다.

피치 변경

도2c는 복수개(6개만 도시)의 상호 접속 요소(251, …, 256)가 탐침 카드 인서트(종래의 방식으로 탐침 카드에 장착된 부분 조립체)와 같은 전자 부품(260)의 표면 상에 장착된 실시예(250)를 도시한다. 탐침 카드 인서트의 단자 및 전도성 트레이스는 도시의 명확성을 위해 상기 도면에는 도시하지 않았다. 상호 접속 요소(251, …, 256)의 부착된 단부(251a, …, 256a)는 0.127 - 0.254 cm (0.050 - 0.100 inch)와 같은 제1피치(간격)로 부터 시작한다. 상호 접속 요소들(251, …, 256)는 그들의 자유 단부(팁)들이 0.0127 - 0.025 cm (0.005 - 0.010 inchs)와 같은 제2의 보다 미세한 피치로 되도록 성형되고 방향이 정해진다. 어떤 피치로부터 다른 피치로 상호 접속을 시키는 상호 접속 조립체를 '간격 변환기(space transformer)'라고 한다.

본 발명의 장점은, 앞에서 언급한 미국 특허 제5,414,298호의 분리된 조립체와 같은 다른 부품의 매개 없이, 간격 변환이 접촉 구조물(상호 접속 요소) 자신들에 의하여(제1 수준의 상호 접속에서) 수행될 수 있다는 점이다.

도시된 바와 같이, 상호 접속 요소의 팁(251b, …, 256b)들은, 두개의 평행 한 결합 패드(접촉 점) 열을 갖는 반도체 장치에 접촉하기 위한 것과 같이(시험 및/또는 번인을 위해) 두개의 평행 열로 배열된다. 상호 접속 요소는 어레이와 같은 다른 접촉 점 패턴을 갖는 전자 부품들에 접촉하기 위하여 다른 팁 패턴을 갖도록 배열될 수 있다.

일반적으로, 본 명세서에 기재된 실시예에서는 하나의 접속 요소만이 도시되어 있으나, 본 발명은 복수개의 상호 접속 요소를 제조하고 복수개의 상호 접속 요소를 주변 패턴 또는 장방형 어레이 패턴과 같은 서로서로 정하여진 공간적 관계를 갖도록 배열하는 것에도 적용할 수 있다.

희생 기층의 사용

상호 접속 요소를 전자 부품의 단자에 직접 장착하는 것에 대해서는 앞에서 설명했다. 일반적으로, 본 발명의 상호 접속 요소는 희생 기층을 포함하여 임의의 적절한 기층의 임의의 적절한 표면 상에 제조 또는 장착할 수 있다.

모출원을 보면, 예를 들면 도11A 내지 도11F에 대하여 전자 부품에의 후속 장착을 위한 분리되고 개별적인 구조로서의 복수개의 상호 접속 구조물(예를 들어, 탄성 접촉 구조물)을 제조하는 방법과, 예를 들면 도12A 내지 도12C에 대하여 복수개의 상호 접속 요소를 희생 기층(캐리어)에 장착하고 그 후에 이들을 전자 부품에 한꺼번에 이송하는 방법이 기재되어 있다.

도2d 내지 도2f는 희생 기층을 사용하여 미리 형성된 팁 구조물을 갖는 복수개의 상호 접속 요소를 제조하는 기술을 도시한다.

도2d는 마스킹 재료(252)의 패턴화된 층을 희생 기층(254)의 표면에 피착하는 기술(250)의 제1단계를 도시한다. 예를 들어 희생 기층(254)은 얇은 (1 - 10 mil) 구리 또는 알루미늄 포일이고, 마스킹 재료(252)는 통상의 포토레지스트로 일 수 있다. 마스킹 층(252)은 상호 접속 요소를 제조하는 데 필요한 위치(256a, 256b, 256c)에 복수개의 개구(3개만 도시)를 갖도록 패턴이 형성된다. 이러한 의미에서 위치들(256a, 256b, 256c)은 전자 부품의 단자에 대응된다. 위치들(256a, 256b, 256c)은 거친 또는 특징있는 표면 조직을 갖도록 이 단계에서 처리되는 것이 바람직하다. 도시된 것처럼, 이것은 위치들(256a, 256b, 256c)에서 포일(254)에 오목부를 형성하는 엠보싱 공구(257)에 의해 기계적으로 수행될 수 있다. 이와 달리, 포일의 표면은 이들 위치에서 어떤 표면 조직을 갖도록 화학적으로 에칭될 수도 있다. 예를 들어 샌드블라스팅 및 피닝등과 같이 이러한 일반적인 목적을 달성하기에 적합한 어떠한 기술도 본 발명의 범위에 속한다.

그 다음에, 복수개(하나만 도시)의 전도성 팁 구조물(258)이 도2e에 도시된 바와 같이 각 위치(예를 들어, 256b)에 형성된다. 이것은 전해 도금과 같은 임의의 적절한 기술을 사용함으로써 달성될 수 있으며, 다층 재료를 갖는 팁 구조물을 포함할 수도 있다. 예를 들어, 팁 구조물(258)은 희생 기층 상에 피착된 얇은(예를 들어, 10 - 100 microinch) 니켈 차단층을 갖고, 얇은(10 microinch) 연질 금층, 얇은(20 microinch) 경질 금층, 비교적 두꺼운(예로 200 microinch) 니켈층, 최종적인 얇은(예로 100 microinch) 연질 금층으로 피착된다. 일반적으로, 니켈의 제1의 얇은 차단층은 후속 금층을 기층(254)의 재료(예를 들어, 알루미늄, 구리)에 의해 못쓰게 되는 것으로부터 보호하며, 비교적 두꺼운 니켈층은 팁 구조물에 강도를 부여하고, 최종적인 얇은 연질 금층은 용이하게 결합되게 하는 표면을 제공한다. 본 발명은 팁 구조물이 희생 기층 상에 형성되는 특정한 방법에는 제한되지 않는다. 이러한 특정한 방법은 용도에 따라 필수적으로 달라지게 되기 때문이다.

도2e에 도시된 것처럼, 상호 결합 요소용 복수개(하나만 도시)의 코어(260)는 상기에 설명한 것처럼 연질 와이어 코어를 전자 부품의 단자에 결합하는 임의의 기술에 의한 것과 같은 그러한 기술에 의하여 팁 구조물(258) 상에 형성될 수 있다. 그 다음에, 코어(260)는 상기에 설명한 방식으로 경질 재료(262)로 오버코팅되는 것이 바람직하고, 마스킹 재료(252)는 제거되어 도2f에 도시된 것처럼 희생 기층의 표면에 장착된 복수개(3개만 도시)의 프리스탠딩 상호 접속 요소(264)가 형성된다.

도2a와 관련하여 설명된 단자(214)의 적어도 인접 영역을 덮는 오버코팅 재료와 유사한 방식으로, 오버코팅 재료(262)는 코어(260)를 그들의 각 팁 구조물(258)에 견고하게 고정하고, 필요에 따라서는 최종의 상호 접속 요소(264)에 탄성 특성을 부여한다. 모출원에 기재되어 있는 것처럼 희생 기층에 장착된 복수개의 상호 접속 요소는 전자 부품의 단자에 한꺼번에 이송될 수도 있다. 이와 달리, 두개의 넓게 분기하는 통로를 통하여 이송될 수도 있다.

실리콘 웨이퍼가 팁 구조물이 제조되는 희생 기층으로서 사용할 수 있고, 그렇게 제조된 팁 구조물은 전자 부품 상에 이미 장착된 탄성 접촉 구조물에 (예를 들어, 연납땜 또는 경납땜에 의해) 결합될 수 있다는 것도 본 발명의 범위에 속한다. 더 나아가, 이러한 기술에 대한 논의는 도8a 내지 도8e를 참조하여 이하에서 더 설명한다.

도2g에 도시된 것처럼, 희생 기층(254)은 선택적 화학 에칭과 같은 임의의 적절한 공정에 의해 간단하게 제거될 수도 있다. 대부분의 선택적 화학 에칭 공정은 하나의 재료를 다른 재료보다 훨씬 더 빠른 속도로 에칭하고 다른 재료는 이 공정에서 약간만 에칭되므로, 이러한 현상은 희생 기층을 제거하는 동시에 팁 구조물의 얇은 니켈 차단층을 제거하는 데 바람직하게 사용된다. 그러나, 필요하다면 얇은 니켈 차단층도 각각의 후속 단계에서 제거될 수 있다. 이것은 점선(266)으로 도시된 것처럼 복수개(3개만 도시)의 개개의 분리된 단일 상호 접속 요소(264)를 생성하고, 그 후에 전자 부품 상의 단자에(연납땜 또는 경납땜 등에 의해) 장착될 수 있다.

오버코팅 재료는 희생 기층 및/또는 얇은 차단층을 제거하는 공정에서 약간 얇아질 수도 있다. 그러나, 이러한 현상은 일어나지 않는 것이 바람직하다.

오버코팅이 얇아지는 것을 방지하기 위하여, 얇은 금층, 예를 들어 약 20 마이크로인치의 경질 금 위에 도포된 10 마이크로인치의 연질 금층을 오버코팅 재료(262) 위에 최종 층으로서 도포하는 것이 바람직하다. 이러한 금으로 된 외부층은 우수한 전도성, 접촉 저항 및 납땜성을 갖게 하기 위한 것이며, 얇은 차단층 및 희생 기층을 제거하는 데 사용하도록 된 대부분의 에칭 용액에 대하여 높은 불투과성을 나타낸다.

이와 달리, 도2h에 도시된 것처럼 희생 기층(254)을 제거하기 전에 복수개(3개만 도시)의 상호 접속 요소(264)는 자체에 복수개의 구멍과 제거되는 희생 기층(254)을 갖는 얇은 판과 같은 임의의 적절한 지지 구조물(266)에 의해 서로 소정의 공간상의 관계를 가지도록 고정될 수 있다. 지지 구조물(266)은 유전 재료 또는 유전 재료로 오버코팅된 전도성 재료로 될 수 있다. 복수개의 상호 접속 요소들을 실리콘 웨이퍼 또는 인쇄 회로 기판 등의 전자 부품에 장착하는 것과 같은 후속 공정 단계(도시 생략)가 수행될 수 있다. 또한, 몇몇 용도에서 있어서는 상호 접속 요소(264)의 팁(팁 구조물의 반대쪽)이, 특히 이 팁에 접촉력이 작용될 때, 움직이는 것을 방지하도록 안정화시키는 것이 바람직하다. 이를 위하여, 상호 접속 요소의 팁의 운동을 유전 재료로 형성된 메쉬와 같은 복수개의 구멍을 갖는 적절한 시트(268)로 구속하는 것이 바람직하다.

상기에 설명한 기술(250)의 현저한 장점은 팁 구조물(258)이 실질적으로 임의의 원하는 재료 및 실질적으로 임의의 원하는 조직을 갖도록 형성될 수 있다는 것이다. 상기에 설명한 것처럼, 금은 전도성이 우수한 전기적 특성, 낮은 접촉 저항, 납땜성 및 내식성을 나타내는 귀금속의 일례이다. 또한, 금은 가단성 재료이기 때문에 본 명세서에서 설명한 임의의 상호 접속 요소, 특히 여기서 설명하는 탄성 상호 접속 요소 위에 도포되는 최종 오버코팅에 매우 적합하다. 다른 희

금속도 유사하게 바람직한 특성을 나타낸다. 그러나, 로듐과 같은 몇몇 재료는 우수한 전기적 특성을 나타내기는 하지만 전체 상호 접속 요소를 오버코팅하는 데에는 부적합하다. 예를 들어, 로듐은 취성이 커서, 탄성 상호 접속 요소 상에 최종 오버코팅을 수행하기가 어렵다. 이 점에 있어서, 상기 기술(250)에 의해 예시된 방법은 이러한 제한을 용이하게 극복한다. 예를 들어, 다층 팁 구조물(258 참조)의 제1층은(상기에 설명한 것과 같은 금이라기 보다는) 로듐으로 될 수 있어서, 최종 상호 접속 요소의 기계적 특성에 어떠한 영향을 미치지 않으면서도 전자 부품에의 접속을 위한 우수한 전기적 특성을 이용하게 된다.

도2i는 상호 접속 요소를 제조하기 위한 다른 실시예(270)를 도시한다. 이 실시예에서, 마스킹 재료(272)는 희생 기층(274)의 표면에 도포되고, 도2d와 관련하여 위에서 설명한 방법과 유사한 방식으로 복수개(하나만 도시)의 개구(276)를 갖도록 패턴화 된다. 개구(276)는 상호 접속 요소가 프리스탠딩 구조로서 제조될 영역을 규정한다. (본 명세서에 전반적으로 설명한 것처럼, 상호 접속 요소의 일단부가 전자 부품의 단자 또는 희생 기층에 결합되고 반대쪽 단부는 전자 부품 또는 희생 기층에 결합되지 않은 경우에 '프리스탠딩'이라 한다.)

개구 내부 영역은 희생 기층(274)의 표면 안으로 연장되는 단일 오목부(278)로 나타낸 것처럼 하나 또는 그 이상의 오목부를 갖는 것과 같이 임의의 적절한 방식으로 조직을 갖추게 될 수 있다.

코어(와이어 스템, 280)는 개구(276) 내부의 희생 기층의 표면에 결합되어 임의의 적절한 형상을 취할 수 있다. 이 실시예에서는 도시의 명확성을 위해 상호 접속 요소의 일단만이 도시되어 있다. 타단(도시 생략)은 전자 부품에 부착될 수 있다. 이 기술(270)은 코어(280)가 팁 구조물(258)보다는 희생 기층(274)에 직접 부착된는 점에서 앞에서 설명한 기술(250)과는 다르다는 것을 쉽게 알 수 있다. 예로써, 금 와이어 코어(280)는 종래의 와이어 결합 기술을 사용하여 알루미늄 기층(274)의 표면에 용이하게 접합된다.

이 공정(270)의 다음 단계에서, 금층(282)이 코어(280)와 오목부(278) 내를 포함한 개구(276) 내의 기층(274)의 노출 영역 상에 도포(도금에 의해)된다. 이 층(282)의 주된 목적은 최종 상호 접속 요소의 단부에 접속면을 형성하는 것이다 (즉, 희생 기층이 일단 제거된 후에).

다음으로, 니켈과 같은 비교적 경질인 재료로 된 층(284)이 층(282) 위에 도포된다. 상기에 설명한 것처럼 이 층(284)의 주된 목적은 최종 복합 상호 접속 요소에 소정의 기계적 특성(예로 탄성)을 부여하려는 것이다. 이 실시예에서, 이 층(284)의 다른 주된 목적은 최종 상호 접속 요소의 하단에 제조되는 접속면의 내구성을 증진시키는 것이다. 금으로 된 최종 층(도시 생략)은 이 층(284)에 도포되어 최종 상호 접속 요소의 전기적 특성을 증진시킬 수 있다.

최종 단계로, 마스킹 재료(272) 및 희생 기층(274)이 제거되고, 이로써 복수개의 개별화된 상호 접속 요소(도2g와 비교) 또는 서로 미리 정하여진 공간적인 관계를 갖는 복수개의 상호 접속 요소(도2h와 비교)를 생성하게 된다.

이 실시예(270)는 상호 접속 요소의 단부 상에 조직을 갖춘 접촉 팁을 제조하는 기술의 실시예이다. 이 경우에 있어서, '니켈 위에 금'이 있는 적촉 팁의 우수한 실시례가 설명되었다. 그러나, 본 발명의 범위 내에서 상기에 설명한 방법에 따라 상호 접속 요소의 단부에 다른 유사한 접속 팁을 제조할 수도 있다. 이 실시예(270)의 또 다른 특징은 접속 팁이 이전의 실시예(250)에서처럼 희생 기층(254)의 표면 내에 제조되기보다는 완전히 희생 기층(274) 상부에 제조된다는 것이다.

반도체 장치들에 스프링 상호 접속 요소들의 직접 장착

도3a, 도3b 및 도3c는 모출원 케이스의 도1c 내지 도1e와 비교될 수 있는 것으로서, 개별화되지 않은 반도체 장치들을 포함하는 반도체 장치들 상에 복합 상호 접속부들을 직접 제조하기 위한 바람직한 기술(300)을 도시한다.

종래의 반도체 공정 기술들에 의하면, 반도체 장치(302)는 패턴화된 전도성 층(304)을 구비하고 있다. 이 층(304)은 상부 금속층일 수도 있으며, 이 층은 절연(예를 들어, 패시베이션) 층(308)(전형적으로는, 질화물) 내의 개구(306)에 의해 한정된 것과 같이 통상적으로 다이에 외부 결합(bond-out)되도록 되어 있다. 이런 방식으로, 접합 패드가 한정되며, 접합패드는 패시베이션 층(308) 내의 개구(306) 영역에 대응하는 영역을 구비한다. 통상적으로(즉, 종래 기술에 의하면), 와이어는 접합 패드에 접합된다.

본 발명에 의하면, 금속 재료(예를 들어, 알루미늄)로 된 블랭킷 층(310)은 개구(306) 내로 '디핑(dipping)'되어 상기 패턴화된 전도성 층(304)에 전기적으로 접속하는 것을 포함하여, 전도성 층(310)이 상기 패시베이션 층(308)의 지형을 등각적으로 추종하는 방식으로 패시베이션 층(308) 위에 (예를 들어 스퍼터링에 의해) 피착된다. 마스킹 재료(예를 들어, 포토레지스트)로 된 패턴화된 층(312)은 패시베이션 층(308) 내의 개구(306) 위에 정렬된 개구(314)를 갖는 상기 층(310) 위에 도포된다. 블랭킷 전도성 층(310)의 일부분은 마스킹 재료(312)로 덮여지고, 블랭킷 전도성 층(310)의 다른 부분은 마스킹 재료(312)로 된 층의 개구(314) 내에서 (덮여지지 않고) 노출된다. 개구(314) 내의 블랭킷 전도성 층(310)의 노출된 부분들은 '패드들' 또는 '단자들'로서 작용하며(214와 비교), 금으로 도금될 수 있다(도시되지 않음).

이러한 기술의 한가지 중요한 특징은 개구(314)가 개구(306) 보다 크다는 것이다. 명백히 알 수 있는 바와 같이, 이것은 (개구(314)에 의해 한정된) 접합 영역을 이러하지 않은 경우에(개구(306)에 의해 한정된 바와 같이) 반도체 다이(302) 상에 존재하는 접합 영역보다 크게 하는 결과를 가져온다.

이러한 기술의 또 다른 중요한 특징은 전도성 층(310)이 와이어 스템 (코어)(320)의 전자 화염 절단(EFO; electronic flame off) 공정 중에 상기 장치(302)가 손상되는 것으로부터 보호하기 위해 단락층으로서 작용한다는 것이다.

내부 코어(와이어 스템)(320)의 한 단부(320a)는 개구(314) 내에서 전도성 층(310)의 (도시된 바와 같이) 상부 표면에 접합된다. 상기 코어(320)는 반도체 다이의 표면으로부터 연장되어 스프링 작용 가능한 형상을 갖도록 구성되어 있으며, 상술한 바와 같은 방식으로(예를 들어, 전자 화염 절단에 의해) 팁(320b)을 갖도록 절단된다. 다음에, 도3b에 도시된 바와 같이, 성형된 와이어 스템(320)은 상술한 바와 같이 전도성 재료(322)로 된 하나 이상의 층들로 오버코팅된다(도2a와 비교). 도3b에서 볼 수 있는 바와 같이, 오버코팅 재료(322)는 와이어 스템(320)을 완전히 감싸며, 또한 포토레지스트(312)의 개구(314)에 의해 한정된 영역 내에서 전도성 층(310)을 덮는다.

다음에, 포토레지스트(312)는 (예를 들어, 화학적 에칭 또는 세척에 의해) 제거되고, 와이어 스템(320)을 오버코팅하는 재료(322)에 의해 덮여진 층(310)의 부분(315)(예를 들어, 패드, 단자)을 제외하고 전도성 층(310)으로부터 모든 재료를 제거하기 위해 기층을 선택적으로 에칭(예를 들어, 화학적 에칭)한다. 사전에 마스킹 재료(312)에 의해 덮여지고 재료(322)로 오버코팅되지 않은 블랭킷 전도성 층(310)의 부분들은 이 단계에서 제거되는 반면에, 상기 재료(322)에 의해 오버코팅되어진 블랭킷 전도성 재료(310)의 나머지 부분들은 제거되지 않는다. 이것은 도3c에 도시된 구조를 결과물로 생성하는데, 이 구조의 중요한 이점은 최종적인 복합 상호 접속 요소(324)가 이러한 기술에 의하지 않은 경우에(예를 들어, 종래 기술에 있어서) 접합 패드의 접촉 영역(즉, 패시베이션 층(308)의 개구(306))으로 간주되었을 것보다 용이하게 크게 될 수 있는 영역(포토레지스트의 개구(314)에 의해 정의된)에 견고하게 고정(코팅 재료(322)에 의해)된다는 것이다.

이러한 기술의 또 다른 중요한 이점은 접촉 구조물(324)과 그것이 장착되는 단자(패드)(315) 사이에 기밀 밀봉형(hermetically-sealed, 완전 오버코팅형) 접속이 이루어진다는 것이다.

상술한 기술들은 일반적으로 복합 상호 접속 요소들을 조립하는 새로운 방법을 기술하고 있는데, 복합 상호 접속요소의 물리적 특징들은 원하는 정도의 탄성을 나타내도록 용이하게 설계된다.

일반적으로, 본 발명의 복합 상호 접속 요소들은 상호 접속 요소들(예를 들어, 320)의 팁들(예를 들어, 320b)이 서로에 대해 용이하게 공통 평면상에 있도록 할 수 있으며 상호 접속 요소들이 시작되는 단자들(예를 들어, 접합 패드들)과는 다르게(예를 들어, 피치가 더 크게) 될 수 있는 방식으로 기층(특히, 반도체 다이)에 용이하게 장착(또는 그 위에서 제조)된다.

본 발명의 범주 내에서, 개구들은 포토레지스트 내(예를 들어, 314)에 형성되는데, 그곳에는 탄성 접촉 구조물들이 장착되지 않는다. 오히려, 그와 같은 개구들은 동일한 반도체 다이 또는 다른 반도체 다이들 상의 다른 패드들과 (예를 들어, 전통적인 와이어 결합에 의해) 접속을 이루도록 유용하게 사용될 수 있다. 이것은 제조업자에게 레지스트 내의 개구들의 공통 배치를 갖는 상호 접속부들을 '주문 제작'할 수 있는 능력을 제공해준다.

도3d에 도시된 바와 같이, 본 발명의 범주 내에서, 마스킹 층(312)은 반도체 장치(302)의 표면 상에 부가의 전도성 라인들이나 영역들을 남기도록(즉, 상호 접속 요소(324)들이 장착되고 오버코팅되는 개구(314)들을 제공하는 것에 부가해서) 부가적으로 패턴화될 수가 있다. 이것은 각각 개구(314a, 314b)들로 연장되는 '긴' 개구(324a, 324b)들과, 개구(314c)로 (도시된 바와 같이) 임의로 연장되는 '영역' 개구(324c)에 의해 도면에 도시되어 있다. (본 도면에서는, 구성 요소(304, 308, 310)들이 도시를 명확하게 하기 위해 생략되어 있다.) 상술한 바와 같이, 오버코팅 재료(322)는 이들 부가의 개구(324a, 324b, 324c)들 내에 피착되어, 이들 개구들 아래에 놓여진 전도성 층(310) 부분들이 제거되는 것을 방지해 줄 것이다. 접촉 개구(314a, 314b, 314c)들에게로 연장되는 이러한 긴 개구(324a, 324b, 324c)들의 경우에 있어서, 긴 개구들은 대응하는 접촉 구조물들과 전기적으로 접속될 것이다. 이것은 직접 전자 부품(예를 들어, 반도체 장치)(302)의 표면 상에서 (상호 접속하는) 두개 이상의 단자(315)들 사이의 전도성 트레이스들을 제공(경로 제공)하는 의미에 있어서 유용하다. 이것은 또한 직접 전자 부품(302) 상에서 접지 및/또는 전원 평면들을 제공하기 위해서도 유용하다. 또한, 이것은 긴 영역(324a, 324b)들과 같이 온-칩(302) 커패시터들로서 작용할 수 있는 가깝게 인접한(예를 들어, 사이에 끼인) 긴 영역들(도금 시에는 라인들로 됨)이라는 점에서도 유용하다. 부가적으로, 마스킹 층(312)내의 접촉 구조물(324)들을 위한 위치 이외의 위치에 개구들을 제공하는 것은 후속의 오버코팅 재료(322)의 균일한 피착에 기여할 수 있다.

본 발명의 범주 내에서, 접촉 구조물(324)들은 예를 들어 상술한 도2d 내지 도2f의 방식으로 미리 제조되어, 제어된 토포그라피를 갖는 팁(258)들을 구비하거나 또는 구비하지 않고 단자(315)들에 납땜된다. 이것은 미리 제조된 접촉 구조물들을 (반도체 웨이퍼로부터) 개별화되지 않은 반도체 다이들에 차례로 장착하거나 여러개의 반도체 다이들에 한번에 장착하는 것을 포함한다. 부가적으로, 팁 구조물(258, 820, 864)의 토포그라피는 평평하게 되도록 제어되어, 후술하는 z-축 전도성 접착제(868)와 효과적인 가압 접속을 이룰 수가 있다.

반도체 장치들의 실행

집적 회로(칩) 제조업자들 사이에서 칩들의 번인 및 기능 시험은 공지된 공정이다. 이들 기술들은 전형적으로 칩들의 패키징 작업 후에 수행되며, 여기에서는 총괄하여 '실행(exercising)'이라 칭한다.

현대의 집적 회로들은 일반적으로 단일의 (보통은 둥근) 반도체 웨이퍼 상에 (보통은 정사각형 또는 직사각형 다이 구역들로서) 몇 개의 전형적으로 동일한 집적 회로 다이들을 생성한 다음에, 상기 다이들(칩들)을 서로 분리(개별화, 절단)시키기 위해 웨이퍼를 스크라이빙(scribing) 및 슬라이싱(slicing)하여서 제조된다. '스크라이브 라인'(절단; kerf) 영역들의 직교 그리드는 인접한 다이들 사이에 연장되며, 때때로 제조 공정을 평가하기 위한 시험 구조물들을 포함한다. 이들 스크라이브 라인 영역들과 그들 내에 포함된 모든 것은 다이들이 웨이퍼로부터 개별화될 때 파괴될 것이다. 개별화된(분리된) 다이들은 궁극적으로는 예를 들면 다이 상의 접합 패드들과 패키지 본체 내의 전도성 트레이스들 사이에

와이어 접합 접속부들을 형성해 주는 것과 같은 것에 의하여 개별적으로 패키지된다.

'번인'은 칩(다이)에 단순히 전력을 공급하거나('정적' 번인), 또는 전력을 공급하고 신호들을 인가하여 칩의 기능를 어느 정도 실행하는('동적' 번인) 공정이다. 양 경우에 있어서, 번인은 전형적으로 상승된 온도에서 칩에 '일시적인'(또는 제거가능한) 접속을 한 상태에서 수행되는데, 그 목적은 칩들을 패키징하기 전에 결함이 있는 칩들을 확인하는 것이다. 번인은 통상적으로 다이들이 웨이퍼로부터 개별화된(절단된) 후에 한 다이씩 차례로 수행되지만, 다이들을 개별화하기 전에 번인을 수행하는 것도 공지되어 있다. 전형적으로, 다이들에 대한 일시적 접속은 '플라잉 와이어들'라고 하는 시험 탐침들에 의해 이루어 진다.

또한, 기능 시험은 다이들에 대해 일시적 접속을 하는 것에 의하여도 수행될 수 있다. 몇몇 경우에 있어서, 각각의 다이는 칩의 기능 중 일부를 실행하는 내장(built-in) 자기 시험(자기-시동, 신호-발생) 회로가 갖추어져 있다. 많은 경우에 있어서, 시험 지그는 각각의 다이에 대하여 제작되어야 하며, 탐침 핀들은 실행(시험 및/또는 번인)이 요구되는 특정 다이 상의 접합 패드들과 정밀하게 정렬되어야 한다. 이들 시험 지그들은 비교적 고가이며, 상당한 제작 시간을 필요로 한다.

일반적인 명제로서, 패키지 리드들은 번인(또는 기능 시험)을 위해서가 아니라 조립을 위해 최적화되어 있다. 종래 기술의 번인 기판들은 고가이며, 종종 수천 사이클(즉, 시험되는 다이 당 일반적으로 한 사이클)을 격게된다. 게다가, 상이한 다이들은 상이한 번인 기판들을 필요로 한다. 번인 기판들은 고가이고, 이는 전체 제조 비용을 증가시키서 특정 장치들의 대량 수요에 의해서만 상환될 수가 있다.

다이를 패키징하기 전에 다이에 대한 소정의 시험이 있었다면, 패키지된 다이가 외부 시스템의 구성 요소들과 접속될 수 있도록 다이가 패키지될 것이다. 앞에서 설명한 바와 같이, 패키징 작업은 예를 들어 접합 와이어에 의한 것과 같이 다이에 소정 종류의 '영구적인' 접속을 만들어주는 것을 전형적으로 포함한다. (종종, 이러한 '영구적인' 접속은 이것이 비록 일반적으로 바람직한 것은 아니지만 접속을 해제할 수도 있고 재접속 될 수도 있다.)

명백하게 다이(들)의 번인 및/또는 패키징전 시험에 필요한 '일시적인' 접속은 종종 다이(들)를 패키징하는 데 필요한 '영구적인' 접속과는 다르다.

본 발명의 한 목적은 동일한 상호 접속 구조물을 사용하여 반도체 다이들과 같은 전자 부품들에 대하여 일시적인 접속과 영구적인 접속 양자 모두를 할 수 있는 기술을 제공하는 것이다.

본 발명의 다른 목적은 다이들이 웨이퍼로부터 개별화되기 전이나 또는 다이들이 웨이퍼로부터 개별화된 후에, 다이들에 대한 번인 또는 시험을 수행하기 위하여 다이들과 일시적인 상호 접속을 하기 위한 기술을 제공하는 것이다.

본 발명의 또 다른 목적은 다이(들)과 영구적인 접속을 하기 위해서 동일한 상호 접속 구조물을 사용하거나 사용하지 않거나 관계없이 다이들과 순간적인 상호 접속을 하기 위한 개량된 기술을 제공하는 것이다.

본 발명에 따르면, 탄성 접촉 구조물들은 반도체 다이와 같은 전자 부품에 대한 일시적인 접속부 및 영구적 접속부 양자 모두로서의 '이중 역활'을 수행할 수 있다.

본 발명에 따르면, 탄성 접촉 구조물들은 반도체 다이들에 직접 장착될 수 있으며, 이 탄성 접촉 구조물들은 아래와 같이 복수개의 목적들을 충족시킬 수 있다:

(a) 탄성 접촉 구조물들은 보통의 인쇄 회로 기판들만큼 간단하고 단순하게 될 수 있는 시험 기판들과 신뢰성 있는 일시적 접속을 할 수 있다;

(b) 동일한 탄성 접촉 구조물들은 스프링 클립 또는 이와 유사한 것에 의해 적소에서 지지될 때 회로 기판들과 신뢰성 있는 영구적 접속을 할 수 있다; 그리고,

(b) 동일한 탄성 접촉 구조물들은 스프링 클립 또는 이와 유사한 것에 의해 적소에서 지지될 때 회로 기판들과 신뢰성 있는 영구적 접속을 할 수 있다; 그리고,

칩-레벨 장착 공정

상술한 바와 같이(예를 들어, 도3a 내지 도3c에 대해서), 반도체 다이들(상)에 본 발명의 탄성 접촉 구조물들을 직접 장착하는 것은 본 발명의 범주 내에 당연히 속하게 된다. 이것은 외부의 상호 접속 구조물들(예를 들어, 핀들, 리드들 등)을 필요로 하는 소정 종류의 패키지 내에 배치된 다이들에 대한 종래의 와이어 접합 기술들과 대비하여 볼 때 특히 중요하다.

일반적으로, 본 발명은 다이를 상당히 가열하지 않고 접촉 구조물들을 직접 반도체 다이들에 장착하기 위한 기술을 제공한다. 일반적으로, 와이어 스템의 다이에 대한 접합과 후속의 와이어 스템에 대한 오버코팅(예를 들어, 도금)은 섭씨 수백도(℃) 정도의 온도를 다이들에게 가하는 장치 제조 공정들(예를 들어, 플라즈마 에칭, 재유동 글래스)과 비교할 때 상대적으로 '경미한' 온도에서 수행된다. 예를 들면, 금 와이어들의 접합은 전형적으로 140 ℃ 내지 175 ℃에서 일어난다. 알루미늄 와이어들의 접합은 더욱 낮은 온도, 예를 들어 실온에서 일어날 수가 있다. 도금 온도는 공정에 따라 좌우되지만, 일반적으로 100 ℃를 초과하는 온도들을 포함하지는 않는다.

도4a 내지 도4e는 탄성 접촉 구조물들을 실리콘 칩 상에 또는 반도체 웨이퍼로부터 개별화되어지기 전의 실리콘 칩들(다이들) 상에 배치하는 공정을 도시하고 있다. 이러한 공정의 중요한 특징은 (층(310)에 대해 위에서 언급한) 단락층을 제공한다는 것으로서, 이는 (상술한) 전기 도금에 의해 탄성 접촉 구조물들의 성형된 와이어 스템들을 오버코팅하기 위하여 중요한 것이다. 전기 아크(상술한 바와 같이, 예를 들어 와이어를 절단하기 위한 전기 화염 차단 기술들에서와 같이)가 반도체 장치들을 손상시킬 수 있는 가능성을 반드시 갖고 있다는 사실 뿐아니라, 전기 도금이 전기장 (electric field)의 존재하에 용액으로부터 재료를 피착시키는 것을 포함하고 전기장은 민감한 반도체 장치들을 손상시킬 수 있는 한, 단락층은 상기 과정 중에 그와 같은 민감한 전자 부품들에 대한 전기적인 보호를 제공할 것이다. 선택적으로, 단락층은 접지될 수도 있다.

도4a는 복수개(두개만 도시됨)의 접합 패드(404)를 구비한 반도체 기층(402)을 도시한다. 접합 패드(404)는 이 접합 패드(404) 각각의 위에서 개구를 갖는 패시베이션 층(406)(전형적으로는, 실리콘 질화물)으로 덮여진다. 전형적으로, 패시베이션 층(406) 내의 이들 개구들은 접합 와이어가 접합 패드에 접합되도록 해주는데, 기층(예를 들어, 다이)을 리드프레임 등에 와이어 접합하기 위한 것이다. 사실상, 패시베이션 층 내의 개구들은 접합 패드의 금속화가 패시베이션 층(406) 내의 개구를 지나 연장될 수도 있다는(그리고 전형적으로는 연장될 것이라는) 사실과는 관계없이, 접합 패드(404)의 크기(면적)를 한정한다. (전형적으로, 접합 패드 자체는 본질적으로 금속화된 층 내에 있는 도체들의 패턴 내의 단순한 한 장소이다.) 전술한 내용은 반도체 제조 기술 분야에서 공지된 것이며, 접합 패드들(상부 금속화 층)과 기층(402) 사이의 전도성, 절연 및 반전도성 재료들로 된 부가의 층들은 도시를 명료히 하기 위해 생략되었다. 전형적으로, 그러나 필수적이지는 않으나, 접합 패드들은 모두 반도체 기층(장치) 상의 (예를 들어, 전술한 층이 평면화되어 있다면) 동일 레벨에 있으며, 접합 패드들이 공통 평면을 이루는지 여부는 본 발명의 목적을 위하여 중요하지가 않다.

도4a는 또한 접합 패드(404)들과의 전기적 접촉을 이루도록 (패시베이션 층(406) 위의 그리고 패시베이션 층의 개구들 내로) 기층(402)의 전체 표면에 종래의 공정들에 의해 인가된 알루미늄, Ti-W-Cu(티타늄-텅스텐-구리), Cr-Cu(크롬-구리) 등의 전도성 층(410)에 의해 접합 패드(404)들이 함께 단락되어 있는 것을 도시하고 있다. 포토레지

스트(412)의 패턴화된 층은 단락층(410) 위에 인가되어, 접합 패드(404)들 위에 직접 정렬된 개구(414)들을 구비하도록 패턴화된다. 특히, 레지스트 층(412) 내의 개구(414)들은 임의의 크기로 될 수 있으며, 양호하게는 (레지스트(412)를 통해 단락층(410)까지 개구(414)에 의해 형성된) '가상' 접합 패드가 '실제' 접합 패드(404) 보다 큰 면적을 갖도록 패시베이션 층(406) 내의 개구들보다 크다. 본 발명의 일면에 따르면, 가상 접합 패드의 면적은 상당히, 예를 들어 (패시베이션 층 내의 개구에 의해 형성된 바와 같은) 실제 접합 패드보다 10%, 20%, 30%, 40%, 50%, 60%, 70%, 80%, 90%, 또는 100% 까지 크다. 전형적으로, 접합 패드들(및 그 개구들)은 (상부에서 보았을 때) 정사각형이다. 그러나, 접합 패드들의 특정 형상은 본 발명에 특별히 관계되는 것은 아니며, 이는 직사각형, 원형 또는 타원형 형상 등을 갖는 접합 패드들에 적용될 수 있다.

도4b는 기층(402)에 탄성 접촉 구조물들을 장착하는 공정에서의 다음 단계를 도시한다. 와이어(420)들은 그 말단부(420a)들이 개구(414)들 내에서 단락층에 접합되고, 오버코팅 되었을 때 탄성 접촉 구조물로서 기능하기에 적합한 형상을 갖도록 형성된다. 일반적으로, 와이어 스템 형상을 형성하기 위한 상기 언급한 기술들 중 어느 하나가 이 단계에서 사용될 수 있다. 본 실시예에서, 와이어(420)는 도2a에 개시된 형상에 유사한 형상을 갖는 와이어 스템으로 형성된다.

도4c는 기층(402)에 탄성 접촉 구조물들을 장착하는 공정에서의 다음 단계를 도시하는데, 여기서 와이어 스템들(성형된 와이어들, 420)은 전도성 재료로 된 하나(또는 그 이상의) 층(들)(422)로 오버코팅된다. (전술한 실시예들에서와 같이, 다층 코팅들의 최상부 층만이 전도성을 갖을 필요가 있다.) 또한, 형상화된 와이어 스템들을 오버코팅하기 위한 전술한 공정들 및 재료들 중 임의의 것이 이 단계에서 사용될 수도 있다. 본 실시예에서, 와이어(420)는 니켈로 전기 도금(오버코팅)된다. 전술한 실시예들에서와 같이, 오버코팅은 최종 접촉 구조물의 탄성을 결정하고, 또한 기층에 대한 접촉 구조물의 고정을 크게 향상시키는 것이다. 본 실시예에서는, 전체 기층이 전기 도금조 내에 잠기며, 니켈이 본래부터 와이어 스템들 상에 그리고 레지스트(412)의 개구(414)들 내에 선택적으로 도금된다(니켈은 레지스트 재료에 전기 도금되지 않을 것이다). 이러한 방식으로, 탄성 접촉 구조물(430)들이 제공된다.

도4d는 탄성 접촉 구조물들을 기층(402)에 장착하는 공정의 다음 단계를 도시하는데, 여기서 와이어 스템(420)들은 탄성 접촉 구조물(430)들을 형성하기 위해 오버코팅되어 있다. 앞의 세 단계들에서 명백하게 레지스트(412)의 층은 제거되어 있다. 공정 내의 이 시점에서, 가상 접합 패드들은 연속하는 단락층(410) 상의 단순한 접촉 영역들이 된다(110과 비교).

도4e는 기층(402)에 탄성 접촉 구조물들을 장착하는 공정에서의 최종 단계를 도시한다. 이 단계에서, 단락층(410)은 오버코팅(422) 아래를 제외한 모든 장소에서 제거된다. 용이하게 선택적으로 에칭(즉, 오버코팅 재료(422) 또는 패시베이션 재료(406)를 에칭하지 않고)되는 재료들로 형성된 단락층들에 대해서, 이것은 선택적인 습식 에칭에 의해(즉, 적절한 부식액을 선택함으로써) 달성될 수 있다. 본 실시예에서, 선택적인 에칭을 수행하기 위해 필요한 '기본적인' 요구 조건은 단지 상기 층(410)의 재료가 코팅(422)의 재료와 다르고, 다른 것, 즉 코팅(422)은 용해시키지 않고 층(410)을 용해시키는 반응물이 있다는 것이다. 이것은 본 발명이 가장 근접하게 속하는 기술 분야에서 숙련된 사람의 이해 범위 내에 있을 것이다.

본 발명의 공정이 갖는 현저한 이점은 (예를 들어, 패시베이션 층의 개구에서) 기존에 존재했던 것보다 더 큰 '가상' 접촉 영역이 생성된다는 것이다. 오버코팅(422)은 이 가상 접촉 영역에 와이어 스템(420)을 견고하게 고정시켜서, 와이어 스템의 기본적인 접착력을 크게 증가시킨다. 게다가, 비록 다이 기층이 정사각형(또는, 직사각형이나 원형)의 실제 접촉 패드들을 구비하고 있다 하더라도, 본 발명의 공정은 가상 접촉 패드들(임의의 형상(예를 들어, 직사각형, 원형, 타원형, 등)의 레지스트(412) 내의 개구들)의 생성을 허용한다. 더욱이, 가상 접촉 패드와 실제 접촉 패드가 겹치는 것만이 요구되어 진다. 다시 말하면, 가상 접촉 패드의 중심은 실제 접촉 패드의 중심으로부터 오프셋될 수가 있다. 이것은 탄성 접촉부들의 팁(말단부)들이 '엇갈리는' 것을 허용하는데, (실제 접촉 패드들의 선형 어레이에 직접 접합하면) 다르게 되었을 이러한 특징은 적어도 두개의 상이한 와이어 형상 또는 방향을 형성하는 것을 필요로 할 것이다.

상술한 바와 같이, 기층에 대해 탄성 접촉 구조물(430)들을 장착하는 이러한 공정은 이미 개별화된 다이 또는 반도체 웨이퍼로부터 개별화되어지기 전의 다이들(다이 구역들) 상에서 수행될 수가 있다.

이상에서 설명된 단계들은 웨이퍼로부터 개별화되지 않은 반도체 다이에서도 수행될 수 있다(다이를 웨이퍼로부터 개별화하기 전에 다이에 접촉 구조물을 장착하는 것에 관한 논의를 위하여 이하의 도5를 참조하라).

바로 아래에서 논의되는 도4f 및 도4g는 도4a 내지 도4e의 공정과 유사한 공정을 설명하지만, 여기서는 접촉 구조물이 다이를 웨이퍼로부터 개별화하기 전에 다이에 적용된다.

도4f는 탄성 접촉 구조물(430)이 반도체 웨이퍼 상의 복수개의 다이 구역(402a, 402b)(도시된 여러 개 중 2개)에 장착되어 있는 후마무리(post-finishing) 단계를 도시한다. (톱과 같은) 적당한 절단 공구(450)를 인접한 다이들 사이에서 웨이퍼로 향하여 눌러서 복수개의 개별화된 다이를 생성하고, 각각의 다이는 다이에 장착된 탄성 접촉 구조물을 갖는다.

도4g는 도4f에 도시된 후마무리 단계 이전 또는 이후(즉, 후마무리 단계와 무관하게)에 수행될 수 있는 다른 선택적인 후마무리 단계를 도시한다. 본 단계에서, 적당한 기밀 밀봉(예컨대, 중합체) 코팅(460)이 기층의 표면에 도포되어, 탄성 접촉 구조물(430)의 근접 단부(430a) 및 (도시된 바와 같이) 기층의 모서리뿐만 아니라 전체 표면을 덮는다. 통상적으로는(즉, 양호하게는), 이러한 피막은 절연재이고, 그레서 탄성 접촉 구조물(430)의 말단 단부(팁)(430b)를 덮는 것은 (도시된 바와 같이) 회피되어야 한다. 만약 회피될 수 없다면, 탄성 접촉 구조물의 팁(430b)을 덮는 절연재(460)는 제거되어야만 한다. 게다가, 절연재(460)로 탄성 접촉 구조물의 길이의 지엽적인(매우 작은) 부분 이상을 피복하는 것은 엄격하게 방지되어야 하는데, 그 이유는 절연재가 (주로) 오버코팅(422)에 의해 부여된 접촉 구조물(430)의 탄성 (스프링) 특성을 변경시킬 수 있기 때문이다. 이 단계는 반도체 다이, 특히 반도체 다이의 알루미늄 결합 패드가 주변(대기)으로부터 기밀 밀봉된다는 점에 있어서 본 발명의 주요 특징을 나타낸다. 다이의 이러한 기밀 밀봉은 기밀 밀봉성이 적은 (그리고 통상적으로는 저렴한) 패키지가 사용될 수 있게 한다. 예컨대, 세라믹 패키지는 헤미틱 밀봉성이 크고(방습) 매우 고가이다. 플라스틱 패키지는 헤미틱 밀봉성이 작고 저렴하다. PCB-기판형 패키지는 기밀 밀봉성이 훨씬 적고 비용에 있어서 플라스틱 패키지와 유사한 경향이 있다.

웨이퍼-레벨 장착 탄성 접촉 구조물

이상에서 기재된 논의는 반도체 다이를 포함하는 분리된 기층들에 본 발명의 탄성 접촉 구조물을 장착하는 것을 강조하였다. 본 발명의 범주는 넓고, 다이를 웨이퍼로부터 개별화(분리)하기 이전에 본 발명의 탄성 접촉 구조물을 다이에 장착하는 것에 대하여 특히 유용하다. 이는 본 발명의 탄성 상호 접속 기술을 사용하여, 웨이퍼로부터 다이들을 절단하기 이전에 개별화되지 않은 다이의 시험 및 번인을 수행할 기회를 제공한다. 개별화되지 않은 다이에 대한 접촉 구조물의 장착은 도4f 및 도4g에 대하여 이상에서 간단하게 논의되었다.

일반적으로, 종래 기술에 있어서, 웨이퍼 레벨에서 개별화되지 않은 다이를 시험하는 것은 전기적(예컨대, 웨이퍼 및/또는 다이 내에 형성된 다이 선택 기구)인 것이건 기계적(예컨대, 탐침, 플라잉 와이어 등)인 것이건 몇 종류의 다이 선택 기술을 요구하였는데, 양자는 모두 복잡하게 하고 생산 비용을 상당히 증가시키는 경향이 있었다. 본 발명에 따른, 개별화되지 않은 다이 상에 '최종' 접촉 구조물을 구성하고 다이의 시험과 다이의 영구적인 접속을 위하여 이러한 접촉 구조물을 사용하는 기회는 이러한 중간 단계들을 회피하고, 절단후 시험(test-after-dice) 방법보다 더욱 경제적인 되게 한다.

부가적으로, 웨이퍼 상에서 다이를 제조하는 동안, 웨이퍼 처리 공정 이전에 웨이퍼내의 결함이 확인되는 경우가 종종 있다. 이러한 불완전한 다이 구역내에 제조된 임의의 다이는 이러한 다이를 시험하는 '성가심' 없이 (절단 후에) 즉시 폐기되어야 한다.

도5는 반도체 웨이퍼의 일부분(502)을 도시하는데, 절단선(506) 격자에 의해 형성된 복수개의 다이 구역(504a 내지 504o)이 한정되어 있다. 탄성 접촉 구조물(530)은 각각의 다이 구역(504a 내지 504d, 504f 내지 504o) 상의 (도시되지 않은) 결합 패드에 장착되어 있다. 탄성 접촉 구조물(530)은 (탄성 접촉 구조물이 장착되기 이전에 결함이 있는 것으로 결정된) 다이 구역(504e)에는 장착되지 않는다. 도5에서 도시된 바와 같이, 다이 상의 모든 탄성 접촉 구조물은 탄성 접촉 구조물의 어떠한 부분도 절단선(506) 바로 위의 위치를 점유하지 않도록 '배향'된다.

다이를 웨이퍼로부터 개별화한 후에, 탄성 접촉 구조물의 팁을 기판 또는 보드에 후속적으로 상호 접속하기 위하여 노출된 상태로 남겨 두면서, 다이들은 적당한 절연재로 피복(또는 캡슐화)될 수 있다.

일반적으로, 다이를 웨이퍼로부터 개별화하기 전에 반도체 다이 상에 탄성 접촉 구조물을 직접 제조하는 능력은 반도체 장치를 제조하는 전체 공정에 있어서 상당한 이점을 가진다. 이러한 것이 다음과 같이 예시될 수 있다.

종래 기술의 전형적인 공정 흐름에 있어서, 다이는 웨이퍼 상에 있는 동안 탐침 검사되고, 웨이퍼로부터 절단되며, 리드프레임 상의 다이 부착 패드에 장착되고, 리드프레임의 핑거에 와이어 접속되며, 그리고 나서, 다이 및 리드프레임의 조립체는 캡슐화를 위해 금형 내로 삽입되고, 최종의 패키지된 다이는 금형으로부터 제거되고, 다듬질(예컨대, '플래시') 되어 성형된다(예컨대, 패키지 본체로부터 연장된 리드프레임 핑거의 부분은 적당한 갈매기 날개 형태로 형성된다).

본 발명의 전형적인 공정 흐름에 있어서, 다이는 웨이퍼 상에 있는 동안 탐침 검사되고, 탄성 접촉 구조물이 '양호한'(합격된) 다이에 장착되며, 다이는 웨이퍼로부터 절단되고, 다이는 피복 또는 캡슐화된다. 일반적인 명제로서, 이상에서 논의된 방식으로 다이를 탐침 검사하는 것은 메모리 장치와 같이 100개 미만의 결합 패드가 탐침 검사되는 다이로 제한되는 것이 바람직하다. 그럼에도 불구하고, 특히 번인을 위하여 (개별화 이전에) 웨이퍼 레벨에서 다이를 탐침 검사하는 것은 기재된 공정에 의해 매우 용이하게 된다.

도5에서, 임의의 다이 상의 탄성 접촉 구조물(530)은 다이의 2개의 측면에 배치되며, 다이의 임의의 한 측면 상의 탄성 접촉 구조물은 모두 동일하게 성형되고 동일한 방향으로 배치된 것으로서 도시되어 있다. 이는 명백하게 인접한 탄성 접촉 구조물들의 팁들 사이에 탄성 접촉 구조물이 장착되는 결합 패드의 피치와 동일한 '피치' 또는 '간극'을 형성한다.

이는 인쇄 회로 기판 등에 직접 접속되기에 적합한 탄성 접촉 구조물이 반도체(예컨대, 실리콘) 장치에 직접 장착될 수 있으며, '칩 사이즈 패키지'를 형성할 수 있다는 점에 있어서 본 발명의 이점을 나타낸다.

탄성 접촉 구조물이 직접 장착된 이러한 장치는, 예컨대 도7a 및 도7b에 대하여 이하에서 보다 상세히 논의된 바와 같이, 시험 및 번인에 대한 준비가 완료되고 카드 또는 보드에 상호 접속될 준비가 완료된 것이다.

이러한 논의를 위하여, 주어진 반도체 장치가 결합 패드들, 특히 단일열의 결합 패드들이 얼마나 근접하여 배치될 수 있는가에 대하여 보다 낮은 한계치를 갖고, 상기 보다 낮은 한계치는 본 명세서에서 장치의 '핀-아웃'이라고 불리워지는 것에 대하여 피치를 정하는 것으로 가정한다. ('핀-아웃'이란 용어는 결합 패드의 물리적인 간극이라기 보다는 결합 패드의 신호 할당을 설명하기 위해 통상적으로 사용되는 것으로 이해된다.) 핀-아웃 피치는 인쇄 회로 기판 상에서 성취할 수 있는 패드 간극과 비교할 때 비교적 미소하게(작게)되는 경향이 있으며, 이는 핀-아웃 피치를 확대하기 위해(넓히기 위해), 다이를 패키징하는 상황에서 결합 와이어, 리드프레임 등을 사용하는 것을 일반적으로 허용하는 부분적인 이유가 된다.

일반적으로, 회로 기판 설계에 대한 주요한 제한은 몇몇 경우에 '복잡한' 상호 접속 설계를 수행하기 위하여 전도성 트레이스가 접속 패드 사이에서 통과 할 수 있도록 접속(납땜) 패드가 충분히 멀리 이격되어야 한다는 것이다. 더구나, 일반적인 명제로서, 납땜 패드가 클수록, 더욱 많은 땜납을 '수용'하므로 더욱 양호하게 되어, 보다 신뢰성 있는 납땜 접속을 이루도록 한다.

본 발명의 특징에 따르면, 여러 형상 및 방향를 갖는 탄성 접촉 구조물은 기층(예컨대, 반도체 다이)에 장착될 수 있으며, 이는 장치 핀치-아웃의 유효 피치를 증가시키는 데 유용하다.

게다가, 개별화된 다이에 탄성 접촉 구조물을 장착할 때, 탄성 접촉 구조물들이 다이의 외주를 지나 연장되도록 접속자를 성형하는 것은 비교적 단순하고 가능한 것이다. 일반적으로, 전자 부품들에 탄성 접촉 구조물을 장착할 때, 본 발명에 따르면, (오버코팅 되는) 와이어 스템의 형상 및 크기는 실제로 제한되지 않아, (다이 상에서처럼 비교적 작은 간극으로부터 인쇄 회로 기판 상에서처럼 비교적 큰 간극으로 증가하는) 팬-아웃(fan-out)을 허용한다.

그러나, 본 발명의 범주 내에서, 다이의 외주를 지나 연장하는 접촉 구조물은 웨이퍼 상의 개별화되지 않은 다이에 장착될 수 있다. 예컨대, 이는 웨이퍼를 반대쪽으로부터 절단하는 것을 요구하게 되는데, 그 이유는 이러한 접촉 구조물은 절단선 위에 위치되기 때문이다.

본 발명의 다른 이점은, 와이어 스템이 도금(오버코팅)될 때 오버코팅 재료를 특히 상호 접속을 원하지 않는 전자 부품의 영역에 형성되도록 허용될 수 있다는 점이다. 예컨대, 전자 부품의 모서리는 전자 부품의 면에 장착된 와이어 스템을 도금하면서 도금될 수 있다. 또는, 전자 부품의 반대측 면도 와이어 스템을 도금하면서 도금될 수 있다. 일반적으로, 마스크 되지 않은 전자 부품 상의 임의의 영역이 도금될 수 것이다. (이상에서 논의된 실시예들 중 많은 실시예에서, 와이어 스템이 전자 부품에 접합된 접촉 영역(예컨대, 110)은 포토레지스트 내의 개구에 의해 한정된다.)

도5a는 접촉 구조물의 방향이 이들의 유효 밀도를 증가시키도록 엇갈리게 배치된 있는 케이스-2의 도24와 유사한 본 발명의 실시예를 도시한다. 상기 도면은 앞에서 설명된 기술에 따라서 복수개의 비유사한 접촉 구조물들이 상부에 장착되어 있는 반도체 다이(520)를 도시한다. 접촉 구조물의 제1 부분(522)은 비교적 큰 오프셋(즉, 근접 단부로부터 말단부)을 갖도록 구성(성형, 절곡)되어 있다. 접촉 구조물의 제2 부분(524)은 비교적 작은 오프셋(즉, 근접 단부로부터 말단부)을 갖도록 구성(성형, 절곡)되어 있다. 이러한 방식으로, 도시된 바와 같이, 인접한 접촉 구조물(522, 524)들의 근접 단부들 사이의 간극은 'm'이고, 인접한 접촉 구조물들의 말단부들 사이의 간극은 'n'이며, 여기서 n m 이다. 예컨대, 'm'은 대략 5 mil이고, 'n'은 5 내지 10 mil이다. 더 나아가 도면에 도시된 바와 같이, 전자 부품(520)의 표면에 대해 직각으로 연장되는 직선 접촉 구조물(528)도 전자 부품 상에 형성될 수 있다. 이러한 접촉 구조물(528)은 인쇄 회로 기판(PCB) 등의 다른 전자 부품 상의 (구멍과 같은) 대응하는 정렬 특징부와 부합하는 정렬 핀으로서 기능하도록 의도된 것이다. 바람직하게는, 이러한 정렬 핀(528)은 탄성적이지 않지만, 이들은 탄성 접촉 구조물(522, 524)과 동일한 공정 단계로 제조될 수 있다.

선택적으로, 캡슐화 재료는 기층의 표면 상에 배치될 수 있으며, (도시된 바와 같이) 접촉 구조물의 하부 부분을 둘러싸고, 기판의 표면에 대한 탄성 접촉 구조물의 부착을 기계적으로 강화할 수 있다.

본 발명에 따른 접촉 구조물의 팁의 엇갈림은 전자 요소가 장착될 회로 기판에 대한 '기본 규칙'(설계 규칙)을 설계자가 완화할 수 있도록 하여, 접속(납땜) 패드들을 서로로부터 멀리 떨어져서 배치되도록 허용하거나 및/또는 보다 큰 개개의 납땜 패드를 허용하게 한다.

사용시, (후술되는) 도7a 및 도7b에 대하여 이상에서 논의된 방식으로, 접촉 구조물(522, 524, 526)을 통해 전자 부

품(520)에 일시적인 접속이 이루어질 수 있고, 동일한 접촉 구조물(522, 524, 526)을 통해 전자 부품(520)에 후속의 영구 접속이 이루어질 수 있다. 이는 웨이퍼 상의 개별화되지 않은 다이, 필요하다면, 반도체 메모리 장치에 대해 특히 유리한 특징부(그러나, 이러한 것으로 제한되지 않음)의 웨이퍼 레벨 실행(시험 및 번인)을 용이하게 한다. 본 발명의 범주 내에서, 접촉 구조물(522, 524, 526, 528)은 전술한 방식으로 웨이퍼(또는 칩)(520)로 집단적으로 전달된다. 집단 전달 기술은, 접촉 구조물이 '오프-라인'으로(즉, 희생 기층 상에서) 제조되므로, 일반적으로 전자 부품 상의 단락층(126과 비교)을 형성할 필요성을 제거한다.

단락층의 불필요

이상에서 논의된 많은 실시예에서, 단락층의 사용이 설명되었다(예컨대, 도3a 내지 도3c의 전도층(310) 참조). 단락층은 와이어 스템을 전기 도금에 의해 상부 피복시킬 때 유용하다. 모든 와이어 스템이 연결되는 전도성의 제거가능한 구조물의 사용은 복수개의 와이어 스템을 유사하게 단락시킴으로써(전기적으로 상호 접속시킴) 전기 도금을 용이하게 한다.

도6a는 반도체 다이(612)에 장착(접합)된 복수개의 스템(630, 632)을 성형 및 오버코팅하는 것과 관련하여 제거가능한 구조물(602)이 사용되는 공정에 있어서 제1 단계를 도시한다.

제거가능한 구조물(602)은 알루미늄과 같은 전도성 재료(공정의 최종 단계에서 용이하게 제거되는)로 새장형태(cage-like)의 구조로 형성되며, 다이가 배치되는 구역을 형성하는 외부 링(604)과 링(604)의 일측면(도시된)으로부터 링(604)의 대향 측면(상기 단면 사시도에서 볼 수 없는)으로 걸쳐 있는 크로스 바아(606)를 포함한다. 이는 크로스 바아(606)에 대해(서로에 대해) 평행하게, 링의 일측면으로부터 링의 대향 측면으로 걸쳐 있는 개구(608, 610)를 생성한다.

통상적으로, 제거가능한 구조물(새장)은 반도체 다이(612) 상에 위치되어, 와이어 스템(630, 632)을 다이(612)에 장착하기 이전에 개구(608, 610)가 다이(612) 상의 각각의 평행한 결합 패드 열과 정렬되도록 한다.

도시된 바와 같이, 다이의 각각의 측면을 따른 결합 패드의 각각의 열 내에 있는 와이어 스템은 외부 링(604) 및 내부 크로스 바아(606)로 교대로 연장되어, 예컨대 와이어 스템의 말단부들을 쐐기 접합하는 것과 같이 함으로써 제거가능한 구조물에 접합된다. 이러한 방식으로, 제거가능한 구조물(602)은 모든 와이어 스템을 함께 단락시키며, 와이어 스템의 후속 도금을 위해 용이하게 접속된다(도시 안됨).

도6b는 공정의 다음 단계를 도시하는데, 와이어 스템(630, 632)이 각각의 탄성 접촉 구조물(640, 642)로서 작용하도록 전술된 바와 같은 방식으로 도금된다.

다음 단계에서, 제거가능한 구조물을 제거하는 것이 요구되는데, 일반적으로 두 가지 가능성이 있다. (i) 탄성 접촉 구조물의 말단부는 제거가능한 구조물로부터 절단될 수 있다. 또는 (ii) 제거가능한 구조물은 탄성 접촉 구조물의 팁을 절단하지 않고도 용해(예컨대, 에칭)될 수 있다.

도6c는 탄성 접촉 구조물(640, 642)을 갖는 다이(612)를 장착된 상태로 유지시키면서 제거가능한 구조물(602)이 용해되는 첫번째 가능성을 도시한다. 앞의 실시예들 대부분에서는 탄성 접촉 구조물의 최말단부를 다른 부품와 접속시키려 의도했던 반면에, 본 실시예에서는 접촉 구조물(640, 642)의 중간부(640c, 642c)가 다른 요소(도시되지 않음)에 접속(화살표 'C'로 나타낸 바와 같이) 되도록 탄성 접촉 구조물(640, 642)이 성형된다.

일반적으로, 접촉 구조물(640)(다이 표면의 내부를 향한) 및 (642)(다이의 외부를 향한)의 방향을 교번시킴으로써, 접촉 구조물의 유효 피치는 다이의 핀-아웃 피치보다 커질 수 있다(도5a와 비교). 내향 접촉 구조물(640)에 관하여, 모출원의 도8a 내지 도8c에 대하여 도시되고 설명된 실시예와 유사한 방식으로 팁(640b)과 다이의 표면 사이에 간극이 있으며, 이는 팁이 반도체 다이의 표면에 접촉하지 않고 탄성 접촉 구조물이 변형하는 것을 허용한다. 외향 접촉 구조물(642)에 관하여, 팁(642b)은 다이(612)의 모서리를 벗어나 있어, 이러한 외견상의 문제점(즉, 접촉 구조물의 팁

이 접촉력에 응답하여 다이의 표면과 접속함)을 나타내지 않는다.

도6a 내지 도6c에서, 다이(612)는 전술한 방식으로 (도면에서 볼 때)상부면 상에 패시베이션 층(614)을 갖는 것으로 도시되어 있다.

도6d는 와이어 스템(630, 632)을 오버코팅하기 전에 제거가능한 구조물(602)이 제거된, 다른 경우의 순서를 도시한다. 도6a에 대하여 설명된 제1 단계는 동일하게 유지되고, 최종의 구조물은 도6c에 도시된 것과 같이 될 것이다.

도6a 내지 도6c에 대하여 앞에서 설명된 기술은 웨이퍼의 최상부에 단순히 위치한 보다 얇은 제거가능한 구조물(602)을 제공함으로써(도6a 내지 도6c에 도시된 바와 같이 각각의 다이의 측면 모서리 아래로 연장되기보다는), 웨이퍼 레벨에서 간단히 수행될 수 있다.

본 발명의 범주 내에서, 전자 부품(612)은 접촉 구조물(예컨대, 도6b의) 또는 와이어 스템(예컨대, 도6d의)을 간단히 절단함으로써 제거가능한 구조물(602)로부터 '자유롭게'된다.

제거가능한 구조물(예컨대, 602)을 사용하는 일반적인 이점은 전자 화염 절단이 요구되지 않는다는 것이며, 그렇지 않다면 전자 부품(612)은 매우 높고 잠재적으로 손상을 가하는 전압(예컨대, 2000 볼트)을 받게 될 것이다.

본 발명의 범주 내에서, 접촉 구조물(또는 와이어 스템)은 강성 왁스 재료에 의해(또는 열용융이 가능하고 용액-용해 가능한 중합체 등의 적당한 주조 재료에 의해) 안정화되고, 전자 부품의 평면에 대해 평행한 평면으로 연마 처리되어, 접촉 구조물의 자유 단부가 되는 접촉부(예컨대, 624c)를 만들 수 있다(예컨대, 접촉 구조물 또는 와이어 스템을 전체에 걸쳐 연마함으로써). 예컨대, 이러한 것은 도8c에 대하여 이하에서 설명되어 있다.

본 명세서에서 설명된 '기계적' 절단 기술들 중 어느 것을 사용하여도, 스파크 절단의 고전압과 관련된 문제점이 방지될 뿐만 아니라 최종 접촉 구조물의 높이가 직접적이고 물리적인 단순한 방식으로 보장된다.

장치의 작동 및 패키징을 위하여 반도체 장치 상에 장착된 접점의 사용

본 발명의 중요한 특징은 웨이퍼로부터 그들이 개별화(분리)되기 전에 탄성 접촉 구조물(복합 상호 접속 요소)을 반도체 다이 상의 결합 패드에 직접 장착시킴으로써, 동일한 접촉 구조물이 반도체 장치를 실행(시험 및/또는 번인)시키고 (이들이 개별화된 후) 상기 반도체 장치를 패키징하기 위하여 사용될 수 있다는 것이다.

도7a는 반도체 웨이퍼로부터 장치를 개별화시키기 전의 복수개의 반도체 장치(다이)(702 및 704)를 예시한다. 두개 장치 사이의 경계는 노치(706)에 의해 표시된다. (상기 노치는 실제로 존재할 수도 있고 존재하지 않을 수도 있으며, 장치를 개별화시키기 위하여 웨이퍼가 절단되는 커프(라인)의 위치를 나타낸다.

다수(각각의 장치(702 및 704) 상에 2개만 도시)의 탄성 접촉 구조물(708)(비교 430)은 예를 들면, 도3a 내지 도3c 및 도4a 내지 도4g에 대하여 상술된 방식으로 장치들(702 및 704)에 직접 장착된다.

다수(4개만 도시)의 접촉 패드(단자)(712)를 갖는 시험 기판(710)은 각각의 접촉 패드가 대응하는 개개의 탄성 접촉 구조물과 가압 접촉을 수행할 수 있도록 웨이퍼를 누르도록 옮겨지거나, 역으로 눌려지도록 옮겨진다. 이러한 방식으로, 개별화되지 않은 반도체 장치의 '무소켓' 시험 및 번인을 수행하기 위한 기술이 제공된다.

시험 카드(710)는 (도시된 바와 같이) 그의 상부 표면 상에 배치된 복수개의 패드(712)를 갖는 간단한(예를 들면, 용이하고 저렴하게 제조된) 인쇄 회로 기판(PCB)으로 될 수 있다.

웨이퍼(장치(702 및 704) 및 부가적인 장치)는 각각의 탄성 접촉 구조물(708)이 대응 패드(712) 상에 유지되도록 임의의 적절한 정렬 수단(도시되어 있지 않은 위치 설정 핀과 같은)을 사용하여 상기 카드(710)와 정렬된다. 이것은

카드와 전자 부품(702 및 704) 사이에 '일시적인' 탄성 접촉을 수행한다. 카드(710)에는 부품의 시험 및 번인이 용이하게 수행될 수 있도록 에지 커넥터 등(도시되어 있지 않음)과 선택적으로 내장 시험 회로(도시되어 있지 않음)가 제공될 수 있다.

이러한 기술의 장점 중 하나는 이러한 시험(및 번인) 작업을 수행하기 위하여 자체의 탄성 탐침 부재를 갖는 '특별한' 탐침 카드가 필요하지 않으며, 제조될 필요가 없다는 것이다.

도7a에 예시된 기술에 기인한 중요한 장점은 탄성 접촉 구조물(708)이 (서로로부터 분리되어) 독립하여 서 있고, 다이(702, 704)의 표면으로부터 상당한 거리로 연장되도록 제조될 수 있다는 것이다. 이것은 탄성 접촉 구조물들 사이와 다이(예를 들면 702)의 대향 표면과 시험 카드(710) 사이에 상당한 '사공간'을 제공한다는 점에서 중요하다. 이러한 사공간(714)은 다이(702)의 대향면과 시험 카드(710) 사이의 점선으로 표시되고 예시된다. 많은 반도체의 용도에 있어서, 가능한 한 상호 접속부에 가까이 디커블링 커패시터를 제공하는 것은 이점이 있다. 본 발명에 따르면, 본 발명에 따르지 않았을 경우 '사공간(714)'이 되었을 장소에 디커플링 커패시터(도시되어 있지 않음)가 위치될 넓은 공간이 있다. 이러한 디커플링 커패시터는 반도체 다이(702) 또는 시험 카드에 장착될 수 있다.

도7b는 개별화되지 않은 반도체 장치(예를 들면, 702)의 무소켓 시험 및 번인을 위하여 사용되는 동일한 탄성 접촉 구조물(708)이 전자 부품(702)과 상호 접속 기판(시스템 기판)(720) 등과의 사이에 '영구적' 접속을 수행하기 위하여 변경을 가하지 않고 계속하여 유익하게 사용될 수 있음을 도시한다. 기판(720)에는 부품(702) 상의 탄성 접촉 구조물(708)의 팁과 일대일 기준으로 정렬된 복수개의 접촉 패드(722)가 제공된다. 부품(702)과 기판(720) 사이의 영구 접속은 (ⅰ) 기판에 대향하여 부품을 편향시키기 위하여 스프링 클립(도시되어 있지 않음) 등과 같은 것을 통하여 '영구적' 압력을 부품(702)에 가하거나 또는 (ⅱ) 부품(702)을 기판(720)에 납땜함에 의하여 수행될 수 있다.

도시된 바와 같이, 탄성 접촉 구조물(708)은 기판(720) 상의 패드(722)들에 납땜된다. 이것은 각각의 패드에 상당량의 땜납을 준비하고, 기판에 대향하여 부품(302)을 가압하고, 땜납을 역류(열적으로 순환)시키기 위하여 조립품을 가열로를 통과시킴에 의하여 용이하게 수행된다. 역류된 땜납은 땜납 필렛(724)으로서 도7b에 예시되어 있다.

도7b에 관련하여 도시된 것과 유사한 방식으로, 탄성 접촉 구조물들 사이 그리고 다이(702)의 대향면과 배선 기판(720) 사이에 디커플링 커패시터 등이 배치될 수 있는 상당한 사공간(714)이 있다.

전자 부품에 대한 일시적 및 영구적 접속 양자를 수행하기 위하여 동일한 탄성 접촉 구조물(708)을 사용하는 본 발명의 기술은 능동적인 반도체 장치들(즉, 노출되고, 패키징 되지 않은 다이)에 장착된 탄성 접촉 구조물의 환경에서 특히 유익하다.

도7a 및 도7b에 관련하여 도시되고 설명된 독창적인 기술의 다른 이점은 시험 카드(710) 및 배선 기판(720)에 대하여, 단자(712, 722)의 배치가 반도체 다이 상의 결합 패드(즉, 탄성 접촉 구조물(708))의 배치와 실질적으로 동일한, 즉 거울상이라는 것이다. (시험 카드(710)와 비교하여, 이러한 '동일성'은 개별적 다이 기준으로 적용하고, 복수개의 개별화되지 않은 다이를 실행하기 위하여 시험 카드를 치수대로 만들 때 복제된다.) 실용적 용어로, 이것은 동일한 일반적인 '디자인(단자 배치)'이 시험 카드 및 배선 기판에 양자에 적용될 수 있고, 이에 의해서 탐침 카드용 디자인과 배선 기판용의 다른 디자인에 대한 요구를 제거할 수 있다는 것을 의미한다.

본 발명의 범위 내에서, 하기에 기술된 팁 구조물(820)와 같은 팁 구조물들은 탄성 접촉 구조물(708)의 팁에 장착될 수 있으며, 이러한 장착은 개별화되지 않은 반도체 다이(702 및 704)를 절제하기 전을 포함한다.

패키징 플로우

웨이퍼 레벨에서 복합 상호 접속 요소(적어도 하나의 전도성, 금속 코팅 층을 갖는 배선 스템)를 반도체 장치에 장착하고 반도체 장치의 시험/번인(일시적 접속) 및 최종 패키징(영구 접속)을 하기 위하여 동일한 상호 접속 요소를 재사용하는 개념은 앞에서 언급하고 공유된 미국 특허 출원 제08/152,812호에 먼저 언급되었고, 앞에서 언급하고 공유된 미국 특허 출원 제08/340,144호(대응 PCT/US94/13373 포함)에서 상세하게 보다 설명되었다. 예를 들면, 문헌에서 언급된 바와 같이:

- 웨이퍼 또는 개별화 형태의 장치 상에 접촉부를 장착시키는 것이 가능하다.

- 웨이퍼를 다이 절단하기 전에 웨이퍼의 반도체 장치와 접촉하는 것이 가능하다.

- 공정은 … 개별화된 반도체 장치뿐만 아니라 웨이퍼 형태의 반도체 장치에 사용가능하다.

- … 시험 기판 상에 제공된 결합 접촉 단자와 압축 결합 상태가 되도록 접촉 구조물의 팁을 굴곡 가능하게 가압함으로써 최대 기능 속도에서 시험될 수 있다.

- ... 또한 반도체 장치의 번인 시험용으로도 사용될 수 있다.

- 반도체 장치에 의하여 지지되는 탄성 접촉 구조물의 사용에 의하여 … 그리고 시험 및 번인 기판에 의해 지지되는 접촉 패드와 굴곡 가능하고 분리 가능하게 접촉하기 위하여 동일한 접촉 구조물을 사용하는 것에 의하여, 시험 및 번인이 용이하게 수행될 수 있고 … 이에 의해서 첫번째 레벨의 반도체 패키징의 필요성을 배제한다.

도7c는 종래 실시예에 있어서 반도체 장치가 반도체 웨이퍼 상에서의 제조로부터 최종 조립(패키징)까지 수행하게 되는 전형적인 경로(740)를 예시한다. 단계(742, 웨이퍼 제조)에 의해 예시된 바와 같이, 복수개의 반도체 장치는 반도체 웨이퍼 상에서 제조된다. 다음으로, 단계(744, 웨이퍼 탐침/맵)에서, 웨이퍼 상의 반도체 장치는 탐침 검사되고, '맵'은 어떤 반도체 장치가 성공적으로 제조되었는 지 그리고 어떤 반도체 장치가 성공적으로 제조되지 않았는 지를 나타내기 위하여 생성된다. 다음으로, 단계(746, 웨이퍼 절단(saw))에서, 웨이퍼는 반도체 장치를 개별화시키기 위하여 절단되고, 양호한 다이는 패키징 및 다른 시험을 위하여 정리된다. 점선으로 제시된 단계(744 및 746)는 전체적인 공정 흐름 중 웨이퍼 처리 과정을 포함한다.

다음에, 성공적으로 제조된 다이는 다이를 리드 프레임의 패들에 부착하고(다이 부착; 단계 748), 다이상의 본드 패드를 리드프레임 핑거에 와이어를 결합하고(와이어 결합; 단계 750), 다이 및 리드 프레임을 (예를 들면, 플라스틱 몰딩 컴파운드로) 오버몰딩하고(오버몰딩; 단계 752), 리드 프레임의 핑거의 외부(패키지 본체에 대하여) 노출된 부분을 임의적으로 땜납 도금하고(땜납 도금; 단계 754), 과량의 몰딩 컴파운드(플래쉬)를 트리밍(디전킹(dejunking))하고 리드 프레임 핑거의 외측 부분을 성형(즉, 갈매기형, J리드형)하고(트림 및 성형; 단계 756), 패키징된 다이를 번인 시험로의 고온에 견딜 수 있는 트레이 팩에 놓고(트레이 팩; 단계 758), 번인을 수행하고(번인; 단계 760), 그리고 규정된 기준(예를 들면, 작동 속도와 같은 성는 사양)에 따라서 장치를 분류하기 위하여 패키징된 반도체 장치를 시험하여(속도 분류; 단계 762) 패키징된다. (단계 762의 마지막에, 웨이퍼 제조(742) 단계로 피드백 될 수 있다.) 이러한 단계(744, …, 762)들은 전체 공정 흐름의 칩 패키징 과정을 예시한다. 최종 단계(SMT 카드 조립체; 단계 764)에서, 패키징되고 분류된 반도체 장치는 표면 장착(SMT)에 의함과 같은 것에 의하여 배선 기판(카드)에 장착된다. 동일한 단계들은 리드 프레임없이 패키징된 반도체 장치(예를 들면, 볼 그리드 어레이 패키지)에 일반적으로 적용될 것이다.

반도체 장치를 번인하는 공정은 고온에서 반도체 장치에 전력을 인가하는 것을 포함한다. 명백히, 패키징 재료(예를 들면, 플라스틱)는 패키징된 반도체 장치가 번인 시험로에서 노출될 수 있는 온도를 제한한다. 통상의 번인은 패키징된 반도체 장치를 168시간동안 125 ℃의 온도로 가열하는 단계를 포함한다. 하기에 상술되는 바와 같이, 본 발명의 이점은 반도체 장치가 150 ℃와 같이 125 ℃보다 높은 온도에서 번인될 수 있고 동일한 결과가 3분과 같이 짧은 시간(168시간에 비해서) 내에 발생된다는 것이다.

이미 패키징된 반도체 장치에 대하여 번인을 수행할 경우 몇가지 고려할 사항이 있다. 연장된 고온 노출을 견딜 수 있는 패키지는 소수 밖에 없으며, 특히 비금속성 또는 비세라믹 재료가 패키징에 포함된 경우에 그러한다.

도7d는 본 발명에 따라서, 반도체 장치가 반도체 웨이퍼 상에 제조되는 것으로부터 최종 조립(패키징)될 때까지 수행되는 적형적인 경로(780)를 나타낸다. 단계(782, 웨이퍼 제조; 비교 742)에 의해 예시된 바와 같이, 복수개의 반도체 장치가 반도체 웨이퍼 상에 제조된다.

다음 단계(784, 웨이퍼 탐침/맵; 비교 744)에서, 웨이퍼 상의 반도체 장치는 탐침 검사되고, 어느 반도체 장치가 성공적으로 제조되었고 어느 반도체 웨이퍼가 성공적으로 제조되지 않았는 지를 확인하기 위하여 '맵'이 생성된다. (하기에 상술하는 바와 같이, 이 단계(784)는 생략될 수 있거나, 또는 공정 흐름에서 후에 수행될 수 있다.)

다음 단계(786, 스퍼터/레지스트/패드 도금)에서, 웨이퍼는 상술된 바와 같이, 탄성 접촉부를 그곳에 장착시키기 위한 준비(도3a 내지 도3c 참조)로서, 예를 들면 블랭킷 전도층을 스퍼터링하고, 포토레지스트와 같은 마스킹 재료를 도포하여 패턴화하고, 패드(단자)도금 등을 수행함에 의해서 처리된다. 선택적으로, 단계(784)는 단계(786) 후에 수행될 수 있다.

다음 단계(788, 스프링 부착)에서, 탄성 접촉 구조물(복합 상호 접속 요소)의 상술된 코어부들(비교 112, 122, 132, 142, 152, 216, 320; 또한 '와이어 스템'으로 언급됨)는 패드(단자)들에 부착된다. 이것은 초기 웨이퍼 탐침 검사(단계 784)를 통과한 다이들에 대해서만 적용될 것이다. 선택적으로, 웨이퍼 탐침 검사(단계 784)에서 불량으로 판정된 다이들도 후속의 오버코팅(단계 790, 하기에 상술됨)을 균일화하기 위하여 부착된 코어부를 가질 수 있다.

다음 단계(790, 스프링 용착/스트립)에서, 오버코팅 재료는 코어 상에 도포되고, 마스킹 재료(포토레지스트) 및 마스킹 재료의 하단에 있는 블랭킷 전도층 부분들이 제거된다 (도3a 내지 도3c 참조). 선택적으로, 단계(784)는 단계(786) 후에 수행될 수 있다.

다음으로, 단계(792, 고온 척 번인)에 있어서, 패키징 되지 않은 반도체 장치가 번인된다. 개별화되지 않은 반도체 장치에 장착된 탄성 접촉 구조물(복합 상호 접속 요소)에 가압 접속을 함에 의해서 개별화되지 않은 반도체 장치들에 전력이 공급된다.

바람직하게, 번인 단계(792)는 적어도 150 ℃의 온도에서 수행된다. 반도체 장치가 아직 패키징되지 않았으며, 반도체 장치에 장착된 복합 상호 접속 요소가 완전히 금속성이 이므로, 공정의 이 단계에서, 그러하지 않았더라면 그러한 상승된 온도에서는 유지될 수 없는 재료를 포함하는 패키징된 반도체 장치를 파괴하였을 그러한 온도에 반도체 장치를 노출시키는 것이 가능하다. 번인은 웨이퍼에 잔류하는 반도체 장치(개별화되지 않은)의 모두에 대하여 또는 웨이퍼에 잔류하는 반도체 장치의 선택된 부분에 대하여 수행될 수 있다.

본 발명의 일면에 따라서, 패키징 되지 않은 반도체 장치는 적어도 150 ℃와 같이 125 ℃보다 높은 온도(적어도 175 ℃ 및 적어도 200 ℃ 포함)에서 번인될 수 있으며, 만족할 만한 결과가 수 시간(예를 들면 168시간)이라기 보다는 오히려 수 분(예를 들면, 3분) 내에 얻어질 수 있다. 명백히, 번인이 보다 신속하게 수행될 수 있다면 전체적인 공정 시간은 더 단축될 것이고 같은 규모의 비용 절감이 발생될 것이다. 보다 높은 번인 온도의 사용은 본 발명의 복합 상호 접속 요소가 금속성 구조라는 사실에 의해서 용이하게 된다. 본 발명의 이러한 특징에 따라서, 만족할 만한 번인은 30분 미

만 및 10분 미만을 포함하여 60분 미만에 수행될 수 있다.

다음으로, 단계(794, 속도 분류; 비교 762)에서, 패키징되지 않은 반도체 장치는 규정된 기준(예를 들면, 성능 사양)에 따라서 장치를 분류하기 위하여 시험된다. 이것은 한번에 하나의 개별화되지 않은 다이에 대하여 수행될 수 있으며(연속으로 복수개의 개별화되지 않은 다이를 시험함), 또는 한번에 하나 이상의 다이에 대하여 수행될 수 있다. 이러한 단계의 마지막에서, 피드백이 웨이퍼 제조(782) 공정으로 제공될 수 있다(예를 들면, 보고된 수율 문제). 높은 수율이 이 단계(796)에서 유지된다면, 탐침 검사 단계(784)를 완전히 생략는것이 바람직할 수 도 있다.

다음으로, 단계(796, 웨이퍼 절단; 비교 746)에서, 반도체 장치는 웨이퍼로부터 개별화(분리)된다.

이러한 단계(784, …, 796)들은 본 발명의 전체적인 공정 흐름(방법론)의 칩 패키징 과정을 예시한다.

최종 단계(798, SMT 카드 조립체; 비교 단계 764)에서, 패키징 되지 않고, 분류된 반도체 장치는 배선 기판(카드)에 표면 장착(SMT)함으로써 최종적으로 조립된다.

팁 구조물의 사전 제조, 복합 상호 접속 요소의 가공 및 상호 접속 요소에 팁 구조물의 연결

상술된 도2d 내지 도2f는 희생 기층(254) 상에 팁 구조물(258)을 제조하고, 전자 부품의 단자에의 후속 장착을 위하여 팁 구조물(258) 상에 복합 상호 접속 요소(264)를 조립하는 기술에 관하여 개시하고 있다.

도8a는 미리 제조된 팁 구조물이 경납땜된(brazed) 복합 상호 접속 요소를 제조하기 위한 기술(800)을 도시하며, 이러한 기술은 반도체 장치 상에 있는 탄성 접촉 구조물과 관련하여 특히 유용하다.

본 실시예에서, (도시된)상부면을 갖는 실리콘 기층(802, 웨이퍼)이 희생 기층으로 사용된다. 티타늄 층(804)은 실리콘 기층(802)의 상부면에 (예를 들어, 스퍼터링에 의해) 피착되며, 약 250 Å(1 Å = 0.1 nm = 10^{-10} m)의 두께를 갖는다. 알루미늄 층(806)은 티타늄 층(804) 상부에 (예를 들어, 스퍼터링에 의해) 피착되며 약 10,000 Å의 두께를 갖는다. 티타늄 층(804)은 임의적이며 알루미늄 층(806)을 위한 결합층으로서 기능한다. 구리층(808)은 알루미늄 층(806) 상부에 (예를 들어, 스퍼터링에 의해) 피착되며, 약 5,000 Å의 두께를 갖는다. 마스킹 재료(예를 들어, 포토레지스트)의 층(810)은 구리층(808) 상부에 피착되며, 약 2 mil의 두께를 갖는다. 마스킹 층(810)은 포토레지스트 층(810)을 통해 아래의 구리층(808)으로 연장되는 복수개의 (세개만 도시됨) 구멍(812)을 갖도록 하는 임의의 적절한 방식으로 처리된다. 예를 들어, 각 구멍(812)은 직경이 6 mil일 수도 있으며, 구멍(812)은 10 mil의 피치(중심에서 중심까지)로 배치될 수도 있다. 이러한 방식으로 희생 기층(802)은 다음과 같이 구멍(812) 내에 복수개의 복층 접속 팁을 제조하기 위하여 준비된다.

니켈층(814)은 예를 들어 도금에 의해 구리층(808) 상에 피착되며, 약 1.0 내지 1.5 mil의 두께를 갖는다. 로듐과 같은 귀금속의 박층(도시되지 않음)이 니켈의 피착 전에 구리층 상에 피착될 수 있다. 다음, 금층(816)이 예를 들어 도금에 의해 니켈(814) 상에 피착된다. 니켈 및 알루미늄 (그리고 선택적으로 로듐)의 복층 구조는 제조된 팁 구조물(820, 제8B도에서 도시된 바와 같이)로서 기능할 것이다.

다음으로, 도8b에서 도시된 바와 같이, 포토레지스트(810)가 (임의의 적절한 용매를 사용하여) 벗겨져서, 구리층(808) 상부에 놓인 복수의 제조된 팁 구조물이 남긴다. 다음으로, 구리(808)는 급속 에칭 공정을 거치고, 그것에 의하여 알루미늄 층(806)이 노출된다. 명백하게 되는 바와 같이, 알루미늄은 납땜 및 경납땜 재료에 대해 대체로 적셔지지않는 성질을 가지고 있으므로 후속 단계에서 유용하다.

팁 구조물(820)을 제조하는 데 이용된 동일한 공정 단계에서 '대용(ersatz)' 팁 구조물(822)이 제조될 수도 있는 추가의 구멍을 갖는 포토레지스트를 패턴화하는 것이 바람직하다. 도금되는 표면에 급격한 경사가 돌출하는 것(비균일성)을 감소시킴에 의해서, 이러한 대용 팁 구조물(822)은 공지된 방식으로 상술된 도금 단계를 균일화하는 기능을 할 것이다. 이러한 구조물(822)은 도금 기술 분야에서 '로버(robbers)'로서 공지되어 있다.

다음으로, 납땜 또는 경납땜 페이스트(824, '결합재')가 팁 구조물(820)의 (도시된) 상부면 상에 피착된다. (대용 팁 구조물(822)의 상부에 페이스트를 피착시킬 필요는 없다.) 이는 스테인레스 스틸 스크린 또는 스텐슬(stencil)과 같은 임의의 적절한 방식으로 수행된다. 통상의 페이스트(824, 결합재)는 예를 들어 1 mil의 구(볼) 형상의 금-주석 합금(플럭스 모제에)을 포함할 것이다.

팁 구조물(820)은 이제 탄성 접촉 구조물의 단부, 양호하게는, 본 발명의 복합 상호 접속 요소의 단부(팁)에 (예를 들어 경납땜으로) 장착되도록 준비되었다. 그러나, 복합 상호 접속 요소는 먼저 팁 구조물(820)을 수용하도록 특별히 '준비'되는 것이 바람직하다.

도8c는 복합 상호 접속 요소(832)의 단부에 팁 구조물(820)이 장착되는 것을 기대하고 복수개의 (두개만 도시됨) 복합 상호 접속 요소(832, 324 참조)를 가지고 있는 복수개의 개별화되지 않은 반도체 장치 중 하나(830)를 준비하기 위한 기술(850)을 도시한다. 복합 상호 접속 요소(832)는 완전히 도시되어 있다 (단면도가 아님).

본 실시예에서, 복합 상호 접속 요소(832)는 복층(도2a 참조)이며, 구리층 (도시되지 않음)으로 오버코팅되고 니켈(양호하게는 90 : 10의 니켈 : 코발트 비율을 갖는 니켈-코발트 합금)의 층(도시되지 않음)으로 더 오버코팅며, 구리층으로 더 오버코팅된 금 (와이어) 코어를 갖는다. 명백하게 될 것과 같이, 니켈층은 소정의 최종 두께의 단지 대부분(예를 들어, 80%)에 피착되고, 니켈 두께의 나머지 작은 부분(예를 들어, 20%)은 후술되는 후속 단계에서 피착되는 것이 바람직하다.

본 실시예에서, 반도체 다이(830)는 명백하게 되는 바와 같이, 연마 '정지부'로서 기능하는 상부면(도시된)으로부터 연장되는 복수의 (두개만 도시됨) 필러형 구조물(834)이 제공된다. 이러한 연마 정지부를 많이 가질 필요는 없다.

반도체 장치(830)는 반도체 장치의 상부면으로부터 연장되는 복합 상호 접속 요소(832)를 지지하도록 기능하는 열 용융 가능하고, 용액 용해가 가능한 중합체와 같은 적절한 주조 재료(836)로 '주조'된다. 그리고 오버몰딩된 반도체 장치의 (도시된) 상부면은, 예를 들어 주조 재료의 상부면을 향하여 (도시된 바와 같이) 압박되는 연마 휠(838)에 의해 연마된다. 상술된 연마 정지부(834)는 'P'로 라벨이 붙은 은선에 의해 표시된 바와 같이 연마 휘일의 최종 위치를 결정한다. 이러한 방식으로, 복합 상호 접속 요소(832)의 팁(도시된 상부 단부)은 서로서로 실질적으로 완전히 동일 평면에 존재하도록 연마된다.

일반적으로, 시험 카드(예를 들어 710) 또는 배선 기판(720)과 신뢰성 있는 가압 접속이 이루어 지는 것을 보장하기 위해서 탄성 접촉 구조물의 상부는 동일 평면상에 있는 것이 바람직하다. 확실히, 연마에 의해 (또는 임의의 다른 적절한 수단에 의해) 평탄화된 팁으로부터 시작하는 것은 이러한 중요한 목적을 달성하는 데 기여할 것이다.

연마에 의해 탄성 접촉 구조물의 팁을 평탄화한 후, 주조재(836)는 적절한 용매를 사용하여 제거된다. (연마 정지부(834)는 이 때 제거된다.) 주조재는 그들의 용매가 공지되어 있는 바와 같이 공지되어 있다. 단지 용융시켜 제거될 수 있는 왁스와 같은 주조재가 연마를 위해 상호 접속 요소(832)를 지지하도록 사용될 수 있는 것도 본 발명의 범위 내에 있다. 이러한 방식으로 반도체 장치는 상술된 팁 구조물(820)을 수용하도록 준비된다.

연마 작업의 유용한 부수적 효과는 복합 상호 접속 요소(832)의 금 와이어 스템(코어)을 오버코팅하는 재료가 팁에서 제거되어, 금 코어를 노출시킨다는 점이다. 복합 상호 접속 요소의 팁에 팁 구조물(820)을 경납땜하는 것이 요망되는 한, 경납땜 하기위한 노출된 금 재료를 보유하는 것이 바람직하다.

우선 추가의 도금 단계, 즉, 복합 상호 접속 요소에 상술된 전체 니켈 두께 중 남아있는 작은 부분(예를 들어 20%)을 제공하기 위하여 복합 상호 접속 요소(832)를 니켈로 도금함에 의하여 팁 구조물을 수용하기 위하여 복합 상호 접속 요소를 더 '준비'하는 것이 바람직하다.

도8b에서 도시된 준비된 기판은 이제 준비된 반도체 장치 상에 지지되도록 옮겨진다. 도8d에서 도시된 바와 같이, 팁 구조물(820)(명확히 도시하기 위해 도8d에서는 단지 두 개의 팁 구조물만이 도시됨)은 표준 플립-칩 기술(예를 들어, 스플릿 프리즘)을 사용하여 복합 상호 접속 요소의 팁과 정렬되며, 조립체는 결합재(824)를 역류시키기 위하여 경납땜로를 통과되고, 이에 의하여 접촉 구조물(832)의 단부에 미리 제조된 팁 구조물(820)을 연결(예를 들어, 경납땜)시킨다.

이러한 기술이 비탄성 접촉 구조물, 탄성 접촉 구조물, 복합 상호 접속 요소, 등의 단부에 미리 제조된 팁 구조물을 연결(예를 들어, 경납땜)시키기 위하여 사용될 수 있다는 것은 본 발명의 범위 내에 있다.

역류 공정 중, 노출된 알루미늄 층은 적셔지지 않은 성질을 가지고 있어서, 땜납(즉, 경땜납)이 팁 구조물(820) 사이로 유동하는 것, 즉, 땜납 브리지가 인접 팁 구조물 사이에 형성되는 것을 방지한다. 알루미늄 층의 이러한 적셔지지 않는 기능에 더하여, 알루미늄 층은 또한 해제층으로 기능한다. 적절한 부식액을 사용하여, 알루미늄은 (조립체의 다른 재료에 대해) 우선적으로 에칭되어 제거되며, 실리콘 기층(802)은 단순히 떨어져 나가('pop' off)서, 도8e에서 도시된 바와 같이 미리 제조된 팁 구조물을 각각 갖는 복합 상호 접속 요소를 갖는 반도체 장치를 생성하게 된다. (결합재(824)는 상호 접속 요소(832)의 단부 부분 상에 '필렛'으로 역류됨을 주목하라.) 공정의 최종 단계에서, 잔류 구리(808)가 에칭되어 제거되어, 다른 전자 부품의 단자(예를 들어 710 또는 720)와 접촉하기 위하여 노출된 니켈(또는, 상술된 바와 같이 로듐) 팁 구조물(820)을 남긴다.

일반적으로 바람직한 것은 아니지만, (832와 같은) 복합 상호 접속 요소가 도2d 내지 도2f에 대하여 설명된 기술의 '정신' 내에서, 도8a에 관하여 기술된 팁 구조물 야금술을 사용하여, 팁 구조물 자체 상에서 우선 제조될 수 있으며, 후속적으로 반도체 장치에 장착될 수 있다는 것은 본 발명의 범위 내에 있다.

경납땜(납땜) 페이스트(824)가 생략되고 그 대신에, 공융 혼합재(예를 들어 금-주석) 층이 접속 칩(820)을 장착하기 전에 탄성 접촉 구조물상에 도금되는 것도 본 발명의 범위내에 있다.

탄성 접촉 구조물의 단부에 접속 팁을 형성하기 위한 상술된 기술 중 임의의 기술을 사용하는 것은 z축 전도 접착재료된 매개물을 통하여 가압 접속을 하는 환경에 있어서 특히 유용하다. 예를 들어, 액정 표시 (LCD) 패널에 능동 장치를 장착하는 데 있어서 그러한 접착제의 사용은 일반적이 되고 있다.

상술된 바와 같이, 접촉 구조물의 말단부(팁)에는 위상기하학적 접속 패드 등이 제공될 수 있다. 예를 들어, 접촉 구조물의 팁에 평탄한 탭(압력 판)이 제공될 수 있다는 것은 본 발명의 범위 내에 있다. 이러한 방식으로 압력을 받으면 전도성이 되는 내부에 배치된 전도성 입자(예를 들어, 금)를 갖는 공지의 재료인 'z축 전도성 접착재료'라는 매개물을 통해 용이하게 외부 부품으로의, 특히, 약한 외부 부품으로의 상호 접속이 (납땜 등을 사용하지 않고) 용이하게 달성된다.

도8f는 도2e 또는 도8a 내지 도8b에 대하여 앞에서 설명된 기술과 유사한 방식으로 평탄 탭(패드, 864)이 제공된 말단부(팁)를 갖는 오버코팅된 와이어 스템(862)을 도시한다.

현탁된 전도성 입자(870)를 갖는 z축 전도성 접착제(868)에 의해서 접촉 구조물(862)로부터 외부 전자 부품(866)으로의 전기적인 상호 접속이 수행된다. 접촉 구조물(862)이 부착된 전자부품(도시되지 않음)이 외부 부품(866)에 대해 압박(화살표 'C' 참조)될 경우, 접착제(868)는 가압되어 전도성이 된다.

상호 접속 요소의 중심부 접촉

본 발명의 일면에 따르면, 오버코팅 재료보다는 오버코팅된 와이어 스템의 중심부에 의해서 제1 전자 부품에 장착된 접촉 구조물 사이의 전기적 접촉이 될 수 있다.

도9a는 기판(908, 예를 들어, 반도체 장치)에 결합된 일단부(902a) 및 기판(908)에 결합된 다른 단부(902b)를 갖는 와이어 스템(902)을 도시한다. 단부들(902a 및 902b)은 기판(908) 상의 동일한 접촉 영역(910)(예를 들어, 접촉 패드)에 모두 결합된다.

도9b는 와이어 스템의 마스킹된 부분의 후속 오버코팅(예를 들어, 도금)을 방지하기 위해 포토레지스트(912)와 같은 것으로 와이어 스템의 중간부가 마스킹되는 다음 단계를 도시한다.

도9c는 마스킹된 와이어 스템이 니켈과 같은 재료(920)에 의해서 적어도 하나의 층으로 오버코팅되는 다음 단계를 도시한다.

도9d는 마스킹 재료(912)가 제거되는 다음 단계를 도시한다. 이는 다른 전자 부품과 접촉하도록 와이어 스템의 중심부(902c)를 노출되도록 한다. 이러한 점에서, 금은 우수한 전기 접속 성질 때문에 와이어 스템(902)으로서 양호한 선택이 되며, 오버코팅 재료(920)가 전도성인 것은 (최종 접촉 구조물의 스프링 성질만 달성되면) 중요하지 않다.

복수개의 프리스탠딩형 와이어 스템, 하나의 절단 단계

상술된 실시예 중 많은 실시예에 있어서, 와이어(예를 들어, 금 와이어)는 전자 부품 상의 접촉 영역에 접합되어, 성형되고(직선을 포함하여), 프리스탠딩되도록 절단될 수 있다고 기술되어 있다. 이러한 방식으로, 와이어 스템의 일단부는 전자 부품에 부착되며, 와이어 스템의 다른 단부는 다른 전자 부품과 접촉하도록 사용 가능하다. 일반적으로, 이는 각 와이어 스템에 대해 결합 및 절단의 단계를 반복함으로써 각 프리스탠딩형 와이어 스템을 개별적으로 형성할 것을 요구한다.

본 발명의 일면에 따르면, 다수(복수)의 프리스탠딩형 와이어 스템이 복수개의 접합 단계 및 하나의 절단 단계로 형성될 수 있다.

본 실시예는 상술된 도9a 내지 도9d를 참조함으로써 이해될 수 있다. 그러나, 이 경우, 와이어 스템(902)의 단부들(902a, 902b)은 기판 상의 동일한 접촉 영역(910)에 또는 두 개의 별개의 접촉 영역(110, 도시되지 않음)에 접합될 수도 있다.

코어가 오버코팅에 의해 노출되고(또는 도9a 내지 도9d의 이전 실시예에서 와 같이) 선택된 영역에서 오버코팅되지 않은 상술된 실시예 중 임의의 실시예에 있어서, 금 와이어 스템(902)이 최종적으로는 금-주석 공융 혼합물을 형성하는 주석 박층으로 우선 오버코팅되는 것이 유용한데, 이는 후속 경납땜 작업을 위하여 특히 유용하다.

본 실시예에서, 마스크(912)가 제거된 후, 접촉 구조물은 공융 혼합물 와이어 스템을 역류시키기에 충분한 온도로 가열되고, 접촉 구조물의 두 '레그' 사이의 노출된 '브리지'(굴곡(bight))는 '붕괴'되고, 다른 전자 부품과 접촉을 하기에 적절한 공융 혼합물 팁을 각각 갖는(모출원의 도49B 참조), 도9e에서 도시된 바와 같은, 두개의 프리스탠딩 접촉 구조물(930, 932)이 된다.

이러한 원리가 각 와이어 스템의 자유단을 절단(예를 들어, 전자 화염 절단)하는 것을 필요로 하지 않으면서 복수개의 프리스탠딩형 접촉 구조물을 형성하도록 상기 실시예의 도24C에서 도시된 바와 같이 연속 루프에 적용될 수 있는 것도 본 발명의 범위 내에 있다.

본 발명의 일 실시예에 따르면, 복수개의 단일 접합 와이어가 두 개의 전자 부품 사이에 루프 형성되고, 절단되어, 이중 프리스탠딩형 와이어 스템(또는 오버코팅된 와이어 스템)을 형성할 수 있다.

예를 들어, 도9f에서 도시된 바와 같이, 단일 와이어 스템(942)은 제1 전자 부품(944)에 장착된 제1 단부(942a) 및 제2 전자 부품에 장착된 제2 단부(942b)를 갖는다. 도5로부터 두 전자 부품(944, 946)이 반도체 웨이퍼 상의 인접된 개별화되지 않은 반도체 다이일 수도 있다는 점을 알 수 있다.

와이어 스템(코어)이 두 개의 인접한 전자 부품(예를 들어, 반도체 다이)을 연결하는 도9f의 예는 개별화되지 않은 반도체 다이에 장착된 상호접속요소는 그것이 부착된(장착된) 반도체 다이의 가장자리를 지나 돌출하지 않는 다는 '규칙(rule)'에 대한 예외를 도시한다.

상술된 바와 같이, 본 발명에 따라 개별화되지 않은 반도체 다이에 장착된 접촉 구조물은 다이의 에지(톱(또는 유사한 것)이 다이의 개별화(분할) 작업을 수행하는 커프(kerf)영역이 되는 두 인접 다이 사이의 구역)를 지나 연장되지 않는 것이 일반적으로 바람직하다.

도9f에서 도시된 바와 같이, 와이어 스템(942)의 '브리지' 부분은 커핑 톱(950)으로 다이를 개별화하는 것과 동일한 작업에서 단순히 절단될 수도 있다. 도4f와 비교하라.

절단하지 않고 복수개의 프리스탠딩 접촉 구조물을 제조하는 개념은 또한 하나의 단자로부터 다른 단자로 또는 어느 다이 상의 하나의 단자로부터 다른 다이 상의 하나의 단자로 연장되는 단순한 와이어 접합 루프로도 수행될 수 있다 (도5 비교). 추가로, 일련의 루프는 이러한 방식으로 처리되어, 전자 부품 상의 개별 단자에 각각 장착된 많은 수의 프리스탠딩형 와이어 스템을 남길 수 있다.

도6b에서 도시된 와이어 스템은 가장 상부의 부분들을 임의의 적당한 방식으로 제거되도록 할 수 있으며, 이는 다이(들)로부터 프레임을 분리할 것이라는 사실도 또한 본 발명의 범위 내에 있다.

일반적으로, 루프가 (통상 단자로부터 단자까지) 형성될 수 있으며, 만곡부가 임의의 적절한 방식으로 제거되어 루프마다 두개의 프리스탠딩형 와이어 스템을 생성할 수 있다는 것은 본 발명의 범위 내에 있다. 예를 들어, 루프는 왁스와 같은 재료로 캡슐화되어, 서로로부터 레그를 분리하기 위하여 연마될 수 있다. 이것은 오버코팅 전 또는 오버코팅 후에 수행될 수 있다. 오버코팅 후에 수행될 경우, 와이어 스템은 노출되고, 공융 혼합물 와이어 스템을 사용하는 장점이 용이하게 실현될 수 있다.

예를 들어, 도10a는 전자 부품(1014)의 표면 상의 단자들(1006, 1008, 1010, 1012) 사이에 형성된 복수(두개만 도시됨)의 루프(1002, 1004)를 도시한다. 도10b는 딱딱한 왁스와 같은 제거가능한 재료(1020)에(비교 836) 캡슐화된(예를 들어, 포팅된(potted)) 루프들(1002, 1004)을 도시한다. 이러한 방식으로 포팅된 후, 연삭(연마) 공구(1022)(838 참조)가 포팅된 루프 상에서 하향으로 지지되도록 되어, 루프가 절단될 때까지 포팅 재료(1020)와 루프(1002, 1004)의 만곡부를 통과하여 연삭한다. (이는 도면에서 'P'로 라벨이 붙여진 은선에 의해 표시된다.) 그리고 나서, 포팅 재료는 (예를 들어 용융에 의해) 제거된다. 따라서, 각 루프는 두 개의 프리스탠딩형 와이어 스템이 된다 (도시되지 않음). 와이어 스템(루프)이 포팅 전 또는 연마 (그리고 포팅 재료 제거) 후에 오버코팅되는 것은 본 발명의 범위 내에 있다. 와이어 스템이 포팅 전에 오버코팅되면, 와이어 스템은 경납땜 가능한 팁을 형성하도록 노출된다.

루프 와이어 스템이 (도시된 바와 같이 동일한 전자 부품 상의 두 개의 단자가 아니라) 어느 전자 부품 상의 단자로부터 다른 전자 부품 상의 단자로 연장되는 것도 본 발명의 범위 내에 있다.

루프 또는 이와 유사한 것으로부터 복수개의 와이어 스템을 제조함으로써, 루프(그리고, 최종적으로는 프리스탠딩 접촉 구조물)가 장착된 (반도체 장치와 같은) 전자 부품은 전자 화염 절단 기술과 관련된 잠재적으로 손상을 가하는 높은 전압(예를 들어, 방전시 수 천 볼트)으로부터 보호된다.

도10c 및 도10d는 본 발명에 따라 전자 화염 절단을 하지 않고, 루프들로부터의 프리스탠딩형 와이어 스템을 제조하기 위한 다른 기술을 도시한다. 도시된 바와 같이 전자 부품(1058) 상의 단자(1062)로부터 연장되는 와이어 스템(1052)은 루프로 형성되어 단자 (또는 전자 부품 상의 다른 단자, 또는 다른 전자 부품 상의 또 다른 단자) 상의 후방에 접합된다. 루프의 하나의 분기(레그)의 거의 전체 부분은 포토레지스트와 같은 마스킹 재료(1054)로 덮인다. 그 다음에,

상기 루프는 재료(1058)로 오버코팅되며, 포토레지스트는 제거되고, 그 때에 루프의 미리 마스킹된 분기부가 제거되어 도10d에 도시된 것처럼 프리스탠딩형 오버코팅 와이어 스템을 생성하게 된다.

본 발명을 도면에 도시하고 상세하게 설명하였으나, 상기 도시 내용 및 설명 내용은 예시적인 것으로서 본 발명의 성격을 제한하는 것이 아니며 - 단지 바람직한 실시례만이 도시되고 설명된 것으로 이해되어야 하며, 본 발명의 기술 사상 내에서 속하게 되는 모든 변경 및 수정은 보호될 것으로 기대된다. 물론, 본 발명이 가장 근접하게 속하는 기술분야에서 숙련된 자는 앞에서 설명된 '주제'에 대한 많은 다른 변경들을 생각해 낼 것이고, 그러한 변경은 여기에서 공개된 바와 같이 본 발명의 범위에 속하게 될 것이다. 이러한 변경 중 여러가지는 모출원에 기재되어 있다.

예를 들어, 상기에 설명한 임의의 실시예에서 마스킹 재료(예를 들어, 포토레지스트)는 기판에 인가되어 마스크를 통과하는 광에 노출시킴으로써 패턴화되고 마스킹 재료를 화학적으로 제거하는 (즉, 종래의 포토리토그라프 기술) 것으로 기재되어 있으나, 제거할 마스킹 재료(예를 들어, 블랭킷 경화 포토레지스트)의 부분에 적절하게 시준된 광선(예를 들어, 엑시머 레이저)을 향하에 하여, 마스킹 재료의 이러한 부분들을 용발시키거나, 적절하게 시준된 광선을 사용하여 마스킹 재료의 부분들을 직접 경화하여(마스크를 사용하지 않고) 비경화된 마스킹 재료를 화학적으로 세척하는 단계를 포함하는 다른 방법을 사용할 수도 있다.

예를 들어, 자동화된 공정에서 다중의 개별화되지 않은 반도체 다이들이 반도체 웨이퍼 상에 잔류하는 동안에 실행(시험 및/또는 번인)되어, 어떤 다이들이 양호하고, 어떤 다이들의 쌍(또는 다른 다중의 수)이 양호하가에 대한 결정을 하고, 큰 상자들(bin)은 웨이퍼로부터의 다이들이 분리될 때 다이를 상이한 범주로 분리하기 위하여(자동화 공정 라인에) 정렬된다.

상기에 설명한 것처럼, 본 발명의 복합 상호 접속 요소는 반도체 장치의 단자들에 직접 장착될 수 있는 적절한 탄성 접촉 요소의 일례에 불과하다. 미국 특허 제5,414,298호에 기재된 이러한 수단들은 이 점에 있어서 실패한 것이다.

비탄성(용이하게 성형됨에도 불구하고) 코어(와이어, 리본 등)를 오버코팅하고 되튀어 오를 수 재료(예를 들어, 비교적 높은 항복 강도를 갖는)로 오버코팅하는 본 발명의 기술은 오버코팅이 두가지의 목적, 즉 (1) 오버코팅이 대부분 최종 접촉 구조물(복합 상호 접속 요소)의 물리적 특성을 결정하고, (2) 오버코팅이 복합 상호 접속 요소를 전자 부품의 단자에 견고하게 고정시킨다는 목적을 위하여 기능하는 점에서 특이하다.

또한, 앞에서 설명한 바와 같이 탄성 접촉 구조물(708)들 사이에 디커플링 커패시터와 같은 임의의 원하는 추가의 전자 부품을 수용는데 이용할 수 있는 넓은 공간(714)이 있다.

발명의 효과

본 발명에 따르면, 반도체 웨이퍼 상에 있는 개별화되지 않은 반도체 장치(또는 다이)의 단자 상에 탄성 접촉 구조물 또는 전기 접속 요소가 직접 영구 장착되며, 직접 영구 장착된 접촉 구조물은 반도체 장치의 시험 및 번인에 사용될 뿐만 아니라 시험 후 웨이퍼로부터 개별화된 반도체 장치가 리드프레임에 패키징될 때에도 동일한 접촉 구조물이 그대로 사용된다. 따라서, 탐침 카드는 종래의 탐침 카드처럼 탐침 요소를 갖출 필요가 없고, 간단히 단자 또는 전극을 갖도록 구성함으로써 종래의 탐침 카드보다 저렴하고 용이하게 구성될 수 있으며, 종래의 탐침 카드에 고유하게 존재하는 어떠한 물리적 결함도 겪지 않게 된다.

본 발명의 탄성 접촉 구조물은 일단부가 반도체 장치의 단자에 장착되어 그 표면으로부터 연장되는 프리스탠딩형으로

제조될 수 있어, 가압 접속에 따라 굴곡 및 탄성 변형되므로 단자와 접촉 구조물의 평면성에 공차가 있더라도 접촉 구조물과 단자 사이에 신뢰성있는 가압 접속이 이루어지며, 반도체 장치의 결합 패드의 배치에 의해 제한되지 않는다. 또한, 탄성 접촉 구조물은 복합 상호 접속 요소로 제조될 수 있는데, 코어 상에 오버코팅함으로써 경납땜 또는 납땜 등의 추가의 재료를 필요로 하지 않으면서 반도체 장치의 단자 상에 직접 제조될 수 있다. 상기 오버 코팅은 상호 접속 요소를 반도체 장치의 단자에 고정하는 것을 증진시키고 필요로 하는 탄성 특성을 상호 접속 요소에 부과한다.

또한, 반도체 장치의 패키징에 있어서, 종래에는 고온을 수반하는 반도체 장치의 번인 공정에서 패키지의 재료(예컨대, 플라스틱)로 인해 패키지된 반도체 장치가 번인 시험로에 노출될 수 있는 온도가 제한되었다. 그러나, 본원 발명에서는 패키징되지 않은 반도체 장치에 대하여 번인 공정을 수행하므로 보다 높은 온도에서 단시간에 번인 공정을 수행할 수 있다. 따라서, 번인이 신속하게 수행될 수 있고 전체적인 공정 시간은 단축되고 비용이 절감된다.

(57) 청구의 범위

청구항 1.

반도체 장치에 영구 접속하기 전에 반도체 장치에 일시적으로 접속시키는 방법에 있어서,

복수개의 긴 프리스탠딩 전기 접촉 구조물을 원형 그대로의 반도체 장치에 영구 장착시키는 단계와,

전기 접촉 구조물이 반도체 장치와 제1 전자 부품 사이에서 전기적으로 상호 접속하는 상태로 반도체 장치와 제1 전자 부품 사이에서 일시적 접속을 실행하도록 반도체 장치를 제1 전자 부품에 대항하여 가압시키는 단계와,

반도체 장치와 제2 전자 부품 사이에서 영구적 접속을 실행하기 위해 반도체 장치에 장착된 동일한 전기 접촉 구조물을 이용하는 단계

를 포함하는 것을 특징으로 하는 방법.

청구항 2.

제1항에 있어서, 반도체 장치를 제2 전자 부품에 대항하여 기계적으로 편의시킴으로써 영구 접속을 실행하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 3.

제1항에 있어서, 반도체 장치를 제2 전자 부품에 영구 접속시키는 단계를 더 포함하는 것을 특징으로 하는 방법.

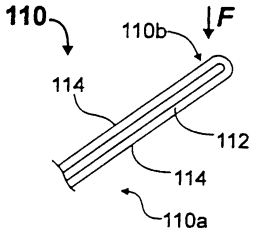
청구항 4.

제1항에 있어서, 전기 접촉 구조물은 탄성을 갖는 것을 특징으로 하는 방법.

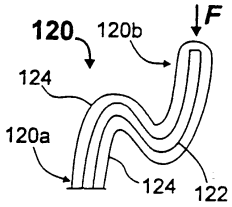
청구항 5.

제1항에 있어서, 전기 접촉 구조물은 추종성을 갖는 것을 특징으로 하는 방법.

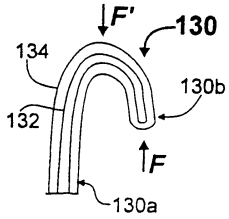
도면 1a



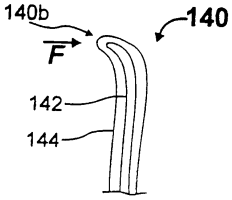
도면 1b



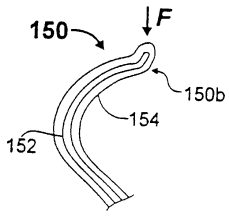
도면 1c



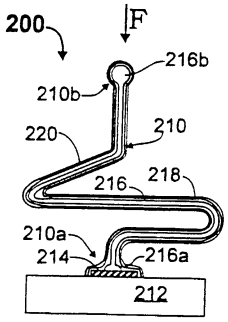
도면 1d



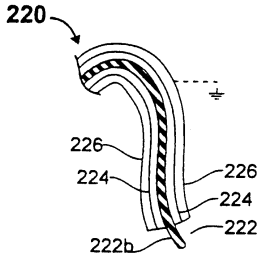
도면 1e



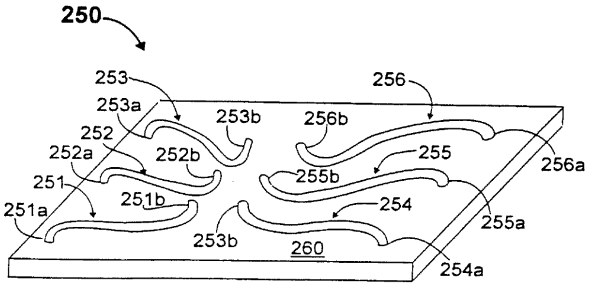
도면 2a



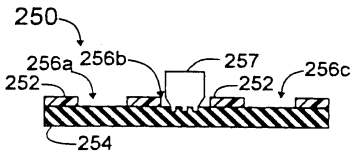
도면 2b



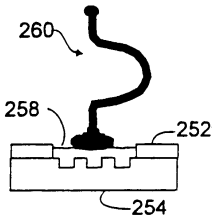
도면 2c



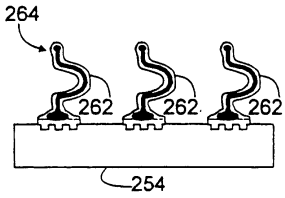
도면 2d



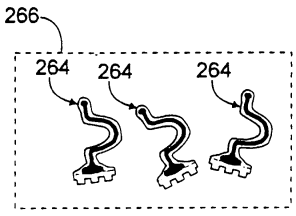
도면 2e



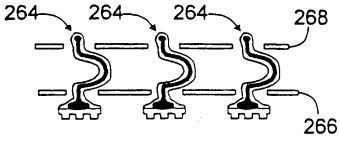
도면 2f



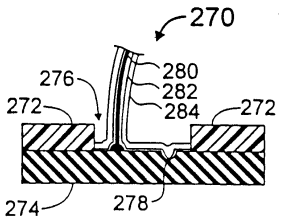
도면 2g



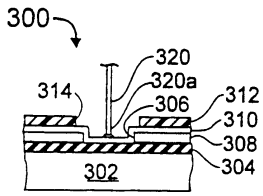
도면 2h



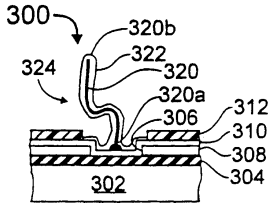
도면 2i



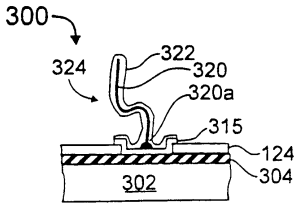
도면 3a



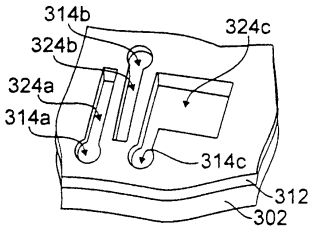
도면 3b



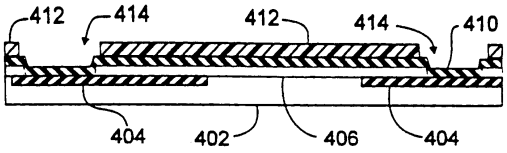
도면 3c



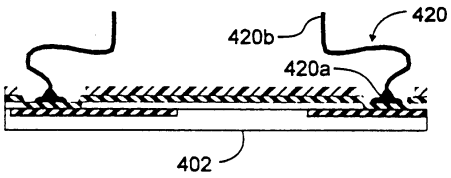
도면 3d



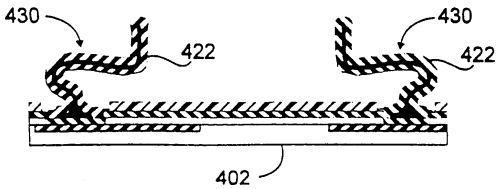
도면 4a



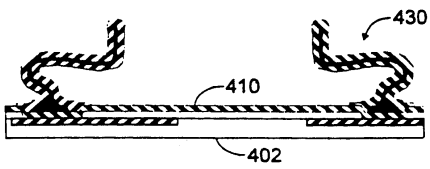
도면 4b



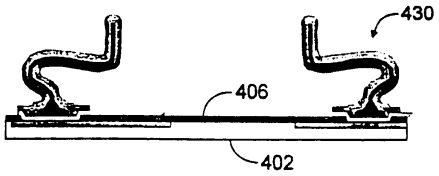
도면 4c



도면 4d



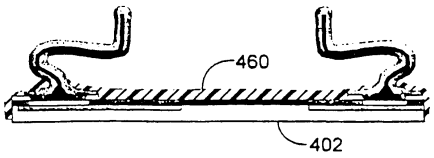
도면 4e



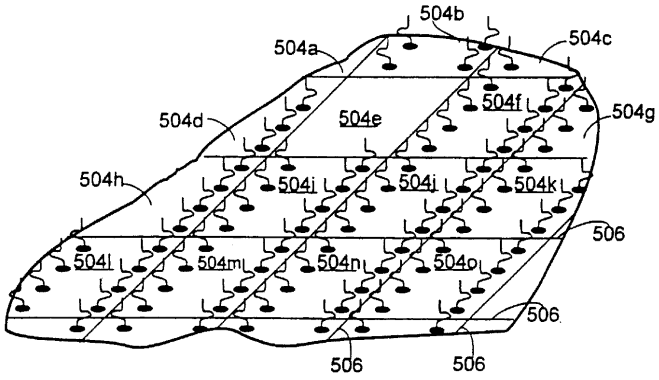
도면 4f



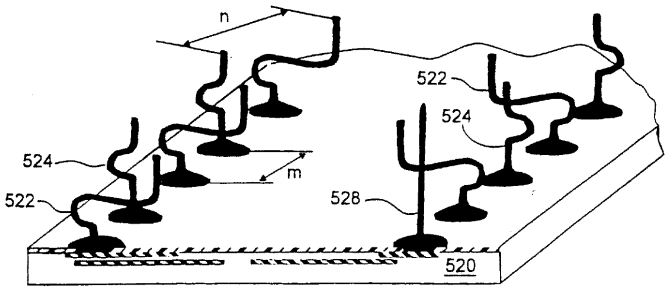
도면 4g



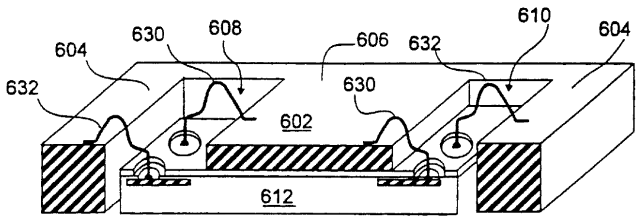
도면 5



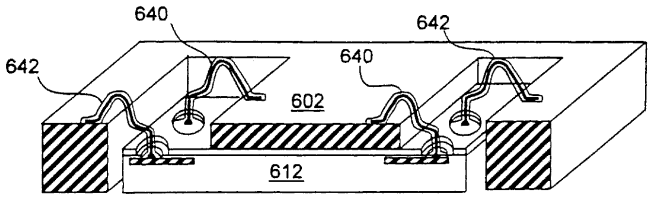
도면 5a



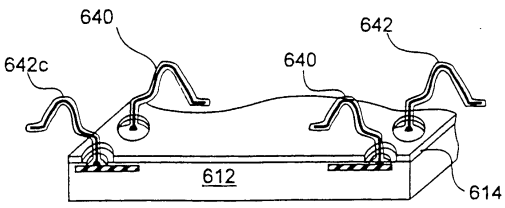
도면 6a



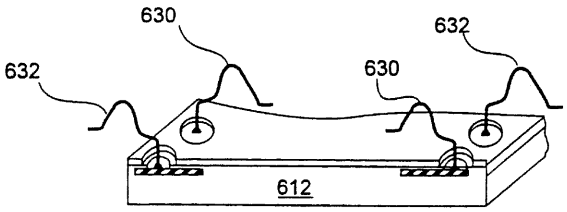
도면 6b



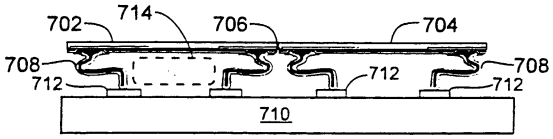
도면 6c



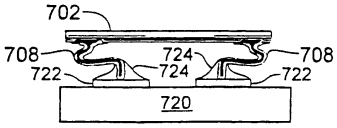
도면 6d



도면 7a

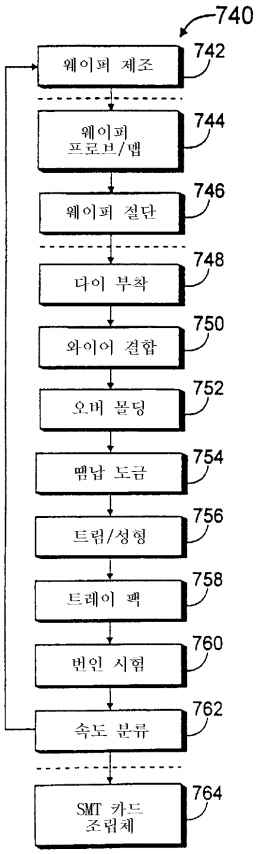


도면 7b

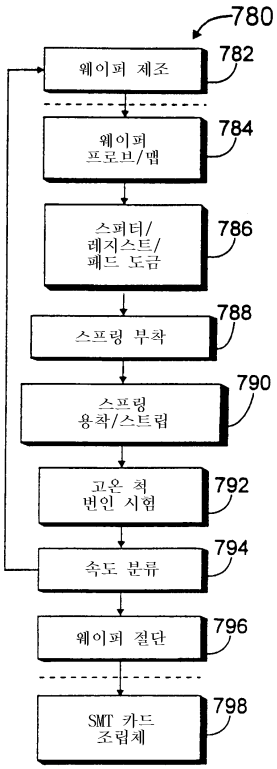


도면 7c

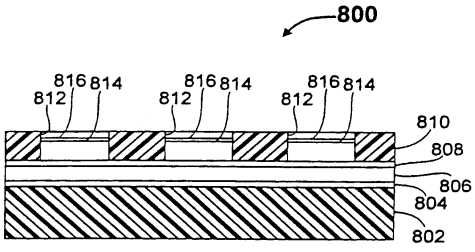
(종래 기술)


740
웨이퍼 제조
742
웨이퍼 프로브/맵
744
웨이퍼 절단
746
다이 부착
748
와이어 결합
750
오버 몰딩
752
땜납 도금
754
트림/성형
756
트레이 팩
758
번인 시험
760
속도 분류
762
SMT 카드 조립체
764

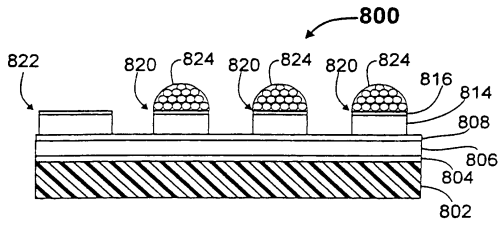
도면 7d


780
웨이퍼 제조
782
웨이퍼 프로브/맵
784
스피터/ 레지스트/ 패드 도금
786
스프링 부착
788
스프링 용착/스트립
790
고온 척 번인 시험
792
속도 분류
794
웨이퍼 절단
796
SMT 카드 조립체
798

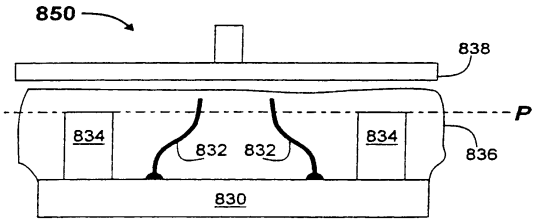
도면 8a


800
816
814
812
810
808
806
804
802

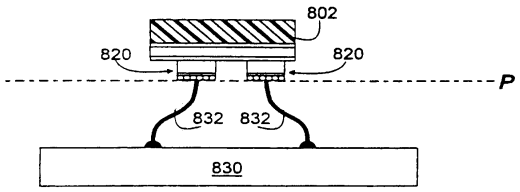
도면 8b



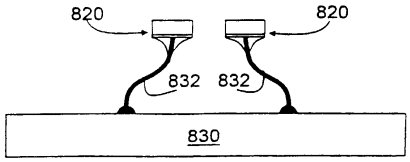
도면 8c



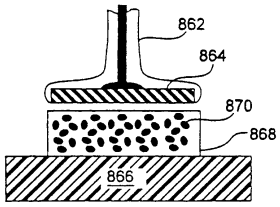
도면 8d



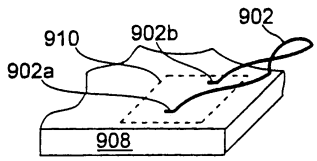
도면 8e



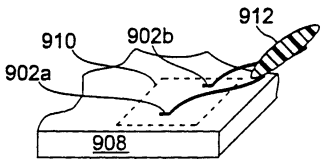
도면 8f



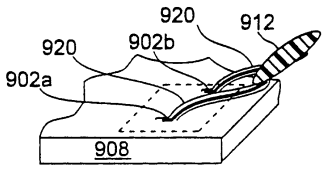
도면 9a



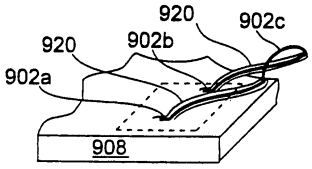
도면 9b



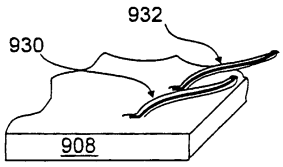
도면 9c



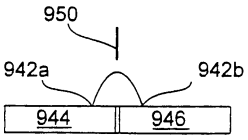
도면 9d



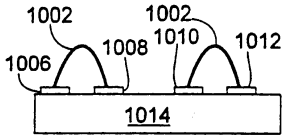
도면 9e



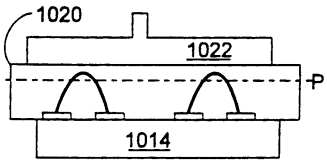
도면 9f



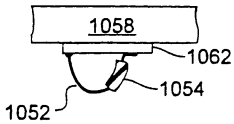
도면 10a



도면 10b



도면 10c



도면 10d

