

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구  
국제사무국

(43) 국제공개일

2018년 8월 23일 (23.08.2018)



(10) 국제공개번호

WO 2018/151409 A1

(51) 국제특허분류:

H04B 1/16 (2006.01)

H03D 7/16 (2006.01)

H04B 1/18 (2006.01)

(74) 대리인: 특허법인 플러스 (PLUS INTERNATIONAL IP

LAW FIRM); 35209 대전시 서구 한밭대로 809 10층,  
Daejeon (KR).

(21) 국제출원번호:

PCT/KR2018/000077

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국

(22) 국제출원일:

2018년 1월 3일 (03.01.2018)

(25) 출원언어:

한국어

(26) 공개언어:

한국어

(30) 우선권정보:

10-2017-0022269 2017년 2월 20일 (20.02.2017) KR

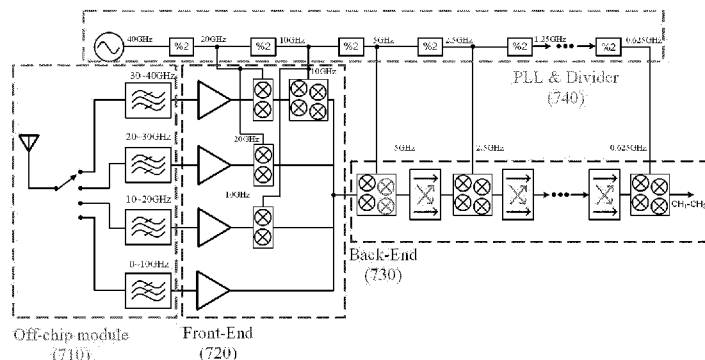
(71) 출원인: 한밭대학교 산학협력단 (HANBAT NATIONAL UNIVERSITY INDUSTRY-ACADEMIC COOPERATION FOUNDATION) [KR/KR]; 34158 대전시 유성구 동서대로 125, Daejeon (KR).

(72) 발명자: 김주성 (KIM, Jusung); 47877 부산시 동래구 충렬대로238번길 7, 2동 405호, Busan (KR).

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역 내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유

(54) Title: BROADBAND RECEIVER AND RECEPTION METHOD THEREOF

(54) 발명의 명칭: 광대역 수신기 및 그 수신방법



(57) Abstract: The present invention relates to a broadband receiver and a reception method thereof and, more particularly, to a broadband receiver and a reception method thereof, the broadband receiver having a channelization receiver architecture for a rapid searching speed and broadband frequency scanning, wherein a front-end part applies parallel channelization and a back-end part applies series channelization, broadband reception is implemented through up/down-frequency conversion according to a channel, and a rapid searching speed is implemented by way of a switching change by channels, not by way of a frequency change of a frequency synthesizer. The broadband receiver and a reception method thereof according to an embodiment of the present invention involves: an off-chip module performing frequency filtering on an input spectrum by adjacent subbands at the same distance; a front-end part mapping the subbands received from the off-chip module to the same frequency range, by using a front-end part module corresponding to a plurality of paths; and a rear-end part selecting a channel by down-converting the mapped frequency range received from the front-end part, by using a plurality of iterative down-converters.

(57) 요약서: 본 발명은 광대역 수신기 및 그 수신방법에 관한 것으로, 좀 더 구체적으로 빠른 탐색속도 및 광대역 주파수 스캐닝을 위한 채널화(channelization) 수신기 아키텍처로서, 전치부는 병렬 채널화를 적용하며 후치부는 직렬채널화를 적용하고, 채널에 따른 상향/하향 주파수 변환을 통해 광대역 수신을 실현하며, 주파수 합성기의 주파수 변화가 아닌 채널별 스위칭 변화를 통한 빠른 탐색속도를 실현하는 광대역 수신기 및 그 수신방법에 관한 것이다. 본 발명의 일 실시예에 따른 광대역 수신기 및 그 수신방법은 입력 스펙트럼을 인접하는 동일 거리의 서브 밴드별로 주파수 필터링을 수행하는 오프칩 모듈; 복수의 경로에 대응하는 전치부 모듈을 이용하여, 오프칩모듈로부터 수신된 서브 밴드들을 동일 한 주파수 레인지에 매핑하는 전치부; 및 복수의 반복적인 하향 변환기를 이용하여, 전치부로부터 수신된 매핑된 주파수 레인지를 하향 변환하여 채널을 선택하는 후치부;를 포함하는 것을 특징으로 한다.

럼 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

## 명세서

### 발명의 명칭: 광대역 수신기 및 그 수신방법

#### 기술분야

- [1] 본 발명은 광대역 수신기 및 그 수신방법에 관한 것으로, 좀 더 구체적으로 빠른 탐색속도 및 광대역 주파수 스캐닝을 위한 채널화(channelization) 수신기 아키텍처로서, 전치부는 병렬 채널화를 적용하며 후치부는 직렬 채널화를 적용하고, 채널에 따른 상향/하향 주파수 변환을 통해 광대역 수신을 실현하며, 주파수 합성기의 주파수 변화가 아닌 채널별 스위칭 변화를 통한 빠른 탐색속도를 실현하는 광대역 수신기 및 그 수신방법에 관한 것이다.

[2]

#### 배경기술

- [3] 다수의 무선 통신 표준들이 RF 및 Millimeter-wave 주파수 분야에 존재한다. 무선 디바이스의 개수는 다양한 무선 센서들과 웨어러블 디바이스들에 기인하여 미래에는 급격하게 증가하게 될 것이다. 따라서 미래 통신 디바이스는 스펙트럼 밀집 현상과 감소된 채널 용량 하에서 동작할 필요가 있다. 인지 무선(CR, Cognitive Radio)은 효율적인 스펙트럼 이용률을 달성하기 위해 시도되고 있으며, 그래서 위와 같은 무선 환경에서 무선 송수신율을 높이는 중요한 기술로 과학기술계로부터 강한 주목을 받고 있다.
- [4] CR은 주파수 가변 능력과 함께 광대역 스펙트럼 분석을 필요로 한다. 멀티-GHz 대역폭 상에서 직접 시간 도메인 샘플링(time-domain sampling)과 디지털화(digitization)는 SDR (Software-Defined Radio)로 대표되는 손쉬운 접근법이다. SDR은 다이내믹 레인지, 속도 및 잡음의 항목에서 ADC (아날로그 디지털 변환기)에 매우 엄격한 요구사항을 필요로 한다. 그래서 SDR은 최신의 반도체 및 통신 기술로도 실현이 용이하지 않다.
- [5] 주파수 채널화(frequency channelization) 기술은 전체 입력 스펙트럼의 직접 시간 도메인 샘플링과 디지털화에 매력적인 대안이 되고 있다. 채널화 수신기(Channelization receiver)는 광대역 입력 신호를 다중 채널들로 분해한다. 채널화된 신호들은 순차적으로 완화된 성능 요구사항을 가지는 다중 ADC에 의해 디지털화된다.
- [6] 종래 기술로, R. Gharpurey and P. Kinget(비특허문헌1)는 주파수 채널화와 빠른 스펙트럼 분석을 성취하기 위하여 반복적인 하향 변환 구조(iterative down conversion architecture)를 제안하였다. 종래 기술로, T.-L. Hsieh et al.(비특허문헌2)는 대역내 간섭원을 정확히 탐지하기 위하여 UWB (Ultra Wide-band)에 반복적인 하향 변환 구조를 이용하였다. 또한 종래 기술로, H. Krishnaswamy et al.(비특허문헌3)는 동일한 주파수 채널화 조건하에서 채널과 채널간 신호 누설(leakage)을 개선하고 반복적인 하향 변환의 개수를 최소화하기

위하여 3-way 반복적인 하향 변환을 소개했다.

- [7] 상기의 종래 기술들은 주파수 채널화를 성취하기 위하여 도구로서 반복적인 하향 변환을 이용하고 있다. 분해되어야 하는 채널의 수가 증가하게 되면, 반복적인 하향 변환의 개수는 증가하게 되고, 이로 인해 채널과 채널간 신호 누설이 더 악화되고 스푸리어스 성능도 더 악화된다. 입력 스펙트럼의 대역폭은 신호 경로에 있어서 저잡음 증폭기(LNA, the low noise amplifier)와 혼합기(믹서, mixer)의 대역폭에 의해 제한받는다.
- [8]
- [9] 이하에서는 종래의 RF 채널화 수신기를 더 자세히 소개한다.
- [10] RF 채널화를 위한 주파수 합성기 기반 수신기를 먼저 소개한다. 채널화 수신기 구조에 대한 종래 기술들의 특징을 알아보기 전에, 종래의 주파수 합성기 기반 수신기가 고속의 주파수 스캐닝 가변 능력을 가진 광대역 스펙트럼 분석을 위하여 적절하지 않은 이유를 먼저 설명하는 것이 도움이 된다.
- [11] 도 1은 RF 채널화를 위한 주파수 합성기 기반 단일 채널(경로) 광대역 수신기 구조도를 나타낸다. 도 1에서 광대역 수신기는 DC부터 수 GHz 또는 DC부터 수십 GHz의 주파수를 지원할 수 있는데, 이해를 돕기 위해, 예를 들어 DC-40GHz의 주파수를 지원하는 것을 가정한다. DC-40GHz는 일 실시예에 불과하고, 광대역 수신기는 주파수 대역을 더 넓게, 또는 더 좁게도 지원할 수 있으며, 이는 이 발명이 속하는 기술분야의 통상의 지식을 가진 자 (이하 통상의 기술자라 함)에게 자명한 것이다.
- [12] 도 1에서 안테나와 광대역 LNA(저잡음증폭기) 사이에 0-40GHz 대역의 신호를 필터링하는 대역통과필터(Band Pass Filter)를 더 포함할 수 있다. 단일 채널의 수신기 구조에서 전치부의 저잡음증폭기는 전 대역에서 저잡음 및 고선형을 만족하기 위하여 면적과 전력 효율성의 희생이 불가피하다. 단일 주파수 합성기(Frequency Synthesizer) 역시 전 대역에서 저위상잡음(low phase noise)을 만족해야 하며 전 대역 순시(주파수 변경)를 지원해야 한다. 이를 위해 0-40GHz의 기준 주파수를 생성하여 믹서에 제공한다. 믹서는 광대역 LNA 출력 신호와 주파수 합성기가 제공한 기준 주파수를 혼합하여 하향 변환을 통해 베이스밴드 신호를 생성하게 되고, 이후 베이스밴드 신호는 저역통과 등의 신호처리를 거치고, 신호처리된 아날로그 신호는 ADC(아날로그 디지털 변환기)에 의해 아날로그-디지털 변환을 수행하여 디지털 신호가 생성되게 된다.
- [13] 도 1에서의 광대역 수신기는 하나의 신호 경로를 가지는 직접 변환 수신기(the direct conversion receiver)의 구조를 보여준다. 순차적인 스펙트럼 스캐닝은 PLL (Phase Locked Loop)의 주파수 점진 변화(스윕, sweep)와 함께 수행된다. 빠른 주파수 스캐닝과 함께 광대역 동작을 성취하기 위하여 많은 어려움이 이 수신기 구조에 존재한다.
- [14] 우선적으로, 광대역 기준 주파수 생성을 위한 PLL은 면적 및 전력의 희생 없이는 설계 및 제작이 용이하지 않다. 종래 기술로, C.F. Liang et

al.,(비특허문헌4)은 3.1-10.6GHz UWB radio system을 위하여 두 개의 PLL, 다섯 개의 SSB 믹서 (single-sideband mixer) 및 두 개의 멀티플렉서를 채택했다. 두 번째로, 비록 하나의 PLL이 광대역 스펙트럼 스캐닝을 제공할 수 있다고 하더라도, 채널들 간의 호핑 (hopping) 시간으로 인해 총 스캐닝 시간이 제한된다. 채널의 전체 개수가  $N$ 으로 주어지고, 주파수 호핑 시간과 분석 시간은 각각  $T_{hop}$  및  $T_{analysis}$ 으로 하며, 스캐닝을 위한 총 시간( $T_{total}$ )은 하기의 수학적 식 1과 같이 표현된다.

[15]

[16] 수학적 식 1

[수식1]

$$T_{total} = N * (T_{hop} + T_{analysis})$$

[17]

[18] 호핑 시간을 개선하기 위해 PLL의 대역폭을 넓힐 필요가 있으나 최대 대역폭은 가드너 안정성 한계(Gardeners stability limit)에 의해 결정되는데 대략 PLL 기준 주파수의 1/10 정도가 된다고 알려져 있다. 따라서 안정도 및 주파수 스캐닝 시간은 직접적인 트레이드 오프에 있음을 알 수 있다.

[19]

[20] 도 2는 RF 채널화를 위한 주파수 합성기 기반 다수 채널(병렬 경로) 광대역 수신기 구조도를 나타낸다. 도 2에서 광대역 수신기는  $M$ 개의 병렬 채널을 지원하게 되는데, 이해를 돕기 위해 이하에서는 DC-40GHz의 주파수 지원과 5개의 병렬 채널(8GHz 지원)을 가정하여 설명한다. 도 2에서 안테나와 광대역 LNA(저잡음증폭기) 사이에 0-40GHz 대역의 신호를 필터링하는 대역통과필터를 더 포함할 수 있다. 각 주파수 합성기( $LO_1$ 에서  $LO_n$ 까지)는  $LO_1$ 에서  $LO_5$ 까지 각각 8GHz 범위의 기준 주파수를 담당하는데, 각각 0-8GHz, 8-16GHz, 16-24GHz, 24-32GHz 및 32-40GHz까지 기준 주파수를 생성하게 된다.

[21]

도 2에서 보듯이, 다중 채널의 하향 혼합기(down conversion mixer) 및 병렬 베이스밴드 신호처리를 채택함으로써 단일 채널 광대역 수신기의 단점을 보완하게 된다. 반면에 저잡음증폭기 입장에서 다수의 하향혼합기(또는 하향변환 믹서)를 지원해야 함으로서 성능 저하가 발생한다. 또한 다수의 주파수 합성기를 필요로 하며 spurious coupling (의사 결합, 스푸리어스 커플링) 및 간섭 효과로 인해 전체 시스템 성능 저하가 생길 수 있다.

[22]

도 2에서 보듯이, 광대역 수신기는 광대역 스펙트럼 스캐닝을 위한 다중 하향 변환 믹서와 PLL을 가지는 직접 변환 수신기가 될 수 있다. 스펙트럼 스캐닝 시간은 병렬 경로( $M$ )의 수가 증가할수록 감소된다. 그러나 병렬 하향 변환기 사용으로 인한 loading effect로 인하여 광대역 LNA의 대역폭이 제한되는 한계가 있다. 따라서 도 1에 비교하여 LNA의 대역폭을 동일하게 지원하기 위하여 전력의 희생이 불가피하다. 광대역 수신기를 구현하기 위한 칩 크기는 병렬

경로의 개수가 증가되는 만큼 선형적으로 증가하게 된다. 더구나, 동일한 칩 상에서 다중 PLL들로 인해 원하지 않는 스푸리어스 커플링을 초래하게 된다.

[23] 반복적인 하향 변환에 기반을 둔 채널화 수신기들은 앞서 언급한 주파수 합성기 기반 수신기의 문제들을 해결한다. 도 3은 싱글

사이드밴드(single-sideband) 하향 변환을 위한 캐스케이드된 믹서를 나타낸 것으로 반복적인 하향 변환 기술을 설명하기 위한 기본 구조이다.

[24] 도 3에서 보듯이, 제1 믹싱 스테이지(mixing stage)는 단순한 하향 변환기로서 사용되는 I/Q 믹서(quadrature mixer)이다. 제2 믹싱 스테이지는 콤플렉스 I/Q 믹서(또는 double quadrature mixer, 이중 쿼드러처 믹서)이다. 여기서 콤플렉스 I/Q 믹서는 RF 신호 및 LO 신호 모두 다 I/Q 신호를 가지는 믹서를 의미하는 것이 바람직하다. 믹서 단 사이의 스위치는 콤플렉스 믹싱 스테이지의 극성을 결정하는데 이용된다. 직접 경로(상태 A)를 통한 제1 스테이지의 출력은 하기의 수학적식 2 및 3과 같이 도출된다.

[25]

[26] 수학적식 2

[수식2]

$$\begin{aligned} v_{out\ I}(t) &= v_{in}(t) * \left\{ \cos(w_{LO}t) \cos\left(\frac{w_{LO}}{2}t\right) + \sin(w_{LO}t) \sin\left(\frac{w_{LO}}{2}t\right) \right\} \\ &= v_{in}(t) * \left\{ \cos\left(\frac{w_{LO}}{2}t\right) \right\} \end{aligned}$$

[27]

[28] 수학적식 3

[수식3]

$$\begin{aligned} v_{out\ Q}(t) &= v_{in}(t) * \left\{ \sin(w_{LO}t) \cos\left(\frac{w_{LO}}{2}t\right) - \cos(w_{LO}t) \sin\left(\frac{w_{LO}}{2}t\right) \right\} \\ &= v_{in}(t) * \left\{ \sin\left(\frac{w_{LO}}{2}t\right) \right\} \end{aligned}$$

[29]

[30] 도 3의 상태 B와 함께 쿼드러처 출력(quadrature output)은 하기의 수학적식 4 및 5에 의해 주어진다.

[31]

[32] 수학적식 4

[수식4]

$$\begin{aligned} v_{out_I}(t) &= v_{in}(t) * \left\{ \sin(w_{LO}t) \cos\left(\frac{w_{LO}}{2}t\right) + \cos(w_{LO}t) \sin\left(\frac{w_{LO}}{2}t\right) \right\} \\ &= v_{in}(t) * \left\{ \sin\left(\frac{3w_{LO}}{2}t\right) \right\} \end{aligned}$$

[33]

[34] 수학식 5

[수식5]

$$\begin{aligned} v_{out_Q}(t) &= v_{in}(t) * \left\{ \cos(w_{LO}t) \cos\left(\frac{w_{LO}}{2}t\right) - \sin(w_{LO}t) \sin\left(\frac{w_{LO}}{2}t\right) \right\} \\ &= v_{in}(t) * \left\{ \cos\left(\frac{3w_{LO}}{2}t\right) \right\} \end{aligned}$$

[35]

[36] 믹서 단 사이의 스위치 구성에 따라서, 캐스케이드된 믹서 스테이지들은 유효 LO (local oscillator),

$$w_{LO} \pm \frac{w_{LO}}{2}$$

를 생성한다. N 단계의 하향 변환인 경우 유효 LO는 하기의 수학식 6과 같다.

[37]

[38] 수학식 6

[수식6]

$$w_{LO} \pm \frac{w_{LO}}{2} \pm \frac{w_{LO}}{4} \pm \dots \pm \frac{w_{LO}}{2^{N-1}}$$

[39]

[40] 반복적인 하향 변환을 통하여 입력 스펙트럼은 각 스테이지에서 두 갈래로 나뉜다. 각 LO 주파수에 비추어 상위(upper) 또는 하위(lower) 사이드 밴드의 선택은 스위치 구성에 의해 행해진다. 반복적인 하향 변환기의 개수에 의해 채널 수(M)와 채널의 간격( $BW_{channel}$ )( $M = 2^{n-1}$ ,  $BW_{channel} = BW/2^{n-1}$ )이 결정된다. 입력 스펙트럼은 채널화되고, 전체 스펙트럼은 각 하향 변환 스테이지의 적당한 선택과 함께 순차적으로 스캔된다. PLL은 하나의 기준 주파수만을 동작하는 데 필요하며, 광대역 기준 주파수의 생성이 불필요하다.

[41]

주파수 분배기(frequency divider) 또는 SSB 믹서는 기준 주파수의 서브 하모닉(sub-harmonics)을 생성하며 PLL로부터의 기준 주파수 뿐만 아니라 이

서브 하모닉들은 반복적인 하향 변환 믹서의 LO 신호가 된다. 채널간 주파수 호핑 시간은 PLL의 루프 특성(loop behavior)에 의해 제한되지 않는다. 각 스테이지 간의 채널 선택을 위해 주파수를 선택하는 과정은 오픈 루프 (open loop) 스위치 ON/OFF 동작에 의해 매우 빠르다.

[42] 도 4는 시퀀셜 채널화기(sequential channelizer)를 가진 광대역 수신기의 블록 다이어그램을 나타낸 것이다. 도 4에서 수신기의 블록 다이어그램은 4개의 반복적인 하향 변환기로 8 채널화를 구현한 예를 보여준다.

[43] 도 5는 동시 채널화기(concurrent channelizer)를 가진 광대역 수신기의 블록 다이어그램을 나타낸 것이다. 도 4와 같이 스위치 설정(set-up)에 기인하여 두 갈래로 나뉘는 과정 대신에, 도 5에서는 동시 채널화기가 각 하향 변환기를 위하여 채널을 나누고 그것들을 전개(unfold, 진행)하게 된다. 이 접근법의 장점은 모든 채널들의 전개에 기인하여 동시 작용에 있다. 그러나 채널화 수신기의 면적은 채널의 수에 따라서 선형적으로 증가하게 된다.

[44]

[45] [선행기술문헌]

[46] [비특허문헌 1]

[47] R. Gharpurey and P. Kinget, Channelized front ends for broadband analog and RF signal processing with merged LO synthesis, in *IEEE Dallas Circuits and Systems Workshop (DCAS)*, Dallas, TX, USA, Oct. 2009, pp. 14.

[48] [비특허문헌 2]

[49] T.-L. Hsieh, P. Kinget, and R. Gharpurey, A Rapid Interference Detector for Ultra Wideband Radio Systems in 0.13um CMOS, in *IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, Atlanta, GA, USA, June 2008, pp. 347350.

[50] [비특허문헌 3]

[51] H. Krishnaswamy et al., RF Channelizer Architectures using Iterative Downconversion for Concurrent or Fast-Switching Spectrum Analysis, in *IEEE 52th International Midwest Symposium on Circuits and Systems (MWSCAS)*, Cancun, Mexico, Aug. 2009, pp. 977980.

[52] [비특허문헌 4]

[53] C.F. Liang et al., A 14-band Frequency Synthesizer for MB-OFDM UWB Application, in *IEEE International Solid-State Circuit Conference (ISSCC)*, San Francisco, CA, USA, Feb. 2006, pp. 428437.

[54]

## 발명의 상세한 설명

### 기술적 과제

[55] 본 발명은 상기한 문제점을 해결하기 위해 안출된 것으로서, 본 발명은 직렬 채널화와 병렬 채널화를 함께 이용하는 광대역 수신기 및 그 수신방법을

제공하는 것을 그 목적으로 한다.

- [56] 그러나 본 발명의 목적은 상기에 언급된 목적으로 제한되지 않으며, 언급되지 않은 또 다른 목적들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

[57]

### 과제 해결 수단

- [58] 본 발명의 일실시예에 따른 광대역 수신기는 광대역 수신기에 있어서, 입력 스펙트럼을 인접하는 동일 거리의 서브 밴드별로 주파수 필터링을 수행하는 오프칩 모듈, 복수의 경로에 대응하는 전치부 모듈을 이용하여, 오프칩모듈로부터 수신된 서브 밴드들을 동일한 주파수 레인지에 매핑하는 전치부 및 복수의 반복적인 하향 변환기를 이용하여, 전치부로부터 수신된 매핑된 주파수 레인지를 하향 변환하여 채널을 선택하는 후치부를 포함하는 것을 특징으로 한다.
- [59] 더 나아가, 상기 전치부는 DC-40GHz의 광대역 주파수를 4개의 병렬 전치부에서 분담하게 되며, DC-10GHz 입력 밴드를 위하여 전치부는 단지 하향 변환 없이 입력 신호를 증폭만 하고, 다른 밴드들(10GHz-40GHz)을 위하여 전치부는 단일 스테이지 믹싱이나 2개 스테이지의 반복적인 하향 변환을 수행하는 것을 특징으로 한다.
- [60] 더 나아가, 상기 4개의 병렬 전치부 중 최상위 경로는 30-40GHz 동작 LNA와 두 개의 믹서를 요구하는데, 두 개의 믹서들은 LO(Local Oscillator) 주파수 20GHz와 10GHz 믹서로서 신호를 DC-10GHz 대역폭으로 하향변환을 하게 되고, 두 번째 경로는 20-30GHz 동작 LNA와 한 개의 믹서를 요구하는데, 한 개의 믹서는 LO 주파수 20GHz 믹서로서 신호를 DC-10GHz 대역폭으로 하향변환을 하게 되며, 세 번째 경로는 10-20GHz 동작 LNA와 한 개의 믹서를 요구하는데, 한 개의 믹서는 LO 주파수 10GHz 믹서로서 신호를 DC-10GHz 대역폭으로 하향변환을 하게 되고, 네 번째 경로는 DC-10GHz 동작 LNA를 요구하는데, 하향 변환 없이, 저잡음증폭을 수행한 신호는 DC-10GHz 대역폭을 가지게 되는 것을 특징으로 한다.
- [61] 더 나아가, 상기 광대역 수신기의 입력 주파수 대역폭이 BW일 경우, 전치부는 M개의 병렬 밴드로 분할이 되며, 후치부에 입력되는  $\frac{BW}{M}$ 의 주파수 대역은 N단의 직렬 후치부를 통해 Zero-IF 변환을 수행하게 되는 것을 특징으로 한다.
- [62] 더 나아가, 후치부의 지원 채널 개수는 N단의 직렬 후치부인 경우  $2^{(N-1)}$  채널이 되며, M개의 병렬 전치부와 함께 광대역 수신기는  $M * 2^{(N-1)}$ 개의 채널을 지원하는 것을 특징으로 한다.
- [63] 더 나아가, 전치부가 분해된 입력 스펙트럼을 동일한 주파수 레인지로 매칭을

한 후에는 후치부를 위한 반복적인 하향 변환은 DC-10GHz 신호의 채널화를 수행하며, 상기 4단의 직렬 후치부 중 제1 스테이지를 제외하고 모든 믹서들은 이중 쿼드러처 믹서(double quadrature mixer)이며, 바로 이전의 믹싱 행위(mixing action)와 분주기 2의 주파수 분배기(divide-by-2 frequency divider)에 기인하여 각각 쿼드러처 RF와 LO를 가지게 되는 것을 특징으로 한다.

[64] 더 나아가, 제1 스테이지 믹서는 두 가지 동작 모드를 가지는데, DC-10GHz 밴드를 위하여 전치부는 단지 하향 변환 없이 입력 신호를 증폭만 하게 되므로, 후치부의 제1 스테이지 믹서는 제1 하향 변환을 하며, 쿼드러처 LO만 가지는 I/Q 믹서로서 동작하고, 다른 밴드들(10GHz-40GHz)을 위하여 전치부는 단일 스테이지 믹싱이나 2개 스테이지의 반복적인 하향 변환을 수행하므로, 후치부의 제1 스테이지 믹서는 이중 쿼드러처 믹싱을 수행하도록 동작하는 것을 특징으로 한다.

[65] 더 나아가, 4단의 직렬 후치부의 각 스테이지는 인터 스테이지 버퍼, 스위치 및 믹서 중 어느 하나 이상을 포함하여 구성되는 것을 특징으로 한다.

[66] 더 나아가, 상기 광대역 수신기는 주파수 분배부를 더 포함하며, 상기 주파수 분배부에 포함되는 주파수 합성기는 광대역 지원이 불필요하며 단일 주파수, 즉 40GHz의 기준 주파수를 생성하고, 40GHz의 기준 주파수를 2로 나누는 동작을 수행하는 6단으로 된 주파수 분배기가 생성하는 기준 주파수(20GHz, 10GHz, 5GHz, 2.5GHz, 1.25GHz, 0.625GHz)를 통해 수신기 내의 각단의 믹서들을 지원하는 것을 특징으로 한다.

[67]

[68] 본 발명의 일 실시예에 따른 광대역 수신기의 수신방법에 있어서, 오프칩 모듈이 입력 스펙트럼을 인접하는 동일 거리의 서브 밴드별로 주파수 필터링을 수행하는 오프칩처리단계, 전치부가 복수의 경로에 대응하는 전치부 모듈을 이용하여, 오프칩모듈로부터 수신된 서브 밴드들을 동일한 주파수 레인지에 매핑하는 전치부처리단계 및 후치부가 복수의 반복적인 하향 변환기를 이용하여, 전치부로부터 수신된 주파수 레인지를 하향 변환하여 채널을 선택하는 후치부처리단계를 포함하는 것을 특징으로 한다.

[69] 더 나아가, 상기 전치부처리단계는 DC-40GHz의 광대역 주파수를 4개의 병렬 전치부에서 분담하게 되며, DC-10GHz 입력 밴드를 위하여 전치부는 단지 하향 변환 없이 입력 신호를 증폭만 하고, 다른 밴드들(10GHz-40GHz)을 위하여 전치부는 단일 스테이지 믹싱이나 2개 스테이지의 반복적인 하향 변환을 수행하는 것을 특징으로 한다.

[70] 더 나아가, 상기 4개의 병렬 전치부 중 최상위 경로는 30-40GHz 동작 LNA와 두 개의 믹서를 요구하는데, 두 개의 믹서들은 LO(Local Oscillator) 주파수 20GHz와 10GHz 믹서로서 신호를 DC-10GHz 대역폭으로 하향변환을 하게 되고, 두 번째 경로는 20-30GHz 동작 LNA와 한 개의 믹서를 요구하는데, 한 개의 믹서는 LO 주파수 20GHz 믹서로서 신호를 DC-10GHz 대역폭으로 하향변환을 하게 되며,

세 번째 경로는 10-20GHz 동작 LNA와 한 개의 믹서를 요구하는데, 한 개의 믹서는 LO 주파수 10GHz 믹서로서 신호를 DC-10GHz 대역폭으로 하향변환을 하게 되고, 네 번째 경로는 DC-10GHz 동작 LNA를 요구하는데, 하향 변환 없이, 저잡음증폭을 수행한 신호는 DC-10GHz 대역폭을 가지게 되는 것을 특징으로 한다.

- [71] 더 나아가, 상기 광대역 수신기의 입력 주파수 대역폭이 BW일 경우, 전치부는 M개의 병렬 밴드로 분할이 되며, 후치부에 입력되는  $\frac{BW}{M}$ 의 주파수 대역은

N단의 직렬 후치부를 통해 Zero-IF 변환을 수행하게 되는 것을 특징으로 한다.

- [72] 더 나아가, 후치부의 지원 채널 개수는 N단의 직렬 후치부인 경우  $2^{(N-1)}$  채널이 되며, M개의 병렬 전치부와 함께 광대역 수신기는  $M * 2^{(N-1)}$ 개의 채널을 지원하는 것을 특징으로 한다.

- [73] 더 나아가, 후치부처리단계는 상기 광대역 수신기가 DC-40GHz의 주파수를 지원하기 위해 후치부는 반복적인 하향 변환을 수행하는 4단의 직렬 후치부를 가지게 되며, 후치부에 입력되는 DC-10GHz의 공통 주파수는 4단의 직렬 후치부를 통해 Zero-IF 변환을 수행하게 되는 것을 특징으로 한다.

[74]

### 발명의 효과

- [75] 이상에서 설명한 바와 같이, 본 발명의 직렬과 병렬 채널화를 이용한 광대역 수신기 및 그 수신방법은 하나의 고정된 주파수 합성기(LO)를 사용하면서 광대역 입사 스펙트럼(incident spectrum)을 다중 채널들로 분해하고 빠른 스위칭 시간을 성취한다. 제안된 채널화된 수신기의 주요 특징으로는 병렬 대역 분할(parallel band partition)과 직렬 채널 선택(series channel selection)을 통하여 광대역 주파수 스펙트럼을 분해하는 것이다.

- [76] 또한 본 발명은 빠른 탐색속도 및 광대역 주파수 스캐닝을 위한 채널화(channelization) 수신기 아키텍처로서, 전치부는 병렬 채널화를 적용하며 후치부는 직렬채널화를 적용한다. 채널에 따른 상향/하향 주파수 변환을 통해 광대역 수신을 실현한다. 주파수 합성기의 주파수 변화가 아닌 채널별 스위칭 변화를 통한 빠른 탐색속도를 실현한다.

- [77] 본 발명은 채널 적응형 송수신 시스템(Cognitive Radio), 소프트웨어 정의형 송수신 시스템(Software Defined Radio), 및 군용 전자전장비(Electronic Warfare Device)에 적용할 수 있다. 본 발명은 전량 수입되는 고가의 전자전 수신기 성능향상 및 국산화에 기여하고, 한편, 현재의 수신기는 모듈 방식으로 소모 전력이 상당하며 시스템 사이즈도 매우 크지만, 집적 회로 방식의 구현을 통해 단일칩화, 저전력, 경량화 가능하며, 차세대 이동통신의 핵심 요소 기술이 될 것이다. 본 발명은 광대역 RF 수신기 IC 솔루션 통해 군용 전자전 지원책,

정보수집 혹은 다중안테나 기반 스펙트럼 센싱에 필요한 민수용/군용 차세대 이동통신에 광범위 적용가능하고, 다중 대역의 기저대역/RF/안테나 일체형 모듈과 소형셀 중심의 백홀 네트워크 기반 기지국에 활용될 수 있다.

[78]

### 도면의 간단한 설명

[79] 도 1은 RF 채널화를 위한 주파수 합성기 기반 단일 채널(단일 경로) 광대역 수신기 구조도를 나타낸다.

[80] 도 2는 RF 채널화를 위한 주파수 합성기 기반 다수 채널(병렬 경로) 광대역 수신기 구조도를 나타낸다.

[81] 도 3은 싱글 사이드밴드(single-sideband) 하향 변환을 위한 캐스케이드된 믹서를 나타낸 것이다.

[82] 도 4는 시퀀셜 채널화기(sequential channelizer)를 가진 광대역 수신기의 블록 다이어그램을 나타낸 것이다.

[83] 도 5는 동시 채널화기(concurrent channelizer)를 가진 광대역 수신기의 블록 다이어그램을 나타낸 것이다.

[84] 도 6은 시스템 요구사항에 기초한 순차적인 DC-40GHz 채널화 수신기 구조의 일 예를 보여준다.

[85] 도 7은 본 발명의 일 실시예에 따른 광대역 채널화 수신기의 구성도를 나타낸 것이다.

[86] 도 8은 본 발명에 따른 오프칩모듈의 구성도를 도시한 것이다.

[87] 도 9는 본 발명에 따른 전치부의 구성도를 도시한 것이다.

[88] 도 10은 본 발명에 따른 후치부의 구성도를 도시한 것이다.

[89] 도 11은 본 발명에 따른 주파수 분배부의 구성도를 도시한 것이다.

[90] 도 12는 후치부 단위 셀(unit cell)의 구성도의 일 실시예를 나타낸 것이다.

[91] 도 13은 본 발명의 다른 일 실시예에 따른 광대역 채널화 수신기의 수신방법을 도시한 것이다.

[92]

### 발명의 실시를 위한 최선의 형태

[93] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 그러나 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변환, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.

[94] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게

다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "구성된다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[95]

[96] 도 7은 본 발명의 일 실시예에 따른 DC-40GHz 채널화 수신기의 구성도를 나타낸 것이다. 본 발명의 광대역 채널화 수신기는 구현하고자 하는 무선통신시스템의 규격 요구사항의 필요에 따라 DC부터 수 GHz 또는 DC부터 수십 GHz의 주파수를 지원가능하고, 병렬 전치부도 M개, 직렬 후치부도 N개를 지원할 수 있으며, 여기서 M, N은 자연수로서 복수개를 의미한다. 상기 채널화 수신기의 입력 주파수 대역폭이 BW일 경우, 전치부는 M개의 병렬 밴드로 분할이 되며, 후치부에 입력되는

$$\frac{BW}{M}$$

후치부를 통해 Zero-IF 변환을 수행하게 된다. 후치부의 지원 채널 개수는 N단의 직렬 후치부인 경우  $2^{(N-1)}$  채널이 되며, M개의 병렬 전치부와 함께 채널화 수신기는  $M * 2^{(N-1)}$ 개의 채널을 지원하게 된다.

[97]

도 7에서는 본 발명에 대한 설명상 편의를 위해 DC-40GHz의 주파수 지원, 4개의 병렬 전치부 및 4단의 직렬 후치부를 지원하는 것을 가정하여 설명하도록 하나, 본 발명이 이에 한정되는 것은 아니다. DC-40GHz는 일 실시예에 불과하고, 채널화 수신기는 주파수 대역을 더 넓게, 또는 더 좁게도 지원할 수 있으며, 이는 본 발명의 기술 분야의 통상의 기술자에게 자명한 것이다. DC는 Direct Current, 즉 직류 혹은 0Hz의 주파수를 의미하지만, 또한 통상의 기술자의 필요에 따라 DC 대신 수십MHz 이하, 가령, 20MHz이하의 저주파수로 대체될 수도 있다. 이에 따라 채널화 수신기는 예로 20MHz-40GHz를 지원할 수도 있으며, 그 하한과 상한은 요구되는 무선통신시스템의 시스템 규격 요구사항에 따라 달라질 수 있으며, 이는 통상의 기술자에게 단순설계 선택사항에 불과하다. 도 7에서 DC-40GHz의 주파수를 지원하는 것을 가정하고 있으나 이는 본 발명의 이해를 돕기 위한 일 실시예에 불과하고, 이에 본 발명이 한정되는 것은 아니다.

[98]

[99]

본 발명의 일 실시예에 따른 광대역 채널화 수신기는 입력 스펙트럼을 인접하는 동일 거리의 서브 밴드별로 주파수 필터링을 수행하는 오프칩 모듈; 복수의 경로에 대응하는 전치부 모듈을 이용하여, 오프칩모듈로부터 수신된 서브 밴드들을 동일한 주파수 레인지에 매핑하는 전치부; 및 복수의 반복적인 하향 변환기를 이용하여, 전치부로부터 수신된 매핑된 주파수 레인지를 하향 변환하여 채널을 선택하는 후치부;를 포함할 수 있다. 상기 입력 스펙트럼은 DC-40GHz 대역폭 또는 20MHz-40GHz 대역폭이며, 서브밴드는 10GHz 동작

대역폭이며, 주파수 필터링을 위해 오프칩 모듈은 3개의 밴드통과 필터와 1개의 저역통과 필터로 구성될 수 있다. 상기 전치부는 DC-40GHz의 광대역 주파수를 4개의 병렬 전치부에서 분담하게 되며, DC-10GHz 입력 밴드를 위하여 전치부는 단지 하향 변환 없이 입력 신호를 증폭만 하고, 다른 밴드들(10GHz-40GHz)을 위하여 전치부는 단일 스테이지 믹싱이나 2개 스테이지의 반복적인 하향 변환을 수행한다.

[100] 도 7에서 보듯이 본 발명의 채널화 수신기는 직렬 채널화와 병렬 채널화를 함께 이용하는 채널화 수신기 구조를 갖는다. 채널화 수신기의 전치부(front end)는 입력 스펙트럼을 인접하는 동일 거리(간격)의 서브 밴드(대역)들로 분해하는데, 서브 밴드들은 동일한 주파수 스펙트럼에 매핑 된다. 후치부(back end)는 기본적으로 반복적인 하향 변환기이며 채널화를 완성한다. 제안된 수신기 구조는 2차원 공간에서 주파수 분해를 수행하고, 그래서 동작 대역폭을 증가시킨다. 각 서브 밴드는 채널화 수신기의 분리된 전치부와 함께 최적화되며 이전에 공지된 종래의 방법들 보다 더 나은 이익을 제공할 수 있다.

[101] 제안된 채널화 수신기의 시스템 구조를 먼저 설명한다. 군사 영역에서 CR의 상대로서 전자전(EW, Electronic Warfare) 수신기는 높은 다이내믹 레인지를 가지고 빠른 주파수 스펙트럼 분석을 요구한다. 본 발명에서는 전자적 정보수집(Electronic intelligence gathering)을 성취하기 위하여 차세대 EW 수신기를 지원하기 위해 > 1GHz 스펙트럼 분석 대역폭을 가지는 DC-40GHz 광대역 채널화 수신기를 제안하며, 대역폭은 DC-40GHz 보다 더 넓거나 좁거나 할 수 있다. 본 수신기를 위한 목표 민감도와 다이내믹 레인지는 각각 70dBm과 50dB가 될 수 있다. 상기 수신기에 있어서 이득 제어의 도움을 받는다면, 전체 시스템은 70dBm부터 +10dBm까지 동작하게 될 수 있다.

[102] 제안된 채널화 수신기는 베이스밴드 복조를 위하여 제로-IF(zero-IF) 토폴로지를 채택한다. > 1GHz 스펙트럼 분석 대역폭을 가지고 DC부터 40GHz까지 주파수 동작을 위해서는 채널의 개수가 40개 이하가 되도록 해야 한다. 그래서 반복적인 하향 변환 과정의 이진 주파수 스케일링에 기인하여 32 채널이 선택된다. I/Q 처리를 수행하기 위하여 6개( $\log_2(32)+1$ )의 하향 변환이 요구된다. PLL은 40GHz에서의 동작만 필요하고, 주파수 분배기 체인은 분주기 2의 연속적인 반복수행으로 20GHz부터 0.625GHz까지 생성한다. 베이스밴드에서 I/Q 처리와 함께 분석 대역폭은 총 1.25GHz가 되는데, 이것은 > 1GHz 목표 대역폭을 만족시킨다.

[103]

[104] 도 6은 시스템 요구사항에 기초한 순차적인 DC-40GHz 채널화 수신기 구조의 일 예를 보여준다. 이 접근법의 병목현상은 DC부터 40GHz까지의 동작 대역폭을 갖는 광대역 고성능 LNA가 필요하다는데 있다. 분산 증폭기(DA, Distributed amplifier)를 이용하면 상기 요구되는 DC부터 40GHz까지 동작 대역폭을 성취할 수 있다. 그러나 DA를 구현하기 위해서는 칩의 높은 면적과 높은 전력이라는

페널티가 따른다. DA의 잡음지수(NF, noise figure)는 온칩 패시브 디바이스의 제한된 Q(quality factor)에 기인하여 나쁘다. 어떠한 전치 필터링(pre-filtering)이 없다면, LNA에 대한 선형성 요구사항은 더 높아지게 되어, 그로 인해 스펙트럼 센싱 수신기는 불충분한 다이내믹 레인지를 가지게 되는 문제가 발생한다.

[105] 도 6의 접근법에서의 전술한 문제점들을 극복하기 위하여 도 7에서 보듯이 본 발명은 직렬과 병렬 채널화를 이용하는 채널화 수신기가 제안되었다.

[106]

[107] 도 7에서 보듯이 제안된 채널화 수신기(700)는 채널 별 주파수 필터링을 위한 오프칩모듈(Off-chip module)(710), 수신기 시스템의 전치부로서 병렬 채널화 구조를 가지는 전치부(Front-end)(720), 수신기 시스템의 후치부로서 직렬 채널화 구조를 가지는 후치부(Back-end)(730) 및, 단일 주파수 합성기와 주파수 분배기를 포함하는 주파수분배부(PLL & Divider)(740)를 포함하여 구성된다.

[108]

[109] 이하에서는 도 8 내지 도 11을 참고하여 도 7의 채널화 수신기에 대해 구체적으로 설명한다. 도 8은 본 발명에 따른 오프칩모듈의 구성도를 도시한 것이다. 도 8에서 보듯이 오프칩모듈은 M개의 밴드 별 주파수 필터링을 할 수 있으며, 설명을 위한 일 실시예로서 도 8에서는 M이 4인 것을 가정하였으며, 이에 따라 오프칩모듈은 4개 밴드 별 주파수 필터링을 위한 필터 필터부(711-714), 밴드간 스위칭을 위한 스위치(SW, 715), DC-40GHz 대역의 RF 신호를 수신하는 안테나(ANT, 716)를 포함할 수 있다. 필터부(711-714)는 3개의 밴드통과 필터(711-713), 1개의 저역통과 필터(714)로 구성되는데, 오프칩모듈(710)에서는 전치 필터링 없이 광대역의 DC-40GHz 신호를 처리하는 것 대신에, 거친(coarse) 채널화(또는 밴드 분할)가 병렬 신호 체인과 함께 수행된다. 상기 필터부(711-714)들은 대역외 신호를 위한 좋은 차단(rejection)을 제공하고 전치부에 위치하는 각 경로(밴드)의 LNA와 믹서를 위한 선형성 요구사항을 완화시킨다.

[110]

[111] 도 9는 본 발명에 따른 전치부의 구성도를 도시한 것이다. 도 9에서 보듯이 본 발명의 채널화 수신기(700)는 DC-40GHz의 주파수를 지원하기 위해, 전치부(720)는 4개의 병렬 전치부를 가지게 된다. 전치부(720)에 있어서 병렬 전치부(프론트 엔드)의 수는 시스템 운용 조건을 포함하는 여러 요구사항에 의해 결정된다. 본 발명에서는 4개 밴드 섹션들이 주파수 분배부의 LO 경로에서 분주기 2의 주파수 분배기(divide-by-2 frequency divider)를 이용하기 위하여 채택된다. 추가적인 SSB 믹서나 멀티플렉서들이 요구되지는 않는다.

[112] 전치부(720)에서 각 밴드(대역)는 10GHz 동작 대역폭을 지원한다. 전치부 성능은 각 밴드 분할(segmentation)을 통해 각각의 밴드별로 최적화되어서, DC-40GHz 신호 단일 경로 전치부 솔루션보다 성능 상의 장점을 제공할 수 있다. 오프칩모듈(710)의 필터들은 대역외 신호를 위한 좋은 차단(rejection)을

제공하고 각 경로(밴드)의 LNA와 믹서를 위한 선형성 요구사항을 완화시킨다. 예를 들어, 도 9에서 DC-40GHz의 광대역 주파수를 4개의 병렬 전치부에서 분담하게 된다. DC-10GHz 입력 밴드를 위하여 전치부(720)는 하나의 LNA(724)로 구성되어, 단지 하향 변환 없이 입력 신호를 증폭만 한다. 다른 밴드들(10GHz-40GHz)을 위하여 전치부(720)는 단일 스테이지 믹싱이나 2개 스테이지의 반복적인 하향 변환을 수행한다. 보다 구체적으로, 4개의 전치부 중 최상위 경로는 30-40GHz 동작 LNA(721)와 두 개의 믹서(725,726)를 요구하는데, 두 개의 믹서들은 LO(Local Oscillator) 주파수 20GHz 믹서(725)와 10GHz 믹서(726)로서 신호를 DC-10GHz 대역폭으로 하향변환을 하게 되며, 하향변환된 신호는 후치부(730) 직렬 채널화기에 의해 추후 다루어 질 것이다. 두 번째 경로는 20-30GHz 동작 LNA(722)와 한 개의 믹서(727)를 요구하는데, 한 개의 믹서는 LO 주파수 20GHz 믹서로서 신호를 DC-10GHz 대역폭으로 하향변환을 하게 된다. 세 번째 경로는 10-20GHz 동작 LNA(723)와 한 개의 믹서를 요구하는데, 한 개의 믹서는 LO 주파수 10GHz 믹서(728)로서 신호를 DC-10GHz 대역폭으로 하향변환을 하게 된다. 네 번째 경로는 DC-10GHz 동작 LNA(724)를 요구하는데, 하향 변환 없이, 저잡음증폭을 수행한 신호는 DC-10GHz 대역폭을 가지게 된다.

[113]

[114] 도 10은 본 발명에 따른 후치부의 구성도를 도시한 것이다. 본 발명의 채널화 수신기(700)가 DC-40GHz의 주파수를 지원하기 위해 후치부(730)는 반복적인 하향 변환을 수행하는 4단의 직렬 후치부를 가지게 된다. 후치부의 각 단(스테이지, stage)은 스위치(732,734,735)와 믹서(731,733,736)를 포함하여 구성될 수 있다. 후치부에 있어서의 직렬 채널화는 종래의 접근법과 유사하게 반복적인 하향 변환과 관련된다. 후치부(730)에 입력되는 DC-10GHz의 공통 주파수는 반복적인 하향 변환을 수행하는 4단의 직렬 후치부를 통해 Zero-IF 변환을 수행하게 된다. 채널별 하향/상향 스위칭을 통해 주파수 순시(변경)가 이루어진다. 후치부(730)의 지원 채널 개수는 4단의 직렬 후치부인 경우  $2^{(4-1)} = 8$  채널이 되며, 4개의 병렬 전치부와 함께 수신기 시스템은  $4 \times 8 = 32$ 개의 채널을 지원할 수 있게 된다. 채널별 하향/상향 스위칭 분배는 [표 1]과 같다.

[115]

[116] 표 1

[圖1]

| Chan-nel | Flow  | Fhigh | 1st(20GHz) | 2nd(5GHz) | 3rd(5GHz) | 4th(2.5GHz) | 5th(1.25GHz) | 6th(0.625GHz) | Fcenter(Calculated) |
|----------|-------|-------|------------|-----------|-----------|-------------|--------------|---------------|---------------------|
| 1        | 0     | 1.25  | 0          | 0         | -1        | 1           | 1            | 1             | 0.625               |
| 2        | 1.25  | 2.5   | 0          | 0         | -1        | 1           | 1            | -1            | 1.875               |
| 3        | 2.5   | 3.75  | 0          | 0         | -1        | 1           | -1           | 1             | 3.125               |
| 4        | 3.75  | 5     | 0          | 0         | -1        | 1           | -1           | -1            | 4.375               |
| 5        | 5     | 6.25  | 0          | 0         | -1        | -1          | 1            | 1             | 5.625               |
| 6        | 6.52  | 7.5   | 0          | 0         | -1        | -1          | 1            | -1            | 6.875               |
| 7        | 7.5   | 8.75  | 0          | 0         | -1        | -1          | -1           | 1             | 8.125               |
| 8        | 8.75  | 10    | 0          | 0         | -1        | -1          | -1           | -1            | 9.375               |
| 9        | 10    | 11.25 | 0          | -1        | -1        | 1           | 1            | 1             | 10.625              |
| 10       | 11.25 | 12.5  | 0          | -1        | -1        | 1           | 1            | -1            | 11.875              |
| 11       | 12.5  | 13.75 | 0          | -1        | -1        | 1           | -1           | 1             | 13.125              |
| 12       | 13.75 | 15.   | 0          | -1        | -1        | 1           | -1           | -1            | 14.375              |
| 13       | 15    | 16.25 | 0          | -1        | -1        | -1          | 1            | 1             | 15.625              |
| 14       | 16.25 | 17.5  | 0          | -1        | -1        | -1          | 1            | -1            | 16.875              |
| 15       | 17.5  | 18.75 | 0          | -1        | -1        | -1          | -1           | 1             | 18.125              |
| 16       | 18.75 | 20    | 0          | -1        | -1        | -1          | -1           | -1            | 19.375              |
| 17       | 20    | 21.25 | -1         | 1         | -1        | 1           | 1            | 1             | 20.625              |
| 18       | 21.25 | 22.5  | -1         | 0         | -1        | 1           | 1            | -1            | 21.875              |
| 19       | 22.5  | 23.75 | -1         | 0         | -1        | 1           | -1           | 1             | 23.125              |
| 20       | 23.75 | 25    | -1         | 0         | -1        | 1           | -1           | -1            | 24.375              |
| 21       | 25    | 26.25 | -1         | 0         | -1        | -1          | 1            | 1             | 25.625              |

|    |       |       |    |    |    |    |    |    |        |
|----|-------|-------|----|----|----|----|----|----|--------|
| 22 | 26.25 | 27.5  | -1 | 0  | -1 | -1 | 1  | -1 | 26.875 |
| 23 | 27.5  | 28.75 | -1 | 0  | -1 | -1 | -1 | 1  | 28.125 |
| 24 | 28.75 | 30    | -1 | 0  | -1 | -1 | -1 | -1 | 29.375 |
| 25 | 30    | 31.25 | -1 | -1 | -1 | 1  | 1  | 1  | 30.625 |
| 26 | 31.25 | 32.5  | -1 | -1 | -1 | 1  | 1  | -1 | 31.875 |
| 27 | 32.5  | 33.75 | -1 | -1 | -1 | 1  | -1 | 1  | 33.125 |
| 28 | 33.75 | 35    | -1 | -1 | -1 | 1  | -1 | -1 | 34.975 |
| 29 | 35    | 36.25 | -1 | -1 | -1 | -1 | 1  | 1  | 35.625 |
| 30 | 36.25 | 37.5  | -1 | -1 | -1 | -1 | 1  | -1 | 36.125 |
| 31 | 37.5  | 38.75 | -1 | -1 | -1 | -1 | -1 | 1  | 38.125 |
| 32 | 38.75 | 40    | -1 | -1 | -1 | -1 | -1 | -1 | 39.375 |

[117]

[118] 표 1에서 채널에 따른 하향/상향 주파수 세팅 및 채널별 중심 주파수를 볼 수 있다. 표 1에서 보듯이 주파수 합성기의 주파수 변경이 아닌 스위치의 상태(0, +1, -1), 또는 (bypass, up, down)를 변경함에 의해 순차적 하향 변환에서의 빠른 주파수 순시(변경)가 가능하게 된다.

[119] 전치부(720)가 분해된 입력 스펙트럼을 동일한 주파수 레인지(범위)로 매칭을 한 후에는 후치부를 위한 반복적인 하향 변환은 DC-10GHz 신호의 채널화를 수행한다. DC는 직류(Direct Current)를 의미한다. 제1 스테이지(단)를 제외하고 모든 믹서들은 이중 쿼터러처 믹서(double quadrature mixer)인데, 바로 이전의 믹싱 행위(mixing action)와 분주기 2의 주파수 분배기(divide-by-2 frequency divider)에 기인하여 각각 쿼터러처 RF와 LO를 가지게 된다.

[120] 그러나 제1 스테이지의 믹서는 두 가지 동작 모드를 가진다. DC-10GHz 입력 스펙트럼(밴드)을 위하여 전치부는 단지 하향 변환 없이 입력 신호를 증폭만 한다. 그래서 후치부의 제1 스테이지 믹서는 제1 하향 변환을 수행하며, 그래서 쿼터러처 LO만 가지는 I/Q 믹서로서 동작한다. 다른 밴드들(10GHz-40GHz)을 위하여 전치부는 단일 스테이지 믹싱이나 2개 스테이지의 반복적인 하향 변환을 수행하므로, 후치부의 제1 스테이지 믹서는 이중 쿼터러처 믹싱을 수행하게 된다.

[121]

- [122] 도 11은 본 발명에 따른 주파수 분배부의 구성도를 도시한 것이다.
- [123] 도 11에서 보듯이 주파수 분배부(740)는 주파수 합성기(741)와 주파수분배기(742-747)를 포함하여 구성되는데, 주파수 합성기(741)는 광대역 지원이 불필요하며 단일 주파수, 즉 40GHz의 기준 주파수를 생성하고, 40GHz의 기준 주파수를 2로 나누는 동작을 수행하는 6단으로 된 주파수 분배기가 생성하는 기준 주파수(20GHz, 10GHz, 5GHz, 2.5GHz, 1.25GHz, 0.625GHz)를 통해 수신기 내의 각단의 혼합기(믹서)를 지원하게 된다. 상기 주파수분배기(742-747)는 단일 주파수 합성기(741)의 기준 주파수를 입력 받아, 채널화 수신기(700)의 전치부(720)와 후치부(730)에 위치하는 혼합기(믹서)들 각각에 필요한 기준 주파수를 생성하여 제공하도록 구성된다.
- [124]
- [125] 이하에서는 후치부(730)의 반복적인 하향 변환기에 대해 설명한다. 도 12는 후치부 단위 셀(unit cell)의 구성도의 일실시예를 나타낸 것이다. 도 12에서 보듯이, 후치부는 4단 또는 5단의 반복적인 하향 변환기를 포함하여 구성될 수 있는데, 각 단의 반복적인 하향 변환기는 인터 스테이지 버퍼(1001), 스위치(1002) 및 믹서(1003)를 포함하여 구성된다. 상기 인터 스테이지 버퍼(Inter-stage buffer)(1001)가 상호연결들, 채널선택 스위치들, 및 ac 커플링 커패시터들에 기인하는 손실들을 보상하기 위하여 삽입된다. 싱글 스텝(single step) 가변 이득 제어(variable gain control)가 높은 입력 신호 전력과 함께 시스템 다이내믹 레인지를 증가시키기 위하여 포함된다. 전치리부(720) LNA(front-end LNA)는 높은 전력 입력 신호에서 바이패스되는 모드를 포함하며 따라서 시스템 동적범위를 증가할 수 있다.
- [126]
- [127] 이하에서는 본 발명에 따른 광대역 채널화 수신기의 수신방법에 대해서 설명한다. 도 13은 본 발명의 다른 일 실시예에 따른 광대역 채널화 수신기의 수신방법을 도시한 것이다. 상기 수신방법은 오프칩처리단계(S100), 전치부처리단계(S200) 및 후치부처리단계(S300)를 포함하여 구성될 수 있다. 본 발명에 따른 광대역 채널화 수신기의 수신방법은 오프칩 모듈이 입력 스펙트럼을 인접하는 동일 거리의 서브 밴드별로 주파수 필터링을 수행하는 오프칩처리단계; 전치부가 복수의 경로에 대응하는 전치부 모듈을 이용하여, 오프칩모듈로부터 수신된 서브 밴드들을 동일한 주파수 레인지에 매핑하는 전치부처리단계; 및 후치부가 복수의 반복적인 하향 변환기를 이용하여, 전치부로부터 수신된 주파수 레인지를 하향 변환하여 채널을 선택하는 후치부처리단계;를 포함한다.
- [128] 상기 전치부처리단계(S200)는 DC-40GHz의 광대역 주파수를 4개의 병렬 전치부에서 분담하게 되며, DC-10GHz 입력 밴드를 위하여 전치부는 단지 하향 변환 없이 입력 신호를 증폭만 하고, 다른 밴드들(10GHz-40GHz)을 위하여 전치부는 단일 스테이지 믹싱이나 2개 스테이지의 반복적인 하향 변환을

수행한다.

- [129] 상기 전치부처리단계(S200)에 있어서, 상기 4개의 병렬 전치부 중 최상위 경로는 30-40GHz 동작 LNA와 두 개의 믹서를 요구하는데, 두 개의 믹서들은 LO(Local Oscillator) 주파수 20GHz와 10GHz 믹서로서 신호를 DC-10GHz 대역폭으로 하향변환을 하게 되고, 두 번째 경로는 20-30GHz 동작 LNA와 한 개의 믹서를 요구하는데, 한 개의 믹서는 LO 주파수 20GHz 믹서로서 신호를 DC-10GHz 대역폭으로 하향변환을 하게 되며, 세 번째 경로는 10-20GHz 동작 LNA와 한 개의 믹서를 요구하는데, 한 개의 믹서는 LO 주파수 10GHz 믹서로서 신호를 DC-10GHz 대역폭으로 하향변환을 하게 되고, 네 번째 경로는 DC-10GHz 동작 LNA를 요구하는데, 하향 변환 없이, 저잡음증폭을 수행한 신호는 DC-10GHz 대역폭을 가지게 된다.

- [130] 상기 광대역 채널화 수신기의 입력 주파수 대역폭이  $BW$ 일 경우, 전치부는  $M$ 개의 병렬 밴드로 분할이 되며, 후치부에 입력되는  $\frac{BW}{M}$ 의 주파수 대역은

$N$ 단의 직렬 후치부를 통해 Zero-IF 변환을 수행하게 된다. 또한 후치부의 지원 채널 개수는  $N$ 단의 직렬 후치부인 경우  $2^{(N-1)}$  채널이 되며,  $M$ 개의 병렬 전치부와 함께 광대역 채널화 수신기는  $M * 2^{(N-1)}$ 개의 채널을 지원한다.

- [131] 상기 후치부처리단계(S300)는 상기 광대역 수신기가 DC-40GHz의 주파수를 지원하기 위해 후치부는 4단의 직렬 후치부를 가지게 되며, 후치부에 입력되는 DC-10GHz의 공통 주파수는 4단의 직렬 후치부를 통해 Zero-IF 변환을 수행하게 된다.

[132]

- [133] 이상과 같이 본 발명에서는 구체적인 구성 소자 등과 같은 특정 사항들과 한정된 실시예 도면에 의해 설명되었으나 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것 일 뿐, 본 발명은 상기의 일 실시예에 한정되는 것이 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.

- [134] 따라서, 본 발명의 사상은 설명된 실시예에 국한되어 정해져서는 아니 되며, 후술하는 특허 청구 범위뿐 아니라 이 특허 청구 범위와 균등하거나 등가적 변형이 있는 모든 것들은 본 발명 사상의 범주에 속한다고 할 것이다.

[135]

## 청구범위

- [청구항 1] 광대역 수신기에 있어서,  
입력 스펙트럼을 인접하는 동일 거리의 서브 밴드별로 주파수 필터링을 수행하는 오프칩 모듈;  
복수의 경로에 대응하는 전치부 모듈을 이용하여, 오프칩모듈로부터 수신된 서브 밴드들을 동일한 주파수 레인지에 매핑하는 전치부; 및  
복수의 반복적인 하향 변환기를 이용하여, 전치부로부터 수신된 매핑된 주파수 레인지를 하향 변환하여 채널을 선택하는 후치부;를 포함하는 것을 특징으로 하는 광대역 수신기.
- [청구항 2] 제1항에 있어서,  
상기 전치부는 DC-40GHz의 광대역 주파수를 4개의 병렬 전치부에서 분담하게 되며, DC-10GHz 입력 밴드를 위하여 전치부는 단지 하향 변환 없이 입력 신호를 증폭만 하고, 다른 밴드들(10GHz-40GHz)을 위하여 전치부는 단일 스테이지 믹싱이나 2개 스테이지의 반복적인 하향 변환을 수행하는 것을 특징으로 하는 광대역 수신기.
- [청구항 3] 제2항에 있어서,  
상기 4개의 병렬 전치부 중 최상위 경로는 30-40GHz 동작 LNA와 두 개의 믹서를 요구하는데, 두 개의 믹서들은 LO(Local Oscillator) 주파수 20GHz와 10GHz 믹서로서 신호를 DC-10GHz 대역폭으로 하향변환을 하게 되고,  
두 번째 경로는 20-30GHz 동작 LNA와 한 개의 믹서를 요구하는데, 한 개의 믹서는 LO 주파수 20GHz 믹서로서 신호를 DC-10GHz 대역폭으로 하향변환을 하게 되며,  
세 번째 경로는 10-20GHz 동작 LNA와 한 개의 믹서를 요구하는데, 한 개의 믹서는 LO 주파수 10GHz 믹서로서 신호를 DC-10GHz 대역폭으로 하향변환을 하게 되고,  
네 번째 경로는 DC-10GHz 동작 LNA를 요구하는데, 하향 변환 없이, 저잡음증폭을 수행한 신호는 DC-10GHz 대역폭을 가지게 되는 것을 특징으로 하는 광대역 수신기.
- [청구항 4] 제1항에 있어서,  
상기 광대역 수신기의 입력 주파수 대역폭이 BW일 경우, 전치부는 M개의 병렬 밴드로 분할이 되며, 후치부에 입력되는  $\frac{BW}{M}$ 의 주파수 대역은 N단의 직렬 후치부를 통해 Zero-IF 변환을 수행하게 되는 것을 특징으로 하는 광대역 수신기.
- [청구항 5] 제4항에 있어서,

후치부의 지원 채널 개수는  $N$ 단의 직렬 후치부인 경우  $2^{(N-1)}$  채널이 되며,  $M$ 개의 병렬 전치부와 함께 광대역 수신기는  $M * 2^{(N-1)}$ 개의 채널을 지원하는 것을 특징으로 하는 광대역 수신기.

[청구항 6] 제4항에 있어서,  
전치부가 분해된 입력 스펙트럼을 동일한 주파수 레인지로 매칭을 한 후에는 후치부를 위한 반복적인 하향 변환은 DC-10GHz 신호의 채널화를 수행하며,  
상기 4단의 직렬 후치부 중 제1 스테이지를 제외하고 모든 믹서들은 이중 쿼터러처 믹서(double quadrature mixer)이며, 바로 이전의 믹싱 행위(mixing action)와 분주기 2의 주파수 분배기(divide-by-2 frequency divider)에 기인하여 각각 쿼터러처 RF와 LO를 가지게 되는 것을 특징으로 하는 광대역 수신기.

[청구항 7] 제6항에 있어서,  
제1 스테이지 믹서는 두 가지 동작 모드를 가지는데,  
DC-10GHz 밴드를 위하여 전치부는 단지 하향 변환 없이 입력 신호를 증폭만 하게 되므로, 후치부의 제1 스테이지 믹서는 제1 하향 변환을 하며, 쿼터러처 LO만 가지는 I/Q 믹서로서 동작하고,  
다른 밴드들(10GHz-40GHz)을 위하여 전치부는 단일 스테이지 믹싱이나 2개 스테이지의 반복적인 하향 변환을 수행하므로, 후치부의 제1 스테이지 믹서는 이중 쿼터러처 믹싱을 수행하도록 동작하는 것을 특징으로 하는 광대역 수신기.

[청구항 8] 제6항에 있어서,  
4단의 직렬 후치부의 각 스테이지는 인터 스테이지 버퍼, 스위치 및 믹서 중 어느 하나 이상을 포함하여 구성되는 것을 특징으로 하는 광대역 수신기.

[청구항 9] 제1항에 있어서,  
상기 광대역 수신기는 주파수 분배부를 더 포함하며,  
상기 주파수 분배부에 포함되는 주파수 합성기는 광대역 지원이 불필요하며 단일 주파수, 즉 40GHz의 기준 주파수를 생성하고, 40GHz의 기준 주파수를 2로 나누는 동작을 수행하는 6단으로 된 주파수 분배기가 생성하는 기준 주파수(20GHz, 10GHz, 5GHz, 2.5GHz, 1.25GHz, 0.625GHz)를 통해 수신기 내의 각단의 믹서들을 지원하는 것을 특징으로 하는 광대역 수신기.

[청구항 10] 광대역 수신기의 수신방법에 있어서,  
오프칩 모듈이 입력 스펙트럼을 인접하는 동일 거리의 서브 밴드별로 주파수 필터링을 수행하는 오프칩처리단계;  
전치부가 복수의 경로에 대응하는 전치부 모듈을 이용하여,  
오프칩모듈로부터 수신된 서브 밴드들을 동일한 주파수 레인지에

매핑하는 전치부처리단계; 및  
 후치부가 복수의 반복적인 하향 변환기를 이용하여, 전치부로부터  
 수신된 주파수 레인을 하향 변환하여 채널을 선택하는  
 후치부처리단계;를 포함하는 것을 특징으로 하는 광대역 수신기의  
 수신방법.

[청구항 11] 제10항에 있어서,  
 상기 전치부처리단계는 DC-40GHz의 광대역 주파수를 4개의 병렬  
 전치부에서 분담하게 되며, DC-10GHz 입력 밴드를 위하여 전치부는 단일  
 하향 변환 없이 입력 신호를 증폭만 하고, 다른 밴드들(10GHz-40GHz)을  
 위하여 전치부는 단일 스테이지 믹싱이나 2개 스테이지의 반복적인 하향  
 변환을 수행하는 것을 특징으로 하는 광대역 수신기의 수신방법.

[청구항 12] 제11항에 있어서,  
 상기 4개의 병렬 전치부 중 최상위 경로는 30-40GHz 동작 LNA와 두 개의  
 믹서를 요구하는데, 두 개의 믹서들은 LO(Local Oscillator) 주파수  
 20GHz와 10GHz 믹서로서 신호를 DC-10GHz 대역폭으로 하향변환을  
 하게 되고,  
 두 번째 경로는 20-30GHz 동작 LNA와 한 개의 믹서를 요구하는데, 한  
 개의 믹서는 LO 주파수 20GHz 믹서로서 신호를 DC-10GHz 대역폭으로  
 하향변환을 하게 되며,  
 세 번째 경로는 10-20GHz 동작 LNA와 한 개의 믹서를 요구하는데, 한  
 개의 믹서는 LO 주파수 10GHz 믹서로서 신호를 DC-10GHz 대역폭으로  
 하향변환을 하게 되고,  
 네 번째 경로는 DC-10GHz 동작 LNA를 요구하는데, 하향 변환 없이,  
 저잡음증폭을 수행한 신호는 DC-10GHz 대역폭을 가지게 되는 것을  
 특징으로 하는 광대역 수신기의 수신방법.

[청구항 13] 제10항에 있어서,  
 상기 광대역 수신기의 입력 주파수 대역폭이 BW일 경우, 전치부는  
 M개의 병렬 밴드로 분할이 되며, 후치부에 입력되는  $\frac{BW}{M}$ 의 주파수

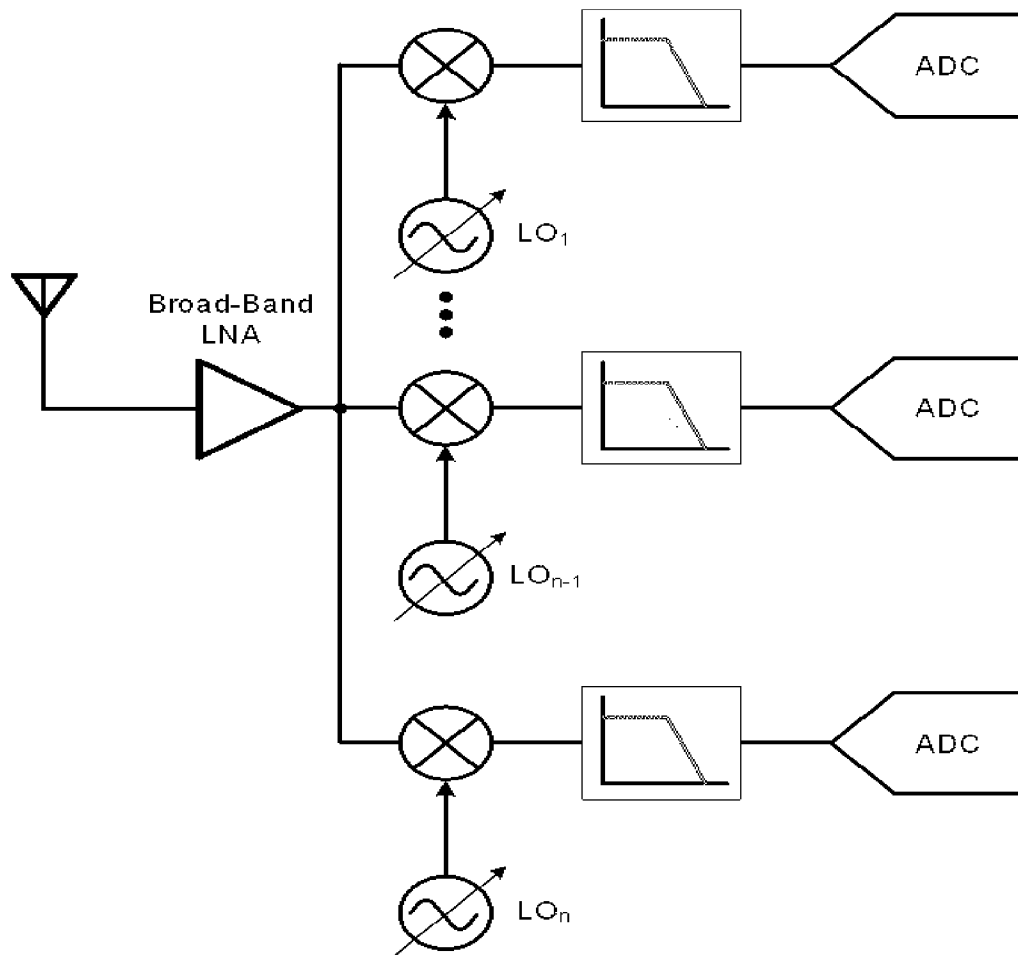
대역은 N단의 직렬 후치부를 통해 Zero-IF 변환을 수행하게 되는 것을  
 특징으로 하는 광대역 수신기의 수신방법.

[청구항 14] 제13항에 있어서,  
 후치부의 지원 채널 개수는 N단의 직렬 후치부인 경우  $2^{(N-1)}$  채널이 되며,  
 M개의 병렬 전치부와 함께 광대역 수신기는  $M * 2^{(N-1)}$ 개의 채널을  
 지원하는 것을 특징으로 하는 광대역 수신기의 수신방법.

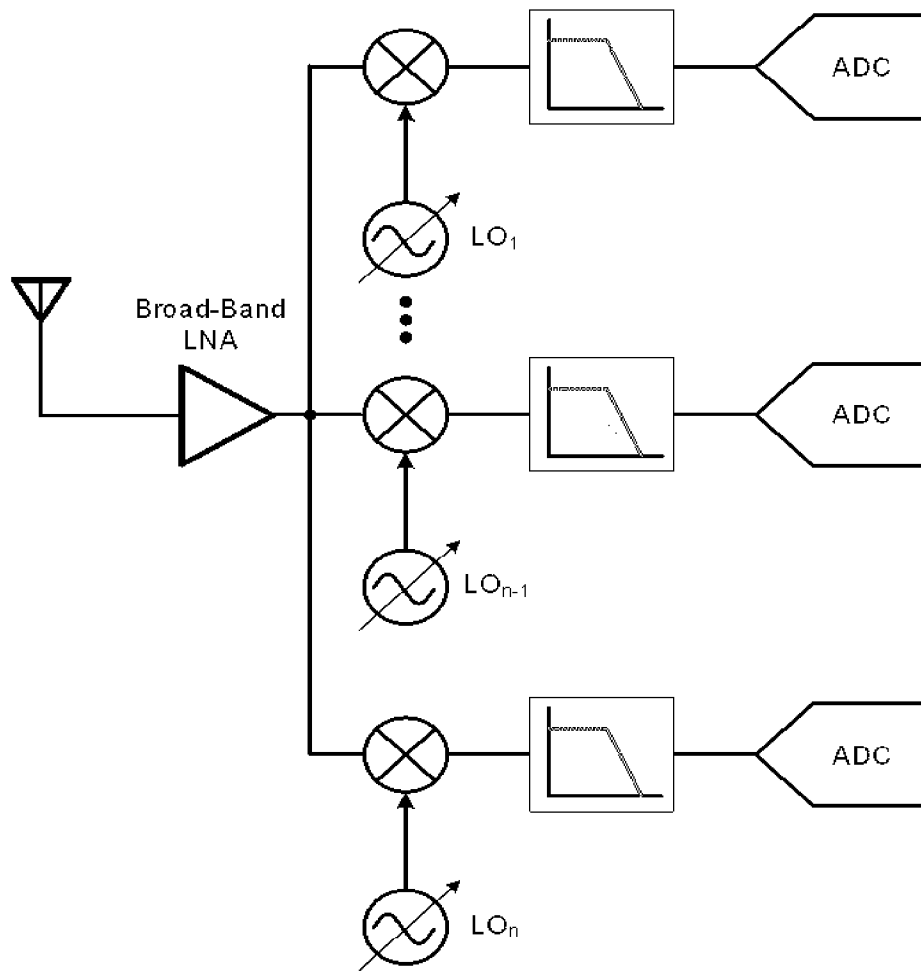
[청구항 15] 제10항에 있어서,  
 후치부처리단계는 상기 광대역 수신기가 DC-40GHz의 주파수를

지원하기 위해 후치부는 반복적인 하향 변환을 수행하는 4단의 직렬 후치부를 가지게 되며, 후치부에 입력되는 DC-10GHz의 공통 주파수는 4단의 직렬 후치부를 통해 Zero-IF 변환을 수행하게 되는 것을 특징으로 하는 광대역 수신기의 수신방법.

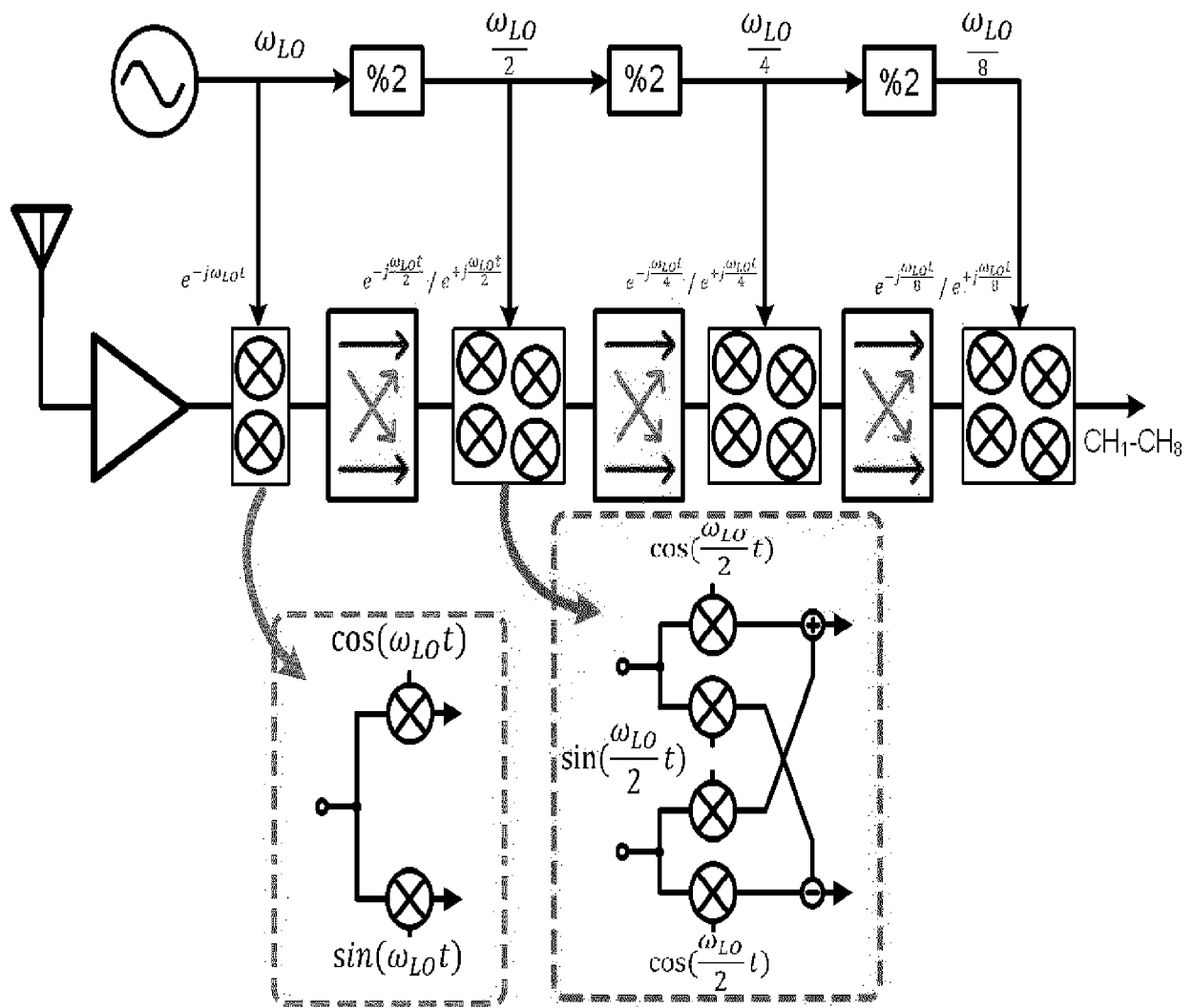
[도1]



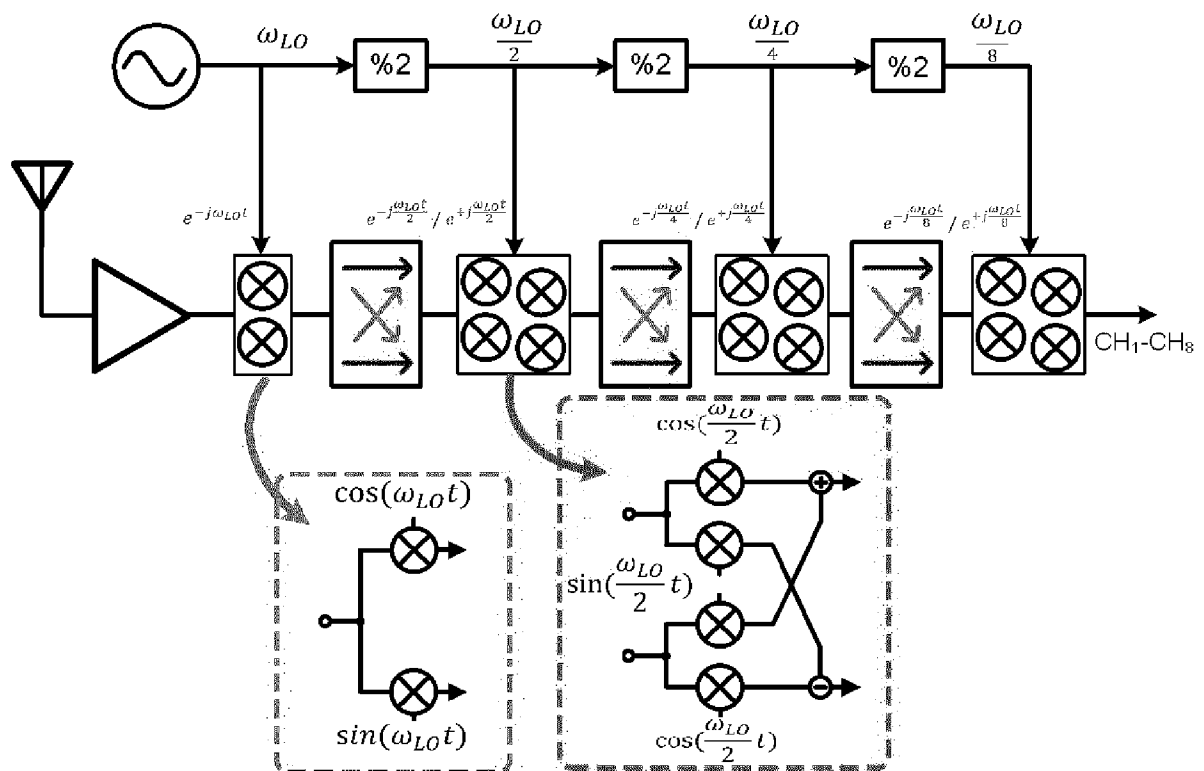
[도2]



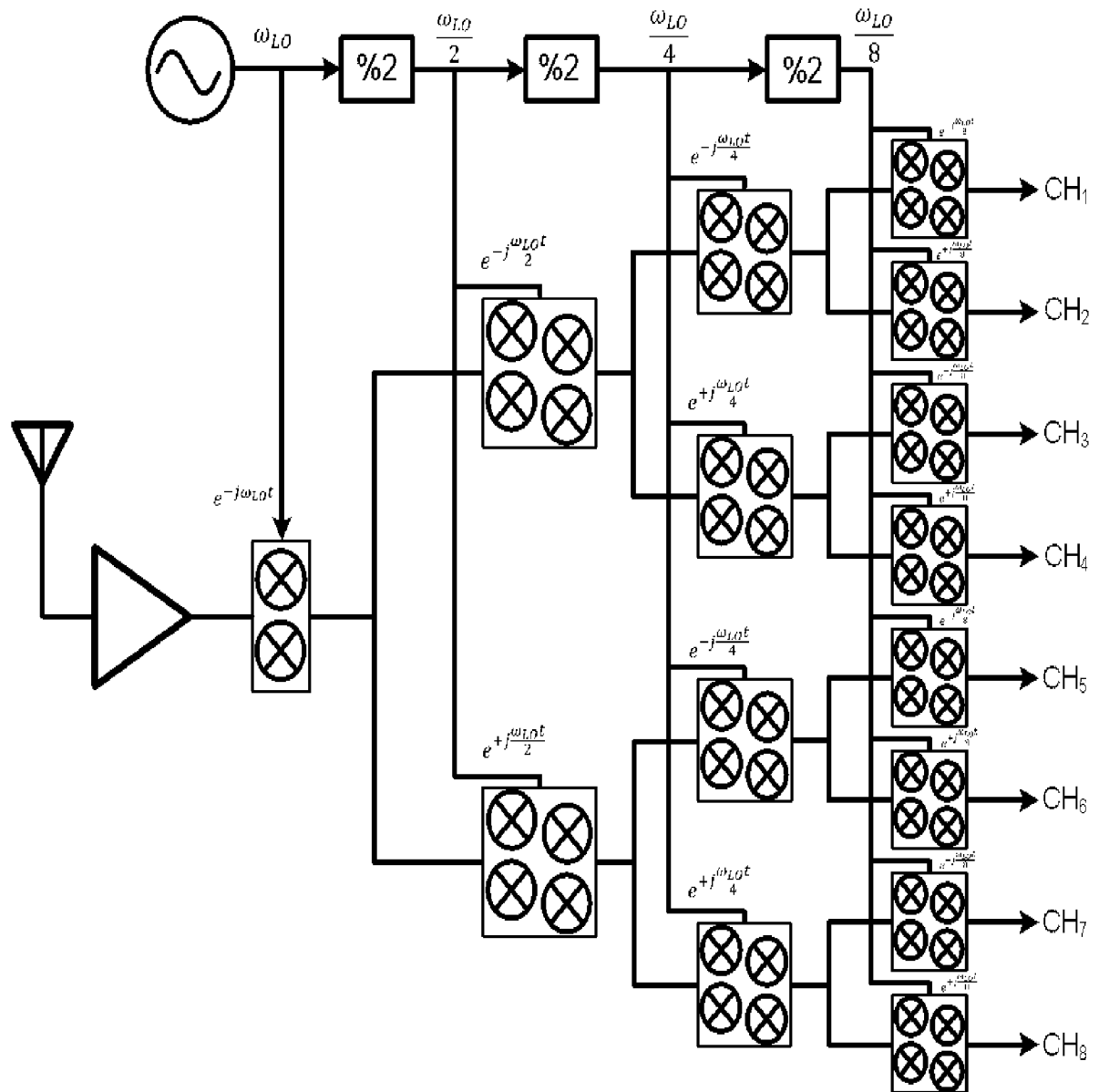
[도3]



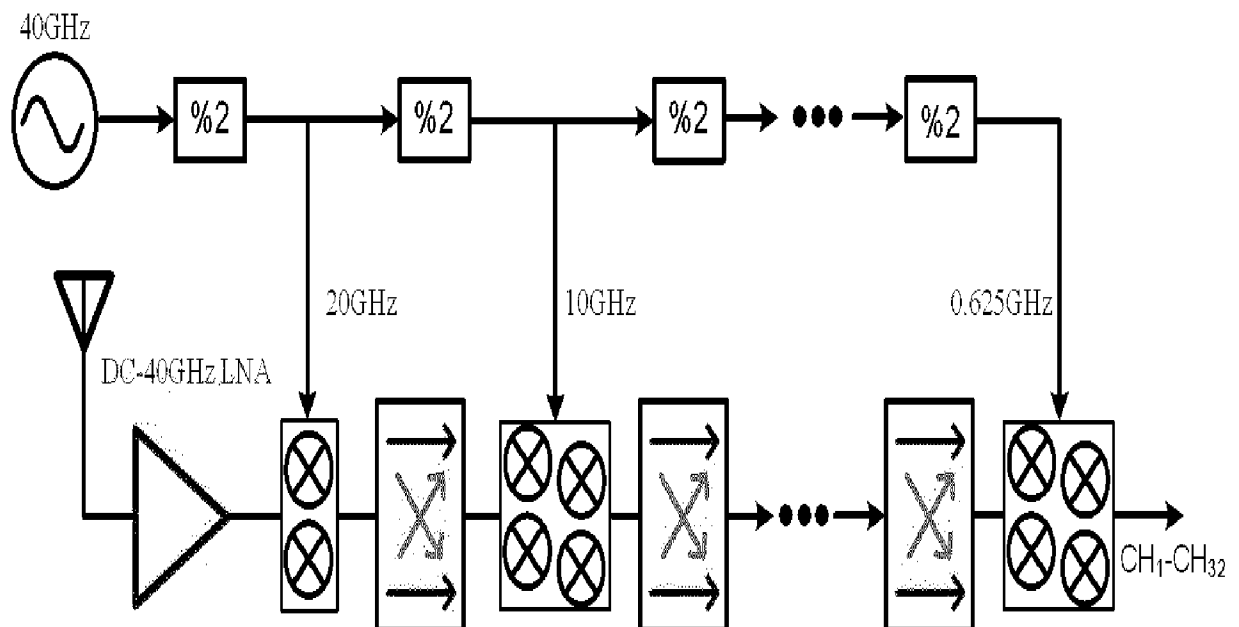
[도4]



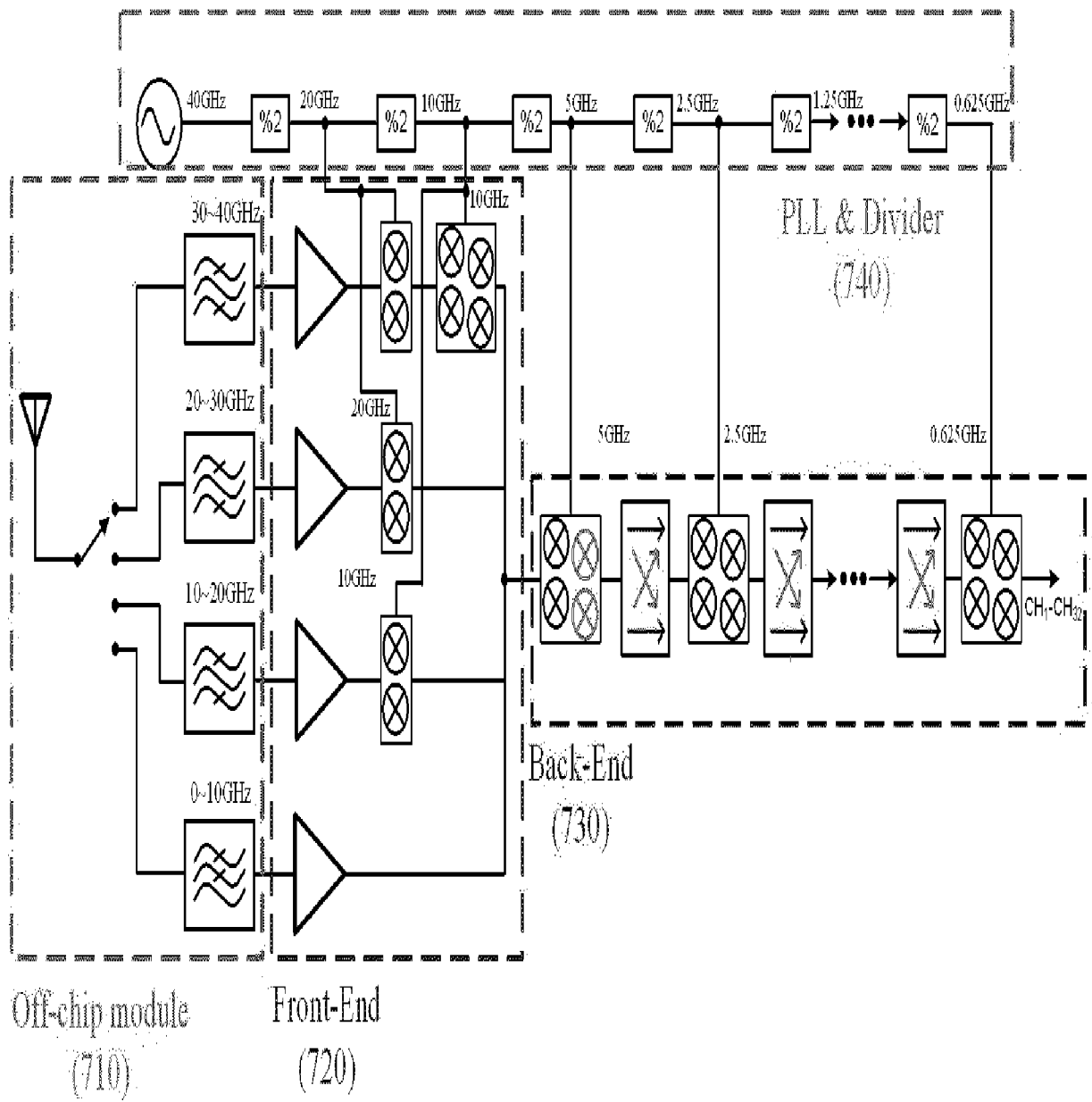
[도5]



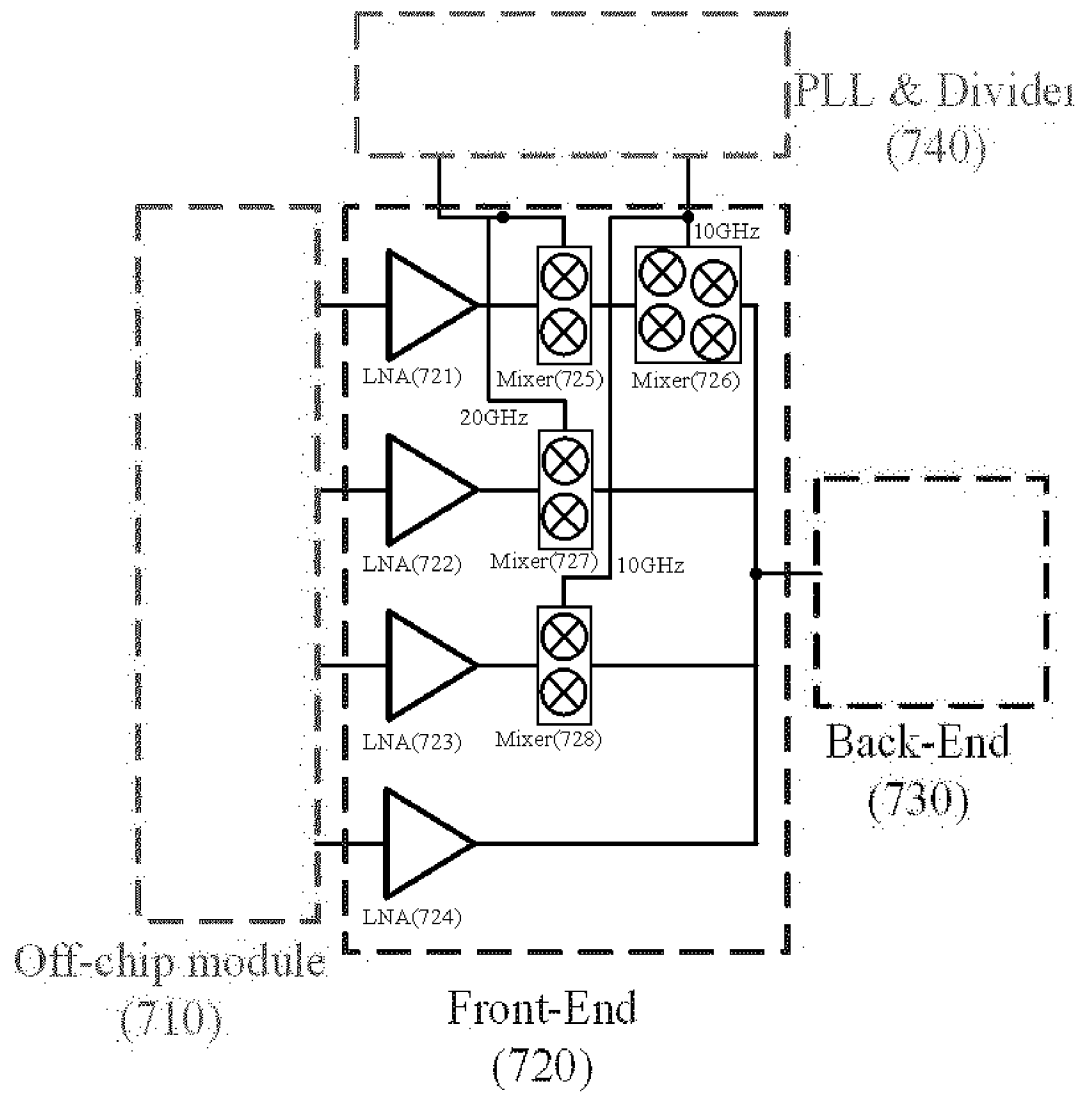
[도6]



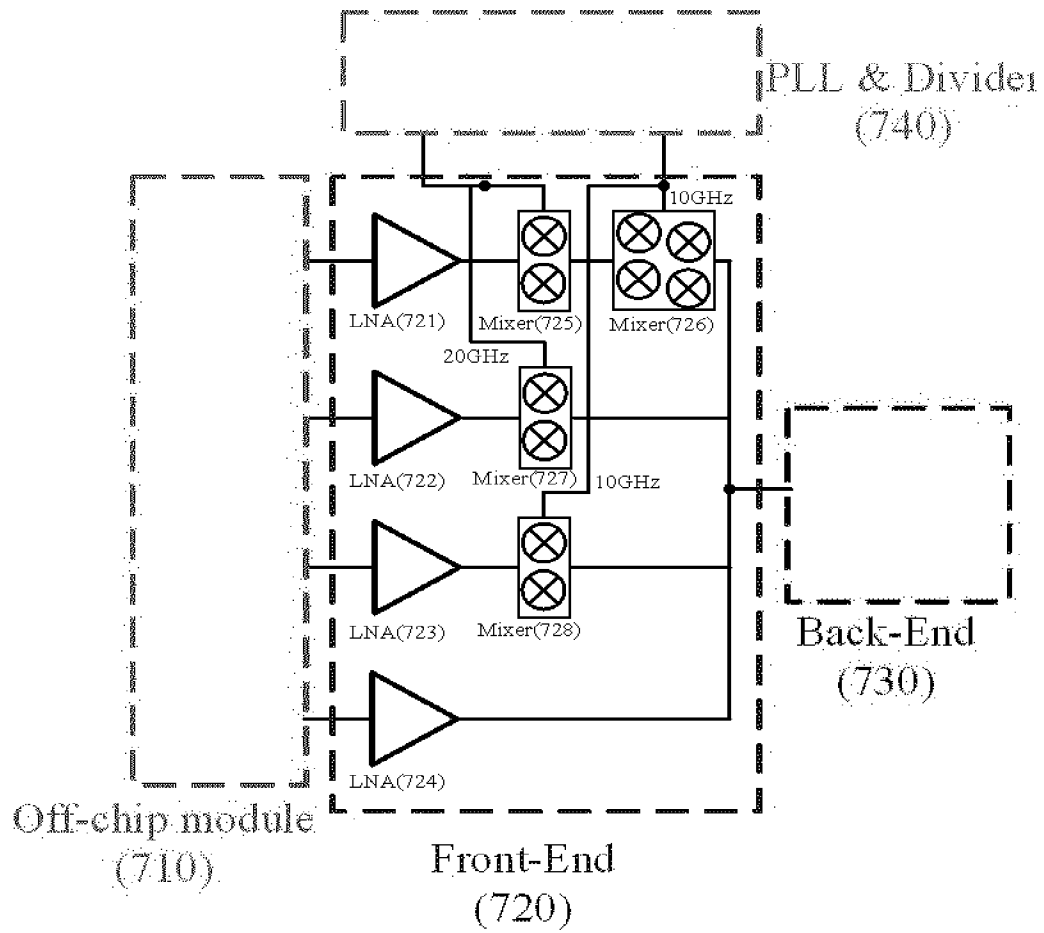
[도7]



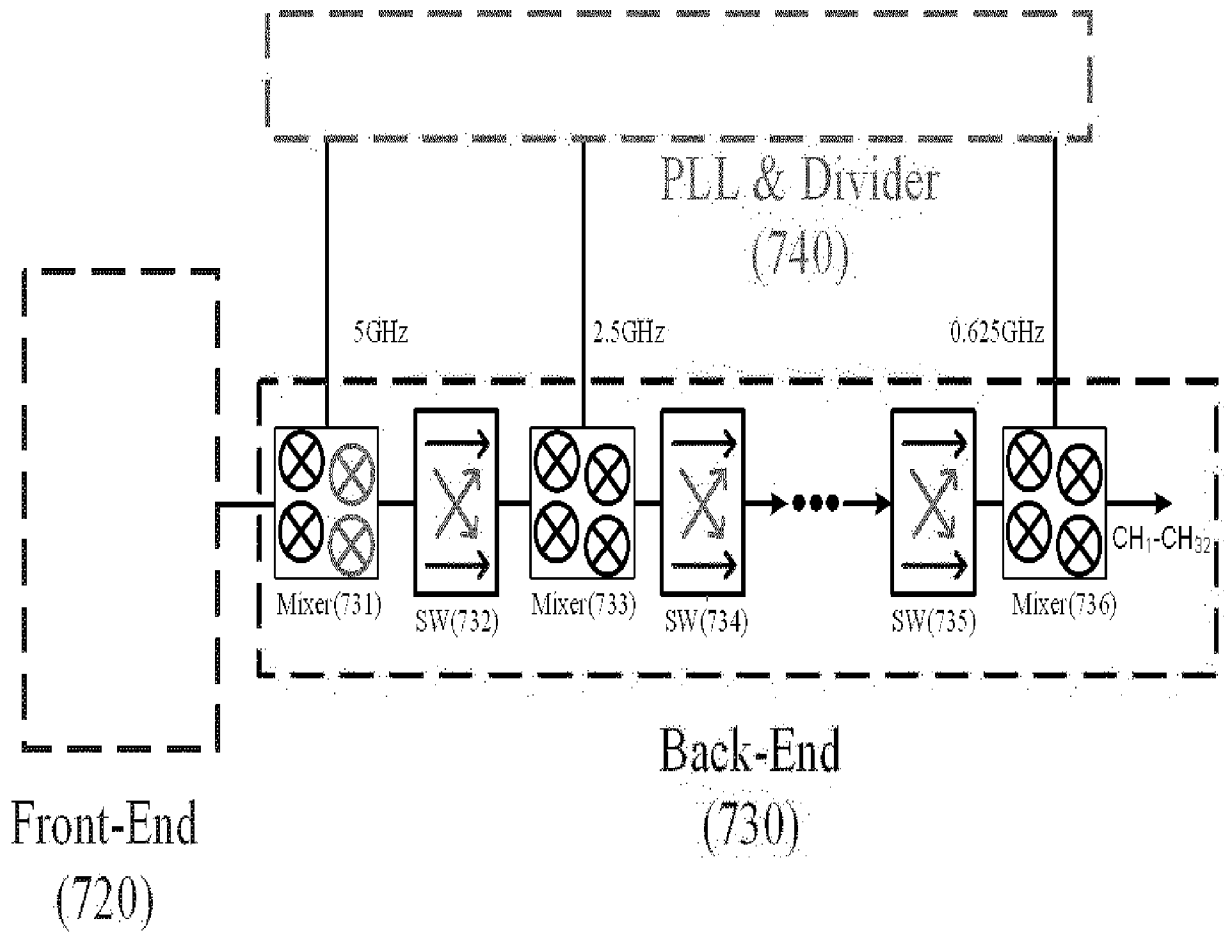
[도8]



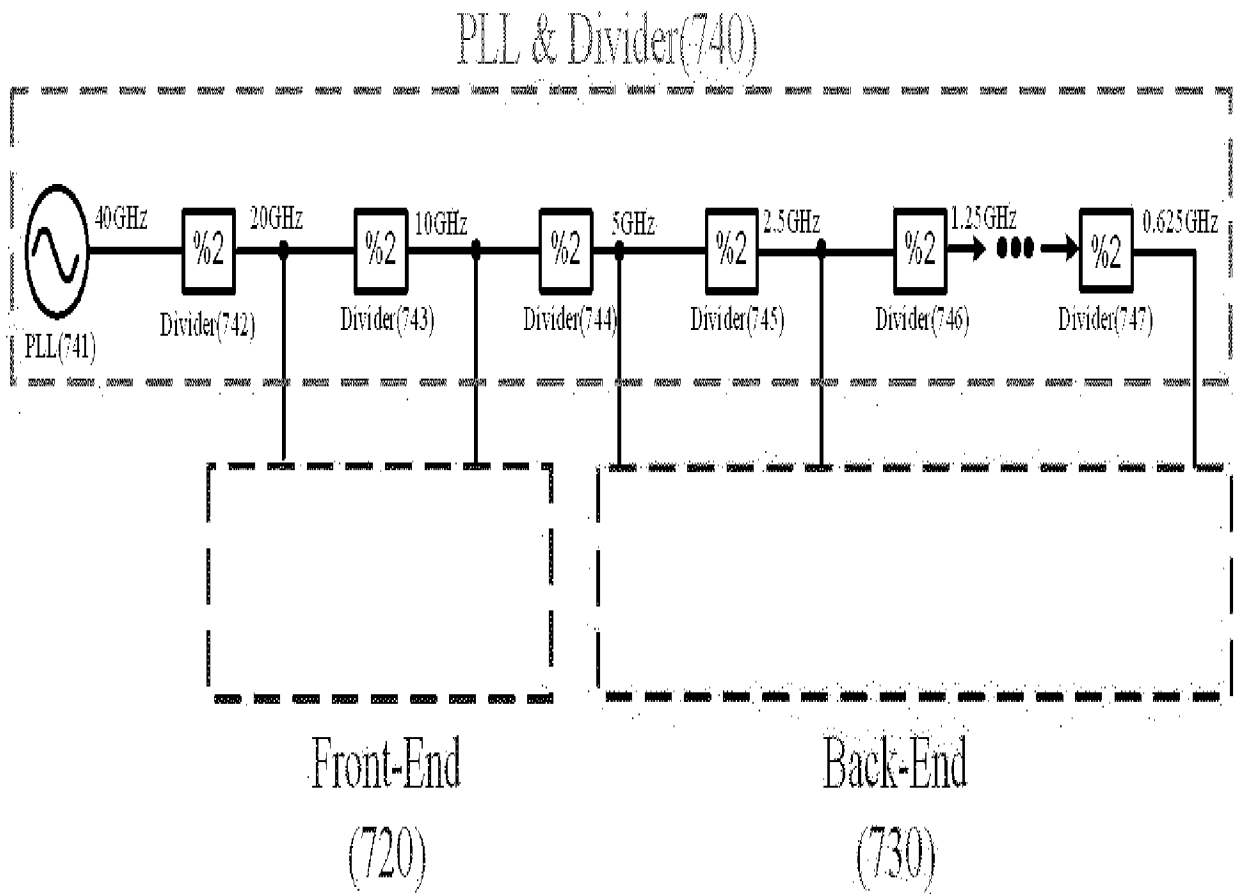
[도9]



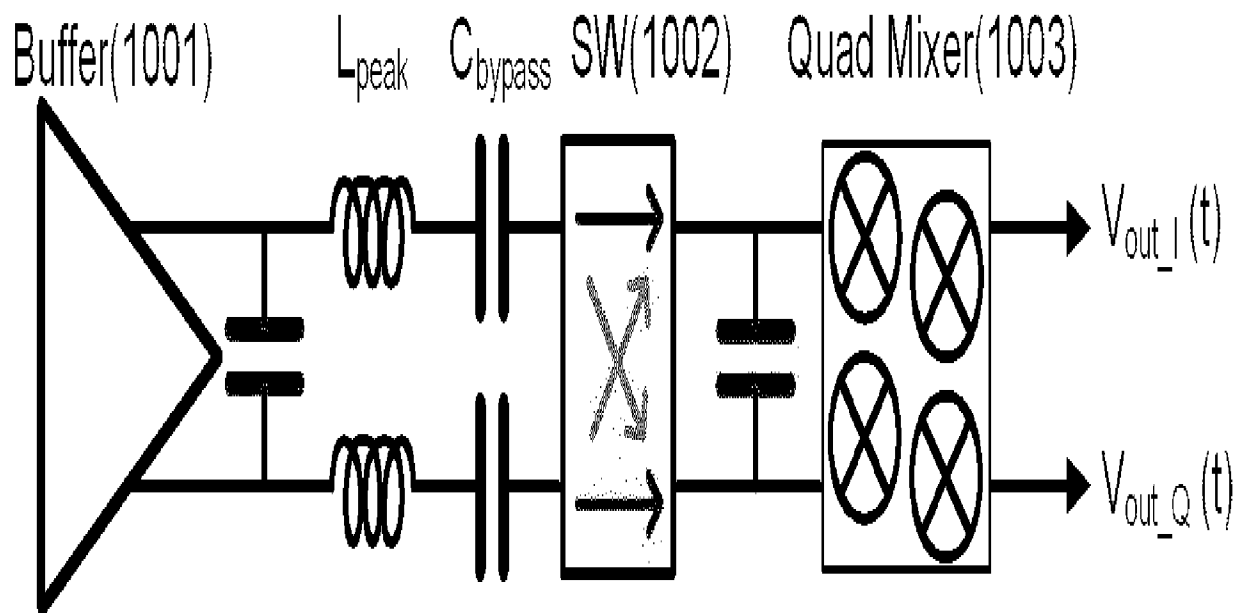
[도10]



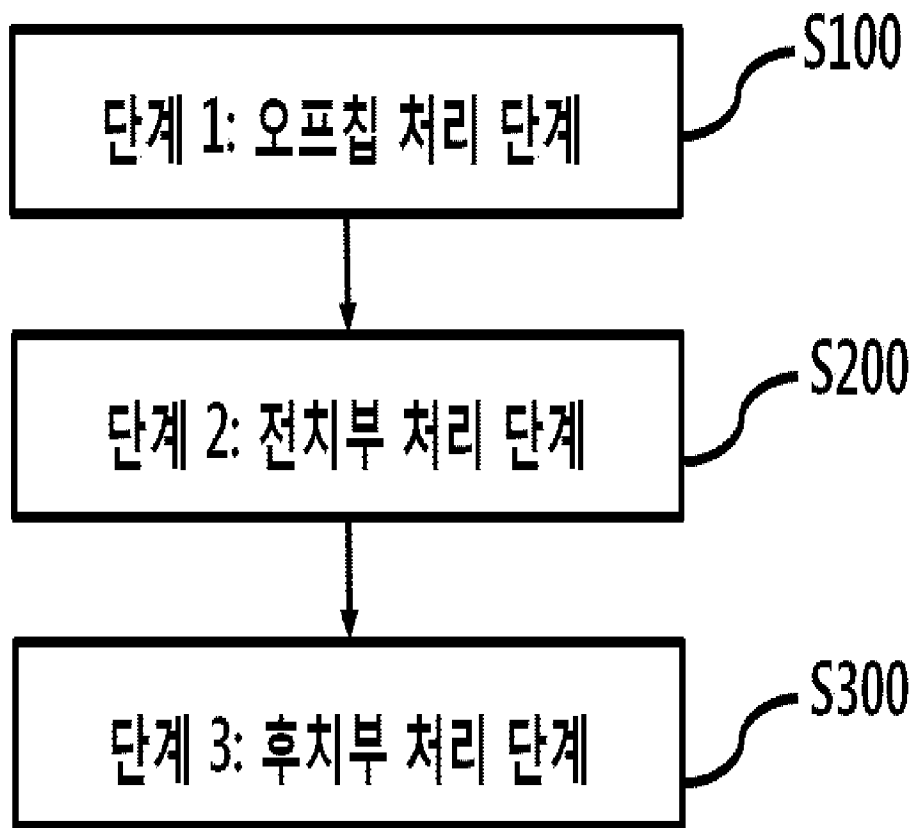
[도 11]



[도 12]



[도13]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2018/000077

## A. CLASSIFICATION OF SUBJECT MATTER

*H04B 1/16(2006.01)i, H04B 1/18(2006.01)i, H03D 7/16(2006.01)i*

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04B 1/16; H04B 1/44; H04W 88/06; H04B 1/06; H04B 1/40; H03H 9/72; H04B 1/38; H04B 1/18; H03D 7/16

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) &amp; Keywords: broadband receiver, channelization receiver, off-chip module, front end portion, rear end portion, LO(local oscillator) frequency

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                                                                                                                   | Relevant to claim No. |
|-----------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y         | TRIPURARI, Karthik et al., "RF Channelizer Architectures Using 3-way Iterative down Conversion for Concurrent or Fast-switching Spectrum Analysis", Springer Science +Business Media New York 2016, pages 185-206, 11 May 2016<br>See sections 1, 3-5; and figures 2, 3B, 6, 10, 11. | 1-15                  |
| Y         | KR 10-0539951 B1 (SAMSUNG ELECTRONICS CO., LTD.) 28 December 2005<br>See claim 1; and figure 1.                                                                                                                                                                                      | 1-15                  |
| A         | KR 10-0999376 B1 (NEXTWIL) 09 December 2010<br>See paragraphs [0007]-[0012], [0023]-[0035]; and figure 2.                                                                                                                                                                            | 1-15                  |
| A         | JP 10-290176A (SONY CORP.) 27 October 1998<br>See paragraphs [0012], [0022].                                                                                                                                                                                                         | 1-15                  |
| A         | KR 10-2010-0026646 A (LG INNOTEK CO., LTD.) 10 March 2010<br>See paragraphs [0014]-[0019]; and claim 1.                                                                                                                                                                              | 1-15                  |



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search

09 APRIL 2018 (09.04.2018)

Date of mailing of the international search report

09 APRIL 2018 (09.04.2018)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office  
Government Complex-Daejeon, 189 Sconsa-ro, Daejeon 302-701,  
Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.

**PCT/KR2018/000077**

| Patent document<br>cited in search report | Publication<br>date | Patent family<br>member | Publication<br>date |
|-------------------------------------------|---------------------|-------------------------|---------------------|
| KR 10-0539951 B1                          | 28/12/2005          | KR 10-2005-0060449 A    | 22/06/2005          |
| KR 10-0999376 B1                          | 09/12/2010          | JP 2013-514711 A        | 25/04/2013          |
|                                           |                     | US 2011-0249761 A1      | 13/10/2011          |
|                                           |                     | US 8428193 B2           | 23/04/2013          |
|                                           |                     | WO 2011-074832 A2       | 23/06/2011          |
|                                           |                     | WO 2011-074832 A3       | 10/11/2011          |
| JP 10-290176A                             | 27/10/1998          | NONE                    |                     |
| KR 10-2010-0026646 A                      | 10/03/2010          | NONE                    |                     |

**A. 발명이 속하는 기술분류(국제특허분류(IPC))**

H04B 1/16(2006.01)i, H04B 1/18(2006.01)i, H03D 7/16(2006.01)i

**B. 조사된 분야**

조사된 최소문헌(국제특허분류를 기재)

H04B 1/16; H04B 1/44; H04W 88/06; H04B 1/06; H04B 1/40; H03H 9/72; H04B 1/38; H04B 1/18; H03D 7/16

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 광대역 수신기, 채널화 수신기, 오프칩 모듈, 전치부, 후치부, LO(local oscillator) 주파수

**C. 관련 문헌**

| 카테고리* | 인용문헌명 및 관련 구절(해당하는 경우)의 기재                                                                                                                                                                                                                                   | 관련 청구항 |
|-------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------|
| Y     | KARTHIK TRIPURARI 등, 'RF channelizer architectures using 3-way iterative down conversion for concurrent or fast-switching spectrum analysis', Springer Science+Business Media New York 2016, 페이지 185-206, 2016.05.11<br>섹션 1, 3-5; 및 도면 2, 3B, 6, 10, 11 참조. | 1-15   |
| Y     | KR 10-0539951 B1 (삼성전자주식회사) 2005.12.28<br>청구항 1; 및 도면 1 참조.                                                                                                                                                                                                  | 1-15   |
| A     | KR 10-0999376 B1 ((주)넥스월) 2010.12.09<br>단락 [0007]-[0012], [0023]-[0035]; 및 도면 2 참조.                                                                                                                                                                          | 1-15   |
| A     | JP 10-290176A (SONY CORP.) 1998.10.27<br>단락 [0012], [0022] 참조.                                                                                                                                                                                               | 1-15   |
| A     | KR 10-2010-0026646 A (엘지이노텍 주식회사) 2010.03.10<br>단락 [0014]-[0019]; 및 청구항 1 참조.                                                                                                                                                                                | 1-15   |

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

\* 인용된 문헌의 특별 카테고리:

"A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

"E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

"X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

"L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

"Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

"O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

"&" 동일한 대응특허문헌에 속하는 문헌

"P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2018년 04월 09일 (09.04.2018)

국제조사보고서 발송일

2018년 04월 09일 (09.04.2018)

ISA/KR의 명칭 및 우편주소



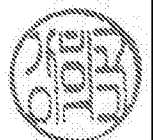
대한민국 특허청  
(35208) 대전광역시 서구 청사로 189,  
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

강희국

전화번호 +82-42-481-8264



| 국제조사보고서에서<br>인용된 특허문헌 | 공개일        | 대응특허문헌               | 공개일        |
|-----------------------|------------|----------------------|------------|
| KR 10-0539951 B1      | 2005/12/28 | KR 10-2005-0060449 A | 2005/06/22 |
| KR 10-0999376 B1      | 2010/12/09 | JP 2013-514711 A     | 2013/04/25 |
|                       |            | US 2011-0249761 A1   | 2011/10/13 |
|                       |            | US 8428193 B2        | 2013/04/23 |
|                       |            | WO 2011-074832 A2    | 2011/06/23 |
|                       |            | WO 2011-074832 A3    | 2011/11/10 |
| JP 10-290176A         | 1998/10/27 | 없음                   |            |
| KR 10-2010-0026646 A  | 2010/03/10 | 없음                   |            |