



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

251142

(11) (B1)

(51) Int. Cl.⁴

G 04 G 5/02//
G 04 G 3/00

/22/ Přihlášeno 20 12 85
/21/ PV 9571-85

(40) Zveřejněno 16 10 86

(45) Vydáno 15 04 88

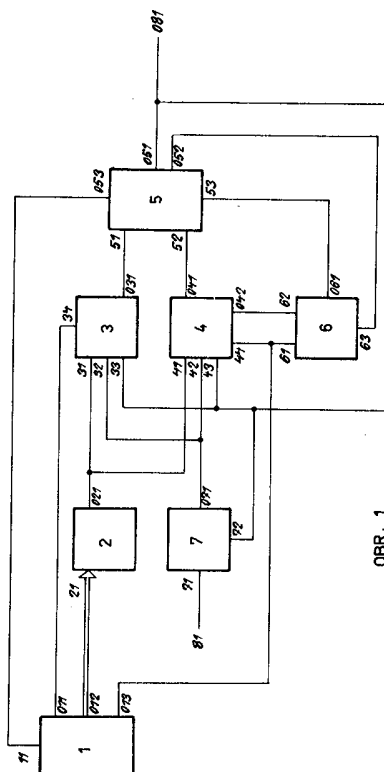
(75)

Autor vynálezu

KUTĚJ SVATOPLUK ing., BRNO

(54) Zapojení synchronizační jednotky pro fázové řízení hodinových impulsů časové základny

Řešení se týká zapojení synchronizační jednotky určené pro fázové řízení hodinových impulsů časové základny. Přináší zjednodušení zapojení, v němž impulsní krátkodobé poruchy nenarušují v přijímaných datech synchronizaci. Kromě toho udržuje sfázování v požadované přesnosti. Jeho podstata spočívá v tom, že ke generátoru kmitočtu je připojen výběrový obvod, přiřítací korekční obvod, dělič kmitočtu, odečítací korekční obvod a obvod pro nastavení děliče. Dále obsahuje vyhodnocovací obvod připojený k přiřítacímu korekčnímu obvodu, odečítacího korekčního obvodu a k výstupu z děliče kmitočtu, který je současně výstupem zapojení. Zapojení lze použít ve výpočetní a záznamové technice, v systémech pro synchronní přenos dat, například v příslušných měničích a adaptérech.



OBR. 1

Vynález se týká zapojení synchronizační jednotky pro fázové řízení hodinových impulsů časové základny.

Ve výpočetní a přenosové technice se často vyžaduje zdroj hodinových impulsů časové základny, jejichž fáze je řízena vnějším signálem. Jde například o požadavek bitové synchronizace u zařízení se synchronním přenosem dat. V současné době se pro tyto účely většinou používají zapojení s číslicově řízeným fázovým závěsem, využívající čítače impulsů, čítacího impulsy z oscilátoru řízeného krystalem, přičemž tyto impulsy jsou doplňovány, případně blokovány v závislosti na fázi řídicího synchronizovaného signálu.

Tato zařízení používají například u zapojení s konstantním řídicím účinkem monostabilní klopné obvody s nutností jejich nastavování anebo u zapojení s proměnným řídicím účinkem klopné obvody, zpožďovací nebo derivační členy, jež však zapojení komplikují.

Tyto nevýhody odstraňuje zapojení synchronizační jednotky pro fázové řízení hodinových impulsů časové základny podle vynálezu, jehož podstatou je, že první výstup generátoru kmitočtu je připojen na referenční vstup přiřítacího korekčního obvodu a jeho druhý výstup na referenční vstup odečítacího korekčního obvodu a na referenční vstup obvodu pro nastavení děliče kmitočtů. Skupina výstupů generátoru kmitočtu je připojena na skupinu vstupů výběrového obvodu, jehož výstup je připojen na korekční vstup přiřítacího korekčního obvodu a na korekční vstup odečítacího korekčního obvodu.

Výstup vyhodnocovacího obvodu je připojen na datový vstup přiřítacího korekčního obvodu a na datový vstup odečítacího korekčního obvodu, jehož čítací výstup je připojen na druhý čítací vstup děliče kmitočtu. Výstup přiřítacího korekčního obvodu je připojen na první čítací vstup děliče kmitočtu, jehož nastavovací výstup je připojen na vstup generátoru kmitočtu. Vyhodnocovací výstup děliče kmitočtu je připojen na první vyhodnocovací vstup obvodu pro nastavení děliče kmitočtu.

Nastavovací výstup obvodu pro nastavení děliče kmitočtu je připojen na nastavovací vstup děliče kmitočtu, jehož synchronizační výstup je připojen na hodinový vstup přiřítacího korekčního obvodu, na hodinový vstup odečítacího korekčního obvodu, na synchronizační vstup vyhodnocovacího obvodu a tvoří současně výstup zapojení. Vyhodnocovací výstup odečítacího korekčního obvodu je připojen na druhý vyhodnocovací vstup obvodu pro nastavení děliče kmitočtu, přičemž datový vstup vyhodnocovacího obvodu tvoří současně vstup zapojení.

Výhodou zapojení podle vynálezu je jeho jednoduchost, v němž jednotlivé bloky lze realizovat čítačem nebo několika hradly. Přitom impulsní krátkodobé poruchy v přijímaných datech nenarušují podstatně synchronizaci, která je zde odvozována od trvajících změn hladiny přijímaných dat a dále udržuje sfázování v požadované přesnosti.

Příklad zapojení synchronizační jednotky pro fázové řízení hodinových impulsů časové základny podle vynálezu je znázorněn na připojených výkresech, na nichž obr. 1 představuje blokové schéma zapojení, obr. 2 časový diagram signálů přijímaných dat předbíhajících impulsy časové základny, obr. 3 časový diagram signálů přijímaných dat zpožďujících se za impulsy časové základny, obr. 4 časový diagram signálů přijímaných dat s bity stejné polarit.

První výstup 011 generátoru 1 kmitočtu je připojen na referenční vstup 34 přiřítacího korekčního obvodu 3 a jeho druhý výstup 013 je připojen na referenční vstup 44 odečítacího korekčního obvodu 4 a na referenční vstup 61 obvodu 6 pro nastavení děliče kmitočtu. Skupina výstupů 012 generátoru 1 kmitočtu je připojena na skupinu vstupů 21 výběrového obvodu 2, jehož výstup 021 je připojen na korekční vstup 31 přiřítacího korekčního obvodu 3 a na korekční vstup 41 odečítacího korekčního obvodu 4.

Výstup 071 vyhodnocovacího obvodu 7 je připojen na datový vstup 32 přiřítacího korekčního obvodu 3 a na datový vstup 42 odečítacího korekčního obvodu 4, jehož čítací výstup 041 je připojen na druhý čítací vstup 52 děliče 5 kmitočtu.

Výstup 031 přičítacího korekčního obvodu 3 je připojen na první čítací vstup 51 děliče 5 kmítočtu, jehož nastavovací výstup 053 je připojen na vstup 11 generátoru 1 kmítočtu. Vyhodnocovací výstup 052 děliče 5 kmítočtu je připojen na první vyhodnocovací vstup 63 obvodu 6 pro nastavení děliče kmítočtu. Nastavovací výstup 061 obvodu 6 pro nastavení děliče kmítočtu je připojen na nastavovací vstup 53 děliče 5 kmítočtu, jehož synchronizační výstup 051 je připojen na hodinový vstup 33 přičítacího korekčního obvodu 3, na hodinový vstup 43 odečítacího korekčního obvodu 4, na synchronizační vstup 72 vyhodnocovacího obvodu 7 a tvoří současně výstup 081 zapojení synchronizované časové základny pro připojení na neznázorněné obvody vzorkování přijímaných dat.

Vyhodnocovací výstup 042 odečítacího korekčního obvodu 4 je připojen na druhý vyhodnocovací vstup 62 obvodu 6 pro nastavení děliče kmítočtu. Datový vstup 71 vyhodnocovacího obvodu 7 tvoří současně vstup 81 zapojení synchronizovaných přijímaných dat, například pro připojení k neznázorněnému modemu.

Generátor 1 kmítočtu generuje na výstupu 011 a 013 základní signály o kmítočtech 2^n a 2^{n-1} krát vyšších než je požadovaný kmítočet časové základny a dále na skupině výstupů 012 signály, ze kterých výběrový obvod 2 vytváří krátké korekční impulsy na výstupu 021, jejichž fáze vůči signálu na výstupu 011 generátoru 1 kmítočtu je patrná z časového diagramu /obr. 2 a obr. 4/.

Signál z výstupu 011 generátoru 1 kmítočtu postupuje přes přičítací korekční obvod 3 na první čítací vstup 51 děliče 5 kmítočtu, tvořeným například synchronním čítačem, pro čítání vpřed. Na výstupech 051 a 052 děliče 5 kmítočtu se objeví signály o kmítočtu 2^n a 2^{n-1} krát nižších než je kmítočet základního signálu na výstupu 011 generátoru 1 kmítočtu přičemž signál na výstupu 051 představuje synchronizovanou časovou základnu střídy 1:1, jejíž kladné hrany označují vzorkovací okamžik, to znamená střed přijímaných bitů synchronních přijímaných dat. Vyhodnocovací obvod 7 porovnává přijímaná data s daty již vzorkovanými pomocí signálu na synchronizačním vstupu 72 a vytváří signál na výstupu 071 označující jejich shodu.

Pro snadnější popis jsou uvažována přijímaná data ve formě střídajících se logických nul a logických jedniček. V ideálním případě úplného synchronismu přijímaných dat a časové základny by se jednotlivé bity přijímaných dat měnily v okamžiku přechodu signálu na výstupu 081 zapojení z logické jedničky do logické nuly a signál na výstupu 071 vyhodnocovacího obvodu 7 bude inverzní vůči signálu na výstupu 081.

Tím budou přičítací korekční obvod 3 a odečítací korekční obvod 4 blokovány pro průchod korekčních impulsů na výstupu 021 výběrového obvodu 2 a dělič 5 kmítočtu bude pouze čítat impulsy z výstupu 011 generátoru 1 kmítočtu, postupující přes přičítací korekční obvod 3 na první čítací vstup 51 děliče 5 kmítočtu. Pokud signály přijímaných dat předbíhají impulsy časové základny / obr. 2/, bude přechod dat z logické nuly na logickou jedničku, případně z logické jedničky na logickou nulu předbíhat zápornou hranu signálu na synchronizačním výstupu 051 děliče 5 kmítočtu a signál na výstupu 071 vyhodnocovacího obvodu 7, přivedený spolu se signálem na výstupu 051 děliče 5 kmítočtu a s korekčními impulsy na výstupu 021 výběrového obvodu 2 na obvod logického součinu v přičítacím korekčním obvodu 3 způsobí v závislosti na velikosti chyby fáze, logické přičtení jednoho nebo více korekčních impulsů k signálu na výstupu 011 generátoru 1 kmítočtu.

Takto vzniklý signál na výstupu 031 přičítacího korekčního obvodu 3 pak v děliči 5 kmítočtu zajistí dvojnásobnou rychlost čítání vpřed až do stavu 2^n v čítači, čímž se odchylka fáze časové základny od přijímaných dat sníží zhruba na polovinu původní velikosti. Při trvání odchylky se tato v následující periodě časové základny opět stejným způsobem koriguje. Odečítací korekční obvod se v těchto případech neuplatňuje.

Pokud se signály přijímaných dat zpožďují za impulsy časové základny / obr. 3/, je přičítací korekční obvod 3 blokován a prochází přes něj do děliče 5 kmítočtu pouze signál základního kmítočtu z výstupu 011 generátoru 1 kmítočtu.

Signály na výstupu 071 vyhodnocovacího obvodu 7 a časové základny na výstupu 051 děliče 5 kmitočtu jsou přivedeny na obvod negace logického součtu v odečítacím korekčním obvodu 4 a vytvářejí tak signál na jeho výstupu 042, trvajících po dobu fázové odchylky a přiváděný na obvod 6 pro nastavení děliče. Tento signál je kromě toho uvnitř odečítacího korekčního obvodu 4 logicky násoben se signály na výstupu 013 generátoru 1 kmitočtu a na výstupu 021 výběrového obvodu 2, čímž vznikají záporné korekční impulsy na výstupu 041 odečítacího korekčního obvodu 4, přiváděné na čítecí vstup 52 pro čítání vzad čítače v děliči 5 kmitočtu.

V tomto případě jsou po dobu trvání fázové odchylky odečítány v děliči 5 kmitočtu korekční impulsy, a sice polovičním kmitočtem, takže výsledná rychlost čítání vpřed čítače je proti původní rovněž poloviční, čímž se fázová odchylka časové základny od přijímaných dat sníží zhruba na polovinu původní velikosti. Při trvání odchylky se tato v následující periodě časové základny opět stejným způsobem koriguje.

Z děliče 5 kmitočtu je na vstup 11 generátoru 1 kmitočtu přiváděn signál zpětné vazby, který zajišťuje správnou fázi mezi signály na výstupu 013 generátoru 1 kmitočtu a na synchronizačním výstupu 051 děliče 5 kmitočtu, potřebnou pro funkci odečítacího korekčního obvodu 4. Pokud fázová odchylka nepřekročí půl periody časové základny, obvod 6 pro nastavení děliče se neuplatní.

Při stejné polaritě dvou a více za sebou jdoucích bitů v přijímaných datech /obr. 4/ pracuje odečítací korekční obvod 4 obdobně, jako ve výše uvedeném případě /obr. 3/, avšak signál na jeho výstupu 042 udávající odchylku fáze, dosáhne délky půl periody časové základny, čímž uvede v činnost obvod 6 pro nastavení děliče. V tomto okamžiku totiž dosáhne čítač v děliči 5 kmitočtu stavu 2^{n-2} a signál na jeho výstupu 052 projde přes obvod 6 pro nastavení děliče jako nastavovací impuls na nastavovací výstupu 061 do čítače v děliči 5 kmitočtu pro stav 2^{n-1} .

Signál, přicházející na referenční vstup 61 obvodu 6 pro nastavení děliče, blokuje průchod impulsu na výstupu 052 děliče 5 kmitočtu před posledním odečítacím korekčním impulsem. Tímto způsobem je zajištěn stabilní kmitočet časové základny, daný signálem základního kmitočtu na výstupu 011 generátoru 1 kmitočtu v případě, že přijímaná data neobsahují přechod z logické nuly na logickou jedničku, případně z logické jedničky na logickou nulu, z kterého lze korekci časové základny odvodit.

Činnost zapojení je zřejmá z připojených časových diagramů dle obr. 2, 3, 4, kde A představuje zkrácení periody časové základny B, prodloužení periody časové základny, C přičtený korekční impuls a D odečítaný korekční impuls.

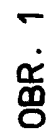
Vynález lze použít ve výpočetní a záznamové technice, v systémech pro synchronní přenos dat, například v příslušných měničích a adaptérech.

P R E D M Ě T V Y N Á L E Z U

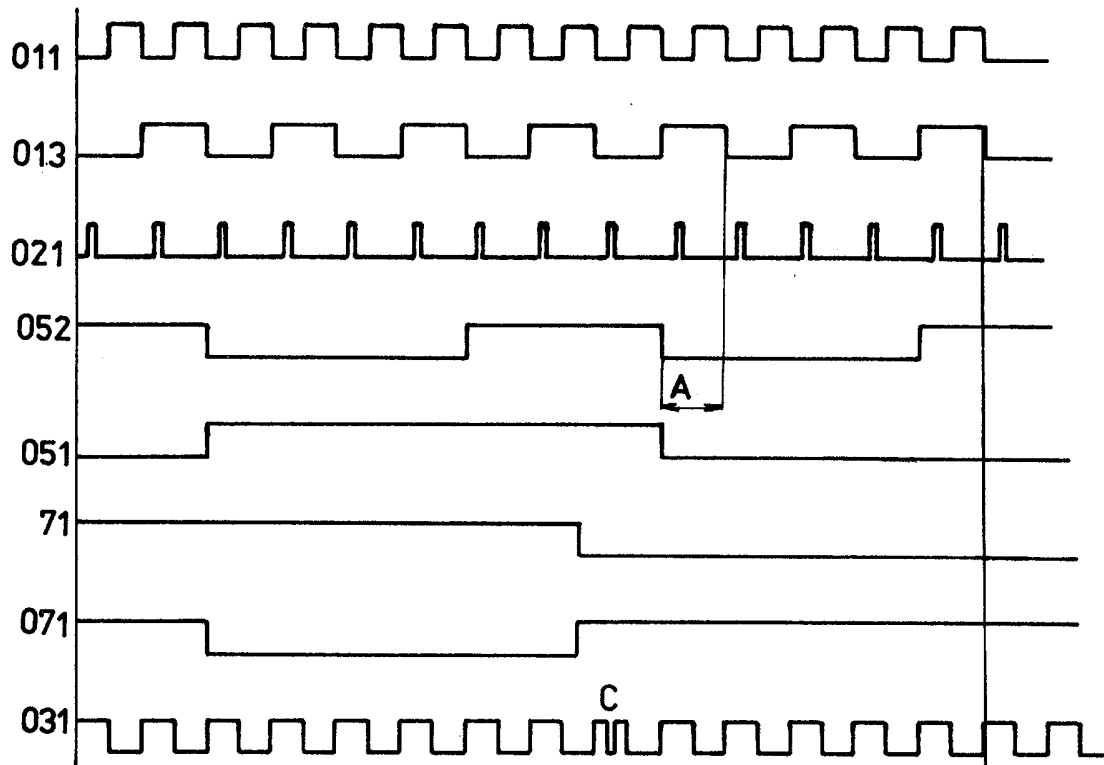
Zapojení synchronizační jednotky pro fázové řízení hodinových impulsů časové základny, s generátorem kmitočtu, výběrovým obvodem, vyhodnocovacím obvodem a děličem kmitočtu, vyznačené tím, že první výstup /011/ generátoru /1/ kmitočtu je připojen na referenční vstup /34/ přičítacího korekčního obvodu /3/ a jeho druhý výstup /013/ na referenční vstup /44/ odečítacího korekčního obvodu /4/ a na referenční vstup /61/ obvodu /6/ pro nastavení děliče kmitočtu, skupina výstupů /012/ generátoru /1/ kmitočtu je připojena na skupinu vstupů /21/ výběrového obvodu /2/, jehož výstup /021/ je připojen na korekční vstup /31/ přičítacího korekčního obvodu /3/ a na korekční vstup /41/ odečítacího korekčního obvodu /4/, výstup /071/ vyhodnocovacího obvodu /7/ je připojen na datový vstup /32/ přičítacího korekčního

obvodu /3/ a na datový vstup /42/ odečítacího korekčního obvodu /4/, jehož čítací výstup /041/ je připojen na druhý čítací vstup /52/ děliče /5/ kmitočtu, výstup /031/ přiřítacího korekčního obvodu /3/ je připojen na první čítací vstup /51/ děliče /5/ kmitočtu, jehož nastavovací výstup /053/ je připojen na vstup /11/ generátoru /1/ kmitočtu, vyhodnocovací výstup /052/ děliče /5/ kmitočtu je připojen na první vyhodnocovací vstup /63/ obvodu /6/ pro nastavení děliče kmitočtu, nastavovací výstup /061/ obvodu /6/ pro nastavení děliče kmitočtu je připojen na nastavovací vstup /53/ děliče /5/ kmitočtu, jehož synchronizační výstup /051/ je připojen na hodinový vstup /33/ přiřítacího korekčního obvodu /3/ na hodinový vstup /43/ odečítacího korekčního obvodu /4/, na synchronizační vstup /72/ vyhodnocovacího obvodu /7/ a tvoří současně výstup /081/ zapojení, vyhodnocovací výstup /042/ odečítacího korekčního obvodu /4/ je připojen na druhý vyhodnocovací vstup /62/ obvodu /6/ pro nastavení děliče kmitočtu, přičemž datový vstup /71/ vyhodnocovacího obvodu /7/ tvoří současně vstup /81/ zapojení.

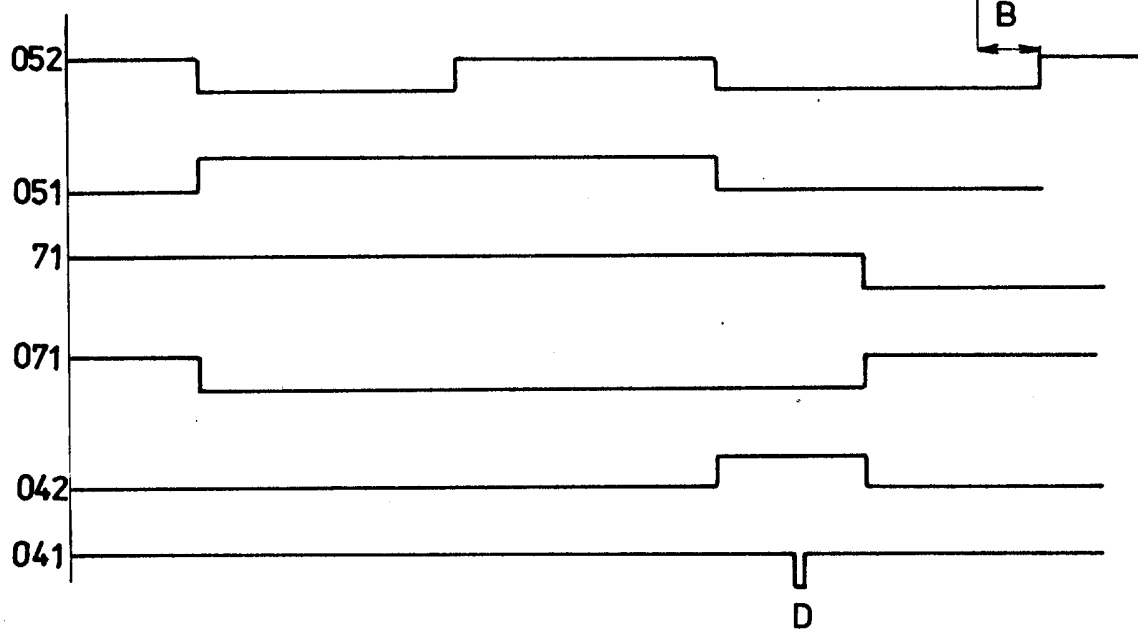
3 výkresy



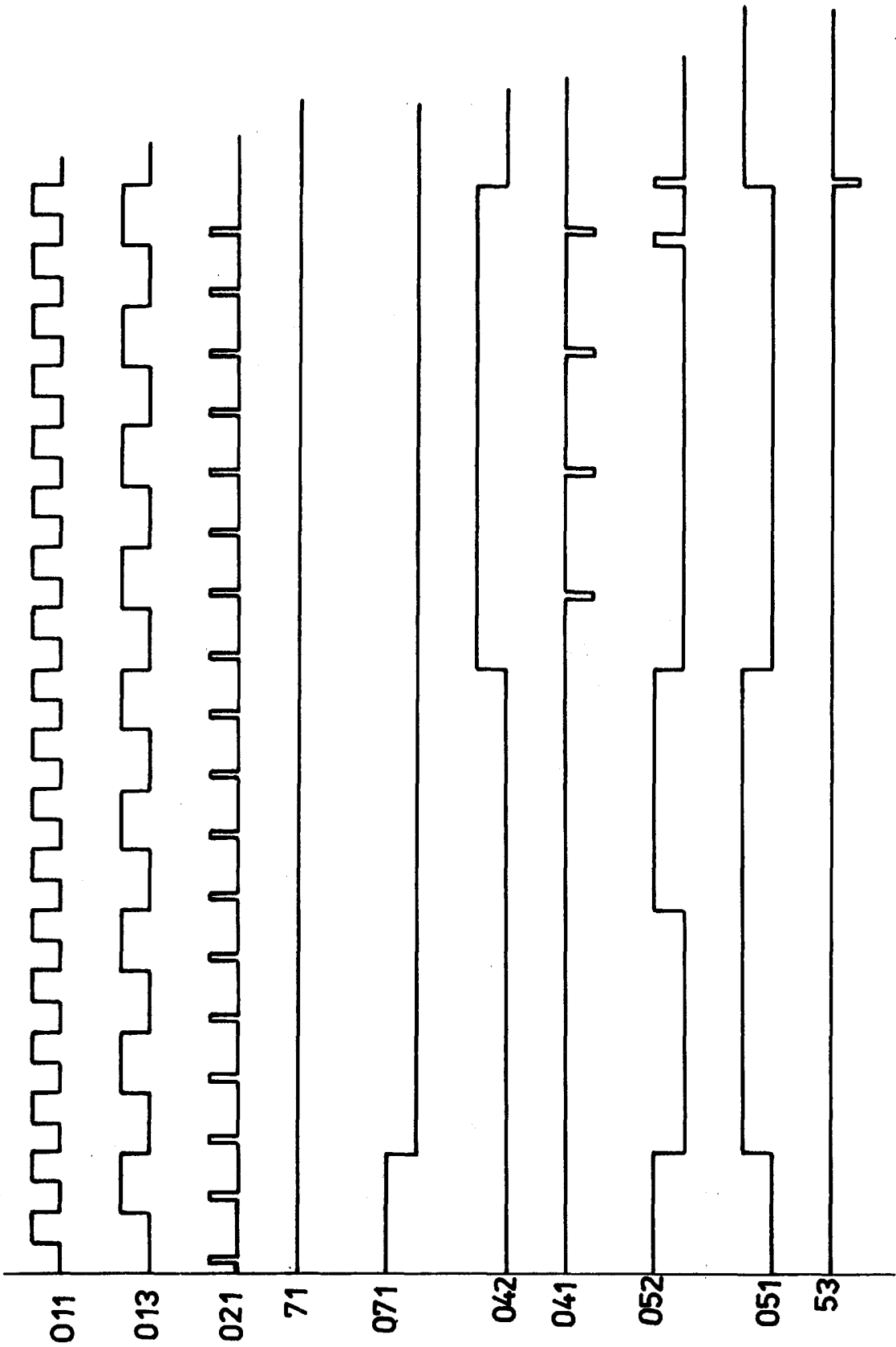
251142



OBR. 2



OBR. 3



OBR. 4