



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2009년01월21일  
(11) 등록번호 10-0880109  
(24) 등록일자 2009년01월15일

(51) Int. Cl. <sup>9</sup>

H01L 27/105 (2006.01)  
(21) 출원번호 10-2002-0046627  
(22) 출원일자 2002년08월07일  
    심사청구일자 2007년08월07일  
(65) 공개번호 10-2003-0014627  
(43) 공개일자 2003년02월19일  
(30) 우선권주장  
    09/925,201 2001년08월08일 미국(US)  
(56) 선행기술조사문헌  
    JP10340893 A  
    US6225156 B1\*  
    US20010009814 A1  
    KR1020010005096 A\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

애질런트 테크놀로지스, 인크.

미국 캘리포니아주 95052-8059 산타 클라라 스티  
    븐스 크릭 불러바드 5301

(72) 발명자

길버트스티븐알

미국캘리포니아주94117샌프란시스코프레데릭스트  
    리트#33

허드트레이스큐

미국텍사스주75025플래노하스트캐슬웨이3913  
    (뒷면에 계속)

(74) 대리인

김창세, 장성구

전체 청구항 수 : 총 18 항

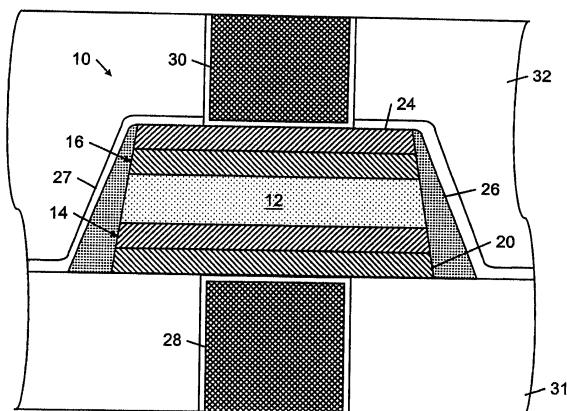
심사관 : 이우식

(54) 내장된 강유전성 소자의 제조공정을 위한 오염 제어법

### (57) 요 약

본 발명은 표준 CMOS 제조 공정에 부적합한 강유전성 소자 오염 물질(예를 들어, Pb, Zr, Ti 및 Ir)이 염격히 제어되는 강유전성 소자의 제조방법에 관한 것이다. 특히, 강유전성 소자가 형성된 후 기판의 후측 및 가장자리 표면으로부터 부적합한 물질을 제거하기 위한 특수한 에칭 화학물질이 개발되었다. 또한, 에칭이 곤란한 오염물질(예를 들어, Ir)의 제거를 보조하기 위해, 기판의 하부 표면 및 가장자리 표면(및, 일부 양태에서는, 전면 가장자리 이외의 영역 표면) 위에 희생층을 배치할 수 있다. 이러한 방식으로 상기 강유전성 소자의 제조공정을 표준 반도체 제조 공정과 통합할 수 있고, 이로 인해 강유전성 소자가 겸용 장비(예를 들어, 스텝페, 계측 기구 등)를 통해 상호 오염될 실질적인 위험 없이 반도체 집적 회로와 함께 형성될 수 있다.

대 표 도 - 도1



(72) 발명자

**미카리미라우라더블유**

미국캘리포니아주94586선올킬케어로드2155

**서머펠트스코트**

미국텍사스주75044갈랜드브리들페쓰카운티3202

**콜롬보루이지**

미국텍사스주75248달拉斯엘로우록트레일6144

## 특허청구의 범위

### 청구항 1

상부 표면, 하부 표면, 가장자리, 및 전면 가장자리 이외의 영역을 갖는 기판상에 강유전성 소자를 형성하는 방법으로서,

기판의 상부 표면 위에 하부 전극을 형성하는 단계;

상기 하부 전극 위에 강유전성 유전층을 형성하는 단계;

상기 강유전성 유전층 위에 상부 전극을 형성하는 단계; 및

기판의 하부 표면, 가장자리 및 전면 가장자리 이외의 영역으로부터 강유전성 소자 물질을 선택적으로 에칭하는 단계

를 포함하는, 강유전성 소자의 형성 방법.

### 청구항 2

제 1 항에 있어서,

강유전성 소자 물질이 산을 포함하는 에칭제에 의해 기판 하부 표면 및 가장자리로부터 선택적으로 에칭되는 강유전성 소자의 형성방법.

### 청구항 3

제 1 항에 있어서,

강유전성 소자 물질이 불소 함유 산, 염소 함유 산, 또는 이들 모두를 함유하는 산을 포함하는 에칭제에 의해 기판 하부 표면 및 가장자리로부터 선택적으로 에칭되는 강유전성 소자의 형성방법.

### 청구항 4

제 3 항에 있어서,

에칭제가 희석액을 추가로 포함하는 강유전성 소자의 형성방법.

### 청구항 5

제 1 항에 있어서,

강유전성 소자 물질이  $\text{NH}_4\text{F}$  및  $\text{HCl}$ 의 혼합물을 포함하는 에칭제에 의해 기판 하부 표면 및 가장자리로부터 선택적으로 에칭되는 강유전성 소자의 형성방법.

### 청구항 6

제 5 항에 있어서,

에칭제가  $\text{NH}_4\text{F}:\text{HCl}$ 을 약 1.6의 체적비로 포함하는 강유전성 소자의 형성방법.

### 청구항 7

제 5 항에 있어서,

에칭제가  $\text{H}_2\text{O}$ 를 추가로 포함하는 강유전성 소자의 형성방법.

### 청구항 8

제 7 항에 있어서,

에칭제가  $\text{NH}_4\text{F}:\text{HCl}:\text{H}_2\text{O}$ 을 약 1:1.6:x(여기서, x는 약 40 내지 약 100이다)의 체적비로 포함하는 강유전성 소자의 형성방법.

### 청구항 9

제 1 항에 있어서,

강유전성 소자 물질이 HF 및 H<sub>2</sub>O를 포함하는 에칭제에 의해 기판 하부 표면 및 가장자리로부터 선택적으로 에칭되는 강유전성 소자의 형성방법.

### 청구항 10

제 1 항에 있어서,

강유전성 소자 물질이,

HCl 및 H<sub>2</sub>O; HNO<sub>3</sub> 및 H<sub>2</sub>O; HF, HCl 및 H<sub>2</sub>O; NH<sub>4</sub>F, HCl, HNO<sub>3</sub> 및 H<sub>2</sub>O; HF, HCl, HNO<sub>3</sub> 및 H<sub>2</sub>O; 및 HF, H<sub>2</sub>O<sub>2</sub>, HNO<sub>3</sub> 및 H<sub>2</sub>O로부터 선택된 혼합물을 포함하는 에칭제에 의해 기판 하부 표면 및 가장자리로부터 선택적으로 에칭되는 강유전성 소자의 형성방법.

### 청구항 11

삭제

### 청구항 12

제 1 항에 있어서,

기판이, 적어도 기판의 하부 표면 및 가장자리 위에 배치되는 희생층을 포함하는 강유전성 소자의 형성방법.

### 청구항 13

제 12 항에 있어서,

희생층이 질화규소 또는 이산화규소를 포함하는 강유전성 소자의 형성방법.

### 청구항 14

제 12 항에 있어서,

희생층이 에칭제에 의해 에칭되는 강유전성 소자의 형성방법.

### 청구항 15

제 14 항에 있어서,

에칭제가 불소, HF, 또는 이들 모두를 포함하는 강유전성 소자의 형성방법.

### 청구항 16

제 12 항에 있어서,

희생층이 기판의 전면 가장자리 이외의 영역으로 연장되는 강유전성 소자의 형성방법.

### 청구항 17

상부 표면, 하부 표면, 가장자리, 및 전면 가장자리 이외의 영역을 포함하는 기판, 및 상기 기판의 적어도 가장자리 및 하부 표면 위에 배치된 희생층을 갖는 기판을 제공하는 단계;

기판의 상부 표면 위에 하부 전극을 형성하는 단계;

상기 하부 전극 위에 강유전성 유전층을 형성하는 단계;

상기 강유전성 유전층 위에 상부 전극을 형성하는 단계;

강유전성 커패시터 구조물이 형성된 후, 상기 희생층을 에칭시켜 그 위에 형성된 강유전성 소자 오염물질을 제거하는 단계

를 포함하는, 강유전성 소자의 형성방법.

### 청구항 18

제 17 항에 있어서,

희생층이 질화규소 또는 이산화규소를 포함하는 강유전성 소자의 형성방법.

### 청구항 19

제 17 항에 있어서,

희생층을 에칭하기 전에, 하부 표면, 가장자리, 및 전면 가장자리 이외의 영역에 상응하는 영역으로부터 강유전성 소자 물질을 선택적으로 에칭하는 단계를 추가로 포함하는 강유전성 소자의 형성방법.

### 청구항 20

삭제

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

<14>

본 발명은 내장된 강유전성 소자를 제조하는 동안의 오염 제어 시스템 및 방법에 관한 것이다.

<15>

오늘날, 신 물질 기술의 개발이 계속되고 있는 반도체 소자 제조산업 및 전자 산업에는 몇 가지 경향이 있다. 우선, 개인용 휴대 소자(예를 들어, 휴대폰 및 개인용 디지털 보조기구)와 같은 소자가 점점 소형화되고, 보다 소량의 전력을 요구한다는 것이다. 두 번째로, 상기 소자에는 소형화 및 휴대화 이외에도 보다 많은 연산용량 및 온-칩 메모리(on-chip memory)가 요구된다는 것이다. 이러한 경향에 따라, 상기 산업에서는 동일한 반도체 칩에 충분한 양의 메모리 및 논리 기능을 갖는 연산 소자의 제공이 요구되고 있다. 바람직하게는, 상기 연산 소자는, 배터리가 방전되는 경우 메모리 내용이 보존될 수 있도록 무전원 비소멸형 메모리를 포함할 수 있다. 종래의 무전원 비소멸형 메모리의 예는, 전기적으로 삭제가능한 프로그램 가능 판독 전용 메모리(electrically erasable programmable read-only memory) ("EEPROM") 및 플래쉬 EEPROM을 포함한다. 표 1은 상이한 유형의 메모리 간의 차이점을 설명한다.

<16>

강유전성 메모리(FeRAM)는, 하부 전극과 상부 전극 사이에 위치하는 커패시터 유전체로서 강유전성 물질(예를 들어,  $\text{SrBi}_2\text{Ta}_2\text{O}_9$ (SBT) 또는  $\text{Pb}(\text{Zr},\text{Ti})_3\text{O}_3$ (PZT))을 사용하는 무전원 비소멸형 메모리이다. 일반적으로, 강유전성 메모리 소자는 물질의 쌍안정성 분극 상태로 인해 무전원 비소멸성을 나타낸다. 또한, 강유전성 메모리 소자는 비교적 낮은 전압(예를 들어, 5V 미만)으로 프로그래밍 가능하고, 다수회의 판독/기록 순환 동안에도 비교적 신속한 접속 시간(예를 들어, 40 ns 미만) 및 작동의 로버스트성(operational robustness)을 나타내는 것을 특징으로 한다. 또한, 이러한 메모리 소자는 소비 전력이 비교적 적으며, 치밀하게 패킹될 수 있으며, 방사선 경도를 나타낸다.

### 표 1

<17>

특성	SRAM	플래쉬	DRAM	FeRAM(견본)
전압	>0.5V	판독>0.5V 기록(12V) ( $\pm 6V$ )	>1V	3.3V
특정 트랜지스터	X	0 (고 전압)	0 (낮은 누출량)	X
기록 시간	<10ns	100 ms	<30ns	60ns
기록 내구성	$>10^{15}$	$<10^5$	$>10^{15}$	$>10^{13}$

관독 시간 (단일/다중 비트)	<10ns	<30ns	<30ns/ <2ns	60ns
기록 내구성	$>10^{15}$	$>10^{15}$	$>10^{15}$	$>10^{13}$
매립된 첨가 마 스크	0	약 6-8	약 6-8	약 3
전지 크기(F~ 금 속 피치/2)	약 80F <sup>2</sup>	약 8F <sup>2</sup>	약 8F <sup>2</sup>	약 18F <sup>2</sup>
구조	NDRO	NDRO	DR0	DR0
무전원 비소멸형	X	0	X	0
저장	I	Q	Q	P

&lt;18&gt;

표준 상보성 금속 옥사이드 반도체(CMOS) 소자 기술에 강유전성 커패시터를 통합시키기 위해서는, 비 표준 금속 구성성분과 함께 몇 가지의 신규 물질을 Si 웨이퍼 제조 장비에 도입시켜야 한다. 이들 물질 중에서, 전형적인 강유전성 커패시터 스택을 제조하는데 필요한 물질은, Ir, Ru, 또는 Pt 중 하나 이상의 전극 물질과 함께 PZT 또는 SBT 유전체이다. 상기 물질 내에 존재하는 일부 금속, 예를 들어 Ti, Ta 및 Pt는 주요한 Si 웨이퍼 웨이퍼 라인에 사용된다. 통상적으로 Pb, Zr, Sr, Bi, Ru 및 Ir과 같은 기타 금속은 Si 제조용 플로우(flow)에 도입되지 않는다. 따라서, CMOS-관련 소자의 수율, 신뢰도 및 전기 성능의 측면에서 상기 물질의 영향에 대해 공지된 바가 거의 없다. 또한, 웨이퍼 표면 가공에 대한 프런트 엔드(front end) 기술 요건으로, 180nm의 기술적 노드에서 Cu와 같이 공지된 주요 금속을  $9 \times 10^9$  원자/cm<sup>2</sup> 이하의 농도로 요구하고 있지만, FeRAM-관련 금속 오염에 대한 정확한 한계치는 정해지지 않았다.

&lt;19&gt;

#### 발명의 요약

&lt;20&gt;

일반적으로, 본 발명은 프런트 엔드 가공(예를 들어, 논리부 가공 및 접촉부 가공 포함)용 모듈과 백엔드(backend) 가공(예를 들어, 대부분의 금속화 가공 포함)용 모듈 사이의 FeRAM 가공용 모듈에, 강유전성 커패시터를 포함시키기 위한 것이다. 상기 FeRAM 가공용 모듈은, 커패시터의 하부 접점으로서, 현재 대부분의 논리 플로우(logic flow)에서 표준인 W 접점의 사용을 비롯한 프런트 엔드 가공 플로우에 적합해야 한다. 또한, FeRAM 열 처리량은, 대부분의 논리 소자에 사용되는 프런트 엔드(예를 들어, 텅스텐 플러그 및 규화된 공급원/드레인 및 게이트)의 저항이 낮은 구조물에 영향을 주지 않을 정도로 충분히 낮아야 한다. 또한, 트랜지스터 및 기타 프런트 엔드 소자(예를 들어, 다이오드)는 오염에 민감하기 때문에, FeRAM 가공용 모듈이 이러한 소자를 직접적으로(예를 들어, 칩 내부로의 확산에 의해) 또는 간접적으로(예를 들어, 겸용 장비를 통한 상호 오염에 의해) 오염시키지 않아야 한다. 또한, 상기 FeRAM 소자 및 가공용 모듈은 표준 백엔드 가공 플로우에 적합해야 한다. 따라서, FeRAM 가공용 모듈은 논리 금속화층의 저항, 및 금속과 트랜지스터 사이의 패러사이트(parasitic) 커패시턴스를 증가시키지 않아야 한다. 또한, 표준 백엔드 공정 플로우에 의해 FeRAM 소자의 성능이 저하되지 않아야 한다. 강유전성 커패시터는 수소-유도 분해에 민감하고, 대부분의 논리 백엔드 공정이 수소 또는 중수소를 사용하기 때문에(예를 들어, SiO<sub>2</sub>, Si<sub>3</sub>N<sub>4</sub>, 및 CVD 텅스텐 증착, SiO<sub>2</sub> 비아(via) 에칭 및 형성 기체 어닐링), 상기 요구사항은 상당한 논제가 되어 왔다.

&lt;21&gt;

오염 제어와 관련하여, 겸용 장비(예를 들어, 스템퍼 또는 계측 기구)로 가공되는 기판 내의 오염 수준은 소자의 성능을 저하시킬 만큼 높지 않아야 한다. 작동 오차를 제외한, 상호 오염의 주요 경로는 겸용 장비내 웨이퍼 취급 시스템과 기판의 후면, 가장자리, 및 전면 가장자리 이외의 영역 표면 사이의 접촉에 의한다. 전형적인 FeRAM 가공 플로우의 경우, 다음의 2가지의 가공, 즉, (1) PZT 또는 SBT 필름의 증착, 및 (2) 강유전성 커패시터 스택의 건식 에칭에 의해 웨이퍼 후면 및 가장자리에 가장 심각한 오염이 야기되는 것으로 예상된다. 따라서, 겸용 장비 및 겸용 가공 시설을 사용함으로써 유발되는 제조 효율을 위해, 임의의 겸용 가공 장비에서 사용되기 전에 기판의 후면, 가장자리, 및 전면 가장자리 이외의 영역으로부터 바람직하지 않은 성분을 제거해야 한다.

&lt;22&gt;

한 가지 양태에서, 본 발명은 상부 표면, 하부 표면, 가장자리, 및 전면 가장자리 이외의 영역을 갖는 기판 위에 강유전성 소자를 형성하는 방법을 특징으로 한다. 상기 방법에 따라, 기판의 상부 표면 위에 하부 전극을 형성한다. 상기 하부 전극 위에 강유전성 유전층을 형성한다. 상기 강유전성 유전체 층 위에 상부 전극을 형

성한다. 오염을 제거하기 위해서, 기판의 하부 표면 및 가장자리로부터 강유전성 소자 물질(예를 들어, Pb, Zr 및 Ti와 같은 강유전성-관련 오염물질, 및 Ir과 같은 전극-관련 오염물질)을 선택적으로 예치한다.

<23> 본 발명의 실시양태는 다음의 특징 하나 이상을 포함할 수 있다.

<24> 바람직하게는, 불소 함유 산, 염소 함유 산, 또는 이를 모두를 포함하는 예칭제로, 기판 하부 표면 및 가장자리로부터 강유전성 소자 물질을 선택적으로 예치한다. 한 가지 실시양태에서는, 상기 예칭제가  $\text{NH}_4\text{F}$  및  $\text{HCl}$ 의 혼합물을 포함한다. 상기 예칭제는  $\text{NH}_4\text{F}:\text{HCl}$ 을 약 1.6의 체적비로 포함할 수 있다. 또한, 상기 예칭제는 희석액(예를 들어,  $\text{H}_2\text{O}$ )을 추가로 포함할 수 있다. 한 가지 실시양태에서는, 상기 예칭제가  $\text{NH}_4\text{F}:\text{HCl}:\text{H}_2\text{O}$ 를 1:1.6:x(여기서, x는 바람직하게는 약 20 내지 약 1,000, 보다 바람직하게는 약 40 내지 약 100이다)의 체적비로 포함한다.

<25> 다른 실시양태에서는, 하기 물질로부터 선택된 혼합물을 포함하는 예칭제로, 기판 하부 표면, 가장자리, 및 전면 가장자리 이외의 영역으로부터 강유전성 소자 물질을 선택적으로 예치한다:  $\text{HCl}$  및  $\text{H}_2\text{O}$ ;  $\text{HF}$  및  $\text{H}_2\text{O}$ ;  $\text{HNO}_3$  및  $\text{H}_2\text{O}$ ;  $\text{HF}$ ,  $\text{HCl}$  및  $\text{H}_2\text{O}$ ;  $\text{NH}_4\text{F}$ ,  $\text{HCl}$ ,  $\text{HNO}_3$  및  $\text{H}_2\text{O}$ ;  $\text{HF}$ ,  $\text{HCl}$ ,  $\text{HNO}_3$  및  $\text{H}_2\text{O}$ ; 및  $\text{HF}$ ,  $\text{H}_2\text{O}_2$ ,  $\text{HNO}_3$  및  $\text{H}_2\text{O}$ .

<26> 또한, 강유전성 소자 물질을 기판 전면 가장자리 이외의 영역으로부터 선택적으로 예치할 수 있다.

<27> 일부 양태에서는, 기판이 기판의 하부 표면 및 가장자리 위에 배치되는 희생층(sacrificial layer)을 포함한다. 상기 희생층은 질화규소 또는 이산화규소를 포함할 수 있다. 상기 희생층은 불소(예를 들어, HF)를 포함하는 예칭제로 예치될 수 있다. 상기 희생층은 기판의 전면 가장자리 이외의 영역까지 연장될 수 있다. 바람직하게는, 강유전성 커패시터 구조물이 형성된 후, 상기 희생층을 예치한다.

<28> 또 다른 양태에서, 본 발명은 하나 이상의 전용 가공 장비, 하나 이상의 겸용 가공 장비, 및 하나 이상의 세정 장비를 포함하는 강유전성 소자의 가공용 모듈을 특징으로 한다. 상기 전용 가공 장비는 강유전성 소자의 가공만을 위한 것이다. 상기 겸용 가공 장비는 강유전성 소자의 가공 및 표준 반도체 소자 가공 모두를 위한 것이다. 상기 세정 장비는, 기판이 전용 가공 장비로부터 겸용 가공 장비로 이동하기 전에, 기판으로부터 강유전성 소자 오염 물질을 세정하기 위해 배치된다.

<29> 본 발명의 기타 특징 및 장점은 하기 도면 및 특허청구범위를 포함하는 이하의 설명을 통해 보다 명백해질 것이다.

### 발명이 이루고자 하는 기술적 과제

<30> 본 발명은 표준 CMOS 제조 공정을 저해하는 강유전성 소자 오염 물질(예를 들어, Pb, Zr, Ti 및 Ir)이 엄격히 제거되는 강유전성 소자 제조공정을 제공하고자 한다.

### 발명의 구성 및 작용

<31> 다음의 설명에서, 동일한 참조번호는 동일한 요소를 언급하는데 사용된다. 또한, 상기 도면은 예시 양태의 주요 특징을 도시적으로 설명하고자 하는 것이다. 상기 도면은 실제 양태의 모든 특징부 및 도시된 요소의 상대적 크기를 나타내고자 함이 아니며, 일정한 비율로 도시된 것도 아니다.

<32> 도 1에서 보는 바와 같이, 한가지 양태에서, 집적 회로 강유전성 커패시터(10)는 다층 하부 전극(14)과 다층 상부 전극(16) 사이에 형성된 유전체 PZT 필름(12)을 포함한다. PZT 필름(12)은, 길버트 스티븐 알.(Gilbert Stephen R.)에 의해 "강유전성  $\text{Pb}(\text{Zr},\text{Ti})\text{O}_3$  필름의 형성"의 제목으로 출원된 미국 특허 출원 제 \_\_\_\_ 호에 기술된 바와 같은 화학적 증착 방법에 의해 형성될 수 있다. 하부 전극(14)은  $\text{Ir}/\text{IrO}_x$  전도층 및  $\text{TiAlN}$  전도성, 내산화성의 확산 차단층(20)을 포함하고, 상부 전극(16)은  $\text{IrO}_x/\text{Ir}$  전도층 및  $\text{TiAlN}$  하드마스크(hardmask)/전도성 확산 차단층(24)을 포함한다. 다른 양태에서는,  $\text{Ir}/\text{IrO}_x$  전도층 및 전도성 확산 차단층(20, 24)이 상이한 물질로부터 형성될 수 있다. 또한, 강유전성 커패시터(10)가 알루미늄 옥사이드( $\text{Al}_2\text{O}_3$ ) 층별 확산 차단막(26) 및 상부의 질화규소 예치 정지층(27)을 포함한다. 상기 양태에서, 강유전성 커패시터(10)는, 한 쌍의 레벨간 유전층

(31 및 32) 각각을 통해 확장하는 바와 내에 각각 형성된 한 쌍의 전도성 플러그(28 및 30) 사이에 연결된다. 상기 전도성 플러그(28 및 30)는 텅스텐 또는 폴리실리콘과 같은 전기 전도성 물질로부터 형성될 수 있다. 다른 양태에서, 강유전성 커패시터(10)는, 실리콘 웨이퍼, 갈륨 비화물, 마그네슘 옥사이드, 사파이어, 또는 예를 들어 반도체 웨이퍼 위에 형성된 복합 접적 회로를 포함하는, 다층 구조의 상부 표면 위에 형성될 수 있다.

<33> 도 2a 및 2b에 도시한 바와 같이, 강유전성 커패시터(10)를 형성하는 동안, 구성성분인 강유전성 소자 물질(예를 들어, Pb, Zr 및 Ti와 같은 강유전성-관련 오염물질, 및 Ir과 같은 전극-관련 오염물질)은 이동하거나, 이동하지 않는 경우 기판(36)의 후면(33), 가장자리 표면(34), 및 전면 가장자리 이외의 영역 표면(35) 상에 형성된다(상기 전면 가장자리 이외의 영역은, 필름 증착물이 존재하지 않도록 고안된 기판 전면의 주변 가장자리 주위의 영역을 의미한다). 기판(36)은 하나 이상의 반도체 소자를 사용하는 논리 레벨(logic level), 및 상기 레벨들을 통해 연장된 하나 이상의 접촉 플러그를 갖는 상부의 레벨간 유전층을 포함할 수 있다. PZT 유전층(12)을 CVD로 제조하는 동안, 강유전성 소자 물질(38)이 기판(36)의 후면, 가장자리, 및 전면 가장자리 이외의 영역 표면(33 내지 35) 위에 형성될 수 있다(도 2a). 또한, 커패시터(10)가 형성된 후, 예칭의 잔류물(40)이 기판 표면의 후면, 가장자리, 및 전면 가장자리 이외의 영역 표면(33 내지 35)에 접착된 채 잔류할 수 있다(도 2b). 일반적으로, 구성성분인 커패시터 층 물질 및 예칭 잔류물은 표준 반도체 소자의 제조공정(예를 들어, 산업 표준 CMOS 소자 제조공정)에 부적합하다. 이러한 오염물질은 반도체 소자의 중요 지역에 확산될 수 있고, 상기 중요 지역의 전기적 특성을 저하시킬 수 있다. 예를 들면, Ir은 실리콘 기판으로 확산되어 소수 캐리어 수명을 감소시킬 수 있고, Pb는 게이트 옥사이드 지역으로 확산되어 게이트 옥사이드 전하의 성능을 저하시켜 분해되게 할 수 있다.

<34> 하기에서 설명하는 바와 같이, 강유전성 커패시터(10)는, 표준 CMOS 제조 공정에 부적합한 오염 물질(예를 들어, Pb, Zr, Ti 및 Ir)이 염격히 제거되는 강유전성 소자 제조공정에 의해 형성된다. 특히, 강유전성 커패시터(10)의 제조 도중에 기판의 후면, 가장자리, 및 전면 가장자리 이외의 영역 표면으로부터 부적합한 물질을 제거하기 위한 특수한 예칭 화학물질이 개발되었다. 또한, 희생층은 기판의 하부, 상부 및 가장자리 표면 위에 배치되어, 예칭하기 어려운 오염물질(예를 들어, Ir)의 제거를 보조할 수 있다. 강유전성 소자 가공용 모듈과 프런트 엔드 및 백엔드 반도체 소자 가공용 모듈 사이의 상호 오염을 감소시키기 위해, 가공 제어 방법론이 또한 개발되었다. 이러한 방법을 통해, 강유전성 소자 제조공정과 산업 표준 반도체 제조공정이 통합될 수 있고, 이로 인해 커패시터(10)가 겸용 장비(예를 들어, 스텝페, 계측 기구 등)를 통한 상호 오염의 실질적인 위험 없이 반도체 접적 회로와 함께 형성될 수 있다.

<35> 도 3 내지 10, 특히 도 3 및 4를 참고하면, 강유전성 커패시터(10)는 다음과 같이 형성될 수 있다.

<36> 도 4에서 도시한 바와 같이, 한 가지 양태에서는, 상부, 하부 및 가장자리 표면 위에 배치된 희생층(52)을 갖는 기판(50)을 제공한다(단계 54). 기판(50)은 하나 이상의 반도체 소자를 보유한 논리 레벨, 및 상기 레벨들을 통해 연장된 하나 이상의 접촉 플러그를 갖는 상부의 레벨간 유전층을 포함하는 반도체 웨이퍼(예를 들어, 실리콘 웨이퍼)일 수 있다. 희생층(52)은, 논리 레벨 또는 접촉 플러그 제조과정 동안, 예를 들어, 종래의 로 공정(furnace process)에 의해 형성될 수 있는 질화규소 층 또는 이산화규소 층일 수 있다. 일반적으로, 희생층(52)은 리프트-오프(lift-off) 공정을 사용하여, 기판(50)의 가장자리 및 후면으로부터 오염물질(예를 들어, Pb, Zr, Ti 및 Ir)의 제거를 보조해야 한다. 또한, 희생층(52)은 중요한 소자 영역의 전기 특성을 저하시킬 수 있는, 기판(50)으로의 오염물질의 확산을 방지해야 한다.

<37> 일부 다른 양태는 희생층을 포함하지 않을 수 있다.

<38> 도 5를 참고하면 강유전성 커패시터 스택(56)은 기판(50)의 상부 표면 위에 증착된다(단계 58). 강유전성 커패시터 스택(56)은 강유전성 커패시터(10)와 동일한 전극 및 유전층을 가질 수 있다.

<39> 도 6 및 7에서 도시한 바와 같이, 강유전성 소자 물질(38) 및 기타 오염 물질은 습식 예칭 공정에 의해 기판(50)의 후면, 가장자리, 및 전면을 제외한 영역 표면으로부터 제거될 수 있다(단계 60). 특히, 기판(50)은 자동화 세정 장비(62)(예를 들어, 오스트리아 카에른텐(Kaernten) 소재의 에스이지 세미컨덕터-이큅먼트 주베오에르 푸에르 디에 할블라이테르페르티궁 게셀쉐프트 엠.비.에이치(SEZ Semiconductor-Equipment Zubehoer Fuer die Halbleiterfertigung Gesellschaft m.b.H)에서 시판중인 자동화 기판 세정기)의 내부에 배치될 수 있다. 세정 장비(62)는 기판(50)을 고정하기 위한 환상 지지체(64)를 포함한다. 고리 노즐(66)을 통해 가압 기체(예를 들어, 질소 기체)를 유출시킴으로써 기판(50) 하부에 진공을 발생시킨다. 축(70) 주위를 회전하는 샤프트(68) 내에 지정된 기체 도관을 통해 상기 가압 기체를 고리 노즐(66)로 운반한다. 또한, 세정 장비(62)는 기판(50)의 노출된 표면 위에 예칭제(74)를 살포하기 위한 노즐(72)을 포함한다. 기판(50)의 노출된 표면 위에 형

성된 상기 에칭제의 두께 및 균일성은, 적어도 부분적으로는, 노즐(72)을 통한 에칭제의 유속 및 기판(50)의 회전 속도에 의해 결정된다. 실행 중에, 기판(50)을 지지체(64) 위에, 표면을 아래로 하여 배치하고 가압 기체를 링 노즐(66)을 통해 배출시켜, 진공을 형성하여 기판(50)을 적소에 고정한다. 축(70)의 주위로 기판(50)이 회전하는 동안, 노즐(72)을 통해 에칭제(74)을 살포하여, 노출된 기판의 후면, 가장자리, 및 전면 가장자리 이외의 영역 표면 위로 실질적으로 균일한 필름을 형성한다. 기판(50)의 후면, 가장자리, 및 전면 가장자리 이외의 영역 표면을 세정한 후, 회전시켜 기판을 건조한다.

<40> 일부 양태에서는, 기판(50)을 세정 장비(62)에 배치하기 전에, 강유전성 커패시터 스택(56) 위에 보호용 포토레지스트층을 배치할 수 있다. 또한, 일부 양태에서는, 배쓰 에칭 공정을 사용하여, 후면, 가장자리, 및 전면 가장자리 이외의 영역으로부터 강유전성 소자 물질을 세정할 수 있다.

<41> 도 7에서 도시된 바와 같이, 결과적으로 생성된 기판(50)의 후면, 가장자리, 및 전면 가장자리 이외의 영역 표면은, 강유전성 커패시터(10)를 형성하는 동안 형성될 수 있는 오염물질을 실질적으로 전혀 함유하지 않는다. 일반적으로, 에칭제(74)는 강유전성 소자의 모든 오염 물질(예를 들어, Pb, Zr, Ti 및 Ir)을 제거해야 한다. 또한 바람직하게는, 에칭제(74)는 예를 들어 Pb, Zr, Ti 및 Ir의 잔류 표면 농도가  $10^{10} \text{ cm}^{-2}$  이하가 되도록 강유전성 소자 오염물질을 제거하여야 한다. 또한, 에칭제(74)는 커패시터 스택(56)(존재하는 경우) 위에 배치되는 보호용 포토레지스트 층을 공격하지 않아야 한다. 바람직한 양태에서, 에칭제(74)는 상온에서 효율적으로 작용한다.

<42> 한 양태에서는, 에칭제(74)가  $\text{NH}_4\text{F}$ ,  $\text{HCl}$  및  $\text{H}_2\text{O}$ 를  $1:1.6:x$ (여기서  $x$ 는 1 내지 1000이다)의 체적비로 포함한다. 상기 에칭 화학은 PZT에 대해 높은 선택성을 갖는다. 예를 들어,  $\text{NH}_4\text{F}:\text{HCl}:\text{H}_2\text{O}$ 를  $1:1.6:20$ 의 체적비로 사용한 경우, 구성요소 커패시터 스택 및 희생층 물질에 따른 에칭 속도의 결과는 다음과 같다:

**표 2**

총 물질	에칭 속도(nm/초)
PZT	약 70
$\text{Si}_3\text{N}_4$	약 2.2
$\text{SiO}_2$	약 0.1
Si	약 0
TiAlN	약 0
Ir	약 0

<44> 도 8에서 도시하는 바와 같이,  $\text{NH}_4\text{F}:\text{HCl}:\text{H}_2\text{O} = 1:1.6:x$ (체적비)의 에칭제의 PZT 에칭 속도는, 용액 내에 산의 체적%에 따라 감소하여 세미-로그(semi-log) 플롯을 따른다. 예를 들면, 250nm 두께의 PZT 필름의 에칭을 기준으로,  $1:1.6:20$ 의 에칭 비율에서는 70nm/초의 PZT 에칭 속도가 얻어지고,  $1:1.6:40$ 의 에칭 비율에서는 10nm/초의 PZT 에칭 속도가 얻어지는 반면,  $1:1.6:100$ 의 에칭 비율에서는 5.5nm/초의 PZT 에칭 속도가 얻어진다. 상기 데이터를 근거로, 제어가능한 PZT 에칭 속도를 수득하기 위해서는 약  $1:1.6:40$  내지  $1:1.6:100$  사이의 에칭 비율이 바람직하였다. 상기 에칭 비율 범위 내에서,  $\text{SiO}_2$  및  $\text{Si}_3\text{N}_4$ 의 에칭 속도는 각각 0.1nm/초 및 2.2nm/초보다 훨씬 낫다.

<45> 구체적인 이론으로 제한하고자 하는 것은 아니지만,  $\text{NH}_4\text{F}$ ,  $\text{HCl}$  및  $\text{H}_2\text{O}$  에칭 화학의 선택성은 에칭제 내의 불소 및 염소의 합동 작용에 의해 달성되는 것으로 여겨진다. 구체적으로, 에칭제의 불소화된 부분이  $\text{ZrO}_2$  및  $\text{TiO}_2$ 를 용해하고, 염소화된 부분이  $\text{PbO}_2$ 를 용해하는 것으로 여겨진다. 따라서, 본 양태에서는,  $\text{HCl}$ 과  $\text{NH}_4\text{F}$ 를 조합하여 공격적이면서 선택적인 PZT 에칭을 달성한다. 예를 들어, 상기 에칭을  $\text{H}_2\text{O}$ 로 희석하면, PZT와 Si,  $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$  및 TiAlN 사이의 높은 선택성을 특징으로 하는 에칭이 달성된다.

<46> 또한, 에칭제(74)로서 불소계 산 및 염소계 산의 혼합물을 함유하는 기타 에칭 화학물질을 사용할 수 있다.

<47> 일부 양태에서는, 예칭제(74)로서 하기 예칭 화학물질을 하나, 또는 둘 이상 조합하여 사용할 수 있다.

- (i)  $\text{HCl} + \text{H}_2\text{O}$
- (ii)  $\text{HF} + \text{H}_2\text{O}$
- (iii)  $\text{HNO}_3 + \text{H}_2\text{O}$
- (iv)  $\text{HF} + \text{HCl} + \text{H}_2\text{O}$
- (v)  $\text{NH}_4\text{F} + \text{HCl} + \text{HNO}_3 + \text{H}_2\text{O}$
- (vi)  $\text{HF} + \text{HCl} + \text{HNO}_3 + \text{H}_2\text{O}$
- (vii)  $\text{HF} + \text{H}_2\text{O}_2 + \text{HNO}_3 + \text{H}_2\text{O}$

<48>

<49> 상기 각각의 예칭 화학물질은 PZT를 선택적으로 예칭한다. 예를 들어, 1:1의  $\text{HCl}:\text{H}_2\text{O}$  예칭 비율인 예칭 화학물질(i)은 2.9nm/초의 PZT 예칭 속도를 나타내는 반면, 1:10의  $\text{HF}:\text{H}_2\text{O}$ 의 예칭 비율인 예칭 화학물질(ii)는 8.4nm/초의 예칭 속도를 나타낸다.

<50>

예칭 화학물질(vii)과 관련하여,  $\text{H}_2\text{O}_2$ 는 용액 내 Pb의 산화를 촉진함으로써 기판(50)으로의 Pb의 도금을 실질적으로 방지하는 것으로 여겨진다.

<51>

도 9에서 도시하는 바와 같이, 기판(50)의 후면, 가장자리, 및 전면 가장자리 이외의 영역 표면이 세정된 후(단계 60), 커패시터 스택(56)을 예칭하여 강유전성 커패시터(10)의 정렬을 형성할 수 있다(단계 80). 커패시터 스택(56)은 종래 예칭 공정에 의해 예칭될 수 있다.

<52>

도 10에서 도시하는 바와 같이, 커패시터 스택(56)을 예칭한 후(단계 80), 희생층(52)을 예칭하여, 커패시터 스택 예칭 공정(단계 80) 도중에 노출된 희생층 표면에 형성되었을 수 있는 예칭 잔류 오염물질(40)을 제거할 수 있다. 특히, Ir 오염물질 및 기타 예칭 잔류물(예를 들어, Pb, Zr, Ti 및 유기물)은, 희생층(52)이 선택된 예칭제에 용해될 때 리프트-오프에 의해 제거될 수 있다. 일반적으로 희생층 예칭 화학물질은, 그 하부의 기판 물질(예를 들어, Si)을 공격하지 않으면서 희생층을 형성하는 물질(예를 들어,  $\text{Si}_3\text{N}_4$  또는  $\text{SiO}_2$ )을 예칭해야 한다. 또한 바람직하게는, 상기 희생층 예칭제는, 예를 들어, Pb, Zr, Ti 및 Ir의 잔류 표면 농도가  $10^{10} \text{ cm}^{-2}$  이하가 되도록 예칭 잔류 오염물질(40)을 제거해야 한다. 바람직한 양태에서, 희생층 예칭제는 상온에서 효율적으로 작용한다. 일부 양태에서, 희생층 예칭 화학물질은 PZT 예칭 화학물질과 동일하다. 예를 들어, HF 및  $\text{H}_2\text{O}$ 의 혼합물을 포함하는 예칭 화학물질이 PZT 예칭 및 희생층 예칭 모두에 사용될 수 있다. 그러나, 다른 양태에서는, 상이한 예칭 화학물질이, 예를 들어 상이한 오염물질의 농도 및 상이한 예칭 속도 요건을 조정하기 위해 사용될 수 있다. 또한, 전술한 일반적 범주 내의 기타 희생층 예칭 화학물질이 사용될 수 있다. 상기 희생층 예칭 단계는 세정 단계(62) 또는 또 다른 적합한 세정 기구를 사용하여 수행될 수 있다.

<53>

일부 양태에서는, 희생층 예칭 단계 후, 희생층(52)의 일부분이 기판(50)의 후면, 가장자리, 및 전면 가장자리 이외의 영역 표면 상에 잔류할 수 있다.

<54>

도 11 및 12에서 도시한 바와 같이, 전술한 강유전성 소자 제조 가공용 모듈은 표준 CMOS 집적 회로 제조공정에 용이하게 통합될 수 있다. 논리 레벨 및 그 상부의 레벨간 유전층 및 접촉부는 종래의 산업 표준 프린트 엔드 반도체 공정(100)에 의해 기판 위에 형성될 수 있다(단계 102). 프린트 엔드 공정은 웨이퍼 전면, 후면 및 가장자리 상에  $\text{SiO}_2$ 층 또는  $\text{Si}_3\text{N}_4$ 층을 형성할 수 있다. 일부 양태에서, 상기 층은 후속적인 오염물질 제거 단계를 위한 희생층으로서 사용될 수 있다. 그 다음, 전술한 FeRAM 공정 가공용 모듈(104)에 의해 강유전성 커패시터 및 상부의 레벨간 유전층을 형성시킬 수 있는데, 상기 모듈은 FeRAM-전용 가공 장비(106), 겸용 FeRAM 가공 장비(108) 및 자동화 세정 장비(62)를 포함한다. 본 양태에서는, 먼저 표준 접점 위에 산화 차단막을 형성한다. 그 다음, 하부 전극, PZT 유전체, 상부 전극 및 하드마스크를 증착시킨다. 상기 PZT 유전체는 제 1 기구에서 증착될 수 있고, 전극 및 확산 차단막은 제 2 기구에서 형성될 수 있다. 단계(112)는 바람직하게는 FeRAM-전용 장비(106)를 사용하여 수행된다. 이 때, 후면, 가장자리, 및 전면 가장자리 이외의 영역 표면이 세정될 수 있도록, 상기 기판을 자동화 세정 장비(62)로 운반한다(단계 114). 겸용 FeRAM 가공 장비(108)(예를 들어, 리쏘 그래프 스템)로 커패시터 스택을 패턴화하고, 전용 예칭 장비(단계 116)로 커패시터 스택을 예칭한다. 필요한 경우, 예칭 후 세정할 수 있다(단계 118). 측벽 확산 차단층(26)을 예칭된 커패시터 스택 위에, 바람직하게는 FeRAM 전용 장비(106)에서 형성할 수 있다(단계 120). 후면, 가장자리, 및 전면 가장자리 이외의 영역 표면

을 세정할 수 있도록, 상기 기판을 다시 자동화 세정 장비(62)로 운반한다(단계 122). FeRAM 겸용 장비(108)를 이용하여 질화규소 에칭 정지층(27) 및 레벨간 유전층(32)을 측벽 확산 차단층(26) 위에 증착시킨다(단계 124). 접촉 비아를 FeRAM 겸용 장비(108)에서 폐턴화하고, 폐턴화된 접촉 비아를 레벨간 유전층(32)을 통해 FeRAM 전용 장비(106)에서 에칭한다(단계 126). 이어서, 상기 기판을 자동화 세정 장비(62)로 운반하여, 후면, 가장자리, 및 전면 가장자리 이외의 영역 표면이 세정될 수 있도록 한다(단계 128). 이어서, FeRAM 겸용 가공 장비(108)에서 기판 회수 및 어닐링 공정, 및 접촉부/상호 접촉부 형성 공정을 수행한다(단계 130, 132). 이어서 산업-표준 반도체 백엔드 공정(134)을 이용하여 상기 기판을 가공할 수 있다(단계 136).

<55> FeRAM 전용 가공을 위한 특정 장비 및 겸용 가공을 위한 기타 장비를 배분하고, 기판을 FeRAM 전용 장비(106)로부터 겸용 장비(108)로 운반시키기 전에 오염물질 제거 공정을 수행함으로써, 전술한 가공 제거 방법론은 강유전성 소자의 가공 및 반도체 소자의 가공을 효율적으로 통합시킨 생산 효율이 실현될 수 있게 하면서, 강유전성 소자 물질의 도입에 의한 상호 오염 위험을 감소시킨다.

<56> 기타 양태는 특허청구범위의 범주에 포함된다.

<57> 예를 들어, 일부 양태에서, 겸용 계측 기구에서 종래의 계측 단계가 수행될 수 있는데, 이 경우 기판이 FeRAM 전용 장비에서 겸용 계측 기구로 운반되기 전에 부가적인 오염물질 제거 단계가 수행되어야 한다.

<58> 또한, 일부 양태에서는, FeRAM 겸용 장비에서 접촉 비아 에칭 단계(단계 126)를 수행할 수 있다. 이러한 양태에서는, 후속적인 오염물질 제거 단계(단계 128)를 수행하지 않는다.

<59> 기타 양태 또한 특허청구범위의 범주에 포함된다.

### 발명의 효과

<60> 본 발명은, 강유전성 소자가 형성된 후 기판의 후면 및 가장자리 표면에 잔류하는 부적합 물질을 제거하기 위한 특이적 에칭 화학물질을 개발하고, 에칭이 곤란한 오염물질(예를 들어, Ir)의 제거를 보조하기 위해, 기판의 하부 표면 및 가장자리 표면(및, 일부 양태에서는, 전면 가장자리 이외의 영역 표면) 위에 희생층을 배치하는 강유전성 소자 제조공정을 제공하여, 강유전성 소자 공정을 표준 반도체 제조 공정과 통합시킬 수 있고, 이로 인해 강유전성 소자가 겸용 장비(예를 들어, 스텝퍼, 계측 기구 등)를 통해 상호 오염될 심각한 위험 없이 반도체 접적 회로와 함께 형성될 수 있는 강유전성 소자 제조를 달성하였다.

### 도면의 간단한 설명

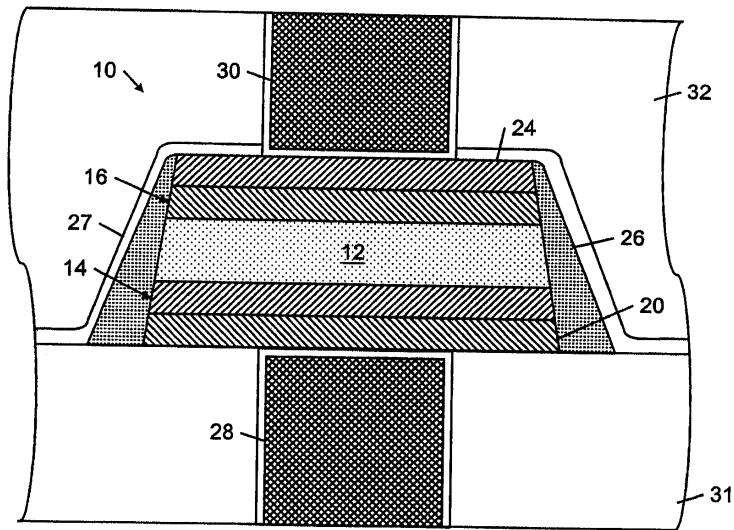
- <1> 도 1은 각각의 레벨간 유전층을 통과하여 배치된 한 쌍의 전도성 플러그 사이에 연결된 FeRAM 커패시터의 횡단면도이다.
- <2> 도 2a는 기판 위에 형성된 FeRAM 커패시터 층 스택의 횡단면도이다.
- <3> 도 2b는 도 2a의 커패시터 층 스택을 에칭하여 형성된 FeRAM 커패시터의 횡단면도이다.
- <4> 도 3은 강유전성 소자의 형성 방법의 공정도이다.
- <5> 도 4는 기판의 상부, 하부 및 가장자리 표면 위에 희생층(sacrificial layer)이 배치된 기판의 횡단면도이다.
- <6> 도 5는 도 4의 기판 위에 형성된 커패시터 층 스택의 횡단면도이다.
- <7> 도 6은 도 5의 기판의 후면, 가장자리, 및 전면 가장자리 이외의 영역의 일부분에 에칭제를 도포하는 기판 세정 장비의 횡단면도를 나타낸 것이다.
- <8> 도 7은 기판의 후면을 에칭하여 세정한 후의, 도 5의 커패시터 층 스택의 횡단면도이다.
- <9> 도 8은 NH<sub>4</sub>F, HCl 및 H<sub>2</sub>O의 에칭 화학물질에 대한 PZT 에칭 속도의 그래프로서, 용액내 산의 체적%의 함수로서 그래프를 그린 것이다.
- <10> 도 9는 도 7의 커패시터 층 스택을 에칭함으로써 형성된 복수의 강유전성 커패시터의 횡단면도이다.
- <11> 도 10은 기판의 하부 표면, 가장자리, 및 전면 가장자리 이외의 영역에서 희생층을 에칭하여 제거한 후의 도 9의 강유전성 커패시터의 횡단면도를 나타낸 것이다.

<12> 도 11은 집적 강유전성 소자(집적 회로 제조 공정)의 공정도이다.

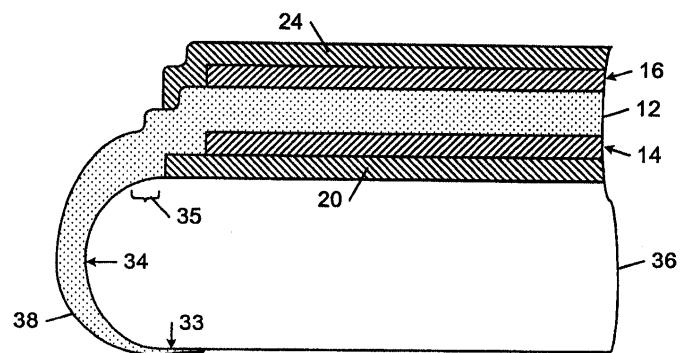
<13> 도 12는 FeRAM 가공용 모듈의 FeRAM 전용 가공 장비 및 겸용 가공 장비를 통과하는 공정 순서의 개요도이다.

### 도면

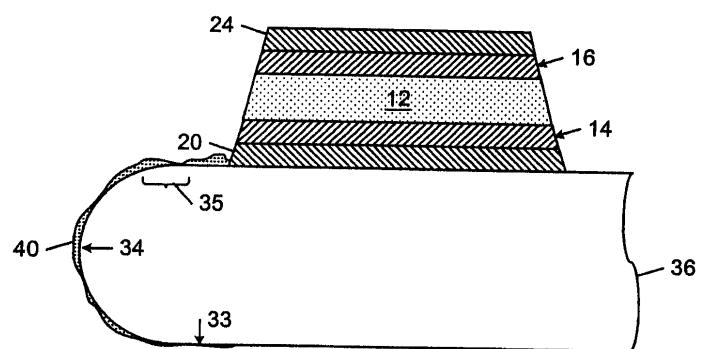
#### 도면1



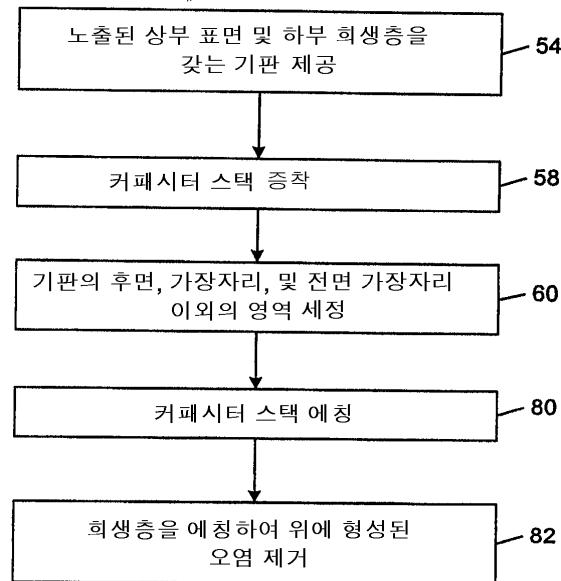
#### 도면2a



#### 도면2b



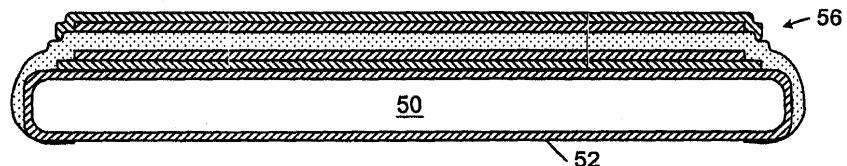
도면3



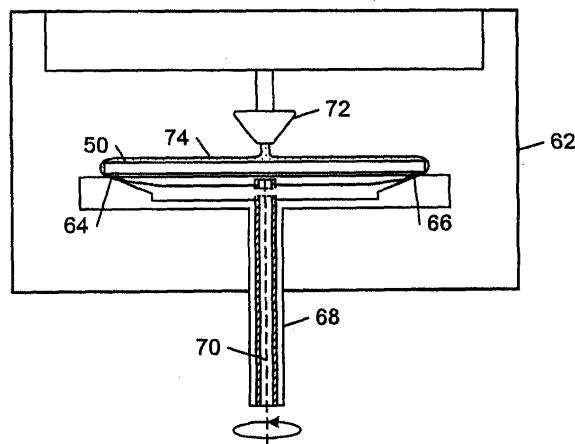
도면4



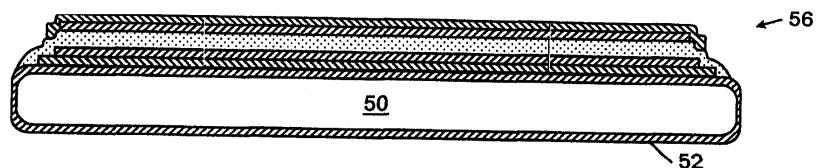
도면5



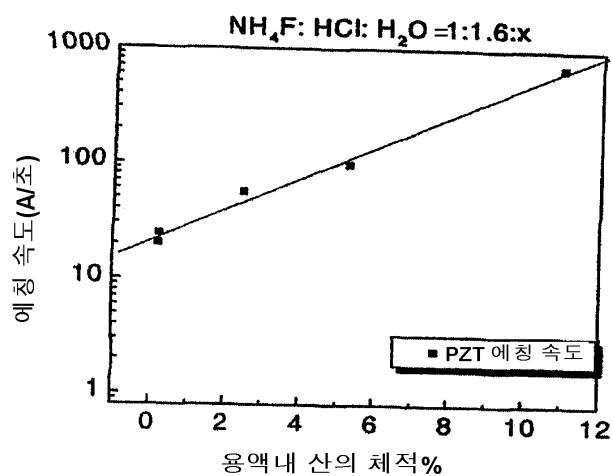
도면6



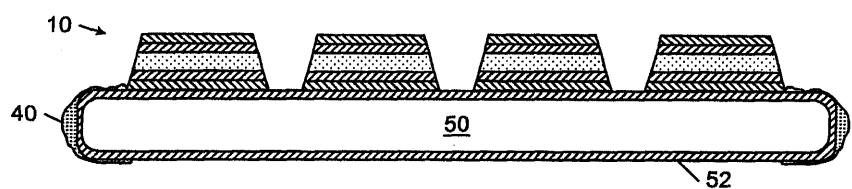
도면7



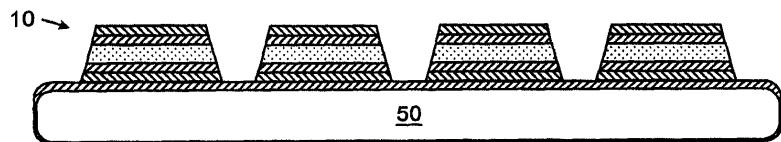
도면8



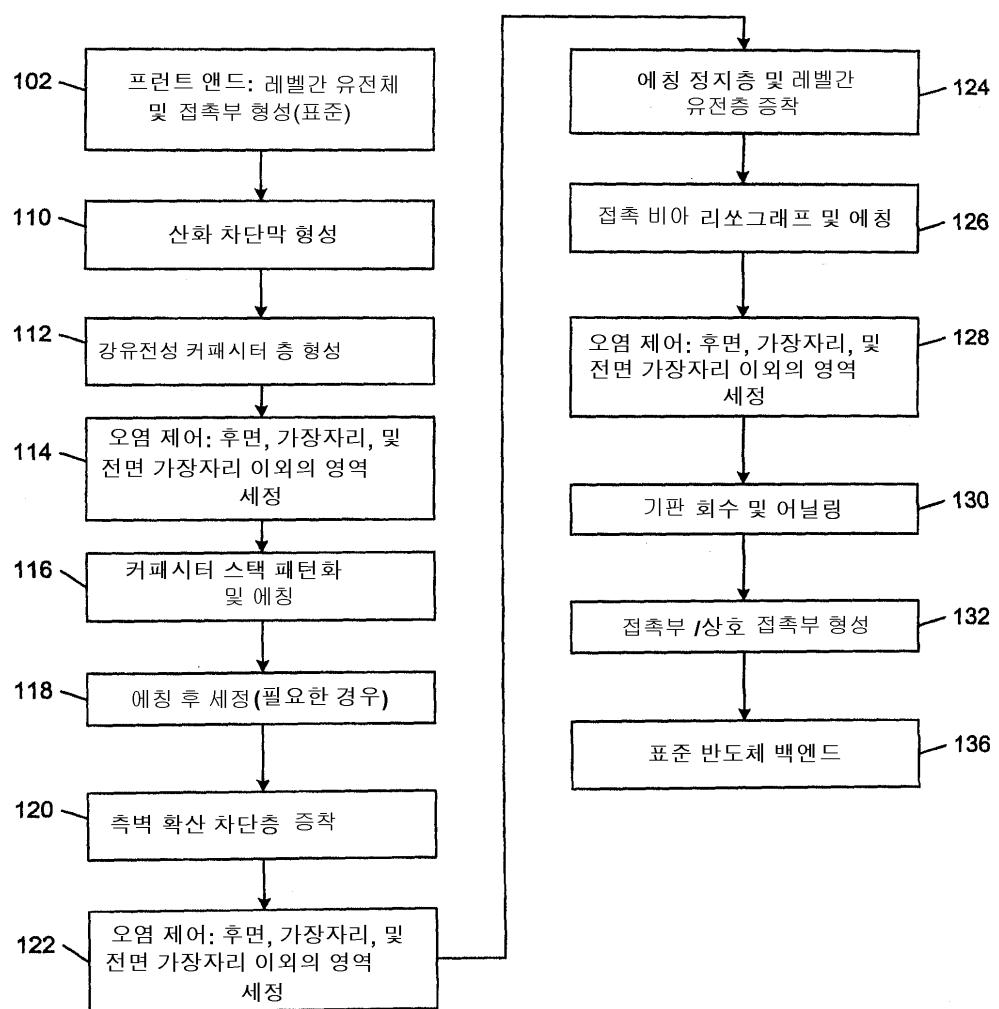
도면9



도면10



도면11



도면12

