



(12) 发明专利申请

(10) 申请公布号 CN 104332470 A

(43) 申请公布日 2015. 02. 04

(21) 申请号 201410446096. 4

G11C 16/04 (2006. 01)

(22) 申请日 2010. 04. 20

H01L 21/28 (2006. 01)

(30) 优先权数据

H01L 29/423 (2006. 01)

12/427, 587 2009. 04. 21 US

H01L 29/51 (2006. 01)

(62) 分案原申请数据

201010167275. 6 2010. 04. 20

(71) 申请人 旺宏电子股份有限公司

地址 中国台湾新竹科学工业园区力行路 16 号

(72) 发明人 吕函庭

(74) 专利代理机构 中科专利商标代理有限责任

公司 11021

代理人 任岩

(51) Int. Cl.

H01L 27/115 (2006. 01)

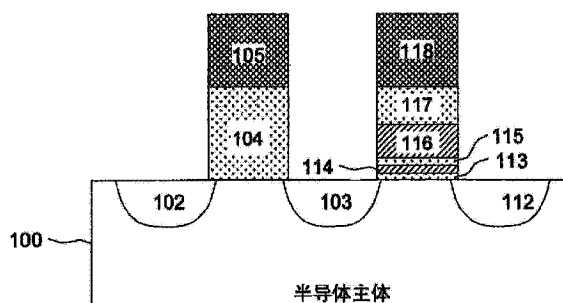
权利要求书4页 说明书20页 附图19页

(54) 发明名称

一种集成电路装置

(57) 摘要

本发明公开了一种集成电路装置,其包括一存储器阵列,该存储器阵列包含多条位线与,多条参考线,多条存取栅极字符线,及多条存储栅极字符线,所述存储单元包含各自的存取晶体管及存储晶体管,该存取晶体管具有存取栅极,而该存储晶体管具有存储栅极,存取晶体管与存储晶体管两者串联安排介于对应的位线与该多条参考线之一之间。该存储晶体管至少一者包含一半导体主体,包含一具有一通道表面的通道,以及一介电叠层位于该存储栅极与该通道表面之间。该介电叠层包含一隧穿介电层与该存储栅极和该通道表面之一连接,该介电叠层也包含一电荷捕捉介电层于该隧穿介电层之上,及一阻挡介电层。



1. 一种集成电路装置,包括:

一存储器阵列,包含多条位线与该阵列中对应的多行存储单元耦接,多条参考线,多条存取栅极字符线与该阵列对应列中的多个存取栅极耦接,及多条存储栅极字符线与该阵列对应列中的多个存储栅极耦接,其中所述存储单元包含各自的存取晶体管及存储晶体管,该存取晶体管具有存取栅极,而该存储晶体管具有存储栅极,存取晶体管与存储晶体管两者串联安排介于对应的位线与该多条参考线之一之间;

其中该存储晶体管至少一者包含一半导体主体,包含一具有一通道表面的通道,以及一介电叠层位于该存储栅极与该通道表面之间;该介电叠层包含:

一隧穿介电层与该存储栅极和该通道表面之一连接,该隧穿介电层包含多层材料结合安排以建立一相对低的价带能阶于接近该通道表面处,同时在该通道表面处的一第一距离具有一增加的价带能阶,以及在该通道表面处超过 2nm 以上的一第二距离处具有一降低的价带能阶;

一电荷捕捉介电层介于该隧穿介电层与该存储栅极之间,且具有一大于 5nm 的厚度;

一阻挡介电层位于该电荷捕捉介电层与该存储栅极之间,且与该存储栅极相连接;以及

控制电路包括逻辑以读取、程序化及擦除储存于该阵列的所述存储单元中的资料,且该隧穿介电层与该通道表面相邻时该控制电路安排由自该通道穿越该隧穿介电层至该电荷捕捉介电层的 FN 空穴注射隧穿来擦除该阵列中的存储单元至一低临界状态;

该存取晶体管至少一者包含一半导体主体,包含一具有一通道表面的通道,以及一介电叠层位于该存取栅极与该通道表面之间;该介电叠层包含包括:

一隧穿介电层与该存取栅极和该通道表面之一连接,该隧穿介电层包含多层材料结合安排以建立一相对低的价带能阶于接近该存取栅极和该通道表面该之一处,同时在该存取栅极和该通道表面该之一处的一第一距离具有一增加的价带能阶,以及在该存取栅极和该通道表面该之一处超过 2nm 以上的一第二距离处具有一降低的价带能阶;

一电荷捕捉介电层于该隧穿介电层之上,且具有一大于 5nm 的厚度;

一阻挡介电层位于该电荷捕捉介电层与该存取栅极和该通道表面的另一者之间;以及

控制电路以施加偏压来致能对于该存取晶体管的存取以进行读取、程序化及擦除而不会导致该存取晶体管的电荷捕捉效能的增强。

2. 如权利要求 1 所述的集成电路装置,其中该隧穿介电层与该通道表面相邻,且该控制电路安排由自该通道穿越该隧穿介电层至该电荷捕捉介电层的 FN 电子注射隧穿来程序化该阵列中的存储单元至一高临界状态。

3. 如权利要求 1 所述的集成电路装置,其中该隧穿介电层与该通道表面相邻,且该控制电路安排由自该通道穿越该隧穿介电层至该电荷捕捉介电层的通道热电子注射隧穿来程序化该阵列中的存储单元至一高临界状态。

4. 如权利要求 1 所述的集成电路装置,其中该控制电路安排由自该通道穿越该隧穿介电层至该电荷捕捉介电层的通道热电子注射隧穿来程序化该阵列中的存储单元至一高临界状态,且于一限制电流模式时施加一电压至该存取栅极以偏压该存取晶体管。

5. 如权利要求 1 所述的集成电路装置,其中每一该存储单元的该半导体主体包括第一及第二掺杂终端,彼此由一通道区域分隔而没有发生于其间的接合,且一特定存储单元的

该存储栅极与该存取栅极彼此相邻且于该通道区域之上。

6. 如权利要求 1 所述的集成电路装置,其中所述存储单元中的该存储晶体管具有一端点于该半导体主体之中,且包括一导电接点于该端点与一位线之间。

7. 如权利要求 1 所述的集成电路装置,其中该隧穿介电层通过该电荷捕捉介电层及该阻挡介电层与该存储栅极相邻。

8. 如权利要求 1 所述的集成电路装置,其中该控制电路安排由施加一负电压至该半导体主体及一正电压至该存储栅极以施加一正程序化电位通过该阵列中的所述存储单元,其中该正电压及该负电压具有一绝对值小于 10 伏特。

9. 如权利要求 1 所述的集成电路装置,其中该控制电路安排由施加一正电压至该半导体主体及一负电压至该存储栅极以施加一负程序化电位通过该阵列中的所述存储单元,其中该正电压及该负电压具有一绝对值小于 10 伏特。

10. 如权利要求 1 所述的集成电路装置,其中该控制电路包括逻辑以读取和程序化该阵列中每一存储单元的多重位。

11. 一种集成电路装置,包括:

一存储器阵列,包含多条位线与该阵列中对应的多行存储单元耦接,多条参考线,多条存取栅极字符线与该阵列对应列中的多个存取栅极耦接,及多条存储栅极字符线与该阵列对应列中的多个存储栅极耦接,其中所述存储单元包含各自的存取晶体管及存储晶体管,该存取晶体管具有存取栅极,而该存储晶体管具有存储栅极,存取晶体管与存储晶体管两者串联安排介于对应的位线与该多条参考线之一之间;

其中该存取晶体管及该存储晶体管具有一共通的结构,该共通的结构包含一半导体主体,包含一具有一通道表面的通道,以及一介电叠层位于一栅极与该通道表面之间;该半导体主体包括第一及第二掺杂终端由一通道区域分隔而没有发生于其间的接合,且一特定存储单元的该存储栅极与该存取栅极是彼此相邻且于该通道区域之上,且其中该介电叠层包含:

一隧穿介电层与该栅极和该通道表面之一连接,该隧穿介电层包含多层材料结合安排以建立一相对低的价带能阶于接近该栅极和该通道表面该之一处,同时在该栅极和该通道表面该之一处的一第一距离具有一增加的价带能阶,以及在该栅极和该通道表面该之一处超过 2nm 以上的一第二距离处具有一降低的价带能阶;

一电荷捕捉介电层介于该隧穿介电层与该栅极和该通道表面的另一者之间,且具有一大于 5nm 的厚度;

一阻挡介电层位于该电荷捕捉介电层与该栅极和该通道表面的该另一者之间;以及

控制电路包括逻辑以读取、程序化及擦除储存于该阵列的所述存储单元中的资料,且该隧穿介电层与该通道表面相邻时该控制电路安排由自该通道穿越该隧穿介电层至该电荷捕捉介电层的 FN 空穴注射隧穿来擦除该阵列中的存储单元至一低临界状态。

12. 如权利要求 11 所述的集成电路装置,其中该隧穿介电层与该通道表面相邻,且该控制电路安排由自该通道穿越该隧穿介电层至该电荷捕捉介电层的 FN 电子注射隧穿来程序化该阵列中的存储单元至一高临界状态。

13. 如权利要求 11 所述的集成电路装置,其中该隧穿介电层与该通道表面相邻,且该控制电路安排由自该通道穿越该隧穿介电层至该电荷捕捉介电层的通道热电子注射隧穿

来程序化该阵列中的存储单元至一高临界状态。

14. 如权利要求 11 所述的集成电路装置,其中该控制电路安排由自该通道穿越该隧穿介电层至该电荷捕捉介电层的通道热电子注射隧穿来程序化该阵列中的存储单元至一高临界状态,且于一限制电流模式时施加一电压至该存取栅极以偏压该存取晶体管。

15. 如权利要求 11 所述的集成电路装置,其中该存储单元中的该存储晶体管具有一端点于该半导体主体之中,且包括一导电接点于该端点与一位线之间。

16. 如权利要求 11 所述的集成电路装置,其中该控制电路安排由施加一负电压至该半导体主体及一正电压至该存储栅极以施加一正程序化电位通过该阵列中的所述存储单元,其中该正电压及该负电压具有一绝对值小于 10 伏特。

17. 如权利要求 11 所述的集成电路装置,其中该控制电路安排由施加一正电压至该半导体主体及一负电压至该存储栅极以施加一负程序化电位通过该阵列中的所述存储单元,其中该正电压及该负电压具有一绝对值小于 10 伏特。

18. 如权利要求 11 所述的集成电路装置,其中该控制电路包括逻辑以读取和程序化该阵列中每一存储单元的多重位。

19. 一种集成电路装置,包括:

一存储器阵列,包含多条位与该阵列中对应的多行存储单元耦接,多条参考线,多条存取栅极字符线与该阵列对应列中的多个存取栅极耦接,及多条存储栅极字符线与该阵列对应列中的多个存储栅极耦接,其中所述存储单元包含各自的存取晶体管及存储晶体管,该存取晶体管具有存取栅极,而该存储晶体管具有存储栅极,存取晶体管与存储晶体管两者串联安排介于对应的位线与该多条参考线之一之间;

其中该存取晶体管及该存储晶体管具有一共通的结构,该共通的结构包含一半导体主体,包含一具有一通道表面的通道,以及一介电叠层位于一栅极与该通道表面之间;该半导体主体包括第一及第二掺杂终端由一通道区域分隔而没有发生于其间的接合,且一特定存储单元的该存储栅极与该存取栅极是彼此相邻且于该通道区域之上,且其中该介电叠层包含:

一隧穿介电层与该栅极和该通道表面之一连接,该隧穿介电层包含多层材料结合安排以建立一相对低的价带能阶于接近该栅极和该通道表面该之一处,同时在该栅极和该通道表面该之一处的一第一距离具有一增加的价带能阶,以及在该栅极和该通道表面该之一处超过 2nm 以上的一第二距离处具有一降低的价带能阶;

一电荷捕捉介电层介于该隧穿介电层与该栅极和该通道表面的另一者之间,且具有一大于 5nm 的厚度;

一阻挡介电层位于该电荷捕捉介电层与该栅极和该通道表面的该另一者之间;

该存储单元中的该存储晶体管具有各自的端点于该半导体主体之中,且包括导电接点介于该各自的端点与该多条位线中对应的位线之间;以及

控制电路包括逻辑以读取、程序化及擦除储存于该阵列的所述存储单元中的资料,且安排由施加一正电压或负电压至该半导体主体及一负电压或正电压至该存储栅极以施加一程序化电位通过该阵列中的所述存储单元,其中该正电压及该负电压具有一绝对值小于 10 伏特,且该隧穿介电层与该通道表面相邻时该控制电路安排由自该通道穿越该隧穿介电层至该电荷捕捉介电层的 FN 空穴注射隧穿来擦除该阵列中的存储单元至一低临界状态。

20. 如权利要求 19 所述的集成电路装置,其中该隧穿介电层与该通道表面相邻,且该控制电路安排由自该通道穿越该隧穿介电层至该电荷捕捉介电层的 FN 电子注射隧穿来程序化该阵列中的存储单元至一高临界状态。

21. 如权利要求 19 所述的集成电路装置,其中该隧穿介电层与该通道表面相邻,且该控制电路安排藉由自该通道穿越该隧穿介电层至该电荷捕捉介电层的通道热电子注射隧穿来程序化该阵列中的存储单元至一高临界状态。

22. 如权利要求 19 所述的集成电路装置,其中该控制电路安排由自该通道穿越该隧穿介电层至该电荷捕捉介电层的通道热电子注射隧穿来程序化该阵列中的存储单元至一高临界状态,且于一限制电流模式时施加一电压至该存取栅极以偏压该存取晶体管。

23. 如权利要求 19 所述的集成电路装置,其中该控制电路包括逻辑以读取和程序化该阵列中每一存储单元的多重位。

一种集成电路装置

[0001] 本申请是分案申请,母案的申请号:201010167275.6,申请日:2010年4月20日,名称:于二晶体管 NOR 结构中的能隙工程电荷捕捉存储器。

技术领域

[0002] 本发明主张 2008 年 4 月 14 日申请的美国临时专利申请案第 61/124,652 号的优先权,且纳入本文作为参考。

[0003] 本发明与另一美国申请案相关,其名称为“CHARGE TRAPPING DEVICES WITH FIELD DISTRIBUTION LAYER OVER TUNNELING BARRIER”,申请号 11/756,559,申请日为 2007 年 5 月 31 号,在此提供为参考资料。

[0004] 本发明是关于闪存技术,特别是关于适用于高速擦除及程序化操作的电荷捕捉技术以适合作为在大规模集成电路中的嵌入存储器使用。

背景技术

[0005] 闪存是非挥发集成电路存储器技术的一类。传统的闪存使用浮动栅极存储单元。随着存储装置的密度提升,浮动栅极存储单元之间越加靠近,储存在相邻浮动栅极中的电荷交互影响即造成问题,因此形成限制,使得采用浮动栅极的闪存密度无法提升。另一种闪存所使用的存储单元称为电荷捕捉存储单元,其采用电荷捕捉层取代浮动栅极。电荷捕捉存储单元是利用电荷捕捉材料,不会如浮动栅极造成个别存储单元之间的相互影响,并且可以应用于高密度的闪存。

[0006] 典型的电荷储存存储单元包含一场效晶体管 (FET) 结构,其中包含由通道所分隔的源极与漏极,以及由介电材料叠层而与通道分离的栅极。其中该介电材料包含隧穿介电层、电荷储存层、与阻挡介电层。较早的传统设计如 SONOS 装置,其中源极、漏极与通道形成于硅基材 (S) 上,隧穿介电层则由氧化硅 (O) 之上,电荷储存层由氮化硅形成 (N),阻挡介电层由氧化硅 (O) 形成,而栅极则为多晶硅 (S)。此种 SONOS 装置可采行多种已知的偏压技术,利用电子隧穿进行程序化,或者利用空穴隧穿、电子释放来进行擦除。为了达成实际擦除操作所需的速度,隧穿介电层的厚度必须很薄 (小于 30 埃)。然而,在此厚度下,存储单元的耐力及电荷保持特性相较于传统的浮动栅极技术是较差的。此外,如果具有相对较厚的隧穿介电层,擦除操作所需的电场亦会导致电子自栅极注射通过阻挡介电层。此电子注射导致一饱和擦除条件,在此电荷捕捉装置中的电荷阶级收敛至一平衡阶级。可参见由本案发明人 Lu 等人所提出的美国专利号 7,075,828,标题为“Operation Scheme with charge Balancing Erase for Charge Trapping Non-Volatile Memory”。然而,假如擦除饱和和阶级太高的话,此存储单元反而根本无法被擦除,或是会造成在许多应用中介于程序化与擦除状态之间的临界边界太小了。

[0007] 电荷捕捉存储单元的研究方向之一为 NAND 型的结构。举例而言,相关研究有 Shin et al.,“A Highly Reliable SONOS-type NAND Flash Memory Cell with Al_2O_3 or Top Oxide” IEDM, 2003 (MANOS) 以及 Shin et al.,“A Novel NAND-type MONOS Memory using

63nm Process Technology for a Multi-Gigabit Flash EEPROMs”, IEEE 2005.。

[0008] 在一 NAND 型态的结构中,存储单元是串联排列所以通过串行存储单元的读取电流可以限制在一定数目之下而读取操作的速度可以被达成。

[0009] 一个使用浮动栅极存储单元装置用以提供高速读取操作的替代结构是称为 NOR 的结构。在一 NOR 型态的结构中,存储单元是平行排列于区域位线与参考线之间。如此情况,读取操作时的电流可以相当的高。然而,任何自此存储单元沿着一给定位线的漏电流可以干扰成功读取资料的能力。因此,某些 NOR 结构安排成一个具有两个晶体管 (2T) 存储单元结构,其中每一个存储单元举有一存取晶体管,及一个资料储存晶体管彼此串连。此存取晶体管用来将资料储存晶体管与位线隔离且防止漏电流干扰其它存储单元的读取。

[0010] 图 1 为一个 2T NOR 存储单元结构的范例示意图,其类似于 Tsao et al. 于论文“A Quantitative Study of Endurance Characteristics and Its Temperature Dependence of Embedded Flash Memory with 2T-FNFN NOR Device Architecture”,IEEE Transactions on Device materials Reliability, Volume 7, No.2, June,2007.。根据此已知技术,一阵列包含多条存取栅极字符线 AG1, AG2, ... 及多条存储栅极字符线 MG1, MG2, ..., 两者与多条位线 BL1, BL2.. 正交地排列。一个存储单元单元包含一存取晶体管 10 及一存储晶体管 11。一存取栅极字符线 (如 AG2) 与存取晶体管的栅极成列地连接,而一存储栅极字符线 (如 MG2) 与浮动栅极晶体管的控制栅极沿着此列连接。此存取晶体管 10 的源极与参考线 SL 耦接。此浮动栅极晶体管 11 的漏极与位线 (如 BL1) 耦接。此存取晶体管 10 和浮动栅极晶体管 11 分享一介于其间的终端,是作为浮动栅极晶体管 11 的源极和存取晶体管 10 的漏极。可由图中看出,此结构中的两个单元分享一位线接触 12 且沿着分享位线接触 12 的两侧安排成镜像。此源极线 SL 通常是与存取栅极字符线平行如图中所示。

[0011] 图 2 显示使用浮动栅极的基本两晶体管存储单元示意图。此结构是形成于一半导体主体 20 上,其通常是晶粒中一个隔离的 P 型井。此存储单元中的存储晶体管包括一控制栅极 21 (与一存储栅极字符线耦接),一浮动栅极 22,其是使用多晶硅利用不同的沉积与图案化步骤形成。此浮动栅极 22 由隧穿介电层 23 而与半导体主体 20 分离,此隧穿介电层 23 通常是二氧化硅。此浮动栅极 22 由多晶硅层间介电层 24 而与控制栅极 21 分离,此多晶硅层间介电层 24 通常是氧化硅 / 氮化硅 / 氧化硅结构,以设计用来阻挡由控制栅极与浮动栅极之间隧穿所导致的漏电流。此存取晶体管包括一存取栅极 25 及一栅极介电层 26 于半导体主体 20 之上。一个使用 n+ 的掺杂区域做为漏极终端 27,且与位线耦接如图 1 中所示。一个使用 n+ 的掺杂区域做为源极区域 29,是位于存取晶体管的相对侧且与阵列的源极线 SL 耦接如图 1 中所示。一个使用 n+ 的掺杂区域的终端 28 是位于存取晶体管 10 和浮动栅极晶体管 11 之间,是作为存储晶体管的源极和存取晶体管的漏极。使用浮动栅极存储装置所产生的问题是,需使用两次多晶硅沉积步骤及增加成本。此外,当存储单元的尺寸缩小时会产生相邻存储单元之间的干扰问题。这些问题妨碍了此种存储单元作为大型单芯片高密度装置的嵌入式存储器之用。

[0012] 一种类似的 2T NOR 存储单元结构被揭露于 Shimoji 等人所提出的美国专利号 5,319,229。在其中 Shimoji 等人提出使用电荷捕捉存储单元,其可以搭配存取晶体管在相对低的电压下进行程序化及擦除操作。此 Shimoji 等人的存储单元,因为是使用低电压进

行程序化及擦除操作,即使是使用低电压来驱动存取晶体管仍非常有可能会遇到储存于存储晶体管中的电荷干扰问题。

[0013] 本案的发明人曾参与电荷捕捉存储器的研究,其是使用能带加工 (bandgap engineered) 电荷捕捉技术,称为 BE-SONOS。BE-SONOS 存储单元的多种实施例可参见美国专利 7,426,440B2 (Lue) 以及美国专利公开号 2007/0029625 (Lue 等人)。BE-SONOS 的特色为可以在相对低电场的情况下阻止电荷隧穿,而可以在中高电场情况下致能非常有效率的隧穿。BE-SONOS 具有耐用与稳定的特性。

[0014] 因此,有必要提供一种适用于大型单芯片高密度装置的嵌入式存储器,其可以在相对低的电压下操作及允许高速读取存取,其也仅需要占用装置中非常小的面积及很简单制造等特性。

发明内容

[0015] 本发明揭露一种使用 BE-SONOS 的 2T NOR 存储单元结构以作为嵌入式存储器之用。

[0016] 本发明是关于一种集成电路装置,根据此结构包括一存储器阵列,具有多条位线与该阵列中对应的多行存储单元耦接,多条参考线,多条存取栅极字符线与该阵列对应列中的多个存取栅极耦接,及多条存储栅极字符线与该阵列对应列中的多个存储栅极耦接。此阵列中的所述存储单元包含各自的存取晶体管及存储晶体管,该存取晶体管具有存取栅极而该存储晶体管具有存储栅极两者串联安排介于对应的位线与该多条参考线之一之间。此存储单元中的一存储晶体管包含一半导体主体,包含一具有一通道表面的通道,以及一介电叠层位于该栅极与该通道表面之间。此介电叠层包含一能隙工程隧穿介电层与该存储栅极和该通道表面之一连接,该隧穿介电层包含多层材料结合安排以建立一相对低的价带能阶于接近该存储栅极(对栅极注射而言)和该通道表面(对通道注射而言)该之一处,同时在该存储栅极和该通道表面之一处的一第一距离具有一增加的价带能阶,以及在该存储栅极和该通道表面之一处超过 2nm 以上的一第二距离处具有一降低的价带能阶。此存储单元的介电叠层也包含一电荷捕捉介电层介于该隧穿介电层与该栅极和该通道表面的另一者之间,且具有一大于 5nm 的厚度,及一阻挡介电层位于该电荷捕捉介电层与该栅极和该通道表面的该另一者之间。此集成电路的控制电路包括逻辑以读取、程序化及擦除储存于该阵列的所述存储单元中的资料,以利用使用 BE-SONOS 的 2T NOR 存储单元结构的独特特性所提供的优点,包括此装置在读取操作时此电荷隧穿层会有效低阻止在此相对低电场情况下的隧穿发生以及未被选取存储单元在程序化和擦除时的隧穿发生,而能够在中等电场下,致能被选取存储单元或选取区段的程序化和擦除操作时的隧穿发生。

[0017] 此 2T NOR 存储单元结构可以致能快速读取操作,其中存储单元是平行的连接,且存储单元中的存储晶体管具有一端点于半导体主体中,及一导电接点直接连接该端点与一位线,于低操作电压时提供一相对高的电流。

[0018] 使用 BE-SONOS 结构可以使存储单元中的存取晶体管与存储晶体管两者具有相同的介电叠层,包括隧穿介电层,以允许此阵列的简单制造及紧密布局。此 BE-SONOS 结构可以阻止在低电场下的隧穿发生能力允许存取晶体管可以作为标准的场效装置操作,而不会在程序化和擦除存储晶体管时捕捉电荷于相同或是邻近的存储单元中。

[0019] 使用 BE-SONOS 结构可以致能“无接合”的实施例，一存储单元的半导体主体包括第一及第二掺杂终端由一通道区域分隔而没有发生于其间的接合，且一特定存储单元的该存储栅极与该存取栅极是彼此相邻且于该通道区域之上。

[0020] 在隧穿介电层与通道表面邻接的实施例中，该控制电路安排由自该通道穿越该隧穿介电层至该电荷捕捉介电层的 FN 电子注射隧穿来程序化该阵列中的存储单元至一高临界状态，且安排由自该通道穿越该隧穿介电层至该电荷捕捉介电层的 FN 空穴注射隧穿来擦除该阵列中的存储单元至一低临界状态。

[0021] 在隧穿介电层与存储栅极邻接的实施例中，该控制电路安排由自该栅极穿越该隧穿介电层至该电荷捕捉介电层的 FN 空穴注射隧穿来程序化该阵列中的存储单元至一低临界状态，且安排由自该栅极穿越该隧穿介电层至该电荷捕捉介电层的 FN 电子注射隧穿来擦除该阵列中的存储单元至一高临界状态。

[0022] 替代地，在栅极注射与通道注射的两种实施例中，该控制电路安排由通道热电子注射来程序化。在替代的通道热电子注射程序化装置中，存取晶体管可以偏压成为一电流限流器，以在此情况下改善程序化表现及节省功耗。

[0023] BE-SONOS 结构的较大操作区间可以致能实施例中一存储单元储存多重位。

[0024] 此处描述 n 通道及 p 通道两种实施例。

附图说明

[0025] 为了让本发明的上述和其它目的、特征、和优点能更明显易懂，下文是搭配较佳实施例及附图，作详细说明如下，其中：

[0026] 图 1 为已知技术使用非挥发浮动栅极晶体管的 2T NOR 存储单元结构的示意图。

[0027] 图 2 为使用浮动栅极存储晶体管的 2T 存储单元的剖面示意图。

[0028] 图 3 为使用一能隙工程介电隧穿层的包含电荷捕捉存储晶体管的 2T 存储单元的简要示意图。

[0029] 图 4 提供一个使用图 3 中的 2T 存储单元的阵列结构布局示意图。

[0030] 图 5 为 2T 存储单元的剖面示意图，在其中存取晶体管与存储晶体管均是使用相同的通道注射 BE-SONOS 晶体管。

[0031] 图 6 为使用图 5 中的存储单元结构布局的已知技术的使用 BE-SONOS 晶体管 2T NOR 结构的存储单元阵列的示意图。

[0032] 图 7 提供一 2T NOR 结构嵌入存储器的布局示意图，其是使用图 5 中的存储单元结构。

[0033] 图 8 显示使用“无接合”结构的 2T 存储单元剖面示意图，其中存取晶体管与存储晶体管均是使用相同的通道注射 BE-SONOS 晶体管而没有一杂掺杂终端以提供一位于存取晶体管与存储晶体管之间的接合。

[0034] 图 9 提供一阵列结构的布局示意图，其是使用图 5 中的 2T 存储单元结构。

[0035] 图 10 为低电场下一 BE-SONOS 存储晶体管的多层隧穿介电叠层的能阶示意图。

[0036] 图 11 为高电场下一 BE-SONOS 存储晶体管的多层隧穿介电叠层进行空穴隧穿的能阶示意图。

[0037] 图 12 显示一适合使用于此处所描述 2T NOR 结构的替代 BE-SONOS 电荷捕捉存储

晶体管的栅极叠层简化示意图。

[0038] 图 13 显示一典型具有隧穿介电层邻接通道的 n 通道 BE-SONOS 存储晶体管于擦除及程序化时的临界电压分布图。

[0039] 图 14 及图 15 显示读取 n 通道、通道注射的 BE-SONOS 存储晶体管的 2T 存储单元的调整偏压,其中图 14 是读取高 V_t ,图 15 是读取低 V_t 。

[0040] 图 16 和图 17 分别显示存储单元于一正电压进行 FN 电子隧穿程序化所选取存储单元与非选取存储单元于使用 n 通道、通道注射的 BE-SONOS 存储晶体管的调整偏压,其中图 16 是 +FN 程序化,图 17 是 +FN 未选取存储单元。

[0041] 图 18 显示一使用 n 通道 BE-SONOS 存储晶体管的 2T 存储单元的 NOR 结构进行 FN 空穴隧穿区段擦除操作的擦除调整偏压,即 -FN 区段擦除。

[0042] 图 19 和图 20 分别显示存储单元于一低电压大小进行 FN 电子隧穿程序化所选取存储单元与非选取存储单元于使用 n 通道 BE-SONOS 存储晶体管的调整偏压,其中图 19 是 +FN 程序化,图 20 是 +FN 未选取存储单元。

[0043] 图 21 和图 22 分别显示存储单元于一低电压大小进行 FN 通道热电子注射程序化所选取存储单元与非选取存储单元于使用 n 通道 BE-SONOS 存储晶体管的调整偏压,其中图 21 是 CHE 程序化,图 22 是 CHE 未选取存储单元。

[0044] 图 23 显示一包含在栅极注射结构中使用能隙工程介电隧穿层的电荷捕捉存储晶体管的 2T 存储单元的简要示意图。

[0045] 图 24 为栅极注射结构中 2T 存储单元替代实施例结构的简要示意图,在其中存取晶体管的栅极介电层是使用与存储晶体管相同的介电叠层。

[0046] 图 25 显示使用“无接合”结构的 2T 存储单元剖面示意图,其中存取晶体管与存储晶体管均是使用相同的栅极注射 BE-SONOS 晶体管而没有一杂掺杂终端以提供一位于存取晶体管与存储晶体管之间的接合。

[0047] 图 26 显示一典型栅极注射的 n 通道 BE-SONOS 存储晶体管于擦除及程序化时的临界电压分布图。

[0048] 图 27 及图 28 显示读取 n 通道、栅极注射的 BE-SONOS 存储晶体管的 2T 存储单元的调整偏压,其中图 27 是读取低 V_t ,图 28 是读取高 V_t 。

[0049] 图 29 和图 30 分别显示存储单元于一正电压进行 FN 电子隧穿程序化所选取存储单元与非选取存储单元于使用 n 通道、栅极注射的 BE-SONOS 存储晶体管的调整偏压,其中图 29 是 +FN 程序化,图 30 是 +FN 未选取存储单元。

[0050] 图 31 显示一使用 n 通道 BE-SONOS 存储晶体管的 2T 存储单元的 NOR 结构进行 FN 电子隧穿区段擦除操作的擦除调整偏压,即 -FN 区段擦除。

[0051] 图 32 和图 33 分别显示存储单元于一通道热电子注射程序化所选取存储单元与非选取存储单元于使用 n 通道栅极注射的 BE-SONOS 存储晶体管的调整偏压,其中图 32 是 CHE 程序化,图 33 是 CHE 未选取存储单元。

[0052] 图 34 显示存储单元于一通道热电子注射程序化所选取存储单元于 n 通道栅极注射的 BE-SONOS 存储晶体管的“无接合”2T 存储单元的调整偏压,即 CHE 程序化。

[0053] 图 35 及图 36 显示读取 p 通道、通道注射的 BE-SONOS 存储晶体管的 2T 存储单元的调整偏压,其中图 35 是读取高 V_t ,图 36 是读取低 V_t 。

[0054] 图 37 和图 38 分别显示存储单元于进行 FN 电子隧穿程序化所选取存储单元与非选取存储单元于使用 p 通道、通道注射的 BE-SONOS 存储晶体管的调整偏压,其中图 37 是 +FN 程序化,图 38 是 +FN 未选取存储单元。

[0055] 图 39 显示一使用 p 通道、通道注射的 BE-SONOS 存储晶体管的 2T 存储单元的 NOR 结构进行 FN 空穴隧穿区段擦除操作的擦除调整偏压,即 -FN 区段擦除。

[0056] 图 40 和图 41 分别显示读取 p 通道、栅极注射的 BE-SONOS 存储晶体管的 2T 存储单元的调整偏压,其中图 40 是读取低 V_t ,图 41 是读取高 V_t 。

[0057] 图 42 和图 43 分别显示存储单元于进行 FN 电子隧穿程序化所选取存储单元与非选取存储单元于使用 p 通道、栅极注射的 BE-SONOS 存储晶体管的调整偏压,其中图 42 是 -FN 程序化,图 43 是 -FN 未选取存储单元。

[0058] 图 44 显示一使用 p 通道、栅极注射的栅极注射的 BE-SONOS 存储晶体管的 2T 存储单元的 NOR 结构进行 FN 电子隧穿区段擦除操作的擦除调整偏压,即 +FN 区段擦除。

[0059] 图 45 是可应用本发明使用 BE-SONOS 存储单元于一 2T NOR 结构的集成电路的简化方块图。

具体实施方式

[0060] 本发明各实施例的详细说明请一并参考图 3 至图 45。

[0061] 图 3 为使用一能隙工程介电隧穿层的包含电荷捕捉存储晶体管的 2T 存储单元的简要示意图。此存储单元是形成于一半导体主体 100 上,且包含一存取晶体管及一存储晶体管。此存取晶体管包括一通道 101、一源极 102 及一漏极终端 103。一栅极介电层 104 于通道 101 之上,而一栅极 105 于栅极介电层 104 之上。此存储晶体管包括一通道 110、一源极终端 103 及一漏极 112 邻近通道、一栅极 118 于一作为电荷捕捉结构的多层介电层叠层之上,此电荷捕捉结构包含一阻挡介电层、电荷捕捉层及一隧穿层。在此范例中,此电荷捕捉层与隧穿层连接,但是也可以其它方式放置于隧穿层与栅极之间。类似地,此阻挡介电层与电荷捕捉层连接,但是也可以其它方式放置于电荷捕捉层与栅极之间。

[0062] 在此实施例中栅极 105 和 118,包括 p+ 多晶硅。但也可以使用 N+ 多晶硅。其它实施例中,栅极可使用金属、金属化合物或前二者的组合,像是铂、氮化钽、金属硅化物、铝或其它金属或金属化合物栅极材料(如钛、氮化钛、钽、钨、钽、二氧化钨、二氧化钽、钨、氮化钨及其它物材料)。于某些实施例中,较佳是使用功函数大于 4 电子伏特的材料,更佳是使用功函数大于 4.5 电子伏特的材料。各种可应用在栅极终端的高功函数材料可参见美国专利第 6,912,163 号。所述材料通常是使用溅镀或物理气相沉积技术来沉积,且可利用活性离子蚀刻来进行图案化。

[0063] 在图 3 所示的实施例中,隧穿介电层包含复合材料,包括第一层 113,在此称为空穴隧穿层,是二氧化硅层于通道 110 表面之上,可利用如现场蒸汽产生(in-situ steam generation,ISSG)的方法形成,并选择性地利用沉积后一氧化氮退火或于沉积过程中加入一氧化氮的方式来进行氮化。此第一层 113 中的二氧化硅的厚度是小于 20 埃,最好是小于等于 15 埃。在一代表性实施例中为 10 或是 12 埃。

[0064] 氮化硅层 114(称为能带补偿层)是位于第一层 113 之上,且其是利用像是低压化学气相沉积 LPCVD 的技术,于 680°C 下使用二氯硅烷(dichlorosilane,DCS)与氨的前驱物

来形成。于其它替代工艺中,能带补偿层包括氮氧化硅,其是利用类似的工艺及一氧化二氮前驱物来形成。氮化硅层 114 的厚度是小于 30 埃,且较佳为 25 埃或更小。

[0065] 第二二氧化硅层 115(称为隔离层)是位于氮化硅层 114 之上,且其是利用像是 LPCVD 高温氧化物 HTO 沉积的方式形成。第二二氧化硅层 115 是小于 35 埃,且较佳为 25 埃或更小。第一处的价带能阶是可使电场足以诱发空穴隧穿通过该第一处与半导体主体接口间的薄区域,且其亦足以提升第一处后的价带能阶,以有效消除第一处后的经处理的隧穿介电层内的空穴隧穿现象。此种结构除了可达成电场辅助的高速空穴隧穿外,其亦可在电场不存在或为了其它操作目的(像是从存储单元读取资料或程序化邻近的存储单元)而仅诱发小电场的情形下,有效的预防电荷流失通过经工程隧穿阻碍结构。

[0066] 因此,于一代表性的装置中,经工程隧穿阻碍结构是由超薄氧化硅层 01(例如小于等于 15 埃)、超薄氮化硅层 N1(例如小于等于 30 埃)以及超薄氧化硅层 02(例如小于等于 35 埃)所组成,且其可在和半导体主体的接口起算的一个 15 埃或更小的补偿下,增加约 2.6 电子伏特的价带能阶。由一低价带能阶区域(高空穴隧穿阻碍)与高传导带能阶,02 层可将 N1 层与电荷捕捉层分开一第二补偿(例如从接口起算约 30 埃至 45 埃)。由于第二处距离接口较远,足以诱发空穴隧穿的电场可提高第二处后的价带能阶,以使其有效地消除空穴隧穿阻碍。因此,02 层并不会严重干扰电场辅助的空穴隧穿,同时又可增进经工程隧穿阻碍结构在低电场时阻绝电荷流失的能力。

[0067] 关于介电隧穿层的详细说明请同时配合参考图 10 和图 11。

[0068] 于本实施例中,一电荷捕捉层 116 包括厚度大于等于 50 埃的氮化硅,举例来说,厚度约 70 埃的氮化硅,且其是利用如 LPCVD 方式形成。本发明也可使用其它电荷捕捉材料与结构,包括像是氮氧化硅($\text{Si}_x\text{O}_y\text{N}_z$)、高含硅量的氮化物、高含硅量的氧化物,包括内嵌纳米粒子的捕捉层等等。2006 年 11 月 23 号公开,名称为“Novel Low Power Non-Volatile Memory and Gate Stack”,发明人为 Bhattacharyya 的美国专利申请公开号第 US 2006/0261401A1 号揭露了多种可使用的电荷捕捉材料。

[0069] 在此实施例中的阻挡介电层 117 是氧化硅,此阻挡介电层 320 的厚度是大于等于 50 埃,且包含在某些实施例中 90 埃,且可以使用将氮化硅进行湿式转换的湿炉管氧化工艺。在其它实施例中则可以使用高温氧化物(HTO)或是 LPCVD 沉积方式形成的氧化硅。

[0070] 在一代表性的实施例中,此第一层 113 可以是大约 13 埃厚的氧化硅,此能带补偿层 114 可以是大约 20 埃厚的氮化硅,此隔离层 115 可以是大约 25 埃厚的二氧化硅,此介电电荷捕捉层 116 可以是大约 70 埃厚的氮化硅,而此阻挡介电层 117 可以是大约 90 埃厚的二氧化硅。而栅极材料可以是 p+ 多晶硅(其功函数为 5.1 电子伏特)。

[0071] 图 4 提供一 2T NOR 结构嵌入存储器的布局示意图,其是使用图 3 中的存储单元结构。此布局的上层包含图案化的金属线 201-206 其连接作为阵列的位线,对应于图 1 中的位线 BL1-BL3。这些图案化的金属线 201-206 在图式中是透视的以显示出下层的更多细节,但是沿着阵列的长度延伸。这些图案化的金属线 201-206 通过层间介电层中的介层孔的接触窗(如金属线的接触 207 和 208)与半导体基板中作为存储单元的存储晶体管的漏极的掺杂区域(如区域 217)连接。多晶硅线可以安排与图案化的金属线 201-206 正交以提供存储栅极字符线(如 209 和 210)及存取栅极字符线(如 211 和 212)。一图案化的金属线 213 作为此阵列的源极线,对应于图 1 中的源极线 SL。此图案化的金属线 213 通过接触窗

(未示)与下方半导体基板中作为存储单元的存取晶体管的源极的掺杂区域(如区域215)连接。介于存取栅极字符线与存储栅极字符线之间的掺杂区域(如区域214),如同上述的,提供介于存取晶体管与存储晶体管之间的接合。在布局图式中标示为圆圈220的一个单元存储单元,包含一存取晶体管与一存储晶体管之间耦接有作为源极线的图案化金属线213和作为位线的图案化金属线202。此存取晶体管与存储晶体管排列方式可以在替代实施例中调换,即存储晶体管在其源极与源极线耦接,而存取晶体管在其漏极与位线耦接。

[0072] 在此例示实施例中,此栅极介电层(图3中的104)在存取晶体管是利用单层氧化硅或是其它合适的栅极介电层材料实施。然而,存储晶体管的介电叠层(图3中的117-113)如上述是包括电荷捕捉结构。因此,在此装置的工艺步骤中,由方块216所代表的一图案化步骤被使用以允许产生不同型态的介电叠层于栅极与基板之间。因为此图案化步骤是必须的,介于存取栅极字符线212与存储栅极字符线210之间的距离(如221)必须足够大以加入掩膜未对准的因素。

[0073] 图5为2T存储单元替代实施例结构的简要示意图,在其中存取晶体管的栅极介电层是使用与存储晶体管相同的介电叠层。如图4中所示,此存取晶体管包括一栅极118a、一阻挡介电层117a、一电荷捕捉层116a及一隧穿介电层包括115a、114a和113a。除此之外,此结构与图3中的类似。此图5中的结构可行是因为此隧穿介电层的特性可以在此2T存储单元操作时所遭遇的中等电场时有效地阻挡电荷的隧穿。因此,当作为2T存储单元的存取晶体管使用时其可以操作为一般的场效晶体管。此外,与图3中的结构相较与图5中的结构是较佳的因为制造此单元存储单元所需的面积被减少。此面积的减少是因为不需要额外提供因为两种不同的介电叠层于同一2T存储单元中掩膜未对准的因素偏移的区域。

[0074] 图6为使用图5中的存储单元结构的2T NOR结构的存储单元阵列的示意图。可以图中看出,图6的布局是与图1的已知技艺类似,除了存取晶体管是利用与存储单元相同的非挥发存储单元结构之外。图6布局中的单元存储单元包含存取晶体管15其具有一作为栅极介电层的BE-SONOS介电叠层,及一BE-SONOS存储晶体管16其具有一作来储存资料的BE-SONOS介电叠层。一存取栅极字符线(如AG2)与存取晶体管的栅极成列地连接,而一存储栅极字符线(如MG2)与浮动栅极晶体管的控制栅极沿着此列连接。此存取晶体管15的源极与参考线SL耦接。此存储晶体管16的漏极与位线(如BL1)耦接。此存取晶体管15和存储晶体管16分享一介于其间的终端,是作为存储晶体管16的源极和存取晶体管15的漏极。可由图中看出,此结构中的两个单元分享一位线接触17且沿着分享位线接触17的两侧安排成镜像。此源极线SL通常是与存取栅极字符线平行如图中所示。

[0075] 图7提供一2T NOR结构嵌入存储器的布局示意图,其是使用图5中的存储单元结构。因为其结构是和图4类似,所以使用相同的参考标号。然而,布局图案216并未使用于图7的结构中,因为存取栅极字符线(如211、212)下方的介电叠层是与存储栅极字符线(如210、209)下方的介电叠层相同。因此,由箭头230所代表的介于存储栅极字符线210与存取栅极字符线212之间的距离可以显著地缩小,导致一较小的整体阵列面积。

[0076] 图8显示此2T存储单元一个更高密度的替代实施例结构,使用任何“无接合”结构。图8中的2T存储单元是利用与图5中的2T存储单元一样使用存取晶体管的栅极介电层与存储晶体管相同的介电叠层。所以使用相同的层次参考标号以强调结构的类似。然而,在图8中并没有栅极间掺杂区域(图5中的103)。而是一个连续的通道区域106自源

极终端 102 延伸至漏极终端 112。

[0077] 图 9 提供一 2T NOR 结构嵌入存储器的布局示意图,其是使用图 8 中的存储单元结构。因为其结构是和图 4 和图 7 类似,所以使用相同的参考标号。然而,布局图案 216 并未使用于图 9 的结构中,因为存取栅极字符线(如 211、212)下方的介电叠层是与存储栅极字符线(如 210、209)下方的介电叠层相同。此外,在存取栅极字符线与存储栅极字符线之间基板中的区域(如 231)并没有包括一掺杂区域,而是如前述的无接合。因此,单元存储单元 240 及介于存储栅极字符线 210 与存取栅极字符线 212 之间的距离可以非常小,导致一更小的整体阵列面积。

[0078] 图 10 为低电场下包含图 3 层 113-115 叠层的介电隧穿结构的传导带与价带的能阶示意图,图中可看出一“U 形”传导带与一“倒 U 形”价带。由图右侧开始,半导体主体的能隙乃于区域 30,空穴隧穿层 113 的价带与传导带乃于区域 31,补偿层 114 的能隙乃于区域 32,隔离层 115 的价带与传导带乃于区域 33,而电荷捕捉层 116 的价带与传导带乃于区域 34。由于区域 31、32、33 内隧穿介电层的传导带相较于能陷的能阶而言较高,故捕捉于电荷捕捉区 34 的电子(以一个圆圈内包着负号来表示)并无法隧穿至通道内的传导带。电子隧穿的机率与隧穿介电层内“U 形”传导带下的区域相关联,也与具有能陷的能阶的一条至通道的水平线上的区域相关联。因此,在低电场的条件下,电子隧穿现象不太可能发生。相同地,区域 30 内通道的价带中的空穴则受到区域 31、32、33 全部厚度以及通道接口处高空穴隧穿阻碍高度的阻挡,以致其无法隧穿至电荷捕捉层(区域 34)。空穴隧穿的机率与隧穿介电层内“反 U 形”价带上的区域相关联,也与具有通道的能阶的一条至电荷捕捉层的水平线下的区域相关联。因此,在低电场的条件下,空穴隧穿现象不太可能发生。在一代表性实施例中,其中空穴隧穿层包括二氧化硅,约 4.5 电子伏特的空穴隧穿能障高度可防止空穴隧穿。氮化硅内的价带仍维持在低于通道内的价带 1.9 电子伏特,因此,隧穿介电结构的区域 31、32、33 内的价带仍远低于通道区域 30 内的价带。据此,本发明一实施例所描述的隧穿层具有能带补偿特征,包括位于半导体主体接口处的薄区域(区域 31)内相对较大的空穴隧穿能障高度,以及距通道表面不到 2 纳米处的第一位置的价带能阶 37 的增加。此外,由提供具有相对高隧穿能障高度材料的薄层(区域 33),能带补偿特征也包括与通道分开的第二位置的价带能阶 38 的减少,形成反 U 形的价带形状。相类似地,由选择相同的材料,传导带是具有一 U 形的形状。

[0079] 图 11 显示为了诱发空穴隧穿(于图 3 中,01 层的厚度约为 15 埃),于隧穿区域 31 中施加约 -12 百万伏特/厘米的电场下介电隧穿结构的能带图。于电场中,价带由通道表面处向上倾斜。因此,在离通道表面一补偿距离处,隧穿介电结构内的价带于价带能阶中明显的增加,同时在图中可见其增加到高过通道区域的价带内的能带能量。因此,当区域内(于图 3 中的阴影区域)的价带能阶与隧穿叠层内倾斜的反 U 形价带上的价带能阶之间的面积减少时,空穴隧穿的机率将大幅增加。于高电场下,能带补偿可有效地由隧穿介电层处消除区域 32 内的补偿层与区域 33 内的隔离层的阻碍效应。因此,在相对小电场(例如 E 小于 14 百万伏特/厘米)下,隧穿介电层可以产生较大的空穴隧穿电流。

[0080] 隔离层(区域 33)将补偿层(区域 32)与电荷捕捉层(区域 34)隔离开,对于电子与空穴在低电场下,此可增加有效阻碍能力,并增进电荷维持。

[0081] 于本实施例中,补偿层(区域 32)的厚度必须够薄,以致其具有可忽略的电荷捕捉

效能。此外,补偿层为介电层而不具导电性。因此,对于使用氮化硅的实施例,补偿层的厚度较佳是小于 30 埃,而更佳是为 25 埃或更小。

[0082] 对于采用二氧化硅的实施例来说,空穴隧穿区域 31 的厚度应小于 18 埃,且较佳是小于 15 埃。举例来说,于一较佳实施例中,空穴隧穿区域 31 为 13 埃或 10 埃的二氧化硅,且其是经过如前所述的氮化处理,以得到超薄氮氧化硅。

[0083] 与本发明实施例中,隧穿阻碍介电层可使用氧化硅、氮氧化硅及氮化硅的组合材料,且其中各层之间并无明显的过渡状态,只要该种组合材料可提供前述的反 U 形价带。而在离有效空穴隧穿所需的通道表面该补偿距离处,隧穿介电层的价带能阶具有变化。此外,其它材料的组合也可应用于能带补偿技术中。

[0084] 对于 SONOS 型存储器的隧穿阻碍介电层来说,其重点在于提高“空穴隧穿”的效能而非电子隧穿,且目前此问题也已有了解决方案。举例来说,对于利用厚度够薄的二氧化硅来提供较大的空穴隧穿的隧穿阻碍结构而言,其厚度将会因为太薄而无法有效阻碍电子隧穿引起的电荷流失。而由工程适当的处理则可增进电子隧穿的效能。据此,利用能隙工程将可提升利用电子隧穿而进行的程序化以及利用空穴隧穿而进行的擦除操作。

[0085] 因为介电隧穿层中的 U 形价带和 U 形导电带结果,此隧穿层可以有效地作为像是一开关,其在当电场低于一临界阶级时(例如 E 小于 8 百万伏特/厘米)是关闭的而基本上不允许隧穿发生,而在电场高于一临界阶级时则是允许高效率的隧穿发生。可以把此临界阶级想成电场的大小影响此隔离层 33 的隧穿机率变得不重要或是很小。因为使用 BE-SONOS 存储晶体管,此存取晶体管及存储晶体管可以在此布局中更紧密的放置,因为由存取晶体管栅极电压所诱发的存储晶体管的电荷储存结构内的电场,并不会导致存储单元中的严重电荷捕捉分布来影响操作。

[0086] 此外,如同上述的 2T NOR 结构,可以实现使用 BE-SONOS 存储晶体管及存取晶体管具有与 BE-SONOS 存储晶体管相同的介电叠层。使用 BE-SONOS 存储晶体管及存取晶体管,可以能够操作存取晶体管在一电压下而不会导致产生高于存取晶体管隧穿介电层的临界电场。如此,存取晶体管不会捕捉到可以足够改变其操作临界电压的电荷。

[0087] 图 12 显示一适合使用于 2T NOR 结构的替代 BE-SONOS 电荷捕捉存储晶体管的栅极叠层简化示意图,显示于一擦除程序时的动态电场。此栅极叠层包含一空穴隧穿层 43、能带补偿层 44、以及一隔离层 45,其组合是作为此装置的介电隧穿层。一电荷捕捉层 46 在此显示于介电隧穿层之上。一阻挡介电层包含一多层叠层的缓冲层 47A 及覆盖层 47B 以将栅极 48 与电荷捕捉层 46 分隔。在擦除程序时,电场会由施加于存储单元的通道和栅极的偏压 V_w 和 V_g 诱发,导致一穿过介电隧穿层 43、44 和 45 的电场 E_{TUN} 50 以及一穿过阻挡介电层 47A 和 47B 的电场 E_B 51。此穿过介电隧穿层的电场 E_{TUN} 50 大小足以诱发空穴隧穿电流 52 至电荷捕捉层 46 中。而因为其较高的介电常数比 $3.9/k$,造成穿过阻挡介电层的覆盖层 47B 的电场 E_B 51 大小相对于穿过阻挡介电层的氧化硅缓冲层 47A 的大小被等比例减少了,其中 3.9 是二氧化硅的介电常数而 k 则是覆盖层 47B 的介电常数。因此,因为栅极 48 的电子亲和性,相对较低的电场 E_B 51 及阻挡介电层 47A/47B 的厚度,电子隧穿电流 53 被有效的阻挡,允许较大的存储区间而不会有擦除饱和效应。在此所教示的存储装置可以在擦除时施加至栅极和半导体主体偏压足够低的情况下,产生相对小电场(例如 E 小于 14 百万伏特/厘米)穿越隧穿介电层,而在阻挡介电层具有一相对应的较低电场。

[0088] 在此处所描述的存储单元范例中,为了在低于 20 伏特获得一合理的操作速度(程序化及擦除),此介于栅极与通道之间的多层叠层的整体等效氧化层厚度(EOT)(例如,高介电系数层 -O-N-O-N-O,及高介电系数层 -O-N-O)应小于 160 埃。此能隙工程(BE)ONO 隧穿阻障层或是单一氧化硅隧穿氧化层的等效氧化层厚度(EOT)通常在 40 到 55 埃范围之间,最好是在 45 到 50 埃范围之间,及氮化硅电荷捕捉层的等效氧化层厚度(EOT)通常在 25 到 40 埃范围之间,最好是在 30 到 35 埃范围之间。因此,此处所描述的存储单元其多层叠层(例如氧化硅缓冲层和氧化铝)的整体等效氧化层厚度(EOT)是小于 95 埃,最好是在 75 到 85 埃范围之间。

[0089] 图 13 显示一典型具有隧穿介电层邻接通道的 n 通道 BE-SONOS 存储晶体管,具有一正栅极电压的 FN 电子注射隧穿来程序化该阵列中的存储单元至一高临界状态,且具有一负栅极电压的 FN 空穴注射隧穿来擦除该阵列中的存储单元至一低临界状态,其存储单元(位)数目与临界电压的关系图。此标示于图中的参考电压 V_{ref} 可以使用作为一字符线电压以区别程序化和擦除状态的晶体管。在此例示中,一个合适的 V_{ref} 大约是 1V,高临界状态所对应的临界电压是大于 2.5V 而低临界状态所对应的临界电压是小于 -1V。

[0090] 图 14- 图 22 显示如图 5 中所示的存储单元的调整偏压,其中存储晶体管具有与图 13 中所示类似的程序化及擦除状态特性。图 14 显示读取存储单元的一代表性调整偏压,其中此存储晶体管具有一高临界状态,显示在图中为在电荷捕捉层 302 标示有一个“e-”记号。图 14 所显示的存储单元包括一存取晶体管具有存取栅极 AG 和一存储晶体管具有存储栅极 MG。存取晶体管与存储晶体管两者的介电叠层包含一阻挡介电层 301、一电荷捕捉层 302 及一隧穿介电层 303,其中隧穿介电层具有之前所描述的多层结构。此存储单元也包含一 n+ 掺杂的源极终端 304 其与源极线 SL 耦接,一 n+ 掺杂的晶体管间终端 305 及一 n+ 掺杂的漏极终端 306 其与位线 BL 耦接。存取晶体管的通道区域 310 是位于源极终端 304 与晶体管间终端 305 之间的 p 型半导体主体中。存储晶体管的通道区域 311 是位于晶体管间终端 305 与漏极终端 306 之间的 p 型半导体主体中。此半导体主体可以利用 p 型井中的方式实施,与大块硅由三层井或是其它方式隔离。替代地,此半导体主体可以是绝缘层覆硅结构或是其它隔离结构其可以被以图标中的方式偏压。图 14- 图 22 包括相同的基本图标以显示各种不同的调整偏压。因此,图 14 中的描述在合适的情况下可以适用于其它的图中且不会重复描述。

[0091] 图 14 中的调整偏压包括施加一例如为 3.3 伏特的电压至存取栅极,参考电压 V_{ref} 至存储栅极,将源极线接地及施加约 1 伏特的漏极电压至位线。此结果是一反转层会开启此存取晶体管的通道 310(在附图中标示为靠近通道表面的斜线区域)。然而,存储晶体管的高临界状态会阻止存储晶体管的通道 311 开启(在图式中标示为靠近通道表面的没有斜线区域)。因此,假如存储单元被程序化至一高临界状态,则存储单元的位线会在此偏压情况下被感应为关闭状态。施加通过存取晶体管的相对低的 3.3 伏特电压是低于允许电荷隧穿至存取晶体管的电荷捕捉层所需的阶级。类似地,在读取操作时,并没有导致存储单元的电荷捕捉分布。

[0092] 图 15 中的调整偏压包括施加一代表性调整偏压以读取存储单元,此存储晶体管是在低临界状态,显示在图中为在电荷捕捉层 302 标示有一个“h+”记号。图 15 中的所示的调整偏压包括施加例如为 3.3 伏特的电压至存取栅极,参考电压 V_{ref} 至存储栅极,将源

极线接地及施加约 1 伏特的漏极电压至位线。此结果是开启此存取晶体管的通道 310, 且, 存储晶体管的低临界状态亦会导致存储晶体管的通道 311 开启。因此, 假如存储单元是在一低临界 (擦除) 状态, 则存储单元的位线会在此偏压情况下被感应为开启状态。施加通过存取晶体管的相对低的 3.3 伏特电压是低于允许电荷隧穿至存取晶体管的电荷捕捉层所需的阶级。类似地, 在读取操作时, 并没有导致存储单元的电荷捕捉分布。

[0093] 图 16 和图 17 分别显示存储单元于一正电压进行 FN 程序化所选取存储单元的调整偏压。图 16 中显示对所选取存储单元的调整偏压, 而图 17 中显示对沿着所选取存储单元相同存储栅极字符线方向上的未被选取存储单元的调整偏压。对所选取存储单元进行 FN 程序化的调整偏压包括浮接或是替代地施加 0V 至源极线、施加 0V 或是低于临界电压至阵列中的存取栅极字符线、施加 0V 或是类似的参考电压至所选取存储单元的位线、以及施加 0V 或是类似的参考电压至所选取存储单元的半导体主体。施加一个约 15V 的程序化电压 V_{pp} 至存储栅极字符线。 V_{pp} 的范围可以介于 12V 到 20V 视此存储单元介电叠层的等效氧化层厚度而定。此结果是一反转层会开启此存储晶体管的通道 311, 其建立由施加于位线及半导体主体约 0V 所决定的电压阶级。因此, 电场被建立通过隧穿介电层其诱发电子隧穿进入电荷捕捉层, 增加了此选取存储单元的临界电压。

[0094] 图 17 中显示显示对沿着所选取存储单元相同存储栅极字符线方向上的另一未被选取存储单元的调整偏压。由图中可示, 对未被选取存储单元位线施加一抑制电压, 例如是 +5V。举例而言, 抑制电压的范围可以介于 +4V 到 +8V。其结果导致通道 311 的反转层具有一电压阶级约相当于此抑制电压。此由程序化电压 V_{pp} 与抑制电压的差值所导致的未被选取存储单元通过隧穿介电层的电场, 仍维持在可以产生大量电子隧穿的一阶级之下。因此, 沿着所选取存储单元相同存储栅极字符线方向上的其它存储单元的程序化干扰可以被避免。未被选取存储单元栅极字符线是偏压在一个接近 0V 的电压阶级。对与选取存储单元分享位线的其它存储单元而言, 通过隧穿介电层的电场, 仍维持在低于隧穿临界之下。

[0095] 图 18 显示一区段擦除操作的擦除调整偏压。于区段擦除时, 此区段中的位线及源极线是保持浮接的。施加 0V 或是合适的参考电压至半导体主体。此区段的存取栅极字符线也是施加 0V 或是其它合适的参考电压。此区段的存储栅极字符线是与例如是约 -15V 的擦除电位 V_{ers} 耦接。在代表性的系统中擦除电位 V_{ers} 的范围可以介于 -12V 到 -19V 之间。此区段擦除调整偏压界造成一通过介电隧穿层的电场, 其可以导致自通道至电荷捕捉结构的空穴隧穿, 以诱发此存储单元在此区段的低临界状态。

[0096] 图 19 和图 20 分别显示存储单元于一正电压进行 FN 隧穿程序化所选取存储单元的调整偏压, 其是使用一分井电压技术可以大幅地降低电荷磊于此装置中所需产生的电压大小。此方案可以帮助将此 2T NOR 阵列整合成嵌入式存储器。图 19 中显示对所选取存储单元的调整偏压, 而图 20 中显示对沿着所选取存储单元相同存储栅极字符线方向上的未被选取存储单元的调整偏压。对所选取存储单元进行程序化的调整偏压包括浮接或是替代地施加 0V 至源极线、施加 -5V 或是保持栅极和通道电压低于临界电压至阵列中的存取栅极字符线、施加负的井电位 V_{well} , 例如 -5V 至所选取存储单元的位线和半导体主体。藉由施加 $V_{pp} - |V_{well}|$ 至存储栅极字符线以产生一个约 15V 的程序化电压 V_{pp} 通过此存储单元。此结果是一反转层会开启此存储晶体管的通道 311, 其建立在此范例中由施加于位线及半导体主体约 -5V 所决定的电压阶级。因此, 电场被建立通过隧穿介电层其诱发电子隧穿进

入电荷捕捉层,增加了此选取存储单元的临界电压。

[0097] 图 20 中显示对沿着所选取存储单元相同存储栅极字符线方向上的另一未被选取存储单元的分井程序化调整偏压。由图中可示,对未被选取存储单元位线施加一抑制电压,例如是 0V。其结果导致通道 311 的反转层具有一电压阶级约相当于此抑制电压。此由存储栅极字符线与抑制电压的差值所导致的未被选取存储单元通过隧穿介电层的电场,仍维持在可以产生大量电子隧穿的一阶级之下。因此,沿着所选取存储单元相同存储栅极字符线方向上的其它存储单元的程序化干扰可以被避免。未被选取存储单元栅极字符线也是偏压在一个接近 -5V 的电压阶级。对与选取存储单元分享位线而没有分享相同存储栅极字符线的其它存储单元而言,通过隧穿介电层的电场,仍是维持在低于隧穿临界之下。

[0098] 图 21 和图 22 分别显示存储单元于使用通道热电子注射所选取存储单元进行程序化的代表性调整偏压。图 21 中显示对所选取存储单元的调整偏压,而图 22 中显示对沿着所选取存储单元相同存储栅极字符线方向上的未被选取存储单元的调整偏压。对所选取存储单元进行程序化的调整偏压包括施加 0V 或是一合适的参考电压至源极线和半导体主体、施加 +5V 至阵列中的存取栅极字符线。施加一个约 +10V 的程序化电压 V_{pp} 至存储栅极字符线。此结果是一反转层会开启此存储晶体管的通道 311,而施加于所选取存储单元漏极的偏压约 +5V。因此,电场被建立通过隧穿介电层其诱发通道中的热电子注射进入电荷捕捉层,增加了此选取存储单元的临界电压。

[0099] 在替代的实施例中,施加于阵列中存取栅极字符线的电压可以被设置靠近于此存储单元的临界电压,所以此存取晶体管的通道 310 并不会达到完全反转,可以在 CHE 程序化时作为一电流限流器。此偏压技术可以调整程序化速度及节省功耗。

[0100] 图 22 显示对沿着所选取存储单元相同存储栅极字符线方向上的未被选取存储单元的程序化调整偏压。由图中可示,对未被选取存储单元位线施加一抑制电压,例如是 0V。其可以防止电流于通道 311 中的反转层,且抑制热电子注射。因此,沿着所选取存储单元相同存储栅极字符线方向上的其它存储单元的程序化干扰可以被避免。未被选取存储单元存储栅极字符线及未被选取存储单元存取栅极字符线皆是偏压在一个接近 0V 的电压阶级。对与选取存储单元分享位线而没有分享相同存储栅极字符线的其它存储单元而言,通过隧穿介电层的电场,仍是维持在低于隧穿临界之下。

[0101] 图 23 显示一包含在栅极注射结构中使用能隙工程介电隧穿层的电荷捕捉存储晶体管的 2T 存储单元的简要示意图。栅极注射模式可以为存储单元产生绝佳的耐力,因为栅介电层上的应力(在这些实施例中是阻挡介电层)被减少,其结果是,减少了在长时间操作装置下在接口所产生的接口状态。此存储单元形成于一半导体主体 400 之上,包含一存取晶体管及一存储晶体管。此存取晶体管包括一通道 401、一源极 402 及一漏极终端 403。一栅极介电层 404 于通道 401 之上,而一栅极 405 于栅极介电层 404 之上。此存储晶体管包括一通道 410、一源极终端 403 及一漏极 412 邻近通道、一栅极 418 于一作为电荷捕捉结构的多层介电层叠层之上,此电荷捕捉结构包含一阻挡介电层 413、电荷捕捉层 414 及一能隙工程介电隧穿层。在此范例中,此电荷捕捉层与隧穿层连接,但是也可以其它方式放置于隧穿层与通道表面之间。类似地,此阻挡介电层在此例示中与电荷捕捉层连接,但是也可以其它方式放置于电荷捕捉层与通道表面之间。

[0102] 在图 23 所示的实施例中,隧穿介电层包含复合材料,包括第一层 417,载此称为空

穴隧穿层,是二氧化硅层邻接于栅极 418。之后,一层 416(称为能带补偿层)是氮化硅是位于第一层 417 的二氧化硅之上,此氮化硅层 416 的厚度是小于 30 埃,且较佳为 25 埃或更小。

[0103] 第二二氧化硅层 415(称为隔离层)是位于氮化硅层 416 之上,此第二二氧化硅层 415 是小于 35 埃,且较佳为 25 埃或更小。此种结构除了可达成电场辅助的高速栅极注射空穴隧穿外,其亦可在电场不存在或为了其它操作目的(像是从存储单元读取资料或程序化邻近的存储单元)而仅诱发小电场的情形下,有效的预防电荷流失通过经工程隧穿阻障结构。

[0104] 图 24 为栅极注射结构中 2T 存储单元替代实施例结构的简要示意图,在其中存取晶体管的栅极介电层是使用与存储晶体管相同的介电叠层。如图 24 中所示,此存取晶体管包括一栅极 418a、一阻挡介电层 413a、一电荷捕捉层 414a 及一隧穿介电层包括 417a、416a 和 415a。除此之外,此结构与图 23 中的类似。

[0105] 图 25 显示此栅极注射结构中 2T 存储单元一个更高密度的替代实施例结构,使用任何“无接合”结构。图 25 中的 2T 存储单元是利用与图 24 中的 2T 存储单元一样使用存取晶体管的栅极介电层与存储晶体管相同的介电叠层。所以使用相同的层次参考标号以强调结构的类似。然而,在图 25 中并没有掺杂区域 403。而是一个连续的通道区域 406 自源极终端 402 延伸至漏极终端 412。

[0106] 图 26 显示对一典型的具有临接栅极的隧穿介电结构的 n 通道 BE-SONOS 存储晶体管的存储单元(位)数目与临界电压的关系图,其中包含由具有一正栅极偏压所诱发的 FN 空穴隧穿导致的一程序化状态所对应的低临界值,与由具有一负栅极偏压所诱发的 FN 电子隧穿导致的一擦除状态所对应的高临界值。此标示于图中的电压 V_{ref} 可以作为一字符线电压以建立程序化及擦除状态晶体管。在此例示中,一个合适的 V_{ref} 大约是 +2.5V,此高临界状态所对应的临界电压是大于约 +4V,而此低临界状态所对应的临界电压是小于约 +1V。

[0107] 图 27-图 34 显示如图 24 中所示的存储单元的栅极注射调整偏压,其中存储晶体管具有与图 26 中所示类似的程序化及擦除状态特性。图 27 显示读取存储单元的一代表性调整偏压,其中此存储晶体管被程序化至一低临界状态,显示在图中为在电荷捕捉层 502 标示有一个“h+”记号。图 27 所显示的存储单元包括一存取晶体管具有存取栅极 AG 和一存储晶体管具有存储栅极 MG。存取晶体管与存储晶体管两者的介电叠层包含一阻挡介电层 503、一电荷捕捉层 502 及一隧穿介电层 501 与存储栅极邻接,其中隧穿介电层具有之前所描述的多层结构。此存储单元也包含一 n+ 掺杂的源极终端 504 其与源极线 SL 耦接,一 n+ 掺杂的晶体管间终端 505 及一 n+ 掺杂的漏极终端 506 其与位线 BL 耦接。存取晶体管的通道区域 510 是位于源极终端 504 与晶体管间终端 505 之间的 p 型半导体主体中。另一存取晶体管的通道区域 511 是位于晶体管间终端 505 与漏极终端 506 之间的 p 型半导体主体中。此半导体主体可以利用 p 型井中的方式实施,与大块硅由三层井或是其它方式隔离。替代地,此半导体主体可以是绝缘层覆硅结构或是其它隔离结构其可以被以图标中的方式偏压。图 27-图 34 包括相同的基本图标以显示各种不同的调整偏压。因此,图 27 中的描述在合适的情况下可以适用于其它的图中且不会重复描述。

[0108] 图 27 中的调整偏压包括施加一例如为 3 伏特的电压至存取栅极,参考电压 V_{ref}

至存储栅极,将源极线接地及施加约 1 伏特的漏极电压至位线。此结果是一反转层会开启此存取晶体管的通道 510(在图式中标示为靠近通道表面的斜线区域)。此外,存储晶体管的低临界状态也会将存储晶体管的通道 511 开启。因此,假如存储单元被程序化至一低临界状态,则存储单元的位线会在此偏压情况下被感应为开启状态。施加通过存取晶体管的相对低的 3 伏特电压是低于允许电荷隧穿至存取晶体管的电荷捕捉层所需的阶级。类似地,在读取操作时,并没有导致存储单元的电荷捕捉分布。

[0109] 图 28 中的调整偏压包括施加一代表性调整偏压以读取存储单元,此存储晶体管是在高临界状态,显示在图中为在电荷捕捉层 502 标示有一个“e-”记号。图 28 中的所示的调整偏压包括施加例如为 3 伏特的电压至存取栅极,参考电压 V_{ref} 至存储栅极,将源极线接地及施加约 1 伏特的漏极电压至位线。此结果是开启此存取晶体管的通道 510,且,存储晶体管的高临界状态会阻止存储晶体管的通道 311 的开启。因此,假如存储单元是在一高临界(擦除)状态,则存储单元的位线会在此偏压情况下被感应为关闭状态。施加通过存取晶体管的相对低的 3 伏特电压是低于允许电荷隧穿至存取晶体管的电荷捕捉层所需的阶级。类似地,在读取操作时,并没有导致存储单元的电荷捕捉分布。

[0110] 图 29 和图 30 分别显示存储单元于一正电压进行 FN 空穴隧穿程序化所选取存储单元的调整偏压。图 29 中显示对所选取存储单元的调整偏压,而图 30 中显示对沿着所选取存储单元相同存储栅极字符线方向上的未被选取存储单元的调整偏压。对所选取存储单元进行程序化的调整偏压包括浮接或是替代地施加 0V 至源极线、施加 0V 或是低于临界电压至阵列中的存取栅极字符线、施加 0V 或是类似的参考电压至所选取存储单元的位线、和施加 0V 或是类似的参考电压至半导体主体。施加一个约 15V 的程序化电压 V_{pp} 至存储栅极字符线, V_{pp} 的范围可以介于 12V 到 20V,视此存储单元介电叠层的等效氧化层厚度而定。此结果是一反转层会开启此存储晶体管的通道 511,其建立由施加于位线及半导体主体约 0V 所决定的电压阶级。因此,电场被建立通过隧穿介电层其诱发栅极注射空穴隧穿进入电荷捕捉层,降低了此选取存储单元的临界电压。

[0111] 图 30 中显示显示对沿着所选取存储单元相同存储栅极字符线方向上的另一未被选取存储单元的程序化调整偏压。由图中可示,对未被选取存储单元位线施加一抑制电压,例如是 +5V,抑制电压的范围可以介于 +4V 到 +8V。其结果导致通道 511 的反转层具有一电压阶级约相当于此抑制电压。此由程序化电压 V_{pp} 与抑制电压的差值所导致的未被选取存储单元通过隧穿介电层的电场,仍维持在可以产生大量电子隧穿的一阶级之下。因此,沿着所选取存储单元相同存储栅极字符线方向上的其它存储单元的程序化干扰可以被避免。未被选取存储单元栅极字符线也是偏压在一个接近 0V 的电压阶级。对与选取存储单元分享位线而没有分享相同存储栅极字符线的其它储存单元而言,通过隧穿介电层的电场,仍是维持在低于隧穿临界之下。

[0112] 图 31 显示一区段擦除操作的擦除调整偏压。于区段擦除时,此区段中的位线及源极线是保持浮接的。施加 0V 或是合适的参考电压至半导体主体。此区段的存取栅极字符线也是施加 0V 或是其它合适的参考电压。此区段的存储栅极字符线是与例如是约 -15V 的擦除电位 V_{ers} 耦接。在代表性的系统中擦除电位 V_{ers} 的范围可以介于 -12V 到 -19V 之间。此区段擦除调整偏压造成一通过介电隧穿层的电场,其可以导致自栅极至电荷捕捉结构的电子隧穿,以诱发此存储单元在此区段的高临界状态。

[0113] 图 32 和图 33 分别显示存储单元于使用通道热电子注射以将所选取存储单元程序化至高临界状态的代表性调整偏压。图 32 中显示对所选取存储单元的调整偏压,而图 33 中显示对沿着所选取存储单元相同存储栅极字符线方向上的未被选取存储单元的调整偏压。对所选取存储单元进行程序化的调整偏压包括施加 0V 或是一合适的参考电压至源极线和半导体主体、施加 +5V 至阵列中的存取栅极字符线。施加一个约 +10V 的程序化电压 V_{pp} 至存储栅极字符线。此结果是一反转层会开启此存储晶体管的通道 511,而施加于所选取存储单元漏极的偏压约 +5V。因此,电场被建立通过阻挡介电层其诱发通道中的热电子注射进入电荷捕捉层,增加了此选取存储单元的临界电压。在使用此程序化偏压的装置中,一栅极注射 FN 空穴隧穿偏压可以用来擦除,允许区段擦除的过程。

[0114] 在替代的实施例中,施加于阵列中存取栅极字符线的电压可以被设置靠近于此存储单元的临界电压,所以此存取晶体管的通道 510 并不会达到完全反转,可以在 CHE 程序化时作为一电流限流器。此偏压技术可以调整程序化速度及节省功耗。

[0115] 图 33 显示对沿着所选取存储单元相同存储栅极字符线方向上的未被选取存储单元的程序化调整偏压。由图中可示,对未被选取存储单元位线施加一抑制电压,例如是 0V。其可以防止电流于通道 511 中的反转层,且抑制热电子注射。因此,沿着所选取存储单元相同存储栅极字符线方向上的其它存储单元的程序化干扰可以被避免。未被选取存储单元存储栅极字符线及未被选取存储单元存取栅极字符线皆是偏压在一个接近 0V 的电压阶级。对与选取存储单元分享位线而没有分享相同存储栅极字符线的其它存储单元而言,通过介电叠层的电场,仍是维持在低于隧穿临界之下。

[0116] 图 34 显示存储单元于使用通道热电子注射以将所选取存储单元程序化的代表性调整偏压,其是使用任何“无接合”栅极注射结构,具有连续的通道区域 515 介于与位线及源及线耦接的终端之间。此偏压包括施加 0V 或是一合适的参考电压至源极线和半导体主体、施加 +5V 至阵列中的存取栅极字符线。施加一个约 +10V 的程序化电压 V_{pp} 至存储栅极字符线。此结果是一反转层会开启此存取栅极晶体管以下的通道 515 及一反转层会开启此存储栅极晶体管以下的通道 515。而施加于所选取存储单元漏极的偏压约 +5V。因此,电场被建立通过阻挡介电层其诱发通道中的热电子注射进入电荷捕捉层,增加了此选取存储单元的临界电压。在此实施例中,最高侧向电场的位置或许会较图 33 中装置的更靠近存储栅极中央处,如图中所示的箭头位置,其类似于源极侧注射过程。如此导致一较高的注射效率。

[0117] 图 35- 图 39 显示一个此处所描述的使用 p 通道、通道注射的 2T NOR 结构实施例的调整偏压。图 35 显示读取存储单元的一代表性调整偏压,其中此存储晶体管被程序化至一高临界状态,显示在图中为在电荷捕捉层 602 标示有一个“e-”记号。图 35 所显示的存储单元包括一存取晶体管具有存取栅极 AG 和一存储晶体管具有存储栅极 SG。存取晶体管与存储晶体管两者的介电叠层包含一阻挡介电层 601、一电荷捕捉层 602 及一隧穿介电层 603,其中隧穿介电层具有之前所描述的多层结构。此存储单元也包含一 p+ 掺杂的源极终端 604 其与源极线 SL 耦接,一 p+ 掺杂的晶体管间终端 605 及一 p+ 掺杂的漏极终端 606 其与位线 BL 耦接。存取晶体管的通道区域 610 是位于源极终端 604 与晶体管间终端 605 之间的 n 型半导体主体中。存储晶体管的通道区域 611 是位于晶体管间终端 605 与漏极终端 606 之间的 n 型半导体主体中。此半导体主体可以利用 n 型井中的方式实施,与大块硅由三

层井或是其它方式隔离。替代地,此半导体主体可以是绝缘层覆硅结构或是其它隔离结构其可以被以图标中的方式偏压。图 35- 图 39 包括相同的基本图标以显示各种不同的调整偏压。因此,图 39 中的描述在合适的情况下可以适用于其它的图中且不会重复描述。

[0118] 图 35 中的调整偏压包括施加一例如为 -6 伏特的电压至存取栅极,参考电压 V_{ref} 至存储栅极,将源极线接地及施加约 -1 伏特的漏极电压至位线。对 p 通道存储单元而言,其 V_{ref} 可以例如是 -3V。此结果是一反转层会开启此存取晶体管的通道 610 (在图式中标示为靠近通道表面的斜线区域)。然而,存储晶体管的高临界状态 (例如大于约 -2V) 会使存储晶体管的通道 611 开启。因此,假如存储单元被程序化至一高临界状态,则存储单元的位线会在此偏压情况下被感应为开启状态。施加通过存取晶体管的相对低的 -6 伏特电压是低于允许电荷隧穿至存取晶体管的电荷捕捉层所需的阶级。类似地,在读取操作时,并没有导致存储单元的电荷捕捉分布。

[0119] 图 36 中的调整偏压包括施加一代表性调整偏压以读取存储单元,此存储晶体管是在低临界状态 (例如小于约 -4.5V),显示在图中为在电荷捕捉层标示有一个“h+”记号。图 36 中的调整偏压包括施加一例如为 -6 伏特的电压至存取栅极,参考电压 V_{ref} 至存储栅极,将源极线接地及施加约 -1 伏特的漏极电压至位线。结果是导致此存取晶体管的通道 610 开启。然而,存储晶体管的低临界状态防止使存储晶体管的通道 611 开启。因此,假如存储单元被程序化至一低临界 (擦除) 状态,则存储单元的位线会在此偏压情况下被感应为关闭状态。施加通过存取晶体管的相对低的 -6 伏特电压是低于允许电荷隧穿至存取晶体管的电荷捕捉层所需的阶级。类似地,在读取操作时,并没有导致存储单元的电荷捕捉分布。

[0120] 图 37 和图 38 分别显示存储单元于一负电压进行 FN 空穴隧穿程序化所选取存储单元的调整偏压。图 37 中显示对所选取存储单元的调整偏压,而图 38 中显示对沿着所选取存储单元相同存储栅极字符线方向上的未被选取存储单元的调整偏压。对所选取存储单元进行程序化的调整偏压包括浮接或是替代地施加 0V 至源极线、施加 0V 或是高于临界电压至阵列中的存取栅极字符线、施加 0V 或是类似的参考电压至所选取存储单元的位线、和施加 0V 或是类似的参考电压至半导体主体。施加一个约 -15V 的程序化电压 V_{pp} 至存储栅极字符线, V_{pp} 的范围可以介于 -12V 到 -20V,视此存储单元介电叠层的等效氧化层厚度而定。此结果是一反转层会开启此存储晶体管的通道 611,其建立由施加于位线及半导体主体约 0V 所决定的电压阶级。因此,电场被建立通过隧穿介电层其诱发通道注射空穴隧穿进入电荷捕捉层,降低了此选取存储单元的临界电压。

[0121] 图 38 中显示显示对沿着所选取存储单元相同存储栅极字符线方向上的另一未被选取存储单元的程序化调整偏压。由图中可示,对未被选取存储单元位线施加一抑制电压,例如是 -5V,抑制电压的范围可以介于 -4V 到 -8V。其结果导致通道 611 的反转层具有一电压阶级约相当于此抑制电压。此由程序化电压 V_{pp} 与抑制电压的差值所导致的未被选取存储单元通过隧穿介电层的电场,仍维持在可以产生大量电子隧穿的一阶级之下。因此,沿着所选取存储单元相同存储栅极字符线方向上的其它存储单元的程序化干扰可以被避免。未被选取存储单元栅极字符线也是偏压在一个接近 0V 的电压阶级。对与选取存储单元分享位线而没有分享相同存储栅极字符线的其它存储单元而言,通过介电叠层的电场,仍是维持在低于隧穿临界之下。

[0122] 图 39 显示一区段擦除操作的擦除调整偏压。于区段擦除时,此区段中的位线及源极线是保持浮接的。施加 0V 或是合适的参考电压至半导体主体。此区段的存取栅极字符线也是施加 0V 或是其它合适的参考电压。此区段的存储栅极字符线是与例如是约 +15V 的擦除电位 V_{ers} 耦接。在代表性的系统中擦除电位 V_{ers} 的范围可以介于 +12V 到 +19V 之间。此区段擦除调整偏压界造成一通过介电隧穿层的电场,其可以导致自通道至电荷捕捉结构的电子隧穿,以诱发此存储单元在此区段的高临界状态。

[0123] 图 40-图 44 显示一个此处所描述的使用 p 通道、栅极注射的 2T NOR 结构实施例的调整偏压。图 40 显示读取存储单元的一代表性调整偏压,其中此存储晶体管被程序化至一低临界状态,显示在图中为在电荷捕捉层 702 标示有一个“h+”记号。图 40 所显示的存储单元包括一存取晶体管具有存取栅极 AG 和一存储晶体管具有存储栅极 SG。存取晶体管与存储晶体管两者的介电叠层包含一阻挡介电层 703、一电荷捕捉层 702 及一隧穿介电层 701,其中隧穿介电层是邻接栅极且具有之前所描述的多层结构。此存储单元也包含一 p+ 掺杂的源极终端 704 其与源极线 SL 耦接,一 p+ 掺杂的晶体管间终端 705 及一 p+ 掺杂的漏极终端 706 其与位线 BL 耦接。存取晶体管的通道区域 710 是位于源极终端 704 与晶体管间终端 705 之间的 n 型半导体主体中。存储晶体管的通道区域 711 是位于晶体管间终端 705 与漏极终端 706 之间的 n 型半导体主体中。此半导体主体可以利用 n 型井中的方式实施,与大块硅由三层井或是其它方式隔离。替代地,此半导体主体可以是绝缘层覆硅结构或是其它隔离结构其可以被以图标中的方式偏压。图 40-图 44 包括相同的基本图标以显示各种不同的调整偏压。因此,图 40 中的描述在合适的情况下可以适用于其它的图中且不会重复描述。

[0124] 图 40 中的调整偏压包括施加一例如为 -3 伏特的电压至存取栅极,参考电压 V_{ref} 至存储栅极,将源极线接地及施加约 -1 伏特的漏极电压至位线。此结果是一反转层会开启此存取晶体管的通道 710 (在附图中标示为靠近通道表面的斜线区域)。此外,存储晶体管的低临界状态会使存储晶体管的通道 711 关闭。因此,假如存储单元被擦除至一低临界状态,则存储单元的位线会在此偏压情况下被感应为关闭状态。施加通过存取晶体管的相对低的 -3 伏特电压是低于允许电荷隧穿至存取晶体管的电荷捕捉层所需的阶级。类似地,在读取操作时,并没有导致存储单元的电荷捕捉分布。

[0125] 图 41 中的调整偏压包括施加一代表性调整偏压以读取存储单元,此存储晶体管是在高临界状态,显示在图中为在电荷捕捉层标示有一个“e-”记号。图 41 中的调整偏压包括施加一例如为 -3 伏特的电压至存取栅极,参考电压 V_{ref} 至存储栅极,将源极线接地及施加约 -1 伏特的漏极电压至位线。结果是导致此存取晶体管的通道 710 开启。此外,存储晶体管的高临界状态也会使存储晶体管的通道 711 开启。因此,假如存储单元被程序化至一高临界 (程序化) 状态,则存储单元的位线会在此偏压情况下被感应为开启状态。施加通过存取晶体管的相对低的 -3 伏特电压是低于允许电荷隧穿至存取晶体管的电荷捕捉层所需的阶级。类似地,在读取操作时,并没有导致存储单元的电荷捕捉分布。

[0126] 图 42 和图 43 分别显示存储单元于一负电压进行 FN 电子隧穿程序化所选取存储单元的调整偏压。图 42 中显示对所选取存储单元的调整偏压,而图 43 中显示对沿着所选取存储单元相同存储栅极字符线方向上的未被选取存储单元的调整偏压。对所选取存储单元进行程序化的调整偏压包括浮接或是替代地施加 0V 至源极线、施加 0V 或是低于临界电

压至阵列中的存取栅极字符线、施加 0V 或是类似的参考电压至所选取存储单元的位线、和施加 0V 或是类似的参考电压至半导体主体。在此例示中,施加一个约 -17V 的程序化电压 V_{pp} 至存储栅极字符线。此结果是一反转层会开启此存储晶体管的通道 711,其建立由施加于位线及半导体主体约 0V 所决定的电压阶级。因此,电场被建立通过隧穿介电层其诱发栅极注射电子隧穿进入电荷捕捉层,提高了此选取存储单元的临界电压。

[0127] 图 43 中显示对沿着所选取存储单元相同存储栅极字符线方向上的另一未被选取存储单元的程序化调整偏压。由图中可示,对未被选取存储单元位线施加一抑制电压,例如是 -7V。其结果导致通道 711 的反转层具有一电压阶级约相当于此抑制电压。此由程序化电压 V_{pp} 与抑制电压的差值所导致的未被选取存储单元通过隧穿介电层的电场,仍维持在可以产生大量电子隧穿的一阶级之下。因此,沿着所选取存储单元相同存储栅极字符线方向上的其它存储单元的程序化干扰可以被避免。未被选取存储单元栅极字符线也是偏压在一个接近 0V 的电压阶级。对与选取存储单元分享位线而没有分享相同存储栅极字符线的其它存储单元而言,通过介电叠层的电场,仍是维持在低于隧穿临界之下。

[0128] 图 44 显示一区段擦除操作的擦除调整偏压。于区段擦除时,此区段中的位线及源极线是保持浮接的。施加 0V 或是合适的参考电压至半导体主体。此区段的存取栅极字符线也是施加 0V 或是其它合适的参考电压。此区段的存储栅极字符线是与例如是约 +17V 的擦除电位 V_{ers} 耦接。此区段擦除调整偏压界造成一通过介电隧穿层的电场,其可以导致自栅极至电荷捕捉结构的空穴隧穿,以诱发此存储单元在此区段的低临界状态。

[0129] 图 45 是可应用本发明使用 BE-SONOS 存储单元于一 2T NOR 结构的集成电路的简化方块图,如同此处所描述的存储晶体管或是存储晶体管与存取晶体管两者具有能隙工程隧穿介电层。集成电路 810 包括一在半导体基板上包括一存储器阵列 812。一字符线 / 区块选取译码器及驱动器 814 是耦接至,且与其有着电性沟通,多条存取栅极字符线 816,其间是沿着存储单元阵列 812 的列方向排列。一位线 (行) 译码器 818 是耦接至多条沿着存储器阵列 812 的行排列的位线 820,且与其有着电性沟通,以自读取资料,或是写入资料至,存储单元阵列 812 的存储单元中。地址是通过总线 822 提供至字符线和区块选择译码器 814 及位线译码器 818。方块 824 中的感应放大器与资料输入结构,包含作为读取、程序化和擦除模式的电流源,是通过总线 826 耦接至位线译码器 818。资料是由集成电路 810 上的输入 / 输出端口通过资料输入线 828 传送至方块 824 的资料输入结构。

[0130] 在此例示的实施例,其它电路 830 也包括在此集成电路 810 内,例如通用目的处理器或特殊用途电路,或是由此存储阵列所支持的组合模块以提供单芯片系统功能。资料是由方块 824 中的感应放大器,通过资料输出线 832,传送至集成电路 810 上的输入 / 输出端口或其它集成电路 8100 内或外的资料目的地。

[0131] 此处所描述的存储阵列 812 可是使用一 2T NOR 结构。可以产生非常大的存储操作区间以支持在每一存储单元中储存多重位。在支持于存储阵列每一存储单元中多重位的实施例,此控制器包含程序化及读取每一存储单元中多重位的逻辑。此外,此装置中也包含多重位感应放大器以支持在每一存储单元中储存多重位。

[0132] 在此例示实施例中所使用的控制器,为一偏压调整状态机构 834 来控制偏压调整供应电压及电流源 936,例如提供给字符线及位线的读取、程序化、擦除、擦除确认及程序化确认电压或电流,及使用一存取控制流程来控制字符线 / 源极线的操作。此集成电路包括

电荷磊或是其它电路以产生较供应电位 VDD 为高的负电压或正电压,以驱动以上所描述的调整偏压。在此处所描述的技术的实施例可以使得电压的最大幅度(负电压或正电压)是小于 10V,以使得电荷磊的尺寸及复杂程度会小一些,且降低晶粒中装置在高电压下崩溃的风险。

[0133] 控制器 84 的应用可以使用,业界所熟知的技术,如特殊目的逻辑电路来实施。在另一实施例中,该控制器 834 包含一通用目的处理器,其可以实施在相同集成电路上,其执行一计算机程序以控制该装置的操作。在另一实施例中,特殊目的逻辑电路和一通用目的处理器的组合可以被用来实施该控制器 834。

[0134] 虽然本发明是已参照实施例来加以描述,然本发明创作并未受限于其详细描述内容。替换方式及修改样式是已于先前描述中所建议,且其它替换方式及修改样式将为熟习此项技术的人士所思及。特别是,所有具有实质上相同于本发明的构件结合而达成与本发明实质上相同结果,皆不脱离本发明的精神范畴。因此,所有此等替换方式及修改样式是意欲落在本发明于随附权利要求范围及其均等物所界定的范畴之中。

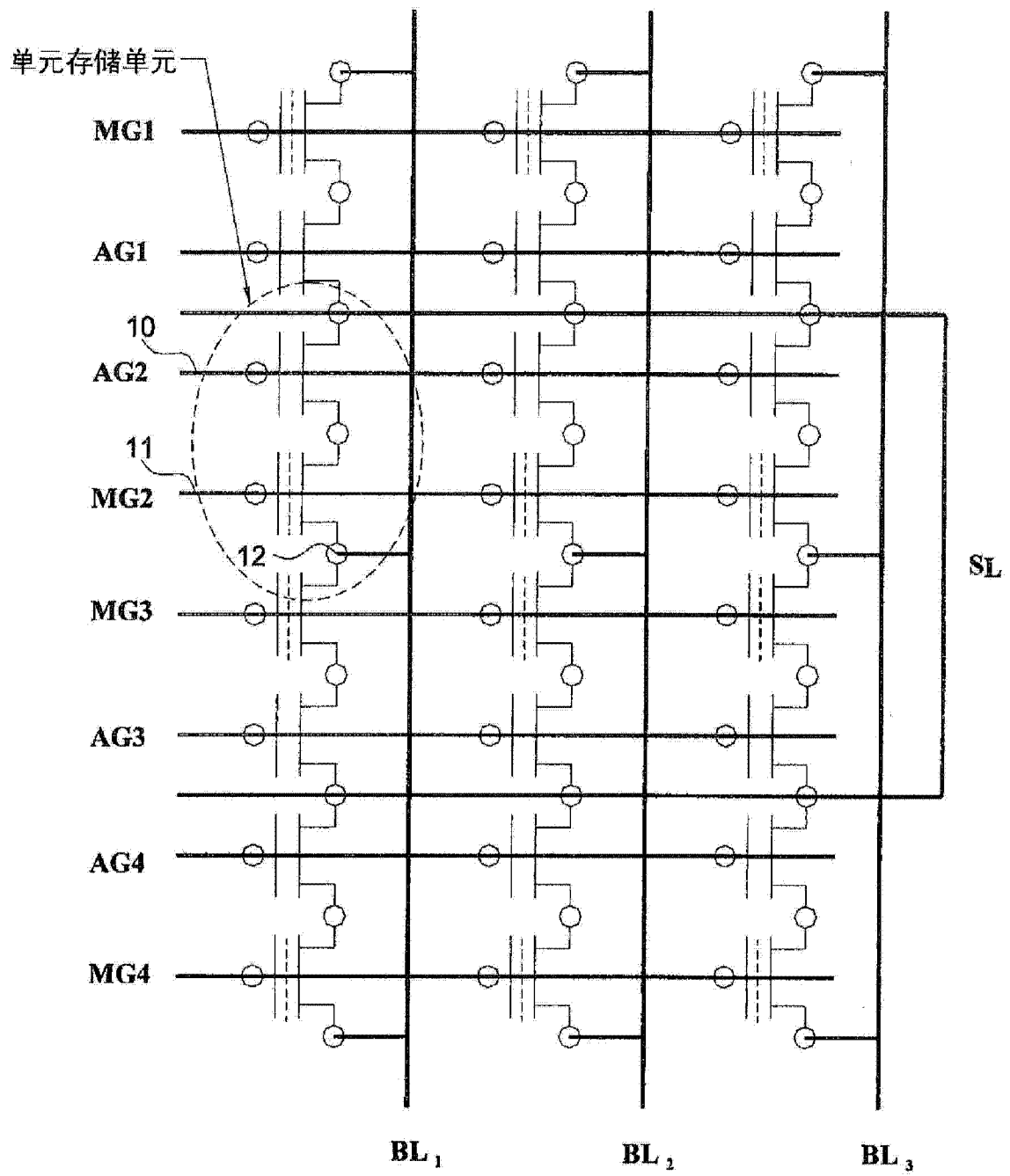


图 1

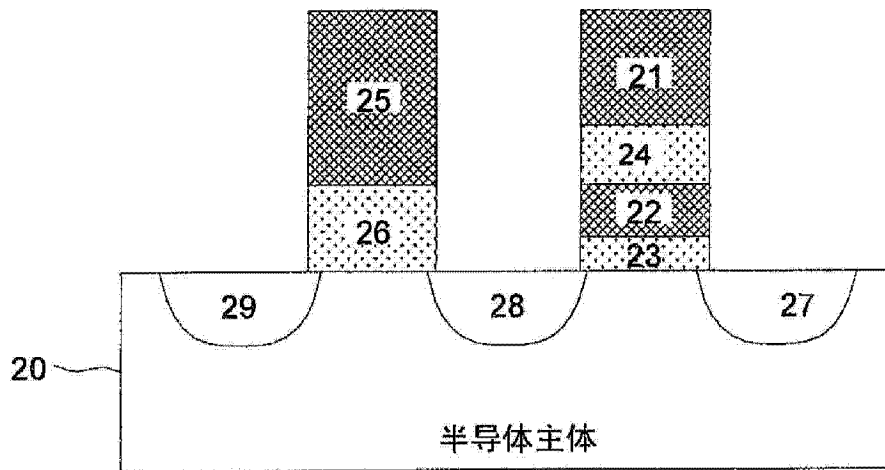


图 2

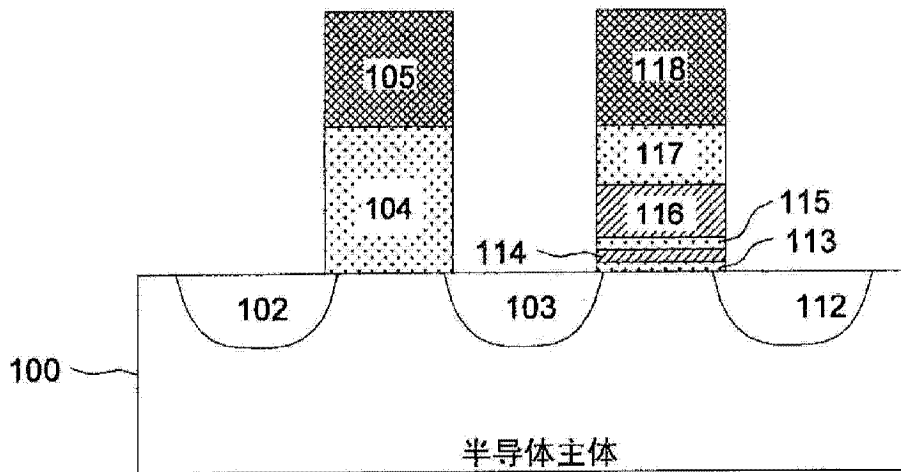


图 3

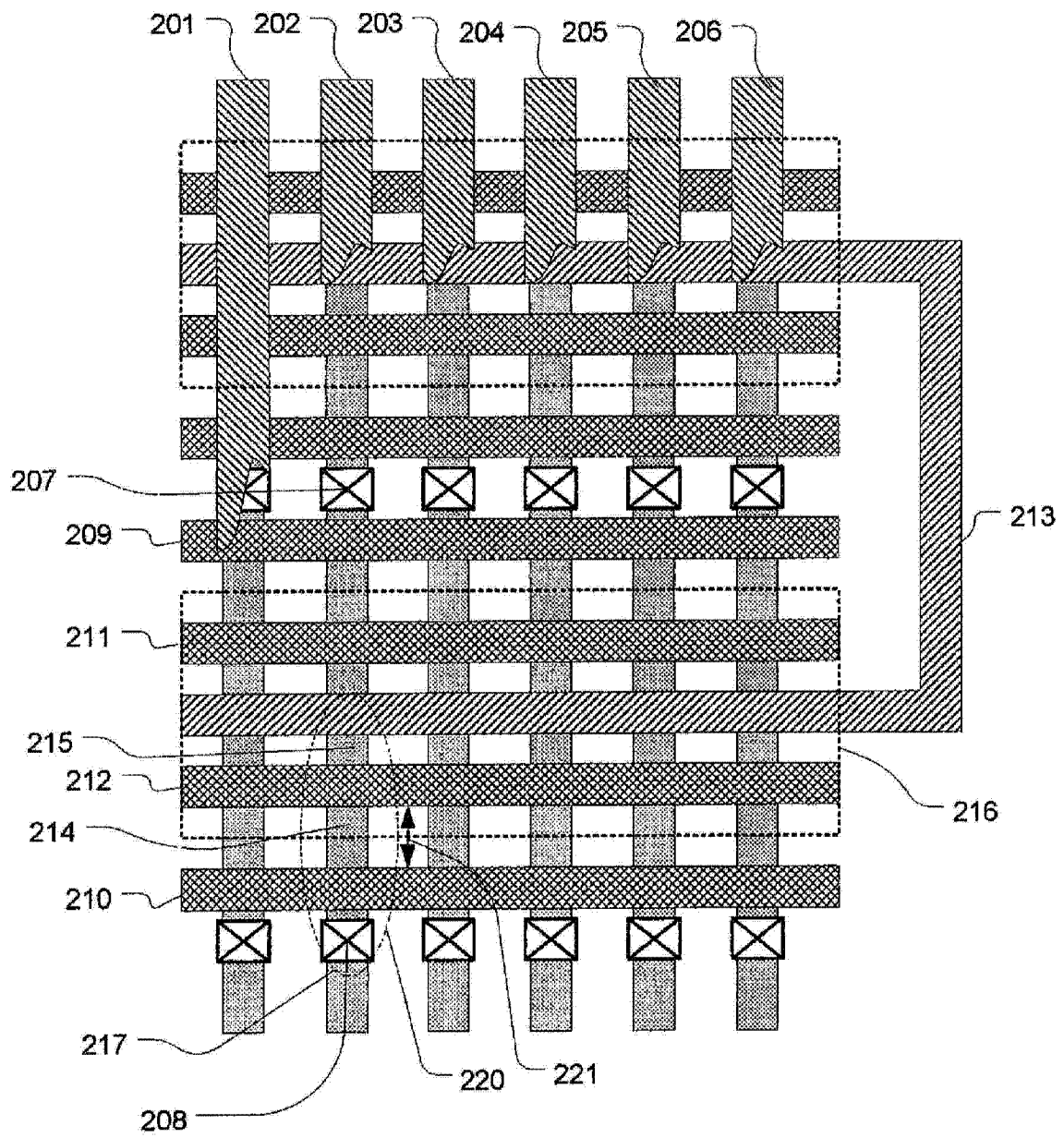


图 4

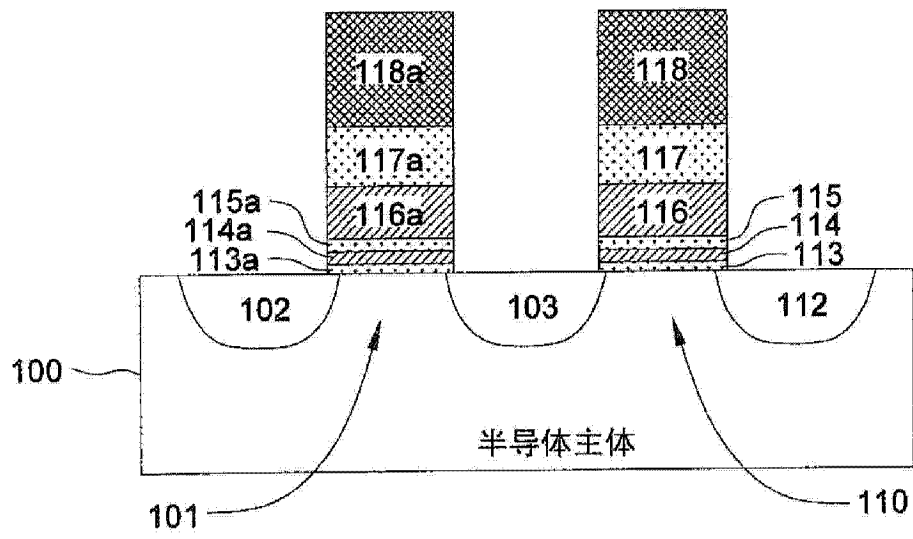


图 5

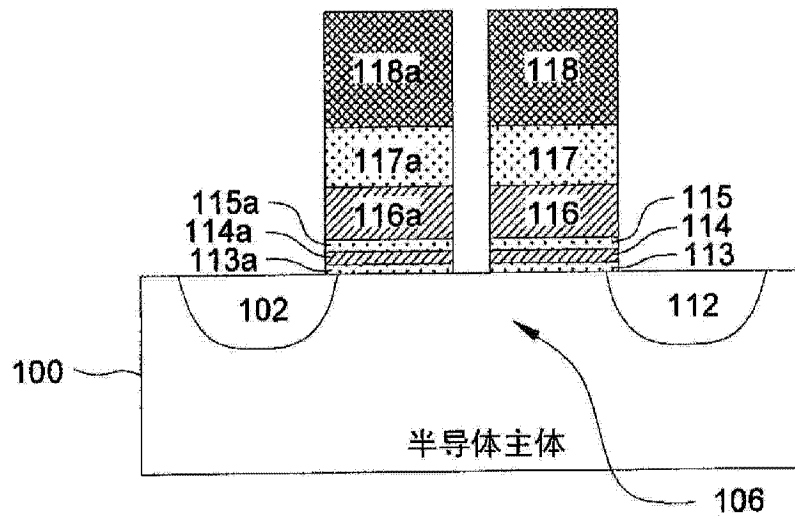


图 8

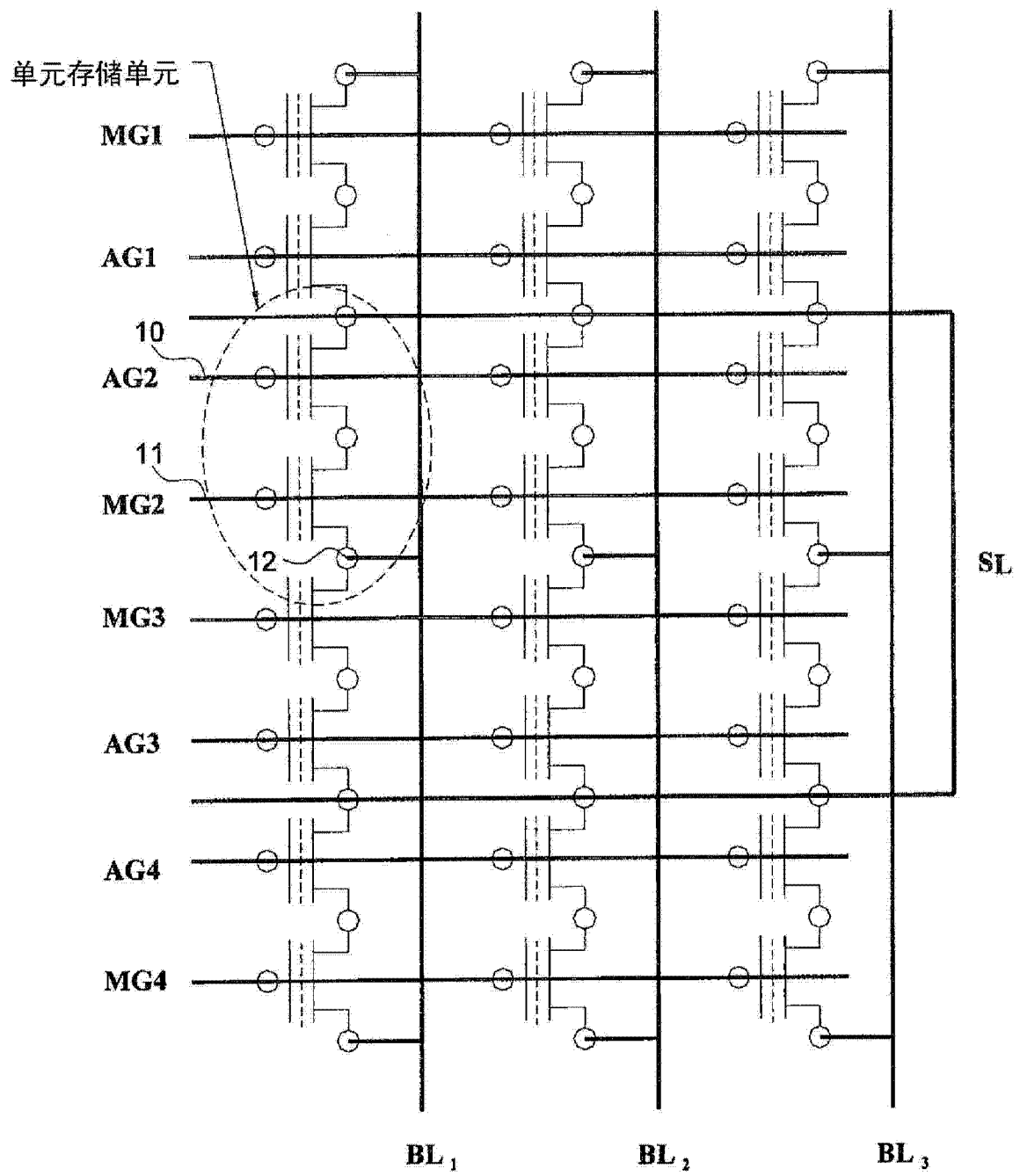


图 6

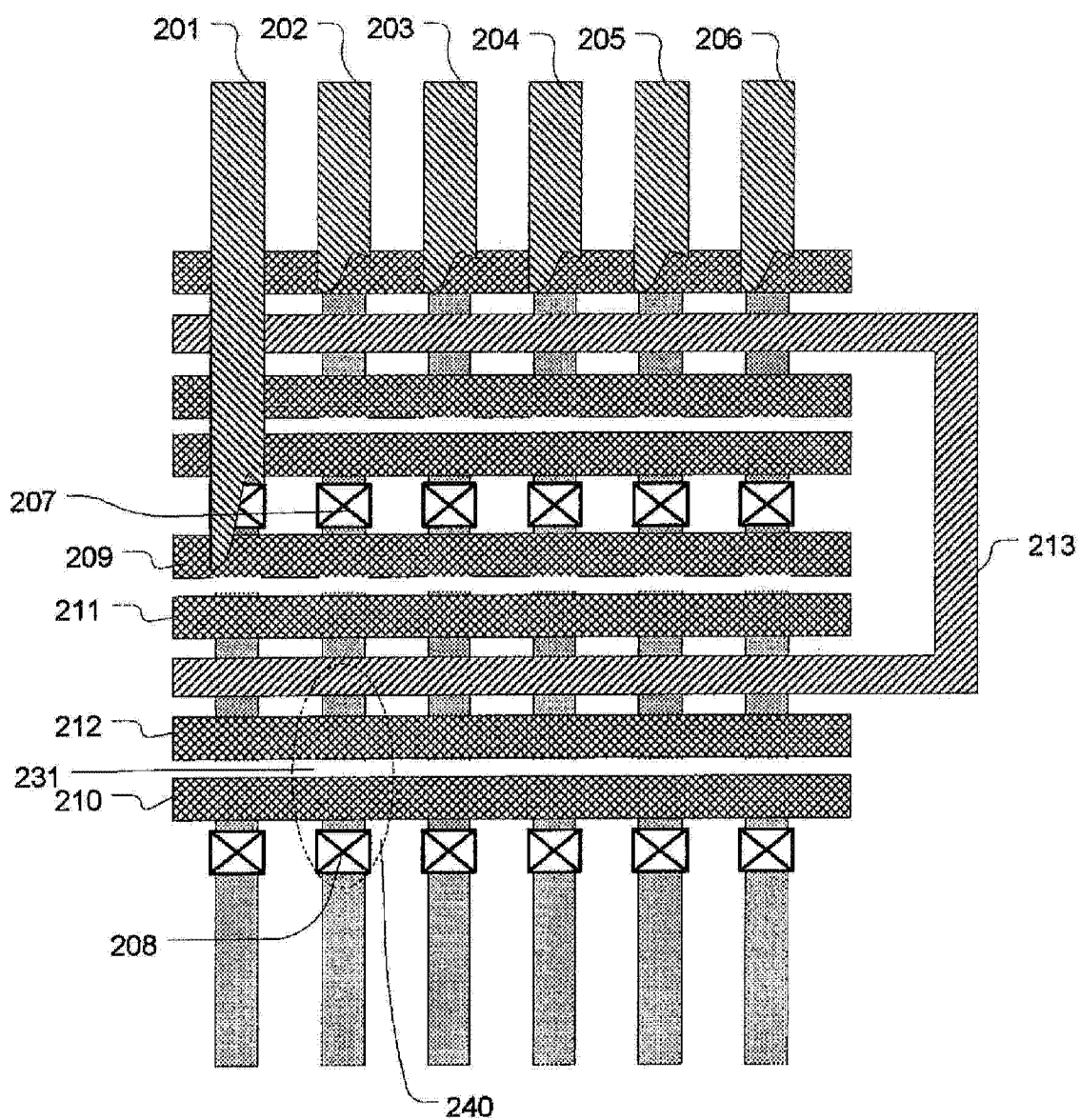


图 9

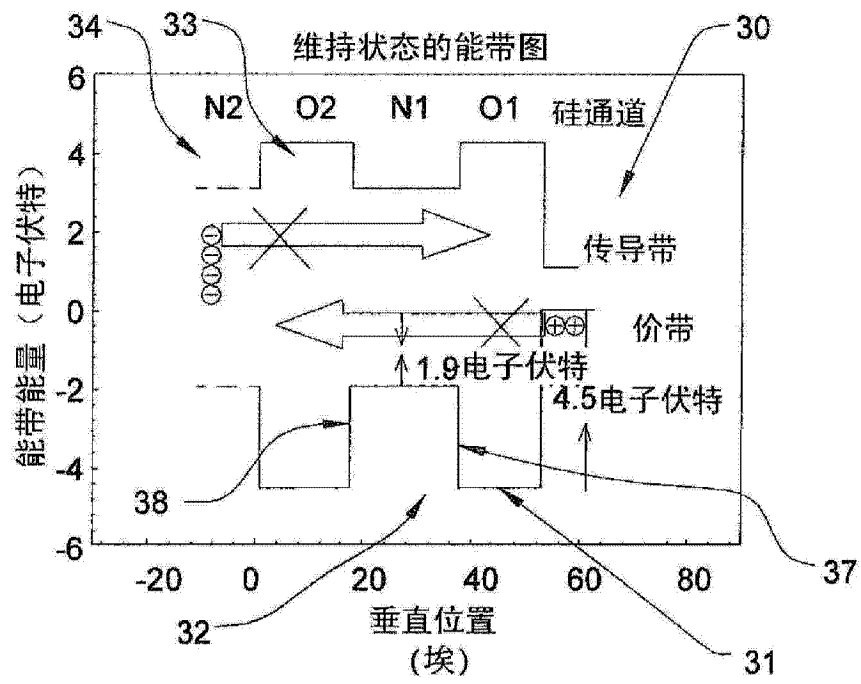


图 10

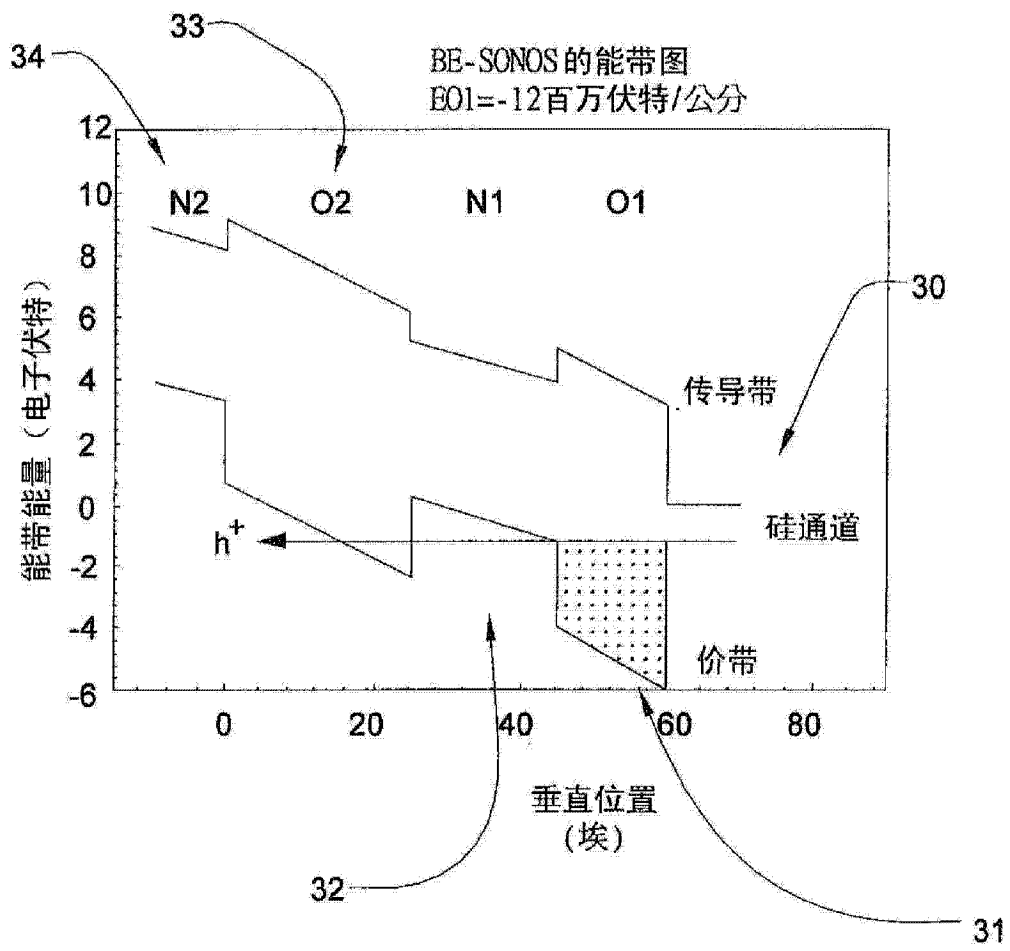


图 11

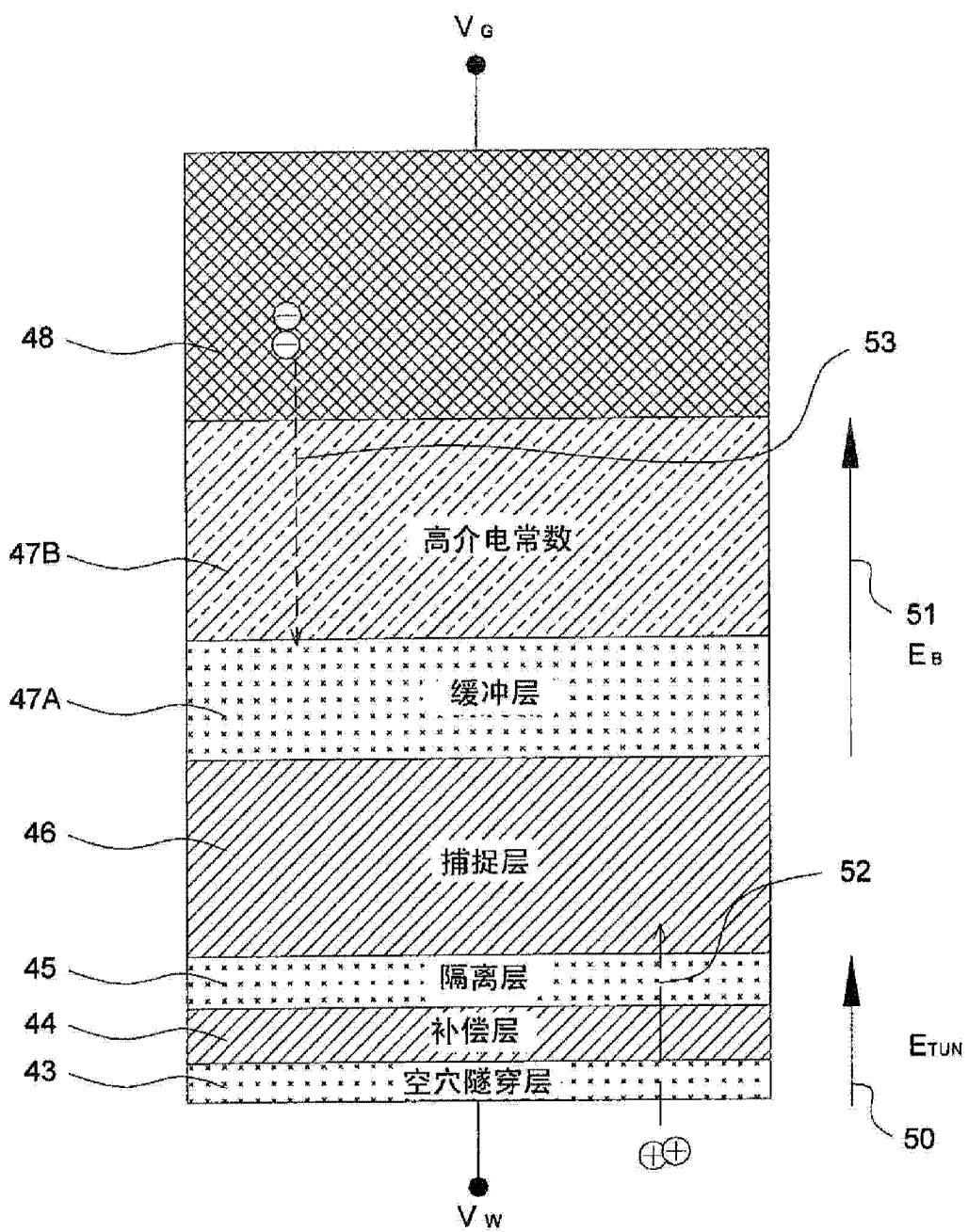


图 12

BE-SONOS存储单元

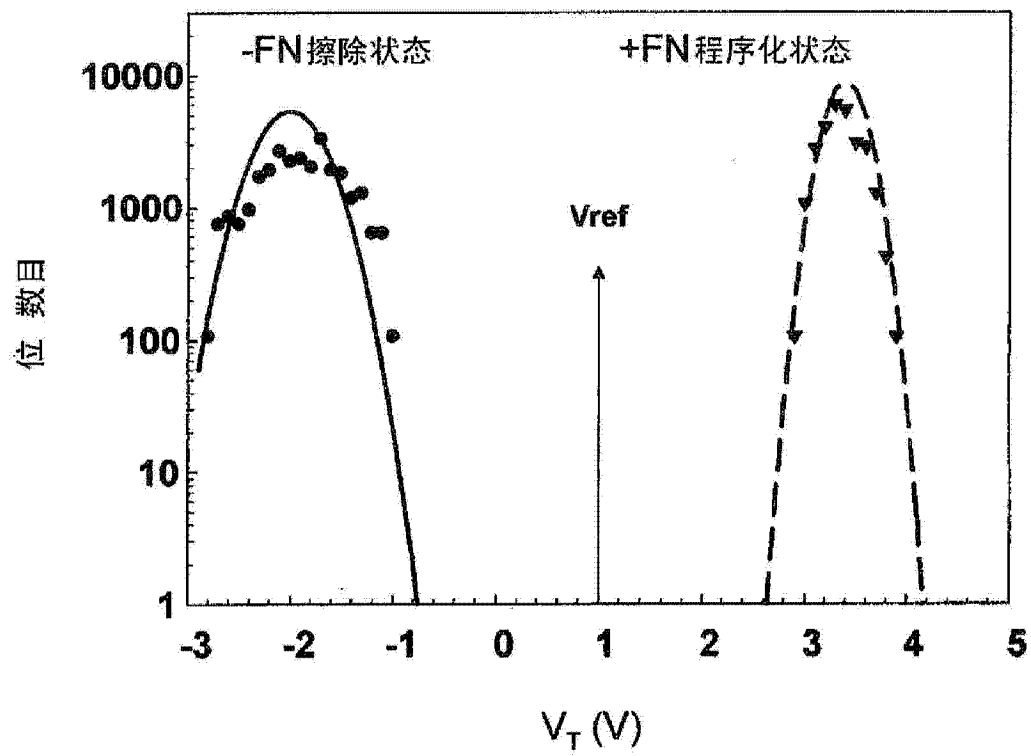


图 13

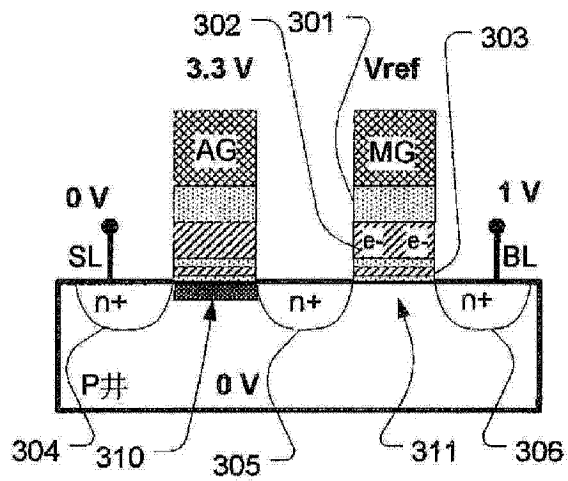


图 14

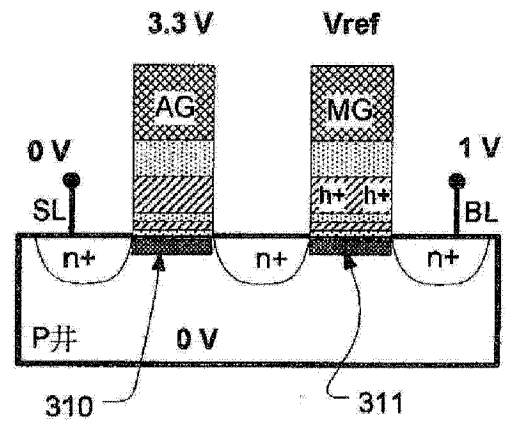


图 15

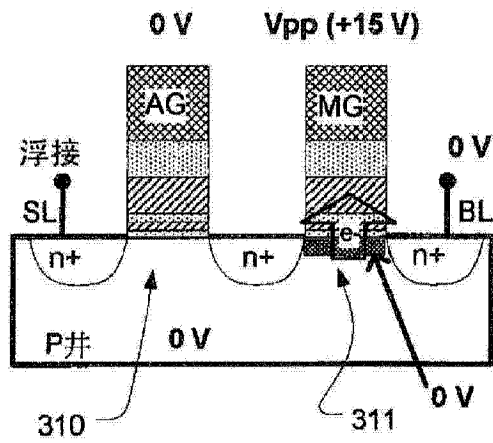


图 16

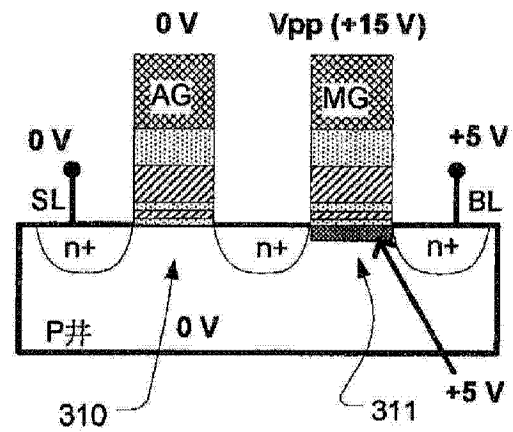


图 17

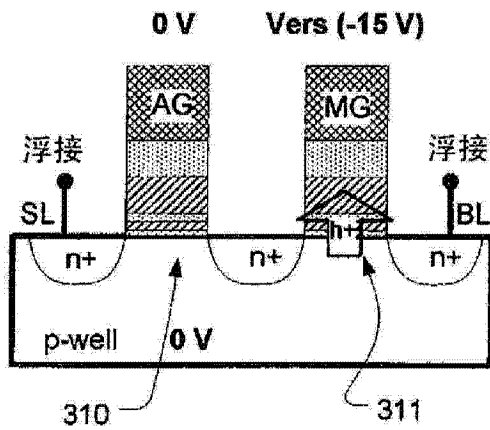


图 18

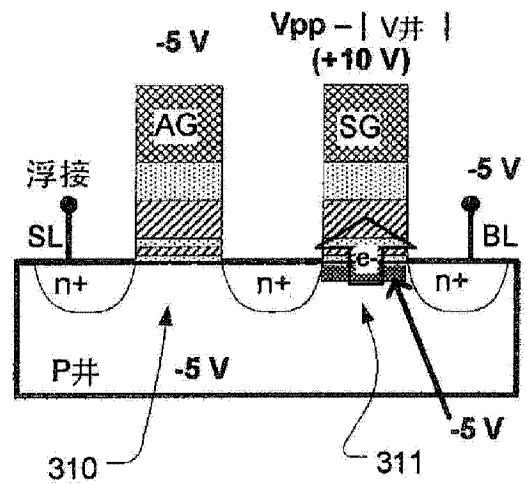


图 19

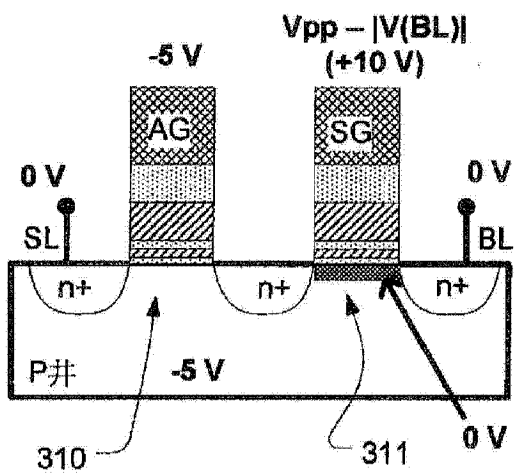


图 20

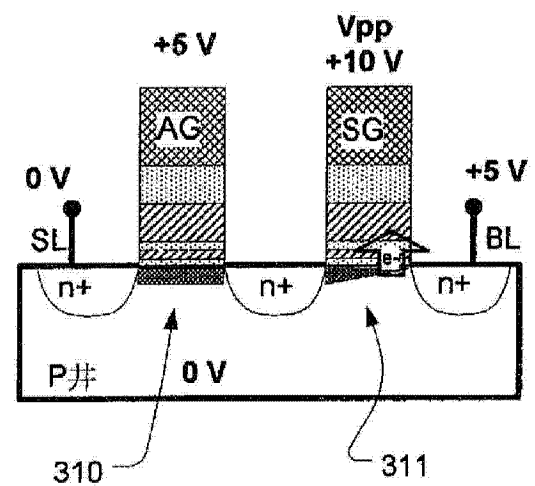


图 21

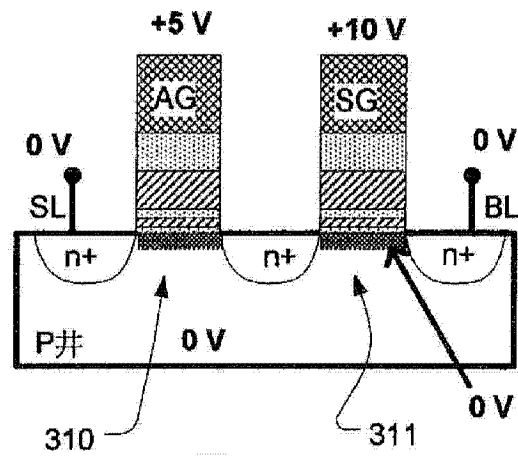


图 22

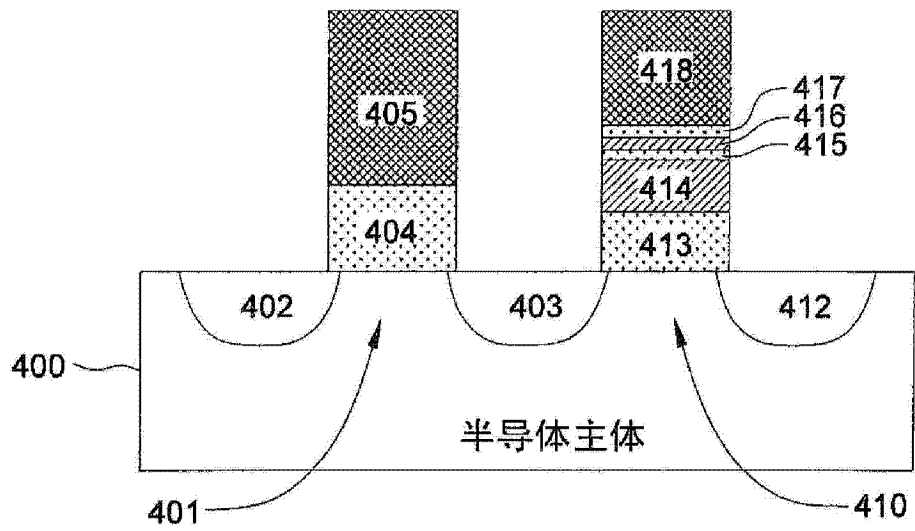


图 23

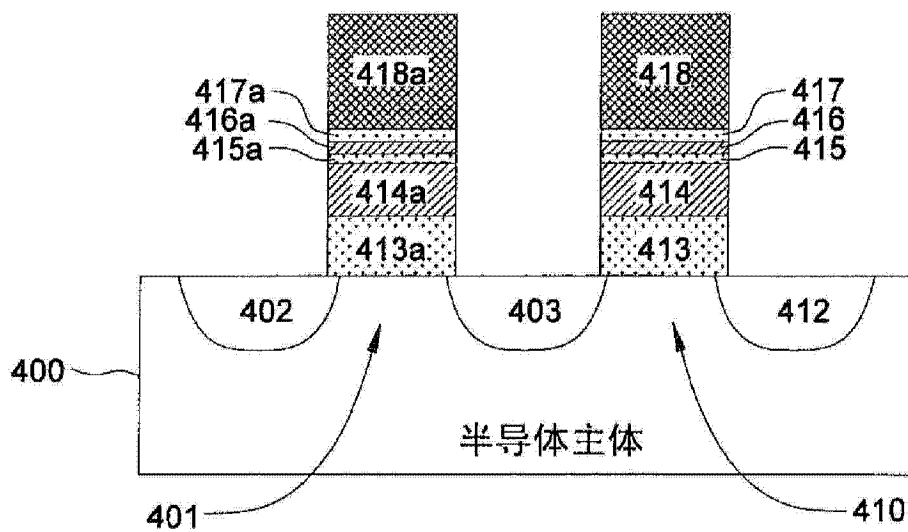


图 24

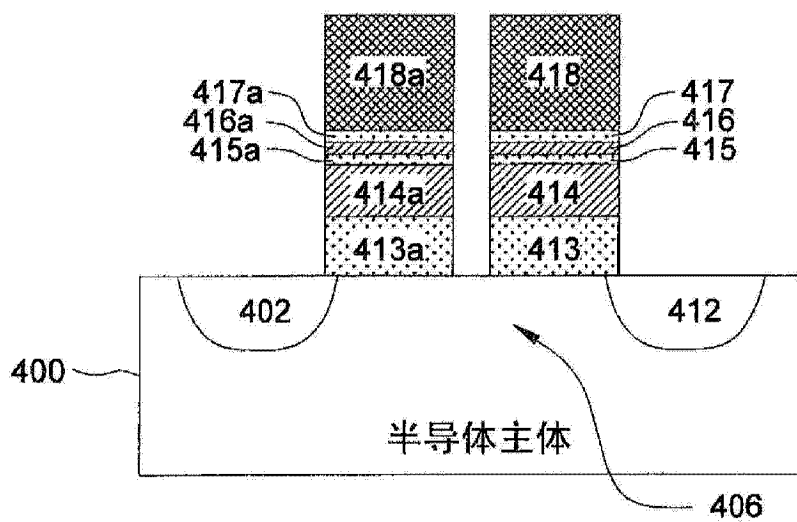


图 25

栅极注射 BE-SONOS 存储单元

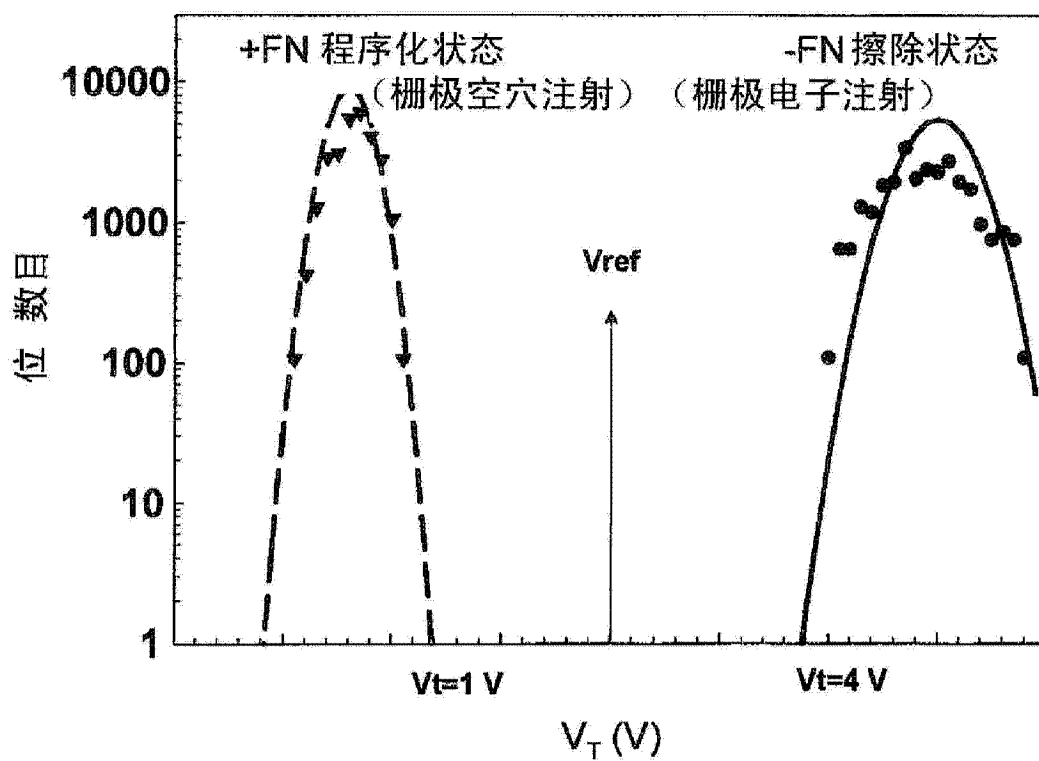


图 26

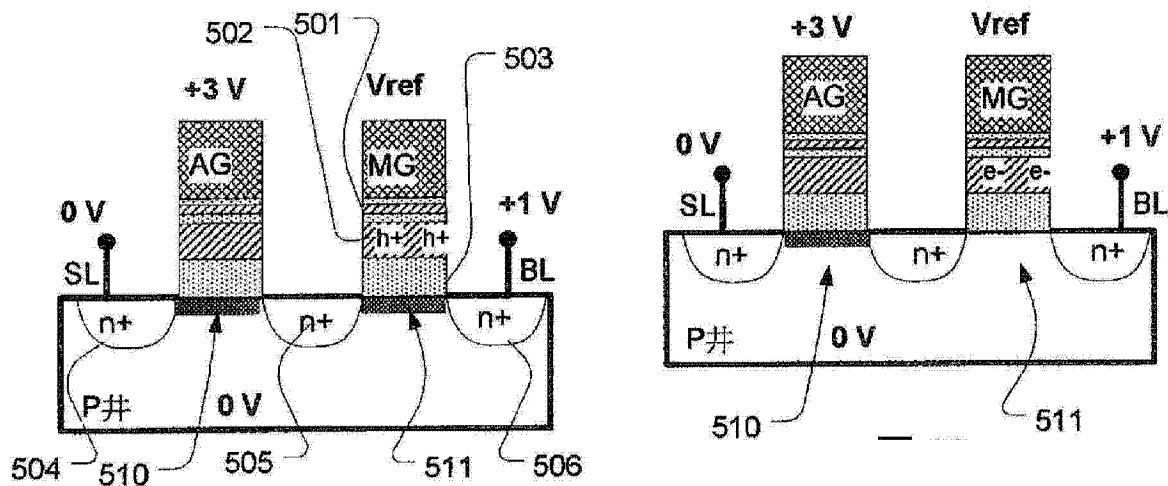


图 28

图 27

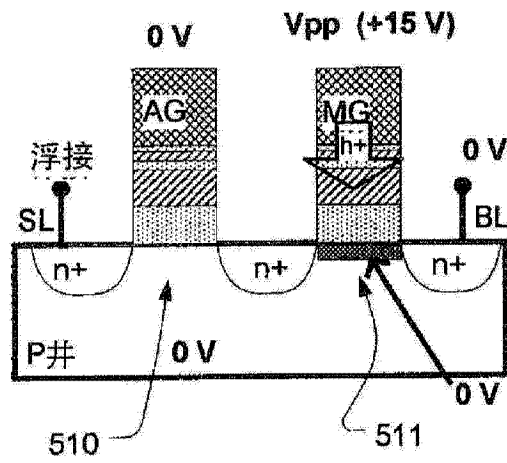


图 29

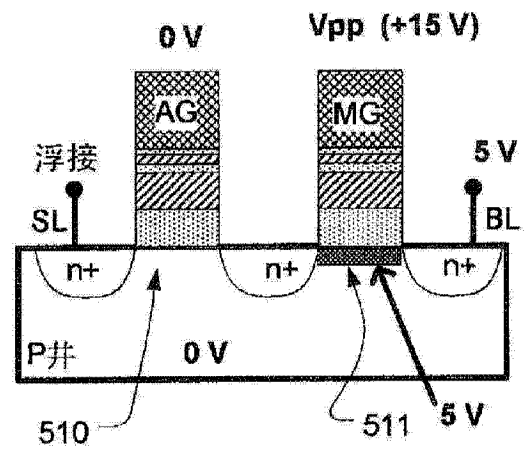


图 30

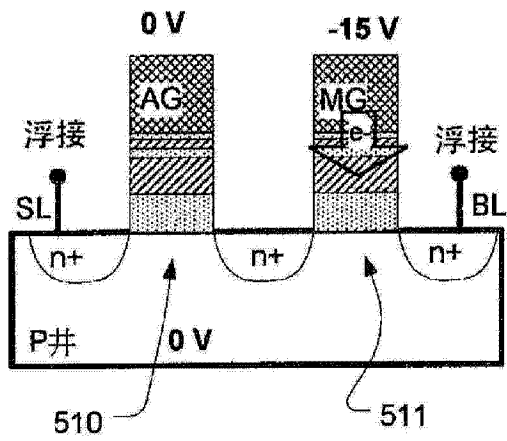


图 31

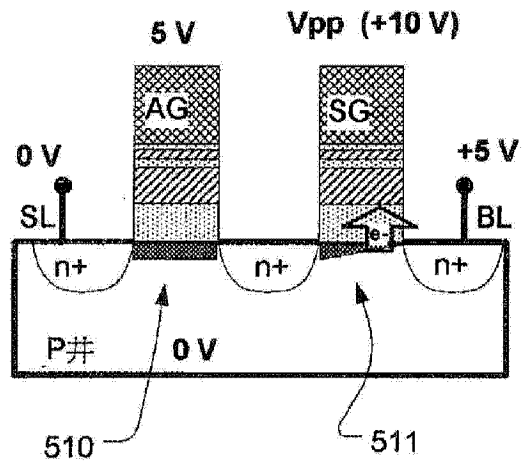


图 32

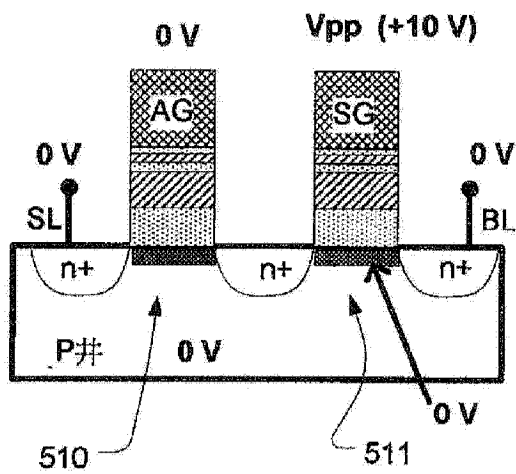


图 33

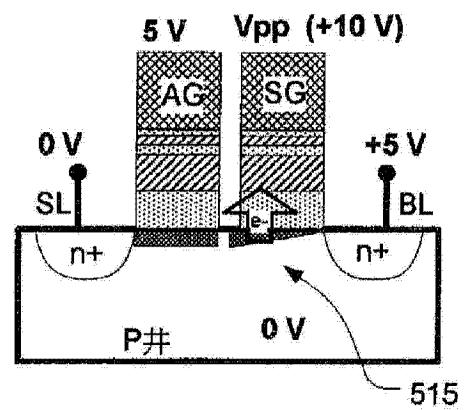


图 34

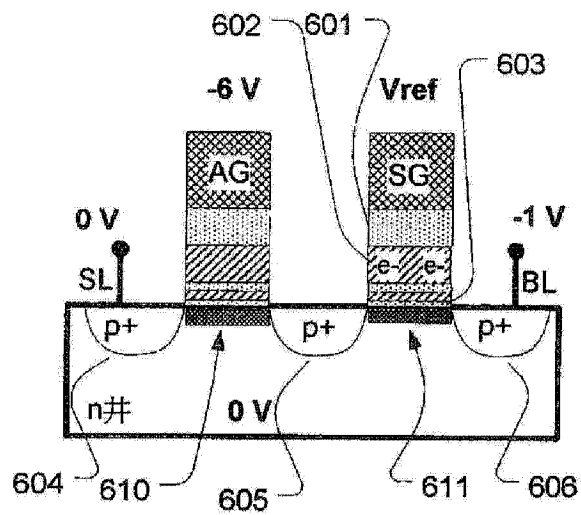


图 35

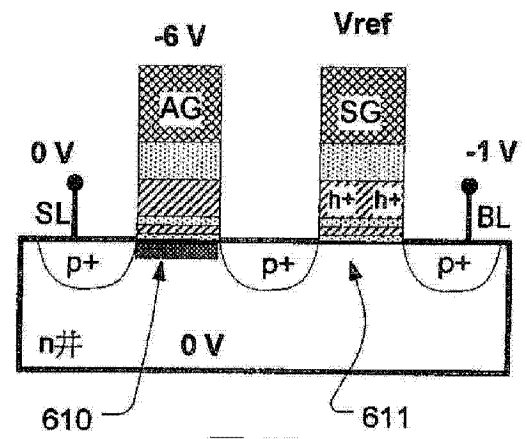


图 36

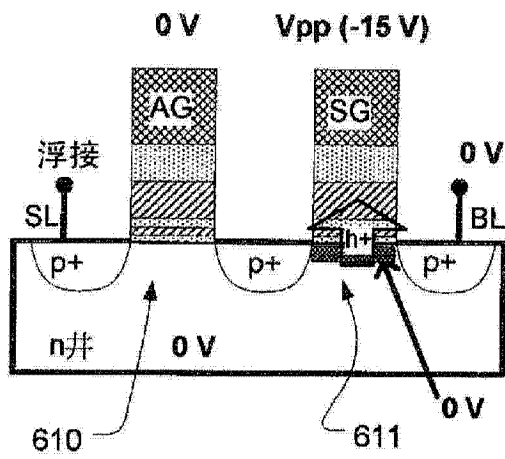


图 37

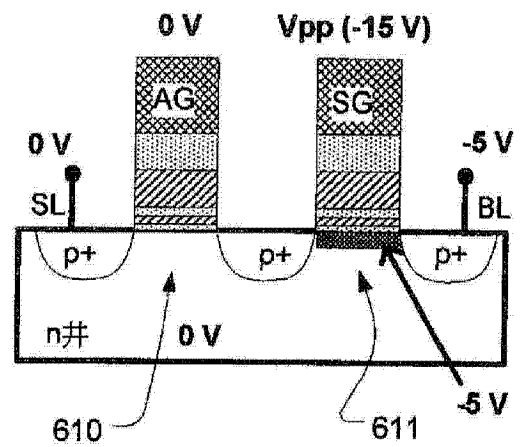


图 38

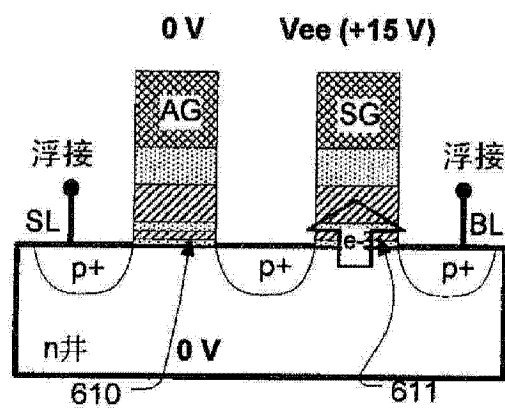


图 39

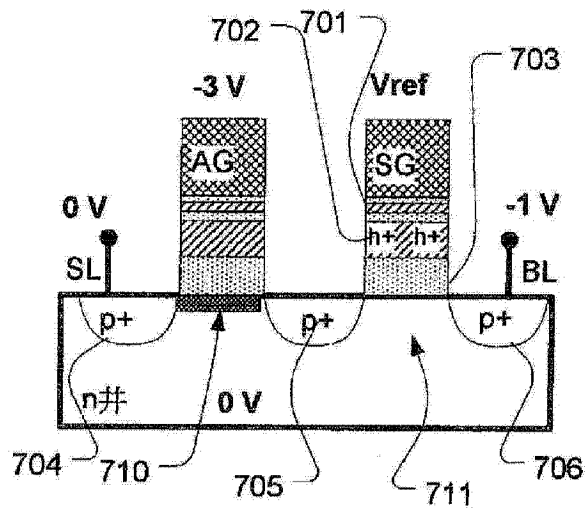


图 40

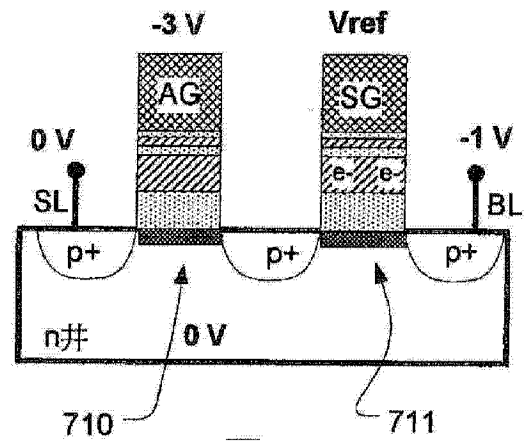


图 41

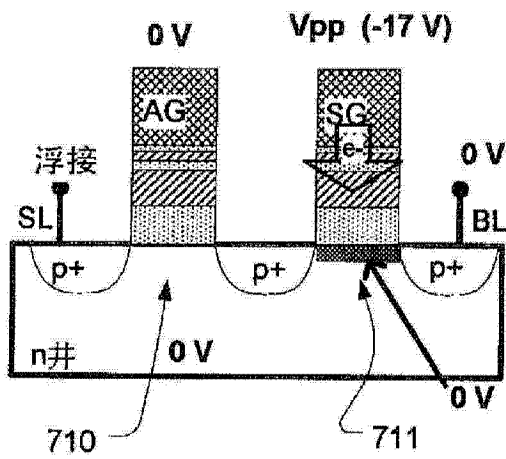


图 42

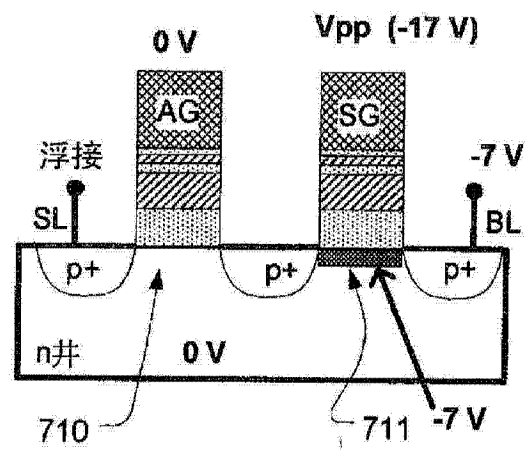


图 43

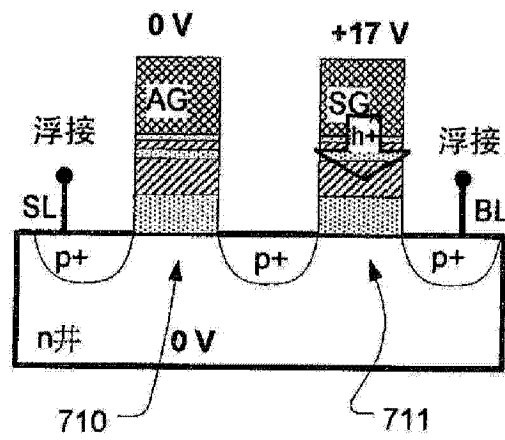


图 44

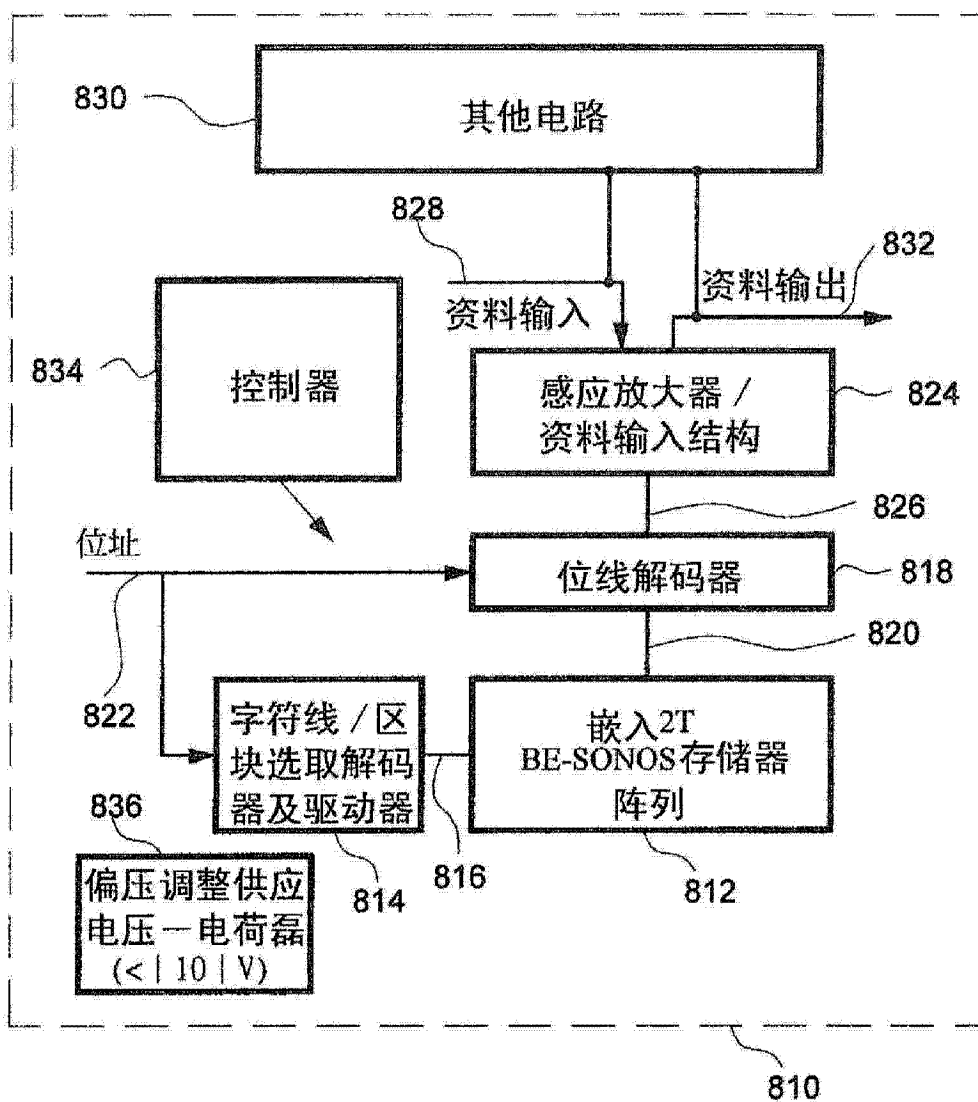


图 45