(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3556267号
(P3556267)
(45)発行日　平成16年8月18日(2004.8.18)　(24)登録日　平成16年5月21日(2004.5.21)

(51)Int.Cl.[7]　F I
H04N　7/01　H04N　7/01　J

請求項の数 6　(全 16 頁)

(21)出願番号　特願平6-89825
(22)出願日　平成6年4月27日(1994.4.27)
(65)公開番号　特開平7-298206
(43)公開日　平成7年11月10日(1995.11.10)
審査請求日　平成11年9月13日(1999.9.13)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100077849
弁理士　須山　佐一
(72)発明者　中　秀之
神奈川県横浜市磯子区新杉田町８番地　株式会社東芝　マルチメディア技術研究所内
(72)発明者　小西　和夫
神奈川県横浜市磯子区新杉田町８番地　株式会社東芝　マルチメディア技術研究所内
(72)発明者　大石　一幸
神奈川県横浜市磯子区新杉田町８番地　株式会社東芝　マルチメディア技術研究所内

最終頁に続く

(54)【発明の名称】時間軸変換方式

(57)【特許請求の範囲】

【請求項１】

入力映像信号を基準としたアスペクト比変換システムのための時間軸変換装置であって、

水平同期信号に基づいて、周波数を一定に保った読み出しクロック信号と該読み出しクロック信号の周波数よりも低い周波数の書き込みクロック信号とを生成するクロック生成手段と、

前記入力映像信号が入力され、複数の周波数特性を持ち、アナログ映像信号をデジタル映像信号へ変換する際に生ずる折り返し除去のための少なくとも一つの折り返し除去フィルタと、

前記書き込みクロック信号の周波数に対応する周波数特性の所定の前記折り返し除去フィルタを選択するフィルタ選択手段と、

前記書き込みクロック信号に基づいて、前記折り返し除去フィルタから出力される前記入力映像信号をデジタル映像信号にＡ／Ｄ変換する第１の変換手段と、

書き込み読み出し可能なメモリを具備し、前記書き込みクロック信号に基づいて前記デジタル映像信号を前記メモリに書き込むとともに前記読み出しクロック信号に基づいて前記メモリから前記デジタル映像信号を読み出して前記デジタル映像信号のアスペクト比を変換する第２の変換手段と

を備えたことを特徴とする時間軸変換装置。

【請求項２】

入力映像信号を基準としたアスペクト比変換システムのための時間軸変換装置であって、

水平同期信号に基づいて、周波数を一定に保った読み出しクロック信号と目的のアスペクト比を基準にした書き込みクロック信号とを生成するクロック生成手段と、
前記入力映像信号が入力され、複数の周波数特性を持ち、アナログ映像信号をデジタル映像信号へ変換する際に生ずる折り返し除去のための少なくとも一つの折り返し除去フィルタと、
前記書き込みクロック信号の周波数に対応する周波数特性の所定の前記折り返し除去フィルタを選択するためのフィルタ選択手段と、
前記書き込みクロック信号に基づいて、前記折り返し除去フィルタから出力される前記入力映像信号をデジタル映像信号にＡ／Ｄ変換する第１の変換手段と、
書き込み読み出し可能なメモリを具備し、前記書き込みクロック信号に基づいて前記デジタル映像信号を前記メモリに書き込むとともに前記読み出しクロック信号に基づいて前記メモリから前記デジタル映像信号を読み出して前記デジタル映像信号のアスペクト比を変換する第２の変換手段と
を備えたことを特徴とする時間軸変換装置。
【請求項３】
少なくとも一つの前記折り返し除去フィルタと前記フィルタ選択手段のそれぞれはアナログ回路から構成され、
前記フィルタ選択手段はフィルタ切換え手段であること
を特徴とする請求項１または請求項２記載の時間軸変換装置。
【請求項４】
少なくとも一つの前記折り返し除去フィルタと前記フィルタ選択手段のそれぞれはデジタル回路から構成され、
前記フィルタ選択手段はフィルタ切換え手段であること
を特徴とする請求項１または請求項２記載の時間軸変換装置。
【請求項５】
入力映像信号を基準とした時間軸変換方法であって、
水平同期信号に基づいて、周波数を一定に保った読み出しクロック信号と該読み出しクロック信号の周波数よりも低い周波数の書き込みクロック信号とを生成するステップと、
前記書き込みクロック信号の周波数に対応する所定の折り返し除去の周波数特性を選択するステップと、
アナログ映像信号をデジタル映像信号へ変換する際に生ずる折り返しを前記周波数特性に基づいて前記入力映像信号から除去するステップと、
前記書き込みクロック信号に基づいて、前記折り返しが除去された入力映像信号をデジタル映像信号にＡ／Ｄ変換するステップと、
前記書き込みクロック信号に基づいて前記Ａ／Ｄ変換されたデジタル映像信号をメモリに書き込むとともに前記読み出しクロック信号に基づいて前記Ａ／Ｄ変換されたデジタル映像信号を前記メモリから読み出して、現在のアスペクト比から目的のアスペクト比へ、前記デジタル映像信号のアスペクト比を変換するステップと
を有する時間軸変換方法。
【請求項６】
入力映像信号を基準とした時間軸変換方法であって、
水平同期信号に基づいて、周波数を一定に保った読み出しクロック信号と目的のアスペクト比を基準にした周波数の書き込みクロック信号とを生成するステップと、
前記書き込みクロック信号の周波数に対応する所定の折り返し除去の周波数特性を選択するステップと、
アナログ映像信号をデジタル映像信号へ変換する際に生ずる折り返しを前記周波数特性に基づいて前記入力映像信号から除去するステップと、
前記書き込みクロック信号に基づいて、前記折り返しが除去された入力映像信号をデジタル映像信号にＡ／Ｄ変換するステップと、
前記書き込みクロック信号に基づいて前記Ａ／Ｄ変換されたデジタル映像信号をメモリに

書き込むとともに前記読み出しクロック信号に基づいて前記Ａ／Ｄ変換されたデジタル映像信号を前記メモリから読み出して、現在のアスペクト比から目的のアスペクト比へ、前記デジタル映像信号のアスペクト比を変換するステップと
を有する時間軸変換方法。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】

この発明はテレビジョン受像機、情報通信機器等に用いられる時間軸変換方式に関し、特に時間軸圧縮回路、時間軸伸長回路等の時間軸変換回路およびその周辺回路に係るものである。

【０００２】

【従来の技術】

図１９は、従来の時間軸変換方式のうち、時間軸圧縮回路の回路例を示している。入力信号と出力信号の時間軸を圧縮する手段として、メモリに書き込む信号データをデジタルフィルタによって間引き演算を行い、その信号を読みだすことによって、時間軸の圧縮を行うように構成した時間軸圧縮回路である。この構成の時間軸圧縮回路では、メモリに書き込むデータを間引きする間引きの比率によって、時間軸の圧縮比を決定する。

【０００３】

入力されたアナログ信号はＡＤ変換器１９１によって、クロック周波数に基づいた所定のサンプリング周期のデジタル信号に変換する。このクロック信号は、クロック発生回路１９２によって所定の周期のクロックとして発生する。変換されたデジタル信号は、デジタルフィルタ１９３によって必要な圧縮比、例えば３／４に圧縮するために時間軸上でデジタル信号データの間引き演算を行う。このデジタルフィルタ１９３にはＦＩＲ型のフィルタを用いることが多い。間引き演算は、時間軸上に連続している異なる４個の信号データから３個の信号データを取り出すように、適切にタップ係数を設定しなければならない。タップ係数は例えば図２０のように選ぶ。

【０００４】

時間軸上で間引きされた信号データは、メモリ１９４に書き込む。書き込まれた信号データは、クロック発生回路１９２のクロック周波数に従った所定のサンプリング周期と同等な周期で読みだし、読みだされたデジタル信号データは、ＤＡ変換器１９５によってアナログ信号に変換する。変換された出力アナログ信号は、入力アナログ信号を３／４倍の時間軸上で、圧縮されたデータとなる。こうして時間軸の圧縮が行える。

【０００５】

このような時間軸圧縮回路では、時間軸圧縮を行うために時間軸間引きのためのデジタルフィルタ１９３を用いている。一般的にデジタル回路で構成するフィルタは、デジタル回路の内でも回路規模が大きく複雑になり、システムを実現する上でのネックとなる場合が多い。さらに回路規模を縮小しようとすると所望の性能を得ることが困難となる。

【０００６】

従来の時間軸変換方式では、時間軸間引くためにＦＩＲ型などのフィルタを用いており、回路規模が大きく回路が複雑になるという問題点がある。この構成で回路規模を小さくしようとすると、所望の性能を得ることが困難である。

【０００７】

図２１は、上記問題点を解決した従来の他の時間軸圧縮回路の回路例を示している。入力信号と出力信号の時間軸を圧縮する手段として、メモリに書き込むクロックの周波数と読みだすクロックの周波数を異なる周波数とすることによって、時間軸の圧縮を行うように構成した時間軸圧縮回路である。

【０００８】

この構成の時間軸圧縮回路では、書き込むクロックを基準として、書き込みクロックを逓倍することにより読みだしクロックを生成し、逓倍比を決定することによって時間軸の圧縮比を決定する。

【０００９】
入力アナログ信号はＡＤ変換器２１１によって、書き込みクロック周波数に従った所定のサンプリング周期のデジタル信号に変換される。この書き込みクロックは、クロック発生回路２１２によって所定の周期のクロックとして発生する。変換されたデジタル信号は、書き込みクロックにしたがってメモリ２１３に書き込む。
【００１０】
一方、読みだしクロックはクロック発生回路２１２によって発生された書き込みクロックを４／３倍の逓倍比の逓倍回路２１４により逓倍した読みだしクロックとして発生する。この逓倍は例えばＰＬＬを用いて行う。書き込みクロックによって書き込まれた信号データは、読みだしクロックによって読みだす。読みだされたデジタル信号データは、ＤＡ変換器２１５によってアナログ信号に変換する。変換された出力アナログ信号は、以上の信号処理によって、入力アナログ信号を３／４倍時間軸上で圧縮したデータとなる。こうして時間軸の圧縮を行うことができる。
【００１１】
この時間軸圧縮回路では、時間軸圧縮を行うために時間軸間引きのためのデジタル・フィルタを用いる必要はない。このため、回路構成がシンプルになり、システムとして実現することが上記の従来例よりも容易になる。しかし、メモリ２１３への書き込みクロックを基準とし、書き込みクロックを逓倍した逓倍比に応じて時間軸の圧縮を行うため、圧縮比倍だけ読みだしクロックの周波数が高くなるという問題がある。すなわち、圧縮比を大きくとると読みだしクロックが圧縮比に応じて高くなるため、メモリ２１３へのアクセス速度の上限を越えたり、ＤＡ変換器２１５の動作速度の上限を越えてしまい、実現が困難になるという問題がある。
【００１２】
このように、従来の時間軸圧縮回路では、図１９に説明した時間軸圧縮回路の問題点は解決できるが、メモリへの書き込みクロックを基準とし、読みだしクロックを変えて時間軸圧縮を行うため、圧縮比を大きくとると読みだしクロックの周波数が高くなりすぎて、メモリのアクセス速度の上限またはＤＡ変換器の動作速度の上限を越えてしまい、実現が困難になるという問題点がある。
【００１３】
さらに加えて、従来の時間軸変換方式では、読みだしと書き込みのクロック周波数が違うシステムでは、書き込みクロックと読みだしクロックとの間で１クロックジッタが発生し、良好な再生画像が得られないという問題点がある。
【００１４】
【発明が解決しようとする課題】
以上述べてきたように、従来の時間軸変換方式では、時間軸間引きフィルタを用いていたため回路規模が大きく複雑となるという問題点があり、回路規模を小さくしようとすると所望の性能が取りにくいという問題点があった。フィルタを用いない時間軸変換方式では、メモリへの書き込みクロックを基準とし、読みだしクロックを変えて時間軸圧縮を行うため、圧縮比を大きくとると読みだしクロックの周波数が高くなりすぎて実現が難しくなるばかりか、読みだしと書き込みのクロック周波数が違うと、書き込みクロックと読みだしクロックとの間で１クロックジッタが発生し、良好な再生画像が得られないという問題点があった。
【００１５】
この発明は、読みだしと書き込みのクロック周波数が違うシステムでありながら、１クロックジッタのない良好な再生画像を得ることができる時間軸変換方式を提供する。
【００１６】
【課題を解決するための手段】
上記問題点を解決するためにこの発明では、例えば、読みだすクロックを基準として、読みだすクロックを分周または逓倍することにより書き込むクロックを生成し、分周比を決定することによって時間軸の圧縮または伸長比を決定することを特徴とする。

【００１７】
読みだしクロックおよび書き込みクロックは水平同期信号を基準として生成し、読みだしクロックの周波数が一定で書き込みクロックの周波数を変えることによりワイドアスペクト変換するシステムで、圧縮比に応じたフィルタ切り換え信号をプリフィルタに与え、書き込みのサンプル周波数の変化に応じて、システムに最適な帯域のフィルタに切り換える。

【００２０】
【作用】
上記のように構成することにより、メモリへの読みだしクロックを基準とし、書き込みクロックを変えて時間軸変換を行うため、回路規模が小さくでき、圧縮比を大きくとっても読みだしクロックの周波数は一定となり、大きな圧縮比が容易に実現できる。

【００２１】
書き込み周波数が高いときには、帯域の広いフィルタに切り換え、書き込み周波数が低い時には、折り返しの防止のために帯域の狭いフィルタに切り換えるため、圧縮比に応じた最適のフィルタを選択するため、常に高画質の再生画像が得られる。

【００２２】
ライン毎にカウンタの０番地を決めてやることによって、読みだしクロックと書き込みクロックの１クロックジッタをなくすことができ、アスペクト変換等に用いると、良好な変換動作が実現できる。

【００２３】
【実施例】
以下、この発明の実施例について図面を参照して詳細に説明する。
図１は時間軸変換装置および時間軸変換方法の参考例を説明するためのシステムである。入力信号と出力信号の時間軸を圧縮する手段として、メモリに書き込むクロックの周波数と読みだすクロックの周波数を異なる周波数とすることによって、時間軸の圧縮を行うように構成した時間軸圧縮回路である。時間軸圧縮回路では、読みだしクロックを基準として、読みだしクロックを分周することにより書き込みクロックを生成し、分周比を決定することにより時間軸の圧縮比を決定する。

【００２４】
入力端子１に入力されたアナログ信号は、ＡＤ変換器２によって書き込みクロック周波数に基づいた所定のサンプリング周期のデジタル信号に変換する。この書き込みクロックは、分周回路３によって読みだしクロックを所定の分周比、例えば３／４分周の分周回路によって分周したクロックとして発生する。この分周は例えばプログラマブル分周器を用いて行う。変換されたデジタル信号は書き込みクロックにしたがってメモリ４に書き込む。

【００２５】
一方、読みだしクロックはクロック発生回路５によって発生する。書き込みクロックによって書き込まれた信号データを読みだしクロックによって読みだし、読みだされたデジタル信号データをＤＡ変換器６によってアナログ信号に変換する。変換された出力アナログ信号は、入力アナログ信号を３／４倍の時間軸上で圧縮したデータとして出力端子７より取り出す。このような処理により、時間軸の圧縮を行うことができる。

【００２６】
この参考例では、時間軸圧縮を行うために時間軸間引きのためのデジタル・フィルタを用いない。このため、回路構成がシンプルになり、システムとして実現することが容易である。さらに、メモリ４への読みだしクロックを基準とし、読みだしクロックを分周して時間軸の圧縮を行うため、圧縮比倍だけ書き込みクロックの周波数が低くなる性質を持っている。このように、圧縮比を大きくとっても読みだしクロックが圧縮比に応じて高くなることもなく、むしろ書き込みクロックが低くなるため、メモリ４へのアクセス速度や、ＤＡ変換器６の動作速度から制限を受けることもなく、実現が容易である。

【００２７】
図２は時間軸変換装置および時間軸変換方法の第１の他の参考例を説明するための回路構

成図である。この参考例は、入力信号と出力信号の時間軸を圧縮する手段として、メモリに書き込むクロックの周波数と読みだすクロックの周波数を異なる周波数とすることによって、時間軸の圧縮を行うように構成した時間軸圧縮回路である。図１の参考例と異なるのはメモリとしてデュアルポートメモリ４１を用いたことである。

【００２８】

この構成の時間軸圧縮回路でも、読みだしクロックを基準として、読みだしクロックを分周することにより書き込みクロックを生成し、分周比を決定することによって時間軸の圧縮比を決定する。

【００２９】

入力アナログ信号はＡＤ変換器２によって書き込みクロック周波数に従った所定のサンプリング周期のデジタル信号に変換する。この書き込みクロックは分周回路３によって読みだしクロックを所定の分周比、例えば３／４分周の分周回路によって分周したクロックとして発生する。

【００３０】

図３および図４は、ともに図１および図２の参考例に用いたＰＬＬ構成による分周回路４と読みだしクロック発生回路５の具体的な回路構成図を説明するためのものである。図３では、書き込むクロックをＶＣＯ３１によって発生させ、書き込みクロックを４／３分周器３２により分周したのち位相比較器３３の一方の入力とし、読みだしクロックを位相比較器３３の他の入力とし、位相比較器３３の出力をＶＣＯ３１の制御電圧とすることによってＰＬＬ回路を構成している。また、読みだしクロックはテレビジョンの水平同期タイミングを８ｆｓｃに相当する１８２０倍を得るための分周器３４、比較器３５、ＶＣＯ３６のＰＬＬ回路によって生成する。

【００３１】

図４では、書き込むクロックをＶＣＯ４１によって発生させ、書き込むクロックを１／３分周器４２により分周したのち位相比較器４３の一方の入力とし、読みだしクロックを１／２分周器４４，４５により１／４分周したのち位相比較器４３の他の入力とし、位相比較器４３の出力をＶＣＯ３１の制御電圧とすることによってＰＬＬ回路を構成している。また、読みだしクロックは、テレビジョンの水平同期タイミングを８ｆｓｃ相当の１８２０逓倍する１／２分周器４４および４６、比較器４７、ＶＣＯ４８により構成されるＰＬＬ回路によって生成する。１８２０倍を得るための分周器を先の１／４分周器の一部または全部を流用する構成になっている。いずれの構成によっても得られる結果は、読みだしクロックを３／４倍した周波数の書き込みクロックを得ることができる。図４の場合は、分周比の選びかたによって任意の分周比を容易に得られることである。例えば読みだしクロックを４分周し、書き込みクロックを２分周すれば２／４分周＝１／２分周、読みだしクロックを６分周し、書き込みクロックを４分周すれば４／６分周＝２／３分周が得られる。

【００３２】

図２において、変換されたデジタル信号は、書き込みクロックに基づいてメモリ４１に書き込む。一方、読みだしクロックはクロック発生回路５によって発生する書き込みクロックによって、書き込まれた信号データを読みだしクロックによって読みだし、読みだされたデジタル信号データをＤＡ変換器６によってアナログ信号に変換する。変換された出力アナログ信号は、入力アナログ信号を３／４倍時間軸上で圧縮されたデータとして出力端子７より取り出す。

【００３３】

この参考例でも、図１の参考例と同様に時間軸圧縮を行うために時間軸間引きのためのデジタル・フィルタを必要としない。さらに、デュアルポートメモリ４１を用いているため、回路構成がさらにシンプルになり、システムとして実現することが容易である。メモリ４１への読みだしクロックを基準とし、読みだしクロックを分周して時間軸の圧縮を行うため、圧縮比倍だけ書き込みクロックの周波数が低くなる性質を持っている点は同様である。圧縮比を大きくとっても読みだしクロックが圧縮比に応じて高くなることもなく、む

しろ書き込みクロックが低くなるため、メモリ４１へのアクセス速度や、ＤＡ変換器６の動作速度から制限を受けることもなく、実現が容易である。

【００３４】

図５は、図２で説明した時間軸圧縮回路を実際のテレビジョン受像機の輝度信号と色信号の処理系に施したシステム図である。なお、このブロック図では音声信号処理回路は省略している。

【００３５】

受信回路５１によって受信されたテレビジョン搬送信号は、復調回路５２によって復調された後、輝度信号・色信号分離回路５３によって輝度信号と色信号に分離する。輝度信号は輝度信号処理回路５４、色信号は色信号処理回路５５によってベースバンド映像信号として処理された後、時間軸圧縮回路５６にそれぞれ入力する。時間軸圧縮回路５６では輝度信号と色信号を独立して時間軸圧縮処理を行う。

【００３６】

時間軸圧縮回路５６では、１６：９画面上に４：３画面を適切なアスペクト比で表示できるように３／４倍する。圧縮されたベースバンド輝度信号とベースバンド色信号はマトリクス回路５７によってＲＧＢ信号に変換され、偏向回路５８を経てＣＲＴ５９上に画像として表示する。このときの画像は、時間軸圧縮回路５６により時間方向に３／４倍圧縮された画像であるが、画面の横幅が４：３受像機に対して１６：９受像機は４／３倍長いため、アスペクト比は正確に再現できる。

【００３７】

図６は時間軸変換装置および時間軸変換方法の第２の他の参考例を説明するための回路構成図である。この参考例は、入力信号と出力信号の時間軸を伸長するもので、メモリに書き込むクロックの周波数と読みだすクロックの周波数を異なる周波数とすることによって、時間軸の伸長を行う時間軸伸長回路としたものである。

【００３８】

すなわち、読みだしクロックを基準として、読みだしクロックを逓倍することにより書き込みクロックを生成し、逓倍比を決定することによって時間軸の伸長比を決定する。図６において、入力端子１に入力されたアナログ信号は、ＡＤ変換器２によって書き込みクロック周波数に従った所定のサンプリング周期のデジタル信号に変換する。この書き込みクロックは、逓倍回路６１によって読みだしクロックを４／３逓倍したクロックとして発生する。この逓倍は例えばプログラマブル逓倍器を用いて行う。変換されたデジタル信号は、書き込みクロックにしたがってメモリ４に書き込む。一方、読みだしクロックはクロック発生回路５によって発生する。書き込みクロックによって書き込まれた信号データは、読みだしクロックによって読みだし、読みだされたデジタル信号データをＤＡ変換器６によってアナログ信号に変換する。変換された出力アナログ信号は、入力アナログ信号を４／３倍時間軸上で伸長したデータとなる。

【００３９】

このようにして、時間軸の伸長を行う。この時間軸伸長回路では、時間軸圧縮を行うことのための時間軸間引き用デジタル・フィルタが必要ない。このため、全体の回路構成がシンプルなものとなり、実現可能なシステムとすることができる。

【００４０】

図７は時間軸変換装置および時間軸変換方法の第３の他の参考例を説明するための回路構成図で、この参考例は時間軸の伸長を行う時間軸伸長回路に関し、入力信号と出力信号の時間軸を、メモリに書き込むクロックの周波数と読みだすクロックの周波数を異なる周波数とすることによって、時間軸の伸長を行うようにしたものである。

【００４１】

図６の参考例と異なる部分は、デュアルポート型の半導体メモリ４１を用いた点である。この構成でも読みだしクロックを基準として、読みだしクロックを逓倍することにより書き込みクロックを生成し、逓倍比を決定することによって時間軸の伸長比を決定する。

【００４２】

すなわち、入力端子１に入力されたアナログ信号は、ＡＤ変換器２によって書き込みクロック周波数に従った所定のサンプリング周期のデジタル信号に変換する。この書き込みクロックは、逓倍回路６１によって読みだしクロックを４／３逓倍によって逓倍されたクロックとして発生する。この逓倍回路６１としては例えばＰＬＬ回路を用いる。変換されたデジタル信号は、書き込みクロックにしたがってメモリ４１に書き込む。

【００４３】

一方、読みだしクロックはクロック発生回路によって発生する。書き込みクロックによって書き込まれた信号データを読みだしクロックによって読みだし、読みだされたデジタル信号データをＤＡ変換器によってアナログ信号に変換する。変換された出力アナログ信号は、以上の信号処理によって、入力アナログ信号を４／３倍時間軸上で伸長したデータとなる。このようにして、時間軸の伸長を行う。

【００４４】

この参考例でも、図６の参考例と同様に時間軸伸長を行うために時間軸間引きのためのデジタル・フィルタを必要としない。さらに、デュアルポートメモリ４１を用いているため、回路構成をよりシンプルすることができる。

【００４５】

図８は、図６において説明した時間軸伸長回路を実際のテレビジョン受像機の輝度信号と色信号の処理系に独立に施したシステム図である。なお、このブロック図では音声信号処理回路は省略している。

【００４６】

受信回路５１によって受信されたテレビジョン搬送信号は、復調回路５２によって復調された後、輝度信号・色信号分離回路５３によって輝度信号と色信号に分離する。輝度信号は輝度信号処理回路５４、色信号は色信号処理回路５５によってベースバンド映像信号として処理された後、時間軸伸長回路８１にそれぞれ入力する。時間軸伸長回路８１では輝度信号と色信号を独立して時間軸伸長の処理を行う。時間軸伸長回路８１では、４：３画面上に１６：９画面を適切なアスペクト比で表示できるように４／３倍される。伸長されたベースバンド輝度信号とベースバンド色信号はマトリクス回路５７によってＲＧＢ信号に変換され、偏向回路５８を経てＣＲＴ５９上に画像として表示する。このときの画像は、時間軸伸長回路８１により時間方向に４／３倍伸長された画像であるが、画面の横幅が１６：９受像機に対して４：３受像機は、３／４倍短いため、アスペクト比は正確に再現できる。

【００４７】

読みだしクロックおよび書き込みクロックを水平同期信号を基準として生成し、読みだしクロックの周波数が一定で書き込みクロックの周波数を変えることにより、ワイドアスペクト変換するシステムのシステム周波数は、色ロッククロック（ｆｓｃ＝３．５８ＭＨｚ）の８倍に設定されることが多い。

【００４８】

しかし、ワイドアスペクト変換システムでは、アスペクト変換された映像信号は、垂直方向にデータを揃える必要があるため、通常は映像信号の水平同期信号の整数倍のクロックが使われる。そのため、何らかの形でシステム全体のクロック系と整合性をとらなければならない。その場合、システム全体のクロック周波数とアスペクト変換クロックの周波数がかけ離れているとシステム全体の整合性が非常にとりにくくなる。色ロッククロックは、水平同期信号の周波数の４５５／２倍に設定されており、その８倍のクロックを使用した場合には、１８２０倍になっている。少なくともシステムの整合性を考慮して色ロッククロックの８倍のシステムでは、アスペクト変換クロック周波数として１８２０倍に近い値を使わなければならない。

【００４９】

読みだしクロックを決定する例を紹介する。例えば、３／４倍、１／２倍、１倍にアスペクト変換し、かつ色信号は輝度信号に比較して信号帯域が狭く、回路規模削減のため、輝度信号の１／４のクロック周波数で動作するシステムを考える。

【００５０】
読みだしクロックを水平同期信号の１８２４倍（１８２４ｆＨ）に設定する。この場合、書き込みクロック周波数を３／４倍（１３６８ｆＨ：輝度信号）にすれば３／４圧縮、書き込みクロック周波数を１／２倍（９１２ｆＨ：輝度信号）とすれば１／２圧縮を実現できる。色信号の場合は、更にその１／４のクロック周波数で実現できる。以上の関係を表１にまとめる。
【００５１】
【表１】

画面モードとサンプルレート（1824fHの場合）

画面モード	輝度		色	
	書き込みレート	読みだしレート	書き込みレート	読みだしレート
標準モード	1368fH	1824fH	342fH	456fH
1／2モード	912fH	1824fH	228fH	456fH
スルーモード	1824fH	1824fH	456fH	456fH

読みだしクロック周波数を１８２４倍にすると、表１でわかるように、設定した画面モードに対応するクロック周波数が、常に水平同期信号の整数倍となり、ライン間での反転クロックが存在しない。１８２０倍の場合は、１／８で４５５／２倍になり、ライン間でクロックが反転する。同様に読みだしクロック周波数を１８０８倍にした例を表２に示す。
【００５２】
【表２】

画面モードとサンプルレート(1808fHの場合)

画面モード	輝度		色	
	書き込みレート	読みだしレート	書き込みレート	読みだしレート
標準モード	1356fH	1808fH	339fH	452fH
1／2モード	904fH	1808fH	226fH	452fH
スルーモード	1808fH	1808fH	452fH	452fH

３／４圧縮、１／２圧縮、圧縮なしのアスペクト変換するシステムを考えた、この発明の一実施例について、図９の回路構成図を用い説明する。ここで、読みだしクロック周波数は例えば３０ＭＨｚとする。この場合、書き込みクロック周波数が２２．５ＭＨｚ（３０ＭＨｚの３／４倍）のときは３／４圧縮、書き込みクロック周波数が１５ＭＨｚ（３０ＭＨｚの１／２倍）のときは１／２圧縮、書き込みクロック周波数を３０ＭＨｚにすれば圧縮なしを実現できる。
【００５３】
図９において、入力端子９１よりアスペクト変換される前のアナログ映像信号を入力する

。入力されたアナログ映像信号は、アナログ回路で構成されたプリフィルタ９２～９４に入力する。プリフィルタ９２～９４の出力はセレクタ回路９５に入力する。セレクタ回路９５の出力は、Ａ／Ｄ変換回路９６に入力する。Ａ／Ｄ変換回路９６は、圧縮比コントロール回路９７から供給される書き込みクロックに基づいて入力されたアナログ映像信号をデジタルに変換する。デジタルに変換された映像信号は、圧縮回路９８に入力する。圧縮回路９８は、メモリなどにより構成し、書き込みクロックでメモリに書き込み、圧縮比コントロール回路９７から供給された読みだしクロックでメモリから読み出す。読みだしクロックでアスペクト変換されたデジタル映像信号はＤ／Ａ変換回路９９に入力する。Ｄ／Ａ変換回路９９は、圧縮比コントロール回路９７から供給された読みだしクロックによりデジタル映像信号を読みとり、アナログ映像信号に変換する。アナログに変換された映像信号は、折り返し除去のポストフィルタ１００に入力する。ポストフィルタ１００により折り返しが除去された映像信号は、アスペクト変換されて出力端子１０１より出力する。

【００５４】

圧縮比コントロール回路９７には、圧縮比制御信号を入力する。圧縮比制御信号は、例えば２ビットで構成されており、３／４圧縮のとき”００”、１／２圧縮のとき”０１”、圧縮なしのとき”１０”となる。圧縮比コントロール回路９７は、この圧縮比制御信号の命令に従い、書き込みクロック、読みだしクロックおよびフィルタ制御信号を生成する。書き込みクロックと読みだしクロックは、３／４圧縮のときは、書き込みクロック周波数が２２．５ＭＨｚのクロックと、３０ＭＨｚの読みだしクロックを生成する。

【００５５】

さて、プリフィルタ９２～９４の役目は、折り返し除去である。ナイキストの定理でもあるように、プリフィルタ９２～９４の周波数帯域は、書き込みクロックの１／２以下にしなければならない。前にも説明したように、このシステム例は、書き込みクロック周波数が、各圧縮モードにより異なる。そのため、この提案を用いない場合には、折り返し除去のため、一番周波数の低いモードの帯域に全てのモードを合わせなければならない。このシステムの例では、１／２圧縮モードの書き込みクロック周波数１５ＭＨｚの半分の７．５ＭＨｚ以下の帯域のプリフィルタ９２～９４を、全てのモードで使用することになる。そのため、わざわざ解像度をあげるために高い周波数を用いた意味がない。

【００５６】

この実施例では、それぞれの書き込み周波数に合った帯域のプリフィルタを、圧縮比コントロール回路９７から出力されるフィルタ制御信号により切り換える。異なる周波数特性を持つ、プリフィルタ９２～９４のそれぞれの特性を図１０に示す。

【００５７】

この実施例では、プリフィルタ９２～９４をアナログ回路により構成したが、全デジタルシステムとして、デジタルでプリフィルタを構成してもよい。図１１にはプリフィルタをデジタルで構成したシステムを示す。

【００５８】

図９との構成の違いは、プリフィルタ９２～９４とセレクタ回路９５を除去し、Ａ／Ｄ変換回路９６と圧縮回路９８との間に、デジタル信号をフィルタリングするためのプリフィルタ１１１を接続した部分である、

デジタルフィルタには、図１２に示すようなＦＩＲ型のフィルタを用いることが一般的である。図１２中、１２１１～１２１ｎ遅延回路、１２２１～１２２ｎは乗算器、１２３は加算器である。ＦＩＲの構成および動作は、基本的なデジタル信号処理であり、詳細な動作は省略する。ここで、ＦＩＲ構成のフィルタを図１１に示す周波数応答可変のプリフィルタ１１１とするためには、乗算器１２２１に掛かっている、例えば係数ａを変えてやるだけで構成はそのままで実現できる。

【００５９】

図１３を用いこの発明に用いるＶＣＯについてさらに詳しく説明する。以下、図１４にタイミングチャートとともに説明する。このＶＣＯのタイミングの元となる水平同期信号ＨＤＩを２分周回路１３１に、入力より入力する。この２分周回路１３１により水平同期信

号ＨＤＩを２分周し、デューティ５０％の信号に変換する。デューティ５０％に変換された入力信号は、位相比較回路１３２に入力する。位相比較回路１３２は、フィードバックされたＨＲＥＦ信号の２分周された信号とを位相比較する。位相比較された誤差信号がセンター周波数１８２４ｆＨ（ｆＨは水平同期信号ＨＤＩの周波数）のＶＣＯ回路１３３に入力する。ＶＣＯ回路１３３より出力された１８２４ｆＨは、読みだし用クロックとなる。更に、１８２４ｆＨは、４分周回路１３４に入力して４５６ｆＨになる。４分周回路１３４の出力である４５６ｆＨは、４５６分周回路１３５に入力し、水平同期信号ＨＤＩと同じ周波数ｆＨに分周する。それが、内部の水平同期の基準として使用するＨＲＥＦ信号となる。ＨＲＥＦ信号は更に２分周回路１３６によりデューティ５０％の信号に分周し、位相比較回路１３２に入力して、上記した水平同期信号ＨＤＩの２分周信号とを位相比較する。

【００６０】

また、４分周回路１３４の出力である４５６ｆＨは、更に２分周回路１３７に入力され、デューティ５０％の２２８ｆＨを生成する。この信号を位相比較回路１３８に入力する。位相比較回路１３８は、６分周回路１３９の出力と前記信号の位相を比較して、その誤差信号を出力する。位相比較回路１３８の出力は、センター周波数が１３６８ｆＨになるＶＣＯ回路１４０に入力する。ＶＣＯ回路１４０より出力された１３６８ｆＨをこのシステム例では書き込みクロックとして使用する。更に１３６８ｆＨは６分周回路１３９で６分周されて２２８ｆＨにし、位相比較回路１３８で位相を比較する。

【００６１】

このようにＰＬＬを組むことにより、図１４に示すタイミングで各信号が得られる。例えばワイドアスペクト変換では、水平同期周波数に一致した信号ＨＲＥＦ信号を基準として動作させなければならない。そのため、このシステム例では、読みだしクロックである１８２４ｆＨを用いてクリア信号を生成している。実施例で示すＶＣＯシステムは、１８２４ｆＨを基準としてＰＬＬを組んではいるが、アナログ素子のばらつき、温度変化などの外部状況で１８２４ｆＨの読みだしクロックと１３６８ｆＨの書き込みクロックがそれぞれ１０ｎｓ程度のジッタが発生することが予想され、クロックの位相が微妙にずれ、１クロックのズレが生じ、それが１クロックジッタとなって縦線などがギザギザになるという不具合が発生していた。

【００６２】

図１５は、読みだしタイミング発生用の読みだし用カウンタ４６と、書き込みタイミング発生用の書き込み用カウンタを同じクリア信号で同時にクリアすることによって、図１３に示す実施例の不具合点を解決する手段を示している。以下、図１５を図１４と照らしながら説明する。

【００６３】

ＨＲＥＦ信号を基準に図１４に示すクリアのタイミングを、フリップフロップ回路１５１～１５３、インバータ回路１５４、ＮＡＮＤ回路１５５を用いて、読みだしクロックである１８２４ｆＨにより生成する。クリア信号は、１８２４ｆＨで生成するが、１３６８ｆＨで生成した回路もクリアしなければならない。カウンタなどに用いるクリア回路はクロックとの同期をとるために、実施例のアスペクト変換システムでは、クロックの立ち上がりに同期した同期クリア方式を使う。クリア信号のクリア区間に、１３６８ｆＨの立ち上がりが、少なくとも１つ以上は入っており、１０ｎｓ相当のクロックジッタが発生してもクリア位置がずれない必要がある。このクリアの生成例では、図１４に示すように１３６８ｆＨの０のパルスの立ち上がりがクリア区間に入っており、かつ１８２４ｆＨの立ち下がりエッジおよび立ち上がりエッジでクリア信号を生成することにより、多少のジッタがあっても必ず１３６８ｆＨの立ち上がりが１つとなるよう設定してある。

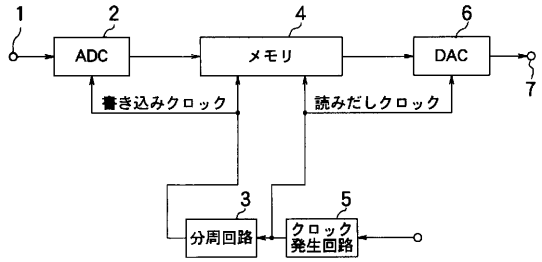
【００６４】

図１５において、そのクリア信号が読みだし用カウンタ１５６および書き込みカウンタ１５７に入力され、水平期間毎に必ずクリアを同時にかけるため、読みだしと書き込みのズレがなくなり、１クロックジッタの発生しないワイドアスペクトシステムが実現できる。

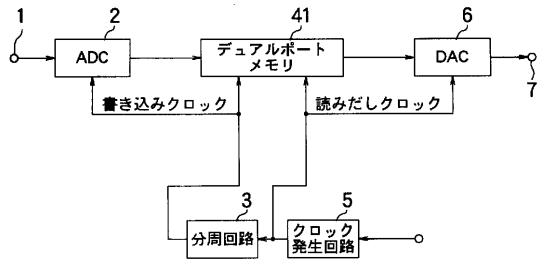
【００６５】
図１６は時間軸変換装置および時間軸変換方法の第４の他の参考例を説明するためのものである。まずは圧縮クロックを発生する場合について述べるが、説明の便宜上Ｍ＝１６とする。読みだしクロックであるＲＣＫを、１６分周回路１６１に入力して１６分周する。１６分周された信号は、位相比較回路１６２に入力し、位相比較器１６２のもう一方の入力端子に入力された信号と位相比較する。位相比較された位相誤差信号は、ＶＣＯ１６３に入力する。ＶＣＯ１６３の出力クロックは書き込みクロックＷＣＫとなる。ＶＣＯ１６３の出力は書き込みクロックとなるのと同時に可変分周回路１６４に入力される。可変分周回路１６４は、外部より与えられる制御信号により分周比の制御を行う。書き込みクロックＷＣＫは可変分周回路１６４により可変分周し、位相比較回路１６２の一方の入力に入力する。
【００６６】
ここで、読みだしクロックＲＣＫの周波数を３０ＭＨｚ、Ｎ＝８として説明する。この場合、位相比較器１６２の２つの入力の周波数が等しくなるようにＰＬＬが組まれるため、可変分周回路１６４の出力信号の周波数は、３０／１６ＭＨｚとなる。書き込みクロックＷＣＫは、３０／２ＭＨｚとなり、１／２圧縮のアスペクト変換が実現できる。同じように、Ｎ＝１２とすると３／４圧縮が実現できる。
【００６７】
例えば、可変分周回路を１／８～１／１６とすると、１／２圧縮～圧縮なしまでアスペクト比を可変できることになる。この場合、Ｎを８、９、…１６の整数とすると、制御信号が３ビットのデジタル信号で制御できることになる。また、制御信号および可変分周回路をアナログ回路で生成し、可変ステップをアナログ的に変化させることによって、ライン内でアスペクト比を変化させた場合でも切り換え部分に違和感の感じない映像が実現できる。また、デジタル的にステップ状にライン内で変化させた場合でも、ＶＣＯ回路の追従の時定数をある程度長く取っておけば、違和感のない映像を得ることができる。図１７はワイドテレビ画面のアスペクト比を可変させた場合のイメージを示す模式的な図である。
【００６８】
次に、伸張の場合について述べる。伸張の場合、Ｍ＝８とし、読みだしクロックＲＣＫを１０ＭＨｚとする。この場合、例えばＮ＝１６とすると、上記の説明と同様にすると書き込みクロックＷＣＫ＝２０ＭＨｚが得られる。上記の圧縮の場合と同様にＮ＝８から１６と変化させた場合には、書き込みクロックＷＣＫは、読みだしクロックＲＣＫの１倍～２倍の周波数が得られることになる。
【００６９】
また、図１８に示すように、可変分周回路１８１に圧縮／伸張の切り換え信号を付加することによって、簡単な構成で、例として１／２～２倍の可変分周および伸張回路が実現できる。
【００７０】
【発明の効果】
以上説明したようにこの発明の時間軸変換方式では、メモリ装置への読みだしクロックを基準とし、書き込みクロックを変えて時間軸圧縮を行うため、回路規模が小さくでき、圧縮比を大きくとっても読みだしクロックの周波数は一定となり、大きな圧縮比が容易に実現でき、各圧縮モードで最適なプリフィルタが選択できるため、高解像度できわめて良好な映像信号が得られ、読みだしと書き込みのクロック周波数が違うシステムでも、１クロックジッタのない、良好な再生画像が得られる。
【図面の簡単な説明】
【図１】時間軸変換装置および時間軸変換方法の参考例を説明するための回路構成図。
【図２】時間軸変換装置および時間軸変換方法の第１の他の参考例を説明するためのシステム図。
【図３】時間軸変換装置および時間軸変換方法の参考例を実現するために用いるＰＬＬ回路の回路構成図。

【図４】時間軸変換装置および時間軸変換方法の参考例を実現するために用いる他のＰＬＬ回路の回路構成図。
【図５】図２をテレビジョン受像機に応用した例を説明するためのシステム図。
【図６】時間軸変換装置および時間軸変換方法の第２の他の参考例を説明するための回路構成図。
【図７】時間軸変換装置および時間軸変換方法の第３の他の参考例を説明するための回路構成図。
【図８】時間軸変換装置および時間軸変換方法の参考例のテレビジョン受像機へ応用例したシステム図。
【図９】この発明の一実施例を説明するための回路構成図。
【図１０】図９に用いた各プリフィルタの特性を説明するための特性図。
【図１１】図９の実施例のプリフィルタをデジタル化したときの回路構成図。
【図１２】この発明に用いるＦＩＲフィルタを説明するための回路構成図。
【図１３】この発明の実施例に用いるＶＣＯを実現するためのブロック図。
【図１４】図１３の動作を説明するためのタイミングチャート。
【図１５】図１３の実施例の不具合を解決する手段を説明するための回路構成図。
【図１６】時間軸変換装置および時間軸変換方法の第４の他の参考例を説明するためのブロック図。
【図１７】この発明により実現されるテレビ画面のイメージを説明するための説明図。
【図１８】図１６の参考例の変形を説明するためのブロック図。
【図１９】従来のテレビジョン受像機の時間軸圧縮回路を説明するためのブロック図。
【図２０】従来の間引きフィルタの動作原理を説明するための説明図。
【図２１】従来のテレビジョン受像機の時間軸圧縮回路を説明するためのブロック図。

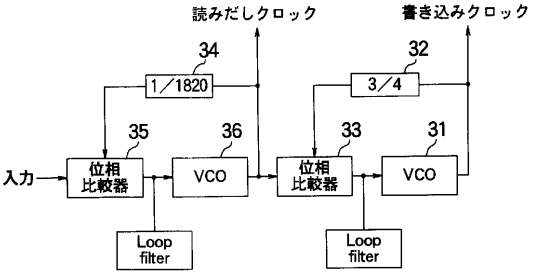
【図１】



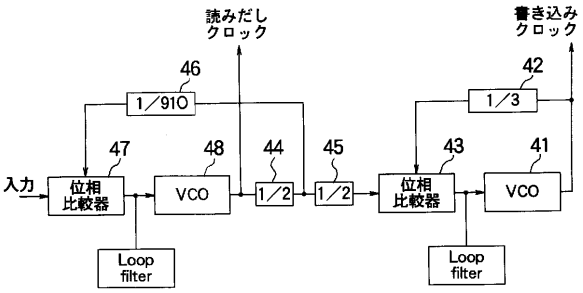
【図２】



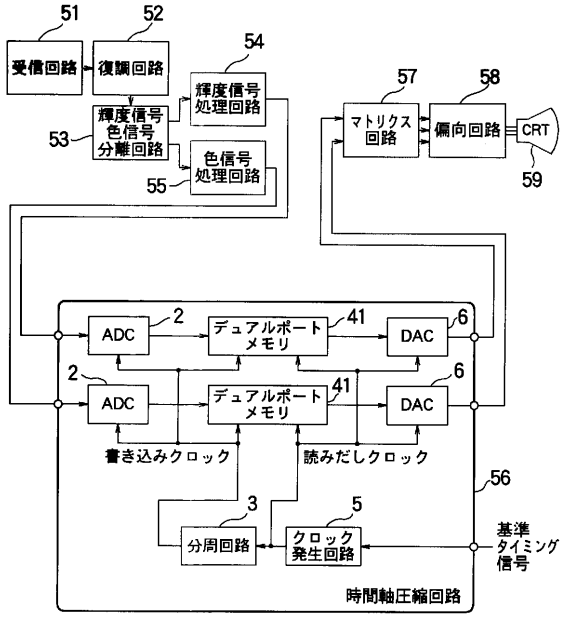
【図３】



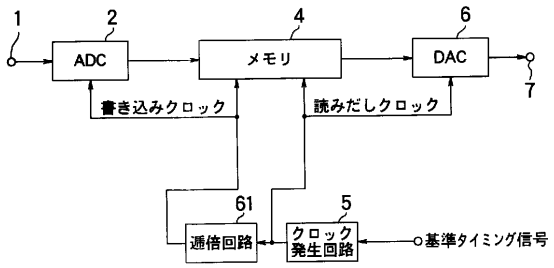
【図４】



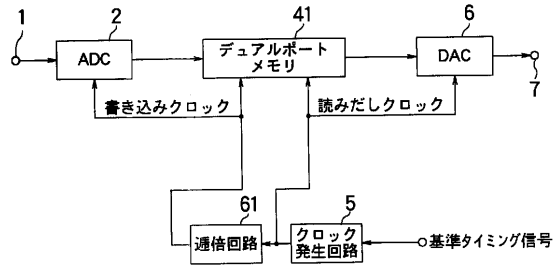
【図５】



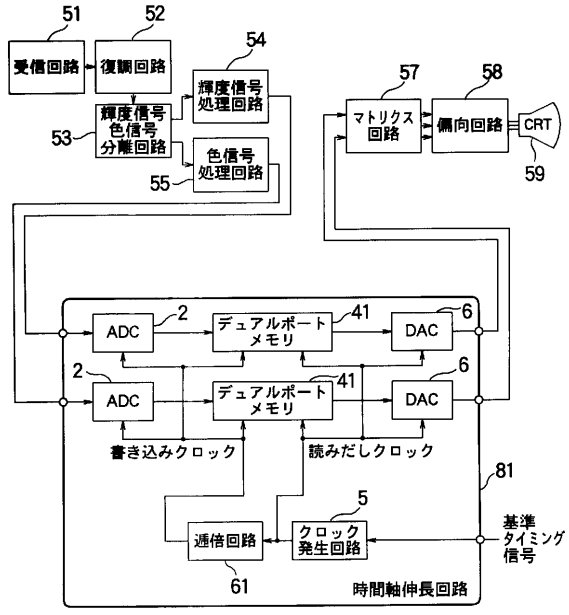
【図６】



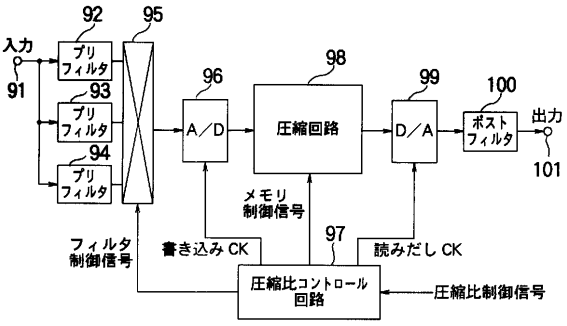
【図７】



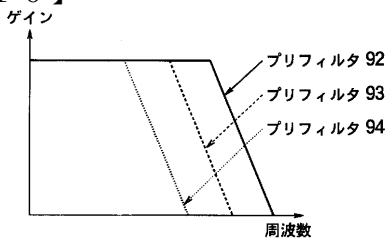
【図８】



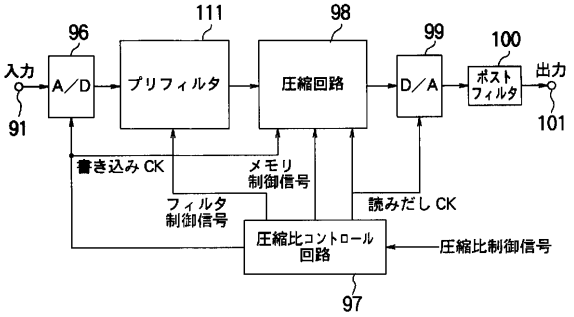
【図９】



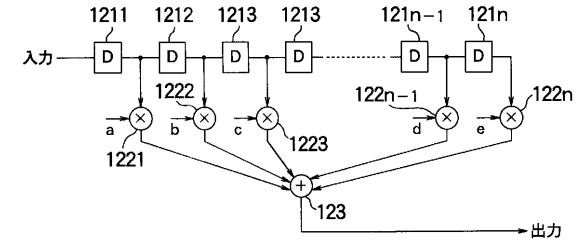
【図１０】



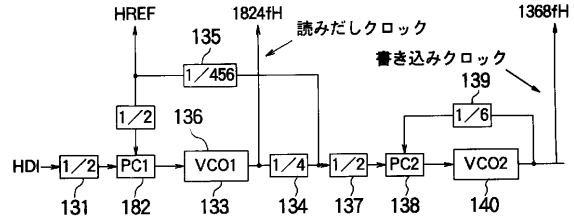
【図１１】



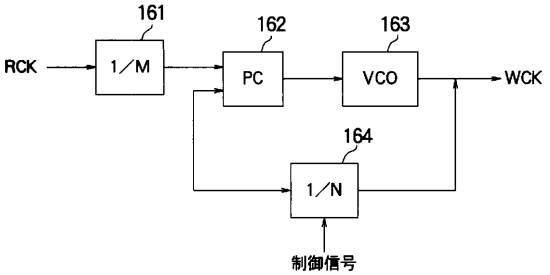
【図１２】



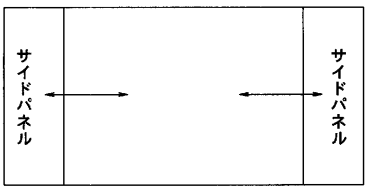
【図１３】



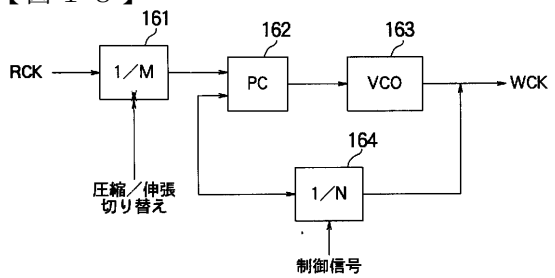
【図１６】



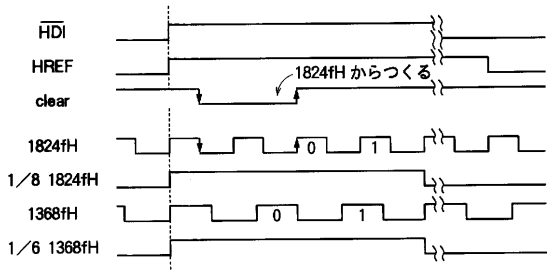
【図１７】



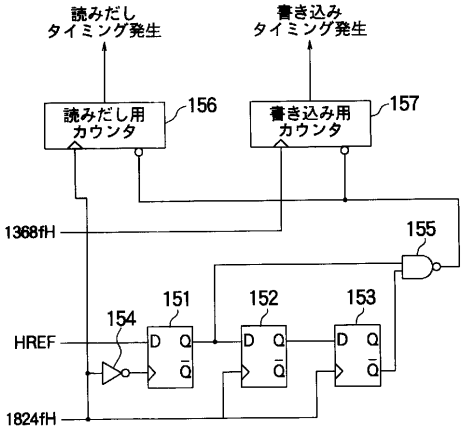
【図１８】



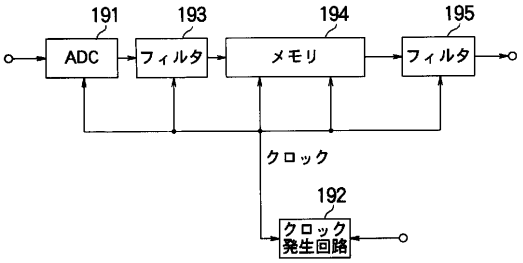
【図１４】



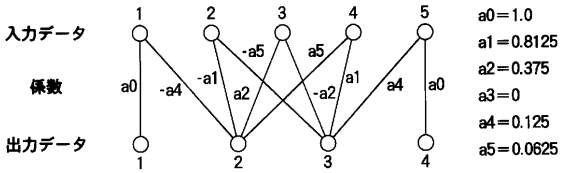
【図１５】



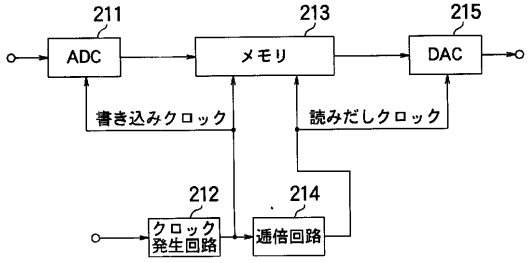
【図１９】



【図２０】



【図２１】



フロントページの続き

審査官　畑中　高行

(56)参考文献　特開平０３－１１２２８０（ＪＰ，Ａ）
特開平０４－１４４４９１（ＪＰ，Ａ）
特開平０４－０６８７７０（ＪＰ，Ａ）
特開平０６－１０５３０４（ＪＰ，Ａ）
特開平０６－１１３１４０（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.^{7}，ＤＢ名)
H04N7/24-7/68
H04N5/91-5/956