



(12) 发明专利申请

(10) 申请公布号 CN 115769221 A

(43) 申请公布日 2023. 03. 07

(21) 申请号 202180043979.9

(22) 申请日 2021.07.05

(30) 优先权数据

2020-122879 2020.07.17 JP

(85) PCT国际申请进入国家阶段日

2022.12.20

(86) PCT国际申请的申请数据

PCT/IB2021/055988 2021.07.05

(87) PCT国际申请的公布数据

W02022/013676 JA 2022.01.20

(71) 申请人 株式会社半导体能源研究所

地址 日本神奈川

(72) 发明人 山崎舜平 木村肇 池田隆之

黑川义元

(74) 专利代理机构 中国贸促会专利商标事务所

有限公司 11038

专利代理师 秦晨

(51) Int.Cl.

G06G 7/60 (2006.01)

G06N 3/065 (2023.01)

G09G 3/20 (2006.01)

G09G 3/36 (2006.01)

H01L 21/8234 (2006.01)

H01L 27/06 (2006.01)

H01L 27/088 (2006.01)

H01L 29/786 (2006.01)

H10B 12/00 (2023.01)

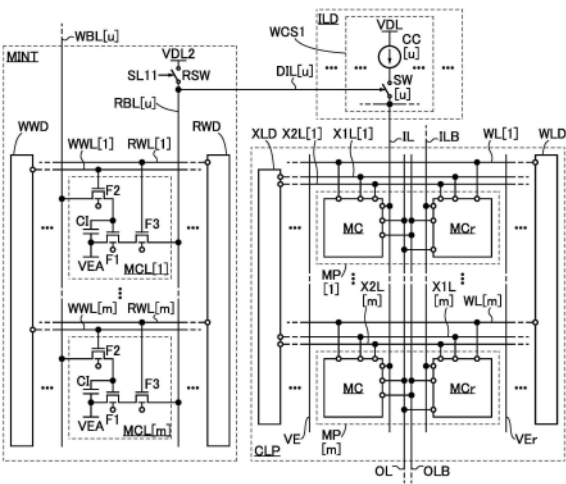
权利要求书3页 说明书95页 附图52页

(54) 发明名称

半导体装置及电子设备

(57) 摘要

提供一种恢复劣化数据的半导体装置。该半导体装置包括第一电路、存储部及运算部，第一电路包括电流源及第一开关，存储部包括第一晶体管及第一电容，运算部包括第二晶体管。第一晶体管的第一端子与第一开关的控制端子电连接，第一开关的第一端子与电流源的输出端子电连接，第一开关的第二端子与第二晶体管的第一端子电连接。在恢复保持在运算部中的数据时，使第一晶体管处于开启状态，将保持在存储部中的数据通过第一晶体管供应给第一开关的控制端子。第一开关根据该数据成为开启状态或关闭状态，电流从电流源通过第二晶体管流过运算部，在运算部的保持部中补充电荷。



1. 一种半导体装置,包括:

第一电路;

第二电路;以及

第三电路,

其中,所述第一电路包括电流源及第一开关,

所述第二电路包括第一晶体管、第三晶体管、第四晶体管及第一电容,

所述第三电路包括第二晶体管,

所述第一晶体管的第一端子与所述第一开关的控制端子电连接,

所述第一晶体管的第二端子与所述第四晶体管的第一端子电连接,

所述第四晶体管的第二端子与所述第一电容的第一端子电连接,

所述第四晶体管的栅极与所述第一电容的第二端子及所述第三晶体管的第一端子电连接,

所述第一开关的第一端子与所述电流源的输出端子电连接,

并且,所述第一开关的第二端子与所述第二晶体管的第一端子电连接。

2. 根据权利要求1所述的半导体装置,还包括第四电路,

其中所述第四电路包括锁存电路,

并且所述第一晶体管的第一端子与所述第一开关的控制端子的电连接通过所述第四电路的第一端子与所述第一晶体管的第一端子电连接且所述第四电路的第二端子与所述第一开关的控制端子电连接来实现。

3. 一种半导体装置,包括:

第一电路;

第二电路;

第三电路;以及

读出放大器,

其中,所述第一电路包括电流源及第一开关,

所述第二电路包括第一晶体管及第一电容,

所述第三电路包括第二晶体管,

所述第一晶体管的第一端子通过所述读出放大器与所述第一开关的控制端子电连接,

所述第一晶体管的第二端子与所述第一电容的第一端子电连接,

所述第一开关的第一端子与所述电流源的输出端子电连接,

并且,所述第一开关的第二端子与所述第二晶体管的第一端子电连接。

4. 根据权利要求1至3中任一项所述的半导体装置,

其中所述第一晶体管的栅极与所述第二晶体管的栅极电连接。

5. 一种半导体装置,包括:

第一电路;

第二电路;以及

第三电路,

其中,所述第一电路包括电流源及第一开关,

所述第二电路包括第一晶体管、第三晶体管及第一电容,

所述第三电路包括第二晶体管，  
所述第一晶体管的第一端子与所述第一开关的控制端子电连接，  
所述第三晶体管的第一端子与所述第一电容的第一端子及所述第一晶体管的栅极电连接，

所述第一开关的第一端子与所述电流源的输出端子电连接，  
并且所述第一开关的第二端子与所述第二晶体管的第一端子电连接。

6. 根据权利要求5所述的半导体装置，还包括第四电路，

其中所述第四电路包括锁存电路，

并且所述第一晶体管的第一端子与所述第一开关的控制端子的电连接通过所述第四电路的第一端子与所述第一晶体管的第一端子电连接且所述第四电路的第二端子与所述第一开关的控制端子电连接来实现。

7. 根据权利要求5或6所述的半导体装置，

其中所述第一电容的第二端子与所述第二晶体管的栅极电连接。

8. 根据权利要求1至7中任一项所述的半导体装置，

其中包括在所述第二电路中的晶体管在沟道形成区域中包含金属氧化物。

9. 一种半导体装置，包括：

第一电路；以及

第五电路，

其中，所述第一电路包括第一电流源、第二电流源、第一开关、第五晶体管及第六晶体管，

所述第五电路包括第七晶体管、第八晶体管、第二电容、第二开关、第三开关及电流比较电路，

所述第一电流源的输出端子与所述第一开关的第一端子电连接，

所述第二电流源的输出端子与所述第五晶体管的栅极、所述第六晶体管的栅极及所述第六晶体管的第一端子电连接，

所述第七晶体管的第一端子与所述第八晶体管的第一端子、所述第二开关的第一端子及所述第三开关的第一端子电连接，

所述第七晶体管的栅极与所述第八晶体管的第二端子及所述第二电容的第一端子电连接，

所述第一开关的第二端子与所述第二开关的第二端子电连接，

所述电流比较电路的第一端子与所述第三开关的第二端子电连接，

并且，所述电流比较电路的第二端子与所述第五晶体管的第一端子电连接。

10. 一种半导体装置，包括：

第一电路；以及

第五电路，

其中，所述第一电路包括第一电流源、第三电流源、第一开关及第四开关，

所述第五电路包括第七晶体管、第八晶体管、第二电容、第二开关、第三开关、第五开关及电流比较电路，

所述第一电流源的输出端子与所述第一开关的第一端子电连接，

所述第三电流源的输入端子与所述第四开关的第一端子电连接，

所述第七晶体管的第一端子与所述第八晶体管的第一端子、所述第二开关的第一端子及所述第三开关的第一端子电连接，

所述第七晶体管的栅极与所述第八晶体管的第二端子及所述第二电容的第一端子电连接，

所述第一开关的第二端子与所述第二开关的第二端子电连接，

所述第四开关的第二端子与所述第五开关的第一端子电连接，

所述电流比较电路的第一端子与所述第三开关的第二端子电连接，

并且，所述电流比较电路的第二端子与所述第五开关的第二端子电连接。

11. 根据权利要求9或10所述的半导体装置，

其中所述第七晶体管在沟道形成区域中包含硅，

并且所述第八晶体管在沟道形成区域中包含金属氧化物。

12. 根据权利要求10所述的半导体装置，

其中所述第五电路包括第九晶体管、第十晶体管、第三电容及第六开关，

所述第九晶体管的第一端子与所述第十晶体管的第一端子、所述第二开关的第一端子及所述第六开关的第一端子电连接，

所述第九晶体管的栅极与所述第十晶体管的第二端子及所述第三电容的第一端子电连接，

所述第六开关的第二端子与所述第五开关的第一端子及所述第四开关的第二端子电连接，

并且所述第八晶体管的栅极与所述第十晶体管的栅极不直接连接。

13. 根据权利要求12所述的半导体装置，

其中所述第七晶体管及所述第九晶体管都在沟道形成区域中包含硅，

并且所述第八晶体管及所述第十晶体管都在沟道形成区域中包含金属氧化物。

14. 一种包括权利要求1至13中任一项所述的半导体装置以及外壳的电子设备。

## 半导体装置及电子设备

### 技术领域

[0001] 本发明的一个方式涉及一种半导体装置及电子设备。

[0002] 本发明的一个方式不局限于上述技术领域。本说明书等所公开的发明的技术领域涉及一种物体、驱动方法或制造方法。此外，本发明的一个方式涉及一种工序(process)、机器(machine)、产品(manufacture)或者组合物(composition of matter)。因此，更具体地说，作为本说明书所公开的本发明的一个方式的技术领域的一个例子可以举出半导体装置、显示装置、液晶显示装置、发光装置、蓄电装置、摄像装置、存储装置、信号处理装置、处理器、电子设备、系统、它们的驱动方法、它们的制造方法或它们的检查方法。

### 背景技术

[0003] 现在，以人脑结构为模型的集成电路的开发日益火热。该集成电路组装有作为脑结构的电子电路且包括相当于人脑的“神经元”及“神经突触”的电路。因此，有时将上述集成电路称为“神经形性(neuro-morphic)”、“脑形性(brain-morphic)”、“脑启发(brain-inspire)”等。该集成电路具有非诺依曼型体系结构，与随着处理速度的增加功耗也变高的诺依曼型体系结构相比，可以期待以极低功耗进行并列处理。

[0004] 包括“神经元”及“神经突触”的模仿神经网络的数据处理模型被称为人工神经网络(ANN)。例如，非专利文献1及非专利文献2公开了使用SRAM(Static Random Access Memory;静态随机存取存储器)构成人工神经网络的运算装置。

[0005] [先行技术文献]

[0006] [非专利文献]

[0007] [非专利文献1]M.Kang et al.,“IEEE Journal Of Solid-State Circuits”, 2018,Volume 53,No.2,p.642-655.

[0008] [非专利文献2]J.Zhang et al.,“IEEE Journal Of Solid-State Circuits”, 2017,Volume 52,No.4,p.915-924.

### 发明内容

[0009] 发明所要解决的技术问题

[0010] 在人工神经网络中，进行将使两个神经元彼此结合的神经突触的结合强度(有时称为权系数)乘以在两个神经元间传送的信号的运算。尤其是，在分层人工神经网络中，需要将第一层的多个第一神经元的每一个与第二层的第二神经元中的一个之间的神经突触的结合强度分别乘以与从第一层的多个第一神经元的每一个向第二层的第二神经元中的一个输入的信号而将它们加在一起，就是说，需要进行结合强度和信号的积和运算。用于积和运算的该结合强度的个数及表示该信号的参数的个数根据人工神经网络的规模决定。此外，第二神经元使用突触的结合强度和第一神经元所输出的信号的积和运算的结果进行激活函数的运算，将该运算结果作为信号输出到第三层的第三神经元。换言之，在人工神经网络中，分层的数量、神经元的数量等越多，相当于“神经元”及“神经突触”的每一个的电路数

量越多,从而运算量有时变庞大。由此,有时电路的功耗增大,来自电路的发热量也增大。

[0011] 构成芯片的电路数量越多功耗越高,而且驱动装置时产生的发热量也越大。尤其是,发热量越大,对包括在芯片的电路元件的特性带来的影响越大,所以构成芯片的电路优选包括不容易受到温度影响的电路元件。此外,在包括在芯片的晶体管或电流源等的特性有偏差时运算结果也有偏差。

[0012] 此外,在进行上述积和运算时,在进行乘法运算的电路(在本说明书中称为乘法单元)中需要保持权系数作为乘数(有时是被乘数)。因此,在乘法单元中设置保持权系数的电容等的存储元件,有时随着时间推移保持在存储元件中的数据劣化而权系数的值变化。由于保持在存储元件中的电荷减少导致数据劣化。电荷减少的原因例如是从存储元件流过的泄漏电流,作为泄漏电流的种类例如有晶体管等开关元件中关闭状态时流过的泄漏电流、电容元件中经过一对电极间的介电体流过的泄漏电流等。在晶体管等开关元件中关闭状态时流过的泄漏电流中,通过增大电容元件的电容值可以减少泄漏电流的影响。另一方面,在电容元件中经过一对电极间的介电体流过的泄漏电流中,由于即使增大电容元件的电容值一对电极的单位面积的泄漏电流量也不变,所以难以在整体上减少泄漏电流的影响。

[0013] 因此,包括乘法单元的运算电路为了防止保持在乘法单元中的数据劣化需要增大电容元件的电容值以外的对策。作为该对策的一个例子,可以举出定期进行对乘法单元的存储元件的权系数的重新写入。或者,在包括乘法单元的运算电路中设置伪单元等,监视保持在该伪单元中的数据,该数据劣化时,进行对乘法单元的权系数的重新写入也是优选的。注意,在本说明书等中,数据的重新写入是指将与原来保持在单元中的数据相同的数据重新写入到该单元中的工作。此外,数据的重新写入也是指为了恢复数据对所保持的电荷量的绝对值变小的单元补充与原来保持的电荷相同的量的电荷的工作。

[0014] 本发明的一个方式的目的之一是提供一种进行积和运算及/或函数运算的半导体装置等。此外,本发明的一个方式的目的之一是进行保持在乘法单元中的数据的重新写入的半导体装置。此外,本发明的一个方式的目的之一是提供一种保持数字值对该数字值进行数字模拟转换而进行模拟值的运算的半导体装置。另外,本发明的一个方式的目的之一是提供一种进行CNN(Convolutional Neural Network:卷积神经网络)等卷积处理的半导体装置等。此外,本发明的一个方式的目的之一是提供一种用于AI(Artificial Intelligence:人工智能)的半导体装置等。另外,本发明的一个方式的目的之一是提供一种用于DNN(Deep Neural Network:深度神经网络)的半导体装置等。另外,本发明的一个方式的目的之一是提供一种功耗低的半导体装置等。另外,本发明的一个方式的目的之一是提供一种不容易受到环境温度的影响的半导体装置等。另外,本发明的一个方式的目的之一是提供一种不容易受到晶体管的特性不均匀的影响的半导体装置等。另外,本发明的一个方式的目的之一是提供一种不容易受到电流源的特性不均匀的影响的半导体装置等。另外,本发明的一个方式的目的之一是提供一种新颖的半导体装置等。

[0015] 注意,本发明的一个方式的目的不局限于上述目的。上述目的并不妨碍其他目的的存在。其他目的是指将在下面的记载中描述的上述以外的目的。本领域技术人员可以从说明书或附图等的记载中导出并适当抽出上述以外的目的。本发明的一个方式实现上述目的及其他目的中的至少一个目的。此外,本发明的一个方式不一定需要实现所有的上述目的及其他目的。

[0016] 解决技术问题的手段

[0017] (1)

[0018] 本发明的一个方式是一种半导体装置,包括:第一电路;第二电路;以及第三电路。第一电路包括电流源及第一开关,第二电路包括第一晶体管、第三晶体管、第四晶体管及第一电容,第三电路包括第二晶体管。第一晶体管的第一端子与第一开关的控制端子电连接,第一晶体管的第二端子与第四晶体管的第一端子电连接,第四晶体管的第二端子与第一电容的第一端子电连接,第四晶体管的栅极与第一电容的第二端子及第三晶体管的第一端子电连接,第一开关的第一端子与电流源的输出端子电连接,并且,第一开关的第二端子与第二晶体管的第一端子电连接。

[0019] (2)

[0020] 本发明的一个方式在上述(1)中也可以具有包括锁存电路的第四电路的结构。第一晶体管的第一端子与第一开关的控制端子的电连接通过第四电路的第一端子与第一晶体管的第一端子电连接且第四电路的第二端子与第一开关的控制端子电连接来实现。

[0021] (3)

[0022] 本发明的一个方式是一种半导体装置,包括:第一电路;第二电路;第三电路;以及读出放大器。第一电路包括电流源及第一开关,第二电路包括第一晶体管及第一电容,第三电路包括第二晶体管。第一晶体管的第一端子通过读出放大器与第一开关的控制端子电连接,第一晶体管的第二端子与第一电容的第一端子电连接,第一开关的第一端子与电流源的输出端子电连接,并且,第一开关的第二端子与第二晶体管的第一端子电连接。

[0023] (4)

[0024] 本发明的一个方式在上述(1)至(3)中的任一个中也可以具有第一晶体管的栅极与第二晶体管的栅极电连接的结构。

[0025] (5)

[0026] 本发明的一个方式是一种半导体装置,包括:第一电路;第二电路;以及第三电路。第一电路包括电流源及第一开关,第二电路包括第一晶体管、第三晶体管及第一电容,第三电路包括第二晶体管。第一晶体管的第一端子与第一开关的控制端子电连接,第三晶体管的第一端子与第一电容的第一端子及第一晶体管的栅极电连接,第一开关的第一端子与电流源的输出端子电连接,并且第一开关的第二端子与第二晶体管的第一端子电连接。

[0027] (6)

[0028] 本发明的一个方式也可以具有包括锁存电路的第四电路。第一晶体管的第一端子与第一开关的控制端子的电连接通过第四电路的第一端子与第一晶体管的第一端子电连接且第四电路的第二端子与第一开关的控制端子电连接来实现。

[0029] (7)

[0030] 本发明的一个方式在上述(5)或(6)中也可以具有第一电容的第二端子与第二晶体管的栅极电连接的结构。

[0031] (8)

[0032] 本发明的一个方式在上述(1)至(7)中的任一个中也可以具有包括在第二电路中的晶体管在沟道形成区域中包含金属氧化物的结构。

[0033] (9)

[0034] 本发明的一个方式是一种半导体装置,包括:第一电路;以及第五电路。第一电路包括第一电流源、第二电流源、第一开关、第五晶体管及第六晶体管,第五电路包括第七晶体管、第八晶体管、第二电容、第二开关、第三开关及电流比较电路。优选的是,第一电流源的输出端子与第一开关的第一端子电连接,第二电流源的输出端子与第五晶体管的栅极、第六晶体管的栅极及第六晶体管的第一端子电连接。优选的是,第七晶体管的第一端子与第八晶体管的第一端子、第二开关的第一端子及第三开关的第一端子电连接,第七晶体管的栅极与第八晶体管的第二端子及第二电容的第一端子电连接。优选的是,第一开关的第二端子与第二开关的第二端子电连接,电流比较电路的第一端子与第三开关的第二端子电连接,并且,电流比较电路的第二端子与第五晶体管的第一端子电连接。

[0035] (10)

[0036] 本发明的一个方式是一种半导体装置,包括:第一电路;以及第五电路,该半导体装置与上述(9)不同。第一电路包括第一电流源、第三电流源、第一开关及第四开关,第五电路包括第七晶体管、第八晶体管、第二电容、第二开关、第三开关、第五开关及电流比较电路。优选的是,第一电流源的输出端子与第一开关的第一端子电连接,第三电流源的输入端子与第四开关的第一端子电连接。优选的是,第七晶体管的第一端子与第八晶体管的第一端子、第二开关的第一端子及第三开关的第一端子电连接,第七晶体管的栅极与第八晶体管的第二端子及第二电容的第一端子电连接。优选的是,第一开关的第二端子与第二开关的第二端子电连接,第四开关的第二端子与第五开关的第一端子电连接。优选的是,电流比较电路的第一端子与第三开关的第二端子电连接,电流比较电路的第二端子与第五开关的第二端子电连接。

[0037] (11)

[0038] 本发明的一个方式在上述(9)或(10)中也可以具有第七晶体管在沟道形成区域中包含硅且第八晶体管在沟道形成区域中包含金属氧化物的结构。

[0039] (12)

[0040] 本发明的一个方式在上述(10)中也可以具有第五电路包括第九晶体管、第十晶体管、第三电容及第六开关的结构。优选的是,第九晶体管的第一端子与第十晶体管的第一端子、第二开关的第一端子及第六开关的第一端子电连接,第九晶体管的栅极与第十晶体管的第二端子及第三电容的第一端子电连接。优选的是,第六开关的第二端子与第五开关的第一端子及第四开关的第二端子电连接。优选的是,第八晶体管的栅极与第十晶体管的栅极不直接连接。

[0041] (13)

[0042] 本发明的一个方式在上述(12)中也可以具有第七晶体管及第九晶体管都在沟道形成区域中包含硅且第八晶体管及第十晶体管都在沟道形成区域中包含金属氧化物的结构。

[0043] (14)

[0044] 本发明的一个方式是一种包括上述(1)至(13)中的任一个的半导体装置以及外壳的电子设备。

[0045] 在本说明书等中,半导体装置是指利用半导体特性的装置以及包括半导体元件(晶体管、二极管、光电二极管等)的电路及包括该电路的装置等。此外,半导体装置是指能



够利用半导体特性而发挥作用的所有装置。例如,作为半导体装置的例子,有集成电路、具备集成电路的芯片、封装中容纳有芯片的电子构件。此外,有时存储装置、显示装置、发光装置、照明装置以及电子设备等本身是半导体装置,或者包括半导体装置。

[0046] 此外,在本说明书等中,当记载为“X与Y连接”时,表示在本说明书等中公开了如下情况:X与Y电连接的情况;X与Y在功能上连接的情况;以及X与Y直接连接的情况。因此,不局限于附图或文中所示的连接关系,例如其他的连接关系也在附图或文中所记载的范围内记载。X和Y都是对象物(例如,装置、元件、电路、布线、电极、端子、导电膜、层等)。

[0047] 作为X和Y电连接的情况的一个例子,可以在X和Y之间连接一个以上的能够电连接X和Y的元件(例如开关、晶体管、电容器、电感器、电阻器、二极管、显示器件、发光器件、负载等)。此外,开关具有控制开启或关闭的功能。换言之,通过使开关处于导通状态(开启状态)或非导通状态(关闭状态)来控制是否使电流流过。

[0048] 作为X与Y在功能上连接的情况的一个例子,例如可以在X与Y之间连接有一个以上的能够在功能上连接X与Y的电路(例如,逻辑电路(反相器、NAND电路、NOR电路等)、信号转换电路(数字模拟转换电路、模拟数字转换电路、伽马校正电路等)、电位电平转换电路(电源电路(升压电路、降压电路等)、改变信号的电位电平的电平转移电路等)、电压源、电流源、切换电路、放大电路(能够增大信号振幅或电流量等的电路、运算放大器、差分放大电路、源极跟随电路、缓冲电路等)、信号产生电路、存储电路、控制电路等)。注意,例如,即使在X与Y之间夹有其他电路,当从X输出的信号传送到Y时,就可以说X与Y在功能上是连接着的。

[0049] 此外,当明确地记载为“X与Y电连接”时,包括如下情况:X与Y电连接的情况(换言之,以中间夹有其他元件或其他电路的方式连接X与Y的情况);以及X与Y直接连接的情况(换言之,以中间不夹有其他元件或其他电路的方式连接X与Y的情况)。

[0050] 例如,可以表现为“X、Y、晶体管的源极(或第一端子等)与晶体管的漏极(或第二端子等)互相电连接,X、晶体管的源极(或第一端子等)、晶体管的漏极(或第二端子等)与Y依次电连接”。或者,可以表现为“晶体管的源极(或第一端子等)与X电连接,晶体管的漏极(或第二端子等)与Y电连接,X、晶体管的源极(或第一端子等)、晶体管的漏极(或第二端子等)与Y依次电连接”。或者,可以表达为“X通过晶体管的源极(或第一端子等)及晶体管的漏极(或第二端子等)与Y电连接,X、晶体管的源极(或第一端子等)、晶体管的漏极(或第二端子等)、Y依次设置”。通过使用与这种例子相同的表达方法规定电路结构中的连接顺序,可以区分晶体管的源极(或第一端子等)与漏极(或第二端子等)而决定技术范围。注意,这种表达方法是一个例子,不局限于上述表达方法。在此,X和Y为对象物(例如,装置、元件、电路、布线、电极、端子、导电膜、层等)。

[0051] 此外,即使在电路图上独立的构成要素彼此电连接,也有时一个构成要素兼有多个构成要素的功能。例如,在布线的一部分用作电极时,一个导电膜兼有布线和电极的两个构成要素的功能。因此,本说明书中的“电连接”的范畴内还包括这种一个导电膜兼有多个构成要素的功能的情况。

[0052] 在本说明书等中,“电阻元件”例如包括具有高于 $0\ \Omega$ 的电阻值的电路元件、高于 $0\ \Omega$ 的布线等。因此,在本说明书等中,“电阻元件”包括具有电阻值的布线、电流流过源极和漏极之间的晶体管、二极管、线圈等。因此,“电阻元件”也可以称为“电阻”、“负载”、“具有电

阻值的区域”等,与此相反,“电阻”、“负载”、“具有电阻值的区域”也可以称为“电阻元件”等。作为电阻值,例如优选为 $1\text{m}\Omega$ 以上且 $10\Omega$ 以下,更优选为 $5\text{m}\Omega$ 以上且 $5\Omega$ 以下,进一步优选为 $10\text{m}\Omega$ 以上且 $1\Omega$ 以下。此外,例如也可以为 $1\Omega$ 以上且 $1\times 10^9\Omega$ 以下。

[0053] 在本说明书等中,“电容元件”例如包括具有高于 $0\text{F}$ 的静电电容值的电路元件、具有高于 $0\text{F}$ 的静电电容值的布线的区域、寄生电容、晶体管的栅极电容等。因此,在本说明书等中,“电容元件”包括具有一对电极及在该电极之间的介电体的电路元件等。此外,“电容元件”、“寄生电容”、“栅极电容”等也可以称为“电容”等,与此相反,“电容”也可以称为“电容元件”、“寄生电容”、“栅极电容”等。此外,“电容”的“一对电极”也可以称为“一对导电体”、“一对导电区域”、“一对区域”等。静电电容值例如可以为 $0.05\text{fF}$ 以上且 $10\text{pF}$ 以下。此外,例如,也可以为 $1\text{pF}$ 以上且 $10\mu\text{F}$ 以下。

[0054] 在本说明书等中,晶体管包括栅极、源极以及漏极这三个端子。栅极用作控制晶体管的导通状态的控制端子。用作源极或漏极的两个端子是晶体管的输入输出端子。根据晶体管的导电型(n沟道型、p沟道型)及对晶体管的三个端子施加的电位的高低,两个输入输出端子中的一方用作源极而另一方用作漏极。因此,在本说明书等中,源极和漏极可以相互调换。在本说明书等中,在说明晶体管的连接关系时,使用“源极和漏极中的一个”(第一电极或第一端子)、“源极和漏极中的另一个”(第二电极或第二端子)的表述。此外,根据晶体管的结构,有时除了上述三个端子以外还包括背栅极。在此情况下,在本说明书等中,有时将晶体管的栅极和背栅极中的一个称为第一栅极,将晶体管的栅极和背栅极的另一个称为第二栅极。并且,在相同晶体管中,有时可以将“栅极”与“背栅极”相互调换。此外,在晶体管包括三个以上的栅极时,在本说明书等中,有时将各栅极称为第一栅极、第二栅极、第三栅极等。

[0055] 例如在本说明书等中,作为晶体管的一个例子可以采用具有两个以上的栅电极的多栅结构晶体管。当采用多栅结构时,由于将沟道形成区域串联连接,所以成为多个晶体管串联连接的结构。因此,通过采用多栅结构,可以降低关态电流(off-state current),且提高晶体管的耐压性(提高可靠性)。或者,通过利用多栅结构,当晶体管在饱和区域工作时,即便漏极-源极间的电压发生变化,漏极-源极间电流的变化也不太大,从而可以得到倾斜角平坦的电压-电流特性。当利用倾斜角平坦的电压-电流特性时,可以实现理想的电流源电路或电阻值极高的有源负载。其结果是,可以实现特性良好的差动电路或电流反射镜电路等。

[0056] 此外,电路图示出一个电路元件的情况有时包括该电路元件具有多个电路元件的情况。例如,电路图示出一个电阻器的情况包括两个以上的电阻器串联连接的情况。此外,例如,电路图示出一个电容的情况包括两个以上的电容并联连接的情况。此外,例如,电路图示出一个晶体管的情况包括两个以上的晶体管串联连接且各晶体管的栅极彼此电连接的情况。同样,例如,电路图示出一个开关的情况包括该开关具有两个以上的晶体管,两个以上的晶体管串联电连接或者并联电连接并且各晶体管的栅极彼此电连接的情况。

[0057] 此外,在本说明书等中,节点也可以根据电路结构或装置结构等称为端子、布线、电极、导电层、导体或杂质区域等。此外,端子、布线等也可以称为节点。

[0058] 此外,在本说明书等中,可以适当地调换“电压”和“电位”。“电压”是指与基准电位之间的电位差,例如在基准电位为地电位(接地电位)时,也可以将“电压”称为“电位”。接地

电位不一定意味着0V。此外,电位是相对性的,根据基准电位的变化而供应到布线的电位、施加到电路等的电位、从电路等输出的电位等也产生变化。

[0059] 此外,在本说明书等中,“高电平电位”、“低电平电位”不意味着特定的电位。例如,在两个布线都被记为“用作供应高电平电位的布线”的情况下,两个布线所供应的高电平电位也可以互不相同。同样,在两个布线都被记为“用作供应低电平电位的布线”的情况下,两个布线所供应的低电平电位也可以互不相同。

[0060] “电流”是指电荷的移动现象(导电),例如,“发生正带电体的导电”的记载可以替换为“在与其相反方向上发生负带电体的导电”的记载。因此,在本说明书等中,在没有特别的说明的情况下,“电流”是指载流子移动时的电荷的移动现象(导电)。在此,作为载流子可以举出电子、空穴、阴离子、阳离子、络离子等,载流子根据电流流过的系统(例如,半导体、金属、电解液、真空中等)不同。此外,布线等中的“电流的方向”是带正电的载流子移动的方向,以正电流量记载。换言之,带负电的载流子移动的方向与电流方向相反,以负电流量记载。因此,在本说明书等中,在没有特别的说明的情况下,关于电流的正负(或电流的方向),“电流从元件A向元件B流过”等记载可以替换为“电流从元件B向元件A流过”等记载。此外,“对元件A输入电流”等记载可以替换为“从元件A输出电流”等记载。

[0061] 此外,在本说明书等中,“第一”、“第二”、“第三”等序数词是为了避免构成要素的混淆而附加上的。因此,该序数词不限制构成要素的个数。此外,该序数词不限制构成要素的顺序。此外,例如,本说明书等的实施方式之一中附有“第一”的构成要素有可能在其他的实施方式或权利要求书中附有“第二”的构成要素。此外,例如,在本说明书等中,一个实施方式中的“第一”所指的构成要素有可能在其他实施方式或权利要求书中被省略。

[0062] 在本说明书中,为了方便起见,有时使用“上”、“下”等表示配置的词句以参照附图说明构成要素的位置关系。此外,构成要素的位置关系根据描述各构成要素的方向适当地改变。因此,不局限于说明书等中所说明的词句,根据情况可以适当地换词句。例如,在“位于导电体的顶面的绝缘体”的表述中,通过将所示的附图的方向旋转180度,也可以称为“位于导电体的下面的绝缘体”。

[0063] 此外,“上”或“下”这样的术语不局限于构成要素的位置关系为“正上”或“正下”且直接接触的情况。例如,如果是“绝缘层A上的电极B”的表述,则不一定必须在绝缘层A上直接接触地形成有电极B,也可以包括在绝缘层A与电极B之间包括其他构成要素的情况。

[0064] 此外,在本说明书等中,根据状况,可以互相调换“膜”和“层”等词句。例如,有时可以将“导电层”调换为“导电膜”。此外,有时可以将“绝缘膜”变换为“绝缘层”。此外,根据情况或状态,可以使用其他词句代替“膜”和“层”等词句。例如,有时可以将“导电层”或“导电膜”变换为“导电体”。此外,例如有时可以将“绝缘层”或“绝缘膜”变换为“绝缘体”。

[0065] 注意,在本说明书等中,“电极”、“布线”、“端子”等的词句不在功能上限定其构成要素。例如,有时将“电极”用作“布线”的一部分,反之亦然。再者,“电极”、“布线”等还包括多个“电极”或“布线”被形成为一体的情况等。此外,例如,有时将“端子”用作“布线”或“电极”的一部分,反之亦然。再者,“端子”的词句包括多个“电极”、“布线”、“端子”等被形成为一体的情况等。因此,例如,“电极”可以为“布线”或“端子”的一部分,例如,“端子”可以为“布线”或“电极”的一部分。此外,“电极”、“布线”、“端子”等的词句有时置换为“区域”等的词句。

[0066] 在本说明书等中,根据情况或状态,可以互相调换“布线”、“信号线”及“电源线”等词句。例如,有时可以将“布线”变换为“信号线”。此外,例如有时可以将“布线”变换为“电源线”。反之亦然,有时可以将“信号线”或“电源线”变换为“布线”。有时可以将“电源线”变换为“信号线”。反之亦然,有时可以将“信号线”变换为“电源线”。此外,根据情况或状态,可以互相将施加到布线的“电位”变换为“信号”。反之亦然,有时可以将“信号”变换为“电位”。

[0067] 在本说明书等中,半导体的杂质是指构成半导体膜的主要成分之外的物质。例如,浓度低于0.1atomic%的元素是杂质。当包含杂质时,例如,半导体中的缺陷态密度有可能提高,载流子迁移率有可能降低或结晶性有可能降低。在半导体是氧化物半导体时,作为改变半导体特性的杂质,例如有第1族元素、第2族元素、第13族元素、第14族元素、第15族元素或主要成分之外的过渡金属等,尤其是,例如有氢(也包含于水中)、锂、钠、硅、硼、磷、碳、氮等。具体而言,当半导体是硅层时,作为改变半导体特性的杂质,例如有第1族元素、第2族元素、第13族元素、第15族元素等(有时不包含氧、氢)。

[0068] 在本说明书等中,开关是指具有通过变为导通状态(开启状态)或非导通状态(关闭状态)来控制是否使电流流过的功能的元件。或者,开关是指具有选择并切换电流路径的功能的元件。因此,开关有时除了控制端子以外还包括使电流流过的两个或三个以上的端子。作为开关的一个例子,可以使用电开关或机械开关等。换言之,开关只要可以控制电流,就不局限于特定的元件。

[0069] 电开关的例子包括晶体管(例如双极晶体管或MOS晶体管)、二极管(例如PN二极管、PIN二极管、肖特基二极管、金属-绝缘体-金属(MIM)二极管、金属-绝缘体-半导体(MIS)二极管或者二极管接法的晶体管)或者组合这些元件的逻辑电路等。当作为开关使用晶体管时,晶体管的“导通状态”是指晶体管的源电极与漏电极在电性上短路的状态、能够使电流流过源电极与漏电极间的状态等。此外,晶体管的“非导通状态”是指晶体管的源电极与漏电极在电性上断开的状态。当将晶体管仅用作开关时,对晶体管的极性(导电型)没有特别的限制。

[0070] 作为机械开关的例子,可以举出利用了MEMS(微电子机械系统)技术的开关。该开关具有以机械方式可动的电极,并且通过移动该电极来控制导通和非导通而进行工作。

[0071] 在本说明书中,“平行”是指两条直线形成的角度为 $-10^{\circ}$ 以上且 $10^{\circ}$ 以下的状态。因此,也包括该角度为 $-5^{\circ}$ 以上且 $5^{\circ}$ 以下的状态。“大致平行”是指两条直线形成的角度为 $-30^{\circ}$ 以上且 $30^{\circ}$ 以下的状态。此外,“垂直”是指两条直线形成的角度为 $80^{\circ}$ 以上且 $100^{\circ}$ 以下的状态。因此,也包括该角度为 $85^{\circ}$ 以上且 $95^{\circ}$ 以下的状态。“大致垂直”是指两条直线形成的角度为 $60^{\circ}$ 以上且 $120^{\circ}$ 以下的状态。

[0072] 发明效果

[0073] 根据本发明的一个方式可以提供一种进行积和运算及/或函数运算的半导体装置等。此外,根据本发明的一个方式可以进行保持在乘法单元中的数据的重新写入的半导体装置。此外,根据本发明的一个方式可以提供一种保持数字值对该数字值进行数字模拟转换而进行模拟值的运算的半导体装置。另外,根据本发明的一个方式可以提供一种进行CNN等卷积处理的半导体装置等。此外,根据本发明的一个方式可以提供一种用于AI的半导体装置等。另外,根据本发明的一个方式可以提供一种用于DNN的半导体装置等。另外,根据本发明的一个方式可以提供一种功耗低的半导体装置等。另外,根据本发明的一个方式可以

提供一种不容易受到环境温度的影响的半导体装置等。另外,根据本发明的一个方式可以提供一种不容易受到晶体管的特性不均匀的影响的半导体装置等。另外,根据本发明的一个方式可以提供一种不容易受到电流源的特性不均匀的影响的半导体装置等。另外,根据本发明的一个方式可以提供一种新颖的半导体装置等。

[0074] 注意,本发明的一个方式的效果不局限于上述效果。上述效果并不妨碍其他效果的存在。其他效果是指将在下面的记载中描述的上述以外的效果。本领域技术人员可以从说明书或附图等的记载中导出并适当抽出上述以外的效果。此外,本发明的一个方式具有上述效果及其他效果中的至少一个效果。因此,本发明的一个方式根据情况而有时没有上述效果。

## 附图说明

[0075] 图1A及图1B是示出半导体装置的结构例子的方框图,图1C是示出半导体装置的结构例子的立体图。

[0076] 图2A至图2C是示出包括在半导体装置中的电路的结构例子的电路。

[0077] 图3是示出包括在半导体装置中的电路的结构例子的电路图。

[0078] 图4是示出包括在半导体装置中的电路的结构例子的电路图。

[0079] 图5是示出包括在半导体装置中的电路的结构例子的电路图。

[0080] 图6是示出包括在半导体装置中的电路的结构例子的电路图。

[0081] 图7A至图7E是示出包括在半导体装置中的电路的结构例子的电路图。

[0082] 图8是示出包括在半导体装置中的电路的结构例子的电路图。

[0083] 图9是示出包括在半导体装置中的电路的结构例子的电路图。

[0084] 图10A是示出包括在半导体装置中的电路的结构例子的电路图,图10B至图10E是示出包括在半导体装置中的存储单元的结构例子的电路图。

[0085] 图11是示出包括在半导体装置中的电路的结构例子的电路图。

[0086] 图12是示出包括在半导体装置中的电路的结构例子的电路图。

[0087] 图13是示出包括在半导体装置中的电路的结构例子的电路图。

[0088] 图14A是示出包括在半导体装置中的电路的结构例子的电路图,图14B是示出包括在该电路中的一部分的电路的结构例子的电路图。

[0089] 图15是示出半导体装置的结构例子的方框图。

[0090] 图16是示出半导体装置的结构例子的方框图。

[0091] 图17A是示出半导体装置的结构例子的方框图,图17B是示出包括在半导体装置中的电路的结构例子的电路图。

[0092] 图18A至图18D是示出半导体装置的结构例子的电路图。

[0093] 图19是示出包括在半导体装置中的电路的结构例子的电路图。

[0094] 图20A是示出半导体装置的结构例子的电路图,图20B是示出包括在半导体装置中的电路的结构例子的电路图。

[0095] 图21A是示出半导体装置的结构例子的电路图,图21B是示出包括在半导体装置中的电路的结构例子的电路图。

[0096] 图22A及图22B是示出半导体装置的结构例子的电路图。

- [0097] 图23是示出半导体装置的结构例子的方框图。
- [0098] 图24A及图24B是说明分层神经网络的图。
- [0099] 图25是示出包括在半导体装置中的电路的结构例子的电路图。
- [0100] 图26是示出包括在半导体装置中的电路的结构例子的电路图。
- [0101] 图27A至图27C是示出包括在半导体装置中的电路的结构例子的电路图。
- [0102] 图28是示出包括在半导体装置中的电路的结构例子的电路图。
- [0103] 图29A至图29F是示出包括在半导体装置中的电路的结构例子的电路图。
- [0104] 图30是示出包括在半导体装置中的电路的结构例子的电路图。
- [0105] 图31是示出包括在半导体装置中的电路的结构例子的电路图。
- [0106] 图32是示出包括在半导体装置中的电路的结构例子的电路图。
- [0107] 图33A至图33E是示出包括在半导体装置中的电路的结构例子的电路图。
- [0108] 图34A至图34C是示出包括在半导体装置中的电路的结构例子的电路图。
- [0109] 图35是示出半导体装置的结构例子的截面示意图。
- [0110] 图36A至图36C是示出晶体管的结构例子的截面示意图。
- [0111] 图37是示出半导体装置的结构例子的截面示意图。
- [0112] 图38A及图38B是示出晶体管的结构例子的截面示意图。
- [0113] 图39是示出晶体管的结构例子的截面示意图。
- [0114] 图40A是说明IGZO的结晶结构的分类的图,图40B是说明结晶性IGZO的XRD谱的图,图40C是说明结晶性IGZO的纳米束电子衍射图案的图。
- [0115] 图41A是示出半导体晶片的一个例子的立体图,图41B是示出芯片的一个例子的立体图,图41C及图41D是示出电子构件的一个例子的立体图。
- [0116] 图42是示出电子设备的一个例子的示意图。
- [0117] 图43A至图43C是示出电子设备的一个例子的示意图。

### 具体实施方式

[0118] 在人工神经网络(以下称为神经网络)中,神经突触的结合强度可以通过对神经网络供应现有的信息改变。有时将这样的对神经网络提供现有的信息决定结合强度的处理称为“学习”。

[0119] 并且,通过对“学习”(决定了结合强度)过的神经网络提供某个信息,可以根据其结合强度输出新信息。有时将这样的在神经网络中根据被提供的信息和结合强度输出新信息的处理称为“推论”或“认知”。

[0120] 作为神经网络的模型,例如可以举出Hopfield神经网络、分层神经网络等。尤其是,有时将具有多层结构的神经网络称为“深度神经网络”(DNN),将利用深度神经网络的机械学习称为“深度学习”。

[0121] 在本说明书等中,金属氧化物(metal oxide)是指广义上的金属的氧化物。金属氧化物被分类为氧化物绝缘体、氧化物导电体(包括透明氧化物导电体)和氧化物半导体(Oxide Semiconductor,也可以简称为OS)等。例如,在晶体管的沟道形成区域包含金属氧化物的情况下,有时将该金属氧化物称为氧化物半导体。换言之,在金属氧化物能够构成具有放大作用、整流作用及开关作用中的至少一个的晶体管的沟道形成区域时,该金属氧化

物称为金属氧化物半导体(metal oxide semiconductor),简称为OS。此外,也可以将OS晶体管称为包含金属氧化物或氧化物半导体的晶体管。

[0122] 此外,在本说明书等中,有时将包含氮的金属氧化物也称为金属氧化物(metal oxide)。此外,也可以将包含氮的金属氧化物称为金属氧氮化物(metal oxynitride)。

[0123] 此外,在本说明书等中,各实施方式所示的结构可以与其他实施方式所示的结构适当地组合而构成本发明的一个方式。此外,当在一个实施方式中示出多个结构例子时,可以适当地组合这些结构例子。

[0124] 此外,可以将某一实施方式(实施例)中说明的内容(或其一部分)应用/组合/替换成该实施方式中说明的其他内容(或其一部分)和另一个或多个其他实施方式中说明的内容(或其一部分)中的至少一个内容。

[0125] 注意,实施方式中说明的内容是指各实施方式中利用各种附图所说明的内容或者利用说明书所记载的文章而说明的内容。

[0126] 此外,通过将某一实施方式中示出的附图(或其一部分)与该附图的其他部分、该实施方式中示出的其他附图(或其一部分)和另一个或多个其他实施方式中示出的附图(或其一部分)中的至少一个附图组合,可以构成更多图。

[0127] 参照附图说明本说明书所记载的实施方式。注意,所属技术领域的普通技术人员可以很容易地理解一个事实,就是实施方式可以以多个不同形式来实施,其方式和详细内容可以在不脱离本发明的宗旨及其范围的条件下被变换为各种各样的形式。因此,本发明不应该被解释为仅限定在实施方式所记载的内容中。注意,在实施方式中的发明的结构中,有时在不同的附图中共同使用相同的附图标记来表示相同的部分或具有相同功能的部分,而省略反复说明。在立体图或俯视图等中,为了明确起见,有时省略部分构成要素的图示。

[0128] 此外,在本说明书等中,在多个要素使用同一符号并且需要区分它们时,有时对符号附加“\_1”, “[n]”, “[m,n]”等用于识别的符号。此外,在附图等中,在对符号附加“\_1”, “[n]”, “[m,n]”等用于识别的符号的情况下,如果不需要在本说明书等中区分它们,有时不附加“\_1”, “[n]”, “[m,n]”等用于识别的符号。

[0129] 在附图中,为便于清楚地说明,有时夸大表示大小、层的厚度或区域。因此,本发明并不局限于附图中的尺寸。此外,在附图中,示意性地示出理想的例子,因此本发明不局限于附图所示的形状或数值等。例如,可以包括因噪声或定时偏差等所引起的信号、电压或电流的不均匀等。

[0130] (实施方式1)

[0131] 在本实施方式中说明本发明的一个方式的半导体装置的结构。

[0132] <半导体装置的结构例子1>

[0133] 图1A是示出本发明的一个方式的半导体装置SDV1的结构例子的方框图。作为一个例子,半导体装置SDV1包括存储装置MINT、电路ILD及运算部CLP。此外,图1A为了示出与半导体装置SDV1的电连接的结构也示出存储装置MEXT。

[0134] 作为一个例子,存储装置MEXT设置在半导体装置SDV1的外部。在本实施方式中,存储装置MEXT保持用来在运算部CLP进行运算的数据。此外,存储装置MEXT向存储装置MINT发送该数据作为数字电压信号等。此外,存储装置MEXT除了存储装置MINT以外也可以向后述的电路ILD发送该数据。也就是说,半导体装置SDV1也可以具有使存储装置MEXT的发送对象

在存储装置MINT和电路ILD之间切换的结构。

[0135] 在半导体装置SDV1具有使从存储装置MEXT输出的信号的发送对象在存储装置MINT和电路ILD之间切换的结构的情况下,在从存储装置MEXT将数据发送到存储装置MINT时,为了减少存储装置MINT的存储容量,也可以减少该数据的位数。此外,在从存储装置MEXT将数据发送到电路ILD时,也可以增加该数据的位数。或者,在从存储装置MEXT将数据发送到存储装置MINT的情况下,为了减少存储装置MINT的存储容量发送该数据的高位值,需要低位值时也可以从存储装置MEXT将低位值输入到电路ILD。也就是说,存储装置MINT和存储装置MEXT也可以同时对电路ILD输入该数据。

[0136] 注意,作为一个例子,存储装置MEXT可以为HDD(硬盘驱动器)、SSD(固态驱动器)等辅助存储器等。

[0137] 半导体装置SDV1例如可以通过在一个衬底BSE上形成电路元件等来制造。

[0138] 作为衬底BSE例如可以使用各种衬底。作为各种衬底,例如可以举出半导体衬底(例如,单晶衬底或硅衬底)、SOI衬底、玻璃衬底、石英衬底、塑料衬底、蓝宝石玻璃衬底、金属衬底、不锈钢衬底、包含不锈钢箔的衬底、钨衬底、包含钨箔的衬底、柔性衬底、贴合薄膜、包含纤维状材料的纸或基材薄膜等。作为玻璃衬底的一个例子,可以举出钡硼硅酸盐玻璃、铝硼硅酸盐玻璃或钠钙玻璃等。作为柔性衬底、贴合薄膜、基材薄膜等,可以举出如下例子。例如可以举出以聚对苯二甲酸乙二醇酯(PET)、聚萘二甲酸乙二醇酯(PEN)、聚醚砜(PES)、聚四氟乙烯(PTFE)为代表的塑料。或者,作为一个例子,可以举出丙烯酸树脂等合成树脂等。或者,作为一个例子,可以举出聚丙烯、聚酯、聚氟化乙烯或聚氯乙烯等。或者,作为例子,可以举出聚酰胺、聚酰亚胺、芳族聚酰胺、环氧树脂、无机蒸镀薄膜、纸类等。尤其是,通过使用半导体衬底、单晶衬底或SOI衬底等制造晶体管,能够制造特性、尺寸或形状等的偏差小、电流能力高且尺寸小的晶体管。当利用上述晶体管构成电路时,可以实现电路的低功耗化或电路的高集成化。

[0139] 另外,作为衬底BSE也可以使用柔性衬底,在该柔性衬底上直接形成晶体管。或者,也可以在衬底与晶体管之间设置剥离层。剥离层可以在如下情况下使用,即在剥离层上制造半导体装置的一部分或全部,然后将其从衬底分离并转置到其他衬底上的情况。此时,也可以将晶体管转置到耐热性低的衬底、柔性衬底等上。另外,作为上述剥离层,例如可以使用钨膜与氧化硅膜的无机膜的叠层结构、衬底上形成有聚酰亚胺等有机树脂膜的结构等。

[0140] 另外,也可以使用一个衬底形成晶体管,然后将该晶体管转置到另一个衬底上,还将晶体管配置在另一个衬底(例如,衬底BSE)上。作为转置晶体管的衬底,除了上述可以设置晶体管的衬底之外,还可以使用纸衬底、玻璃纸衬底、芳族聚酰胺薄膜衬底、聚酰亚胺薄膜衬底、石材衬底、木材衬底、布衬底(包括天然纤维(丝、棉、麻)、合成纤维(尼龙、聚氨酯、聚酯)或再生纤维(醋酯纤维、铜氨纤维、人造纤维、再生聚酯)等)、皮革衬底、橡胶衬底等。通过使用上述衬底,可以实现特性良好的晶体管、功耗低的晶体管、不易损坏的装置、耐热性的提高、轻量化或薄型化。

[0141] 另外,可以在相同的衬底(例如,玻璃衬底、塑料衬底、单晶衬底或SOI衬底等)上形成为实现指定的功能所需要的所有电路。如此,可以通过减少部件数量降低成本,或者可以通过减少与电路部件之间的连接数量提高可靠性。

[0142] 注意,也可以将为了实现指定的功能所需要的所有电路不形成在相同的衬底上。



换言之,也可以将为了实现指定的功能所需要的电路的一部分形成在某个衬底上,并且将为了实现指定的功能所需要的电路的另一部分形成在另一衬底上。例如,也可以将为了实现指定的功能所需要的电路的一部分形成在玻璃衬底上,并且将为了实现指定的功能所需要的电路的另一部分形成在单晶衬底(或SOI衬底)上。并且,也可以通过COG(Chip On Glass:玻璃覆晶封装)将形成为为了实现指定的功能所需要的电路的另一部分的单晶衬底(也称为IC芯片)连接到玻璃衬底,从而在玻璃衬底上配置该IC芯片。或者,也可以使用TAB(Tape Automated Bonding:卷带自动结合)、COF(Chip On Film:薄膜上芯片)、SMT(Surface Mount Technology:表面贴装技术)或印刷电路板等使该IC芯片和玻璃衬底连接。如此,通过使电路的一部分与像素部形成在同一衬底上,可以通过减少部件数量降低成本,或者可以通过减少与电路部件之间的连接数量提高可靠性。尤其是,在很多情况下,驱动电压高的部分的电路或者驱动频率高的部分的电路等的功耗高。于是,将该电路与像素部形成在不同的衬底(例如,单晶衬底)上,以构成IC芯片。通过使用该IC芯片,可以防止功耗的增高。

[0143] 例如,通过衬底BSE为包含硅的半导体衬底,可以将包括在运算部CLP中的晶体管及包括在电路ILD中的晶体管的每一个作为Si晶体管形成在衬底BSE上。此外,通过包括在存储装置MINT中的晶体管为OS晶体管,可以在运算部CLP及/或电路ILD的上方设置存储装置MINT。也就是说,作为一个例子,半导体装置SDV1如图1C所示可以具有如下结构:在衬底BSE的上方设置运算部CLP及电路ILD,在运算部CLP及电路ILD的上方设置存储装置MINT。

[0144] 作为一个例子,包括在半导体装置SDV1中的存储装置MINT具有取得设置在半导体装置SDV1的外部的存储装置MEXT所读出的信息而保持该信息的功能。此外,存储装置MINT具有读出保持在存储装置MINT中的信息而将该信息发送到电路ILD的功能。注意,从存储装置MEXT发送到存储装置MINT的信息被视为由后述的运算部CLP进行运算的数据。

[0145] 注意,在本说明书等中,对存储装置MINT具有保存数字值的结构进行说明。通过存储装置MINT保存数字值,即使保持在存储元件中的电荷量的绝对值减少,可读出数据的电位范围也大,所以可以读出与写入时的数据相同的数据。此外,在采用保存数字值的存储装置时,容易进行保存在存储元件中的数据的刷新,因此可以长期维持存储元件所保持的电位(电荷)。因此,存储装置MINT优选具有定期刷新所保持的数据的功能。此外,也可以在将数据发送到后述的运算部CLP(电路ILD)之后进行刷新工作。注意,在本说明书等中,数据刷新是指读出对应该存储元件的数据的电压且通过读出放大器等放大电路等将该电压升压或降压到适当的电平而写回到该存储元件的工作。注意,在适当地改写存储装置MINT的存储单元的数据时,也可以从存储装置MEXT读出数据且将该数据写入到该存储单元。此外,根据本发明的半导体装置的存储装置MINT除了数字值以外还可以保存多值、模拟值等。此外,例如在存储装置MINT的存储单元中可以保持多值(多位)时,该存储单元的位数比保持在运算部CLP的乘法单元中的位数小,可以将存储装置MINT的多个存储单元对应于运算部CLP的一个乘法单元。例如,存储装置MINT中的一个存储单元可以保持4位值且运算部CLP中的一个乘法单元可以保持8位值时,通过在存储装置MINT的存储单元中写入两个4位值,可以在运算部CLP的乘法单元中写入8位值。

[0146] 作为包括在存储装置MINT中的晶体管,例如优选使用OS晶体管。尤其是,作为包括在OS晶体管的沟道形成区域中的金属氧化物,例如优选为包含铟、元素M及锌的In-M-Zn氧

化物(元素M为选自铝、镓、铋、锡、铜、钒、铍、硼、钛、铁、镍、锆、锗、钼、镉、铈、钕、钐、钆、铽、钨和镁等中的一种或多种)等。此外,作为该晶体管也可以使用在沟道形成区域中包含硅的晶体管(以后被称为Si晶体管)。此外,作为硅例如可以使用单晶硅、非晶硅(有时也称为氢化非晶硅)、微晶硅或多晶硅等。此外,作为OS晶体管、Si晶体管以外的晶体管,例如可以使用在沟道形成区域中包含Ge等的晶体管、在沟道形成区域中包含ZnSe、CdS、GaAs、InP、GaN、SiGe等化合物半导体的晶体管、在沟道形成区域中包含碳纳米管的晶体管、在沟道形成区域中包含有机半导体的晶体管等。

[0147] 作为一个例子,电路ILD被用作将电流供应给运算部CLP的电流源电路。具体而言,电路ILD将对应从存储装置MINT读出的信息的电流供应给包括在运算部CLP中的电路。注意,电路ILD不是将电流供应给运算部CLP的电流源电路,例如也可以被用作将对应从存储装置MINT读出的信息的电压输入到运算部CLP的电压源电路(电压生成电路)。

[0148] 运算部CLP具有多个被用作乘法单元的电路。此外,作为一个例子,该乘法单元具有保持用于运算的数据作为模拟值的功能。此外,在运算部CLP中,该电路配置为矩阵状。另外,该电路在保持从电路ILD发送的信息(例如,电流、电压等)之后将对应乘数的电压输入到运算部CLP,由此可以计算对应该信息的值和该乘数的积。此外,在输出由该电路算出的积作为电流时,通过将从多个该电路输出的每个电流加在一起,该电流总和可以为对应保持在多个该电路中的每个信息(例如,电流、电压等)和多个乘数的积和值的量。此外,运算部CLP也包括使乘法单元工作的驱动电路。将在实施方式2中详细说明运算部CLP的电路结构及运算部CLP中的积和运算的原理。

[0149] 当存储装置MINT具有保持数字值的功能且运算部CLP的乘法单元具有保持模拟值的功能时,将用于运算的数据从存储装置MINT发送到运算部时需要进行数字模拟转换。此时,电路ILD优选除了电流源电路以外还具有数字模拟转换电路的功能。此外,写入到运算部CLP的模拟数据越大,存储装置MINT所需的存储容量越大。具体而言,例如,在运算部CLP中在一个乘法单元保持相当于8位的数值的数据时,存储装置MINT需要八个2值的存储单元。此时,由于需要增大存储装置MINT的电路面积,所以半导体装置SDV1如上述图1C那样优选具有如下结构等:在运算部CLP(包括驱动运算部CLP的电路)、电路ILD的上方设置存储装置MINT。此外,通过能够包括在存储装置MINT的存储单元中的电容使用沟槽型,可以缩小每一个存储单元的面积。

[0150] 当运算部CLP的乘法单元具有保持模拟值的功能时,有时因来自乘法单元的泄漏电流导致保持在乘法单元中的模拟数据劣化。由此,半导体装置SDV1优选具有如下结构:定期将保持在存储装置MINT中的数字数据(与保持在乘法单元中的数据相同的值)由电路ILD转换为模拟数据,将该模拟数据发送到运算部CLP,重新写入到运算部CLP的乘法单元的存储元件(输入电流、电压等或补充电荷)。此时,存储装置MINT被用作为了填补保持在运算部CLP的乘法单元的存储元件中的模拟数据保持相当于模拟数据的数字数据的电路。此外,通过采用这种结构,存储装置MINT有时被称为对于运算部CLP的主存储器。此外,此时,包括在运算部CLP的乘法单元中的存储元件可认为暂时存储器。此外,例如,在存储装置MINT的存储单元MCL为能够保持数字数据(2位)的电路且运算部CLP的乘法单元为能够保持相当于8位的模拟数据的电路时,存储装置MINT的存储单元MCL与运算部CLP的乘法单元相比可以长期保持数据(由于数据值不易因泄漏电流导致的电荷量的绝对值减少而变化),所以存储装

置MINT优选被视为主存储器。此外,由于处理模拟数据的运算的计算效率比处理数字数据的计算效率高,所以半导体装置SDV1优选具有如下结构:将从存储装置MINT读出的数字数据转换为模拟数据在运算部CLP进行处理模拟数据的运算。

[0151] 半导体装置SDV1也可以包括多个运算部CLP。例如,如图1B所示,也可以包括运算部CLPa及运算部CLPb代替图1A的运算部CLP。如此,通过在半导体装置SDV1中设置多个运算部,半导体装置SDV1例如可以将将从存储装置MINT发送的数据写入到运算部CLPa和运算部CLPb中的一个且在该期间在运算部CLPa和运算部CLPb中的另一个进行运算。

[0152] 在图1B的结构中,运算部CLPa和运算部CLPb中的一个也可以是进行模拟运算的电路且运算部CLPa和运算部CLPb中的另一个也可以是进行数字运算的电路。此外,运算部CLPa和运算部CLPb的双方都可以是进行数字运算的电路。

[0153] <<电路ILD>>

[0154] 这里,说明电路ILD的具体电路结构例子。注意,这里,将由从存储装置MINT读出的数字值输出模拟电流的VI转换电路(有时被称为数字模拟转换电路)作为电路ILD进行说明。图2A所示的电路ILD是能够用于图1A的电路ILD的电流源电路的一个例子。图2A的电路ILD包括电路WCS1,电路WCS1包括恒电流源CC[1]至恒电流源CC[K](K为1以上的整数)及开关SW[1]至开关SW[K]。

[0155] 恒电流源CC[u](u为1以上且K以下的整数)的输入端子与布线VDL电连接,恒电流源CC[u]的输出端子与开关SW[u]的第一端子电连接,开关SW[u]的第二端子与布线IL电连接。此外,开关SW[u]的控制端子与布线DIL[u]电连接。

[0156] 图2A所示的布线DIL[1]至布线DIL[K]与包括在图1A的半导体装置SDV1中的存储装置MINT电连接。也就是说,布线DIL[1]至布线DIL[K]被用作发送从存储装置MINT读出的信息的布线。

[0157] 作为一个例子,布线VDL被用作供应恒压的布线。该恒压例如优选为高电平电位。

[0158] 布线IL被用作与运算部CLP电连接的布线。也就是说,布线IL被用作在电路ILD生成的对应保持在存储装置MINT中的信息的电流流过运算部CLP的布线。注意,布线IL例如被用作延伸设置在运算部CLP中的一列的写入数据线。由此,在运算部CLP包括多列乘法单元时,电路ILD优选包括多个电路WCS1。此外,根据运算部CLP的结构有时1列上配置的多个乘法单元中设置两个写入数据线。因此,在图2A中,一个布线示出布线IL,另一个布线以括号示出布线ILB。

[0159] 作为一个例子,图2A的电路WCS1具有K位( $2^K$ 值)(K为1以上的整数)的信息作为电流输出的功能。具体而言,例如,通过相当于第1位的值的信息输入到布线DIL[1],相当于第u位的值的信息输入到布线DIL[u],相当于第K位的值的信息输入到布线DIL[K],可以决定电路WCS1流过布线IL的电流的量。此时,在恒电流源CC[1]流过的恒电流为 $I_{ut}$ 时,优选的是,恒电流源CC[u]流过的恒电流为 $2^{u-1} \times I_{ut}$ ,恒电流源CC[K]流过的恒电流为 $2^{K-1} \times I_{ut}$ 。

[0160] 在存储装置MINT与电路ILD之间也可以设置将2进制转换为10进制的译码器DEC。图2B示出此时的电路ILD的电路结构。注意,在图2B中,包括在电路ILD中的电路WCS2包括恒电流源CC[1]至恒电流源CC[ $2^K-1$ ]及开关SW[1]至开关SW[ $2^K-1$ ]。

[0161] 译码器DEC与布线DIL[1]至布线DIL[K]电连接,且与布线DEL[1]至布线DEL[ $2^K-1$ ]电连接。此外,恒电流源CC[t](t为1以上且 $2^K-1$ 以下的整数)的输入端子与布线VDL电连接,

恒电流源CC[t]的输出端子与开关SW[t]的第一端子电连接,开关SW[t]的第二端子与布线IL电连接。此外,开关SW[t]的控制端子与布线DEL[t]电连接。

[0162] 译码器DEC具有将发送到布线DIL[1]至布线DIL[K]的K位(2进制)的信息转换为10进制的信息且将其发送到布线DEL[1]至布线DEL[2<sup>K</sup>-1]的功能。

[0163] 作为一个例子,图2B的电路WCS2与图2A的电路WCS1同样地具有输出K位(2<sup>K</sup>值)(K为1以上的整数)的信息作为电流的功能。但是,由于向电路WCS2发送由译码器DEC转换为10进制的信息,所以恒电流源CC[1]至恒电流源CC[2<sup>K</sup>-1]的每一个流过的恒电流量优选为I<sub>ut</sub>。

[0164] 包括在图2A的电路WCS1及图2B的电路WCS2中的恒电流源CC例如也可以具有包括晶体管的结构。此外,作为包括在图2A的电路WCS1及图2B的电路WCS2中的开关SW例如可以使用模拟开关、晶体管等电开关。另外,作为开关SW例如也可以使用机械开关。

[0165] 注意,在本说明书等中,开关SW在对控制端子施加高电平电位时处于关闭状态且在对控制端子施加低电平电位时处于开启状态。

[0166] 图2C示出上述具体例子。图2C的电路ILD在图2A的电路ILD中例如具有如下电路结构:恒电流源CC[1]包括晶体管CTr[1],恒电流源CC[u]包括晶体管CTr[u],例如恒电流源CC[K]包括晶体管CTr[K],开关SW[1]包括晶体管STr[1],开关SW[u]包括晶体管STr[u],开关SW[K]包括晶体管STr[K]。

[0167] 图2C所示的晶体管CTr[1]至晶体管CTr[K]及晶体管STr[1]至晶体管STr[K]的每一个优选使用Si晶体管。此外,作为Si晶体管以外的晶体管,例如可以使用在沟道形成区域中包含Ge等的晶体管、在沟道形成区域中包含ZnSe、CdS、GaAs、InP、GaN、SiGe等化合物半导体的晶体管、在沟道形成区域中包含碳纳米管的晶体管、在沟道形成区域中包含有机半导体的晶体管等。

[0168] 作为一个例子,图2C所示的晶体管CTr[1]至晶体管CTr[K]及晶体管STr[1]至晶体管STr[K]的每一个为p沟道型晶体管。注意,根据情况或状况,晶体管CTr[1]至晶体管CTr[K]及晶体管STr[1]至晶体管STr[K]的每一个也可以为n沟道型晶体管。此外,在晶体管CTr[1]至晶体管CTr[K]及晶体管STr[1]至晶体管STr[K]的每一个为n沟道型晶体管时,晶体管CTr[1]至晶体管CTr[K]及晶体管STr[1]至晶体管STr[K]的每一个也可以使用0S晶体管。

[0169] 例如,晶体管CTr[1]的第一端子与布线VDL电连接,晶体管CTr[1]的第二端子与晶体管STr[1]的第一端子电连接,晶体管STr[1]的第二端子与布线IL电连接。此外,晶体管CTr[1]的栅极与布线BIAL电连接,晶体管STr[1]的栅极与布线DIL[1]电连接。此外,例如,晶体管CTr[u]的第一端子与布线VDL电连接,晶体管CTr[u]的第二端子与晶体管STr[u]的第一端子电连接,晶体管STr[u]的第二端子与布线IL电连接。此外,晶体管CTr[u]的栅极与布线BIAL电连接,晶体管STr[u]的栅极与布线DIL[u]电连接。此外,例如,晶体管CTr[K]的第一端子与布线VDL电连接,晶体管CTr[K]的第二端子与晶体管STr[K]的第一端子电连接,晶体管STr[K]的第二端子与布线IL电连接。此外,晶体管CTr[K]的栅极与布线BIAL电连接,晶体管STr[K]的栅极与布线DIL[K]电连接。

[0170] 作为一个例子,布线BIAL被用作施加恒电压的布线。由于布线BIAL与晶体管CTr[1]至晶体管CTr[K]的每一个的栅极电连接,所以该恒电压被用作电流在晶体管CTr[1]至晶体管CTr[K]的每一个中流过的偏置电压。偏置电压例如优选为低电平电位、接地电位等。

[0171] 注意,在采用图2C的电路ILD的情况下,在晶体管CTr[1]的沟道宽度(以下,称为W

长)和沟道长度(以下,称为L长)的比例为W/L时,晶体管CTr[u]的W长和L长的比例优选为 $2^{u-1} \times W/L$ 或其附近值,此外,晶体管CTr[K]的W长和L长的比例优选为 $2^{K-1} \times W/L$ 或其附近值。由此,晶体管CTr[1]、晶体管CTr[u]及晶体管CTr[K]的每一个流过的电流的比例大致为 $1:2^{u-1}:2^{K-1}$ 。注意,作为一个例子, $2^{u-1} \times W/L$ 附近的值可以为 $2^{u-1} \times W/L$ 的0.9倍以上且1.1倍以下的值。此外,同样地,作为一个例子, $2^{K-1} \times W/L$ 附近的值可以为 $2^{K-1} \times W/L$ 的0.9倍以上且1.1倍以下的值。

[0172] 或者,在图2C的电路ILD中,也可以将晶体管CTr[u]替换为 $2^{u-1}$ 个的相同结构的晶体管并联电连接且每个晶体管的栅极与布线DIL[u]电连接的结构。同样地,也可以将晶体管CTr[K]替换为 $2^{K-1}$ 个的相同结构的晶体管并联电连接且每个晶体管的栅极与布线DIL[K]电连接的结构。由此,晶体管CTr[1]、晶体管CTr[u]及晶体管CTr[K]中分别流过的电流的比例大致为 $1:2^{u-1}:2^{K-1}$ 。

[0173] 在没有特别的说明的情况下,晶体管CTr在开启状态时有时最后在饱和区域中工作。换言之,包括如下情况:对晶体管CTr的栅极电压、源极电压及漏极电压进行适当的偏压,使得该晶体管在饱和区域中工作。注意,本发明的一个方式不局限于此。为了减小所供应的电压的振幅值,晶体管CTr也可以在线性区域中工作。此外,为了减小晶体管CTr中流过的电流量,晶体管CTr也可以在亚阈值区域中工作。或者,也可以在饱和区域与亚阈值区域的境界附近工作。在本说明书等中,例如,在晶体管的阈值电压为 $V_{th}$ 时,饱和区域与亚阈值区域的境界附近包括栅极源极间电压为 $V_{th}-1.0V$ 以上、 $V_{th}-0.5V$ 以上或 $V_{th}-0.1V$ 以上且 $V_{th}+0.1V$ 以下、 $V_{th}+0.5V$ 以下或 $V_{th}+1.0V$ 以下的情况。注意,上述下限值及上限值可以分别组合。或者,例如,晶体管CTr也可以将在如下区域中工作的情况混在一起:在线性区域中工作的情况、在饱和区域中工作的情况以及在亚阈值区域中工作的情况;在线性区域中工作的情况以及在饱和区域中工作的情况;在饱和区域中工作的情况以及在亚阈值区域中工作的情况;或者在线性区域中工作的情况以及在亚阈值区域中工作的情况。

[0174] 在本说明书等中,在没有特别的说明的情况下,晶体管STr在开启状态时有时最后在线性区域中工作。换言之,有时对晶体管STr的栅极电压、源极电压及漏极电压进行适当的偏压,使得该晶体管在线性区域中工作。注意,本发明的一个方式不局限于此。例如,晶体管STr也可以在开启状态时在饱和区域中工作或在亚阈值区域中工作。或者,晶体管STr也可以在饱和区域与亚阈值区域的境界附近工作。或者,晶体管STr也可以将在如下区域中工作的情况混在一起:在线性区域中工作的情况以及在饱和区域中工作的情况;在饱和区域中工作的情况以及在亚阈值区域中工作的情况;或者在线性区域中工作的情况、在饱和区域中工作的情况以及在亚阈值区域中工作的情况。

[0175] 注意,作为电路ILD例如也可以采用使用运算放大器的数字模拟转换电路而不采用图2A至图2C的结构。注意,在降低功耗时,优选使用图2A至图2C的结构的VI转换电路。

[0176] <<存储装置MINT及电路ILD的结构例子1>>

[0177] 接着,说明存储装置MINT以及存储装置MINT、电路ILD与运算部CLP电连接的结构。

[0178] 图3是示出存储装置MINT、上述图2A的电路ILD的一部分及运算部CLP的一部分的电路结构例子。

[0179] 注意,作为一个例子,图3所示的运算部CLP的结构是在实施方式2中说明的运算电路110的一部分。因此,关于图3所示的运算部CLP的详细内容参照实施方式2的说明。

[0180] 图3所示的运算部在排列成一系列的多个乘法单元中设置两个写入数据线。一方的写入数据线的布线IL与包括在电路ILD中的电路WCS1电连接。虽然未图示另一方的写入数据线的布线ILB与电路ILD的电连接,但是布线ILB电连接于与布线IL不同的电路WCS1。

[0181] 存储装置MINT具有包括被称为NOSRAM (Nonvolatile Oxide Semiconductor Random Access Memory) (注册商标)的存储电路的结构。具体而言,在图3中,存储装置MINT包括存储单元MCL[1]至存储单元MCL[m] (m为1以上的整数)、开关RSW、电路WWD以及电路RWD,存储单元MCL[1]至存储单元MCL[m]都包括晶体管F1至晶体管F3以及电容CI。

[0182] 如上所述,晶体管F1至晶体管F3都可以使用OS晶体管。或者,晶体管F1至晶体管F3都可以为Si晶体管。此外,作为OS晶体管、Si晶体管以外的晶体管,例如可以使用在沟道形成区域中包含Ge等的晶体管、在沟道形成区域中包含ZnSe、CdS、GaAs、InP、GaN、SiGe等化合物半导体的晶体管、在沟道形成区域中包含碳纳米管的晶体管、在沟道形成区域中包含有机半导体的晶体管等。

[0183] 此外,通过可以作为包括在存储装置MINT中的晶体管使用OS晶体管且作为包括在运算部CLP中的晶体管使用OS晶体管,有时每个OS晶体管可以在同一工序中同时制造。通过同时制造在包括在存储装置MINT及运算部CLP中的OS晶体管,可以缩短半导体装置SDV1的制造时间。

[0184] 在没有特别的说明的情况下,晶体管F1在开启状态时有时最后在饱和区域中工作。换言之,包括如下情况:对晶体管F1的栅极电压、源极电压及漏极电压进行适当的偏压,使得该晶体管在饱和区域中工作。注意,本发明的一个方式不局限于此。为了减小电压的振幅值,晶体管F1也可以在线性区域中工作。此外,为了减小流过晶体管F1的电流量,晶体管F1也可以在亚阈值区域中工作。或者,也可以在饱和区域与亚阈值区域的境界附近工作。或者,例如,晶体管F1也可以将在如下区域中工作的情况混在一起:在线性区域中工作的情况、在饱和区域中工作的情况以及在亚阈值区域中工作的情况;在线性区域中工作的情况以及在饱和区域中工作的情况;在饱和区域中工作的情况以及在亚阈值区域中工作的情况;或者在线性区域中工作的情况以及在亚阈值区域中工作的情况。

[0185] 此外,在本说明书等中,在没有特别的说明的情况下,晶体管F2及晶体管F3在开启状态时有时最后在线性区域中工作。换言之,包括如下情况:对上述各晶体管的栅极电压、源极电压及漏极电压进行适当的偏压,使得这些晶体管在线性区域中工作。注意,本发明的一个方式不局限于此。例如,晶体管F2及晶体管F3也可以在开启状态时在饱和区域中工作或者在亚阈值区域中工作。或者,晶体管F2及晶体管F3也可以在饱和区域与亚阈值区域的境界附近工作。或者,晶体管F2及晶体管F3也可以将在如下区域中工作的情况混在一起:在线性区域中工作的情况以及在饱和区域中工作的情况;在饱和区域中工作的情况以及在亚阈值区域中工作的情况;在线性区域中工作的情况、在饱和区域中工作的情况以及在亚阈值区域中工作的情况;或者在线性区域中工作的情况以及在亚阈值区域中工作的情况。

[0186] 作为开关RSW例如可以使用模拟开关、晶体管等电开关。此外,作为开关SW例如也可以使用机械开关。

[0187] 注意,在本说明书等中,开关RSW在控制端子被供应高电平电位时处于开启状态且在控制端子被供应低电平电位时处于关闭状态。

[0188] 作为一个例子,存储装置MINT可以具有存储单元MCL配置为矩阵状的结构。例如,

存储装置MINT可以具有将存储单元MCL[1]至存储单元MCL[m]设为1列且将其排列为多个列的结构。注意,在图3的存储装置MINT中,配置有K列的存储单元MCL[1]至存储单元MCL[m],这里只示出第u列的存储单元MCL[1]至存储单元MCL[m]。

[0189] 存储装置MINT的第u列的存储单元MCL[1]至存储单元MCL[m]与布线DIL[u]电连接。也就是说,第u列的存储单元MCL[1]至存储单元MCL[m]与包括在电路ILD中的电路WCS1的开关SW[u]电连接。

[0190] 在存储单元MCL[1]中,晶体管F1的第一端子与布线VEA电连接,晶体管F1的第二端子与晶体管F3的第一端子电连接,晶体管F1的栅极与晶体管F2的第一端子及电容CI的第一端子电连接。此外,晶体管F2的第二端子与布线WBL[u]电连接,晶体管F2的栅极与布线WWL[1]电连接。此外,晶体管F3的第二端子与布线RBL[u]电连接,晶体管F3的栅极与布线RWL[1]电连接。此外,电容CI的第二端子与布线VEA电连接。

[0191] 在存储单元MCL[m]中,晶体管F1的第一端子与布线VEA电连接,晶体管F1的第二端子与晶体管F3的第一端子电连接,晶体管F1的栅极与晶体管F2的第一端子及电容CI的第一端子电连接。此外,晶体管F2的第二端子与布线WBL[u]电连接,晶体管F2的栅极与布线WWL[m]电连接。此外,晶体管F3的第二端子与布线RBL[u]电连接,晶体管F3的栅极与布线RWL[m]电连接。此外,电容CI的第二端子与布线VEA电连接。

[0192] 布线WWL[1]至布线WWL[m]与电路WWD电连接。此外,布线RWL[1]至布线RWL[m]与电路RWD电连接。

[0193] 此外,布线RBL[u]与开关RSW的第一端子及布线DIL[u]电连接。此外,开关RSW的第二端子与布线VDL2电连接。另外,开关RSW的控制端子与布线SL11电连接。

[0194] 布线WWL[1]至布线WWL[m]都被用作存储单元MCL[1]至存储单元MCL[m]中的写入字线。此外,电路WWD被用作选择进行写入的存储单元的驱动电路并具有向布线WWL[1]至布线WWL[m]中的任一个传送写入选择信号的功能。

[0195] 布线RWL[1]至布线RWL[m]都被用作存储单元MCL[1]至存储单元MCL[m]中的读出字线。此外,电路RWD被用作选择进行读出的存储单元的驱动电路并具有向布线RWL[1]至布线RWL[m]中的任一个传送读出选择信号的功能。

[0196] 布线WBL[u]被用作存储单元MCL[1]至存储单元MCL[m]中的写入数据线(有时称为写入位线)。注意,存储装置MINT由于保持从图1中的存储装置MEXT传送的信息,所以布线WBL[u]与存储装置MEXT电连接。也就是说,布线WBL[u]被用作将从存储装置MEXT读出的信息传送到存储装置MINT的布线。

[0197] 布线RBL[u]被用作存储单元MCL[1]至存储单元MCL[m]中的读出数据线(有时称为读出位线)。

[0198] 布线VDL2被用作在从存储装置MINT的存储单元MCL[1]至存储单元MCL[m]中的任一个读出所保持的数据之前将规定电位预充电至布线RBL[u]的布线。因此,布线VDL2优选为供应恒电压的布线。此外,该恒电压(预充电至布线RBL[u]的电压)例如可以为高电平电位。

[0199] 作为一个例子,布线VEA被用作晶体管F1的第一端子被供应源极电位的布线。因此,布线VEA优选被用作供应恒电压的布线。此外,该恒电压(预充电至布线RBL[u]的电压)例如可以为低电平电位。

[0200] 布线VEA通过被用作供应恒电压的布线可以使电容CI的第二端子的电位固定。由此,通过使电容CI的第一端子处于浮动状态,可以保持电容CI的第一端子-第二端子间的电压,例如可以保持晶体管F1的栅极-源极间的电压。注意,电容CI的第二端子也可以与供应恒电压的其他布电线连接而不与布线VEA电连接。

[0201] 布线SL11被用作用来传送切换开关RSW的开启状态、关闭状态的控制信号(数字值)的布线。

[0202] [对存储装置MINT的写入工作]

[0203] 在对存储单元MCL[1]写入从存储装置MEXT读出的信息时,首先对布线RWL[1]至布线RWL[m]的每一个输入低电平电位,使存储单元MCL[1]至存储单元MCL[m]的每一个的晶体管F3都处于关闭状态。接着,布线WWL[1]被输入高电平电位,布线WWL[2]至布线WWL[m]被输入低电平电位。由此,存储单元MCL[1]的晶体管F2成为开启状态,存储单元MCL[2]至存储单元MCL[m]的每一个的晶体管F2都成为关闭状态。这里,通过布线WBL[u]被输入对应从存储装置MEXT读出的信息的电位 $V_{DATA}$ ,存储单元MCL[1]的电容CI的第一端子的电位成为 $V_{DATA}$ 。然后,通过布线WWL[1]被输入低电平电位且使存储单元MCL[1]的晶体管F2处于关闭状态,可以在存储单元MCL[1]中保持 $V_{DATA}$ 作为从存储装置MEXT读出的信息。

[0204] [从存储装置MINT的读出工作]

[0205] 在从存储单元MCL[1]读出 $V_{DATA}$ 并将其输入到电路ILD时,首先布线SL11被供应高电平电位使开关RSW处于开启状态。由此,布线RBL[u]的电位成为被供应布线VDL2的高电平电位。这里,布线VDL2所供应的高电平电位为 $V_{PR}$ 。此外,通过在布线RBL[u]的电位达到 $V_{PR}$ 之后对布线SL11供应低电平电位使开关RSW处于关闭状态,对布线RBL[u]的预充电结束。注意,此时,由于布线DIL[u]的电位也成为高电平电位的 $V_{PR}$ ,所以在电路ILD中开关SW[u]成为关闭状态且在电流源CC[u]生成的电流不流过布线IL。

[0206] 接着,对布线RWL[1]输入高电平电位,对布线RWL[2]至布线RWL[m]输入低电平电位。由此,存储单元MCL[1]的晶体管F2成为开启状态,存储单元MCL[2]至存储单元MCL[m]的每一个的晶体管F2都成为关闭状态。此时,在存储单元MCL[1]中,由于在晶体管F1的第二端子与布线RBL[u]之间成为导通状态,所以晶体管F1的第二端子被供应电位 $V_{PR}$ 。此外,此时,晶体管F1的栅极-源极间的电压为 $V_{DATA}-V_S$ 且 $V_{DATA}-V_S$ 比晶体管F1的阈值电压 $V_{th}$ 高时,电流在晶体管F1的源极-漏极间流过。通过电流在晶体管F1的源极-漏极间流过,被预充电的布线RBL[u]的电位降低,晶体管F1的第二端子的电位降低至规定电位时,晶体管F1成为关闭状态。或者,由于在 $V_{DATA}-V_S$ 比晶体管F1的阈值电压 $V_{th}$ 低时,晶体管F1成为关闭状态,所以电流在晶体管F1的源极-漏极间不流过。因此,被预充电的布线RBL[u]的电位不变。

[0207] 如上所述,根据保持在电容CI的第一端子中的电压决定被预充电的布线RBL[u]的电位是否变动。因此,通过在对布线RWL[1]输入高电平电位且使晶体管F3处于开启状态之后测量布线RBL[u]的电位,可以读出保持在电容CI的第一端子中的电压。

[0208] 此外,由于布线RBL[u]与布线DIL[u]成为导通状态,所以布线RBL[u]的电位变化,布线DIL[u]的电位也变化。因此,由于对应从存储单元MCL[1]读出的信息的电位供应给电路WCS1的开关SW[u]的控制端子,所以决定开关SW[u]的开启关闭的状态。具体而言,在 $V_{DATA}-V_S$ 比晶体管F1的阈值电压 $V_{th}$ 高时,布线DIL[u]的电位比 $V_{PR}$ 低,所以开关SW[u]成为开启状态。另一方面,在 $V_{DATA}-V_S$ 比晶体管F1的阈值电压 $V_{th}$ 低时,布线DIL[u]的电位保持 $V_{PR}$ 而



没有变化,所以开关SW[u]仍处于关闭状态。

[0209] 通过作为存储装置MINT的结构及存储装置MINT与电路ILD的连接结构采用图3所示的结构,可以使保持在存储装置MINT的第u列的存储单元MCL[1]至存储单元MCL[m]的每一个中的信息对应于电路WCS1的开关SW[u]的开启关闭的状态。此外,图3的电路结构中不需要设置从存储装置读出数据的读出电路,所以可以实现电路面积的减少、功耗降低等。

[0210] 通过半导体装置SDV1采用图3所示的结构,可以从存储装置MINT读出数据且将该数据写入到运算部CLP的乘法单元。此外,通过每隔一定时间进行该工作,可以在运算部CLP的乘法单元中将因泄漏电流劣化的数据(减少的电荷量的绝对值)定期改写为原来的数据(原来的电荷量的绝对值)。也就是说,通过半导体装置SDV1采用图3所示的结构,可以容易对保持在运算部CLP的乘法单元的存储元件中的数据进行重新写入工作。

[0211] <<存储装置MINT及电路ILD的结构例子2>>

[0212] 根据本发明的一个方式的存储装置MINT及电路ILD的结构不局限于图3所示的电路结构。存储装置MINT及电路ILD的结构根据情况或状况可以改变所包括的电路元件、连接结构等。

[0213] 例如,图3所示的存储装置MINT及电路ILD的结构也可以改变为图4所示的电路结构。图4示出在图3中布线RBL[u]与布线DIL[u]的电路径之间设置电路BF的结构。

[0214] 电路BF例如可以采用包括缓冲器电路、反相器电路、锁存电路等放大电路的结构。具体而言,电路BF可以具有参照布线RBL[u]的电位向布线DIL[u]输出使该电位放大的电位的功能。

[0215] 如图4所示,通过设置电路BF,可以使输入到开关SW[u]的控制端子的电位稳定。

[0216] 通过半导体装置SDV1采用图4所示的结构,也可以容易对保持在运算部CLP的乘法单元的存储元件中的数据进行重新写入工作。

[0217] <<存储装置MINT及电路ILD的结构例子3>>

[0218] 图5是示出如图2B所示电路ILD与译码器DEC电连接时的存储装置MINT、上述电路ILD的一部分以及运算部CLP的电路结构例子。如图5所示,存储装置MINT通过布线DIL[1]至布线DIL[K]与译码器DEC电连接,电路ILD通过布线DEL[1]至布线DEL[L]与译码器DEC电连接。

[0219] 关于运算部CLP参照图3所示的运算部CLP的说明。

[0220] 注意,作为一个例子,图5具有与图3同样地包括被称为NOSRAM(注册商标)的存储电路的结构。注意,在图5的存储装置MINT中,具有与图3所示的存储单元MCL[1]至存储单元MCL[m]同样的存储单元配置为m行K列的矩阵状的结构。此外,在图5中,将该配置为矩阵状的存储单元记载为存储单元MCL[1,1]至存储单元MCL[m,K]。此外,图5的存储装置MINT包括相当于图3所示的开关RSW的开关RSW[1]至开关RSW[K]、电路WWD以及电路RWD。

[0221] 关于电路WWD及电路RWD,参照图3所示的电路WWD及电路RWD的说明。

[0222] 位于第1列的存储单元MCL[1,1]至存储单元MCL[m,1]与布线WBL[1]及布线RBL[1]电连接。此外,位于第K列的存储单元MCL[1,K]至存储单元MCL[m,K]与布线WBL[K]及布线RBL[K]电连接。此外,位于第1行的存储单元MCL[1,1]至存储单元MCL[1,K]与布线WWL[1]及布线RWL[1]电连接。另外,位于第m行的存储单元MCL[m,1]至存储单元MCL[m,K]与布线WWL[m]及布线RWL[m]电连接。

[0223] 布线RBL[1]与开关RSW[1]的第一端子及布线DIL[1]电连接。此外,开关RSW[1]的第二端子与布线VDL2电连接。另外,布线RBL[K]与开关RSW[m]的第一端子及布线DIL[K]电连接。此外,开关RSW[K]的第二端子与布线VDL2电连接。另外,开关RSW[1]至开关RSW[K]的每一个的控制端子与布线SL11电连接。

[0224] 在图5的存储装置MINT中,通过与图3所示的存储装置MINT同样地进行数据的读出工作,可以将第1行至第m行中的任一行的多个存储单元MCL读出的信息输入到译码器DEC。

[0225] 例如,在图5的存储装置MINT的读出工作中选择位于第1行的存储单元MCL[1,1]至存储单元MCL[1,K]时,从存储单元MCL[1,1]至存储单元MCL[1,K]读出的每一个的信息通过布线DIL[1]至布线DIL[K]输入到译码器DEC。此时,对译码器DEC从布线DIL[1]至布线DIL[K]传送K位的数据。将译码器DEC从布线DIL[1]至布线DIL[K]传送的2进制的数据转换为10进制的数据且将其输出到布线DEL[1]至布线DEL[2<sup>K</sup>-1]。由此,对包括在电路ILD中的电路WCS2的开关SW[1]至开关SW[2<sup>K</sup>-1]的每一个的控制端子从译码器DEC输入10进制的数据,根据该数据决定开关SW[1]至开关SW[2<sup>K</sup>-1]中成为开启状态的开关的数量。也就是说,根据写入到位于存储装置MINT的某一行的多个存储单元MCL的信息决定开关SW[1]至开关SW[2<sup>K</sup>-1]中成为开启状态的开关的数量,对应成为开启状态的开关的数量的电流从电路WCS2流过布线IL。

[0226] 通过半导体装置SDV1采用图5所示的结构,与图3同样地,可以从存储装置MINT读出数据且将该数据写入到运算部CLP的乘法单元。此外,通过每隔一定时间进行该工作,可以在运算部CLP的乘法单元中将因泄漏电流劣化的数据(减少的电荷量的绝对值)定期改写为原来的数据(原来的电荷量的绝对值)。也就是说,通过半导体装置SDV1采用图5所示的结构,也可以容易对保持在运算部CLP的乘法单元的存储元件中的数据进行重新写入工作。

[0227] 包括在图3至图5所示的存储装置MINT中的存储单元MCL采用包括三个晶体管及一个电容元件的结构,但本发明的一个方式不局限于此。本发明的一个方式例如也可以采用包括在存储装置MINT中的存储单元MCL包括两个晶体管及一个电容元件的结构。图6示出此时的结构例子。图6所示的存储装置MINT的存储单元MCL与图3至图5所示的存储装置MINT的存储单元MCL的不同之处在于不包括晶体管F3以及电容CI的第二端子与布线RWL电连接。

[0228] 在图6所示的存储单元MCL[1]至存储单元MCL[m]中,晶体管F1的第二端子与布线RBL[u]电连接。此外,图6的存储单元MCL[1]的电容CI的第二端子与布线RWL[1]电连接,图6的存储单元MCL[m]的电容CI的第二端子与布线RWL[m]电连接。

[0229] 在对存储单元MCL[1]至存储单元MCL[m]的每一个的电容CI的第一端子写入从存储装置MEXT读出的信息时,优选布线RWL[1]至布线RWL[m]被输入高电平电位。此外,在存储单元MCL[1]至存储单元MCL[m]的电容CI的第一端子中保持信息的期间优选布线RWL[1]至布线RWL[m]被输入低电平电位。尤其是此时通过布线RWL[1]至布线RWL[m]被输入低电平电位,优选晶体管F1成为关闭状态。此外,在从存储单元MCL[1]至存储单元MCL[m]中的任一个读出写入到电容CI的第一端子的信息时,优选布线RWL[1]至布线RWL[m]被输入高电平电位。尤其是此时通过布线RWL[1]至布线RWL[m]被输入高电平电位,优选晶体管F1成为开启状态。

[0230] 本发明的一个方式例如也可以采用在图3至图6的存储装置MINT中将布线WBL[u]

及布线RBL[u]作为公共布线组合为一个布线的结构。图7示出在图3的存储装置MINT中将布线WBL[u]及布线RBL[u]作为布线RBL[u]组合为一个布线的结构。此外,由于图7的存储装置MINT的布线RBL[u]除了读出数据线以外还被用作写入数据线,所以存储装置MINT除了开关RSW以外还包括用来切换写入工作及读出工作的开关WSW及开关RSW2。

[0231] 在图7的存储装置MINT中,开关WSW设置在布线WBL[u]与布线RBL[u]之间的电路径,开关RSW2设置在布线RBL[u]与布线DIL[u]之间的电路径。

[0232] 作为开关WSW及开关RSW2例如可以使用能够用于上述开关RSW的开关。

[0233] 在对图7的存储装置MINT的存储单元MCL[1]至存储单元MCL[m]的每一个的电容CI的第一端子写入从存储装置MEXT读出的信息时,使开关WSW处于开启状态且使开关RSW及开关RSW2都处于关闭状态。关于之后的存储单元MCL[1]至存储单元MCL[m]的工作参照图3的存储装置MINT的写入工作的说明。此外,在从图7的存储装置MINT的存储单元MCL[1]至存储单元MCL[m]中的任一个读出写入到电容CI的第一端子的信息时,首先使开关WSW处于关闭状态。关于之后的存储单元MCL[1]至存储单元MCL[m]的工作参照图3的存储装置MINT的读出工作的说明。

[0234] <<存储装置MINT及电路ILD的结构例子4>>

[0235] 图3至图7所示的存储装置MINT采用包括NOSRAM(注册商标)的电路结构,但根据本发明的一个方式的半导体装置的存储装置MINT不局限于此。存储装置MINT例如也可以采用包括DRAM(Dynamic Random Access Memory:动态随机存取存储器)的电路结构。

[0236] 图8是示出存储装置MINT及上述电路ILD的一部分的电路结构例子,存储装置MINT包括存储单元MCL[1]至存储单元MCL[m]、电路SA以及电路WRD。此外,包括在存储装置MINT中的存储单元MCL[1]至存储单元MCL[m]都具有包括晶体管F4及电容CI2的DRAM的结构。

[0237] 作为晶体管F4例如可以使用能够用于图3至图7所示的晶体管F2的晶体管。因此,关于晶体管F4的结构等参照本说明书等的晶体管F2的说明。

[0238] 尤其是,在作为晶体管F4使用OS晶体管时,图8的存储装置MINT被称为DOSRAM(Dynamic Oxide Semiconductor Random Access Memory:动态氧化物半导体随机存取存储器)(注册商标)。

[0239] 作为一个例子,存储装置MINT可以具有存储单元MCL配置为矩阵状的结构。例如,存储装置MINT可以具有将存储单元MCL[1]至存储单元MCL[m]设为1列且将其排列为多个列的结构。注意,在图8的存储装置MINT中,配置有K列的存储单元MCL[1]至存储单元MCL[m],这里只示出第u列的存储单元MCL[1]至存储单元MCL[m]。

[0240] 存储装置MINT的第u列的存储单元MCL[1]至存储单元MCL[m]与布线RBL[u]电连接。此外,电路SA与布线WBL[u]、布线RBL[u]及布线DIL[u]电连接。

[0241] 在存储单元MCL[1]至存储单元MCL[m]的每一个中,晶体管F4的第一端子与电容CI2的第一端子电连接,电容CI2的第二端子与布线VEA电连接。晶体管F4的第二端子与布线RBL[u]电连接。

[0242] 在存储单元MCL[1]中,晶体管F4的栅极与布线WRL[1]电连接。此外,在存储单元MCL[m]中,晶体管F4的栅极与布线WRL[m]电连接。

[0243] 布线WRL[1]至布线WRL[m]与电路WRD电连接。

[0244] 布线WRL[1]至布线WRL[m]都被用作在存储单元MCL[1]至存储单元MCL[m]中进行

写入工作及读出工作的字线。此外,电路WRD为选择进行写入或读出的存储单元的驱动电路,并具有对布线WRL[1]至布线WRL[m]中的任一个传送写入或读出选择信号的功能。

[0245] 布线RBL[u]被用作在存储单元MCL[1]至存储单元MCL[m]中进行写入工作及读出工作的数据线。

[0246] 布线VEA与图3至图7所示的布线VEA同样地被用作供应恒电压的布线。该恒电压例如可以为低电平电位、接地电位等。

[0247] 电路SA例如具有使传送到布线WBL[u]的从存储装置MEXT读出的信息(电压、电流等)放大且将其供应给布线RBL[u]的功能。此外,电路SA例如具有使传送到布线RBL[u]的从存储单元MCL[1]至存储单元MCL[m]中的任一个读出的信息放大且将其传送到布线DIL[u]的功能。因此,包括在图8的存储装置MINT中的电路SA可以具有切换写入工作及读出工作的电路、放大电路(例如,读出放大器等)等的结构。因此,有时电路SA被称为读出电路。另外,电路SA也可以具有对数据的读出破坏发生的存储单元MCL[1]至存储单元MCL[m]中的任一个写回数据的功能。

[0248] 注意,如图8那样,在存储装置MINT中设置DRAM(或DOSRAM(注册商标))的存储电路的结构中,通过增大包括在存储单元MCL中的电容C1的电容值,可以增大读出时的从存储单元MCL到布线RBL[u]的读出信号(电压)。作为增大电容C1的电容值的方法,例如电容C1使用沟槽型电容。

[0249] 注意,本发明的一个方式不局限于图8所示的电路结构。本发明的一个方式根据情况或状况也可以改变图8的电路结构。例如,在图8所示的存储装置MINT中,可以组合包括图3至图7所示的NOSRAM(注册商标)的存储电路的存储装置MINT的结构。

[0250] 例如,本发明的一个方式与图5同样地也可以具有对图8的电路结构加上译码器DEC的结构。作为具体例子,图9示出存储装置MINT通过布线DIL[1]至布线DIL[K]与译码器DEC电连接且电路ILD通过布线DEL[1]至布线DEL[L]与译码器DEC电连接的结构。

[0251] 图9的存储装置MINT具有与图8所示的存储单元MCL[1]至存储单元MCL[m]同样的存储单元配置为m行K列的矩阵状的结构。此外,在图9中将该配置为矩阵状的存储单元记载为存储单元MCL[1,1]至存储单元MCL[m,K]。此外,图9的存储装置MINT包括相当于图8所示的电路SA的电路SA[1]至电路SA[K]。

[0252] 位于第1列的存储单元MCL[1,1]至存储单元MCL[m,1]与布线RBL[1]电连接。此外,位于第K列的存储单元MCL[1,K]至存储单元MCL[m,K]与布线RBL[K]电连接。此外,位于第1行的存储单元MCL[1,1]至存储单元MCL[1,K]与布线WRL[1]电连接。另外,位于第m行的存储单元MCL[m,1]至存储单元MCL[m,K]与布线WRL[m]电连接。

[0253] 电路SA[1]与布线WBL[1]、布线RBL[1]及布线DIL[1]电连接。此外,电路SA[K]与布线WBL[K]、布线RBL[K]及布线DIL[K]电连接。

[0254] 注意,关于译码器DEC与电路ILD的电连接参照图2B的说明。

[0255] 在图9的存储装置MINT中,通过与图8所示的存储装置MINT同样地进行数据的读出工作,可以将第1行至第m行中的任一行的多个存储单元MCL读出的信息输入到译码器DEC。

[0256] 通过半导体装置SDV1采用图9所示的结构,与图3同样地,可以从存储装置MINT读出数据且将该数据写入到运算部CLP的乘法单元。此外,通过每隔一定时间进行该工作,可

以在运算部CLP的乘法单元中将因泄漏电流劣化的数据(减少的电荷量的绝对值)定期改写为原来的数据(原来的电荷量的绝对值)。也就是说,通过半导体装置SDV1采用图9所示的结构,也可以容易对保持在运算部CLP的乘法单元的存储元件中的数据进行重新写入工作。

[0257] <<存储装置MINT及电路ILD的结构例子5>>

[0258] 图3至图7所示的存储装置MINT为包括NOSRAM(注册商标)的电路结构,图8及图9所示的存储装置MINT为包括DRAM(或DOSRAM(注册商标))的电路结构,根据本发明的一个方式的半导体装置的存储装置MINT不局限于此。存储装置MINT例如也可以具有包括负载电路LC的电路结构。

[0259] 图10A是示出存储装置MINT及上述电路ILD的一部分的电路结构例子,存储装置MINT包括存储单元MCL[1]至存储单元MCL[m]、电路IVC、开关WSW、开关RSW2以及电路WRD。此外,包括在存储装置MINT中的存储单元MCL[1]至存储单元MCL[m]都具有晶体管F4及负载电路LC。

[0260] 作为晶体管F4例如可以使用能够用于图3至图7所示的晶体管F2的晶体管。因此,关于晶体管F4的结构等参照本说明书等的晶体管F2的说明。

[0261] 此外,关于开关WSW及开关RSW2参照图7所示的开关WSW及开关RSW2的说明。

[0262] 关于电路WRD参照图8所示的电路WRD的说明。

[0263] 作为一个例子,负载电路LC是可以使第一端子与第二端子之间的电阻值变化的电路。通过使负载电路LC的第一端子与第二端子之间的电阻值变化,可以使在负载电路LC的第一端子与第二端子之间流过的电流变化。

[0264] 在图10A中包括在存储装置MINT中的存储单元MCL[1]至存储单元MCL[m]的每一个的结构为在图8及图9所示的存储单元MCL中用负载电路代替电容CI2的结构。具体而言,负载电路LC的第一端子与晶体管F4的第一端子电连接,负载电路LC的第二端子与布线VEA电连接。

[0265] 作为一个例子,存储装置MINT可以具有存储单元MCL配置为矩阵状的结构。例如,存储装置MINT可以具有将存储单元MCL[1]至存储单元MCL[m]设为1列且将其排列为多个列的结构。注意,在图10A的存储装置MINT中,配置有K列的存储单元MCL[1]至存储单元MCL[m],这里只示出第u列的存储单元MCL[1]至存储单元MCL[m]。

[0266] 在图10A的存储装置MINT中,开关WSW设置在布线WBL[u]与布线RBL[u]之间的电路路径,开关RSW2设置在布线RBL[u]与电路IVC的输入端子之间的电路路径。此外,电路IVC的输出端子与布线DIL[u]电连接。

[0267] 存储装置MINT的第u列的存储单元MCL[1]至存储单元MCL[m]与布线RBL[u]电连接。此外,电路IVC通过开关RSW2与布线RBL[u]电连接。此外,电路IVC与布线DIL[u]电连接。

[0268] 布线VEA与图3至图7所示的布线VEA同样地被用作供应恒电压的布线。该恒电压的大小例如根据负载电路LC的结构适当地决定即可。

[0269] 电路IVC例如具有将对应流过布线RBL[u]等的从存储单元MCL[1]至存储单元MCL[m]中的任一个读出的信息的电流转换为电压且将该电压供应给布线DIL[u]的功能。此外,电路IVC也可以具有为了从存储单元MCL[1]至存储单元MCL[m]中的任一个读出信息对布线RBL[u]供应规定电压的功能。如上所述,包括在图10A的存储装置MINT中的电路IVC被用作读出电路。

[0270] 在对包括在图10A的存储装置MINT中的存储单元MCL[1]至存储单元MCL[m]写入从存储装置MEXT读出的信息时,使写入的存储单元MCL的晶体管F4及开关WSW处于开启状态,且使开关RSW处于关闭状态。然后,将从存储装置MEXT读出的信息通过布线WBL[u]、开关WSW及布线RBL[u]输入到写入的存储单元MCL的负载电路LC即可。此外,在读出从图10A的存储装置MINT的存储单元MCL[1]至存储单元MCL[m]中的任一个写入到负载电路LC的信息时,首先使开关WSW处于关闭状态,使开关RSW2处于开启状态。接着,根据需要,通过电路IVC对布线RBL[u]供应所希望的电位。然后,通过使进行读出的存储单元MCL的晶体管F4处于开启状态,对应该信息的量的电流从负载电路LC流过电路IVC(根据保持在负载电路LC中的信息有时电流不流过)。并且,电路IVC可以将对应该电流的量的电压输出到布线DIL[u]且使包括在电路ILD的电路WCS1中的开关SW[u]处于开启状态或关闭状态。

[0271] 例如,如图10B所示,作为负载电路LC,可以使用包括在ReRAM(Resistive Random Access Memory:电阻式存储器)等中的可变电阻元件VR。此外,例如,如图10C所示,作为负载电路LC,可以为具有包括在MRAM(Magnetoresistive Random Access Memory:磁阻随机存取存储器)等中的MTJ(Magnetic Tunnel Junction:磁隧道结)元件MR的负载电路LC。此外,例如,如图10D所示,作为负载电路LC,可以使用用于相变存储器(PCM)等的包括相变材料的电阻元件(在本说明书等中,为了方便起见,称为相变存储器PCM)。

[0272] 例如,如图10E所示,作为负载电路LC,可以使用用于FeRAM(Ferroelectric Random Access Memory:铁电随机存取存储器)等的夹在一对电极间的铁电电容器FEC。在图10E中,铁电电容器FEC的第一端子与晶体管F4的第一端子电连接,铁电电容器FEC的第二端子与布线VEA电连接。

[0273] 注意,此时,布线VEA被用作使铁电容器的铁电膜极化或使铁电膜的极化反转的板线而不被用作供应恒电压的布线。

[0274] 例如,信息从存储装置MEXT写入到铁电电容器FEC的工作以如下方式进行:使晶体管F4处于开启状态,对布线RBL供应对应该信息的电压且对布线VEA供应规定电压,使包括在铁电电容器FEC中的铁电膜极化。此外,从铁电电容器FEC写入的信息的读出工作以如下方式进行:在使晶体管F4处于开启状态之后,对布线VEA供应脉冲电压。注意,供应给布线VEA的脉冲电压的高低也可以与写入时对布线VEA供应的电压相等。铁电电容器FEC由于来自布线VEA的脉冲电压是否发生极化反转来判定所保持的信息是“0”还是“1”。铁电电容器FEC当在铁电膜中发生极化反转时电流通过晶体管F4流过布线RBL。流过布线RBL的电流的量例如可以通过使用包括积分电路(或者电流电荷(IQ)转换电路)、具有电流电压转换电路的结构电路IVC取得。此外,根据该电流量决定包括在电路ILD的电路WCS1中的开关SW[u]的开启状态或关闭状态。其结果是,根据包括在电路WCS1中的开关SW[1]至开关SW[K]的每一个的开启关闭的状态决定流过布线IL的电流量。

[0275] 注意,图10所示的存储装置MINT具有存储单元MCL包括负载电路LC的结构,但是本发明的一个方式不局限于此。本发明的一个方式例如也可以包括在存储装置MINT中的存储单元MCL包括SRAM(Static Random Access Memory:静态随机存取存储器)的结构。

[0276] 例如,此时的存储装置MINT具有图11所示的结构。注意,作为一个例子,图11的存储装置MINT可以具有存储单元MCL配置为矩阵状的结构。例如,存储装置MINT可以具有将存储单元MCL[1]至存储单元MCL[m]设为1列且将其排列为多个列的结构。注意,在图11的存储

装置MINT中,配置有K列的存储单元MCL[1]至存储单元MCL[m],这里只示出第u列的存储单元MCL[1]至存储单元MCL[m]。

[0277] 在图11的存储装置MINT中,存储单元MCL[1]至存储单元MCL[m]都包括晶体管F4、反相器电路INV1以及反相器电路INV2。此外,晶体管F4的第一端子与反相器电路INV1的输出端子及反相器电路INV2的输入端子电连接,反相器电路INV1的输入端子与反相器电路INV2的输出端子电连接。也就是说,在存储单元MCL[1]至存储单元MCL[m]的每一个中,反相器电路INV1及反相器电路INV2构成反相器环形电路。

[0278] 存储单元MCL[1]的晶体管F4的栅极与布线WRL[1]电连接,存储单元MCL[m]的晶体管F4的栅极与布线WRL[m]电连接。此外,存储单元MCL[1]至存储单元MCL[m]的晶体管F4的第二端子与布线RBL[u]电连接。

[0279] 此外,关于包括在图11的存储装置MINT中的电路WRD及布线WRL[1]至布线WRL[m],参照图10的存储装置MINT的记载。

[0280] 图11的存储装置MINT包括开关WSW、开关RSW以及开关RSW2。注意,关于图11所示的开关WSW、开关RSW、开关RSW2、布线WBL[u]、布线VDL2、布线RBL[u]及布线DIL[u]的功能及连接结构,参照图7的存储装置MINT的记载。

[0281] 在对包括在图11的存储装置MINT中的存储单元MCL[1]至存储单元MCL[m]写入从存储装置MEXT读出的信息时,使写入的存储单元MCL的晶体管F4及开关WSW处于开启状态,使开关RSW及开关RSW2处于关闭状态。然后,将从存储装置MEXT读出的信息通过布线WBL[u]、开关WSW及布线RBL[u]输入到写入的存储单元MCL的反相器环形电路即可。此外,在读出从图11的存储装置MINT的存储单元MCL[1]至存储单元MCL[m]中的任一个写入到反相器环形电路的信息时,首先使开关WSW及开关RSW2处于关闭状态,且使开关RSW处于开启状态,对布线RBL[u]供应布线VDL2的电位(例如,高电平电位)来初始化。然后,使进行读出的存储单元MCL[1]至存储单元MCL[m]中的任一个的晶体管F4处于开启状态,使开关RSW2处于开启状态。由此,可以从进行读出的存储单元MCL通过布线RBL[u]、开关RSW2及布线DIL对电路ILD输入所读出的信息。由于根据该信息决定布线DIL的电位,所以决定包括在电路ILD的电路WCS1中的开关SW[u]的开启状态或关闭状态。其结果是,根据包括在电路WCS1中的开关SW[1]至开关SW[K]的每一个的开启关闭的状态决定流过布线IL的电流。

[0282] 作为能够用于存储装置MINT的存储装置,除了上述以外例如还可以举出快闪存储器等。

[0283] 通过半导体装置SDV1可以采用图10、图11等所示的结构,与图3同样地,可以从存储装置MINT读出数据且将该数据写入到运算部CLP的乘法单元。此外,通过每隔一定时间进行该工作,可以在运算部CLP的乘法单元中将因泄漏电流劣化的数据(减少的电荷量的绝对值)定期改写为原来的数据(原来的电荷量的绝对值)。也就是说,通过半导体装置SDV1采用图10、图11等所示的结构,也可以容易对保持在运算部CLP的乘法单元的存储元件中的数据重新写入工作。

[0284] <<存储装置MINT及电路ILD的结构例子6>>

[0285] 这里,说明与图3至图10所示的存储装置MINT、电路ILD及运算部CLP的电连接结构不同的能够用于半导体装置SDV1的存储装置MINT、电路ILD及运算部CLP的电连接结构。

[0286] 图12是示出图3的存储装置MINT以及存储装置MINT、电路ILD及运算部CLP的电连

接结构的变形例子。图12所示的连接结构与图3的连接结构的不同之处在于存储装置MINT不包括电路RWD。此外,与存储装置MINT的存储单元MCL[1]至存储单元MCL[m]的每一个电连接的布线RWL[1]至布线RWL[m]分别与运算部CLP的布线WL[1]至布线WL[m]电连接。

[0287] 具体而言,布线WL[1]至布线WL[m]被用作对运算部CLP的乘法单元(图12中记载为电路MP[1]至电路MP[m])写入信息的写入数据线。注意,将在实施方式2中说明布线WL[1]至布线WL[m]。此外,布线WL[1]至布线WL[m]都与电路WLD电连接。电路WLD被用作运算部CLP中传送选择写入信息的乘法单元(电路MP)的选择信号的驱动电路。

[0288] 也就是说,图12的连接结构为共同使用被用作存储装置MINT的读出字线的布线RWL[1]至布线RWL[m]及被用作运算部CLP的写入数据线的布线WL[1]至布线WL[m]的结构。通过运算部CLP的电路WLD将选择信号传送到布线RWL[1](布线WL[1])至布线RWL[m](布线WL[m])中的任一个,可以从存储装置MINT的规定的存储单元MCL读出信息。

[0289] 此外,由于将存储装置MINT的读出字线(布线RWL)及运算部CLP的写入数据线(布线WL)组合为一个布线,所以在从存储装置MINT中的规定的存储单元MCL读出信息时,位于与该存储单元MCL相同的行的运算部CLP的乘法单元(电路MP)也被输入选择信号。也就是说,在从存储装置MINT中的规定的存储单元MCL读出信息时,包括在乘法单元(电路MP)中的写入晶体管也成为开启状态。

[0290] 例如,在从位于存储装置MINT的第1行的K个存储单元MCL[1]读出信息时,选择信号从电路WLD传送到布线RWL[1](布线WL[1])。此时,读出对应保持在位于第1行的K个存储单元MCL[1]的每一个中的信息的信息的电位,且这些电位输入到电路ILD的电路WCS1。电路WCS1根据每个电位决定开关SW[1]至开关SW[K]的每一个的开启关闭的状态。也就是说,从电路WCS1流过布线IL的电流流量根据开关SW[1]至开关SW[K]的开启关闭的状态的组合决定。再者,在运算部CLP中,由于对布线WL[1](布线RWL[1])传送选择信号,所以包括在位于第1行的乘法单元(电路MP)中的写入晶体管成为开启状态。因此,电路ILD输出的该电流流量的电流通过布线IL流过位于第1行的乘法单元(电路MP)。由此,可以将保持在存储装置MINT的存储单元MCL中的信息写入到运算部CLP的乘法单元(电路MP)。

[0291] 通过半导体装置SDV1采用图12的结构,可以实现存储装置MINT不包括读出时的驱动电路的电路RWD的结构,因此可以降低存储装置MINT的面积。

[0292] 根据本发明的一个方式的存储装置MINT、电路ILD及运算部CLP的连接结构不局限于图12所示的电路结构。存储装置MINT、电路ILD及运算部CLP的连接结构根据情况或状况也可以改变所包括的电路元件、连接结构等。

[0293] 例如,如图13所示,作为存储装置MINT、电路ILD及运算部CLP的连接结构也可以在图12的存储装置MINT与电路ILD之间设置图4所说明的电路BF。

[0294] 在图13的存储装置MINT、电路ILD及运算部CLP的连接结构中在布线RBL[u]与布线DIL[u]的电路径之间设置电路BF。此外,例如与图4的说明同样地,电路BF可以具有包括缓冲器电路、反相器电路、锁存电路等放大电路的结构。

[0295] 尤其是,通过电路BF具有暂时保持布线RBL[u]的电位的锁存电路的结构,有时可以提高对运算部CLP的乘法单元(电路MP)写入信息的速度。此时,例如,如图14A的存储装置MINT、电路ILD及运算部CLP的连接结构所示,在运算部CLP中设置布线WL[0],布线WL[0]与布线RWL[1]电连接,布线WL[1]与布线RWL[2]电连接即可。也就是说,存储装置MINT的布线



RWL[i] (这里i为1以上且m以下) 与运算部CLP的布线WL[i-1]电连接即可。注意,在运算部CLP中,布线WL[0]也可以不设置乘法单元(电路MP)。

[0296] 作为一个例子,电路BF可以具有图14B所示的结构。电路BF包括锁存电路LAT1、锁存电路LAT2及反相器电路INV。锁存电路LAT1的输入端子与布线RBL[u]电连接,锁存电路LAT1的输出端子与锁存电路LAT2的输入端子电连接,锁存电路LAT2的输出端子与布线DIL[u]电连接。此外,锁存电路LAT1的使能信号输入端子(有时被称为时钟信号输入端子)与布线CLK电连接,反相器电路INV的输入端子与布线CLK电连接,反相器电路INV的输出端子与锁存电路LAT2的使能信号输入端子电连接。

[0297] 说明图14A的存储装置MINT、电路ILD及运算部CLP的连接结构的工作例子。首先,选择信号从电路WLD传送到布线WL[0],读出保持在位于存储装置MINT的第1行的存储单元MCL[1]中的信息。所读出的信息作为电位通过布线RBL[u]输入到电路BF的输入端子。此时,在电路BF中,通过对布线CLK输入第一电位(例如,高电平电位和低电平电位中的一个),锁存电路LAT1保持从布线RBL[u]输入的电位,且将其输出到锁存电路LAT1的输出端子。再者,这里通过对布线CLK输入第二电位(例如,高电平电位和低电平电位中的另一个),锁存电路LAT2保持来自锁存电路LAT1的输出端子的电位,且将其输出到锁存电路LAT2的输出端子。此外,在布线CLK被输入第二电位(例如,高电平电位和低电平电位中的另一个)的时序选择信号从电路WLD传送到布线WL[1],读出保持在位于存储装置MINT的第1行的存储单元MCL[1]中的信息。由此,读出的信息作为电位通过布线RBL[u]输入到电路BF的输入端子。另一方面,在运算部CLP中,由于对布线WL[1]传送选择信号,所以第1行的乘法单元(电路MP)的写入晶体管成为开启状态。此时,由于电路BF的锁存电路LAT2的输出端子输出对应从存储装置MINT的存储单元MCL[1]读出的信息的电位,所以电路ILD将对应该电位的电流流过布线IL。并且,该电流从布线IL流过乘法单元(电路MP),对乘法单元(电路MP)写入该信息。

[0298] 通过半导体装置SDV1采用图14A的存储装置MINT、电路ILD及运算部CLP的连接结构,在保持在运算部CLP的乘法单元的存储元件中的数据进行重新写入工作时,可以提高保持在存储装置MINT中的信息写入到运算部CLP的乘法单元的速度。

[0299] 注意,在上述工作例子中,说明电路BF具有串联连接锁存电路LAT1及锁存电路LAT2的结构,但电路BF也可以具有并联连接两个锁存电路而不是串联连接的结构(未图示)。例如,一个锁存电路取得从存储装置MINT传送的信息(电压),另一个锁存电路将预先取得的信息(电压)传送到电路ILD即可。

[0300] 注意,半导体装置SDV1的结构也可以为选自上述图3至图9、图10A、图11至图13、图14A等的结构而组合它们的结构。

[0301] <半导体装置的结构例子2>

[0302] 接着,说明与图1的半导体装置SDV1不同的能够补充保持在运算电路中的数据的半导体装置。

[0303] 图15是示出本发明的一个方式的半导体装置SDV2的结构例子的方框图。作为一个例子,半导体装置SDV2包括电路ILD、运算部CLP及电路LMNT。此外,在图15中为了示出半导体装置SDV2的电连接结构也示出存储装置MEXT。

[0304] 例如,与半导体装置SDV1同样地,半导体装置SDV2可以通过在一个衬底BSE上形成电路元件等来制造。

[0305] 例如,通过衬底BSE为含硅的半导体衬底,可以在衬底BSE上形成包括在运算部CLP中的晶体管、包括在电路ILD中的晶体管及包括在电路LMNT中的晶体管作为Si晶体管。

[0306] 作为一个例子,包括在半导体装置SDV2中的电路ILD取得由设置在半导体装置SDV2的外部中的存储装置MEXT读出的信息,将对应该信息的电流、电压等供应给后述的运算部CLP。该信息被用作由运算部CLP进行运算的数据。

[0307] 由于半导体装置SDV2具有不包括存储装置MINT的结构,所以半导体装置SDV2与半导体装置SDV1不同,具有将由存储装置MEXT读出的信息直接输入到电路ILD的结构。因此,在电路ILD被用作电流源电路时,电路ILD将对应从存储装置MEXT读出的信息的电流直接供应给包括在运算部CLP中的电路。注意,电路ILD也可以不是作为对运算部CLP供应电流的电流源电路设置而是例如作为将对应从存储装置MEXT读出的信息的电压输入到运算部CLP的电压源电路(电压生成电路)设置的。

[0308] 注意,在电路ILD被用作电流源电路时,关于电路ILD的具体结构,参照图2A至图2C的电路ILD的说明。

[0309] 运算部CLP包括被用作乘法单元的多个电路。注意,关于运算部CLP,参照包括在图1A的半导体装置SDV1中的运算部CLP的说明。此外,将在实施方式2中详细说明运算部CLP的电路结构及运算部CLP的积和运算的原理。

[0310] 电路LMNT具有监视保持在包括在运算部CLP中的乘法单元(或者包括在电路LMNT中的存储元件)中的信息(例如,电流、电压等)的功能。具体而言,例如在保持在该乘法单元中的信息(例如,电流、电压等)因电荷泄漏等变动时,电路LMNT对存储装置MEXT等传送指令信号。存储装置MEXT通过接收该指令信号从存储装置MEXT读出该信息,将该信息传送到电路ILD,从电路ILD对该乘法单元进行该信息的重新写入(对于存储元件的电荷补充)。此外,此时包括在电路LMNT中的存储元件也同样地改写为原来的信息。由此,可以防止保持在运算部CLP的乘法单元中的数据的劣化。

[0311] <<电路LMNT及电路ILD的结构例子1>>

[0312] 接着,说明包括在图15的半导体装置SDV2中的电路LMNT的结构例子。

[0313] 图16所示的电路LMNT包括电路LMC[i] (i为1以上且与布线IL的个数相等的值以下的整数)。此外,电路LMC[i]包括存储单元DC及开关DSW1。另外,存储单元DC包括晶体管M1d、晶体管M2d及电容C1d。注意,在图16中除了电路LMNT以外还示出包括电路ILD及运算部CLP的半导体装置SDV2、存储装置MEXT以及电路EXMNT。

[0314] 在电路LMNT中,有时设置多个电路LMC[i]。具体而言,电路LMNT可以具有与电连接于电路ILD的布线IL的个数相等的电路LMC[i]配置为1行的结构。例如,在布线IL的个数为 $2m$ 时,电路LMNT可以具有在1行上配置电路LMC[1]至电路LMC[ $2m$ ]的结构。

[0315] 开关DSW1例如可以使用能够用于上述开关RSW的开关。

[0316] 存储装置MEXT与电路ILD电连接。此外,电路ILD与布线IL电连接。此外,电路EXMNT与存储装置MEXT电连接。

[0317] 布线IL与开关DSW1的第一端子电连接,开关DSW1的第二端子与布线DLd电连接。此外,布线DLd与电路EXMNT及存储单元DC电连接。

[0318] 在存储单元DC中,晶体管M1d的第一端子与布线VEd电连接,晶体管M1d的第二端子与布线DLd电连接,晶体管M1d的栅极与电容C1d的第一端子及晶体管M2d的第一端子电连

接。晶体管M2d的第二端子与布线DLd电连接,晶体管M2d的栅极与布线WLd电连接。此外,电容C1d的第二端子与布线VEd电连接。另外,在图16中,将晶体管M1d的栅极、电容C1d的第一端子及晶体管M2d的第一端子的电连接点记为节点n1d。

[0319] 作为一个例子,布线DLd被用作传送写入到存储单元DC的电容C1d的第一端子的数据的布线。此外,作为一个例子,布线DLd被用作对应存储单元DC的电容C1d的第一端子的电位的电流流过的布线。

[0320] 作为一个例子,布线WLd被用作存储单元DC中的写入字线。

[0321] 作为一个例子,布线VEd被用作供应恒电压的布线。该恒电压例如可以为低电平电位、接地电位等。

[0322] 晶体管M1d例如优选具有与包括在运算部CLP的乘法单元(电路MC)中的实施方式2所说明的晶体管M1同样的结构。此外,晶体管M2d例如优选具有与包括在运算部CLP的乘法单元(电路MC)中的实施方式2所说明的晶体管M2同样的结构。例如,在晶体管M1为Si晶体管且晶体管M2为OS晶体管时,晶体管M1d优选为Si晶体管,且晶体管M2d优选为OS晶体管。此外,电容C1d优选具有与包括在运算部CLP的乘法单元(电路MC)中的实施方式2所说明的电容C1同样的结构。

[0323] 例如,晶体管M1d可以使用能够用于晶体管F1的晶体管。此外,例如,晶体管M2d可以使用能够用于晶体管F2的晶体管。

[0324] 作为一个例子,电路EXMNT设置在半导体装置SDV2的外部。此外,作为一个例子,电路EXMNT具有监视保持在包括在电路LMC[i]中的存储单元DC的电容C1d的第一端子中的电位(或者电荷量)的功能。具体而言,例如,电路EXMNT取得从布线DLd输入的电流且比较该电流和所希望的电流。在该电流为所希望的电流以下或者小于所希望的电流时,电路EXMNT判断保持在包括在存储单元DC及运算部CLP中的乘法单元中的电压降低(或者,电荷量的绝对值减少),将重新写入与原来保持在包括在存储单元DC及运算部CLP中的乘法单元中的数据相同的数据的指令信号传送到外部的存储装置MEXT、电路ILD等。

[0325] 接着,说明图16的电路LMNT的工作例子。

[0326] 首先,在电路LMC[i]中,开关DSW1处于开启状态,晶体管M2d处于开启状态。通过晶体管M2d处于开启状态,在节点n1d与晶体管M1d的第二端子之间成为导通状态,节点n1d与晶体管M1d的第二端子的每一个的电位大致相等。

[0327] 此时,例如,在电路ILD为电流源电路时,电流为 $I_0$ 的初始化的电流从电路ILD通过布线IL流过布线DLd。注意,初始化的电流例如可以为从图2A至图2C所示的包括在电路ILD中的电路WCS1或电路WCS2输出的电流。此时,例如,初始化电流 $I_0$ 可以为电路WCS1或电路WCS2能够生成的电流量的最小值的 $I_{ut}$ 或最大值的 $(2^K - 1) \times I_{ut}$ 。

[0328] 由于晶体管M2d成为开启状态,所以从布线DLd流过的电荷充电到电容C1d的第一端子。最终,在晶体管M1d的第一端子与第二端子间(布线DLd与布线VEd之间)流过电流 $I_0$ 的电流且节点n1d的电位成为对应电流 $I_0$ 的高低。此时的节点n1d的电位为 $V_{nd}$ 。

[0329] 例如,在电路ILD为电压源电路时,电压从电路ILD通过布线IL及晶体管M2d写入到电容C1d的第一端子。此时,从电路ILD写入到电容C1d的第一端子的电压为 $V_{nd}$ 。此时,晶体管M1d的第一端子-第二端子间(布线DLd与布线VEd之间)流过电流 $I_0$ 的电流。注意,这里,布线VED为低电平电位或接地电位,正电流从布线DLd流过布线VEd。

[0330] 在电路ILD为电流源电路或电压源电路的情况下,在电容C1d的第一端子的电位为 $V_{nd}$ 时,晶体管M2d处于关闭状态,可以在存储单元DC的电容C1d的第一端子中保持电位 $V_{nd}$ 。此时,通过在存储单元DC的电容C1d的第一端子中保持电位 $V_{nd}$ ,晶体管M1d被用作流过电流 $I_0$ 的电流源。注意,在晶体管M2d处于关闭状态之后,也可以使开关DSW1处于关闭状态。

[0331] 在开始监视流过晶体管M1d的第一端子-第二端子的电流时,开关DSW1处于关闭状态。由此,电流 $I_0$ 的电流从存储单元DC通过布线DLd流过电路EXMNT。具体而言,正电流从电路EXMNT通过布线DLd流过存储单元DC。

[0332] 这里,由于保持在电容C1d的第一端子中的电位 $V_{nd}$ 因电荷泄漏等降低时,所以晶体管M1d的第一端子-第二端子间流过的电流的量从 $I_0$ 减少。在从存储单元DC通过布线DLd流过电路EXMNT的电流成为所希望的电流以下或小于所希望的电流时,电路EXMNT判定保持在存储单元DC中的数据劣化,对存储装置MEXT传送使存储装置MEXT读出用来重新写入到运算部CLP的乘法单元的数据并将该数据传送到电路ILD的指令信号(例如,脉冲信号)。

[0333] 注意,这里所希望的电流是比从电路ILD通过布线IL流过布线DLd的电流 $I_0$ 小的电流。作为比这里的电流 $I_0$ 小的电流,例如可以为电流 $I_0$ 的0.95倍、0.90倍、0.80倍等。

[0334] 通过存储装置MEXT被输入该指令信号,存储装置MEXT读出保持在存储装置MEXT中的信息并将其传送到半导体装置SDV2。半导体装置SDV2由电路ILD将该信息写入到包括在运算部CLP中的乘法单元,此外对存储单元DC写入原来的电压(或电流)。由此,可以对运算部CLP的乘法单元及存储单元DC保持的劣化的数据进行数据的重新写入(电荷补充)。

[0335] 通过半导体装置SDV2采用图16所示的结构,可以容易检测保持在运算部CLP的乘法单元的存储元件中的数据的劣化(因泄漏电流导致的电荷量的绝对值的减少)。此外,通过进行检测,可以对运算部CLP的乘法单元及存储单元DC进行数据的重新写入(电荷补充)。

[0336] <<电路LMNT及电路ILD的结构例子2>>

[0337] 接着,说明与图16的电路LMNT的结构不同的能够用于图15的半导体装置SDV2的电路LMNT的结构例子。

[0338] 图17A所示的电路LMNT包括电路LMC[i] (i为1以上且与布线IL的个数相等的值以下的整数)。此外,电路LMC[i]包括存储单元DC、电路DTC、开关DSW1及开关DSW2。此外,存储单元DC包括晶体管M1d、晶体管M2d及电容C1d。注意,在图17A中除了电路LMNT以外还示出包括电路ILD及运算部CLP的半导体装置SDV2以及存储装置MEXT。

[0339] 图17A所示的存储单元DC具有与图16所示的存储单元DC同样的结构。因此,关于包括在图17A的存储单元DC中的晶体管M1d、晶体管M2d及电容C1d以及图17A所示的布线VEd、布线WLd及布线DLd,参照图16的电路LMNT的说明。

[0340] 图17A的电路LMNT与图16的电路LMNT同样地可以包括多个电路LMC[i]。具体而言,例如,电路LMNT可以具有在1行上配置与电连接于电路ILD的布线IL的个数相等的个数的电路LMC[i]的结构。

[0341] 作为开关DSW1及开关DSW2,与图16的开关DSW1同样地,例如可以使用能够用于上述开关RSW的开关。

[0342] 存储装置MEXT与电路ILD电连接。此外,电路ILD与布线IL电连接。

[0343] 布线IL与开关DSW1的第一端子电连接,开关DSW1的第二端子与布线DLd电连接。此

外,布线DLd与开关DSW2的第一端子电连接,开关DSW2的第二端子与电路DTC的第一输入端子电连接,电路DTC的第二输入端子与布线IRFE电连接,电路DTC的输出端子与存储装置MEXT电连接。此外,作为一个例子,布线IRFE与电路ILD电连接。

[0344] 电路DTC具有监视输入到电路DTC的第一输入端子的电流的功能。具体而言,例如,电路DTC具有如下功能:比较输入到电路DTC的第一输入端子的电流量和输入到电路DTC的第二输入端子的电流量(以下,称为参照电流的量),在输入到电路DTC的第一输入端子的电流为参照电流的量以下或小于参照电流的量时,例如从电路DTC的输出端子输出对于存储装置MEXT的指令信号(例如,脉冲电压等)。也就是说,电路DTC可以具有包括电流比较器等的结构。在电路DTC具有电流比较器的结构时,例如,电路DTC可以具有将在实施方式2中后述的电路ACTF[j]的结构。因此,电路DTC和将在实施方式2中说明的电路ACTF[j]可以共用。

[0345] 注意,严格地,在图17A的电路LMNT中,正电流从电路DTC的第一端子通过开关DSW2及布线DLd流过存储单元DC。因此,输入到电路DTC的第二端子的电流优选为从电路DTC的第二端子流过布线IRFE的正电流。

[0346] 因此,作为一个例子,布线IRFE被用作作为参照电流供应恒电流的布线。在后面详细地说明,电路DTC的第一输入端子被输入晶体管M1d的第一端子-第二端子间流过的电流的量 $I_0$ 。作为参照电流的恒电流例如可以为比电流量 $I_0$ 小的电流量。具体而言,比电流量 $I_0$ 小的电流量例如可以为电流量 $I_0$ 的0.95倍、0.90倍、0.80倍等。

[0347] 参照电流也可以由电路ILD生成。例如,在图17A中,由于电路ILD与布线IRFE电连接,所以电路ILD可以将由电路ILD生成的参照电流供应给布线IRFE。

[0348] 通过存储装置MEXT从电路DTC接收指令信号,从存储装置MEXT读出用于重新写入的数据(原来写入到乘法单元的数据)。此外,读出的数据通过电路ILD输入到运算部CLP。

[0349] 图17B示出此时的电路ILD的结构例子。作为一个例子,图17B所示的电路ILD包括电路WCS1及电路WCSA。

[0350] 图17B的电路WCS1是图2A的电路WCS1的一部分,摘要示出与对于存储单元DC的写入有关的电路元件。具体而言,图17B的电路WCS1例如摘要示出电流源CC[u]及开关SW[u]。此时,开关SW[u]以外的开关SW[1]至开关SW[K]处于关闭状态,在电流源CC[u]以外的电流源CC[1]至电流源CC[K]中生成的电流不流过布线IL。

[0351] 图17B的电路WCSA包括电流源CCA、晶体管F6A以及晶体管F6B。电流源CCA的输入端子与布线VDL电连接,电流源CCA的输出端子与晶体管F6B的第一端子、晶体管F6B的栅极及晶体管F6A的栅极电连接,晶体管F6B的第二端子与布线VSE电连接。晶体管F6A的第一端子与布线IRFE电连接,晶体管F6A的第二端子与布线VSE电连接。

[0352] 作为一个例子,布线VSE被用作供应恒电压的布线。该恒电压例如可以为低电平电位、接地电位等。

[0353] 晶体管F6A及晶体管F6B例如优选为Si晶体管。此外,除了Si晶体管以外可以使用OS晶体管、在沟道形成区域中包含Ge等的晶体管、在沟道形成区域中包含化合物半导体的晶体管、在沟道形成区域中包含碳纳米管的晶体管、在沟道形成区域中包含有机半导体的晶体管等。

[0354] 在电流源CC[u]及电流源CCA的每一个生成的电流量彼此相等。

[0355] 电路WCSA的晶体管F6A及晶体管F6B的结构为电流镜电路的结构。因此,在晶体管

F6A及晶体管F6B的每一个的尺寸(例如,沟道长度、沟道宽度、结构等)相等时,理想地,晶体管F6B的第一端子-第二端子间流过的电流量与晶体管F6A的第一端子-第二端子间流过的电流量相等。也就是说,在电流源CCA生成的电流的量与晶体管F6A的第一端子-第二端子间流过的电流量相等。

[0356] 注意,在图17A的电路LMNT中,由于正电流从电路DTC的第二端子流过布线IRFE,所以图17B所示的电路ILD的电路WCSA具有正电流从布线IRFE向晶体管F6A的第一端子的方向流过的结构。

[0357] 这里,通过使晶体管F6A的W长与L长的比例W/L比晶体管F6B的W长与L长的比例W/L小,可以使晶体管F6A的第一端子-第二端子间流过的电流量比晶体管F6B的第一端子-第二端子间流过的电流量(也就是说,在电流源CCA生成的电流的量)小。

[0358] 通过电路ILD的结构为图17B所示的结构,如上所述,可以使流过布线IRFE的电流量比布线IL流过的电流量小。注意,也可以使晶体管F6A的W长与L长的比例W/L与晶体管F6B的W长与L长的比例W/L相等且增加在电流源CC[u]生成的电流量来使电流量 $I_0$ 与参照电流之间产生差异。

[0359] 接着,说明图17A的电路LMNT的工作例子。

[0360] 首先,在电路LMC[i]中,使开关DSW1处于开启状态,使开关DSW2处于关闭状态,使晶体管M2d处于开启状态。接着,与图16的电路LMNT同样地,对存储单元DC的电容器C1d的第一端子写入电压 $V_{nd}$ ,使晶体管M2d处于关闭状态,由此保持节点n1d的电压。

[0361] 此时,晶体管M1d的第一端子-第二端子间(布线DLd与布线VEd之间)流过电流量 $I_0$ 的初始化电流。然后,使开关DSW1处于关闭状态,停止晶体管M1d的第一端子-第二端子间流过的电流。

[0362] 在开始监视晶体管M1d的第一端子-第二端子流过的电流时,使开关DSW1处于关闭状态,使开关DSW2处于开启状态。由此,晶体管M1d的第一端子-第二端子流过的电流量 $I_0$ 的电流从电路DTC的第一输入端子通过开关DSW2及布线DLd流过布线VEd。

[0363] 这里,由于保持在电容器C1d的第一端子中的电位 $V_{nd}$ 因电荷泄漏等降低时,晶体管M1d的第一端子-第二端子间流过的电流的量从 $I_0$ 减少。在从电路DTC的第一输入端子流过布线VEd的电流量为从布线IRFE流过的参照电流的量以下或者小于参照电流的量时,电路DTC判定保持在存储单元DC中的数据劣化,从电路DTC的输出端子对存储装置MEXT传送从存储装置MEXT读出用于重新写入的数据(原来写入到乘法单元的数据)的指令信号。由此,从存储装置MEXT读出的该数据通过电路ILD输入到运算部CLP,对劣化的数据重写该数据。此外,此时,优选将保持在存储单元DC中的电位恢复到劣化之前的数据(电位 $V_{nd}$ )。

[0364] 通过半导体装置SDV2采用图17A所示的结构,可以容易检测保持在运算部CLP的乘法单元的存储元件中的数据的劣化(因泄漏电流导致的电荷量的绝对值的减少)。此外,通过进行检测,可以对运算部CLP的乘法单元及存储单元DC进行数据的重新写入(电荷补充)。

[0365] <<电路LMNT及电路ILD的结构例子3>>

[0366] 这里,说明与图16及图17A的电路LMNT不同的能够用于半导体装置SDV2的电路LMNT的结构例子。

[0367] 图18A所示的电路LMNT与图16的电路LMNT同样地包括电路LMC[i](i为1以上且与布线IL的个数相等的值以下的整数)。注意,图18A的电路LMC[i]与图16的电路LMC[i]的不

同之处在于包括存储单元DC、电路CMPD及开关DSW1。注意,图18A也示出电路ILD。

[0368] 图18A所示的存储单元DC具有与图16所示的存储单元DC同样的结构。因此,关于包括在图18A的存储单元DC中的晶体管M1d、晶体管M2d及电容C1d以及图18A所示的布线VEd、布线WLd及布线DLd,参照图16的电路LMNT的说明。

[0369] 图18A的电路LMNT与图16的电路LMNT同样地可以包括多个电路LMC[i]。具体而言,例如,电路LMNT可以具有在1行上配置与电连接于电路ILD的布线IL的个数相等的个数的电路LMC[i]的结构。

[0370] 作为开关DSW1,与图16的开关DSW1同样地,例如可以使用能够用于上述开关RSW的开关。

[0371] 布线IL与开关DSW1的第一端子电连接,开关DSW1的第二端子与布线DLd电连接。此外,电路CMPD的第一输入端子与晶体管M1d的栅极、晶体管M2d的第二端子及电容C1的第一端子电连接。电路CMPD的第二输入端子与布线VRFE电连接。电路CMPD的输出端子与布线RSUL电连接。此外,布线VRFE与电路ILD电连接。注意,虽然未图示,但布线RSUL与存储装置MEXT电连接。

[0372] 作为一个例子,布线VRFE被用作供应恒电压的布线。该恒电压例如可以为可以比通过电路ILD(电流源电路或电压源电路)写入到节点n1d的电压 $V_{nd}$ 低的电压。具体而言,比电压 $V_{nd}$ 低的电压例如可以为电压 $V_{nd}$ 的0.95倍、0.90倍、0.80倍等。以后将布线VRFE供应的恒电压称为参照电位。

[0373] 参照电位也可以在电路ILD生成。例如,在图18A中,由于电路ILD与布线IRFE电连接,所以电路ILD可以将电路ILD生成的参照电流供应给布线IRFE。

[0374] 图19示出此时的电路ILD的结构例子。作为一个例子,图19所示的电路ILD包括电路WCS1及电路WCSA。

[0375] 图19所示的电路WCS1是图2A的电路WCS1的一部分,摘要示出与对于存储单元DC的写入有关的电路元件。具体而言,图19的电路WCS1例如摘要示出电流源CC[u]及开关SW[u]。此时,开关SW[u]以外的开关SW[1]至开关SW[K]处于关闭状态,在电流源CC[u]以外的电流源CC[1]至电流源CC[K]生成的电流不流过布线IL。

[0376] 图19的电路WCSA包括电流源CCB及晶体管F7。电流源CCB的输入端子与晶体管F7的第一端子、晶体管F7的栅极及布线VRFE电连接,晶体管F7的第二端子与布线VSE电连接。

[0377] 例如,作为晶体管F7可以使用能够用于图17B所示的晶体管F6A、晶体管F6B或图17A所示的晶体管M1d的晶体管。

[0378] 在电流源CC[u]及电流源CCB的每一个生成的电流量彼此相等。

[0379] 电路WCSB的晶体管F7具有二极管连接的结构。此外,在晶体管F7与电流源CCB的连接结构中,着眼于图18A的存储单元DC的情况下,晶体管M2d处于开启状态时的晶体管M1d与电流源CC[u]的连接结构大致一致。此时,在晶体管F7与晶体管M1d的尺寸(例如,沟道长度、沟道宽度、结构等)相等时,理想地,晶体管F7的第一端子(栅极)的电位与节点n1d的电位相等。

[0380] 这里,通过使晶体管F7的W长与L长的比例W/L比晶体管M1d的W长与L长的比例W/L大,可以使晶体管F7的第一端子(栅极)的电位比节点n1d的电位 $V_{nd}$ 小。注意,通过晶体管F7A的W长与L长的比例W/L与晶体管M1d的W长与L长的比例W/L相等并增加在电流源CC[u]生成

的电流流量,也可以在保持在节点n1d中的 $V_{nd}$ 与参照电位之间产生差异。

[0381] 通过电路ILD的结构为图19所示的结构,如上所述,可以使供应给布线VRFE的电位比节点n1d的电位 $V_{nd}$ 小。

[0382] 电路CMPD具有如下功能:比较输入到电路CMPD的第一输入端子的电压与输入到电路CMPD的第二输入端子的电压且将该比较结果输出到电路CMPD的输出端子。因此,电路CMPD例如可以具有包括电压比较器等的结构。

[0383] 接着,说明图18A的电路LMNT的工作例子。

[0384] 首先,在电路LMC[i]中,开关DSW1处于开启状态,晶体管M2d处于开启状态。接着,与图16的电路LMNT同样地,对存储单元DC的电容C1d的第一端子写入电压 $V_{nd}$ ,使晶体管M2d处于关闭状态,由此保持节点n1d的电压。

[0385] 此时,电路CMPD的第一输入端子被输入节点n1d的电压 $V_{nd}$ 。另外,电路CMPD的第二输入端子被输入比 $V_{nd}$ 低的参照电位。

[0386] 接着,例如,在由于时间的经过等节点n1d的电压 $V_{nd}$ 因泄漏等比参照电位低时,从电路CMPD的输出端子输出的信号(电压)变化。例如,电路CMPD在节点n1d的电位比参照电位高时从输出端子输出低电平电位且在节点n1d的电位比参照电位低时从输出端子输出高电平电位的情况下,在节点n1d的电压比参照电位低时,从电路CMPD的输出端子输出的电位从低电平电位变化为高电平电位。也就是说,电路CMPD判定保持在存储单元DC中的数据劣化,改变从电路CMPD的输出端子输出的信号(电压)。因此,可以将该信号(电压)用作对保持在运算部CLP的乘法单元中的数据以及保持在存储单元DC中的电位进行重新写入工作时的触发信号。

[0387] 通过对存储装置MEXT输入来自电路CMPD的信号(电压)的变化,存储装置MEXT读出保持在存储装置MEXT中的数据(原来写入到乘法单元的数据)且将其传送到半导体装置SDV2。由此,从存储装置MEXT读出的该数据通过电路ILD输入到运算部CLP,对劣化的数据重写该数据。此外,此时,优选将保持在存储单元DC中的电位恢复到劣化之前的数据(电位 $V_{nd}$ )。

[0388] 在图18A中,说明在监视存储单元DC的节点n1d的电位且该电位比参照电位低时检测该电位的电路LMNT的结构,但包括在本发明的一个方式的半导体装置中的电路不局限于此。包括在本发明的一个方式的半导体装置中的电路例如也可以具有根据情况或状况改变图18A的电路LMNT的结构而成的结构。

[0389] 例如,由于在图18A的电路LMNT中监视节点n1d的电位,所以也可以具有存储单元DC不包括晶体管M1d的结构。具体而言,如图18B所示,电路LMNT可以具有存储单元DC中不设置晶体管M1d的结构。

[0390] 例如,如图18C的电路LMNT所示,也可以设置被用作缓冲器电路的电路BF2代替电路CMPD。具体而言,图18C的电路LMNT具有如下结构:电路BF2的输入端子与电容C1d的第一端子、晶体管M1d的栅极及晶体管M2d的第一端子电连接且电路BF2的输出端子与布线RSUL电连接的结构。电路BF2例如可以具有包括源极跟随电路、使用运算放大器的电压跟随电路等的结构。

[0391] 例如,如图18D的电路LMNT所示,也可以具有包括电路CMPD及电路BF2的结构。具体而言,图18D的电路LMNT具有如下结构:电路BF2的输入端子与电容C1d的第一端子、晶体管



M1d的栅极及晶体管M2d的第一端子电连接,电路BF2的输出端子与电路CMPD的第一输入端子电连接,电路CMPD的第二输入端子与布线VRFE电连接,电路CMPD的输出端子与布线RSUL电连接。

[0392] <<电路LMNT及电路ILD的结构例子4>>

[0393] 接着,说明与图16、图17A及图18A至图18D不同的能够用于半导体装置SDV2的电路LMNT的结构例子。

[0394] 与图16的电路LMNT同样地,图20A所示的电路LMNT包括电路LMC[i] (i为1以上且与布线IL的个数相等的值以下的整数)。注意,图20A的电路LMC[i]与图16的电路LMC[i]的不同之处在于包括存储单元DC、电路DTC、开关DSW2、开关DSW3及开关DSW4。注意,图20还示出电路ILD。

[0395] 图20A所示的存储单元DC具有与图16所示的存储单元DC同样的结构。因此,关于包括在图16的存储单元DC中的晶体管M1d、晶体管M2d及电容C1d以及图20A所示的布线VEd、布线WLd及布线DLd,参照图16的电路LMNT的说明。

[0396] 图20A的电路LMNT与图16的电路LMNT同样地可以包括多个电路LMC[i]。具体而言,例如,电路LMNT可以具有在1行上配置与电连接于电路ILD的布线IL的个数相等的个数的电路LMC[i]的结构。

[0397] 作为开关DSW2至开关DSW4,与图16的开关DSW1同样地,例如可以使用能够用于上述开关RSW的开关。

[0398] 布线IL与开关DSW4的第一端子电连接,开关DSW4的第二端子与布线DLd电连接。此外,开关DSW2的第一端子与布线DLd电连接,电路DTC的第一输入端子与开关DSW2的第二端子电连接。此外,开关DSW3的第一端子与布线IL电连接,电路DTC的第二输入端子与开关DSW3的第二输入端子电连接。电路DTC的输出端子与布线RSUL电连接。注意,虽然未图示,但布线RSUL与存储装置MEXT电连接。

[0399] 关于电路DTC,参照包括在图16所示的电路LMNT中的电路DTC的说明。

[0400] 接着,说明使用图20A的电路LMNT时的电路ILD的结构例子。

[0401] 图20B示出使用图20A的电路LMNT时的电路ILD的结构例子,并包括电路WCS1及电路WCSD。

[0402] 图20B所示的电路WCS1是图2A的电路WCS1的一部分,摘要示出与对于存储单元DC的写入有关的电路元件。具体而言,图20B的电路WCS1例如摘要示出电流源CC[u]及开关SW[u]。此时,开关SW[u]以外的开关SW[1]至开关SW[K]处于关闭状态,在电流源CC[u]以外的电流源CC[1]至电流源CC[K]生成的电流不流过布线IL。

[0403] 图20B的电路WCSD包括电流源CCD及开关SWN。开关SWN的第一端子与开关SW[u]的第二端子及布线IL电连接,开关SWN的第二端子与电流源CCD的输入端子电连接,电流源CCD的输出端子与布线VSE电连接。

[0404] 作为开关SWN可以使用能够用于上述开关RSW的开关。此外,在开关SWN作为电开关使用晶体管时,优选使用n沟道型晶体管。

[0405] 作为一个例子,电流源CCD优选具有包括n沟道型晶体管的结构,其中对栅极供应偏置电压,对源极供应低电平电位或接地电位(布线VSE所供应的电位)。

[0406] 电流源CCD生成的电流量比电流源CC[u]生成的电流量小。具体而言,例如,在电流

源CC[u]生成的电流量为 $I_0$ 时,电流源CCD生成的电流量可以为电流量 $I_0$ 的0.95倍、0.90倍、0.80倍等。以后,将电流源CCD生成的电流称为参照电流。

[0407] 接着,说明图20A的电路LMNT的工作例子。

[0408] 首先,在电路LMC[i]中,开关DSW4处于开启状态,开关DSW2及开关DSW3处于关闭状态,晶体管M2d处于开启状态。此外,此时在图20B中,开关SW[u]处于开启状态,开关SWN处于关闭状态。由此,电流量 $I_0$ 的电流从电路ILD通过布线IL流过存储单元DC。接着,与图16的电路LMNT同样地,对存储单元DC的电容C1d的第一端子写入电压 $V_{nd}$ ,使晶体管M2d处于关闭状态,由此保持节点n1d的电压。

[0409] 此时,晶体管M1d的第一端子-第二端子间(布线DLd与布线VEd之间)流过电流量 $I_0$ 的初始化电流。然后,使开关DSW1处于关闭状态,停止晶体管M1d的第一端子-第二端子间流过的电流。

[0410] 在开始监视晶体管M1d的第一端子-第二端子流过的电流时,使开关DSW4处于关闭状态,使开关DSW2处于开启状态。由此,晶体管M1d的第一端子-第二端子流过的电流量 $I_0$ 的电流从电路DTC的第一输入端子通过开关DSW2及布线DLd流过布线VEd。

[0411] 此外,在开关DSW2成为开启状态的时序,使开关DSW3处于开启状态。另外,在图20B中,使开关SW[u]处于关闭状态,使开关SWN处于开启状态。由此,参照电流从电路DTC的第二输入端子通过开关DSW3、布线IL及开关SWN流过布线VSE。

[0412] 这里,由于保持在电容C1d的第一端子中的电位 $V_{nd}$ 因电荷泄漏等降低时,晶体管M1d的第一端子-第二端子间流过的电流的量从 $I_0$ 减少。在从电路DTC的第一输入端子流过布线VEd的电流量为从布线IL流过的参照电流的量以下或者小于参照电流的量时,电路DTC判定保持在存储单元DC中的数据劣化,对存储装置MEXT传送使存储装置MEXT读出用来重新写入到运算部CLP的乘法单元的数据并将该数据传送到电路ILD的指令信号(例如,脉冲信号)。

[0413] 以后,与图16的电路LMNT同样地,进行如下工作:存储装置MEXT接收该指令信号,存储装置MEXT读出保持在存储装置MEXT中的信息,且将该信息传送到半导体装置SDV2。半导体装置SDV2由电路ILD将该信息写入到包括在运算部CLP中的乘法单元,此外对存储单元DC写入原来的电压(或电流)。由此,可以对运算部CLP的乘法单元及存储单元DC保持的劣化的数据进行数据的重新写入(电荷补充)。

[0414] 通过半导体装置SDV2采用图20A所示的结构,可以容易检测保持在运算部CLP的乘法单元的存储元件中的数据的劣化(因泄漏电流导致的电荷量的绝对值的减少)。此外,通过进行检测,可以对运算部CLP的乘法单元及存储单元DC进行数据的重新写入(电荷补充)。

[0415] <<电路LMNT及电路ILD的结构例子5>>

[0416] 接着,说明与电路15、图17A、图18A至图18D及图20A所示的电路LMNT的结构不同的能够用于图15的半导体装置SDV2的电路LMNT的结构例子。

[0417] 图21A所示的电路LMNT包括电路LMC[i] (i为1以上且与布线IL的个数相等的值以下的整数)及电路LMCr[i]。此外,电路LMC[i]包括存储单元DC、存储单元DCr、电路DTC、开关DSW1、开关DSW2、开关DSW3、开关DSW4及开关DSW4r。注意,图21A还示出电路ILD。

[0418] 存储单元DC包括晶体管M1d、晶体管M2d及电容C1d。此外,存储单元DCr可以具有与存储单元DC同样或不同的结构。注意,在图21A中,存储单元DCr具有与存储单元DC同样的结

构。因此,为了与存储单元DC区分对存储单元DCr的符号附上“r”。另外,对后面说明的电路MCr中的电路元件的符号也附上“r”。例如,图21A所示的包括在存储单元DCr中的晶体管M1dr、晶体管M2dr及电容C1dr的每一个相当于包括在存储单元DC中的晶体管M1d、晶体管M2d及电容C1d。此外,例如图21A所示的电连接于存储单元DCr的布线VEdr及布线DLdr相当于电连接于存储单元DC的布线VEd及布线DLd。

[0419] 图21A所示的存储单元DC具有与图16所示的存储单元DC同样的结构。因此,关于包括在图21A的存储单元DC中的晶体管M1d、晶体管M2d及电容C1d以及图21A所示的布线VEd、布线WLd及布线DLd,参照图16的电路LMNT的说明。

[0420] 图21A的电路LMNT与图16的电路LMNT同样地可以包括多个电路LMC[i]。具体而言,例如,电路LMNT可以具有在1行上配置与电连接于电路ILD的布线IL的个数相等的个数的电路LMC[i]的结构。

[0421] 作为开关DSW2、开关DSW3、开关DSW4及开关DSW4,与图16的开关DSW1同样地,例如可以使用能够用于上述开关RSW的开关。

[0422] 电路ILD与布线IL及布线ILB电连接。

[0423] 布线IL与开关DSW4的第一端子电连接,开关DSW4的第二端子与布线DLd电连接。此外,布线DLd与开关DSW2的第一端子电连接,开关DSW2的第二端子与电路DTC的第一输入端子电连接,电路DTC的输出端子与布线RSUL电连接。此外,布线ILB与开关DSW3的第一端子及开关DSW4r的第一端子电连接,开关DSW4r的第二端子与布线DLdr电连接。电路DTC的第二输入端子与开关DSW3的第二端子电连接。电路DTC的输出端子与布线RSUL电连接。注意,虽然未图示,但布线RSUL与存储装置MEXT电连接。

[0424] 关于电路DTC,参照图17A所示的电路DTC的说明。

[0425] 接着,说明使用图21A的电路LMNT时的电路ILD的结构例子。

[0426] 图21B示出使用图21A的电路LMNT时的电路ILD的结构例子,并包括电路WCS1、电路WCS1r、电路WCSD及电路WCSDr。

[0427] 图21B所示的电路WCS1及电路WCSD都具有与图20B所示的电路WCS1及电路WCSD同样的结构。因此,关于图21B的电路WCS1及电路WCSD,参照图20B的电路WCS1及电路WCSD的说明。

[0428] 图21B所示的电路WCS1r及电路WCSDr都具有与图21B的电路WCS1及电路WCSD同样的结构。因此,为了与电路WCS1及电路WCSD区分,对电路WCS1r及电路WCSDr的符号都附上“r”。例如,图21B所示的包括在电路WCS1r中的电流源CCr[u]及开关SWr[u]分别相当于包括在电路WCS1中的电流源CC[u]及开关SW[u]。此外,例如,图21B所示的包括在电路WCSDr中的电流源CCDr[u]及开关SWNr[u]分别相当于包括在电路WCSD中的电流源CCD[u]及开关SWN[u]。

[0429] 布线IL与开关SW[u]的第二端子及开关SWN的第一端子电连接。此外,布线ILB与开关SWr[u]的第二端子及开关SWNr的第一端子电连接。

[0430] 接着,说明图21A的电路LMNT的工作例子。

[0431] 首先,在电路LMC[i]中,使开关DSW4处于开启状态,使开关DSW2及开关DSW3处于关闭状态,使晶体管M2d处于开启状态。此外,此时,在图21B中,使开关SW[u]处于开启状态,使开关SWN处于关闭状态。由此,电流量 $I_0$ 的电流从电路ILD通过布线IL流过存储单元DC。接

着,与图16的电路LMNT同样地,对存储单元DC的电容C1d的第一端子写入电压 $V_{nd}$ ,使晶体管M2d处于关闭状态,由此保持节点n1d的电压。

[0432] 此时,晶体管M1d的第一端子-第二端子间(布线DLd与布线VEd之间)流过电流 $I_0$ 的初始化电流。然后,使开关DSW1处于关闭状态,停止晶体管M1d的第一端子-第二端子间流过的电流。

[0433] 在开始监视晶体管M1d的第一端子-第二端子流过的电流时,使开关DSW4处于关闭状态,使开关DSW2处于开启状态。由此,电流 $I_0$ 的电流从电路DTC的第一输入端子通过开关DSW2、布线DLd及晶体管M1d流过布线VEd。

[0434] 此外,在使开关DSW2处于开启状态的时序,使开关DSW3处于开启状态,使开关DSW4r处于关闭状态。此外,在图21B中,使开关SWr[u]处于关闭状态,使开关SWNr处于开启状态。由此,参照电流从电路DTC的第二输入端子通过开关DSW3、布线ILB及开关SWNr流过布线VSE。

[0435] 这里,由于保持在电容C1d的第一端子中的电位 $V_{nd}$ 因电荷泄漏等降低时,晶体管M1d的第一端子-第二端子间流过的电流的量从 $I_0$ 减少。在从电路DTC的第一输入端子流过布线VEd的电流量为从布线IL流过的参照电流的量以下或者小于参照电流的量时,电路DTC判定保持在存储单元DC中的数据劣化,对存储装置MEXT传送使存储装置MEXT读出用来重新写入到运算部CLP的乘法单元的数据并将该数据传送到电路ILD的指令信号(例如,脉冲信号)。

[0436] 以后,与图16的电路LMNT同样地,进行如下工作:存储装置MEXT接收该指令信号,存储装置MEXT读出保持在存储装置MEXT中的信息,且将该信息传送到半导体装置SDV2。半导体装置SDV2由电路ILD将该信息写入到包括在运算部CLP中的乘法单元,此外对存储单元DC写入原来的电压(或电流)。由此,可以对运算部CLP的乘法单元及存储单元DC保持的劣化的数据进行数据的重新写入(电荷补充)。

[0437] 通过半导体装置SDV2采用图21A所示的结构,可以容易检测保持在运算部CLP的乘法单元的存储元件中的数据的劣化(因泄漏电流导致的电荷量的绝对值的减少)。此外,通过进行检测,可以对运算部CLP的乘法单元及存储单元DC进行数据的重新写入(电荷补充)。

[0438] <<电路LMNT及电路ILD的结构例子6>>

[0439] 接着,作为图21A所示的电路LMNT的变形例子,说明能够用于图15的半导体装置SDV2的电路LMNT的结构例子。

[0440] 图22A所示的电路LMNT是图21A所示的电路LMNT的变形例子,包括在存储单元DC中的晶体管M2d的栅极与布线WLd电连接,包括在存储单元DCr中的晶体管M2dr的栅极与布线WLdr电连接。也就是说,图22A的电路LMNT具有晶体管M2d的栅极与晶体管M2dr的栅极不直接连接的结构。因此,在图22A所示的电路LMNT中,关于与图21A的电路LMNT共同的部分参照图21A的电路LMNT的说明。

[0441] 在图22A的电路LMNT中,作为电路ILD例如可以使用图21B所示的电路ILD。以后作为图22A的电路ILD使用图21B的电路ILD进行说明。

[0442] 接着,说明图22A的电路LMNT的工作例子。

[0443] 首先,在电路LMC[i]中,使开关DSW4处于开启状态,使开关DSW2处于关闭状态。接着,对布线WLd供应高电平电位,使晶体管M2d处于开启状态。此外,此时,在图21B中,使开关

SW[u]处于开启状态,使开关SWN处于关闭状态。由此,电流量 $I_0$ 的电流从电路ILD通过布线IL流过存储单元DC。接着,与图16的电路LMNT同样地,对存储单元DC的电容C1d的第一端子写入电压 $V_{nd}$ ,对布线WLd供应低电平电位,使晶体管M2d处于关闭状态,由此保持节点n1d的电压。

[0444] 此时,晶体管M1d的第一端子-第二端子间(布线DLd与布线VEd之间)流过电流量 $I_0$ 的初始化电流。然后,使开关DSW1处于关闭状态,停止晶体管M1d的第一端子-第二端子间流过的电流。

[0445] 在开始监视晶体管M1d的第一端子-第二端子间流过的电流时,使开关DSW4r处于开启状态,使开关DSW3处于关闭状态。接着,对布线WLdr供应高电平电位,使晶体管M2dr处于开启状态。此时,在图21B中,使开关SWr[u]处于关闭状态,使开关SWNr处于开启状态。由此,参照电流从电路ILD通过布线ILB流过存储单元DCr的晶体管M1dr。此外,此时的节点n1dr的电位为 $V_{REF}$ 。通过对布线WLdr供应低电平电位使晶体管M2dr处于关闭状态,在节点n1dr中保持电压 $V_{REF}$ 。

[0446] 然后,使开关DSW4处于关闭状态,使开关DSW2处于开启状态。由此,电流量 $I_0$ 的电流从电路DTC的第一输入端子通过开关DSW2、布线DLd及晶体管M1d流过布线VEd。此外,参照电流从电路DTC的第二输入端子通过开关DSW3、开关DSW4r、布线DLdr及晶体管M1dr流过布线VEdr。

[0447] 这里,由于保持在电容C1d的第一端子中的电位 $V_{nd}$ 因电荷泄漏等降低时,晶体管M1d的第一端子-第二端子间流过的电流的量从 $I_0$ 减少。在从电路DTC的第一输入端子流过布线VEd的电流量为从电路DTC的第二输入端子流过布线VEdr的参照电流的量以下或者小于参照电流的量时,电路DTC判定保持在存储单元DC中的数据劣化,对存储装置MEXT传送使存储装置MEXT读出用来重新写入到运算部CLP的乘法单元的数据并将该数据传送到电路ILD的指令信号(例如,脉冲信号)。

[0448] 以后,与图16的电路LMNT同样地,进行如下工作:存储装置MEXT接收该指令信号,存储装置MEXT读出保持在存储装置MEXT中的信息,且将该信息传送到半导体装置SDV2。半导体装置SDV2由电路ILD将该信息写入到包括在运算部CLP中的乘法单元,此外对存储单元DC写入原来的电压(或电流)。由此,可以对运算部CLP的乘法单元及存储单元DC保持的劣化的数据进行数据的重新写入(电荷补充)。

[0449] 通过半导体装置SDV2采用图22A所示的结构,可以容易检测保持在运算部CLP的乘法单元的存储元件中的数据的劣化(因泄漏电流导致的电荷量的绝对值的减少)。此外,通过进行检测,可以对运算部CLP的乘法单元及存储单元DC进行数据的重新写入(电荷补充)。

[0450] 注意,在上述工作例子中,由于在存储单元DCr中保持电压 $V_{REF}$ ,所以有时发生因存储单元DCr导致的数据劣化(电压 $V_{REF}$ 的劣化、电荷量的绝对值的减少)。此时,在存储单元DCr中保持电位 $V_{REF}$ 之后,马上就开始监视晶体管M1d的第一端子-第二端子间流过的电流,由此可以减少该数据的劣化的影响。

[0451] 根据本发明的一个方式的电路LMNT的结构不局限于图22A所示的电路结构。电路LMNT的结构可以根据情况或状况改变所包括的电路元件、连接结构等。

[0452] 例如,如图22B所示,在电路LMNT的结构中也可以使存储单元DC及存储单元DCr配置在1列上而不在1行上。此外,在图22B中,存储单元DCr电连接于布线VEd代替布线VEdr。因

此,通过图22A所示的布线VEd及布线VEdr改变为图22B的结构,可以组合为一个布线。

[0453] 注意,上述存储单元DC例如包括在运算部CLP中而不在电路LMNT中。注意,此时,存储单元DC优选与乘法单元(在实施方式2中说明的电路MC、电路MCr等)一起制造。或者,也可以使用运算部CLP的乘法单元(在实施方式2中说明的电路MC、电路MCr等)作为存储单元DC。

[0454] 注意,半导体装置SDV2的结构也可以为选自图16、图17A、图18A至图18D、图20A、图21A、图22A、图22B等的结构而组合它们的结构。

[0455] 在本实施方式中,说明图1A至图1C所示的半导体装置SDV1的结构例子及图15所示的半导体装置的结构例子,但本发明的一个方式的半导体装置不局限于此。例如,如图23所示,在本发明的一个方式中,半导体装置SDV3也可以具有在半导体装置SDV1中包括半导体装置SDV2所包括的电路LMNT的结构。也就是说,在本实施方式中说明的半导体装置SDV1的结构例子可以与半导体装置SDV2的结构例子适当地组合。

[0456] 在保持在运算部CLP所包括的电路中的信息(例如,电流、电压等)因泄漏等变化时,优选定期对该电路进行刷新工作或重新写入工作。具体而言,例如,在保持在运算部CLP所包括的电路中的信息(例如,电流、电压等)变化时,再次将从存储装置MINT读出的信息传送到电路ILD,电路ILD对该电路供应对应应该信息的电流(有时电压)即可。

[0457] 注意,本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0458] (实施方式2)

[0459] 在本实施方式中,对在上述实施方式中说明的运算部CLP的一个例子进行说明。

[0460] <分层神经网络>

[0461] 在说明运算电路之前,说明分层神经网络。分层神经网络例如包括一个输入层、一个或多个中间(隐藏层)及一个输出层,由共三个以上的层构成。图24A所示的分层神经网络100是其一个例子,神经网络100包括第一层至第R层(在此,R可以为4以上的整数。)。尤其是,第一层相当于输入层,第R层相当于输出层,其他层相当于中间层。注意,在图24A中,作为中间层示出第(k-1)层、第k层(在此,k是3以上且R-1以下的整数。),而省略其他中间层。

[0462] 神经网络100的各层包括一个或多个神经元。在图24A中,第一层包括神经元 $N_1^{(1)}$ 至神经元 $N_p^{(1)}$ (在此,p是1以上的整数。),第(k-1)层包括神经元 $N_1^{(k-1)}$ 至神经元 $N_m^{(k-1)}$ (在此,m是1以上的整数。),第k层包括神经元 $N_1^{(k)}$ 至神经元 $N_n^{(k)}$ (在此,n是1以上的整数。),第R层包括神经元 $N_1^{(R)}$ 至神经元 $N_q^{(R)}$ (在此,q是1以上的整数。).

[0463] 另外,图24A除了神经元 $N_1^{(1)}$ 、神经元 $N_p^{(1)}$ 、神经元 $N_1^{(k-1)}$ 、神经元 $N_m^{(k-1)}$ 、神经元 $N_1^{(k)}$ 、神经元 $N_n^{(k)}$ 、神经元 $N_1^{(R)}$ 、神经元 $N_q^{(R)}$ 以外,还示出第(k-1)层的神经元 $N_i^{(k-1)}$ (在此,i是1以上且m以下的整数。)、第k层的神经元 $N_j^{(k)}$ (在此,j是1以上且n以下的整数。),而省略示出其他神经元。

[0464] 接着,说明从前一层的神经元向下一层的神经元的信号的传送以及向每个神经元输入或输出到每个神经元的信号。注意,在本说明中,着眼于第k层的神经元 $N_j^{(k)}$ 。

[0465] 图24B示出第k层的神经元 $N_j^{(k)}$ 、输入到神经元 $N_j^{(k)}$ 的信号以及从神经元 $N_j^{(k)}$ 输出的信号。

[0466] 具体而言,第(k-1)层的神经元 $N_1^{(k-1)}$ 至神经元 $N_m^{(k-1)}$ 的每一个的输出信号的 $z_1^{(k-1)}$ 至 $z_m^{(k-1)}$ 向神经元 $N_j^{(k)}$ 输出。然后,神经元 $N_j^{(k)}$ 根据 $z_1^{(k-1)}$ 至 $z_m^{(k-1)}$ 生成 $z_j^{(k)}$ 而将 $z_j^{(k)}$ 作为输出信号向第(k+1)层(未图示。)的各神经元输出。

[0467] 从前一层的神经元向后一层的神经元输入的信号的传送强度根据使它们连接的神经突触的结合强度(以下称为权系数。)决定。在神经网络100中,将从前一层的神经元输出的信号被乘以对应的权系数而输入到后一层的神经元。在 $i$ 设定为1以上且 $m$ 以下的整数且第 $(k-1)$ 层的神经元 $N_i^{(k-1)}$ 与第 $k$ 层的神经元 $N_j^{(k)}$ 之间的神经突触的权系数设定为 $w_{ij}^{(k-1)(k)}$ 时,输入到第 $k$ 层的神经元 $N_j^{(k)}$ 的信号可以以算式(2.1)表示。

[0468] [算式1]

$$[0469] \quad w_{ij}^{(k-1)(k)} \cdot z_i^{(k-1)} \quad \dots(2.1)$$

[0470] 换言之,在从第 $(k-1)$ 层的神经元 $N_1^{(k-1)}$ 至神经元 $N_m^{(k-1)}$ 的每一个向第 $k$ 层的神经元 $N_j^{(k)}$ 传送信号时,作为该信号的 $z_1^{(k-1)}$ 至 $z_m^{(k-1)}$ 被乘以对应于各信号的权系数( $w_{1j}^{(k-1)(k)}$ 至 $w_{mj}^{(k-1)(k)}$ )。然后,对第 $k$ 层的神经元 $N_j^{(k)}$ 输入 $w_{1j}^{(k-1)(k)} \cdot z_1^{(k-1)}$ 至 $w_{mj}^{(k-1)(k)} \cdot z_m^{(k-1)}$ 。此时,对第 $k$ 层的神经元 $N_j^{(k)}$ 输入的信号的总和 $u_j^{(k)}$ 成为算式(2.2)。

[0471] [算式2]

$$[0472] \quad u_j^{(k)} = \sum_{i=1}^m w_{ij}^{(k-1)(k)} \cdot z_i^{(k-1)} \quad \dots(2.2)$$

[0473] 也可以对权系数 $w_{1j}^{(k-1)(k)}$ 至 $w_{mj}^{(k-1)(k)}$ 及神经元的信号 $z_1^{(k-1)}$ 至 $z_m^{(k-1)}$ 的积和的结果作为偏差供应偏置。在偏置为 $b$ 时,算式(2.2)可以改写为如下算式。

[0474] [算式3]

$$[0475] \quad u_j^{(k)} = \sum_{i=1}^m w_{ij}^{(k-1)(k)} \cdot z_i^{(k-1)} + b \quad \dots(2.3)$$

[0476] 神经元 $N_j^{(k)}$ 根据 $u_j^{(k)}$ 生成输出信号 $z_j^{(k)}$ 。在此,以下算式定义来自神经元 $N_j^{(k)}$ 的输出信号 $z_j^{(k)}$ 。

[0477] [算式4]

$$[0478] \quad z_j^{(k)} = f(u_j^{(k)}) \quad \dots(2.4)$$

[0479] 函数 $f(u_j^{(k)})$ 是分层神经网络中的激活函数,可以使用阶梯函数、斜坡函数(ReLU函数)、sigmoid函数、tanh函数、Softmax函数等。既可以在所有神经元中使用相同的激活函数,也可以在神经元中使用不同的激活函数。此外,神经元的激活函数也可以在各层中相同或不同。

[0480] 各层的神经元所输出的信号、权系数 $w$ 或偏置 $b$ 既可以为模拟值又可以为数字值。作为数字值,例如既可以为2值又可以为3值。此外,也可以为更大的位数。作为一个例子,在信号为模拟值时,作为激活函数,例如使用线性斜坡函数、sigmoid函数等即可。在信号为数字值的2值时,例如,使用使输出为-1或1、或者0或1的阶梯函数即可。另外,各层的神经元所输出的信号也可以为3值以上,例如,作为输出3值的激活函数,使用使输出为-1、0或1的阶梯函数,或者0、1或2的阶梯函数等即可。此外,例如,作为输出5值的激活函数,使用-2、-1、0、1或2的阶梯函数等。通过作为各层的神经元所输出的信号、权系数 $w$ 和偏置 $b$ 中的至少一个使用数字值,可以减少电路规模、降低功耗或提高运算速度。此外,通过作为各层的神经元所输出的信号、权系数 $w$ 和偏置 $b$ 中的至少一个使用模拟值,可以提高运算的精度。

[0481] 神经网络100通过对第一层(输入层)输入输入信号,在从第一层(输入层)到最后层(输出层)的各层中,依次进行根据从前一层输入的信号使用算式(2.1)、算式(2.2)(或算式(2.3))、算式(2.4)生成输出信号而将该输出信号输出到后一层的工作。从最后层(输出层)输出的信号相当于神经网络100所计算的结果。

[0482] <运算电路的结构例子1>

[0483] 在此,说明在上述神经网络100中能够进行算式(2.2)(或算式(2.3))及算式(2.4)的运算的运算电路的一个例子。注意,在该运算电路中,作为一个例子,将神经网络100的神经突触电路的权系数设定为2值(“-1”、“+1”的组合或“0”、“+1”的组合等)、3值(“-1”、“0”、“1”的组合等)或者4值以上的多值(5值时,“-2”、“-1”、“0”、“1”、“2”的组合等),并且神经元的激活函数输出2值(“-1”、“+1”的组合或“0”、“+1”的组合等)、3值(“-1”、“0”、“1”的组合等)、4值以上的多值(4值时,“0”、“1”、“2”、“3”的组合等)。另外,在本说明书等中,有时将权系数和从前一层的神经元向后一层的神经元输入的信号的信号值(有时称为运算值)中的一方称为第一数据而另一方称为第二数据。注意,神经网络100的突触电路的权系数或运算值不局限于数字值,其中至少一个也可以使用模拟值。

[0484] 作为一个例子,图25所示的运算电路110是包括电路ILD及运算部CLP的半导体装置。此外,运算部CLP包括阵列部ALP、电路WLD、电路XLD以及电路AFP。注意,图25未示出与布线IL及布线ILB电连接的电路LMNT以及布线IL及布线ILB与电路LMNT电连接的布线。运算电路110是对输入到图24A及图24B中的第k层的神经元 $N_1^{(k)}$ 至神经元 $N_n^{(k)}$ 的信号 $z_1^{(k-1)}$ 至 $z_m^{(k-1)}$ 进行处理而生成从神经元 $N_1^{(k)}$ 至神经元 $N_n^{(k)}$ 的每一个输出的信号 $z_1^{(k)}$ 至 $z_n^{(k)}$ 的电路。

[0485] 注意,运算电路110整体或一部分可以用于神经网络(包括进行卷积处理的CNN、RNN(递归神经网络)等)、AI以外的用途。例如,当在图像处理用计算、科学计算等中进行积和运算处理或矩阵运算处理等时,也可以使用运算电路110整体或一部分进行处理。换言之,运算电路110整体或一部分除了AI用计算以外还可以用于一般的计算。

[0486] 电路ILD例如与布线IL[1]至布线IL[n]、布线ILB[1]至布线ILB[n]电连接。电路WLD例如与布线WLS[1]至布线WLS[m]电连接。电路XLD例如与布线XLS[1]至布线XLS[m]电连接。电路AFP例如与布线OL[1]至布线OL[n]、布线OLB[1]至布线OLB[n]电连接。

[0487] <<阵列部ALP>>

[0488] 阵列部ALP例如包括 $m \times n$ 个电路MP。电路MP例如在阵列部ALP内配置为m行n列的矩阵状。在图25中,将位于i行j列(在此,i是1以上且m以下的整数,j是1以上且n以下的整数。)的电路MP表示为电路MP[i,j]。注意,图25摘要示出电路MP[1,1]、电路MP[m,1]、电路MP[i,j]、电路MP[1,n]、电路MP[m,n]。

[0489] 电路MP[i,j]例如与布线IL[j]、布线ILB[j]、布线WLS[i]、布线XLS[i]、布线OL[j]及布线OLB[j]电连接。

[0490] 电路MP[i,j]例如具有保持神经元 $N_i^{(k-1)}$ 和神经元 $N_j^{(k)}$ 之间的权系数(有时称为第一数据和第二数据中的一方。在此称为第一数据)的功能。具体而言,电路MP[i,j]保持对应于从布线IL[j]及布线ILB[j]输入的第一数据(权系数)的数据(例如,电位、电阻值、电流值等)。另外,电路MP[i,j]具有将从神经元 $N_i^{(k-1)}$ 输出的信号 $z_i^{(k-1)}$ (有时称为第一数据和第二数据中的另一方。在此称为第二数据)与第一数据之积输出的功能。具体而言,电路MP[i,j]通过从布线XLS[i]输入第二数据 $z_i^{(k-1)}$ ,对应于第一数据与第二数据之积的数据(例如,电



流、电压等)或者与第一数据和第二数据之积有关的数据(例如,电流、电压等)电流输出到布线OL[j]及布线OLB[j]。注意,图25示出不配置有布线IL[j]及布线ILB[j]的例子,但是本发明的一个方式不局限于此。在图25的运算电路110中,本发明的一个方式也可以只配置有布线IL[j]和布线ILB[j]中的任何一个。

[0491] 注意,将后面说明电路MP的具体结构例子。

[0492] <<电路ILD>>

[0493] 电路ILD例如具有通过布线IL[1]至布线IL[n]及布线ILB[1]至布线ILB[n]对电路MP[1,1]至电路MP[m,n]的每一个输入对应于第一数据 $w_1^{(k-1)} \quad 1^{(k)}$ 至 $w_m^{(k-1)} \quad n^{(k)}$ 的数据(例如,电位、电阻值、电流值等)的功能。具体而言,电路ILD由布线IL[j]、布线ILB[j]对电路MP[i,j]供应对应于第一数据 $w_i^{(k-1)} \quad j^{(k)}$ 的数据(例如,电位、电阻值或电流值等)。具体而言,在实施方式1中说明的存储装置MINT或存储装置MEXT中,保持第一数据 $w_1^{(k-1)} \quad 1^{(k)}$ 至 $w_m^{(k-1)} \quad n^{(k)}$ ,从存储装置MINT或存储装置MEXT对电路ILD传送第一数据,电路ILD通过布线IL[j]、布线ILB[j]供应对应一个数据 $w_i^{(k-1)} \quad j^{(k)}$ 的信息(例如,电位、电阻值或电流值等)。注意,在实施方式1等中记载电路ILD的具体电路结构。

[0494] <<电路XLD>>

[0495] 电路XLD例如通过布线XLS[1]至布线XLS[n]对电路MP[1,1]至电路MP[m,n]的每一个供应第二数据 $z_1^{(k-1)}$ 至 $z_m^{(k-1)}$ 的功能。具体而言,电路XLD对电路MP[i,1]至电路MP[i,n]由布线XLS[i]供应对应于第二数据 $z_i^{(k-1)}$ 的数据(例如,电位、电流值等)。注意,虽然示出配置有布线XLS[i]的例子,但是本发明的一个方式不局限于此。本发明的一个方式例如也可以具有如下结构:在图25的运算电路110中布线XLS[i]为多个布线,由多个布线供应对应第二数据 $z_i^{(k-1)}$ 的信息(例如,电位、电流值等)。

[0496] <<电路WLD>>

[0497] 电路WLD例如具有选择从电路ILD输入的对对应于第一数据的数据(例如,电位、电阻值、电流值等)被写入的电路MP的功能。例如,在对位于阵列部ALP的第i行的电路MP[i,1]至电路MP[i,n]写入数据(例如,电位、电阻值、电流值等)时,电路WLD例如对布线WLS[i]供应用来使包括在电路MP[i,1]至电路MP[i,n]中的写入用开关元件处于开启状态或关闭状态的信号,对布线WLS供应用来使第i行以外的电路MP所包括的写入用开关元件处于关闭状态的电位。注意,虽然示出配置有布线WLS[i]的例子,但是本发明的一个方式不局限于此。除了布线WLS[i]以外例如也可以另行配置传送对布线WLS[i]输入的信号的信号的反转信号的布线。

[0498] 注意,虽然示出在图25的运算电路110中配置布线WLS[i]的结构例子,但是本发明的一个方式不局限于此。例如,也可以将布线WLS[i]替换为多个布线。此外,例如,布线XLS[i]为多个布线,也可以将布线XLS[i]的一部分的布线兼用作对电路MP[i,1]至电路MP[i,n]写入信息的选择信号线。具体而言,如图26所示的运算电路130那样,运算电路110的布线XLS[i]为布线WX1L[i]及布线X2L[i],布线WX1L[i]与电路WLD及电路XLD电连接。注意,在对布线WX1L[i]从电路WLD供应使包括在电路MP[i,1]至电路MP[i,n]中的写入开关元件处于开启状态或关闭状态的信号时,电路XLD优选具有使电路XLD与布线WX1L之间处于非导通状态的功能。在通过布线WX1L[i]从电路WLD对电路MP[i,1]至电路MP[i,n]供应第二数据 $z_1^{(k-1)}$ 至 $z_m^{(k-1)}$ 的信号时,电路WLD优选具有使电路WLD与布线WX1L之间处于非导通状态的功能。

[0499] <<电路AFP>>

[0500] 电路AFP例如包括电路ACTF[1]至电路ACTF[n]。电路ACTF[j]例如电连接于布线OL[j]和布线OLB[j]。电路ACTF[j]例如生成对应于从布线OL[j]及布线OLB[j]输入的各数据(例如,电位、电流值等)的信号。例如,对从布线OL[j]及布线OLB[j]输入的各数据(例如,电位或电流值等)进行比较,来生成对应于其比较结果的信号。换言之,电路ACTF[1]至电路ACTF[n]例如被用作进行上述神经网络的激活函数的运算的电路。注意,本发明的一个方式不局限于此。例如,电路ACTF[1]至电路ACTF[n]也可以具有将模拟信号转换为数字信号的功能。或者,例如,电路ACTF[1]至电路ACTF[n]可以具有将模拟信号放大而输出的功能,即将输出阻抗转换的功能。注意,示出配置有电路ACTF的例子,但是本发明的一个方式不局限于此,也可以不配置有电路ACTF。或者,例如,电路ACTF[1]至电路ACTF[n]也可以具有将电流或电荷转换电压的功能。或者,例如,电路ACTF[1]至电路ACTF[n]也可以具有使布线OL[j]及布线OLB[j]的电位初始化的功能。

[0501] 注意,在图25所示的运算电路110中示出配置有电路ACTF的情况的例子,本发明的一个方式不局限于此。例如,也可以在电路AFP中不配置电路ACTF。

[0502] 此外,将后面说明电路ACTF的结构例子。

[0503] <<电路MP>>

[0504] 图27A示出可以应用于运算电路110的电路MP[i,j]的结构例子。电路MP[i,j]例如包括电路MC及电路MCr。电路MC及电路MCr是在电路MP中计算权系数与神经元的输入信号(运算值)之积的电路。电路MC可以采用与电路MCr相同的结构或与电路MCr不同的结构。由此,为了与电路MC区分,对电路MCr的符号附上“r”。另外,对后面说明的电路MCr中的电路元件的符号也附上“r”。

[0505] 例如,电路MC包括电路HC,电路MCr包括电路HCr。电路HC及电路HCr分别具有保持数据(例如,电位、电阻值、电流值等)的功能。另外,电路MP[i,j]所设定的第一数据 $w_i^{(k-1)} w_j^{(k)}$ 根据电路HC及电路HCr的每一个保持的数据(例如,电位、电阻值、电流值等)决定。由此,电路HC及电路HCr的每一个与供应对应于第一数据 $w_i^{(k-1)} w_j^{(k)}$ 的各数据(例如,电位、电阻值、电流值等)的布线IL[j]及布线ILB[j]电连接。

[0506] 在图27A中,电路MP[i,j]与布线VE[j]及布线VEr[j]电连接。此外,电路MC及电路MCr分别与布线OL[j]及布线OLB[j]电连接。布线VE[j]、布线VEr[j]被用作恒电压的布线。此外,布线VE[j]被用作通过电路MC排来自布线OL的电流的布线。此外,布线VEr[j]被用作通过电路MCr排来自布线OLB的电流的布线。也就是说,布线VE[j]及布线VEr[j]都被用作供应恒电压的布线。注意,该恒电压例如可以为接地电位、低电平电位等。

[0507] 图27A所示的布线WL[i]相当于图25中的布线WLS[i]。布线WL[i]与电路HC及电路HCr的每一个电连接。在对电路MP[i,j]中的电路HC及电路HCr写入对应于第一数据 $w_i^{(k-1)} w_j^{(k)}$ 的数据(例如,电位、电阻值、电流值等)时,通过对布线WL[i]供应指定电位,使布线IL[j]与电路HC之间处于导通状态且使布线ILB[j]与电路HCr之间处于导通状态。通过对布线IL[j]、布线ILB[j]的每一个供应对应于第一数据 $w_i^{(k-1)} w_j^{(k)}$ 的电位等,可以对电路HC及电路HCr的每一个输入该电位等。然后,对布线WL[i]供应指定电位而使布线IL[j]与电路HC之间处于非导通状态且使布线ILB[j]与电路HCr之间处于非导通状态。其结果,电路HC及电路HCr的每一个保持对应于第一数据 $w_i^{(k-1)} w_j^{(k)}$ 的各电流等。

[0508] 例如,考虑第一数据 $w_i^{(k-1)} w_j^{(k)}$ 为“-1”、“0”、“1”的3值中的任一个的情况。在第一数

据 $w_i^{(k-1)} j^{(k)}$ 为“1”时,作为一个例子,以从布线OL[j]或布线OLB[j]通过电路MC对布线VE[j]流过对应于“1”的电流的方式在电路HC保持规定电位,且以不从布线OL[j]及布线OLB[j]通过电路MCr向布线VEr[j]流过电流的方式在电路HCr保持电位 $V_0$ 。另外,在第一数据 $w_i^{(k-1)} j^{(k)}$ 为“-1”时,作为一个例子,以不从布线OL[j]及布线OLB[j]通过电路MC向布线VE[j]流过电流的方式,在电路HC保持电位 $V_0$ ,且以从布线OL[j]及布线OLB[j]通过电路MCr对布线VEr[j]流过对应于“-1”的电流的方式,在电路HCr保持规定电位。并且,在第一数据 $w_i^{(k-1)} j^{(k)}$ 为“0”时,作为一个例子,以不从布线OL[j]通过电路MC向布线VE[j]流过电流的方式,在电路HC保持电位 $V_0$ ,且以不从布线OLB[j]通过电路MC向布线VEr[j]流过电流的方式,在电路HCr保持电位 $V_0$ 。注意,作为一个例子,电位 $V_0$ 可以与布线VE及/或布线VEr所供应的电位相等的电位。此外,电路ILD优选具有将电位 $V_0$ 供应给布线IL、布线ILB的功能。

[0509] 因此,电路ILD例如也可以将图2A的结构改变为图28所示的结构而使用。图28的电路ILD具有在图2A的电路ILD中设置有电路LGC且电路WCS1包括开关SW[0]的结构。开关SW[0]的第一端子与布线IL(布线ILB)电连接,开关SW[0]的第二端子与布线VEG电连接。此外,电路LGC的各输入端子都与布线DIL[1]至布线DIL[K]电连接,电路LGC的输出端子通过布线DAL与开关SW[0]的控制端子电连接。布线VEG例如被用作供应与布线VE及/或布线VEr所供应的电位相等的电位(例如,低电平电位、接地电位等)的布线。

[0510] 注意,作为开关SW[0]例如优选使用可用于开关SW[1]至开关SW[K]的晶体管。

[0511] 在电路LGC例如具有如下功能:在布线DIL[1]至布线DIL[K]分别传送使开关SW[1]至开关SW[K]都处于关闭状态的信号时,从电路LGC的输出端子传送使开关SW[0]处于开启状态的信号。换言之,电路LGC具有如下功能:在布线DIL[1]至布线DIL[K]分别输出使开关SW[1]至开关SW[K]中的任一个处于开启状态的信号时,从电路LGC的输出端子传送使开关SW[0]处于关闭状态的信号。因此,电路LGC例如在开关SW[0]至开关SW[K]为p沟道型晶体管时可以是包括NAND门的逻辑电路,或者在开关SW[0]至开关SW[K]为n沟道型晶体管时可以是包括NOR门的逻辑电路。

[0512] 另外,考虑第一数据 $w_i^{(k-1)} j^{(k)}$ 不是“-1”、“0”、“1”等多值而是模拟值,具体而言,“负模拟值”、“0”或“正模拟值”的情况。在第一数据 $w_i^{(k-1)} j^{(k)}$ 为“正模拟值”时,作为一个例子,以从布线OL[j]通过电路MC对布线VE[j]流过对应于“正模拟值”的模拟电流的方式,在电路HC保持规定电位,且以不从布线OLB[j]通过电路MCr对布线VEr[j]供应电流的方式,在电路HCr保持电位 $V_0$ 。另外,在第一数据 $w_i^{(k-1)} j^{(k)}$ 为“负模拟值”时,作为一个例子,以不从布线OL[j]通过电路MC对布线VE[j]供应电流的方式,在电路HC保持电位 $V_0$ ,且以从布线OLB[j]通过电路MCr对布线VEr[j]流过对应于“负模拟值”的模拟电流的方式,在电路HCr保持规定电位。并且,在第一数据 $w_i^{(k-1)} j^{(k)}$ 为“0”时,作为一个例子,以不从布线OL[j]通过电路MC向布线VE[j]流过电流的方式,在电路HC保持电位 $V_0$ ,且以不从布线OLB[j]通过电路MC向布线VEr[j]流过电流的方式,在电路HCr保持电位 $V_0$ 。注意,与上述例子同样地,电位 $V_0$ 优选从电路ILD通过布线IL、布线ILB供应。

[0513] 另外,例如,电路MC具有将对应于电路HC所保持的数据(例如,电位、电阻值或电流值等)的电流等输出到布线OL[j]和布线OLB[j]中的一方的功能,电路MCr具有将对应于电路HCr所保持的数据(例如,电位、电阻值或电流值等)的电流等输出到布线OL[j]和布线OLB[j]中的另一方的功能。例如,在电路HC保持第一电位时,电路MC从布线OL[j]或布线OLB[j]

对布线VE流过具有第一电流值的电流,在电路HC保持第二电位时,电路MC从布线OL[j]或布线OLB[j]对布线VE流过具有第二电流值的电流。同样地,在电路HCr保持第一电位时,电路MCr从布线OL[j]或布线OLB[j]对布线VEr流过具有第一电流值的电流,在电路HCr保持第二电位时,电路MCr从布线OL[j]或布线OLB[j]对布线VE流过具有第二电流值的电流。注意,第一电流值、第二电流值的每一个的大小根据第一数据 $w_i^{(k-1)} j^{(k)}$ 的值决定。例如,第一电流值有时大于第二电流值或小于第二电流值。另外,例如,有时第一电流值和第二电流值中的一方为零电流,即为0。另外,有时具有第一电流值的电流流过的方向与具有第二电流值的电流流过的方向不同。

[0514] 尤其是,例如,在第一数据 $w_i^{(k-1)} j^{(k)}$ 为“-1”、“0”、“1”的3值中的任一个时,优选以第一电流值和第二电流值中的一方为0的方式构成电路MC及电路MCr。另外,第一数据 $w_i^{(k-1)} j^{(k)}$ 为模拟值,例如,“负模拟值”、“0”或“正模拟值”时,第一电流值或第二电流值例如可以成为模拟值。

[0515] 在使从布线OL[j]或布线OLB[j]通过电路MC对布线VE流过的电流与从布线OL[j]或布线OLB[j]通过电路MCr对布线VEr流过的电流相等时,由于起因于晶体管的制造工序等导致该晶体管的特性产生偏差,有时保持在电路MC中的电位不与保持在电路MCr中的电位相等。本实施方式所说明的运算电路即使晶体管的特性有偏差,也可以使从布线OL[j]或布线OLB[j]通过电路MC对布线VE流过的电流的量与从布线OL[j]或布线OLB[j]通过电路MCr对布线VEr流过的电流的量几乎相等。

[0516] 在本说明书等中,对应于保持在电路HC及电路HCr的信息(例如,电位、电阻值或电流值等)的电流或电压等可以为正电流或电压等,也可以为负电流或电压等,也可以为零电流或零电压等,也可以为混有正、负和零的电流或电压。换言之,例如,上述“具有将对应于电路HC所保持的信息(例如,电位、电阻值或电流值等)的电流或电压等输出到布线OL[j]和布线OLB[j]中的一方的功能,电路MCr具有将电路HCr所保持的信息(例如,电位、电阻值或电流值等)的电流或电压等输出到布线OL[j]和布线OLB[j]中的另一方的功能”的记载可以换为“具有将对应于电路HC所保持的信息(例如,电位、电阻值或电流值等)的电流、电压等从布线OL[j]和布线OLB[j]中的一方排出的功能,电路MCr具有将对应于电路HCr所保持的信息(例如,电位、电阻值或电流值等)的电流或电压等从布线OL[j]和布线OLB[j]中的另一方排出的功能”的记载。

[0517] 图27A所示的布线X1L[i]及布线X2L[i]相当于图25中的布线XLS[i]。输入到电路MP[i,j]的第二数据 $z_i^{(k-1)}$ 例如根据布线X1L[i]及布线X2L[i]的每一个的电位或电流等决定。由此,对电路MC及电路MCr例如通过布线X1L[i]及布线X2L[i]输入对应于第二数据 $z_i^{(k-1)}$ 的各电位。

[0518] 电路MC与布线OL[j]、布线OLB[j]电连接,电路MCr与布线OL[j]、布线OLB[j]电连接。电路MC及电路MCr例如根据输入到布线X1L[i]及布线X2L[i]的电位或电流等对布线OL[j]及布线OLB[j]输出对应于第一数据 $w_i^{(k-1)} j^{(k)}$ 与第二数据 $z_i^{(k-1)}$ 之积的电流或电位等。具体而言,例如来自电路MC及电路MCr的电流被输出的布线根据布线X1L[i]及布线X2L[i]的电位决定。例如,电路MC及电路MCr具有如下电路结构:从电路MC输出的电流向布线OL[j]和布线OLB[j]中的一方流过,从电路MCr输出的电流向布线OL[j]和布线OLB[j]中的另一方流过。换言之,从电路MC及电路MCr输出的各电流不向同一布线流过,而向彼此不同的布线流

过。注意,例如,有时电流从电路MC及电路MCr到布线OL[j]和布线OLB[j]不流过。

[0519] 例如,考虑第二数据 $z_i^{(k-1)}$ 成为“-1”、“0”、“1”的3值中的任一个的情况。例如,在第二数据 $z_i^{(k-1)}$ 为“1”时,电路MP使电路MC与布线OL[j]间处于导通状态且使电路MCr与布线OLB[j]间处于导通状态。例如,在第二数据 $z_i^{(k-1)}$ 为“-1”时,电路MP使电路MC与布线OLB[j]间处于导通状态且电路MCr与布线OL[j]间处于导通状态。例如,在第二数据 $z_i^{(k-1)}$ 为“0”时,为了使电路MC及电路MCr的每一个所输出的电流不流过布线OL[j]和布线OLB[j],电路MP使电路MC与布线OL[j]间及电路MC与布线OLB[j]间处于非导通状态且使电路MCr与布线OL[j]间及电路MCr与布线OLB[j]间处于非导通状态。

[0520] 以下示出将以上工作的情况总合的例子。在第一数据 $w_i^{(k-1)}(j)^{(k)}$ 为“1”时,有时通过电路MC从布线OL[j]或布线OLB[j]向布线VE[j]流过电流,不通过电路MCr从布线OL[j]或布线OLB[j]向布线VEr[j]流过电流。在第一数据 $w_i^{(k-1)}(j)^{(k)}$ 为“-1”时,不通过电路MC从布线OL[j]或布线OLB[j]向布线VE[j]流过电流,有时通过电路MCr从布线OL[j]或布线OLB[j]向布线VEr[j]流过电流。另外,在第二数据 $z_i^{(k-1)}$ 为“1”时电路MC与布线OL[j]间及电路MCr与布线OLB[j]间处于导通状态。在第二数据 $z_i^{(k-1)}$ 为“-1”时,电路MC与布线OLB[j]间及电路MCr与布线OL[j]间处于导通状态。如上所述,在第一数据 $w_i^{(k-1)}(j)^{(k)}$ 与第二数据 $z_i^{(k-1)}$ 之积为正时,通过电路MCr从布线OL[j]向布线VE[j]流过电流或者通过电路MCr从布线OL[j]向布线VEr[j]流过电流。在第一数据 $w_i^{(k-1)}(j)^{(k)}$ 与第二数据 $z_i^{(k-1)}$ 之积为负时,通过电路MCr从布线OL[j]向布线VEr[j]流过电流或通过电路MC从布线OLB[j]向布线VE[j]流过电流。在第一数据 $w_i^{(k-1)}(j)^{(k)}$ 与第二数据 $z_i^{(k-1)}$ 之积为零的值时,不从布线OL[j]或布线OLB[j]向布线VE[j]流过电流,且从不从布线OL[j]或布线OLB[j]向布线VEr[j]流过电流。

[0521] 将上述例子具体地记载,在第一数据 $w_i^{(k-1)}(j)^{(k)}$ 为“1”且第二数据 $z_i^{(k-1)}$ 为“1”时,例如,具有第一电流值的电流I1[i,j]从电路MC向布线OL[j]流过,具有第二电流值的电流I2[i,j]从电路MCr向布线OLB[j]流过。此时,第二电流值的高低例如为零。在第一数据 $w_i^{(k-1)}(j)^{(k)}$ 为“-1”且第二数据 $z_i^{(k-1)}$ 为“1”时,例如,具有第二电流值的电流I1[i,j]从电路MC向布线OL[j]流过,具有第一电流值的电流I2[i,j]从电路MCr向布线OLB[j]流过。此时,第二电流值的高低例如为零。在第一数据 $w_i^{(k-1)}(j)^{(k)}$ 为“0”且第二数据 $z_i^{(k-1)}$ 为“1”时,具有第二电流值的电流I1[i,j]从电路MC向布线OL[j]流过,具有第二电流值的电流I2[i,j]从电路MCr向布线OLB[j]流过。此时,第二电流值的高低例如为零。

[0522] 在第一数据 $w_i^{(k-1)}(j)^{(k)}$ 为“1”且第二数据 $z_i^{(k-1)}$ 为“-1”时,具有第一电流值的电流I1[i,j]从电路MC向布线OLB[j]流过,具有第二电流值的电流I2[i,j]从电路MCr向布线OL[j]流过。此时,第二电流值的高低例如为零。在第一数据 $w_i^{(k-1)}(j)^{(k)}$ 为“-1”且第二数据 $z_i^{(k-1)}$ 为“-1”时,具有第二电流值的电流I1[i,j]从电路MC向布线OLB[j]流过,具有第一电流值的电流I2[i,j]从电路MCr向布线OL[j]流过。此时,第二电流值的高低例如为零。在第一数据 $w_i^{(k-1)}(j)^{(k)}$ 为“0”且第二数据 $z_i^{(k-1)}$ 为“-1”时,具有第二电流值的电流I1[i,j]从电路MC向布线OLB[j]流过,具有第二电流值的电流I2[i,j]从电路MCr向布线OL[j]流过。此时,第二电流值的高低例如为零。

[0523] 另外,在第二数据 $z_i^{(k-1)}$ 为“0”时,例如电路MC与布线OL[j]间及电路MC与布线OLB[j]间处于非导通状态。同样地,电路MCr与布线OL[j]间及电路MCr与布线OLB[j]间处于非导通状态。由此,无论第一数据 $w_i^{(k-1)}(j)^{(k)}$ 如何,也不从电路MC及电路MCr向布线OL[j]及布线

OLB[j]输出电流。

[0524] 如此,例如在第一数据 $w_i^{(k-1)j(k)}$ 与第二数据 $z_i^{(k-1)}$ 之积的值为正值时,电流从电路MC或电路MCr向布线OL[j]流过。此时,在第一数据 $w_i^{(k-1)j(k)}$ 为正值时电流从电路MC向布线OL[j]流过,在第一数据 $w_i^{(k-1)j(k)}$ 为负值时,电流从电路MCr向布线OL[j]流过。另一方面,在第一数据 $w_i^{(k-1)j(k)}$ 与第二数据 $z_i^{(k-1)}$ 之积的值为负值时,电流从电路MC或电路MCr向布线OLB[j]流过。此时,在第一数据 $w_i^{(k-1)j(k)}$ 为正值时电流从电路MC向布线OLB[j]流过,在第一数据 $w_i^{(k-1)j(k)}$ 为负值时,电流从电路MCr向布线OLB[j]流过。因此,从连接于布线OL[j]的多个电路MC或电路MCr输出的电流的总和流过布线OL[j]。换言之,在布线OL[j]中,具有正值之和的值的电流流过。另一方面,从连接于布线OLB[j]的多个电路MC或电路MCr输出的电流的总和流过布线OLB[j]。换言之,在布线OLB[j]中,具有负值之和的值的电流流过。由于上述工作,通过利用流过布线OL[j]的电流值的总和,即正值的总和、以及流过布线OLB[j]的电流值的总和,即负值的总和,可以进行积和运算处理。例如,在流过布线OL[j]的电流值的总和大于流过布线OLB[j]的电流值的总和时,根据积和运算的结果可以判断取得正值。在流过布线OL[j]的电流值的总和小于流过布线OLB[j]的电流值的总和时,根据积和运算的结果可以判断取得负值。例如,在流过布线OL[j]的电流值的总和与流过布线OLB[j]的电流值的总和大致相等时,根据积和运算的结果可以判断取得零的值。

[0525] 注意,在第二数据 $z_i^{(k-1)}$ 为“-1”、“0”、“1”中的任何2值,例如“-1”、“1”的2值或者“0”、“1”的2值时,也可以同样地工作。同样的,在第一数据 $w_i^{(k-1)j(k)}$ 为“-1”、“0”、“1”中的任何2值,例如“-1”、“1”的2值或者“0”、“1”的2值时,也可以同样地工作。

[0526] 另外,第一数据 $w_i^{(k-1)j(k)}$ 也可以为多位(多值)的数字值。作为具体例子,第一数据 $w_i^{(k-1)j(k)}$ 也可以为“-2”、“-1”、“0”、“1”、“2”的5值。在第一数据 $w_i^{(k-1)j(k)}$ 为“+2”时,以从电路MC流过的电流的量是第一数据 $w_i^{(k-1)j(k)}$ 为“+1”时的2倍的电流量且从电路MCr流过的电流量为零的方式,电路MP的电路HC、电路HCr都保持电压即可。此外,在第一数据 $w_i^{(k-1)j(k)}$ 为“-2”时,以从电路MCr流过的电流的量是第一数据 $w_i^{(k-1)j(k)}$ 为“-1”时的2倍的电流量且从电路MC流过的电流量为零的方式,电路MP的电路HC、电路HCr都保持电压即可。

[0527] 另外,第一数据 $w_i^{(k-1)j(k)}$ 也可以为模拟值。作为具体例子,可以取得代替“-1”的“负模拟值”以及代替“1”的“正模拟值”。在此情况下,从电路MC或电路MCr流过的电流的高低也例如为对应于第一数据 $w_i^{(k-1)j(k)}$ 的值的绝对值的模拟值。

[0528] 在将第二数据 $z_i^{(k-1)}$ 用作4值以上或模拟值时,例如包括电路ACTF[j]中作为电流流过的电荷转换为电压的积分电路等,设定对应第二数据 $z_i^{(k-1)}$ 的值的输入时间,在该输入时间中对布线X1L[i]及布线X2L[i]输入电压即可。具体而言,例如,在第二数据 $z_i^{(k-1)}$ 为正值时,只在对应第二数据 $z_i^{(k-1)}$ 的时间对布线X1L[i]供应高电平电位且对布线X2L[i]供应低电平电位即可。此外,例如,在第二数据 $z_i^{(k-1)}$ 为负值时,只在对应第二数据 $z_i^{(k-1)}$ 的时间对布线X1L[i]供应低电平电位且对布线X2L[i]供应高电平电位即可。此时,在存储单元MC与布线OL[j]或布线OLB[j]之间流过的电荷量根据对应第一数据 $w_i^{(k-1)j(k)}$ 的电流量与输入到布线X1L[i]及布线X2L[i]的电压的时间之积决定。通过由该积分电路将布线OL[j]或布线OLB[j]流过的电荷量转换为电压,可以取得对应第一数据 $w_i^{(k-1)j(k)}$ 与第二数据 $z_i^{(k-1)}$ 之积的电压。也就是说,通过采用上述结构,可以进行第一数据 $w_i^{(k-1)j(k)}$ 为多值或模拟值且第二数据 $z_i^{(k-1)}$ 为多值或模拟值的积的运算。

[0529] 包括在电路MC中的电路HC及包括在电路MC中的电路HC<sub>r</sub>也可以不仅是一个而是两个以上。通过电路MC (电路MC<sub>r</sub>) 包括两个以上的电路HC (电路HC<sub>r</sub>) ,可以在电路MP中保持两个以上的第一数据。另外,通过在运算部CLP等中设置从两个以上的电路HC (电路HC<sub>r</sub>) 中选择一个的驱动电路等,可以选择在运算部CLP进行计算的第一数据。因此,通过构成这种电路MP,电路MP切换包括在电路MC (电路MC<sub>r</sub>) 中的两个以上的电路HC (电路HC<sub>r</sub>) ,可以进行从两个以上的第一数据中选择一个与被输入的第二数据之积。此外,通过将这种电路MP用于阵列部ALP整体,在进行多个第一数据与多个第二数据的积和运算时,可以将多个第一数据的每一个切换为其他多个第一数据。

[0530] 接着,说明图27A的具体电路结构例子。图27B所示的电路结构是图27A的电路MP的电路结构的一个例子,包括在图27B的电路MP中的电路MC例如包括n沟道型晶体管的晶体管M1至晶体管M5以及电容C1。此外,例如,由晶体管M2及电容C1构成电路HC。

[0531] 在图27B的电路MP中,电路MC<sub>r</sub>具有与电路MC大致相同的电路结构。因此,为了与电路MC所包括的电路元件进行区别,对电路MC<sub>r</sub>所包括的电路元件等的符号附上“r”。此外,因此,关于晶体管M1<sub>r</sub>至晶体管M5<sub>r</sub>、电容C1<sub>r</sub>及节点n1<sub>r</sub>,参照下述晶体管M1至晶体管M5、电容C1及节点n1的说明。

[0532] 在本说明书等中,在没有特别的说明的情况下,晶体管M1在开启状态时有时最终在饱和区域中工作。换言之,包括如下情况:对上述各晶体管的栅极电压、源极电压及漏极电压进行适当的偏压,使得该晶体管在饱和区域中工作。注意,本发明的一个方式不局限于此。为了减小所供应的电压的振幅值,晶体管M1也可以在线性区域中工作。此外,为了减少流过晶体管M1的电流量,晶体管M1也可以在亚阈值区域中工作。或者,也可以在饱和区域与亚阈值区域的境界附近工作。注意,在第一数据(权系数)为模拟值时,晶体管M1例如也可以根据第一数据(权系数)的大小在线性区域中工作的情况、在饱和区域中工作的情况以及在亚阈值区域中工作的情况混在一起。或者,晶体管M1也可以将在如下区域中工作的情况混在一起:在线性区域中工作的情况以及在饱和区域中工作的情况;在饱和区域中工作的情况以及在亚阈值区域中工作的情况;或者在线性区域中工作的情况以及在亚阈值区域中工作的情况。

[0533] 在本说明书等中,在没有特别的说明的情况下,晶体管M2至晶体管M5在开启状态时有时最终在线性区域中工作。也就是说,对上述各晶体管的栅极电压、源极电压及漏极电压有时进行适当的偏压,使得该晶体管在线性区域中工作。注意,本发明的一个方式不局限于此。例如,晶体管M2至晶体管M5也可以在开启状态时在饱和区域中工作或在亚阈值区域中工作。或者,也可以在饱和区域与亚阈值区域的境界附近工作。或者,晶体管M2至晶体管M5也可以将在如下区域中工作的情况混在一起:在线性区域中工作的情况以及在饱和区域中工作的情况;在饱和区域中工作的情况以及在亚阈值区域中工作的情况;在线性区域中工作的情况以及在亚阈值区域中工作的情况;或者在线性区域中工作的情况、在饱和区域中工作的情况以及在亚阈值区域中工作的情况。

[0534] 图27B所示的晶体管M3及晶体管M4的尺寸例如沟道长度及沟道宽度优选彼此相同。通过采用上述电路结构,有可能有效地进行布局。另外,有可能使流过晶体管M3及晶体管M4的电流一致。此外,同样地,图27B所示的晶体管M1及晶体管M1<sub>r</sub>的尺寸优选彼此相同。此外,同样地,图27B所示的晶体管M2及晶体管M2<sub>r</sub>的尺寸优选彼此相同。另外,同样地,图

27B所示的晶体管M5及晶体管M5r的尺寸优选彼此相同。此外,同样地,图27B所示的晶体管M3及晶体管M3r的尺寸以及晶体管M4及晶体管M4r的尺寸优选彼此相同。

[0535] 在图27B中,晶体管M1至晶体管M5都是n沟道型晶体管,但晶体管M1至晶体管M5也可以置换成p沟道型晶体管。此时,每个晶体管可以使用SOI (Silicon On Insulator:绝缘体上硅) 结构的p沟道型晶体管。此外,布线VE及布线VEr所供应的恒电压优选为高电平电位。在使供应给晶体管M2 (例如,OS晶体管) 的栅极的电压的振幅减小时,晶体管M1 (例如,Si晶体管) 优选为n沟道型晶体管。

[0536] 在图27B中,晶体管M2至晶体管M5也可以置换成模拟开关或机械开关等。模拟开关例如可以具有使用n沟道型晶体管及p沟道型晶体管的CMOS结构。

[0537] 图27B所示的晶体管M1至晶体管M5例如采用在沟道上下包括栅极的多栅结构的n沟道型晶体管,晶体管M1至晶体管M5都包括第一栅极及第二栅极。注意,在本说明书等中,为了方便起见,例如将第一栅极记为栅极 (有时记为前栅极),将第二栅极记为背栅极来进行区分,但是第一栅极和第二栅极可以相互调换。因此,在本说明书等中,“栅极”可以记为“背栅极”。同样地,“背栅极”可以记为“栅极”。具体而言,“栅极与第一布线电连接且背栅极与第二布线电连接”的连接结构可以调换为“背栅极与第一布线电连接且栅极与第二布线电连接”的连接结构。

[0538] 另外,本发明的一个方式的半导体装置不取决于晶体管的背栅极的连接结构。在图27B所示的晶体管M1至晶体管M5中示出背栅极而不示出该背栅极的连接关系,但是可以在进行设计时决定该背栅极的电连接点。例如,在包括背栅极的晶体管中,为了提高该晶体管的通态电流,可以使栅极与背栅极电连接。换言之,例如,也可以使晶体管M2的栅极与背栅极电连接。另外,例如,在包括背栅极的晶体管中,为了使该晶体管的阈值电压改变或降低该晶体管的关态电流,设置与外部电路等电连接的布线而通过该外部电路等对晶体管的背栅极供应固定电位或可变电位。除了图27B以外,说明书中的其他部分所记载的晶体管或其他附图表示的晶体管也是同样的。

[0539] 另外,本发明的一个方式的半导体装置不取决于该半导体装置所包括的晶体管的结构。例如,图27B所示的晶体管M1至晶体管M5也可以为不包括背栅极的结构,即单栅极结构的晶体管。另外,也可以为一部分晶体管包括背栅极且其他一部分晶体管不包括背栅极。

[0540] 另外,在本说明书等中,作为晶体管可以使用各种结构的晶体管。因此,对使用的晶体管的种类没有限制。作为晶体管的一个例子,可以使用具有单晶硅的晶体管或者具有以非晶硅、多晶硅或微晶 (也称为微结晶、纳米晶、半非晶 (semi-amorphous)) 硅等为代表的非单晶半导体膜的晶体管等。或者,可以使用使这些半导体薄膜化的薄膜晶体管 (TFT) 等。TFT的使用有各种优点。例如,由于与制造单晶硅的情况相比可以以低温度制造,所以可以实现制造成本的降低或制造装置的大型化。由于可以增大制造装置,所以可以在大型衬底上制造。因此,由于可以同时制造多个显示装置,所以可以以低成本制造。或者,由于制造温度低,所以可以使用耐热性低的衬底。因此,可以在具有透光性的衬底上制造晶体管。或者,可以通过使用形成在具有透光性的衬底上的晶体管来控制显示元件的透光。或者,因为晶体管的膜厚较薄,所以形成晶体管的膜的一部分能够透光。因此,可以提高开口率。

[0541] 作为晶体管的一个例子,可以使用包括化合物半导体 (例如,SiGe、GaAs等) 或氧化物半导体 (例如,Zn-O、In-Ga-Zn-O、In-Zn-O、In-Sn-O (ITO)、Sn-O、Ti-O、Al-Zn-Sn-O



(AZTO)、In-Sn-Zn-O等)等的晶体管。或者,可以使用上述化合物半导体或上述氧化物半导体薄膜化的薄膜晶体管等。由此,可以降低制造温度,所以例如可以在室温下制造晶体管。其结果是,可以在塑料衬底或薄膜衬底等耐热性低的衬底上直接形成晶体管。此外,不仅可以将这些化合物半导体或氧化物半导体用于晶体管的沟道部分,而且还可以用作其它用途。例如,可以将这些化合物半导体或氧化物半导体用作布线、电阻元件、像素电极或具有透光性的电极等。因为可以与晶体管同时沉积或形成上述半导体,所以可以降低成本。

[0542] 作为晶体管的一个例子,可以使用通过喷墨法或印刷法形成的晶体管等。因此,可以以室温制造、以低真空度制造或在大型衬底上制造。因此,即使不使用掩模(掩模版(reticle))也可以进行制造,所以可以容易地改变晶体管的布局。或者,因为可以不使用抗蚀剂的方式进行制造,所以可以减少材料费,并减少工序数。或者,因为可以只在需要的部分上形成膜,所以与在整个面上形成膜之后进行蚀刻的制造方法相比成本较低且不浪费材料。

[0543] 作为晶体管的一个例子,可以使用具有有机半导体、碳纳米管等的晶体管等。由此,可以在能够弯曲的衬底上形成晶体管。使用具有有机半导体、碳纳米管等的晶体管的装置能抗冲击。

[0544] 作为晶体管还可以使用其他各种结构的晶体管。例如,作为晶体管,可以使用MOS型晶体管、接合型晶体管、双极晶体管等。通过作为晶体管使用MOS型晶体管,可以减小晶体管尺寸。因此,可以安装多个晶体管。通过作为晶体管使用双极晶体管,可以使较大的电流流过。因此,可以使电路高速地工作。注意,也可以将MOS型晶体管、双极晶体管等形成在一个基板上。由此,可以实现低功耗、小型化、高速工作等。

[0545] 另外,作为晶体管的一个例子,例如也可以采用在活性层上下配置有栅电极的结构晶体管。通过采用在活性层上下配置有栅电极的结构,多个晶体管并联连接。因此,沟道区域增加,所以可以增大电流值。或者,通过采用在活性层上下配置有栅电极的结构,容易产生耗尽层,因此可以改善S值。

[0546] 另外,作为晶体管的一个例子,也可以采用将栅电极配置在活性层上的结构、将栅电极配置在活性层下的结构、交错结构、反交错结构、将沟道区域分割成多个区域的结构、并联连接活性层的结构或者串联连接活性层的结构等。或者,作为晶体管,可以使用平面型、FIN(鳍)型、TRI-GATE(三栅)型、顶栅型、底栅型、双栅型(在沟道上下配置有栅极)等各种结构的晶体管。

[0547] 另外,作为晶体管的一个例子,还可以采用活性层(或其一部分)与源电极或漏电极重叠的结构。通过采用活性层(或其一部分)与源电极或漏电极重叠的结构,可以防止因电荷积累于活性层的一部分而导致的工作不稳定。

[0548] 另外,作为晶体管的一个例子,可以采用设置有LDD区域的结构。通过设置LDD区域,可以降低关态电流或者提高晶体管的耐压性(提高可靠性)。或者,通过设置LDD区域,当晶体管在饱和区域中工作时,即便漏极和源极之间的电压发生变化,漏电流的变化也不太大,从而可以得到倾斜角平坦的电压-电流特性。

[0549] 上述晶体管的各端子的连接、结构等的变形例子不仅可以用于图27B所示的电路图,而且同样地也可以用于说明书的其他部分所记载的晶体管或其他附图所示的晶体管。

[0550] 在图27B的电路MP中,晶体管M1的第一端子与布线VE电连接。晶体管M1的第二端子

与晶体管M3的第一端子、晶体管M4的第一端子及晶体管M5的第一端子电连接。晶体管M1的栅极与电容C1的第一端子及晶体管M2的第一端子电连接。电容C1的第二端子与布线VE电连接。晶体管M2的第二端子与晶体管M5的第二端子及布线IL电连接。晶体管M2的栅极与布线WL电连接。晶体管M3的第二端子与布线OL电连接,晶体管M3的栅极与布线X1L电连接。晶体管M4的第二端子与布线OLB电连接,晶体管M4的栅极与布线X2L电连接。

[0551] 对电路MCr中的与电路MC不同的连接结构进行说明。晶体管M3r的第二端子与布线OLB电连接而不与布线OL电连接,晶体管M4r的第二端子与布线OL电连接而不与布线OLB电连接。晶体管M1r的第一端子及电容C1r的第一端子与布线VER电连接。

[0552] 注意,晶体管M1的第一端子也可以不与布线VE电连接而与其他布线电连接。此外,同样地,晶体管M1r的第一端子也可以不与布线VER电连接而与其他布线电连接。此外,布线VE及布线VER也可以为同一布线。注意,其他附图的电路图也可以具有如下结构:晶体管M1的第一端子不与布线VE电连接而与其他布线电连接以及/或者晶体管M1r的第一端子不与布线VER电连接而与其他布线电连接。

[0553] 注意,在图27B所示的电路HC中,将晶体管M1的栅极、电容C1的第一端子与晶体管M2的第一端子电连接点记为节点n1。

[0554] 如上所述,电路HC例如具有保持对应于第一数据的电位的功能。通过在使晶体管M2及晶体管M5处于开启状态时从布线IL输入该电位而对电容C1写入然后使晶体管M2处于关闭状态,包括在图27B的电路MC中的电路HC保持该电位。由此,可以将节点n1的电位作为对应于第一数据的电位保持。此时,从布线OL输入电流,可以在电容C1保持对应于该电流的大小的电位。因此,可以减少晶体管M1的电流特性的偏差的影响。

[0555] 另外,为了长期间保持节点n1的电位,晶体管M1优选使用关态电流低的晶体管。作为关态电流低的晶体管,例如可以使用0S晶体管。另外,也可以作为晶体管M1使用包括背栅极的晶体管,对背栅极施加低电平电位而使阈值电压向正一侧漂移,来降低关态电流。

[0556] 注意,可用于图27A的电路MP的电路结构不局限于图27B的电路MP的结构。例如,图27A的电路MP可以使用图27C的电路MP的结构。图27C的电路MP是图27B的电路MP的变形例子,也具有改变晶体管M5及晶体管M5r的每一个的第一端子的电连接的结构。具体而言,在图27C的电路MP中,晶体管M5的第一端子与晶体管M2的第一端子、晶体管M1的栅极及电容C1的第一端子电连接。通过构成图27C所示的电路MP,图27C的电路MP可以与图27B的电路MP大致相同地工作。

[0557] <<电路ACTF>>

[0558] 接着,说明电路ACTF[1]至电路ACTF[n]。电路ACTF[1]至电路ACTF[n]例如可以采用图29A所示的电路结构。图29A例如是根据从布线OL[j]、布线OLB[j]输入的电流生成信号 $z_j^{(k)}$ 的电路。具体而言,图29A示出输出将以2值表示的信号 $z_j^{(k)}$ 输出的激活函数的运算电路的一个例子。

[0559] 在图29A中,电路ACTF[j]例如包括电阻RE、电阻REB、比较器CMP。电阻RE、电阻REB具有将电流转换为电压的功能。因此,只要是具有将电流转换为电压的功能的元件或电路,就不局限于电阻。布线OL[j]与电阻RE的第一端子、比较器CMP的第一输入端子电连接,布线OLB[j]与电阻REB的第一端子、比较器CMP的第二输入端子电连接。另外,电阻RE的第二端子与布线VAL电连接,电阻REB的第二端子与布线VAL电连接。注意,电阻RE的第二端子及电阻

REB的第二端子也可以连接于同一布线。或者,也可以连接于电位相同的其他布线。

[0560] 电阻RE、电阻REB的各电阻值优选彼此相同。例如,电阻RE的电阻值和电阻REB的电阻值之差优选为电阻RE的电阻值的10%以内,更优选为5%以内。注意,本发明的一个方式不局限于此。根据情况或状况,电阻RE、电阻REB的各电阻值也可以设定为彼此不同的值。

[0561] 布线VAL例如被用作供应恒电压的布线。作为该恒电压,例如可以采用高电平电位的VDD、低电平电位的VSS、接地电位(GND)等。另外,该恒电压优选根据电路MP的结构适当地设定。另外,例如,对布线VAL也可以供应脉冲信号,而不供应恒电压。

[0562] 电阻RE的第一端子与第二端子间的电压根据从布线OL[j]流过的电流决定。因此,对比较器CMP的第一输入端子输入电阻RE的电阻值及对应于该电流的电压。同样地,电阻REB的第一端子与第二端子间的电压根据从布线OLB[j]流过的电流决定。因此,对比较器CMP的第二输入端子输入电阻REB的电阻值及对应于该电流的电压。

[0563] 比较器CMP例如具有比较对第一输入端子、第二输入端子的每一个输入的电压而根据其比较结果从比较器CMP的输出端子输出信号的功能。例如,比较器CMP可以在输入到第二输入端子的电压高于输入到第一输入端子的电压时将高电平电位从比较器CMP的输出端子输出,并且在输入到第一输入端子的电压高于输入到第二输入端子的电压时将低电平电位从比较器CMP的输出端子输出。换言之,从比较器CMP的输出端子输出的电位是高电平电位及低电平电位的两种,所以电路ACTF[j]所输出的信号 $z_j^{(k)}$ 可以为2值。例如,从比较器CMP的输出端子输出的高电平电位、低电平电位的每一个可以作为信号 $z_j^{(k)}$ 对应于“+1”、“-1”。另外,根据情况,从比较器CMP的输出端子输出的高电平电位、低电平电位的每一个也可以作为信号 $z_j^{(k)}$ 对应于“+1”、“0”。

[0564] 另外,在图29A的电路ACTF[j]中使用电阻RE、电阻REB,但是只要具有将电流转换为电压的功能的元件或电路,就不局限于电阻。因此,图29A的电路ACTF[j]的电阻RE、电阻REB可以替换为其他电路元件。例如,图29B所示的电路ACTF[j]是将图29A的电路ACTF[j]中的电阻RE、电阻REB替换为电容CE、电容CEB的电路,可以进行与图29A的电路ACTF[j]大致相同工作。另外,电容CE、电容CEB的每一个的静电电容的值优选彼此相等。例如,电容CE、电容CEB的每一个的静电电容的值之差优选为电容CE的静电电容值的10%以内,更优选为5%以内。注意,本发明的一个方式不局限于此。另外,也可以设置使在电容CE、电容CEB中积累的电荷初始化的电路。例如,也可以以电容CE并联连接的方式设置开关。换言之,也可以为:开关的第二端子连接于布线VAL,开关的第一端子连接于电容CE的第一端子、布线OL[j]及比较器CMP的第一输入端子。或者,也可以为:开关的第二端子连接于与布线VAL不同的布线,开关的第一端子连接于电容CE的第一端子、布线OL[j]及比较器CMP的第一输入端子。另外,图29C所示的电路ACTF[j]是将图29A的电路ACTF[j]中的电阻RE、电阻REB替换为二极管元件DE、二极管元件DEB的电路,可以进行与图29A的电路ACTF[j]大致相同的工作。二极管元件DE、二极管元件DEB的方向(阳极与阴极的连接处)优选根据布线VAL的电位的高低适当地改变。

[0565] 另外,图29A至图29C的电路ACTF[j]中的比较器CMP例如可以替换为运算放大器OP。作为图29D所示的电路ACTF[j]示出将图29A的电路ACTF[j]的比较器CMP替换为运算放大器OP的电路图。

[0566] 另外,也可以在图29B的电路ACTF[j]设置开关S01a、开关S01b。由此,电路ACTF[j]

可以在电容CE、电容CEB的每一个保持对应于从布线OL[j]、布线OLB[j]输入的电流的电位。如图29E所示,作为电路的具体例子采用如下结构即可:开关S01a的第一端子电连接有布线OL[j]电连接,开关S01a的第二端子电连接有电容CE的第一端子及比较器CMP的第一输入端子,开关S01b的第一端子电连接有布线OLB[j],开关S01b的第二端子电连接有电容CEB的第一端子及比较器CMP的第二输入端子。在图29E的电路ACTF[j]中,当对比较器CMP的第一输入端子和第二输入端子输入布线OL[j]、布线OLB[j]的电位时,可以通过使开关S01a、开关S01b的每一个处于开启状态而输入电位。另外,通过之后使开关S01a和开关S01b都处于关闭状态,将输入到比较器CMP的第一输入端子、第二输入端子的每一个的电位保持在电容CE、电容CEB。作为开关S01a、开关S01b,例如,可以采用模拟开关、晶体管等电开关。另外,作为开关S01a、开关S01b,例如,可以采用机械开关。注意,在作为开关S01a、开关S01b采用晶体管时,该晶体管可以使用0S晶体管或在沟道形成区域包含硅的晶体管(以下,称为Si晶体管。)。或者,通过控制使开关S01a和开关S01b都处于开启状态的期间,可以控制电容CE、电容CEB的电压值。例如,在流过电容CE、电容CEB的电流值大时,通过将使开关S01a和开关S01b都处于关闭状态的期间设定为短,可以防止电容CE、电容CEB的电压值过大。

[0567] 另外,图29A至图29C、图29E的电路ACTF[j]中的比较器CMP例如可以采用斩波比较器。图29F所示的比较器CMP是斩波比较器,比较器CMP包括开关S02a、开关S02b、开关S03、电容CC以及反相器电路INV3。与上述开关S01a、开关S01b同样,开关S02a、开关S02b、开关S03可以使用机械开关、0S晶体管、Si晶体管等晶体管。

[0568] 开关S02a的第一端子与端子VinT电连接,开关S02b的第一端子与端子VrefT电连接,开关S02a的第二端子与开关S02b的第二端子及电容CC的第一端子电连接。电容CC的第二端子与反相器电路INV3的输入端子、开关S03的第一端子电连接。端子VoutT与反相器电路INV3的输出端子、开关S03的第二端子电连接。

[0569] 端子VinT被用作用来对比较器CMP输入输入电位的端子,端子VrefT被用作用来对比较器CMP输入参考电位的端子,端子VoutT被用作用来从比较器CMP输出输出电位的端子。端子VinT可以对应于图29A至图29C、图29E的比较器CMP的第一端子和第二端子中的一方,端子VrefT可以对应于图29A至图29C、图29E的比较器CMP的第一端子和第二端子中的另一方。

[0570] 图29A至图29E的电路ACTF[j]是输出以2值表示的信号 $z_j^{(k)}$ 的激活函数的运算电路,但是电路ACTF[j]也可以采用将信号 $z_j^{(k)}$ 为3值以上或模拟值而输出的结构。此外,图29A至图29E的电路ACTF[j]具有输出 $z_j^{(k)}$ 作为一个信号的结构,但也可以具有输出 $z_j^{(k)}$ 作为两个以上的信号的结构。

[0571] 由于图29A至图29E的电路ACTF[j]是比较两个电流输出结果的电路,所以可以用于在实施方式1中说明的电路DTC。或者,也可以以与在实施方式1中说明的电路DTC共同使用的方式构成电路ACTF[j]。

[0572] <运算电路的工作例子>

[0573] 接着,说明图25的运算电路110的工作例子。注意,在本工作例子的说明中,作为一个例子,使用图30所示的运算电路110。

[0574] 图30的运算电路110是着眼于位于图25的运算电路110的第j列的电路而图示的。换言之,图30的运算电路110相当于进行如下运算的电路,即图24A所示的神经网络100中的

对神经元 $N_j^{(k)}$ 输入的来自神经元 $N_1^{(k-1)}$ 至神经元 $N_m^{(k-1)}$ 的信号 $z_1^{(k-1)}$ 至 $z_m^{(k-1)}$ 与权系数 $w_1^{(k-1)}$ 至 $w_m^{(k-1)}$ 的积和运算;以及利用该积和运算的结果的激活函数的运算。再者,作为图30的运算电路110的阵列部ALP所包括的电路MP使用图27B的电路MP。此外,图30的运算电路110的电路ILD可以使用图28的电路ILD。

[0575] 首先,在运算电路110中,电路MP[1,j]至电路MP[m,j]设定第一数据 $w_1^{(k-1)}$ 至 $w_m^{(k-1)}$ 。作为第一数据 $w_1^{(k-1)}$ 的设定方法,可以举出:由电路WLD对布线WLS[1]至布线WLS[m]依次输入指定电位,依次选择电路MP[1,j]至电路MP[m,j],对包括在所选择的电路MP的电路MC的电路HC及电路MCr的电路HCr从电路ILD通过切换电路IL[j]、布线ILB[j]供应对应于第一数据的电位、电流等。通过供应电位、电流等之后由电路WLD使电路MP[1,j]至电路MP[m,j]的每一个处于非选择状态,可以在电路MP[1,j]至电路MP[m,j]的每一个所包括的电路MC的电路HC及电路MCr的电路HCr保持对应于第一数据 $w_1^{(k-1)}$ 至 $w_m^{(k-1)}$ 的电位、电流等。作为一个例子,在第一数据 $w_1^{(k-1)}$ 的每一个为正值时,对电路HC输入对应于其正值的值,对电路HCr输入相当于零的值。另一方面,在第一数据 $w_1^{(k-1)}$ 的每一个为负值时,对电路HC输入相当于零的值,对电路HCr输入对应于负值的绝对值的值。注意,在上述中,相当于零的值例如可以为在图28中说明的布线VEG所供应的电压。

[0576] 接着,由电路XLD对布线X1L[1]至布线X1L[m]、布线X2L[1]至布线X2L[m]的每一个供应第二数据 $z_1^{(k-1)}$ 至 $z_m^{(k-1)}$ 。具体而言,对布线X1L[i]及布线X2L[i]供应第二数据 $z_1^{(k-1)}$ 。

[0577] 根据对电路MP[1,j]至电路MP[m,j]的每一个输入的第二数据 $z_1^{(k-1)}$ 至 $z_m^{(k-1)}$ 决定包含在电路MP[1,j]至电路MP[m,j]的电路MC与电路MCr、布线OL[j]与布线OLB[j]的导通状态。具体而言,电路MP[i,j]根据第二数据 $z_i^{(k-1)}$ 成为如下状态中的任何状态:“电路MC与布线OL[j]间导通且电路MCr与布线OLB[j]间导通”的状态;“电路MC与布线OLB[j]间导通且电路MCr与布线OL[j]间导通”的状态;以及“电路MC及电路MCr分别与布线OL[j]、OLB[j]非导通”的状态。例如,在第二数据 $z_1^{(k-1)}$ 为正值时,对布线X1L[1]输入电路MC与布线OL[j]间可以处于导通状态且电路MCr与布线OLB[j]间可以处于导通状态的值。并且,对布线X2L[1]输入电路MC与布线OLB[j]间可以处于非导通状态且电路MCr与布线OL[j]间可以处于非导通状态的值。并且,在第二数据 $z_1^{(k-1)}$ 为负值时,对布线X1L[1]输入电路MC与布线OLB[j]间可以处于导通状态且电路MCr与布线OL[j]间可以处于导通状态的值。并且,对布线X2L[1]输入电路MC与布线OL[j]间可以处于非导通状态且电路MCr与布线OLB[j]间可以处于非导通状态的值。并且,在第二数据 $z_1^{(k-1)}$ 为零时,对布线X1L[1]输入电路MC与布线OLB[j]间可以处于非导通状态且电路MCr与布线OL[j]间可以处于非导通状态的值。并且,对布线X2L[1]输入电路MC与布线OL[j]间可以处于非导通状态且电路MCr与布线OLB[j]间可以处于非导通状态的值。

[0578] 通过根据输入到电路MP[i,j]的第二数据 $z_i^{(k-1)}$ 决定包含在电路MP[i,j]的电路MC及电路MCr与布线OL[j]及布线OLB[j]间的导通状态或非导通状态,在电路MC及电路MCr与布线OL[j]及布线OLB[j]间进行电流的输入及输出。再者,该电流的量根据在电路MP[i,j]中设定的第一数据 $w_i^{(k-1)}$ 及/或第二数据 $z_i^{(k-1)}$ 决定。

[0579] 例如,在电路MP[i,j]中,将从布线OL[j]流过电路MC或电路MCr的电流记为 $I_{in}[i,j]$ ,将从布线OLB[j]流过电路MC或电路MCr的电流记为 $I_{B}[i,j]$ 。然后,在将从电路ACTF[j]流过布线OL[j]的电流记为 $I_{out}[j]$ 且将从布线OLB[j]流过电路ACTF[j]的电流记为 $I_{Bout}[j]$

时,  $I_{out}[j]$  及  $I_{Bout}[j]$  可以以下面算式表示。

[0580] [算式5]

$$[0581] \quad I_{out}[j] = \sum_{i=1}^m I[i, j] \quad \dots(2.5)$$

$$[0582] \quad I_{Bout}[j] = \sum_{i=1}^m I_B[i, j] \quad \dots(2.6)$$

[0583] 当在电路MP[i, j]中例如第一数据  $w_i^{(k-1)} j^{(k)}$  为“+1”时, 电路MC排出  $I(+1)$ , 电路MCr排出  $I(-1)$ , 在第一数据  $w_i^{(k-1)} j^{(k)}$  为“-1”时, 电路MC排出  $I(-1)$ , 电路MCr排出  $I(+1)$ , 在第一数据  $w_i^{(k-1)} j^{(k)}$  为“0”时, 电路MC排出  $I(-1)$ , 电路MCr排出  $I(-1)$ 。

[0584] 再者, 在第二数据  $z_i^{(k-1)}$  为“+1”时, 电路MP[i, j]成为如下状态: “电路MC与布线OL[j]间导通, 电路MCr与布线OLB[j]间导通, 电路MC与布线OLB[j]间非导通, 电路MCr与布线OL[j]间非导通”。在第二数据  $z_i^{(k-1)}$  为“-1”时, 电路MP[i, j]成为如下状态: “电路MC与布线OLB[j]间导通, 电路MCr与布线OL[j]间导通, 电路MC与布线OL[j]间非导通, 电路MCr与布线OLB[j]间非导通”。在第二数据  $z_i^{(k-1)}$  为“0”时, 电路MP[i, j]成为如下状态: “电路MC与布线OL[j]间及电路MC与布线OLB[j]间非导通, 电路MCr与布线OL[j]间及电路MCr与OLB[j]间非导通”。

[0585] 此时, 以下表示出在电路MP[i, j]中从布线OL[j]流过电路MC或电路MCr的电流  $I[i, j]$  以及从布线OLB[j]流过电路MC或电路MCr的电流  $I_B[i, j]$ 。注意, 根据情况, 也可以以  $I(-1)$  的电流量为0的方式构成电路MP[i, j]。另外, 电流  $I[i, j]$  也可以为从电路MC或电路MCr流过布线OL[j]的电流。同样地, 电流  $I_B[i, j]$  也可以为从电路MC或电路MCr向布线OLB[j]流过的电流。

[0586] [表1]

[0587]

$w_i^{(k-1)} j^{(k)}$	$z_i^{(k-1)}$	$I[i, j]$	$I_B[i, j]$
0	+1	$I(-1)$	$I(-1)$
+1	+1	$I(+1)$	$I(-1)$
-1	+1	$I(-1)$	$I(+1)$
0	-1	$I(-1)$	$I(-1)$
+1	-1	$I(-1)$	$I(+1)$
-1	-1	$I(+1)$	$I(-1)$
0	0	0	0
+1	0	0	0
-1	0	0	0

[0588] 接着, 在从布线OL[j]及布线OLB[j]的每一个流过的  $I_{out}[j]$  及  $I_{Bout}[j]$  都输入到电路ACTF[j]时, 电路ACTF[j]例如进行  $I_{out}[j]$  及  $I_{Bout}[j]$  的比较等。电路ACTF[j]例如根据该比较的结果输出神经元  $N_j^{(k)}$  对第(k+1)层的神经元传送的信号  $z_j^{(k)}$ 。

[0589] 由图30的运算电路110例如可以进行对神经元  $N_j^{(k)}$  输入的来自神经元  $N_1^{(k-1)}$  至神

经元 $N_m^{(k-1)}$ 的信号 $z_1^{(k-1)}$ 至 $z_m^{(k-1)}$ 与权系数 $w_1^{(k-1)}{}_j$ 至 $w_m^{(k-1)}{}_j$ 的积和运算以及利用该积和运算的结果的激活函数的运算。并且,通过设置 $n$ 列的电路MP,图30的运算电路的阵列部ALP可以具有与图25的运算电路110相同的电路结构。换言之,由图25的运算电路110可以同时进行神经元 $N_1^{(k)}$ 至神经元 $N_n^{(k)}$ 的每一个的积和运算和利用该积和运算的结果的激活函数的运算。

[0590] <<包括在运算电路的电路等的变形例子1>>

[0591] 上述运算电路110及运算电路130分别可以改变为进行算式(2.3)的运算而不是进行算式(2.2)的运算的电路。算式(2.3)相当于对算式(2.2)的积和的结果施加偏置的运算。因此,在运算电路110及运算电路130的每一个中,也可以设置对布线OL及布线OLB施加偏置的值的电路。

[0592] 图31所示的运算电路170具有对图25的运算电路110的阵列部ALP加上电路BS[1]至电路BS[n]的电路结构。注意,电路BS[1]至电路BS[n]例如有时可以使用与图27A至图27C同样的电路结构。

[0593] 电路BS[j]与布线OL[j]、布线OLB[j]、布线WBS及布线XBS电连接。

[0594] 与图25的运算电路110等的布线WLS[1]至布线WLS[m]同样地,布线WBS被用作用来供应使包括在电路BS[1]至电路BS[n]中的用于写入的开关元件处于开启状态或关闭状态的信号的布线。因此,通过布线WBS与电路WLD电连接,可以从电路WLD对布线WBS供应该信号。

[0595] 与图25的运算电路110等的布线XLS[1]至布线XLS[m]同样地,布线XBS被用作将对应于从神经元 $N_i^{(k-1)}$ 输出的第二数据 $z_i^{(k-1)}$ 的信息(例如,电位、电流值等)供应给电路BS[1]至电路BS[n]的布线。因此,通过布线XBS与电路XLD电连接,可以从电路XLD对布线XBS供应该信息。

[0596] 与图26的运算电路130等的布线WX1L[1]至布线WX1L[m]同样地,布线XBS也可以兼用用来对电路BS[1]至电路BS[n]写入信息的选择信号线。在采用这种结构的情况下,电路WLD可以对布线WBS、布线XBS的每一个供应包括用来使在电路BS[1]至电路BS[n]中的用于写入的开关元件处于开启状态或关闭状态的信号。

[0597] 在运算电路170的阵列部ALP的 $j$ 列中,从电路MP[1,j]至电路MP[m,j]向布线OL[j]或布线OLB[j]流过的电流分别可以以算式(2.5)、算式(2.6)表示。此外,由于布线OL[j]、布线OLB[j]分别与电路BS[j]电连接,所以在从电路BS[j]向布线OL[j]流过的电流为 $I_{BIAS}[j]$ 且从电路BS[j]向布线OLB[j]流过的电流为 $I_{BIASB}[j]$ 时,算式(2.5)、算式(2.6)分别可以改写为如下算式。

[0598] [算式6]

$$[0599] \quad I_{out}[j] = \sum_{i=1}^m I[i,j] + I_{BIAS}[j] \quad \cdots(2.7)$$

$$[0600] \quad I_{Bout}[j] = \sum_{i=1}^m I_B[i,j] + I_{BIASB}[j] \quad \cdots(2.8)$$

[0601] 由此,在算式(2.3)的运算中,可以生成包括偏置的 $I_{out}[j]$ 及 $I_{Bout}[j]$ 。此外,通过

包括偏置的 $I_{out}[j]$ 及 $I_{Bout}[j]$ 输入到电路ACTF[j],可以生成被施加了偏置的来自神经元 $N_j^{(k)}$ 的信号 $z_j^{(k)}$ 。

[0602] 在图31的运算电路170中,在阵列部ALP中设置1行电路BS[1]至电路BS[n],但是本发明的一个方式不局限于此。例如,也可以在阵列部ALP中设置2行以上的电路BS[1]至电路BS[n]。

[0603] <<包括在运算电路中的电路等的变形例子2>>

[0604] 这里,说明与图27B及图27C所示的电路MP不同的可用于运算电路110等的电路MP的结构。

[0605] 图32所示的电路MP具有包括被称为NOSRAM(注册商标)的存储电路的结构。注意,图32为了示出电路HC及电路HCr所包括的电路元件的电连接结构,示出电路MP的整体。

[0606] 图32的电路MP具有在图27B或图27C的结构中不设置晶体管M5及晶体管M5r的结构。因此,图32的电路MP具有对电路HC的电容器C1的第一端子及电路HCr的电容器C1r的第一端子写入电压的结构。

[0607] 例如,布线VE所供应的电位为低电平电位,电路HC的电容器C1的第一端子保持高电平电位,晶体管M1成为开启状态,或者电路HC的电容器C1的第一端子保持低电平电位,晶体管M1成为关闭状态。

[0608] 这里,例如,考虑对电路MP作为第一数据写入“-1”、“0”、“+1”的值的情况。在对电路MP作为第一数据写入“+1”时,保持在电路HC、电路HCr中的电位分别为高电平电位、低电平电位即可。此外,在电路MP作为第一数据写入“-1”时,保持在电路HC、电路HCr中的电位分别为低电平电位、高电平电位即可。此外,在对电路MP作为第一数据写入“0”时,保持在电路HC、电路HCr中的电位分别为低电平电位、低电平电位即可。另外,电路HC、电路HCr也可以不保持高电平电位、低电平电位的2值而保持3值以上的电位或模拟值等。

[0609] 接着,在如上所述对电路MP写入第一数据之后,如上述工作例子,通过对布线X1L及布线X2L输入对应第二数据的电压,作为第一数据及第二数据的积的结果,电流从布线OL或布线OLB通过电路MC流过布线VE(有时不流过),电流从布线OL或布线OLB通过电路MCr流过布线VEr(有时不流过)。

[0610] 接着,说明与图27B及图27C、图32所示的电路MP不同的可用于运算电路110等的电路MP的结构。

[0611] 图33A所示的电路MP具有包括与图10所说明的负载电路LC相同的元件的存储电路。注意,在图33中,为了示出电路HC及电路HCr所包括的电路元件的电连接结构,示出电路MP的整体。

[0612] 在图33A的电路MP中,电路MC包括电路HC、晶体管M3及晶体管M4。此外,电路HC包括负载电路LC2及晶体管M8。

[0613] 晶体管M8例如可以使用可用于晶体管M2的晶体管。因此,关于晶体管M8,参照晶体管M2的说明。

[0614] 关于晶体管M3、晶体管M4、晶体管M3r及晶体管M4r的每一个的结构,参照在其他部分中记载的晶体管M3、晶体管M4、晶体管M3r及晶体管M4r的说明。

[0615] 在图33A的电路MP的电路MC中,负载电路LC2的第一端子与晶体管M8的第一端子、晶体管M3的第一端子及晶体管M4的第一端子电连接,负载电路LC2的第二端子与布线VL电



连接。此外,晶体管M8的第二端子与布线IL电连接,晶体管M3的第二端子与布线OL电连接,晶体管M4的第二端子与布线OLB电连接。此外,晶体管M8的栅极与布线WLS电连接,晶体管M3的栅极与布线X1L电连接,晶体管M4的栅极与布线X2L电连接。

[0616] 注意,图33A的电路MP的电路MCr具有与电路MC大致相同的电路结构。因此,为了与电路MC所包括的电路元件区分,对电路MCr所包括的电路元件的符号附上“r”。此外,晶体管M8r的第一端子与布线ILB电连接,晶体管M3r的第二端子与布线OLB电连接,晶体管M4r的第二端子与布线OL电连接。

[0617] 这里的布线VL、布线VLr被用作供应恒电压的布线。该恒电压例如可以采用接地电位(GND)或使负载电路LC2及负载电路LC2r正常工作的范围内的低电位。

[0618] 与图10的负载电路LC同样地,例如负载电路LC2、负载电路LC2r是可以使第一端子与第二端子间的电阻值变化的电路。通过使负载电路LC2或负载电路LC2r的第一端子与第二端子间的电阻值变化,可以使在负载电路LC2或负载电路LC2r的第一端子与第二端子间流过的电流变化。

[0619] 在此,说明在图33A的电路MP中改变负载电路LC2、负载电路LC2r的第一端子与第二端子间的电阻值的方法。首先,对布线X1L、布线X2L的每一个输入低电平电位而使晶体管M3、晶体管M3r、晶体管M4、晶体管M4r处于关闭状态。接着,通过对布线WL输入高电平电位,使晶体管M8、晶体管M8r处于开启状态而使布线IL(布线ILB)的电位变化,来设定负载电路LC2(负载电路LC2r)的第一端子与第二端子间的电阻值。例如,有如下方法等:对布线IL(布线ILB)输入用来使负载电路LC2(负载电路LC2r)的第一端子与第二端子间的电阻值复位的电位,然后对布线IL(布线ILB)输入负载电路LC2(负载电路LC2r)的第一端子与第二端子间的电阻值成为所希望的值的电位。在将负载电路LC2(负载电路LC2r)的第一端子与第二端子间的电阻值设定为所希望的值之后,对布线WL输入低电平电位而使晶体管M8、晶体管M8r处于关闭状态即可。

[0620] 如图33B所示,作为负载电路LC2及负载电路LC2r例如可以使用包括在ReRAM等中的可变电阻元件VR2。此外,如图33C所示,负载电路LC2及负载电路LC2r例如可以为具有包括在MRAM等中的MTJ元件MR2的负载电路LC2。此外,如图33D所示,作为负载电路LC2及负载电路LC2r例如可以使用用于相变存储器(PCM)等的包括相变材料的电阻器(这里,为了方便起见,称为相变存储器PCM2)。

[0621] 如图33E所示,作为负载电路LC2及负载电路LC2r例如可以使用可用于FeRAM等的夹在一对电极之间的铁电电容器FEC。注意,此时,布线VL不被用作供应恒电压的布线而被用作板线。

[0622] 接着,说明与图27B及图27C、图32及图33A所示的电路MP不同的可用于运算电路110等的电路MP的结构。

[0623] 图34A示出在图32中在电路HC中不设置晶体管M1及电容C1而设置反相器环形电路IVR且在电路HCr中不设置晶体管M1r及电容C1r而设置反相器环形电路IVRr的电路MP。也就是说,图34A的电路MP具有包括SRAM的存储电路的结构。注意,在图34A的电路MP中省略布线VE及布线VER。

[0624] 反相器环形电路IVR包括反相器电路IV1、反相器电路IV2,反相器环形电路IVRr包括反相器电路IV1r、反相器电路IV2r。

[0625] 反相器电路IV1的输出端子与反相器电路IV2的输入端子、晶体管M3的第一端子、晶体管M4的第一端子及晶体管M1的第一端子电连接,反相器电路IV2的输出端子与反相器电路IV1的输入端子电连接。晶体管M3的第二端子与布线OL电连接,晶体管M3的栅极与布线X1L电连接。晶体管M4的第二端子与布线OLB电连接,晶体管M4的栅极与布线X2L电连接。晶体管M2的第二端子与布线IL电连接,晶体管M2的栅极与布线WLS电连接。反相器电路IV1r的输出端子与反相器电路IV2r的输入端子、晶体管M3r的第一端子、晶体管M4r的第一端子及晶体管M2r的第一端子电连接,反相器电路IV2r的输出端子与反相器电路IV1r的输入端子电连接。晶体管M3r的第二端子与布线OLB电连接,晶体管M3r的栅极与布线X1L电连接。晶体管M4r的第二端子与布线OL电连接,晶体管M4r的栅极与布线X2L电连接。晶体管M2r的第二端子与布线ILB电连接,晶体管M2r的栅极与布线WLS电连接。

[0626] 电路HC具有通过反相器环形电路IVR在反相器电路IV1的输出端子中保持高电平电位和低电平电位中的一个的功能,电路HCr具有通过反相器环形电路IVRr在反相器电路IV1的输出端子中保持高电平电位和低电平电位中的一个的功能。由此,作为一个例子,当在电路MP中设定的第一数据(权系数)为“+1”时,在反相器电路IV1的输出端子中保持高电平电位,在反相器电路IV1r的输出端子中保持低电平电位,当在电路MP中设定的第一数据(权系数)为“-1”时,在反相器电路IV1的输出端子中保持低电平电位,在反相器电路IV1r的输出端子中保持高电平电位,当在电路MP中设定的第一数据(权系数)为“0”时,在反相器电路IV1的输出端子中保持低电平电位,在反相器电路IV1r的输出端子中保持低电平电位。

[0627] 在对图34A的电路MP输入第二数据(神经元的信号的值)时,对布线X1L和布线X2L中的一个输入高电平电位即可。

[0628] 图34A的电路MP与上述其他电路MP不同,使用包括在电路HC的反相器环形电路IVR中的晶体管从布线OL或布线OLB向电路MC电流流过,使用包括在电路HCr的反相器环形电路IVRr中的晶体管从布线OL或布线OLB向电路MCr电流流过。

[0629] 图34A的电路MP可以改变为图34B所示的电路MP的结构。图34B的电路MP具有不设置包括在图34A的电路MP中的电路MCr的结构。也就是说,使用包括在电路HC的反相器环形电路IVR中的晶体管从布线OL或布线OLB向电路MC电流流过。注意,此时,作为一个例子,当对反相器电路IV1的输出端子供应高电平电位时,可以将设定在电路MP中的第一数据(权系数)设定为“+1”,当对反相器电路IV1的输出端子供应低电平电位时,可以将设定在电路MP中的第一数据(权系数)设定为“0”。

[0630] 图34C的电路MP具有从图34B的电路MP去除布线X2L,且晶体管M4的第一端子与反相器电路IV1的输入端子、反相器电路IV2的输出端子电连接的结构。在布线X1L的电位为高电平电位时,对布线OL或布线OLB输出相反信号。此时,作为一个例子,在对反相器电路IV1的输出端子供应高电平电位时,可以将设定在电路MP中的第一数据(权系数)设定为“+1”,在对反相器电路IV1的输出端子供应低电平电位时,可以将设定在电路MP中的第一数据(权系数)设定为“-1”。此外,作为一个例子,在从电路MP向电路AFP供应信息(例如,电流、电压等)的情况下,当对布线X1L输入高电平电位时,也可以将对电路MP输入的第二数据(神经元的信号的值)设定为“+1”,在对布线X1L输入低电平电位时,也可以将对电路MP输入的第二数据(神经元的信号的值)设定为“0”。

[0631] 此外,除了上述以外,作为可用于电路MP的存储元件例如还可以举出快闪存储器

等。

[0632] 如图25那样,通过图32、图33A及图34A至图34C的电路MP用于运算电路110,可以在一列上在各电路MP计算的积的值加在一起。由此,可以计算第一数据与第二数据的积和。

[0633] 包括在上述运算部CLP的晶体管的一部分或全部例如优选使用OS晶体管。例如,在是优选降低关态电流的晶体管时,具有保持积累在电容元件等的电荷的功能的晶体管优选为OS晶体管。尤其是,在作为该晶体管使用OS晶体管时,OS晶体管尤其更优选采用实施方式4所记载的晶体管的结构。作为包括在OS晶体管的沟道形成区域中的金属氧化物,例如,可以为选自铟、元素M(元素M为铝、镓、铋或锡)、锌中的一种或多种的材料。特别是,由铟、镓、锌而成的金属氧化物优选是带隙高、本征(也称为I型)或实质上本征的半导体,并且该金属氧化物的载流子浓度优选为 $1 \times 10^{18} \text{cm}^{-3}$ 以下,更优选低于 $1 \times 10^{17} \text{cm}^{-3}$ ,进一步优选低于 $1 \times 10^{16} \text{cm}^{-3}$ ,进一步优选低于 $1 \times 10^{13} \text{cm}^{-3}$ ,进一步优选低于 $1 \times 10^{12} \text{cm}^{-3}$ 。此外,在沟道形成区域中包括该金属氧化物的OS晶体管的每沟道宽度 $1 \mu\text{m}$ 的关态电流可以为 $10 \text{aA}$  ( $1 \times 10^{-17} \text{A}$ )以下,优选为 $1 \text{aA}$  ( $1 \times 10^{-18} \text{A}$ )以下,更优选为 $10 \text{zA}$  ( $1 \times 10^{-20} \text{A}$ )以下,进一步优选为 $1 \text{zA}$  ( $1 \times 10^{-21} \text{A}$ )以下,进一步优选为 $100 \text{yA}$  ( $1 \times 10^{-22} \text{A}$ )以下。另外,在该OS晶体管中,金属氧化物的载流子浓度低,所以即使OS晶体管的温度产生变化,也保持低关态电流。例如,即使OS晶体管的温度为 $150^\circ\text{C}$ ,每沟道宽度 $1 \mu\text{m}$ 的关态电流也可以为 $100 \text{zA}$ 。

[0634] 注意,本发明的一个方式不局限于上述内容,包括在运算部CLP中的晶体管也可以不是OS晶体管。作为OS晶体管以外,例如,也可以采用在沟道形成区域中包含硅的晶体管(以后,被称为Si晶体管)。此外,作为硅例如可以使用单晶硅、非晶硅(有时也称为氢化非晶硅)、微晶硅或多晶硅等。此外,作为OS晶体管、Si晶体管以外的晶体管,例如可以使用在沟道形成区域中包含Ge等的晶体管、在沟道形成区域中包含ZnSe、CdS、GaAs、InP、GaN、SiGe等化合物半导体的晶体管、在沟道形成区域中包含碳纳米管的晶体管、在沟道形成区域中包含有机半导体的晶体管等。

[0635] 注意,关于OS晶体管的半导体层的金属氧化物,可以使用包含铟的金属氧化物(例如,In氧化物)或包含锌的金属氧化物(例如,Zn氧化物)制造n型半导体,但是从迁移度及可靠性的观点来看,有时难以制造p型半导体。因此,运算电路110、运算电路130、运算电路170也可以具有作为包括在运算部CLP等中的n沟道型晶体管使用OS晶体管并作为p沟道型晶体管使用Si晶体管的结构。

[0636] 注意,本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0637] (实施方式3)

[0638] 在本实施方式中,说明上述实施方式所示的半导体装置的结构例子及可以应用于上述实施方式所示的半导体装置的晶体管的结构例子。

[0639] <半导体装置的结构例子>

[0640] 作为一个例子,图35示出上述实施方式所示的半导体装置,该半导体装置包括晶体管300、晶体管500以及电容元件600。此外,图36A是晶体管500的沟道长度方向上的截面图,图36B是晶体管500的沟道宽度方向上的截面图,并且图36C是晶体管300的沟道宽度方向上的截面图。

[0641] 晶体管500是在沟道形成区域中包含金属氧化物的晶体管(OS晶体管)。晶体管500具有关态电流低且场效应迁移率在高温下也不容易变化的特性。通过将晶体管500应用于

半导体装置,例如,上述实施方式所示的运算电路110、运算电路130、运算电路170等所包括的晶体管,可以实现性能在高温下也不容易下降的半导体装置。尤其是,通过利用关态电流小的特性将晶体管500例如应用于晶体管F1至晶体管F4、晶体管M1d、晶体管M2d、晶体管M1至晶体管M5、晶体管M8等,可以长时间保持写入到电路HC、电路HCr等中的电位。

[0642] 晶体管500例如设置在晶体管300上方,电容元件600例如设置在晶体管300及晶体管500上方。此外,电容元件600可以为上述实施方式所示的运算电路110、运算电路130、运算电路170等所包括的电容等。此外,根据电路结构,不一定需要设置图35所示的电容元件600。

[0643] 晶体管300设置在衬底310上,包括元件分离层312、导电体316、绝缘体315、由衬底310的一部构成的半导体区域313、用作源极区域或漏极区域的低电阻区域314a及低电阻区域314b。此外,晶体管300例如可以应用于上述实施方式所示的运算电路110、运算电路130、运算电路170等所包括的晶体管等。具体而言,例如,晶体管300可以是图2A至图2C所示的电路ILD所包括的电流源CC[1]至电流源CC[K] (电流源CC[1]至电流源CC[ $2^K-1$ ])、开关SW[1]至开关SW[K] (开关SW[1]至开关SW[ $2^K-1$ ])、图4所示的电路BF、图5所示的译码器DEC、图8所示的电路SA、图10所示的电路IVC、图11所示的反相器电路INV1、反相器电路INV2、图14所示的锁存电路LAT1、锁存电路LAT2、图17所示的电路DTC、图18所示的电路CMPD、图7A至图7E所示的电路ACTF所包括的比较器CMP、运算放大器OP等所包括的晶体管。此外,晶体管300也可以应用于晶体管M1、晶体管M1d等晶体管、上述实施方式中说明的各种开关。此外,图35示出晶体管300的栅极通过电容元件600的一对电极电连接于晶体管500的源极和漏极中的一个的结构,但是也可以根据运算电路110、运算电路130、运算电路170等的结构而具有如下结构:晶体管300的源极及漏极中的一个通过电容元件600的一对电极电连接于晶体管500的源极及漏极中的一个;晶体管300的源极及漏极中的一个通过电容元件600的一对电极电连接于晶体管500的栅极;晶体管300的各端子不分别电连接于晶体管500的各端子及电容元件600的各端子。

[0644] 作为衬底310,优选使用半导体衬底(例如单晶衬底或硅衬底)。

[0645] 如图36C所示,在晶体管300中,导电体316隔着绝缘体315覆盖半导体区域313的顶面及沟道宽度方向的侧面。如此,通过使晶体管300具有Fin型结构,实效上的沟道宽度增加,所以可以改善晶体管300的通态特性。此外,由于可以增加栅电极的电场的影响,所以可以改善晶体管300的关闭特性。

[0646] 此外,晶体管300可以为p沟道型晶体管或n沟道型晶体管。

[0647] 半导体区域313的沟道形成区域、其附近的区域、被用作源区域或漏区域的低电阻区域314a及低电阻区域314b等优选包含硅类半导体等半导体,更优选包含单晶硅。此外,也可以使用包含Ge(锗)、SiGe(硅锗)、GaAs(砷化镓)、GaAlAs(镓铝砷)、GaN(氮化镓)等的材料形成。可以使用对晶格施加应力,改变晶面间距而控制有效质量的硅。此外,晶体管300也可以是使用GaAs和GaAlAs等的HEMT(High Electron Mobility Transistor:高电子迁移率晶体管)。

[0648] 在低电阻区域314a及低电阻区域314b中,除了应用于半导体区域313的半导体材料之外,还包含砷、磷等赋予n型导电性的元素或硼等赋予p型导电性的元素。

[0649] 作为被用作栅电极的导电体316,可以使用包含砷、磷等赋予n型导电性的元素或

硼等赋予p型导电性的元素的硅等半导体材料、金属材料、合金材料或金属氧化物材料等导电材料。

[0650] 此外,由于导电体的材料决定功函数,所以通过选择该导电体的材料,可以调整晶体管的阈值电压。具体而言,作为导电体优选使用氮化钛或氮化钽等材料。为了兼具导电性和嵌入性,作为导电体优选使用钨或铝等金属材料的叠层,尤其在耐热性方面上优选使用钨。

[0651] 为了使形成在衬底310上的多个晶体管彼此分离设置有元件分离层312。元件分离层312例如可以使用LOCOS(Local Oxidation of Silicon:硅局部氧化)法、STI(Shallow Trench Isolation:浅沟槽隔离)法或台面隔离法等形成。

[0652] 此外,图35所示的晶体管300只是一个例子,本发明不局限于该结构,可以根据电路结构、驱动方法等而使用合适的晶体管。例如,晶体管300也可以具有平面型结构而不具有图36C所示的FIN型结构。例如,当在半导体装置中使用只由OS晶体管构成的单极性电路时,如图37所示,作为晶体管300的结构采用与使用氧化物半导体的晶体管500相同的结构即可。关于晶体管500将在后面详细描述。注意,在本说明书等中,单极性电路是指仅由n沟道型晶体管和p沟道型晶体管中的一个极性的晶体管构成的电路。

[0653] 在图37中,晶体管300设置在衬底310A上,在此情况下,也可以使用与图35的半导体装置的衬底310同样的半导体衬底作为衬底310A。作为衬底310A,例如可以使用SOI衬底、玻璃衬底、石英衬底、塑料衬底、蓝宝石玻璃衬底、金属衬底、不锈钢衬底、包含不锈钢箔的衬底、钨衬底、包含钨箔的衬底、柔性衬底、贴合薄膜、包含纤维状材料的纸或基材薄膜等。作为玻璃衬底的一个例子,可以举出钡硼硅酸盐玻璃、铝硼硅酸盐玻璃或钠钙玻璃等。作为柔性衬底、贴合薄膜、基材薄膜等,可以举出如下例子。例如可以举出以聚对苯二甲酸乙二醇酯(PET)、聚萘二甲酸乙二醇酯(PEN)、聚醚砜(PES)、聚四氟乙烯(PTFE)为代表的塑料。或者,作为一个例子,可以举出丙烯酸树脂等合成树脂等。或者,作为一个例子,可以举出聚丙烯、聚酯、聚氟化乙烯或聚氯乙烯等。或者,作为例子,可以举出聚酰胺、聚酰亚胺、芳族聚酰胺、环氧树脂、无机蒸镀薄膜、纸类等。

[0654] 图35所示的晶体管300从衬底310一侧依次层叠有绝缘体320、绝缘体322、绝缘体324及绝缘体326。

[0655] 作为绝缘体320、绝缘体322、绝缘体324及绝缘体326,例如可以使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化铝、氧氮化铝、氮氧化铝及氮化铝等。

[0656] 注意,在本说明书中,“氧氮化硅”是指在其组成中氧含量多于氮含量的材料,而“氮氧化硅”是指在其组成中氮含量多于氧含量的材料。注意,在本说明书中,“氧氮化铝”是指氧含量多于氮含量的材料,“氮氧化铝”是指氮含量多于氧含量的材料。

[0657] 绝缘体322也可以被用作使因被绝缘体320及绝缘体322覆盖的晶体管300等而产生的台阶平坦化的平坦化膜。例如,为了提高绝缘体322的顶面的平坦性,其顶面也可以通过利用化学机械抛光(CMP:Chemical Mechanical Polishing)法等的平坦化处理被平坦化。

[0658] 作为绝缘体324,优选使用能够防止氢、杂质等从衬底310或晶体管300等扩散到设置有晶体管500的区域中的具有阻挡性的膜。

[0659] 作为对氢具有阻挡性的膜的一个例子,例如可以使用通过CVD法形成的氮化硅。在

此,有时氢扩散到晶体管500等具有氧化物半导体的半导体元件中,导致该半导体元件的特性下降。因此,优选在晶体管500与晶体管300之间设置抑制氢的扩散的膜。具体而言,抑制氢的扩散的膜是指氢的脱离量少的膜。

[0660] 氢的脱离量例如可以利用热脱附谱分析法(TDS)等测量。例如,在TDS分析中的膜表面温度为50℃至500℃的范围内,当换算为氢原子的脱离量时,绝缘体324的单位面积的氢的脱离量为 $10 \times 10^{15}$  atoms/cm<sup>2</sup>以下,优选为 $5 \times 10^{15}$  atoms/cm<sup>2</sup>以下,即可。

[0661] 注意,绝缘体326的介电常数优选比绝缘体324低。例如,绝缘体326的相对介电常数优选低于4,更优选低于3。例如,绝缘体326的相对介电常数优选为绝缘体324的相对介电常数的0.7倍以下,更优选为0.6倍以下。通过将介电常数低的材料用于层间膜,可以减少产生在布线之间的寄生电容。

[0662] 此外,在绝缘体320、绝缘体322、绝缘体324及绝缘体326中嵌入与电容元件600或晶体管500连接的导电体328、导电体330等。此外,导电体328及导电体330具有插头或布线的功能。注意,有时使用同一附图标记表示具有插头或布线的功能的多个导电体。此外,在本说明书等中,布线、与布线连接的插头也可以是一个构成要素。就是说,导电体的一部分有时被用作布线,并且导电体的一部分有时被用作插头。

[0663] 作为各插头及布线(导电体328及导电体330等)的材料,可以使用金属材料、合金材料、金属氮化物材料或金属氧化物材料等导电材料的单层或叠层。优选使用兼具耐热性和导电性的钨或钼等高熔点材料,尤其优选使用钨。或者,优选使用铝或铜等低电阻导电材料。通过使用低电阻导电材料可以降低布线电阻。

[0664] 也可以在绝缘体326及导电体330上形成布线层。例如,在图35中,在绝缘体326及导电体330的上方依次层叠有绝缘体350、绝缘体352及绝缘体354。此外,在绝缘体350、绝缘体352及绝缘体354中形成有导电体356。导电体356具有与晶体管300连接的插头或布线的功能。此外,导电体356可以使用与导电体328及导电体330同样的材料形成。

[0665] 此外,与绝缘体324同样,绝缘体350例如优选使用对氢、水等杂质具有阻挡性的绝缘体。此外,与绝缘体326同样,绝缘体352及绝缘体354优选使用相对介电常数较低的绝缘体以降低布线间产生的寄生电容。此外,导电体356优选包含对氢、水等杂质具有阻挡性的导电体。尤其是,在对氢具有阻挡性的绝缘体350所具有的开口中形成对氢具有阻挡性的导电体。通过采用该结构,可以使用阻挡层将晶体管300与晶体管500分离,从而可以抑制氢从晶体管300扩散到晶体管500中。

[0666] 注意,作为对氢具有阻挡性的导电体,例如优选使用氮化钽等。此外,通过层叠氮化钽和导电性高的钨,不但可以保持作为布线的导电性而且可以抑制氢从晶体管300扩散。此时,对氢具有阻挡性的氮化钽层优选与对氢具有阻挡性的绝缘体350接触。

[0667] 此外,在绝缘体354及导电体356上依次层叠有绝缘体360、绝缘体362及绝缘体364。

[0668] 此外,与绝缘体324等同样,绝缘体360优选使用对水、氢等杂质具有阻挡性的绝缘体。因此,绝缘体360例如可以使用可用于绝缘体324等的材料。

[0669] 绝缘体362及绝缘体364被用作层间绝缘膜及平坦化膜。此外,与绝缘体324同样,绝缘体362及绝缘体364例如优选使用对水、氢等杂质具有阻挡性的绝缘体。因此,绝缘体362及/或绝缘体364可以使用可用于绝缘体324等的材料。

[0670] 此外,绝缘体360、绝缘体362及绝缘体364各自的重叠于部分导电体356的区域中形成有开口部,并以嵌入该开口部的方式设置有导电体366。此外,导电体366还形成在绝缘体362上。导电体366例如具有与晶体管300连接的插头或布线的功能。此外,导电体366可以使用与导电体328及导电体330同样的材料设置。

[0671] 在绝缘体364及导电体366上依次层叠有绝缘体510、绝缘体512、绝缘体514及绝缘体516。作为绝缘体510、绝缘体512、绝缘体514及绝缘体516中的任意个,优选使用对氧、氢具有阻挡性的物质。

[0672] 例如,作为绝缘体510及绝缘体514,优选使用能够防止氢、杂质从衬底310或设置有晶体管300的区域等扩散到设置有晶体管500的区域中的具有阻挡性的膜。因此,绝缘体510及绝缘体514可以使用与绝缘体324同样的材料。

[0673] 作为对氢具有阻挡性的膜的一个例子,可以使用通过CVD法形成的氮化硅。在此,有时氢扩散到晶体管500等具有氧化物半导体的半导体元件中,导致该半导体元件的特性下降。因此,优选在晶体管300与晶体管500之间设置抑制氢的扩散的膜。具体而言,抑制氢的扩散的膜是指氢的脱离量少的膜。

[0674] 例如,作为对氢具有阻挡性的膜,绝缘体510及绝缘体514优选使用氧化铝、氧化钪、氧化钽等金属氧化物。

[0675] 尤其是,氧化铝的不使氧及导致晶体管的电特性变动的氢、水分等杂质透过的阻挡效果高。因此,在晶体管的制造工序中及制造工序之后,氧化铝可以防止氢、水分等杂质进入晶体管500中。此外,氧化铝可以抑制氧从构成晶体管500的氧化物释放。因此,氧化铝适合用作晶体管500的保护膜。

[0676] 例如,作为绝缘体512及绝缘体516,可以使用与绝缘体320同样的材料。此外,通过作为上述绝缘体使用介电常数较低的材料,可以减少产生在布线之间的寄生电容。例如,作为绝缘体512及绝缘体516,可以使用氧化硅膜和氮氧化硅膜等。

[0677] 此外,在绝缘体510、绝缘体512、绝缘体514及绝缘体516中例如嵌入有导电体518、构成晶体管500的导电体(例如,图36A及图36B所示的导电体503)等。此外,导电体518被用作与电容元件600或晶体管300连接的插头或布线。导电体518可以使用与导电体328及导电体330同样的材料形成。

[0678] 尤其是,与绝缘体510及绝缘体514接触的区域导电体518优选为对氧、氢及水具有阻挡性的导电体。通过采用该结构,可以利用对氧、氢及水具有阻挡性的层将晶体管300与晶体管500分离,从而可以抑制氢从晶体管300扩散到晶体管500中。

[0679] 在绝缘体516上方设置有晶体管500。

[0680] 如图36A及图36B所示,晶体管500包括绝缘体514上的绝缘体516、以嵌入绝缘体514或绝缘体516中的方式配置的导电体503(导电体503a及导电体503b)、绝缘体516及导电体503上的绝缘体522、绝缘体522上的绝缘体524、绝缘体524上的氧化物530a、氧化物530a上的氧化物530b、氧化物530b上的导电体542a、导电体542a上的绝缘体571a、氧化物530b上的导电体542b、导电体542b上的绝缘体571b、氧化物530b上的绝缘体552、绝缘体552上的绝缘体550、绝缘体550上的绝缘体554、位于绝缘体554上并与氧化物530b的一部分重叠的导电体560(导电体560a及导电体560b)、以及配置在绝缘体522、绝缘体524、氧化物530a、氧化物530b、导电体542a、导电体542b、绝缘体571a及绝缘体571b上的绝缘体544。注意,在本说

说明书等中,将导电体542a及导电体542b总称为导电体542,将绝缘体571a及绝缘体571b总称为绝缘体571。在此,如图36A及图36B所示,绝缘体552与绝缘体522的顶面、绝缘体524的侧面、氧化物530a的侧面、氧化物530b的侧面及顶面、导电体542的侧面、绝缘体571的侧面、绝缘体544的侧面、绝缘体580的侧面及绝缘体550的底面接触。此外,导电体560的顶面以高度与绝缘体554的最上部、绝缘体550的最上部、绝缘体552的最上部及绝缘体580的顶面的高度大致一致的方式配置。此外,绝缘体574与导电体560、绝缘体552、绝缘体550、绝缘体554和绝缘体580各自的顶面的至少一部分接触。

[0681] 在绝缘体580及绝缘体544中形成到达氧化物530b的开口。在该开口内设置绝缘体552、绝缘体550、绝缘体554及导电体560。此外,在晶体管500的沟道长度方向上,绝缘体571a及导电体542a与绝缘体571b及导电体542b间设置有导电体560、绝缘体552、绝缘体550及绝缘体554。绝缘体554具有与导电体560的侧面接触的区域及与导电体560的底面接触的区域。

[0682] 氧化物530优选包括绝缘体524上的氧化物530a及氧化物530a上的氧化物530b。当在氧化物530b下包括氧化物530a时,可以抑制杂质从形成在氧化物530a的下方的结构物向氧化物530b扩散。

[0683] 在晶体管500中,氧化物530具有氧化物530a及氧化物530b这两层的叠层结构,但是本发明不局限于此。例如,氧化物530可以具有氧化物530b的单层或三层以上的叠层结构,也可以具有氧化物530a及氧化物530b分别具有叠层的结构。

[0684] 导电体560被用作第一栅(也称为顶栅极)电极,导电体503被用作第二栅(也称为背栅极)电极。此外,绝缘体552、绝缘体550及绝缘体554被用作第一栅极绝缘体,绝缘体522及绝缘体524被用作第二栅极绝缘体。注意,有时将栅极绝缘体称为栅极绝缘层或栅极绝缘膜。此外,导电体542a被用作源极和漏极中的一个,导电体542b被用作源极和漏极中的另一个。此外,氧化物530的与导电体560重叠的区域的至少一部分被用作沟道形成区域。

[0685] 在此,图38A示出图36A中的沟道形成区域附近的放大图。由于氧化物530b被供应氧,沟道形成区域形成在导电体542a和导电体542b之间的区域中。因此,如图38A所示,氧化物530b包括被用作晶体管500的沟道形成区域的区域530bc及以夹着区域530bc的方式设置并被用作源极区域或漏极区域的区域530ba及区域530bb。区域530bc的至少一部分与导电体560重叠。换言之,区域530bc设置在导电体542a与导电体542b间的区域中。区域530ba与导电体542a重叠,区域530bb与导电体542b重叠。

[0686] 被用作沟道形成区域的区域530bc是与区域530ba及区域530bb相比其氧空位(在本说明书等中,金属氧化物中的氧空位有时被称为Vo(oxygen vacancy))少或杂质浓度低,由此载流子浓度低的高电阻区域。因此,区域530bc可以说是i型(本征)或实质上i型的区域。

[0687] 在使用氧化物半导体的晶体管中,如果氧化物半导体中的形成沟道的区域存在杂质或氧空位(Vo),电特性则容易变动,有时降低可靠性。此外,氧空位(Vo)附近的氢形成氢进入氧空位(Vo)中的缺陷(下面有时称为VoH)而可能会生成成为载流子的电子。因此,当在氧化物半导体中的形成沟道的区域中包含氧空位时,晶体管会成为常开启特性(即使不对栅电极施加电压也存在沟道而在晶体管中电流流过的特性)。由此,在氧化物半导体的形成沟道的区域中,优选尽量减少杂质、氧空位及VoH。



[0688] 此外,在被用作源极区域或漏极区域的区域530ba及区域530bb中,氧空位(Vo)多并且氢、氮、金属元素等杂质的浓度高。因此,区域530ba及区域530bb的载流子浓度提高,所以被低电阻化。就是说,区域530ba及区域530bb是比区域530bc载流子浓度高且电阻低的n型区域。

[0689] 在此,被用作沟道形成区域的区域530bc的载流子浓度优选为 $1 \times 10^{18} \text{cm}^{-3}$ 以下,更优选低于 $1 \times 10^{17} \text{cm}^{-3}$ ,进一步优选低于 $1 \times 10^{16} \text{cm}^{-3}$ ,更优选的是低于 $1 \times 10^{13} \text{cm}^{-3}$ ,进一步优选的是低于 $1 \times 10^{12} \text{cm}^{-3}$ 。对被用作沟道形成区域的区域530bc的载流子浓度的下限值没有特别的限定,例如,可以将其设定为 $1 \times 10^{-9} \text{cm}^{-3}$ 。

[0690] 此外,也可以在区域530bc与区域530ba或区域530bb之间形成载流子浓度等于或低于区域530ba及区域530bb的载流子浓度且等于或高于区域530bc的载流子浓度的区域。换言之,该区域被用作区域530bc与区域530ba或区域530bb的接合区域。该接合区域的氢浓度有时相等于或低于区域530ba及区域530bb的氢浓度且等于或高于区域530bc的氢浓度。此外,该接合区域的氧空位有时等于或少于区域530ba及区域530bb的氧空位且等于或多于区域530bc的氧空位。

[0691] 注意,图38A示出区域530ba、区域530bb及区域530bc形成在氧化物530b中的例子,但是本发明不局限于此。例如,上述各区域也可以形成在氧化物530b和氧化物530a中。

[0692] 在氧化物530中,有时难以明确地观察各区域的边界。在各区域中检测出的金属元素和氢及氮等杂质元素的浓度并不需要按每区域分阶段地变化,也可以在各区域中逐渐地变化。就是说,越接近沟道形成区域,金属元素和氢及氮等杂质元素的浓度越低即可。

[0693] 优选在晶体管500中将被用作半导体的金属氧化物(以下,有时称为氧化物半导体)用于包含沟道形成区域的氧化物530(氧化物530a、氧化物530b)。

[0694] 被用作半导体的金属氧化物优选使用其带隙为2eV以上,优选为2.5eV以上的金属氧化物。如此,通过使用带隙较宽的金属氧化物,可以减小晶体管的关态电流。

[0695] 例如,作为氧化物530优选使用包含铟、元素M及锌的In-M-Zn氧化物(元素M为选自铝、镓、铋、锡、铜、钒、铍、硼、钛、铁、镍、钴、锆、钼、镉、铈、钕、钐、钆和镁等中的一种或多种)等的金属氧化物。此外,作为氧化物530也可以使用In-Ga氧化物、In-Zn氧化物、铟氧化物。

[0696] 在此,优选的是,用于氧化物530b的金属氧化物中的In与元素M的原子个数比大于用于氧化物530a的金属氧化物中的In与元素M的原子个数比。

[0697] 如此,通过在氧化物530b下配置氧化物530a,可以抑制杂质及过多的氧从形成在氧化物530a的下方的结构物向氧化物530b扩散。

[0698] 此外,氧化物530a及氧化物530b除了氧以外还包含共同元素(作为主要成分),所以可以降低氧化物530a与氧化物530b的界面的缺陷态密度。因为可以降低氧化物530a与氧化物530b的界面的缺陷态密度,所以界面散射给载流子传导带来的影响小,从而可以得到高通态电流。

[0699] 氧化物530b优选具有结晶性。尤其是,优选使用CAAC-OS(c-axis aligned crystalline oxide semiconductor:c轴取向结晶氧化物半导体)作为氧化物530b。

[0700] CAAC-OS具有结晶性高的致密结构且是杂质、缺陷(例如,氧空位( $V_o$ )等)少的金属氧化物。尤其是,通过在形成金属氧化物后以金属氧化物不被多晶化的温度(例如,400℃以

上且600℃以下)进行热处理,可以使CAAC-OS具有结晶性更高的致密结构。如此,通过进一步提高CAAC-OS的密度,可以进一步降低该CAAC-OS中的杂质或氧的扩散。

[0701] 另一方面,在CAAC-OS中不容易观察明确的晶界,因此不容易发生起因于晶界的电子迁移率的下降。因此,包含CAAC-OS的金属氧化物的物理性质稳定。因此,具有CAAC-OS的金属氧化物具有耐热性且可靠性良好。

[0702] 在使用氧化物半导体的晶体管中,如果在氧化物半导体的形成沟道的区域中存在杂质或氧空位,电特性则容易变动,有时降低可靠性。此外,氧空位附近的氢形成氢进入氧空位中的缺陷(下面有时称为 $V_OH$ )而可能会产生成为载流子的电子。因此,当在氧化物半导体的形成沟道的区域中包含氧空位时,晶体管会具有常开启特性(即使不对栅电极施加电压也存在沟道而在晶体管中电流流过的特性)。由此,在氧化物半导体的形成沟道的区域中,优选尽量减少杂质、氧空位及 $V_OH$ 。换言之,优选的是,氧化物半导体中的形成沟道的区域的载流子浓度降低且被i型化(本征化)或实质上被i型化。

[0703] 相对于此,通过在氧化物半导体附近设置包含通过加热脱离的氧(以下,有时称为过剩氧)的绝缘体而进行热处理,可以从该绝缘体向氧化物半导体供应氧而减少氧空位及 $V_OH$ 。注意,在对源极区域或漏极区域供应过多的氧时,有可能引起晶体管500的通态电流下降或者场效应迁移率的下降。并且,在供应到源极区域或漏极区域的氧量在衬底面内有不均匀时,包括晶体管的半导体装置特性发生不均匀。

[0704] 因此,优选的是,在氧化物半导体中,被用作沟道形成区域的区域530bc的载流子浓度得到降低且被i型化或实质上被i型化。另一方面,优选的是,被用作源极区域或漏极区域的区域530ba及区域530bb的载流子浓度高且被n型化。换言之,优选减少氧化物半导体的区域530bc的氧空位及 $V_OH$ 且区域530ba及区域530bb不被供应过多的氧。

[0705] 于是,本实施方式以在氧化物530b上设置导电体542a及导电体542b的状态在含氧气氛下进行微波处理来减少区域530bc的氧空位及 $V_OH$ 。在此,微波处理例如是指使用包括利用微波生成高密度等离子体的电源的装置的处理。

[0706] 通过在含氧气氛下进行微波处理,可以使用微波或RF等高频使氧气体等离子体化而使该氧等离子体作用。此时,也可以将微波或RF等高频照射到区域530bc。通过等离子体、微波等的作用,可以使区域530bc的 $V_OH$ 分开。可以将氢(H)从区域530bc去除而由氧填补氧空位( $V_O$ )。换言之,在区域530bc中发生“ $V_OH \rightarrow H + V_O$ ”的反应,可以降低区域530bc的氢浓度。由此,可以减少区域530bc中的氧空位及 $V_OH$ 而降低载流子浓度。

[0707] 此外,当在含氧气氛下进行微波处理时,微波、RF等高频、氧等离子体等被导电体542a及导电体542b遮蔽而不作用于区域530ba及区域530bb。再者,可以通过覆盖氧化物530b及导电体542的绝缘体571及绝缘体580降低氧等离子体的作用。由此,在进行微波处理时在区域530ba及区域530bb中不发生 $V_OH$ 的减少以及过多的氧的供应,因此可以防止载流子浓度的降低。

[0708] 此外,优选在形成成为绝缘体552的绝缘膜之后或者在形成成为绝缘体550的绝缘膜之后以含氧气氛进行微波处理。如此,通过经由绝缘体552或绝缘体550以含氧气氛进行微波处理,可以对区域530bc高效地注入氧。此外,通过以与导电体542的侧面及区域530bc的表面接触的方式配置绝缘体552,可以抑制区域530bc被注入不必要的氧,因此可以抑制导电体542的侧面的氧化。此外,可以抑制在形成成为绝缘体550的绝缘膜时导电体542的侧

面被氧化。

[0709] 此外,作为注入到区域530bc中的氧,有氧原子、氧分子、氧自由基(也称为O自由基,包含不成对电子的原子、分子或离子)等各种方式。注入到区域530bc中的氧可以为上述方式中的任一个或多个,尤其优选为氧自由基。此外,由于可以提高绝缘体552及绝缘体550的膜品质,晶体管500的可靠性得到提高。

[0710] 如上所述,可以在氧化物半导体的区域530bc中选择性地去除氧空位及 $V_O$ 而使区域530bc成为i型或实质上i型。并且,可以抑制对被用作源极区域或漏极区域的区域530ba及区域530bb供应过多的氧而保持n型。由此,可以抑制晶体管500的电特性变动而抑制在衬底面内晶体管500的电特性不均匀。

[0711] 通过采用上述结构,可以提供一种晶体管特性不均匀小的半导体装置。此外,可以提供一种可靠性良好的半导体装置。此外,可以提供一种具有良好的电特性的半导体装置。

[0712] 此外,如图36B所示,在从晶体管500的沟道宽度的截面看时,也可以在氧化物530b的侧面与氧化物530b的顶面之间具有弯曲面。就是说,该侧面的端部和该顶面的端部也可以弯曲(以下,也称为圆形)。

[0713] 上述弯曲面的曲率半径优选大于0nm且小于与导电体542重叠的区域的氧化物530b的厚度或者小于不具有上述弯曲面的区域的一半长度。具体而言,上述弯曲面的曲率半径大于0nm且为20nm以下,优选为1nm以上且15nm以下,更优选为2nm以上且10nm以下。通过采用上述形状,可以提高绝缘体552、绝缘体550、绝缘体554及导电体560的氧化物530b的覆盖性。

[0714] 氧化物530优选具有化学组成互不相同的多个氧化物层的叠层结构。具体而言,用于氧化物530a的金属氧化物中的相对于主要成分的金属元素的元素M的原子个数比优选大于用于氧化物530b的金属氧化物中的相对于主要成分的金属元素的元素M的原子个数比。此外,用于氧化物530a的金属氧化物中的In与元素M的原子个数比优选大于用于氧化物530b的金属氧化物中的In与元素M的原子个数比。此外,用于氧化物530b的金属氧化物中的In与元素M的原子个数比优选大于用于氧化物530a的金属氧化物中的In与元素M的原子个数比。

[0715] 此外,氧化物530b优选为具有CAAC-OS等的结晶性的氧化物。CAAC-OS等的具有结晶性的氧化物具有杂质及缺陷(氧空位等)少的结晶性高且致密的结构。因此,可以抑制源电极或漏电极从氧化物530b抽出氧。因此,即使进行热处理也可以减少氧从氧化物530b被抽出,所以晶体管500对制造工序中的高温(所谓热积存:thermal budget)也很稳定。

[0716] 在此,在氧化物530a与氧化物530b的接合部中,导带底平缓地变化。换言之,也可以将上述情况表达为氧化物530a与氧化物530b的接合部的导带底连续地变化或者连续地接合。为此,优选降低形成在氧化物530a与氧化物530b的界面的混合层的缺陷态密度。

[0717] 具体而言,通过使氧化物530a与氧化物530b除了包含氧之外还包含共同元素作为主要成分,可以形成缺陷态密度低的混合层。例如,在氧化物530b为In-M-Zn氧化物的情况下,作为氧化物530a也可以使用In-M-Zn氧化物、M-Zn氧化物、元素M的氧化物、In-Zn氧化物、铟氧化物等。

[0718] 具体而言,作为氧化物530a使用In:M:Zn=1:3:4[原子个数比]或其附近的组成或者In:M:Zn=1:1:0.5[原子个数比]或其附近的组成的金属氧化物,即可。此外,作为氧化物

530b,使用 $\text{In:M:Zn}=1:1:1$ [原子个数比]或其附近的组成、 $\text{In:M:Zn}=4:2:3$ [原子个数比]或其附近的组成的金属氧化物,即可。注意,附近的组成包括所希望的原子个数比的 $\pm 30\%$ 的范围。此外,作为元素M优选使用镓。

[0719] 此外,在通过溅射法形成金属氧化物时,上述原子个数比不局限于所形成的金属氧化物的原子个数比,而也可以是用于金属氧化物的形成的溅射靶材的原子个数比。

[0720] 此外,如图36A等所示,由于以与氧化物530的顶面及侧面接触的方式设置由氧化铝等形成的绝缘体552,氧化物530所包含的镓有时分布在氧化物530和绝缘体552的界面及其附近。因此,氧化物530的表面附近具有接近镓氧化物的原子个数比或者接近 $\text{In-Zn}$ 氧化物的原子个数比。在如此氧化物530,尤其是氧化物530b的表面附近的镓的原子个数比较大时,可以提高晶体管500的场效应迁移率。

[0721] 通过使氧化物530a及氧化物530b具有上述结构,可以降低氧化物530a与氧化物530b的界面的缺陷态密度。因此,界面散射对载流子传导带来的影响减少,从而晶体管500可以得到高通态电流及高频特性。

[0722] 绝缘体512、绝缘体514、绝缘体544、绝缘体571、绝缘体574、绝缘体576、绝缘体581中的至少一个优选被用作抑制水、氢等杂质从衬底一侧或晶体管500的上方扩散到晶体管500的阻挡绝缘膜。因此,绝缘体512、绝缘体514、绝缘体544、绝缘体571、绝缘体574、绝缘体576、绝缘体581中的至少一个优选使用具有抑制氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子( $\text{N}_2\text{O}$ 、 $\text{NO}$ 、 $\text{NO}_2$ 等)、铜原子等杂质的扩散的功能(不容易使上述杂质透过)的绝缘材料。此外,优选使用具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能(不容易使上述氧透过)的绝缘材料。

[0723] 此外,在本说明书中,阻挡绝缘膜是指具有阻挡性的绝缘膜。在本说明书中,阻挡性是指抑制所对应的物质的扩散的功能(也可以说透过性低)。或者,是指俘获并固定所对应的物质(也称为吸杂)的功能。

[0724] 作为绝缘体512、绝缘体514、绝缘体544、绝缘体571、绝缘体574、绝缘体576及绝缘体581,优选使用具有抑制水、氢等杂质及氧的扩散的功能的绝缘体,例如可以使用氧化铝、氧化镁、氧化钪、氧化镓、镓镓氧化物、氮化硅或氮氧化硅等。例如,作为绝缘体512、绝缘体544及绝缘体576,优选使用氢阻挡性更高的氮化硅等。此外,例如,作为绝缘体514、绝缘体571、绝缘体574及绝缘体581,优选使用俘获并固定氢的性能高的氧化铝或氧化镁等。由此,可以抑制水、氢等杂质经过绝缘体512及绝缘体514从衬底一侧扩散到晶体管500一侧。或者,可以抑制水、氢等杂质从配置在绝缘体581的外方的层间绝缘膜等扩散到晶体管500一侧。或者,可以抑制包含在绝缘体524等中的氧经过绝缘体512及绝缘体514扩散到衬底一侧。或者,可以抑制含在绝缘体580等中的氧经过绝缘体574等向晶体管500的上方扩散。如此,优选采用由具有抑制水、氢等杂质及氧的扩散的功能的绝缘体512、绝缘体514、绝缘体544、绝缘体571、绝缘体574、绝缘体576及绝缘体581围绕晶体管500的结构。

[0725] 在此,作为绝缘体512、绝缘体514、绝缘体544、绝缘体571、绝缘体574、绝缘体576及绝缘体581,优选使用具有非晶结构的氧化物。例如,优选使用 $\text{AlO}_x$ ( $x$ 是大于0的任意数)或 $\text{MgO}_y$ ( $y$ 是大于0的任意数)等金属氧化物。上述具有非晶结构的金属氧化物有时具有如下性质:氧原子具有悬空键而由该悬空键俘获或固定氢。通过将上述具有非晶结构的金属氧化物作为晶体管500的构成要素使用或者设置在晶体管500的周围,可以俘获或固定含在晶

体管500中的氢或存在于晶体管500的周围的氢。尤其是,优选俘获或固定含在晶体管500中的沟道形成区域的氢。通过将具有非晶结构的金属氧化物作为晶体管500的构成要素使用或者设置在晶体管500的周围,可以制造具有良好特性的可靠性高的晶体管500及半导体装置。

[0726] 此外,绝缘体512、绝缘体514、绝缘体544、绝缘体571、绝缘体574、绝缘体576及绝缘体581优选具有非晶结构,但是也可以在其一部分形成多晶结构的区域。此外,绝缘体512、绝缘体514、绝缘体544、绝缘体571、绝缘体574、绝缘体576及绝缘体581也可以具有层叠有非晶结构的层与多晶结构的层的多层结构。例如,也可以具有在非晶结构的层上层叠有多晶结构的层的叠层结构。

[0727] 绝缘体512、绝缘体514、绝缘体544、绝缘体571、绝缘体574、绝缘体576及绝缘体581的成膜例如可以利用溅射法。溅射法不需要作为沉积气体使用包含氢的分子,所以可以降低绝缘体512、绝缘体514、绝缘体544、绝缘体571、绝缘体574、绝缘体576及绝缘体581的氢浓度。作为成膜方法,除了溅射法以外还可以适当地使用化学气相沉积(CVD:Chemical Vapor Deposition)法、分子束外延(MBE:Molecular Beam Epitaxy)法、脉冲激光沉积(PLD:Pulsed Laser Deposition)法、原子层沉积法(ALD:Atomic Layer Deposition)法等。

[0728] 此外,有时优选降低绝缘体512、绝缘体544及绝缘体576的电阻率。例如,通过使绝缘体512、绝缘体544及绝缘体576的电阻率约为 $1 \times 10^{13} \Omega \text{ cm}$ ,在半导体装置制造工序的利用等离子体等的处理中,有时绝缘体512、绝缘体544及绝缘体576可以缓和导电体503、导电体542、导电体560的电荷积聚。绝缘体512、绝缘体544及绝缘体576的电阻率为 $1 \times 10^{10} \Omega \text{ cm}$ 以上且 $1 \times 10^{15} \Omega \text{ cm}$ 以下。

[0729] 此外,绝缘体516、绝缘体574、绝缘体580及绝缘体581的介电常数优选比绝缘体514低。通过将介电常数低的材料用于层间膜,可以减少产生在布线之间的寄生电容。例如,作为绝缘体516、绝缘体580及绝缘体581,适当地使用氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅或具有空孔的氧化硅等。

[0730] 此外,绝缘体581例如优选为被用作层间膜、平坦化膜等的绝缘体。

[0731] 导电体503以与氧化物530及导电体560重叠的方式配置。在此,导电体503优选以嵌入绝缘体516的开口中的方式设置。此外,导电体503的一部分有时嵌入绝缘体514中。

[0732] 导电体503包括导电体503a及导电体503b。导电体503a与该开口的底面及侧壁接触的方式设置。导电体503b以嵌入形成在导电体503a的凹部中的方式设置。在此,导电体503b的顶面与导电体503a的顶面的高度及绝缘体516的顶面的高度大致一致。

[0733] 在此,作为导电体503a优选使用具有抑制氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子( $\text{N}_2\text{O}$ 、 $\text{NO}$ 、 $\text{NO}_2$ 等)、铜原子等杂质的扩散的功能的导电材料。此外,优选使用具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能的导电材料。

[0734] 通过作为导电体503a使用具有抑制氢的扩散的功能的导电材料,可以防止含在导电体503b中的氢等杂质通过绝缘体524等扩散到氧化物530。此外,通过作为导电体503a使用具有抑制氧的扩散的功能的导电材料,可以抑制导电体503b被氧化而导电率下降。作为具有抑制氧扩散的功能的导电材料,例如可以使用钛、氮化钛、钽、氮化钽、钇、氧化钇等。因此,作为导电体503a使用单层或叠层的上述导电材料即可。例如,作为导电体503a使用氮化

钛即可。

[0735] 此外,导电体503b优选使用以钨、铜或铝为主要成分的导电材料。例如,导电体503b可以使用钨。

[0736] 导电体503有时被用作第二栅电极。在此情况下,通过独立地改变供应到导电体503的电位而不使其与供应到导电体560的电位联动,可以控制晶体管500的阈值电压( $V_{th}$ )。尤其是,通过对导电体503施加负电位,可以增大晶体管500的 $V_{th}$ 而减少关态电流。由此,与不对导电体503施加负电位的情况相比,在对导电体503施加负电位的情况下,可以减少对导电体560施加的电位为0V时的漏极电流。

[0737] 此外,导电体503的电阻率根据上述施加到导电体503的电位设计,导电体503的厚度根据该电阻率设定。此外,绝缘体516的厚度与导电体503大致相同。在此,优选在导电体503的设计允许的范围内减少导电体503及绝缘体516的厚度。通过减少绝缘体516的厚度,可以降低含在绝缘体516中的氢等杂质的绝对量,所以可以抑制该杂质扩散到氧化物530。

[0738] 此外,导电体503在被俯视时优选比氧化物530的不与导电体542a及导电体542b重叠的区域大。尤其是,如图36B所示,导电体503优选延伸到氧化物530a及氧化物530b的沟道宽度方向的端部的外侧的区域。就是说,优选在氧化物530的沟道宽度方向的侧面的外侧,导电体503和导电体560隔着绝缘体重叠。通过具有上述结构,可以由被用作第一栅电极的导电体560的电场和被用作第二栅电极的导电体503的电场电围绕氧化物530的沟道形成区域。在本说明书中,将由第一栅极及第二栅极的电场电围绕沟道形成区域的晶体管结构称为surrounded channel (S-channel) 结构。

[0739] 在本说明书等中,S-channel结构的晶体管是指由一对栅电极中的一方及另一方的电场电围绕沟道形成区域的晶体管的结构。此外,本说明书等中公开的S-channel结构与Fin型结构及平面型结构不同。通过采用S-channel结构,可以实现对短沟道效应的耐性得到提高的晶体管,换言之,可以实现不容易发生短沟道效应的晶体管。

[0740] 此外,如图36B所示,将导电体503延伸来用作布线。但是,本发明不局限于此,也可以在导电体503下设置被用作布线的导电体。此外,不一定需要在每一个晶体管中设置一个导电体503。例如,在多个晶体管中可以共同使用导电体503。

[0741] 注意,示出在晶体管500中作为导电体503层叠有导电体503a及导电体503b的结构,但是本发明不局限于此。例如,导电体503可以具有单层结构,也可以具有三层以上的叠层结构。

[0742] 绝缘体522及绝缘体524被用作栅极绝缘体。

[0743] 绝缘体522优选具有抑制氢(例如,氢原子、氢分子等中的至少一个)的扩散的功能。此外,绝缘体522优选具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能。例如,与绝缘体524相比,绝缘体522优选具有抑制氢和氧中的一方或双方的扩散的功能。

[0744] 绝缘体522优选使用作为绝缘材料的包含铝和钪中的一方或双方的氧化物的绝缘体。作为该绝缘体,优选使用氧化铝、氧化钪、包含铝及钪的氧化物(铝酸钪)等。当使用这种材料形成绝缘体522时,绝缘体522例如被用作抑制例如氧从氧化物530释放到衬底一侧、氢等杂质从晶体管500的周围部扩散到氧化物530的层。因此,通过设置绝缘体522,可以抑制氢等杂质扩散到晶体管500的内侧,而可以抑制在氧化物530中生成氧空位。此外,可以抑制

导电体503与绝缘体524及氧化物530所包含的氧起反应。

[0745] 或者,例如也可以对上述绝缘体添加氧化铝、氧化铍、氧化锆、氧化铌、氧化硅、氧化钛、氧化钨、氧化钼或氧化锆。或者,也可以对上述绝缘体进行氮化处理。此外,作为绝缘体522还可以在上述绝缘体上层叠氧化硅、氧氮化硅或氮化硅而使用。

[0746] 此外,作为绝缘体522,例如也可以以单层或叠层使用包含氧化铝、氧化钪、氧化铌、氧化锆等所谓的high-k材料的绝缘体。当进行晶体管的微型化及高集成化时,由于栅极绝缘体的薄膜化,有时发生泄漏电流等问题。通过作为被用作栅极绝缘体的绝缘体使用high-k材料,可以在保持物理厚度的同时降低晶体管工作时的栅极电位。此外,作为绝缘体522有时可以使用锆钛酸铅(PZT)、钛酸锶( $\text{SrTiO}_3$ )、 $(\text{Ba}, \text{Sr}) \text{TiO}_3$  (BST) 等介电常数高的物质。

[0747] 作为与氧化物530接触的绝缘体524,例如适当地使用氧化硅、氧氮化硅等即可。

[0748] 此外,在晶体管500的制造工序中,热处理优选在氧化物530的表面露出的状态下进行。该热处理例如优选以 $100^\circ\text{C}$ 以上且 $600^\circ\text{C}$ 以下,更优选以 $350^\circ\text{C}$ 以上且 $550^\circ\text{C}$ 以下进行。热处理在氮气体或惰性气体气氛或者包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行。例如,热处理优选在氧气氛下进行。由此,对氧化物530供应氧,从而可以减少氧空位( $\text{V}_\text{O}$ )。热处理也可以在减压状态下进行。此外,也可以在氮气体或惰性气体的气氛下进行热处理,然后为了填补脱离的氧而在包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行热处理。此外,也可以在包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行热处理,然后连续地在氮气体或惰性气体的气氛下进行热处理。

[0749] 通过对氧化物530进行加氧化处理,可以由所供应的氧填补氧化物530中的氧空位,换言之可以促进“ $\text{V}_\text{O} + \text{O} \rightarrow \text{null}$ ”的反应。再者,氧化物530中残留的氢与被供给的氧发生反应而可以将氢以 $\text{H}_2\text{O}$ 的形态去除(脱水化)。由此,可以抑制残留在氧化物530中的氢与氧空位再结合而形成 $\text{V}_\text{O}\text{H}$ 。

[0750] 此外,绝缘体522及绝缘体524也可以具有两层以上的叠层结构。此时,不局限于使用相同材料构成的叠层结构,也可以是使用不同材料构成的叠层结构。此外,绝缘体524也可以形成为岛状且与氧化物530a重叠。在此情况下,绝缘体544与绝缘体524的侧面及绝缘体522的顶面接触。

[0751] 导电体542a及导电体542b与氧化物530b的顶面接触。导电体542a及导电体542b分别被用作晶体管500的源电极或漏电极。

[0752] 作为导电体542(导电体542a及导电体542b)例如优选使用包含钽的氮化物、包含钛的氮化物、包含钼的氮化物、包含钨的氮化物、包含钽及铝的氮化物、包含钛及铝的氮化物等。在本发明的一个方式中,尤其优选采用包含钽的氮化物。此外,例如也可以使用氧化钌、氮化钌、包含锆和钌的氧化物、包含镧和镍的氧化物等。这些材料是不容易氧化的导电材料或者即使吸收氧也维持导电性的材料,所以是优选的。

[0753] 注意,有时包含在氧化物530b等中的氢扩散到导电体542a或导电体542b。尤其是,通过作为导电体542a及导电体542b使用包含钽的氮化物,有时包含在氧化物530b等中的氢容易扩散到导电体542a或导电体542b,该扩散的氢与导电体542a或导电体542b所包含的氮键合。也就是说,有时包含在氧化物530b等中的氢被导电体542a或导电体542b吸收。

[0754] 此外,优选在导电体542的侧面与导电体542的顶面之间不形成弯曲面。通过使导

电体542不具有该弯曲面,可以增大沟道宽度方向的截面上的导电体542的截面积。由此,增大导电体542的导电率,从而可以增大晶体管500的通态电流。

[0755] 绝缘体571a与导电体542a的顶面接触,绝缘体571b与导电体542b的顶面接触。绝缘体571优选被用作至少对氧具有阻挡性的绝缘膜。因此,绝缘体571优选具有抑制氧扩散的功能。例如,与绝缘体580相比,绝缘体571优选具有进一步抑制氧扩散的功能。作为绝缘体571,例如可以使用氮化硅等包含硅的氮化物。此外,绝缘体571优选具有俘获氢等杂质的功能。在此情况下,绝缘体571可以使用具有非晶结构的金属氧化物,例如,氧化铝或氧化镁等绝缘体。尤其是,绝缘体571特别优选使用具有非晶结构的氧化铝或由非晶结构组成的氧化铝,因为有时能够更有效地俘获或固定氢。由此,可以制造特性良好且可靠性高的晶体管500及半导体装置。

[0756] 绝缘体544以覆盖绝缘体524、氧化物530a、氧化物530b、导电体542及绝缘体571的方式设置。绝缘体544优选具有俘获并固定氢的功能。在此情况下,绝缘体544优选包括氮化硅或具有非晶结构的金属氧化物,例如,氧化铝或氧化镁等绝缘体。此外,例如,作为绝缘体544也可以使用氧化铝与该氧化铝上的氮化硅的叠层膜。

[0757] 通过设置上述绝缘体571及绝缘体544,可以由对氧具有阻挡性的绝缘体包围导电体542。换言之,可以抑制包含在绝缘体524及绝缘体580中的氧扩散到导电体542中。由此,可以抑制包含在绝缘体524及绝缘体580中的氧而导致导电体542直接被氧化使得电阻率增大而通态电流减少。

[0758] 绝缘体552被用作栅极绝缘体的一部分。作为绝缘体552优选使用氧阻挡绝缘膜。作为绝缘体552使用上述可用于绝缘体574的绝缘体即可。作为绝缘体552优选使用包含铝和钪中的一方或双方的氧化物的绝缘体。作为该绝缘体,可以使用包含氧化铝、氧化钪、包含铝及钪的氧化物(铝酸钪)、包含钪及硅的氧化物(硅酸钪)等。在本实施方式中,作为绝缘体552,使用氧化铝。此时,绝缘体552是至少包含氧及铝的绝缘体。

[0759] 如图36B所示,绝缘体552以与氧化物530b的顶面及侧面、氧化物530a的侧面、绝缘体524的侧面及绝缘体522的顶面接触的方式设置。就是说,在沟道宽度方向的截面中氧化物530a、氧化物530b及绝缘体524的与导电体560重叠的区域被绝缘体552覆盖。因此,可以利用具有氧阻挡性的绝缘体552防止在进行热处理等时氧化物530a及氧化物530b中的氧脱离。因此,可以减少在氧化物530a及氧化物530b中形成氧空位( $V_O$ )。由此,可以减少形成在区域530bc中的氧空位( $V_O$ )及 $V_OH$ 。因此,可以提高晶体管500的电特性及可靠性。

[0760] 此外,反之,即使绝缘体580及绝缘体550等包含过多的氧,也可以抑制该氧过度供应到氧化物530a及氧化物530b。因此,可以抑制区域530ba及区域530bb通过区域530bc被过度氧化而导致晶体管500的通态电流的下降或场效应迁移率的下降。

[0761] 此外,如图36A所示,绝缘体552以与导电体542、绝缘体571及绝缘体580各自的侧面接触的方式设置。因此,可以减少导电体542的侧面被氧化而氧化膜形成在该侧面。因此,可以抑制导致晶体管500的通态电流的下降或场效应迁移率的下降。

[0762] 此外,绝缘体552需要与绝缘体554、绝缘体550、导电体560一起设置在形成于绝缘体580等中的开口中。为了实现晶体管500的微型化,绝缘体552的厚度优选小。绝缘体552的厚度为0.1nm以上、0.5nm以上或1.0nm以上且1.0nm以下、3.0nm以下或5.0nm以下。上述下限值及上限值可以分别组合。此时,绝缘体552的至少一部分是具有上述厚度的区域即可。此



外,绝缘体552的厚度优选比绝缘体550的厚度小。此时,绝缘体552的至少一部分是厚度比绝缘体550小的区域即可。

[0763] 为了如上所述地将绝缘体552形成得薄,优选利用ALD法形成绝缘体552。ALD法有只利用热能使前驱物及反应物起反应的热ALD (Thermal ALD) 法、使用收到等离子体激发的反应物的PEALD (Plasma Enhanced ALD) 法等。在PEALD法中,通过利用等离子体可以在更低温度下进行形成,所以有时是优选的。

[0764] 此外,ALD法可以利用作为原子的性质的自调整性来沉积每一层的原子,从而发挥能够形成极薄的膜、能够对纵横比高的结构形成膜、能够以针孔等的缺陷少的方式形成膜、能够形成覆盖性优良的膜及能够在低温下形成膜等的效果。因此,可以在形成于绝缘体580等中的开口的侧面等以上述较小的厚度且高覆盖性形成绝缘体552。

[0765] ALD法中使用的前驱物有时包含碳等。因此,利用ALD法形成的膜有时与利用其它的成膜方法形成的膜相比包含更多的碳等杂质。此外,杂质的定量可以利用二次离子质谱分析(SIMS:Secondary Ion Mass Spectrometry)或X射线光电子能谱(XPS:X-ray Photoelectron Spectroscopy)测量。

[0766] 绝缘体550被用作栅极绝缘体的一部分。绝缘体550优选以与绝缘体552的顶面接触的方式配置。绝缘体550可以使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅等。尤其是,氧化硅及氧氮化硅具有热稳定性,所以是优选的。此时,绝缘体550是至少包含氧及硅的绝缘体。

[0767] 与绝缘体524同样,优选绝缘体550中的水、氢等杂质的浓度得到降低。绝缘体550的厚度优选为1nm以上或0.5nm以上且15.0nm以下或20nm以下。上述下限值及上限值可以分别组合。此时,绝缘体550的至少一部分是具有上述厚度的区域即可。

[0768] 在图36A及图36B等中,示出绝缘体550具有单层的结构,但是本发明不局限于此,也可以采用两层以上的叠层结构。例如,如图38B所示,绝缘体550也可以具有绝缘体550a与绝缘体550a上的绝缘体550b这两层的叠层结构。

[0769] 如图38B所示,在使绝缘体550具有两层叠层结构的情况下,优选的是,下层的绝缘体550a使用容易使氧透过的绝缘体形成,而上层的绝缘体550b使用具有抑制氧的扩散的功能的绝缘体形成。通过采用这种结构,可以抑制包含在绝缘体550a中的氧扩散到导电体560。换言之,可以抑制对氧化物530供应的氧量的减少。此外,可以抑制因包含在绝缘体550a中的氧导致的导电体560的氧化。例如,绝缘体550a使用上述的能够用于绝缘体550的材料,绝缘体550b使用包含铝和铅中的一方或双方的氧化物的绝缘体,即可。作为该绝缘体,可以使用包含氧化铝、氧化铅、包含铝及铅的氧化物(铝酸铅)、包含铅及硅的氧化物(硅酸铅)等。在本实施方式中,作为绝缘体550b,使用氧化铅。此时,绝缘体550b是至少包含氧及铅的绝缘体。此外,绝缘体550b的厚度优选为0.5nm以上或1.0nm以上且3.0nm以下或5.0nm以下。此时,绝缘体550b的至少一部分是具有上述厚度的区域即可。

[0770] 注意,当绝缘体550a使用氧化硅、氧氮化硅等时,绝缘体550b也可以使用相对介电常数高的high-k材料的绝缘材料形成。通过作为栅极绝缘体采用绝缘体550a及绝缘体550b的叠层结构,可以形成具有热稳定性且相对介电常数高的叠层结构。因此,可以在保持栅极绝缘体的物理厚度的同时降低在晶体管工作时施加的栅极电位。此外,可以减少被用作栅极绝缘体的绝缘体的等效氧化物厚度(EOT)。因此,可以提高绝缘体550的绝缘耐压。

[0771] 绝缘体554被用作栅极绝缘体的一部分。作为绝缘体554优选使用氢阻挡绝缘膜。由此,可以防止包含在导电体560中的氢等杂质扩散到绝缘体550及氧化物530b。作为绝缘体554使用上述可用于绝缘体576的绝缘体即可。例如,作为绝缘体554使用利用PEALD法形成的氮化硅即可。此时,绝缘体554是至少包含氮、硅的绝缘体。

[0772] 此外,绝缘体554也可以还具有氧阻挡性。由此,可以抑制包含在绝缘体550中的氧扩散到导电体560。

[0773] 此外,绝缘体554需要与绝缘体552、绝缘体550、导电体560一起设置在形成于绝缘体580等中的开口中。为了实现晶体管500的微型化,绝缘体554的厚度优选小。绝缘体554的厚度为0.1nm以上、0.5nm以上或1.0nm以上且3.0nm以下或5.0nm以下。上述下限值及上限值可以分别组合。此时,绝缘体554的至少一部分是具有上述厚度的区域即可。此外,绝缘体554的厚度优选比绝缘体550的厚度小。此时,绝缘体554的至少一部分是厚度比绝缘体550小的区域即可。

[0774] 导电体560被用作晶体管500的第一栅电极。导电体560优选包括导电体560a以及配置在导电体560a上的导电体560b。例如,优选以包围导电体560b的底面及侧面的方式配置导电体560a。此外,如图36A及图36B所示,导电体560的顶面与绝缘体550的顶面大致对齐。虽然在图36A及图36B中导电体560具有导电体560a和导电体560b的两层结构,但是也可以具有单层结构或三层以上的叠层结构。

[0775] 作为导电体560a优选使用具有抑制氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子、铜原子等杂质的扩散的功能的导电材料。此外,优选使用具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能的导电材料。

[0776] 此外,当导电体560a具有抑制氧的扩散的功能时,可以抑制绝缘体550所包含的氧使导电体560b氧化而导致导电率的下降。作为具有抑制氧扩散的功能的导电材料,例如可以使用钛、氮化钛、钽、氮化钽、钇、氧化钇等。

[0777] 此外,由于导电体560还被用作布线,所以优选使用导电性高的导电体。例如,导电体560b可以使用钨、铜或铝为主要成分的导电材料。此外,导电体560b也可以具有叠层结构,例如也可以具有钛或氮化钛与上述导电材料的叠层结构。

[0778] 此外,在晶体管500中,以嵌入绝缘体580等的开口中的方式自对准地形成导电体560。通过如此形成导电体560,可以在导电体542a和导电体542b之间的区域中无需对准并确实地配置导电体560。

[0779] 此外,如图36B所示,在晶体管500的沟道宽度方向上,以绝缘体522的底面为基准,导电体560的导电体560不与氧化物530b重叠的区域的底面的高度优选比氧化物530b的底面的高度低。通过采用被用作栅电极的导电体560隔着绝缘体550等覆盖氧化物530b的沟道形成区域的侧面及顶面的结构,容易使导电体560的电场作用于氧化物530b的沟道形成区域整体。由此,可以提高晶体管500的通态电流及频率特性。以绝缘体522的底面为基准时的氧化物530a及氧化物530b不与导电体560重叠的区域的导电体560的底面的高度与氧化物530b的底面的高度之差为0nm以上、3nm以上或5nm以上且20nm以下、50nm以下或100nm以下。上述下限值及上限值可以分别组合。

[0780] 绝缘体580设置在绝缘体544上,在将设置绝缘体550及导电体560的区域中形成开口。此外,绝缘体580的顶面也可以被平坦化。

[0781] 优选的是,被用作层间膜的绝缘体580的介电常数低。通过将介电常数低的材料用于层间膜,可以减少产生在布线之间的寄生电容。绝缘体580例如优选使用与绝缘体516同样的材料形成。尤其是,氧化硅及氮氧化硅具有热稳定性,所以是优选的。特别是,因为氧化硅、氮氧化硅、具有空孔的氧化硅等材料容易形成包含通过加热脱离的氧的区域,所以是优选的。

[0782] 绝缘体580中的水、氢等杂质浓度优选得到降低。例如,作为绝缘体580适当地使用氧化硅、氮氧化硅等包含硅的氧化物即可。

[0783] 绝缘体574优选被用作抑制水、氢等杂质从上方向绝缘体580扩散的阻挡绝缘膜且具有俘获氢等杂质的功能。此外,绝缘体574优选被用作抑制氧透过的阻挡绝缘膜。作为绝缘体574,使用具有非晶结构的金属氧化物,例如氧化铝等绝缘体即可。此时的绝缘体574是至少包含氧及铝的绝缘体。通过在夹在绝缘体512与绝缘体581的区域内设置与绝缘体580接触且具有俘获氢等杂质的功能的绝缘体574,可以俘获包含在绝缘体580等中的氢等杂质而将该区域内的氢量为一定的值。尤其是,绝缘体574优选使用具有非晶结构的氧化铝,因为有时能够更有效地俘获或固定氢。由此,可以制造特性良好且可靠性高的晶体管500及半导体装置。

[0784] 绝缘体576可以被用作抑制水、氢等杂质从上方扩散到绝缘体580的阻挡绝缘膜。绝缘体576配置在绝缘体574上。作为绝缘体576,优选使用氮化硅或氮氧化硅等包含硅的氮化物。例如,作为绝缘体576使用通过溅射法形成的氮化硅。通过使用溅射法形成绝缘体576,可以形成密度高的氮化硅膜。此外,作为绝缘体576,也可以在通过溅射法形成的氮化硅上还层叠通过PEALD法或CVD法形成的氮化硅。

[0785] 此外,晶体管500的第一端子及第二端子中的一个与用作插头的导电体540a电连接,晶体管500的第一端子及第二端子中的另一个与用作插头的导电体540b电连接。在本说明书等中,将导电体540a及导电体540b统称为导电体540。

[0786] 作为一个例子,导电体540a设置在与导电体542a重叠的区域。具体而言,在与导电体542a重叠的区域,在图36A所示的绝缘体544、绝缘体571、绝缘体580、绝缘体574、绝缘体576、绝缘体581、图35所示的绝缘体582以及绝缘体586中形成有开口部,在该开口部的内侧设置有导电体540a。此外,作为一个例子,导电体540b设置在与导电体542b重叠的区域。具体而言,在与导电体542b重叠的区域,在图36A所示的绝缘体544、绝缘体571、绝缘体580、绝缘体574、绝缘体576、绝缘体581、图35所示的绝缘体582以及绝缘体586中形成有开口部,在该开口部的内侧设置有导电体540b。关于绝缘体582及绝缘体586将在后面描述。

[0787] 此外,如图36A所示,也可以在与导电体542a重叠的区域中的开口部的侧面与导电体540a之间设置绝缘体541a作为具有杂质阻挡性的绝缘体。同样,也可以在与导电体542b重叠的区域中的开口部的侧面与导电体540b之间设置绝缘体541b作为具有杂质阻挡性的绝缘体。在本说明书等中,将绝缘体541a及绝缘体541b统称为绝缘体541。

[0788] 导电体540a及导电体540b优选使用以钨、铜或铝为主要成分的导电材料。此外,导电体540a及导电体540b也可以具有叠层结构。

[0789] 当作为导电体540采用叠层结构时,作为配置在绝缘体581、绝缘体576、绝缘体574、绝缘体580、绝缘体544及绝缘体571附近的第一导电体优选使用具有抑制水、氢等杂质的透过的功能的导电材料。例如,优选使用钽、氮化钽、钛、氮化钛、钇、氧化钇等。可以以单

层或叠层使用具有抑制水、氢等杂质的透过的功能的导电材料。此外,可以防止包含在绝缘体576的上方的层的水、氢等杂质通过导电体540a及导电体540b混入到氧化物530。

[0790] 作为绝缘体541a及绝缘体541b,使用可用于绝缘体544等的阻挡绝缘膜即可。作为绝缘体541a及绝缘体541b,例如可以使用氮化硅、氧化铝、氮氧化硅等绝缘体。因为绝缘体541a及绝缘体541b与绝缘体576、绝缘体574及绝缘体571接触地设置,所以可以抑制包含在绝缘体580等中的水、氢等杂质经过导电体540a及导电体540b混入氧化物530。尤其是,氮化硅的氢阻挡性高,所以是优选的。此外,可以防止绝缘体580所包含的氧被导电体540a及导电体540b吸收。

[0791] 在绝缘体541a及绝缘体541b具有如图36A所示那样的叠层结构时,作为与绝缘体580等的开口的内壁接触的第一绝缘体以及其内侧的第二绝缘体优选组合使用氧阻挡绝缘膜和氢阻挡绝缘膜。

[0792] 例如,作为第一绝缘体使用利用ALD法形成的氧化铝且作为第二绝缘体使用利用PEALD法形成的氮化硅即可。通过采用这样的结构,可以抑制导电体540的氧化,并且可以抑制氢进入导电体540中。

[0793] 此外,在晶体管500中,层叠有绝缘体541的第一绝缘体与绝缘体541的第二导电体,但是本发明不局限于此。例如,绝缘体541也可以具有单层结构或者三层以上的叠层结构。此外,在晶体管500中,层叠有导电体540的第一导电体与导电体540的第二导电体,但是本发明不局限于此。例如,导电体540也可以具有单层结构或者三层以上的叠层结构。

[0794] 此外,如图35所示,也可以以与导电体540a的上部及导电体540b的上部接触的方式配置被用作布线的导电体610、导电体612等。导电体610、导电体612优选使用以钨、铜或铝为主要成分的导电材料。此外,该导电体也可以具有叠层结构,例如,也可以具有钛或氮化钛与上述导电材料的叠层。此外,该导电体也可以嵌入设置在绝缘体中的开口而形成。

[0795] 此外,本发明的一个方式的半导体装置所包括的晶体管的结构不局限于图35、图36A、图36B及图37所示的晶体管500。本发明的一个方式的半导体装置所包括的晶体管的结构也可以根据状况而改变。

[0796] 例如,图35、图36A、图36B及图37所示的晶体管500也可以具有图39所示的结构。图39的晶体管包括氧化物543a及氧化物543b,这一点与图35、图36A、图36B及图37所示的晶体管500不同。在本说明书等中,将氧化物543a及氧化物543b统称为氧化物543。此外,图39的晶体管的沟道宽度方向上的截面结构可以与图36B所示的晶体管500的截面结构同样。

[0797] 氧化物543a设置在氧化物530b和导电体542a之间,氧化物543b设置在氧化物530b和导电体542b之间。在此,氧化物543a优选与氧化物530b的顶面及导电体542a的底面接触。此外,氧化物543b优选与氧化物530b的顶面及导电体542b的底面接触。

[0798] 氧化物543优选具有抑制氧透过的功能。通过在被用作源电极或漏电极的导电体542与氧化物530b之间配置具有抑制氧透过的功能的氧化物543,导电体542与氧化物530b之间的电阻被减少,所以是优选的。通过采用这样的结构,有时可以提高晶体管500的电特性、场效应迁移率及可靠性。

[0799] 作为氧化物543也可以使用包含元素M的金属氧化物。尤其是,作为元素M优选使用铝、镓、铟或锡。氧化物543的元素M的浓度优选比氧化物530b高。此外,作为氧化物543也可以使用氧化镓。此外,作为氧化物543也可以使用In-M-Zn氧化物等金属氧化物。具体而言,

用于氧化物543的金属氧化物中的In与元素M的原子个数比优选大于用于氧化物530b的金属氧化物中的In与元素M的原子个数比。此外,氧化物543的厚度优选为0.5nm以上或1nm以上且2nm以下、3nm以下或5nm以下。上述下限值及上限值可以分别组合。此外,氧化物543优选具有结晶性。在氧化物543具有结晶性的情况下,可以适当地抑制氧化物530中的氧的释放。例如,在氧化物543具有六方晶等结晶结构的情况下,有时可以抑制氧化物530中的氧的释放。

[0800] 在绝缘体581上设置有绝缘体582,在绝缘体582上设置有绝缘体586。

[0801] 绝缘体582优选使用对氧或氢具有阻挡性的物质。因此,作为绝缘体582可以使用与绝缘体514同样的材料。例如,作为绝缘体582优选使用氧化铝、氧化铅、氧化钽等金属氧化物。

[0802] 作为绝缘体586可以使用与绝缘体320同样的材料。此外,通过作为这些绝缘体应用介电常数较低的材料,可以减少产生在布线之间的寄生电容。例如,作为绝缘体586,可以使用氧化硅膜及氮氧化硅膜等。

[0803] 接着,说明图35及图37所示的半导体装置所包括的电容元件600及其周边的布线或插头。此外,在图35及图37所示的晶体管500上方设置有电容元件600、布线及/或插头。

[0804] 作为一个例子,电容元件600包括导电体610、导电体620、绝缘体630。

[0805] 导电体610设置在导电体540a及导电体540b中的一个、导电体546及绝缘体586上。导电体610被用作电容元件600的一对电极中的一个。

[0806] 此外,导电体612设置在导电体540a及导电体540b中的另一个及绝缘体586上。导电体612具有使晶体管500与能够设置在上方的电路元件、布线、端子等电连接的插头、布线、端子等的功能。具体而言,例如,导电体612可以为上述实施方式所示的运算电路110等中的布线IL或布线ILB。

[0807] 此外,可以同时形成导电体612及导电体610。

[0808] 作为导电体612及导电体610可以使用包含选自钼、钛、钽、钨、铝、铜、铬、钨、钽中的元素的金属膜或以上述元素为成分的金属氮化物膜(氮化钽膜、氮化钛膜、氮化钼膜、氮化钨膜)等。或者,也可以使用铟锡氧化物、包含氧化钨的铟氧化物、包含氧化钨的铟锡氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锡氧化物、添加有氧化硅的铟锡氧化物等导电材料。

[0809] 在图35中,导电体612及导电体610具有单层结构,但是不局限于此,也可以具有两层以上的叠层结构。例如,也可以在具有阻挡性的导电体与导电性高的导电体之间形成与具有阻挡性的导电体以及导电性高的导电体紧密性高的导电体。

[0810] 在绝缘体586及导电体610上设置有绝缘体630。此外,绝缘体630被用作夹在电容元件600的一对电极间的介电质。

[0811] 作为绝缘体630,例如使用氧化硅、氮氧化硅、氮化硅、氧化铝、氮氧化铝、氮化铝、氧化铅、氮氧化铅、氮化铅、氧化锆等即可,并且可以采用叠层结构或单层结构。

[0812] 例如,绝缘体630可以使用氮氧化硅等介电强度高的材料和高介电常数(high-k)材料的叠层结构。通过采用该结构,电容元件600可以包括高介电常数(high-k)的绝缘体来确保充分的电容,并可以包括介电强度高的绝缘体来提高介电强度,从而可以抑制电容元

件600的静电破坏。

[0813] 注意,作为高介电常数 (high-k) 材料 (相对介电常数高的材料) 的绝缘体,有氧化镓、氧化铅、氧化锆、具有铝及铅的氧化物、具有铝及铅的氧氮化物、具有硅及铅的氧化物、具有硅及铅的氧氮化物或具有硅及铅的氮化物等。

[0814] 此外,作为绝缘体630,例如也可以以单层或叠层使用包含氧化铝、氧化铅、氧化钽、氧化锆、锆钛酸铅 (PZT)、钛酸锶 ( $\text{SrTiO}_3$ ) 或  $(\text{Ba}, \text{Sr}) \text{TiO}_3$  (BST) 等high-k材料的绝缘体。此外,作为绝缘体630也可以使用包含铅、锆的化合物等。随着半导体装置微型化及高集成化,由于用于栅极绝缘体及电容元件的介电质薄膜化,有时发生晶体管及电容元件的泄漏电流等问题。通过作为被用作栅极绝缘体及电容元件的介电质的绝缘体使用high-k材料,可以在保持物理厚度的同时降低晶体管工作时的栅极电位并确保电容元件的电容。

[0815] 以隔着绝缘体630重叠于导电体610的方式设置导电体620。导电体610具有电容元件600的一对电极中的一个的功能。例如,导电体620也可以被用作上述实施方式所示的运算电路110等中的布线XLS。

[0816] 作为导电体620可以使用金属材料、合金材料、金属氧化物材料等导电材料。优选使用兼具耐热性和导电性的钨或钼等高熔点材料,尤其优选使用钨。当与导电体等其他构成要素同时形成导电体620时,使用低电阻金属材料的Cu (铜) 或Al (铝) 等即可。此外,例如,导电体620可以使用可以应用于导电体610的材料。此外,导电体620也可以具有两层以上的叠层结构而不具有单层结构。

[0817] 在导电体620及绝缘体630上设置有绝缘体640。作为绝缘体640,例如优选使用能够防止氢、杂质等扩散到设置有晶体管500的区域中的具有阻挡性的膜。因此,绝缘体640可以使用与绝缘体324同样的材料。

[0818] 在绝缘体640上设置有绝缘体650。绝缘体650可以使用与绝缘体320同样的材料形成。此外,绝缘体650也可以被用作覆盖其下方的凹凸形状的平坦化膜。因此,绝缘体650可以使用可以应用于绝缘体324的材料。

[0819] 虽然图35及图37所示的电容元件600为平面型,但是电容器的形状不局限于此。电容元件600例如也可以不是平面型而是圆柱型的电容器。

[0820] 此外,也可以在电容元件600上方设置有布线层。例如,在图35中,绝缘体411、绝缘体412、绝缘体413及绝缘体414依次设置在绝缘体650上方。此外,在绝缘体411、绝缘体412及绝缘体413中设置有被用作插头或布线的导电体416。作为一个例子,导电体416设置在与后述导电体660重叠的区域。

[0821] 此外,在绝缘体630、绝缘体640及绝缘体650中,在与导电体612重叠的区域设置有开口部,以嵌入该开口部的方式设置有导电体660。导电体660被用作与上述布线层所包括的导电体416电连接的插头或布线。

[0822] 与绝缘体324同样,绝缘体411及绝缘体414例如优选使用对水、氢等杂质具有阻挡性的绝缘体。因此,绝缘体411及绝缘体414可以使用可用于绝缘体324等的材料。

[0823] 例如,与绝缘体326同样,绝缘体412及绝缘体413优选使用相对介电常数较低的绝缘体以降低布线间产生的寄生电容。

[0824] 此外,导电体612及导电体416例如可以使用与导电体328及导电体330同样的材料形成。

[0825] 通过使用本实施方式所示的本结构作为使用包含氧化物半导体的晶体管的半导体装置,可以在抑制该晶体管的电特性的变动的同时提高可靠性。此外,可以实现使用包含氧化物半导体的晶体管的半导体装置的微型化或高集成化。

[0826] 注意,本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0827] (实施方式4)

[0828] 在本实施方式中,说明可用于上述实施方式中说明的OS晶体管的金属氧化物(下面称为氧化物半导体)。

[0829] 金属氧化物优选至少包含铟或锌。尤其优选包含铟及锌。此外,除此之外,优选还包含铝、镓、铋、锡等。此外,也可以包含选自硼、硅、钛、铁、镍、锗、钼、镧、铈、钕、钐、钆、铽、钇、铪、铌、钽、钨、镁及钴等中的一种或多种。

[0830] [结晶结构的分类]

[0831] 首先,对氧化物半导体中的结晶结构的分类参照图40A进行说明。图40A是说明氧化物半导体,典型为IGZO(包含In、Ga、Zn的金属氧化物)的结晶结构的分类的图。

[0832] 如图40A所示,氧化物半导体大致分为“Amorphous(无定形)”、“Crystalline(结晶性)”、“Crystal(结晶)”。此外,completely amorphous包含在“Amorphous”中。此外,在“Crystalline”中包含CAAC(c-axis-aligned crystalline)、nc(nanocrystalline)及CAC(cloud-aligned composite)。此外,在“Crystalline”的分类中不包含single crystal(单晶)、poly crystal(多晶)及completely amorphous。此外,在“Crystal”中包含single crystal及poly crystal。

[0833] 此外,图40A所示的外框线被加粗的部分中的结构是介于“Amorphous(无定形)”与“Crystal(结晶)”之间的中间状态,是属于新的边界区域(New crystalline phase)的结构。换言之,该结构与“Crystal(结晶)”或在能量性上不稳定的“Amorphous(无定形)”可以说是完全不同的结构。

[0834] 可以使用X射线衍射(XRD:X-Ray Diffraction)谱对膜或衬底的结晶结构进行评价。在此,图40B示出被分类为“Crystalline”的CAAC-IGZO膜的通过GIXD(Grazing-Incidence XRD)测量而得到的XRD谱(纵轴以任意单位表示强度)。此外,将GIXD法也称为薄膜法或Seemann-Bohlin法。下面,将图40B所示的通过GIXD测量而得到的XRD谱简单地记为XRD谱。此外,图40B所示的CAAC-IGZO膜的组成是In:Ga:Zn=4:2:3[原子个数比]附近。此外,图40B所示的CAAC-IGZO膜的厚度为500nm。

[0835] 如图40B所示,在CAAC-IGZO膜的XRD谱中检测出表示明确的结晶性的峰值。具体而言,在CAAC-IGZO膜的XRD谱中, $2\theta=31^\circ$ 附近检测出表示c轴取向的峰值。此外,如图40B所示那样, $2\theta=31^\circ$ 附近的峰值在以检测出峰值强度的角度为轴时左右非对称。

[0836] 此外,可以使用纳米束电子衍射法(NBED:Nano Beam Electron Diffraction)观察的衍射图案(也称为纳米束电子衍射图案)对膜或衬底的结晶结构进行评价。图40C示出CAAC-IGZO膜的衍射图案。图40C是将电子束向平行于衬底的方向入射的NBED观察的衍射图案。此外,图40C所示的CAAC-IGZO膜的组成是In:Ga:Zn=4:2:3[原子个数比]附近。此外,在纳米束电子衍射法中,进行束径为1nm的电子衍射法。

[0837] 如图40C所示那样,在CAAC-IGZO膜的衍射图案中观察到表示c轴取向的多个斑点。

[0838] <<氧化物半导体的结构>>

[0839] 此外,在注目于氧化物半导体的结晶结构的情况下,有时氧化物半导体的分类与图40A不同。例如,氧化物半导体可以分为单晶氧化物半导体和除此之外的非单晶氧化物半导体。作为非单晶氧化物半导体,例如可以举出上述CAAC-OS及nc-OS。此外,在非单晶氧化物半导体中包含多晶氧化物半导体、a-like OS (amorphous-like oxide semiconductor) 及非晶氧化物半导体等。

[0840] 在此,对上述CAAC-OS、nc-OS及a-like OS的详细内容进行说明。

[0841] [CAAC-OS]

[0842] CAAC-OS是包括多个结晶区域的氧化物半导体,该多个结晶区域的c轴取向于特定的方向。此外,特定的方向是指CAAC-OS膜的厚度方向、CAAC-OS膜的被形成面的法线方向或者CAAC-OS膜的表面的法线方向。此外,结晶区域是具有原子排列的周期性的区域。注意,在将原子排列看作晶格排列时结晶区域也是晶格排列一致的区域。再者,CAAC-OS具有在a-b面方向上多个结晶区域连接的区域,有时该区域具有畸变。此外,畸变是指在多个结晶区域连接的区域中,晶格排列一致的区域和其他晶格排列一致的区域之间的晶格排列的方向变化的部分。换言之,CAAC-OS是指c轴取向并在a-b面方向上没有明显的取向的氧化物半导体。

[0843] 此外,上述多个结晶区域的每一个由一个或多个微小结晶(最大径小于10nm的结晶)构成。在结晶区域由一个微小结晶构成的情况下,该结晶区域的最大径小于10nm。此外,结晶区域由多个微小结晶构成的情况下,有时该结晶区域的尺寸为几十nm左右。

[0844] 此外,在In-M-Zn氧化物(元素M为选自铝、镓、铟、锡及钛中的一种或多种)中,CAAC-OS有包括含有层叠有铟(In)及氧的层(以下,In层)、含有元素M、锌(Zn)及氧的层(以下,(M,Zn)层)的层状结晶结构(也称为层状结构)的趋势。此外,铟和元素M可以彼此置换。因此,有时(M,Zn)层包含铟。此外,有时In层包含元素M。注意,有时In层包含Zn。该层状结构例如在高分辨率TEM图像中被观察作为晶格像。

[0845] 例如,当对CAAC-OS膜使用XRD装置进行结构分析时,在使用 $\theta/2\theta$ 扫描的Out-of-plane XRD测量中,在 $2\theta=31^\circ$ 或其附近检测出表示c轴取向的峰值。注意,表示c轴取向的峰值的位置( $2\theta$ 值)有时根据构成CAAC-OS的金属元素的种类、组成等变动。

[0846] 此外,例如,在CAAC-OS膜的电子衍射图案中观察到多个亮点(斑点)。此外,在以透过样品的入射电子束的斑点(也称为直接斑点)为对称中心时,某一个斑点和其他斑点被观察在点对称的位置。

[0847] 在从上述特定的方向观察结晶区域的情况下,虽然该结晶区域中的晶格排列基本上是六方晶格,但是单位晶格并不局限于正六边形,有是非正六角形的情况。此外,在上述畸变中,有时具有五角形、七角形等晶格排列。此外,在CAAC-OS的畸变附近观察不到明确的晶界(grain boundary)。也就是说,晶格排列的畸变抑制晶界的形成。这可能是由于CAAC-OS因为a-b面方向上的氧原子排列的低密度或因金属原子被取代而使原子间的键合距离产生变化等而能够包容畸变。

[0848] 此外,确认到明确的晶界的结晶结构被称为所谓的多晶(polycrystal)。晶界成为复合中心而载流子被俘获,因而有可能导致晶体管的通态电流的降低、场效应迁移率的降低等。因此,确认不到明确的晶界的CAAC-OS是使晶体管的半导体层具有优异的结晶结构的结晶性氧化物之一。注意,为了构成CAAC-OS,优选为包含Zn的结构。例如,与In氧化物相比,



In-Zn氧化物及In-Ga-Zn氧化物能够进一步地抑制晶界的发生,所以是优选的。

[0849] CAAC-OS是结晶性高且确认不到明确的晶界的氧化物半导体。因此,可以说在CAAC-OS中,不容易发生起因于晶界的电子迁移率的降低。此外,氧化物半导体的结晶性有时因杂质的混入或缺陷的生成等而降低,因此可以说CAAC-OS是杂质及缺陷(氧缺陷等)少的氧化物半导体。因此,包含CAAC-OS的氧化物半导体的物理性质稳定。因此,包含CAAC-OS的氧化物半导体具有高耐热性及可靠性良好。此外,CAAC-OS对制造工序中的高温(所谓热积存;thermal budget)也很稳定。由此,通过在OS晶体管中使用CAAC-OS,可以扩大制造工序的自由度。

[0850] [nc-OS]

[0851] 在nc-OS中,微小的区域(例如1nm以上且10nm以下的区域,特别是1nm以上且3nm以下的区域)中的原子排列具有周期性。换言之,nc-OS具有微小的结晶。此外,例如,该微小的结晶的尺寸为1nm以上且10nm以下,尤其为1nm以上且3nm以下,将该微小的结晶称为纳米晶。此外,nc-OS在不同的纳米晶之间观察不到结晶取向的规律性。因此,在膜整体中观察不到取向性。所以,有时nc-OS在某些分析方法中与a-like OS或非晶氧化物半导体没有差别。例如,在对nc-OS膜使用XRD装置进行结构分析时,在使用 $\theta/2\theta$ 扫描的Out-of-plane XRD测量中,不检测出表示结晶性的峰值。此外,在对nc-OS膜进行使用其束径比纳米晶大(例如,50nm以上)的电子束的电子衍射(也称为选区电子衍射)时,观察到类似光晕图案的衍射图案。另一方面,在对nc-OS膜进行使用其束径近于或小于纳米晶的尺寸(例如1nm以上且30nm以下)的电子束的电子衍射(也称为纳米束电子衍射)的情况下,有时得到在以直接斑点为中心的环状区域内观察到多个斑点的电子衍射图案。

[0852] [a-like OS]

[0853] a-like OS是具有介于nc-OS与非晶氧化物半导体之间的结构的氧化物半导体。a-like OS包含空洞或低密度区域。也就是说,a-like OS的结晶性比nc-OS及CAAC-OS的结晶性低。此外,a-like OS的膜中的氢浓度比nc-OS及CAAC-OS的膜中的氢浓度高。

[0854] <<氧化物半导体的构成>>

[0855] 接着,说明上述的CAC-OS的详细内容。此外,说明CAC-OS与材料构成有关。

[0856] [CAC-OS]

[0857] CAC-OS例如是指包含在金属氧化物中的元素不均匀地分布的构成,其中包含不均匀地分布的元素的材料的尺寸为0.5nm以上且10nm以下,优选为1nm以上且3nm以下或近似的尺寸。注意,在下面也将在金属氧化物中一个或多个金属元素不均匀地分布且包含该金属元素的区域混合的状态称为马赛克状或补丁(patch)状,该区域的尺寸为0.5nm以上且10nm以下,优选为1nm以上且3nm以下或近似的尺寸。

[0858] 再者,CAC-OS是指其材料分开为第一区域与第二区域而成为马赛克状且该第一区域分布于膜中的结构(下面也称为云状)。就是说,CAC-OS是指具有该第一区域和该第二区域混合的结构的复合金属氧化物。

[0859] 在此,将相对于构成In-Ga-Zn氧化物的CAC-OS的金属元素的In、Ga及Zn的原子个数比的每一个记为[In]、[Ga]及[Zn]。例如,在In-Ga-Zn氧化物的CAC-OS中,第一区域是其[In]大于CAC-OS膜的组成中的[In]的区域。此外,第二区域是其[Ga]大于CAC-OS膜的组成中的[Ga]的区域。此外,例如,第一区域是其[In]大于第二区域中的[In]且其[Ga]小于第二

区域中的[Ga]的区域。此外,第二区域是其[Ga]大于第一区域中的[Ga]且其[In]小于第一区域中的[In]的区域。

[0860] 具体而言,上述第一区域是以铟氧化物或铟锌氧化物等为主要成分的区域。此外,上述第二区域是以镓氧化物或镓锌氧化物等为主要成分的区域。换言之,可以将上述第一区域称为以In为主要成分的区域。此外,可以将上述第二区域称为以Ga为主要成分的区域。

[0861] 注意,有时观察不到上述第一区域和上述第二区域的明确的边界。

[0862] 例如,在In-Ga-Zn氧化物的CAC-OS中,根据通过能量分散型X射线分析法(EDX: Energy Dispersive X-ray spectroscopy)取得的EDX面分析(mapping)图像,可确认到具有以In为主要成分的区域(第一区域)及以Ga为主要成分的区域(第二区域)不均匀地分布而混合的结构。

[0863] 在将CAC-OS用于晶体管的情况下,通过起因于第一区域的导电性和起因于第二区域的绝缘性的互补作用,可以使CAC-OS具有开关功能(控制导通/关闭的功能)。换言之,在CAC-OS的材料的一部分中具有导电性的功能且在另一部分中具有绝缘性的功能,在材料的整体中具有半导体的功能。通过使导电性的功能和绝缘性的功能分离,可以最大限度地提高各功能。因此,通过将CAC-OS用于晶体管,可以实现高通态电流( $I_{on}$ )、高场效应迁移率( $\mu$ )及良好的开关工作。

[0864] 氧化物半导体具有各种结构及各种特性。本发明的一个方式的氧化物半导体也可以包括非晶氧化物半导体、多晶氧化物半导体、a-likeOS、CAC-OS、nc-OS、CAAC-OS中的两种以上。

[0865] <包括氧化物半导体的晶体管>

[0866] 在此,说明将上述氧化物半导体用于晶体管的情况。

[0867] 通过将上述氧化物半导体用于晶体管,可以实现场效应迁移率高的晶体管。此外,可以实现可靠性高的晶体管。

[0868] 此外,优选将载流子浓度低的氧化物半导体用于晶体管。例如,氧化物半导体的沟道形成区域中的载流子浓度优选为 $1 \times 10^{17} \text{ cm}^{-3}$ 以下,更优选低于 $1 \times 10^{15} \text{ cm}^{-3}$ ,进一步优选低于 $1 \times 10^{13} \text{ cm}^{-3}$ ,更进一步优选低于 $1 \times 10^{11} \text{ cm}^{-3}$ ,还进一步优选低于 $1 \times 10^{10} \text{ cm}^{-3}$ 且 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上。在以降低氧化物半导体膜的载流子浓度为目的的情况下,可以降低氧化物半导体膜中的杂质浓度以降低缺陷态密度。在本说明书等中,将杂质浓度低且缺陷态密度低的状态称为“高纯度本征”或“实质上高纯度本征”。此外,有时将载流子浓度低的氧化物半导体称为高纯度本征或实质上高纯度本征的氧化物半导体。此外,有时将高纯度本征或实质上高纯度本征称为“i型”或“实质上i型”。

[0869] 因为高纯度本征或实质上高纯度本征的氧化物半导体膜具有较低的缺陷态密度,所以有可能具有较低的陷阱态密度。

[0870] 此外,被氧化物半导体的陷阱能级俘获的电荷到消失需要较长的时间,有时像固定电荷那样动作。因此,有时在陷阱态密度高的氧化物半导体中形成沟道形成区域的晶体管的电特性不稳定。

[0871] 因此,为了使晶体管的电特性稳定,降低氧化物半导体中的杂质浓度是有效的。为了降低氧化物半导体中的杂质浓度,优选还降低附近膜中的杂质浓度。作为杂质有氢、氮、碱金属、碱土金属、铁、镍、硅等。

[0872] [杂质]

[0873] 在此,说明氧化物半导体中的各杂质的影响。

[0874] 在氧化物半导体包含第14族元素之一的硅或碳时,在氧化物半导体中形成缺陷能级。因此,将氧化物半导体的沟道形成区域中的硅或碳的浓度、氧化物半导体的与沟道形成区域的界面附近的硅或碳的浓度(通过二次离子质谱分析法(SIMS:Secondary Ion Mass Spectrometry)测得的浓度)设定为 $2 \times 10^{18}$ atoms/cm<sup>3</sup>以下,优选为 $2 \times 10^{17}$ atoms/cm<sup>3</sup>以下。

[0875] 此外,当氧化物半导体包含碱金属或碱土金属时,有时形成缺陷能级而形成载流子。因此,使用包含碱金属或碱土金属的氧化物半导体的晶体管容易具有常开启特性。由此,将利用SIMS分析测得的氧化物半导体的沟道形成区域中的碱金属或碱土金属的浓度设定为 $1 \times 10^{18}$ atoms/cm<sup>3</sup>以下,优选为 $2 \times 10^{16}$ atoms/cm<sup>3</sup>以下。

[0876] 当氧化物半导体包含氮时,容易产生作为载流子的电子,使载流子浓度增高,而被n型化。其结果,将含有氮的氧化物半导体用于半导体的晶体管容易具有常开启型特性。或者,在氧化物半导体包含氮时,有时形成陷阱能级。其结果,有时晶体管的电特性不稳定。因此,将利用SIMS测得的氧化物半导体的沟道形成区域中的氮浓度设定为低于 $5 \times 10^{19}$ atoms/cm<sup>3</sup>,优选为 $5 \times 10^{18}$ atoms/cm<sup>3</sup>以下,更优选为 $1 \times 10^{18}$ atoms/cm<sup>3</sup>以下,进一步优选为 $5 \times 10^{17}$ atoms/cm<sup>3</sup>以下。

[0877] 包含在氧化物半导体中的氢与键合于金属原子的氧起反应生成水,因此有时形成氧缺陷。当氢进入该氧缺陷时,有时生成作为载流子的电子。此外,有时由于氢的一部分与键合于金属原子的氧键合,产生作为载流子的电子。因此,具有含有氢的氧化物半导体的晶体管容易具有常开启特性。由此,优选尽可能减少氧化物半导体的沟道形成区域中的氢。具体而言,在氧化物半导体的沟道形成区域中,将利用SIMS测得的氢浓度设定为低于 $1 \times 10^{20}$ atoms/cm<sup>3</sup>,更优选低于 $1 \times 10^{19}$ atoms/cm<sup>3</sup>,进一步优选低于 $5 \times 10^{18}$ atoms/cm<sup>3</sup>,还进一步优选低于 $1 \times 10^{18}$ atoms/cm<sup>3</sup>。

[0878] 通过将杂质被充分降低的氧化物半导体用于晶体管的沟道形成区域,可以使晶体管具有稳定的电特性。

[0879] 注意,本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0880] (实施方式5)

[0881] 本实施方式示出形成上述实施方式所示的半导体装置等的半导体晶片及组装有该半导体装置电子构件的一个例子。

[0882] <半导体晶片>

[0883] 首先,使用图41A说明形成有半导体装置等的半导体晶片的例子。

[0884] 图41A所示的半导体晶片4800包括晶片4801及设置在晶片4801的顶面的多个电路部4802。在晶片4801的顶面上没设置有电路部4802的部分相当于空隙4803,其为用于切割的区域。

[0885] 半导体晶片4800可以通过在前工序中在晶片4801的表面上形成多个电路部4802来制造。此外,也可以之后对晶片4801的形成有多个电路部4802的面的背面进行抛光来减薄晶片4801。通过上述工序,可以减少晶片4801翘曲等而实现构件的小型化。

[0886] 下面进行切割工序。沿点划线所示的划分线SCL1及划分线SCL2(有时称为切割线或截断线)进行切割。为了容易进行切割工序,优选以多个划分线SCL1平行,多个划分线

SCL2平行,且划分线SCL1与划分线SCL2垂直的方式设置空隙4803。

[0887] 通过进行切割工序,可以从半导体晶片4800切割出图41B所示的芯片4800a。芯片4800a包括晶片4801a、电路部4802以及空隙4803a。此外,空隙4803a优选尽可能小。在此情况下,相邻的电路部4802之间的空隙4803的宽度只要与划分线SCL1的划分用部及划分线SCL2的划分用部大致相等即可。

[0888] 此外,本发明的一个实施方式的元件衬底的形状不局限于图41A所示的半导体晶片4800的形状。例如,可以为矩形形状的半导体晶片。此外,可以根据元件的制造工序及制造用设备适当地改变元件衬底的形状。

[0889] <电子构件>

[0890] 图41C示出电子构件4700及安装有电子构件4700的衬底(安装衬底4704)的立体图。图41C所示的电子构件4700在模子4711中包括芯片4800a。如图41C所示,芯片4800a的电路部4802可以具有叠层结构。在图41C中,省略电子构件4700的一部分以表示其内部。电子构件4700在模子4711的外侧包括连接盘(land)4712。连接盘4712与电极焊盘4713电连接,电极焊盘4713通过引线4714与芯片4800a电连接。电子构件4700例如安装于印刷电路板4702。通过组合多个该电子构件并使其分别在印刷电路板4702上电连接,由此完成安装衬底4704。

[0891] 图41D示出电子构件4730的立体图。电子构件4730是SiP(System in package:系统封装)或MCM(Multi Chip Module:多芯片封装)的一个例子。在电子构件4730中,封装衬底4732(印刷电路板)上设置有插板(interposer)4731,插板4731上设置有半导体装置4735及多个半导体装置4710。

[0892] 电子构件4730包括半导体装置4710。半导体装置4710例如可以使用在上述实施方式中说明的半导体装置、高带宽存储器(HBM:High Bandwidth Memory)等。此外,半导体装置4735可以使用CPU、GPU、FPGA、存储装置等集成电路(半导体装置)。

[0893] 封装衬底4732可以使用陶瓷衬底、塑料衬底或玻璃环氧衬底等。插板4731可以使用硅插板、树脂插板等。

[0894] 插板4731具有多个布线且具有与端子间距不同的多个集成电路电连接的功能。多个布线由单层或多层构成。此外,插板4731具有将设置于插板4731上的集成电路与设置于封装衬底4732上的电极电连接的功能。因此,有时也将插板称为“重布线衬底(rewiring substrate)”或“中间衬底”。此外,有时通过在插板4731中设置贯通电极,通过该贯通电极使集成电路与封装衬底4732电连接。此外,在使用硅插板的情况下,也可以使用TSV(Through Silicon Via:硅通孔)作为贯通电极。

[0895] 作为插板4731优选使用硅插板。由于硅插板不需要设置有源元件,所以可以以比集成电路更低的成本制造。硅插板的布线形成可以在半导体工序中进行,因此很容易形成在使用树脂插板时很难形成的微细布线。

[0896] 在HBM中,为了实现宽存储器带宽需要连接许多布线。为此,要求安装HBM的插板上能够高密度地形成微细的布线。因此,作为安装HBM的插板优选使用硅插板。

[0897] 此外,在使用硅插板的SiP或MCM等中,不容易发生因集成电路与插板间的膨胀系数的不同而导致的可靠性下降。此外,由于硅插板的表面平坦性高,所以设置在硅插板上的集成电路与硅插板间不容易产生连接不良。尤其优选将硅插板用于2.5D封装(2.5D安装),

其中多个集成电路横着排放并配置于插板上。

[0898] 此外,也可以与电子构件4730重叠地设置散热器(散热板)。在设置散热器的情况下,优选设置于插板4731上的集成电路的高度一致。例如,在本实施方式所示的电子构件4730中,优选使半导体装置4710与半导体装置4735的高度一致。

[0899] 为了将电子构件4730安装在其他的衬底上,可以在封装衬底4732的底部设置电极4733。图41D示出用焊球形成电极4733的例子。通过在封装衬底4732的底部以矩阵状设置焊球,可以实现BGA(Ball Grid Array:球栅阵列)安装。此外,电极4733也可以使用导电针形成。通过在封装衬底4732的底部以矩阵状设置导电针,可以实现PGA(Pin Grid Array:针栅阵列)安装。

[0900] 电子构件4730可以通过各种安装方式安装在其他衬底上,而不局限于BGA及PGA。例如,可以采用SPGA(Staggered Pin Grid Array:交错针栅阵列)、LGA(Land Grid Array:地栅阵列)、QFP(Quad Flat Package:四侧引脚扁平封装)、QFJ(Quad Flat J-leaded package:四侧J形引脚扁平封装)或QFN(Quad Flat Non-leaded package:四侧无引脚扁平封装)等安装方法。

[0901] 注意,本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0902] 实施方式6

[0903] 在本实施方式中,说明包括上述实施方式所说明的半导体装置的电子设备的一个例子。图42示出具有该半导体装置的电子构件4700包括在各电子设备中的情况。

[0904] [移动电话机]

[0905] 图42所示的信息终端5500是信息终端之一的移动电话机(智能手机)。信息终端5500包括外壳5510及显示部5511,作为输入接口在显示部5511中具备触摸面板,并且在外壳5510上设置有按钮。

[0906] 通过将上述实施方式所说明的半导体装置应用于信息终端5500,可以执行利用人工智能的应用程序。作为利用人工智能的应用程序,例如,可以举出识别会话来将该会话的内容显示在显示部5511上的应用程序、识别由使用者输入到显示部5511所具备的触控面板的文字或图形等来将该文字或该图形显示在显示部5511上的应用程序、执行指纹或声纹等的生物识别的应用程序等。此外,例如,当使用包括在信息终端5500中的摄像装置(未图示)取得图像时,通过使用上述实施方式中说明的半导体装置,可以对该图像进行卷积处理。也就是说,可以对该图像进行特征抽取。

[0907] [可穿戴终端]

[0908] 此外,图42示出可穿戴终端的一个例子的手表型信息终端5900。手表型信息终端5900包括外壳5901、显示部5902、操作按钮5903、表把5904、表带5905等。

[0909] 与上述信息终端5500同样,通过将上述实施方式所说明的半导体装置应用于可穿戴终端,可以执行利用人工智能的程序。作为利用人工智能的程序,例如可以举出管理戴上可穿戴终端的人的健康状态的程序、通过输入目的地选择适当的路径而带路的导航系统等。

[0910] [信息终端]

[0911] 图42示出台式信息终端5300。台式信息终端5300包括信息终端主体5301、显示器5302及键盘5303。

[0912] 与上述信息终端5500同样,通过将上述实施方式所说明的半导体装置应用于台式信息终端5300,可以执行利用人工智能的应用程序。作为利用人工智能的应用程序,例如,可以举出设计支援软件、文章校对软件、菜单自动生成软件等。此外,通过使用台式信息终端5300,可以研发新颖的人工智能。此外,例如,当使用包括在信息终端5500中的摄像装置(未图示)取得图像时,通过使用上述实施方式中说明的半导体装置,可以对该图像进行卷积处理。也就是说,可以对该图像进行特征抽取。

[0913] 注意,在上述例子中,图42示出智能手机、台式信息终端、可穿戴终端作为电子设备的例子,但是也可以应用智能手机、台式信息终端、可穿戴终端以外的信息终端。作为智能手机、台式信息终端、可穿戴终端以外的信息终端,例如可以举出PDA(Personal Digital Assistant:个人数码助理)、笔记本式信息终端、工作站等。

[0914] [电器产品]

[0915] 此外,图42示出电器产品的一个例子的电冷藏冷冻箱5800。电冷藏冷冻箱5800包括外壳5801、冷藏室门5802及冷冻室门5803等。

[0916] 通过将上述实施方式所说明的半导体装置应用于电冷藏冷冻箱5800,可以实现具备人工智能的电冷藏冷冻箱5800。通过利用人工智能,可以使电冷藏冷冻箱5800具有基于储存在电冷藏冷冻箱5800中的食品或该食品的消费期限等自动生成菜单的功能、根据所储存的食品自动调整电冷藏冷冻箱5800的温度的功能。

[0917] 在上述例子中,作为电器产品说明电冷藏冷冻箱,但是作为其他电器产品,例如可以举出吸尘器、微波炉、电烤箱、电饭煲、热水器、IH(感应加热)炊具、饮水机、包括空气调节器的冷暖空调机、洗衣机、干衣机、视听设备等。

[0918] [游戏机]

[0919] 此外,图42示出游戏机的一个例子的便携式游戏机5200。便携式游戏机5200包括外壳5201、显示部5202、按钮5203等。

[0920] 此外,图42示出游戏机的一个例子的固定式游戏机7500。固定式游戏机7500包括主体7520及控制器7522。主体7520可以以无线方式或有线方式与控制器7522连接。此外,虽然在图42中未图示,但是控制器7522可以包括显示游戏的图像的显示部、作为按钮以外的输入接口的触摸面板及控制杆、旋转式抓手、滑动式抓手等。此外,控制器7522不局限于图42所示的形状,也可以根据游戏的种类改变控制器7522的形状。例如,在FPS(First Person Shooter,第一人称射击类游戏)等射击游戏中,作为扳机使用按钮,可以使用模仿枪的形状的控制器。此外,例如,在音乐游戏等中,可以使用模仿乐器、音乐器件等的形状的控制。再者,固定式游戏机也可以设置照相机、深度传感器、麦克风等,由游戏玩者的手势及/或声音等操作以代替使用控制器操作。

[0921] 此外,上述游戏机的影像可以由电视装置、个人计算机用显示器、游戏用显示器、头戴显示器等显示装置输出。

[0922] 通过将上述实施方式所说明的半导体装置用于便携式游戏机5200,可以实现低功耗的便携式游戏机5200。此外,借助于低功耗,可以降低来自电路的发热,由此可以减少因发热而给电路本身、外围电路以及模块带来的负面影响。

[0923] 并且,通过将上述实施方式所说明的半导体装置用于便携式游戏机5200,可以实现具有人工智能的便携式游戏机5200。

[0924] 游戏的进展、游戏中出现的生物的言行、游戏上发生的现象等的表现本来是由该游戏所具有的程序规定的,但是通过将人工智能应用于便携式游戏机5200,可以实现不局限于游戏的程序的表现。例如,可以实现游戏玩者提问的内容、游戏的进展情况、时间、游戏上出现的人物的言行变化等的表现。

[0925] 此外,当使用便携式游戏机5200玩需要多个人玩的游戏时,可以利用人工智能构成拟人的游戏玩者,由此可以将人工智能的游戏玩者当作对手,一个人也可以玩多个人玩的游戏。

[0926] 在图42中,作为游戏机的例子示出便携式游戏机,但是本发明的一个方式的电子设备不局限于此。作为应用本发明的一个方式的电子设备,例如可以举出家用固定式游戏机、设置在娱乐设施(游戏中心,游乐园等)的街机游戏机、设置在体育设施的击球练习用投球机等。

[0927] [移动体]

[0928] 上述实施方式所说明的半导体装置可以应用于作为移动体的汽车及汽车的驾驶座位附近。

[0929] 图42示出作为移动体的一个例子的汽车5700。

[0930] 汽车5700的驾驶座位附近设置有能够表示速度表、转速计、行驶距离、加油量、排档状态、空调的设定等的仪表板。此外,驾驶座位附近也可以设置有表示上述信息的显示装置。

[0931] 尤其是,通过将由设置在汽车5700上的摄像装置(未图示)拍摄的影像显示在上述显示装置上,可以补充被支柱等遮挡的视野、驾驶座位的死角等,从而可以提高安全性。也就是说,通过显示由设置在汽车5700外侧的摄像装置拍摄的影像,可以补充死角,从而可以提高安全性。

[0932] 上述实施方式所说明的半导体装置可以应用于人工智能的构成要素,所以例如可以将该半导体装置应用于汽车5700的自动驾驶系统。此外,可以将该半导体装置应用于进行导航、危险预测等的系统。该显示装置可以表示导航、危险预测等的信息。

[0933] 虽然在上述例子中作为移动体的一个例子说明汽车,但是移动体不局限于汽车。例如,作为移动体,也可以举出电车、单轨铁路、船舶、飞行物(直升机、无人驾驶飞机(无人机)、飞机、火箭)等,可以对这些移动体应用本发明的一个方式的半导体装置,以提供利用人工智能的系统。

[0934] [照相机]

[0935] 上述实施方式所说明的半导体装置可以应用于照相机。

[0936] 图42示出摄像装置的一个例子的数码相机6240。数码相机6240包括外壳6241、显示部6242、操作按钮6243、快门按钮6244等,并且安装有可装卸的镜头6246。在此,数码相机6240采用能够从外壳6241拆卸下镜头6246的结构,但是镜头6246及外壳6241也可以被形成为一体。此外,数码相机6240还可以具备另外安装的闪光灯装置及取景器等。

[0937] 通过将上述实施方式所说明的半导体装置用于数码相机6240,可以实现低功耗的数码相机6240。此外,借助于低功耗,可以降低来自电路的发热,由此可以减少因发热而给电路本身、外围电路以及模块带来的负面影响。

[0938] 通过将上述实施方式所说明的半导体装置用于数码相机6240,可以实现具有人工

智能的数码相机6240。通过利用人工智能,数码相机6240可以具有如下功能:自动识别脸、物体等拍摄对象的功能;根据拍摄对象调节焦点、根据环境自动使用快闪的功能;对所拍摄的图像进行调色的功能;等。此外,例如,当使用数字照相机6240取得图像时,通过使用上述实施方式中说明的半导体装置,可以对该图像进行卷积处理。也就是说,可以对该图像进行特征抽取。

[0939] [视频摄像机]

[0940] 上述实施方式所说明的半导体装置可以应用于视频摄像机。

[0941] 图42示出摄像装置的一个例子的视频摄像机6300。视频摄像机6300包括第一外壳6301、第二外壳6302、显示部6303、操作键6304、镜头6305、连接部6306等。操作键6304及镜头6305设置在第一外壳6301上,显示部6303设置在第二外壳6302上。第一外壳6301与第二外壳6302由连接部6306连接,第一外壳6301与第二外壳6302间的角度可以由连接部6306改变。显示部6303的图像也可以根据连接部6306中的第一外壳6301与第二外壳6302间的角度切换。

[0942] 当记录由视频摄像机6300拍摄的图像时,需要进行根据数据记录方式的编码。通过利用人工智能,视频摄像机6300可以在进行编码时进行利用人工智能的类型识别。通过该类型识别,可以算出包括在连续的摄像图像数据中的人、动物、物体等差异数据而进行数据压缩。此外,例如,也可以对摄像图像数据使用上述实施方式中说明的半导体装置进行卷积处理。

[0943] [PC用扩展装置]

[0944] 上述实施方式所说明的半导体装置可以应用于PC(Personal Computer;个人计算机)等计算机、信息终端用扩展装置。

[0945] 图43A示出该扩展装置的一个例子的可以携带且安装有能够进行运算处理的芯片的设置在PC的外部的扩展装置6100。扩展装置6100例如通过由USB(Universal Serial Bus;通用串行总线)等连接于PC,可以进行使用该芯片的运算处理。注意,虽然图43A示出可携带的扩展装置6100,但是根据本发明的一个方式的扩展装置不局限于此,例如也可以采用安装冷却风机等的较大结构的扩展装置。

[0946] 扩展装置6100包括外壳6101、盖子6102、USB连接器6103及衬底6104。衬底6104被容纳在外壳6101中。衬底6104设置有驱动上述实施方式所说明的半导体装置等的电路。例如,衬底6104安装有芯片6105(例如,上述实施方式所半导体装置、电子构件4700、存储器芯片等)、控制器芯片6106。USB连接器6103被用作连接于外部装置的接口。

[0947] 通过将扩展装置6100应用于PC等,可以提高该PC的运算处理能力。由此,例如没有充分的处理能力的PC也可以进行人工智能、动画处理等运算。

[0948] [广播电视系统]

[0949] 上述实施方式所说明的半导体装置可以应用于广播电视系统。

[0950] 图43B示意性地示出广播电视系统中的数据传送。具体而言,图43B示出从广播电视台5680发送的电波(广播电视信号)到达每个家庭的电视接收机(TV)5600的路径。TV5600具备接收机(未图示),由此天线5650所接收的广播电视信号通过该接收机输入TV5600。

[0951] 虽然在图43B中示出超高频(UHF,Ultra High Frequency)天线作为天线5650,但是可以使用BS及110度CS天线、CS天线等作为天线5650。



[0952] 电波5675A及电波5675B为地面广播电视信号,电波塔5670放大所接收的电波5675A并发送电波5675B。各家庭通过用天线5650接收电波5675B,就可以用TV5600收看地面TV播放。此外,广播电视系统可以为利用人造卫星的卫星广播电视、利用光路线的数据广播电视等而不局限于图43B所示的地面广播电视。

[0953] 上述广播电视系统可以使用上述实施方式中所说明的半导体装置而利用人工智能。当从广播电视台5680向每个家庭的TV5600发送广播电视数据时,利用编码器进行广播电视数据的压缩;当天线5650接收该广播电视数据时,利用包括在TV5600中的接收机的解码器进行该广播电视数据的恢复。通过利用人工智能,例如可以在编码器的压缩方法之一的变动补偿预测中识别包含在显示图像中的显示模型。此外,也可以进行利用人工智能的帧内预测等。例如,当TV5600接收低分辨率的广播电视数据而进行高分辨率的显示时,可以在解码器所进行的广播电视数据的恢复中进行上转换等图像的补充处理。

[0954] 上述利用人工智能的广播电视系统适合用于广播电视数据量增大的超高清晰度电视(UHDTV:4K、8K)播放。

[0955] 此外,作为TV5600一侧的人工智能的应用,例如,可以在TV5600内设置具备人工智能的录像装置。通过采用这种结构,可以使该具备人工智能的录像装置学习使用者的爱好,而可以自动对符合使用者的爱好的电视节目录像。

[0956] [识别系统]

[0957] 上述实施方式所说明的半导体装置可以应用于识别系统。

[0958] 图43C示出掌纹识别装置,包括外壳6431、显示部6432、掌纹读取部6433以及布线6434。

[0959] 图43C示出掌纹识别装置取得手6435的掌纹的情况。对所取得的掌纹进行利用人工智能的类型识别的处理,可以判断该掌纹是不是个人的掌纹。由此,可以构成进行安全性高的识别的系统。此外,本发明的一个实施方式的识别系统不局限于掌纹识别装置,而也可以是取得指纹、静脉、脸、虹膜、声纹、基因或体格等生物信息以进行生物识别的装置。

[0960] 注意,本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0961] [符号说明]

[0962] SDV1:半导体装置、SDV2:半导体装置、SDV3:半导体装置、MEXT:存储装置、MINT:存储装置、ILD:电路、CLP:运算部、CLPa:运算部、CLPb:运算部、BSE:衬底、WCS1:电路、WCS2:电路、DEC:译码器、CC[1]:电流源、CC[u]:电流源、CC[K]:电流源、CC[t]:电流源、CC[2<sup>K</sup>-1]:电流源、SW[1]:开关、SW[u]:开关、SW[K]:开关、SW[t]:开关、SW[2<sup>K</sup>-1]:开关、CTr[1]:晶体管、CTr[u]:晶体管、CTr[K]:晶体管、STr[1]:晶体管、STr[u]:晶体管、STr[K]:晶体管、DIL[1]:布线、DIL[u]:布线、DIL[K]:布线、DEL[1]:布线、DEL[t]:布线、DEL[2<sup>K</sup>-1]:布线、IL:布线、ILB:布线、SL11:布线、BIAL:布线、VDL:布线、WWD:电路、RWD:电路、WRD:电路、BF:电路、SA:电路、SA[1]:电路、SA[K]:电路、LC:负载电路、IVC:电路、MCL[1]:存储单元、MCL[m]:存储单元、MCL[1,1]:存储单元、MCL[1,K]:存储单元、MCL[m,1]:存储单元、MCL[m,K]:存储单元、INV:反相器电路、INV1:反相器电路、INV2:反相器电路、LAT1:锁存电路、LAT2:锁存电路、F1:晶体管、F2:晶体管、F3:晶体管、F4:晶体管、CI:电容、CI2:电容、RSW:开关、RSW[1]:开关、RSW[K]:开关、RSW2:开关、WSW:开关、VR:可变电阻元件、MR:MTJ元件、PCM:相变存储器、FEC:铁电电容器、WBL[1]:布线、WBL[u]:布线、WBL[K]:布线、RBL:布线、RBL[1]:布线、RBL

[u]:布线、RBL[K]:布线、WWL[1]:布线、WWL[m]:布线、RWL[1]:布线、RWL[m]:布线、WRL:布线、WRL[1]:布线、WRL[m]:布线、VDL2:布线、VEA:布线、CLK:布线、LMNT:电路、EXMNT:电路、LMC[i]:电路、WCSA:电路、WCSB:电路、WCSD:电路、WCSDr:电路、WCS1r:电路、DTC:电路、CMPD:电路、BF2:电路、CCA:电流源、CCB:电流源、CCD:电流源、CCDr:电流源、F6A:晶体管、F6B:晶体管、F7:晶体管、DC:存储单元、DCr:存储单元、M1d:晶体管、M1dr:晶体管、M2d:晶体管、M2dr:晶体管、C1d:电容、C1dr:电容、n1d:节点、n1dr:节点、DSW1:开关、DSW2:开关、DSW3:开关、DSW4:开关、DSW4r:开关、SWN:开关、SWNr:开关、RSUL:布线、WLd:布线、WLdr:布线、DLd:布线、VSE:布线、IRFE:布线、VRFE:布线、WLD:电路、XLD:电路、ALP:阵列部、AFP:电路、ACTF[1]:电路、ACTF[j]:电路、ACTF[n]:电路、LGC:电路、MP:电路、MP[1,1]:电路、MP[1,n]:电路、MP[i,j]:电路、MP[m,1]:电路、MP[m,n]:电路、MC:电路、MCR:电路、HC:电路、HCr:电路、M1:晶体管、M1r:晶体管、M2:晶体管、M2r:晶体管、M3:晶体管、M3r:晶体管、M4:晶体管、M4r:晶体管、M5:晶体管、M5r:晶体管、M8:晶体管、M8r:晶体管、LC2:负载电路、LC2r:负载电路、C1:电容、C1r:电容、n1:节点、n1r:节点、IL[1]:布线、IL[j]:布线、IL[n]:布线、ILB[1]:布线、ILB[j]:布线、ILB[n]:布线、OL[1]:布线、OL[j]:布线、OL[n]:布线、OLB[1]:布线、OLB[j]:布线、OLB[n]:布线、WLS[1]:布线、WLS[i]:布线、WLS[m]:布线、WX1L[1]:布线、WX1L[i]:布线、WX1L[m]:布线、XLS[1]:布线、XLS[i]:布线、XLS[m]:布线、X1L:布线、X1L[i]:布线、X2L:布线、X2L[1]:布线、X2L[i]:布线、X2L[m]:布线、VE[j]:布线、VEr[j]:布线、VEG:布线、CMP:比较器、RE:电阻、REB:电阻、CE:电容、CEB:电容、DE:二极管元件、DEB:二极管元件、OP:运算放大器、S01a:开关、S01b:开关、S02a:开关、S02b:开关、S03:开关、SW[0]:开关、INV3:反相器电路、VinT:端子、VrefT:端子、VoutT:端子、BS[1]:电路、BS[j]:电路、BS[n]:电路、IVR:反相器环形电路、IVRr:反相器环形电路、IV1:反相器电路、IV2:反相器电路、SCL1:划分线、SCL2:划分线、100:神经网络、110:运算电路、130:运算电路、170:运算电路、300:晶体管、310:衬底、310A:衬底、312:元件分离层、313:半导体区域、314a:低电阻区域、314b:低电阻区域、315:绝缘体、316:导电体、320:绝缘体、322:绝缘体、324:绝缘体、326:绝缘体、328:导电体、330:导电体、350:绝缘体、352:绝缘体、354:绝缘体、356:导电体、360:绝缘体、362:绝缘体、364:绝缘体、366:导电体、411:绝缘体、412:绝缘体、413:绝缘体、414:绝缘体、416:导电体、500:晶体管、503:导电体、503a:导电体、503b:导电体、510:绝缘体、512:绝缘体、514:绝缘体、516:绝缘体、518:导电体、522:绝缘体、524:绝缘体、530:氧化物、530a:氧化物、530b:氧化物、530ba:区域、530bb:区域、530bc:区域、540a:导电体、540b:导电体、541a:绝缘体、541b:绝缘体、542a:导电体、542b:导电体、543a:氧化物、543b:氧化物、544:绝缘体、546:导电体、550:绝缘体、550a:绝缘体、550b:绝缘体、552:绝缘体、554:绝缘体、560:导电体、560a:导电体、560b:导电体、571a:绝缘体、571b:绝缘体、574:绝缘体、576:绝缘体、580:绝缘体、581:绝缘体、582:绝缘体、586:绝缘体、600:电容元件、610:导电体、612:导电体、620:导电体、630:绝缘体、640:绝缘体、650:绝缘体、660:导电体、4700:电子构件、4702:印刷电路板、4704:安装衬底、4710:半导体装置、4711:模子、4712:连接盘、4713:电极焊盘、4714:引线、4730:电子构件、4731:插板、4732:封装衬底、4733:电极、4735:半导体装置、4800:半导体晶片、4800a:芯片、4801:晶片、4801a:晶片、4802:电路部、4803:空隙、4803a:空隙、5200:便携式游戏机、5201:外壳、5202:显示部、5203:按钮、5300:台式信息终端、5301:主体、5302:显示器、5303:键盘、5500:信息终端、5510:外壳、5511:显示部、

5600:TV、5650:天线、5670:电波塔、5675A:电波、5675B:电波、5680:广播电视台、5700:汽车、5800:电冷藏冷冻箱、5801:外壳、5802:冷藏室门、5803:冷冻室门、5900:信息终端、5901:外壳、5902:显示部、5903:操作按钮、5904:表把、5905:表带、6100:扩展装置、6101:外壳、6102:盖子、6103:USB连接器、6104:衬底、6105:芯片、6106:控制器芯片、6240:数字照相机、6241:外壳、6242:显示部、6243:操作按钮、6244:快门按钮、6246:镜头、6300:视频摄像机、6301:第一外壳、6302:第二外壳、6303:显示部、6304:操作键、6305:镜头、6306:连接部、6431:外壳、6432:显示部、6433:掌纹读取部、6434:布线、6435:手、7500:固定式游戏机、7520:主体、7522:控制器。

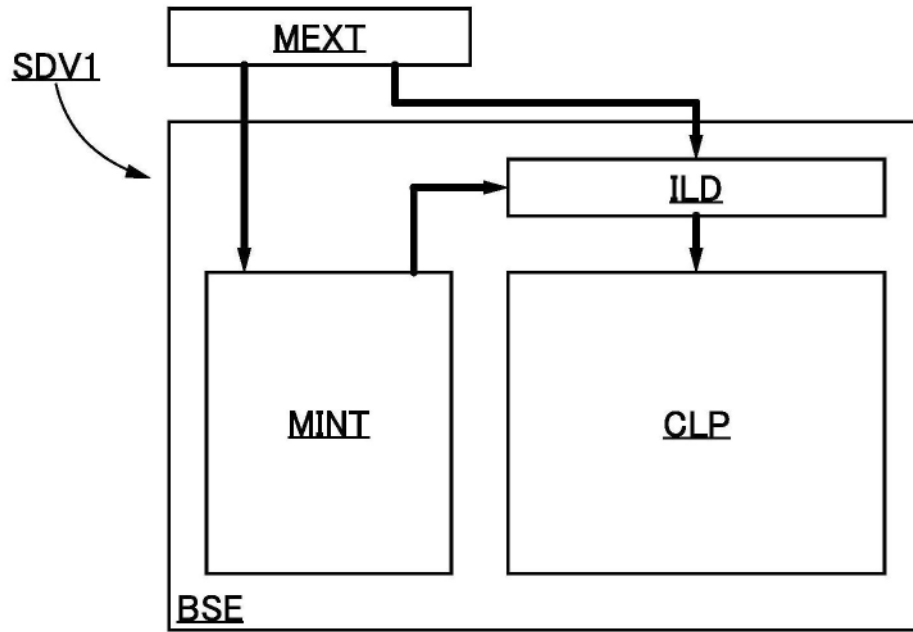


图1A

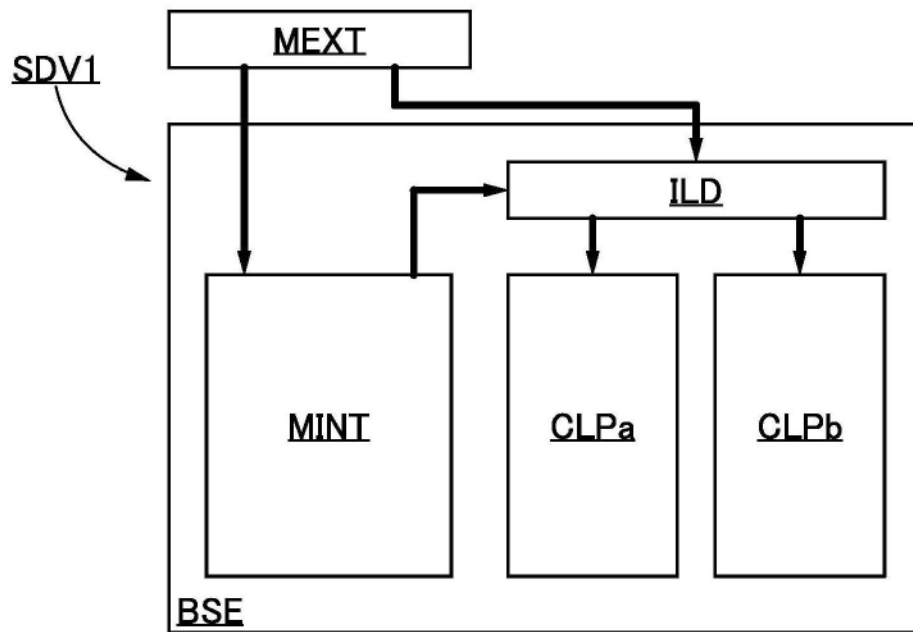


图1B

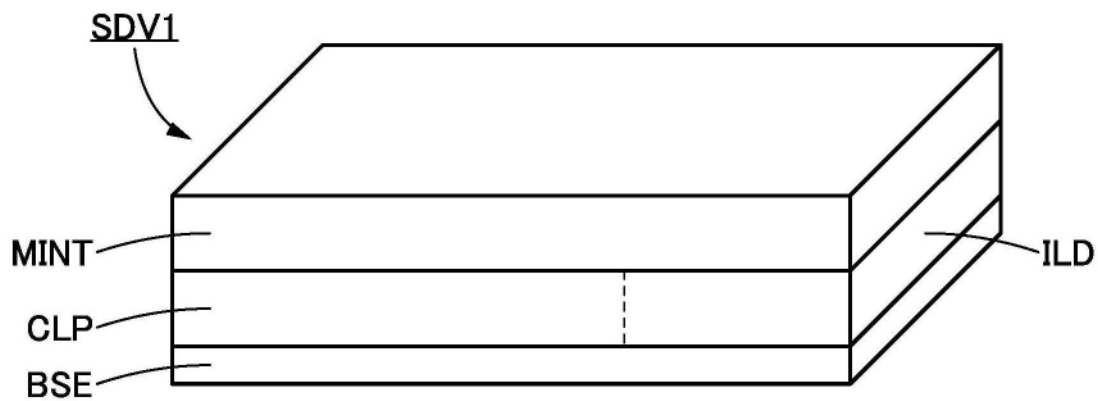


图1C

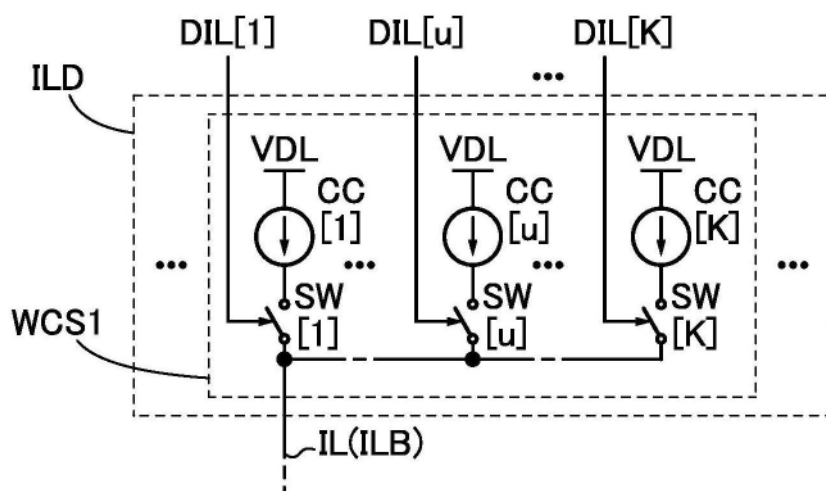


图2A

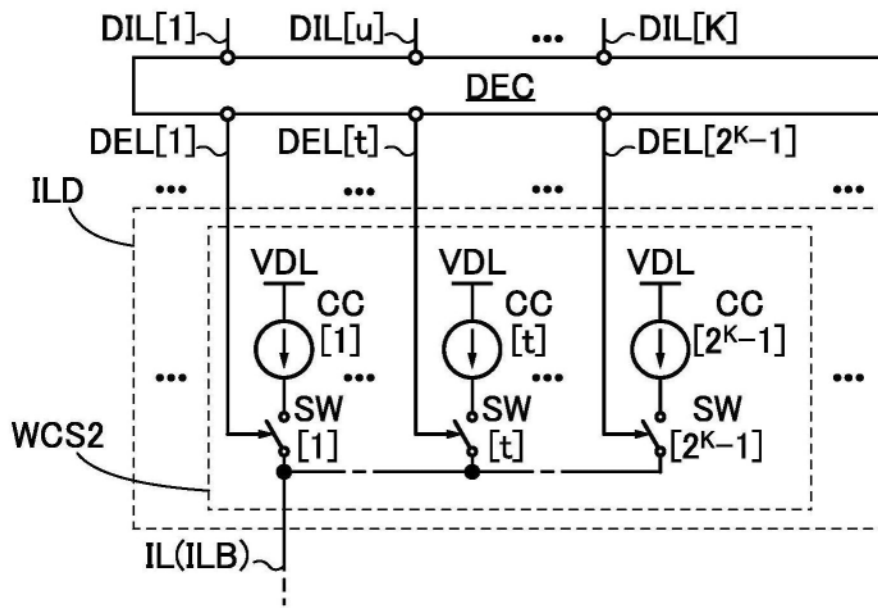


图2B

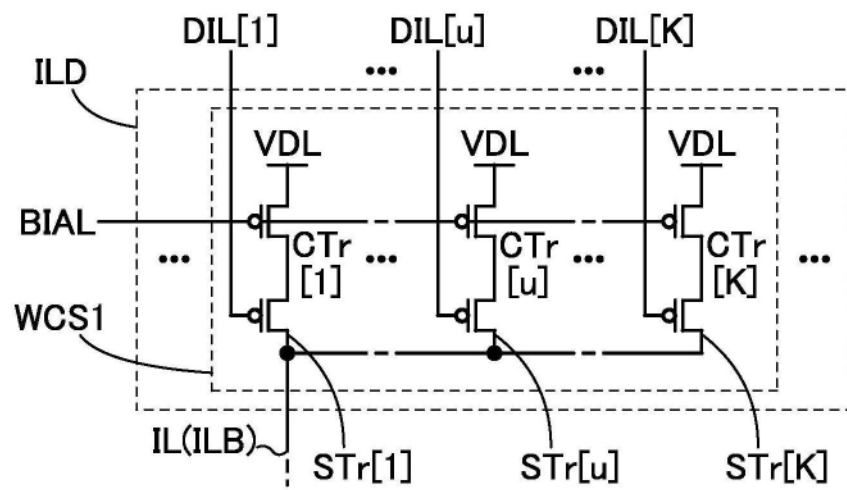


图2C

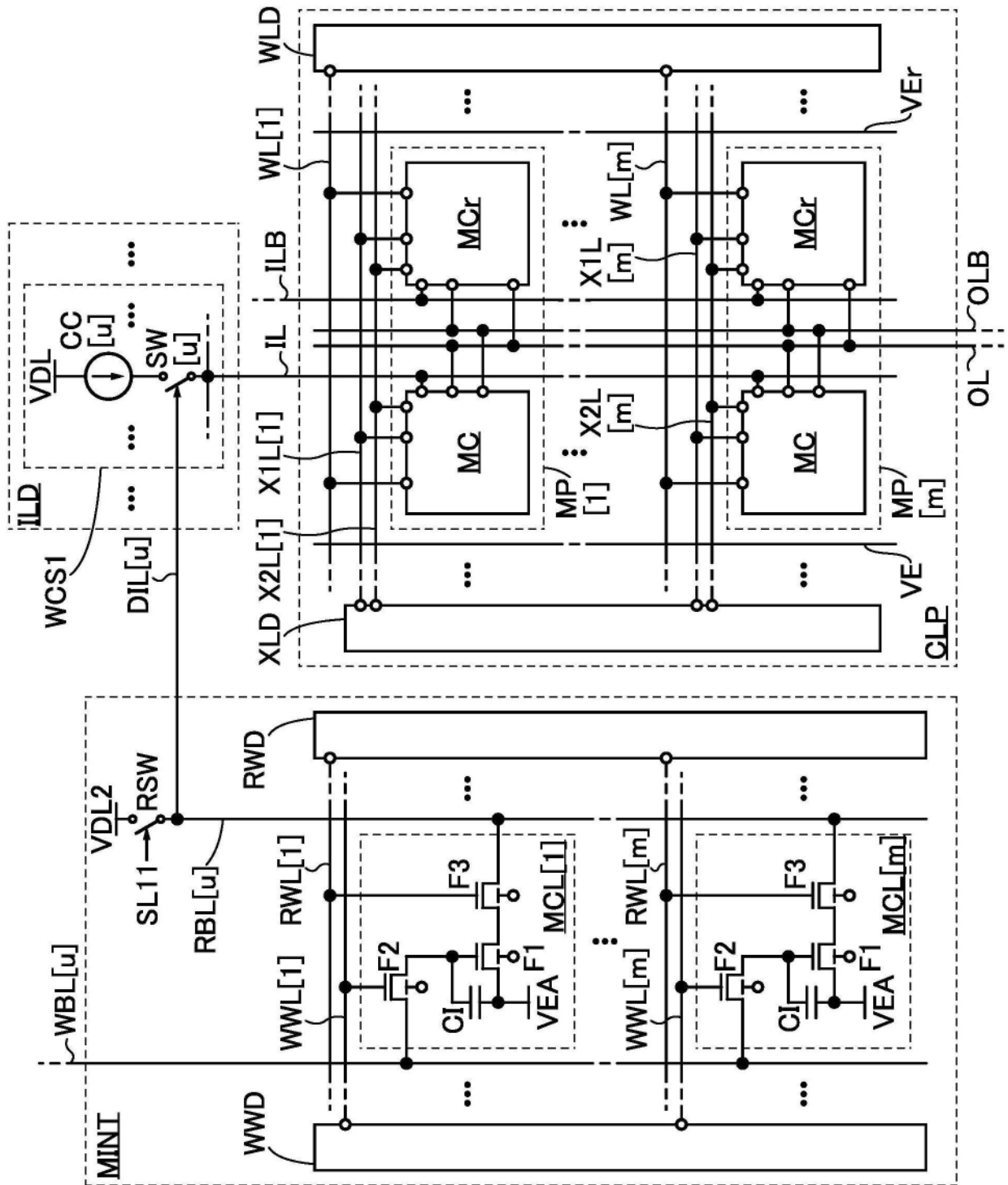


图3

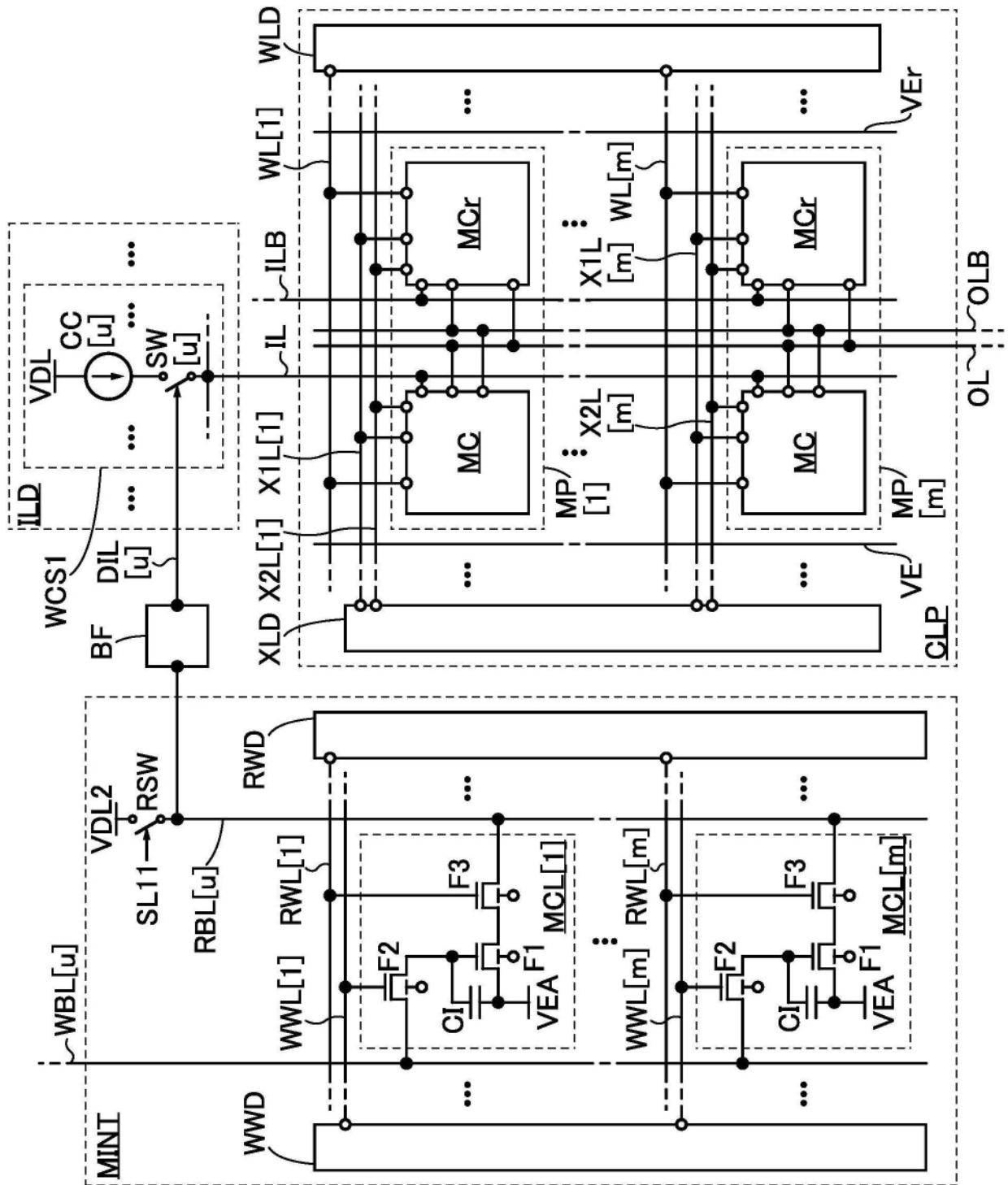


图4



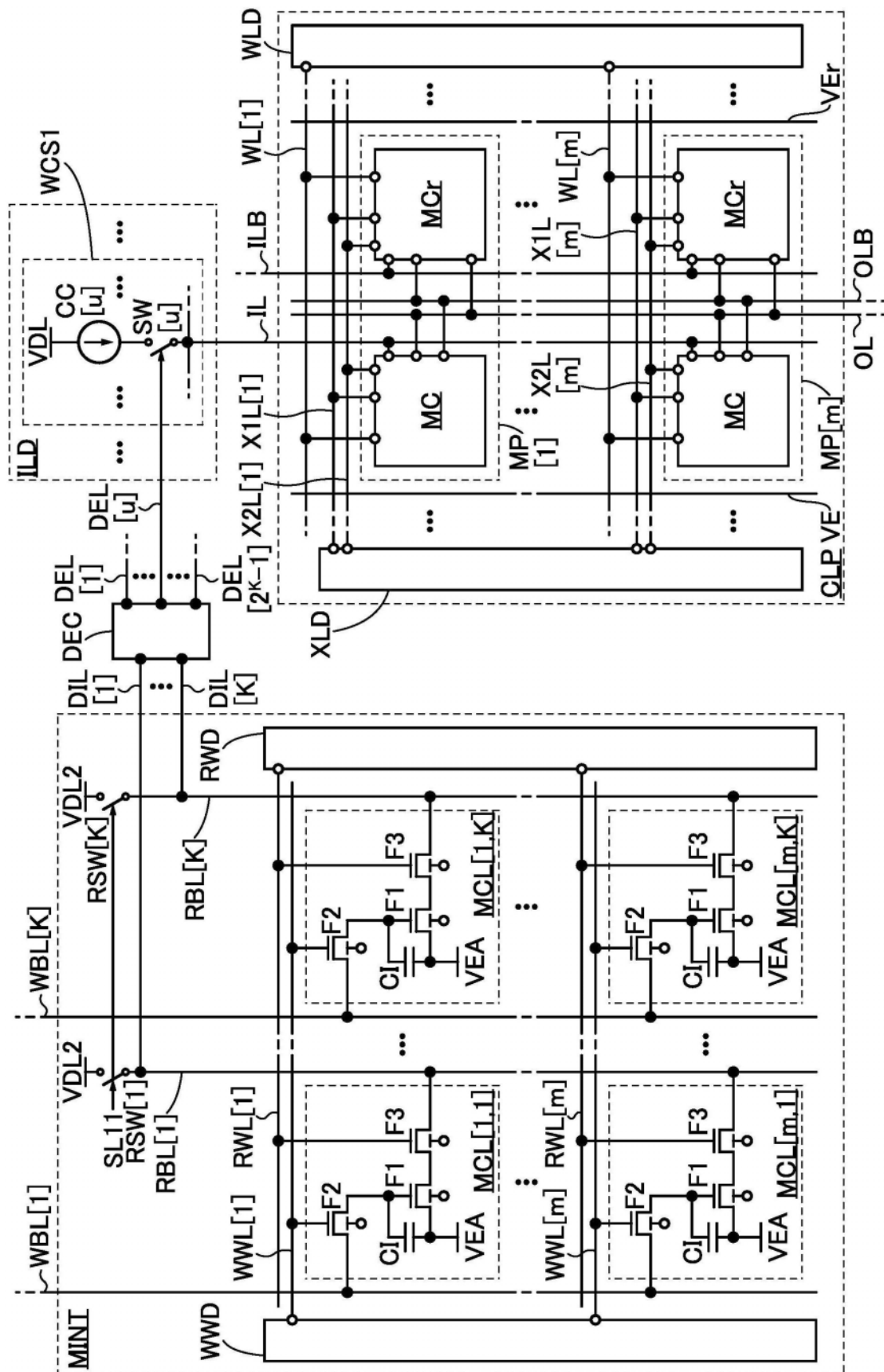


图5

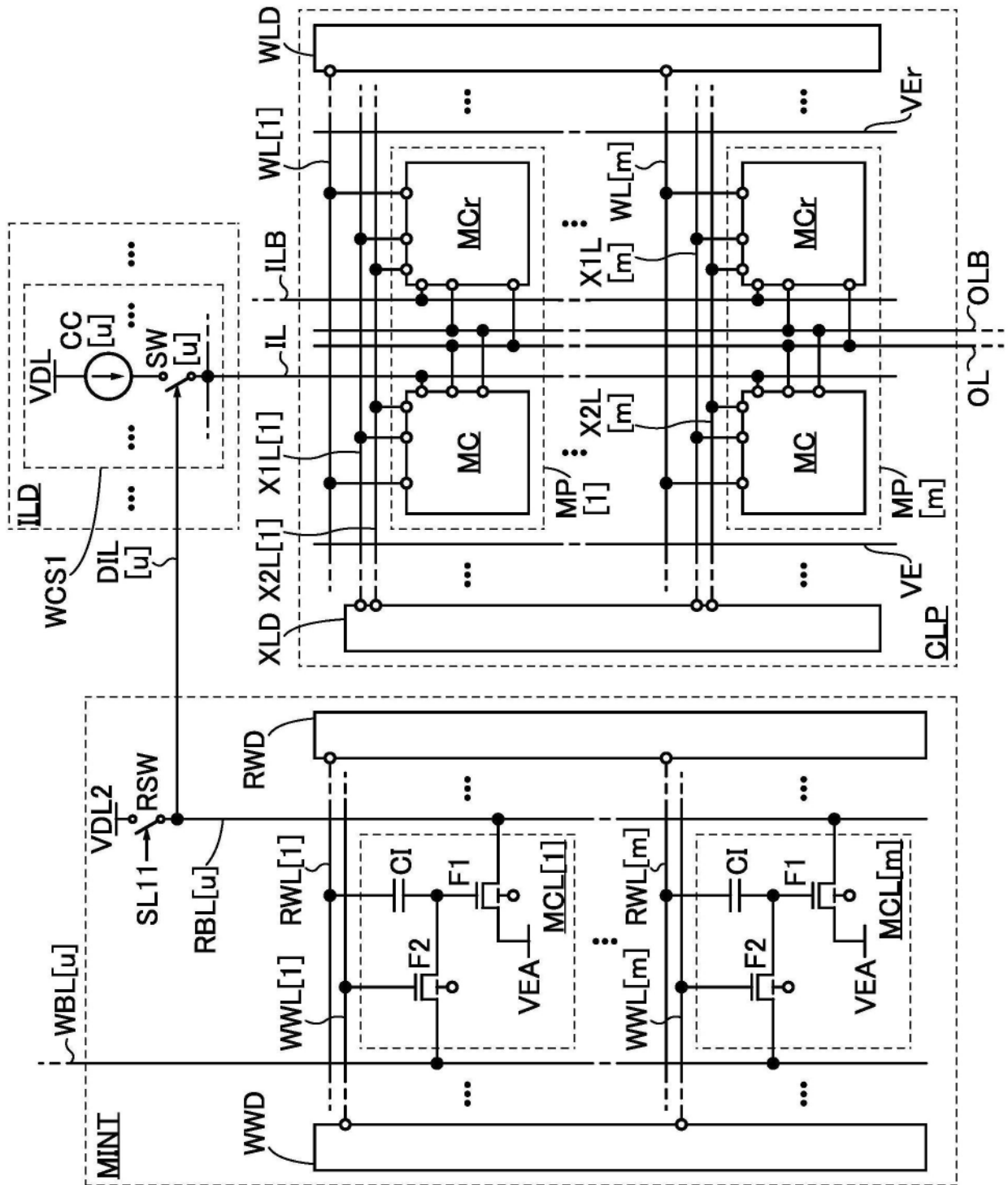


图6

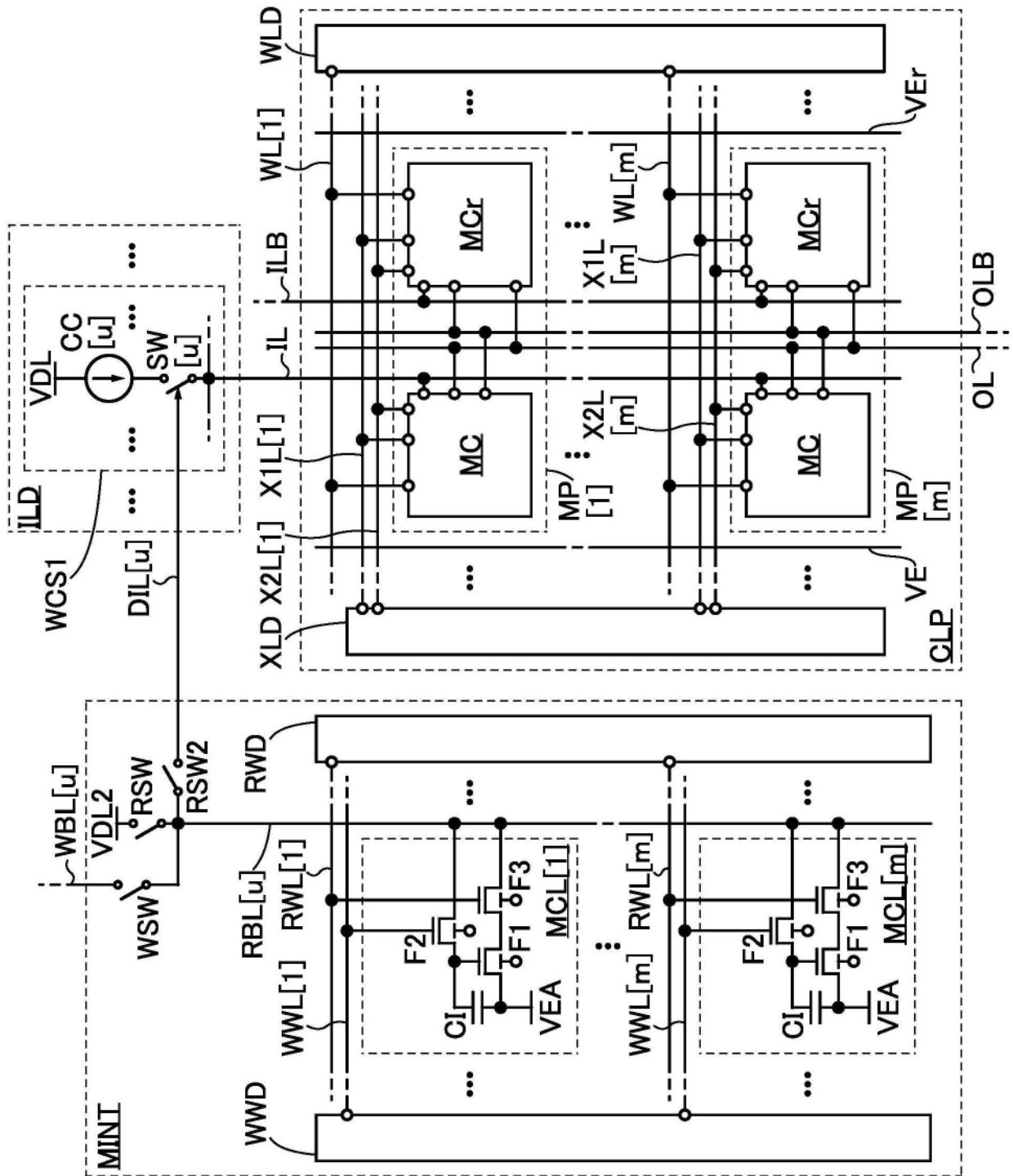


图7

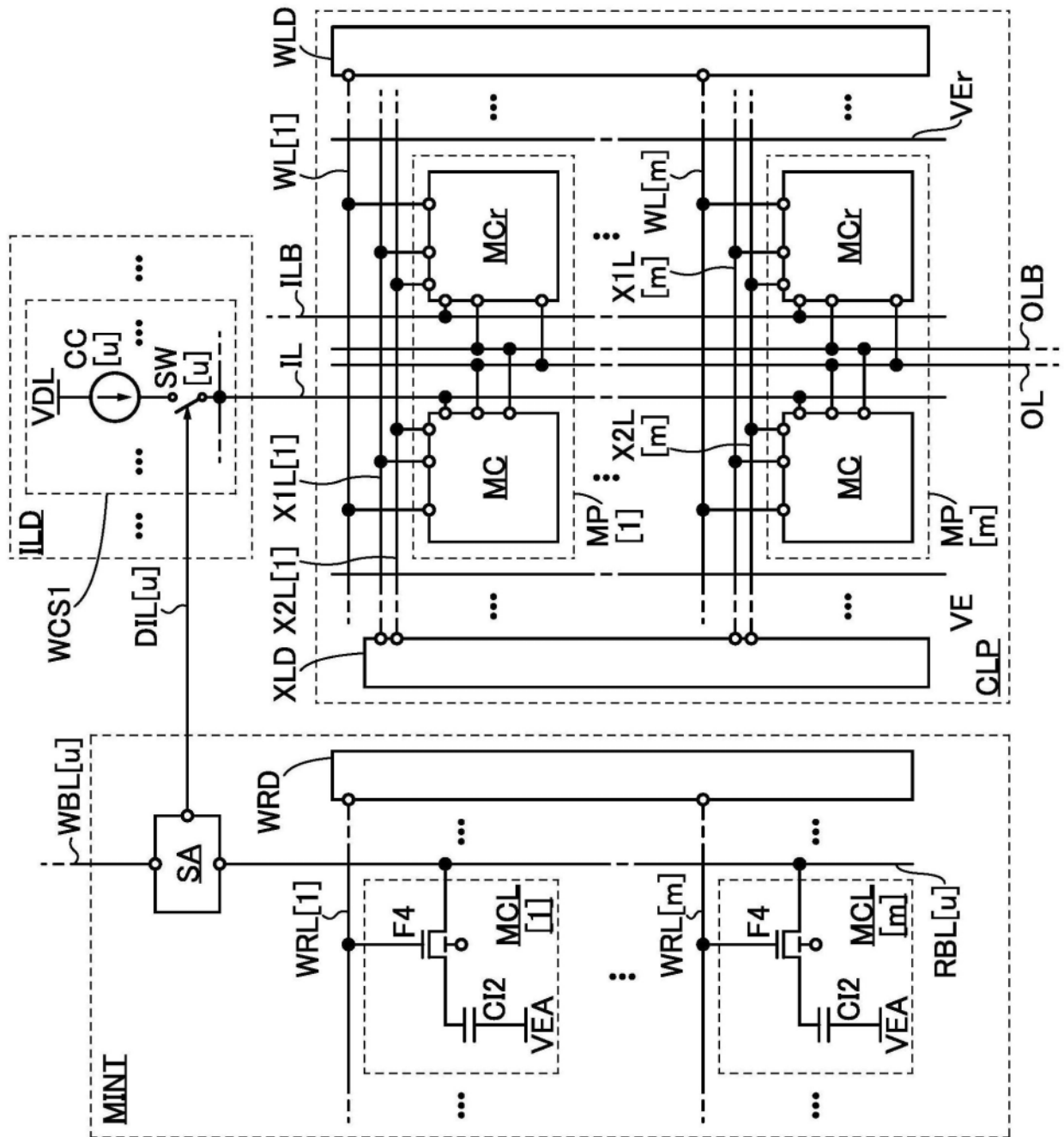


图8

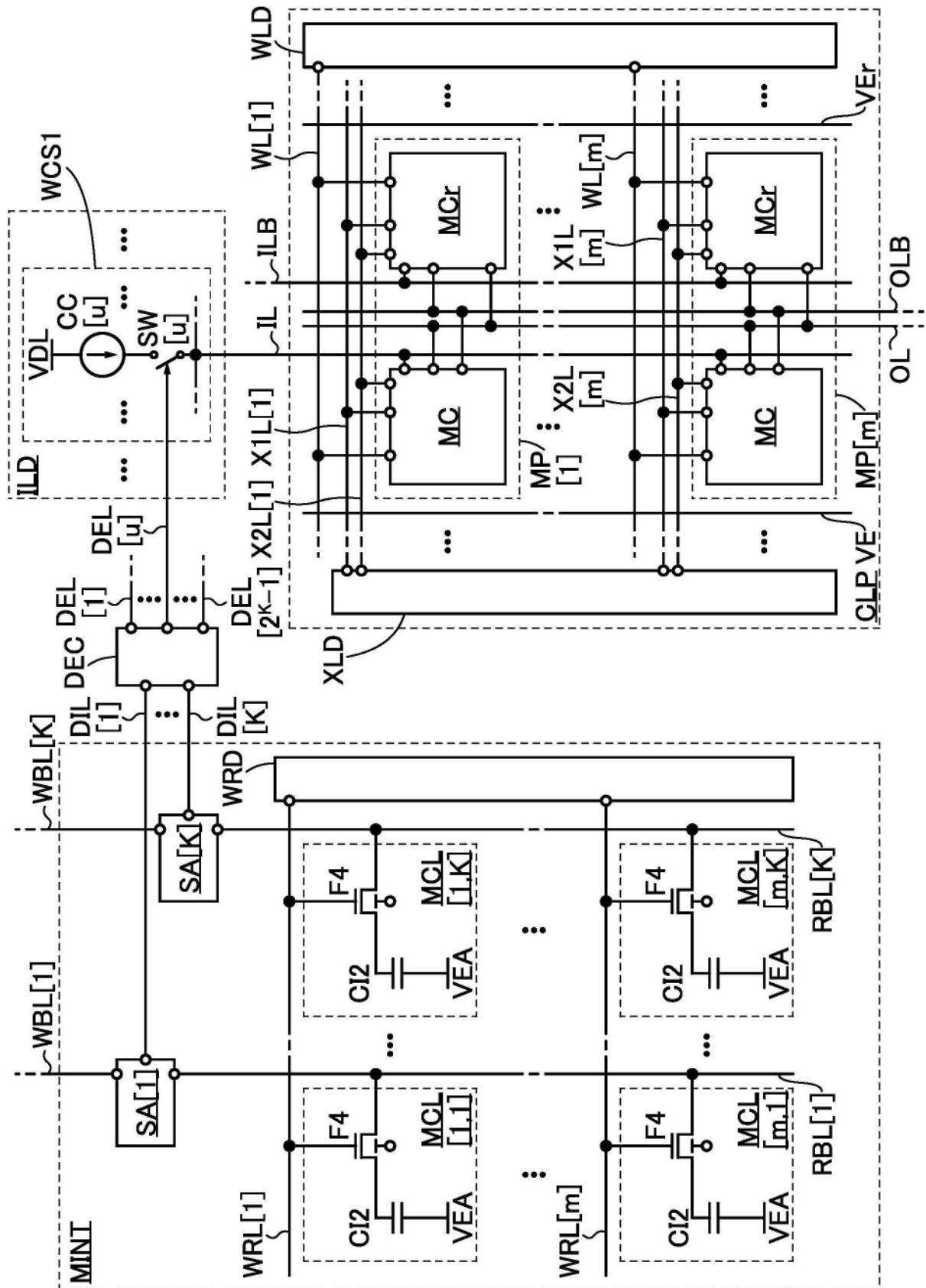


图9

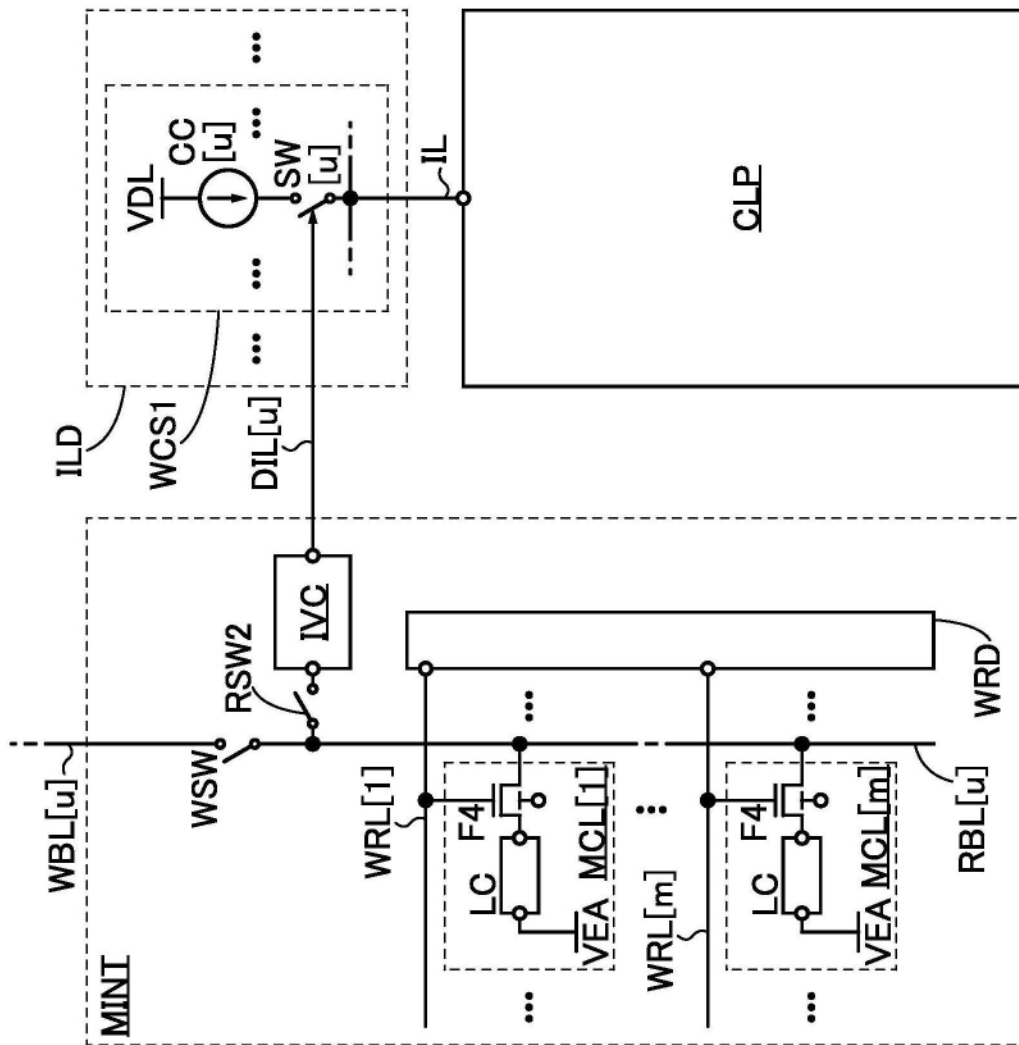


图10A

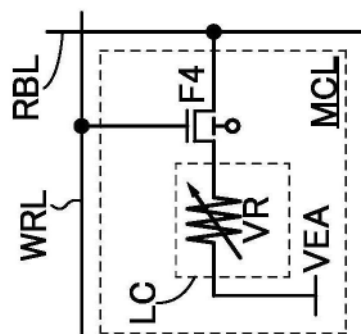


图10B

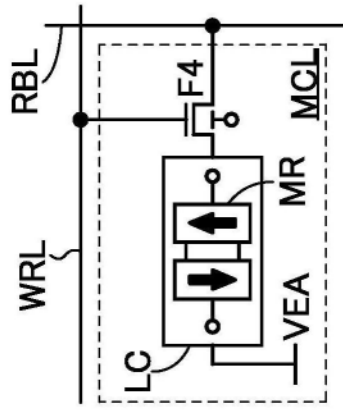


图10C

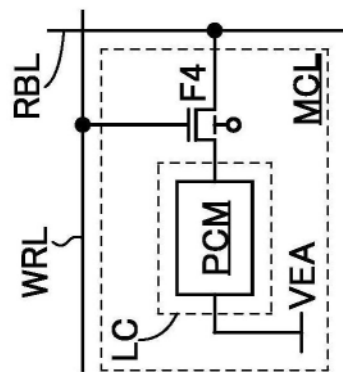


图10D

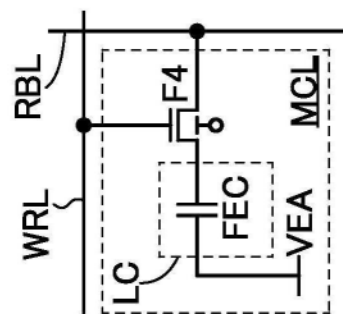


图10E

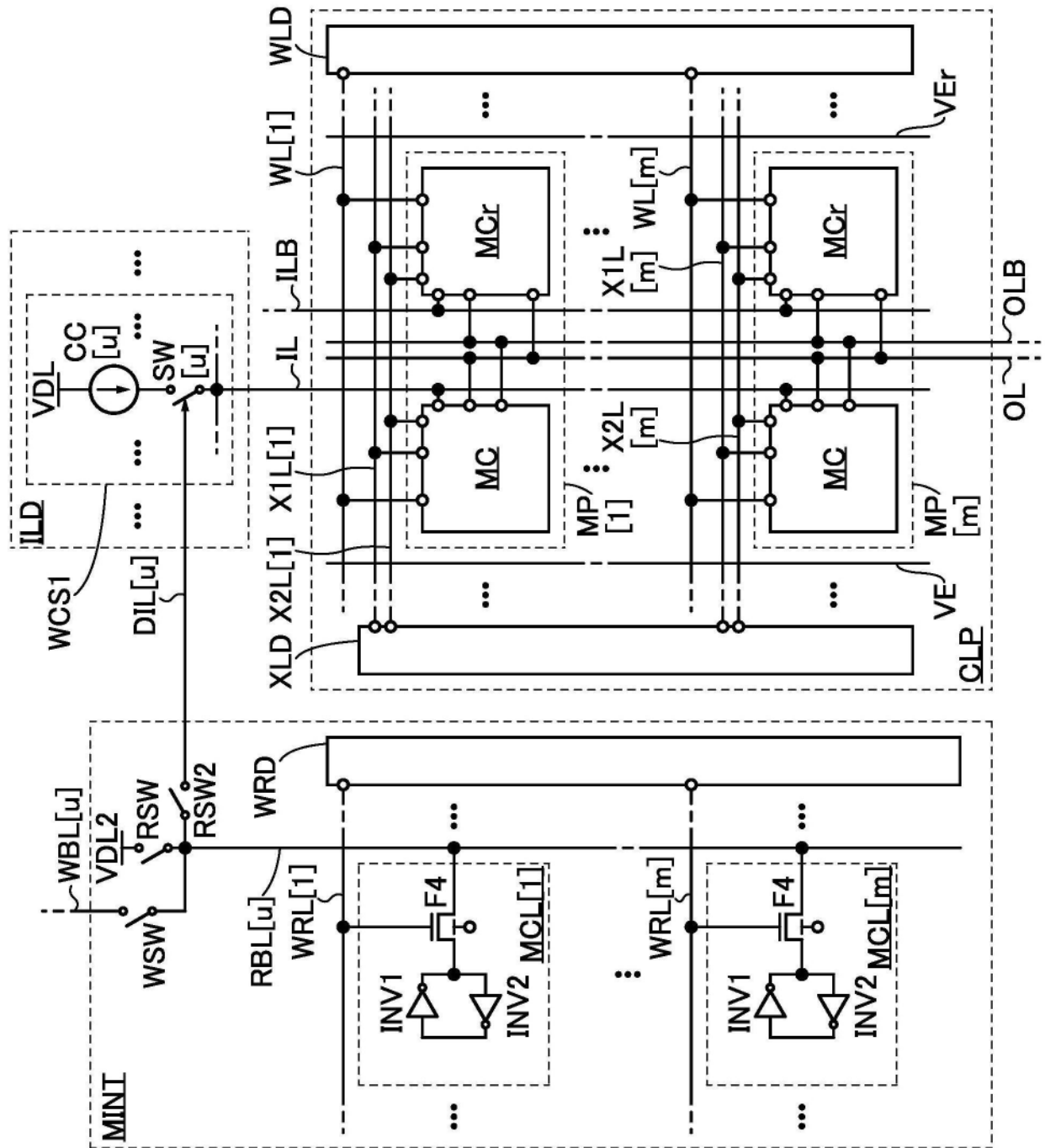


图11



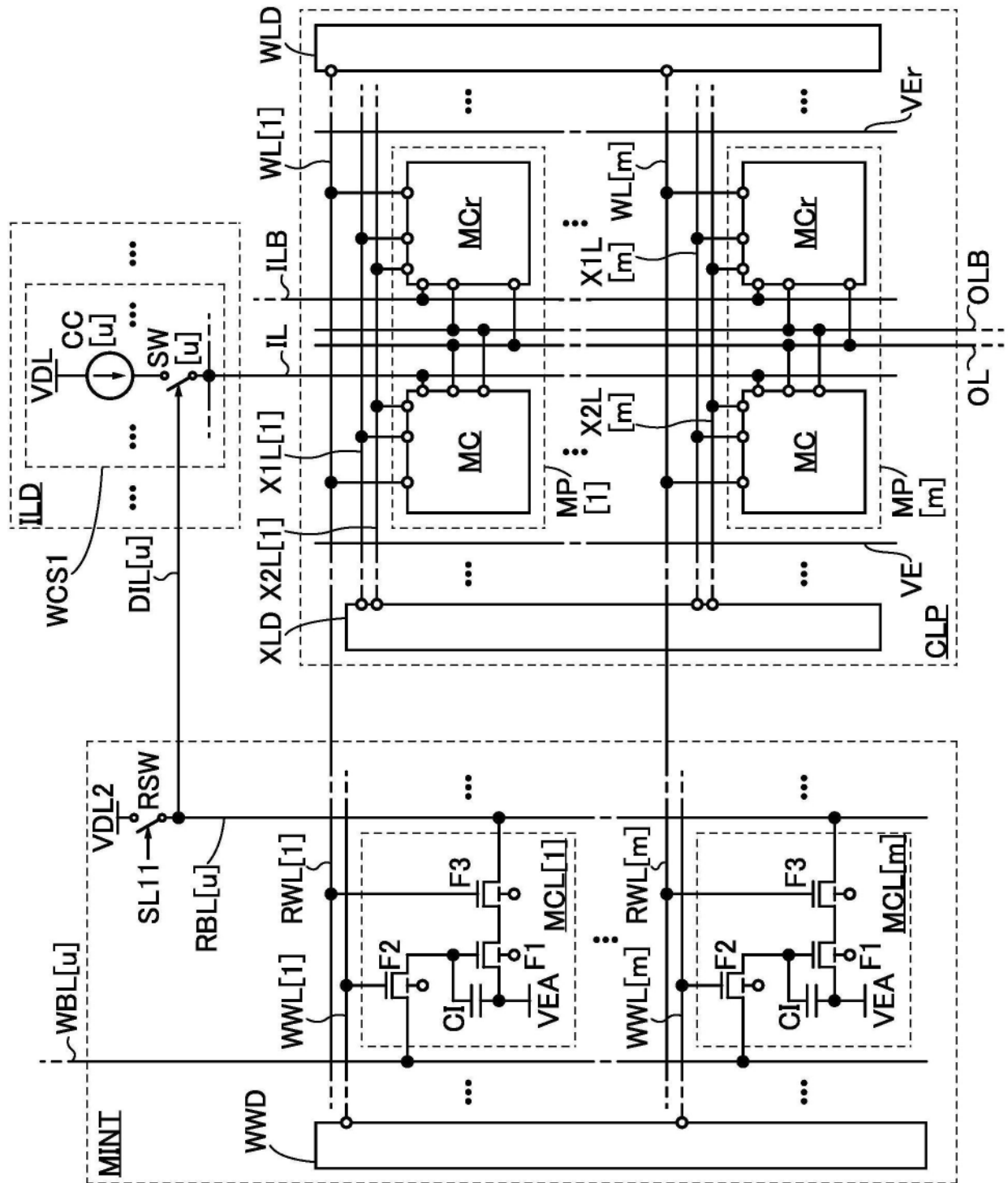


图12

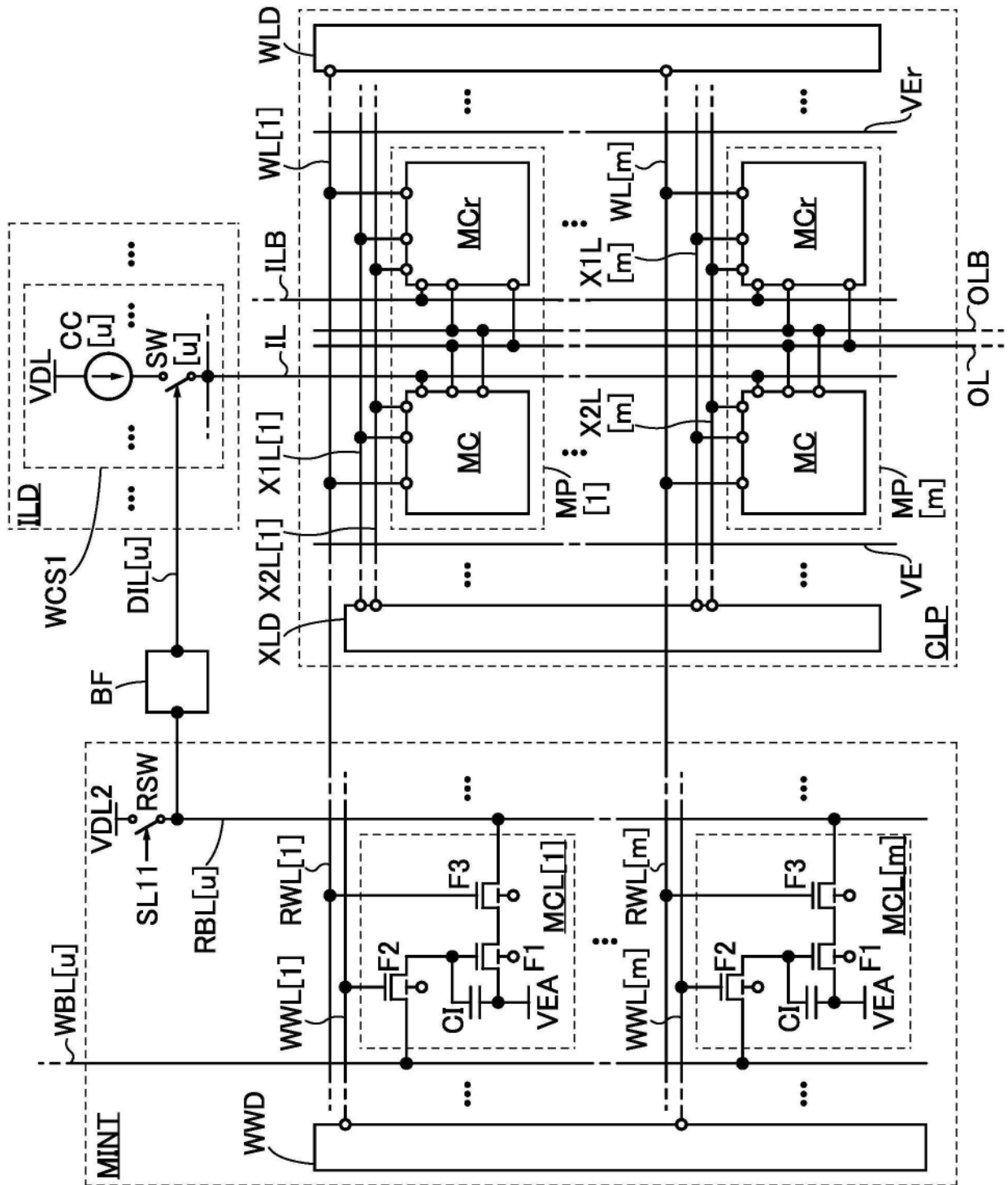


图13

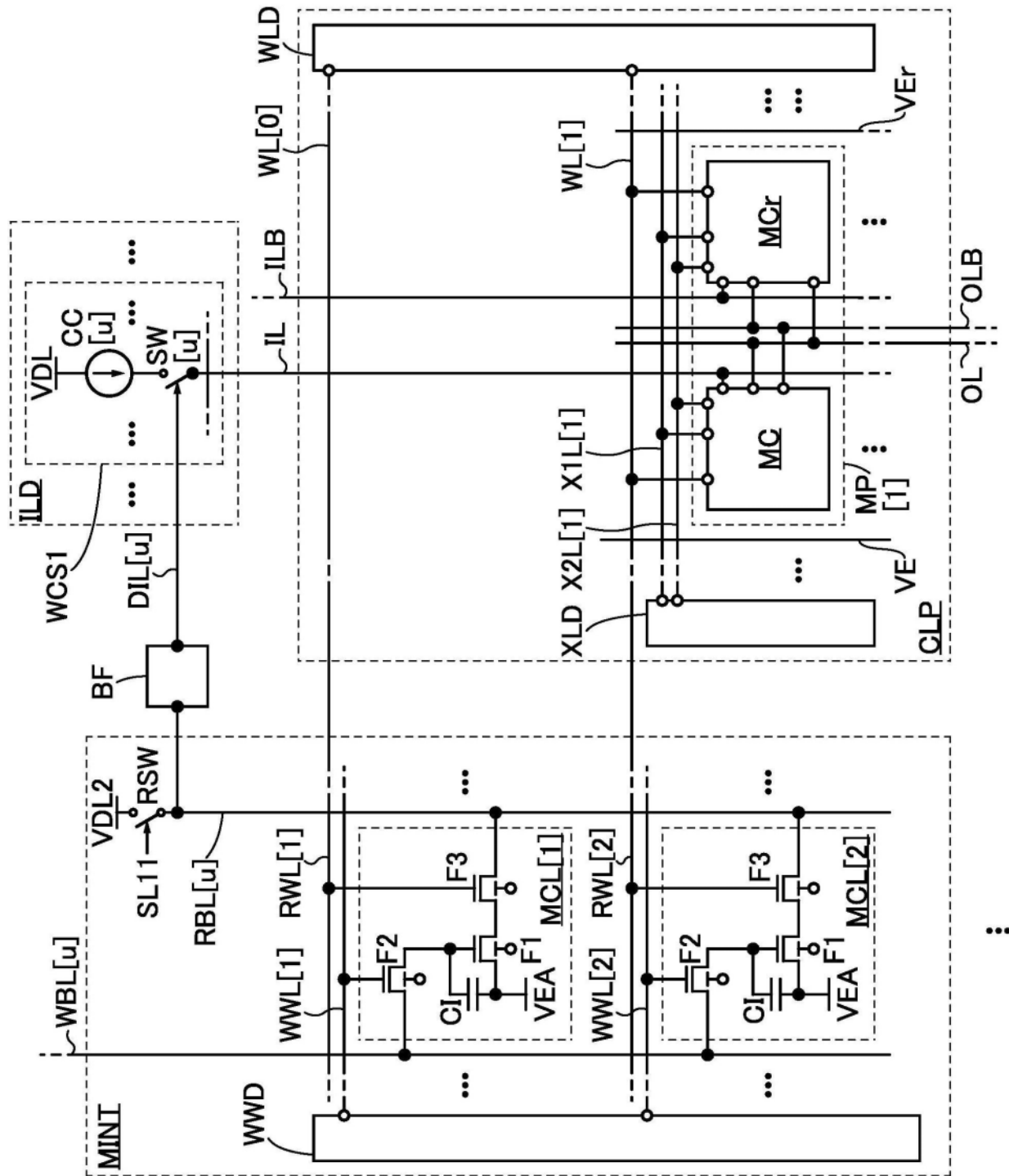


图14A

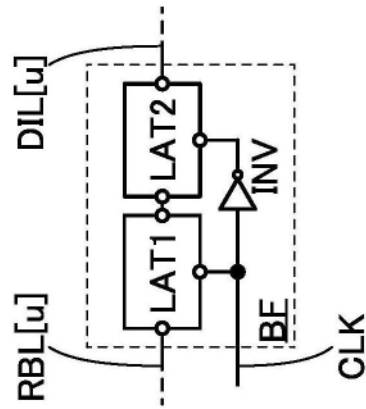


图14B

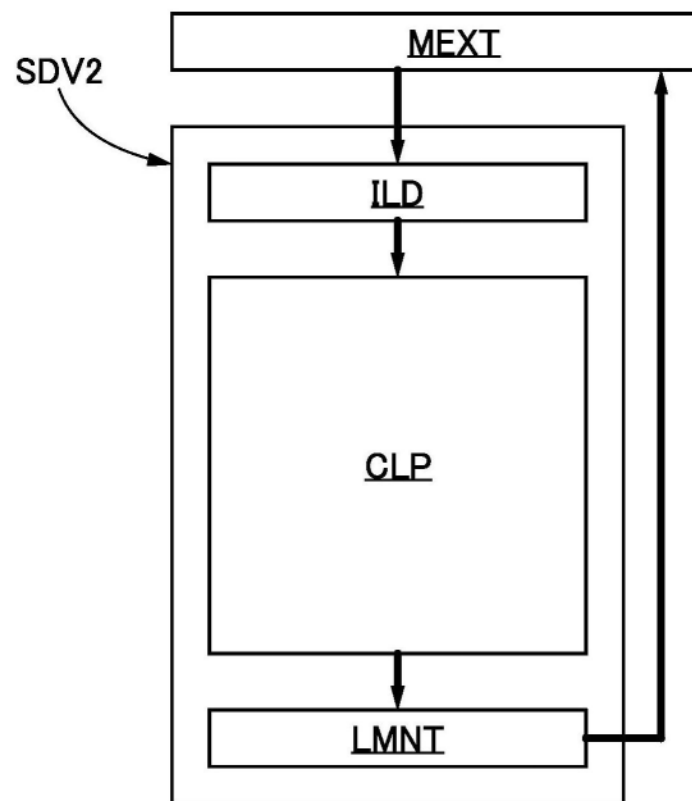


图15

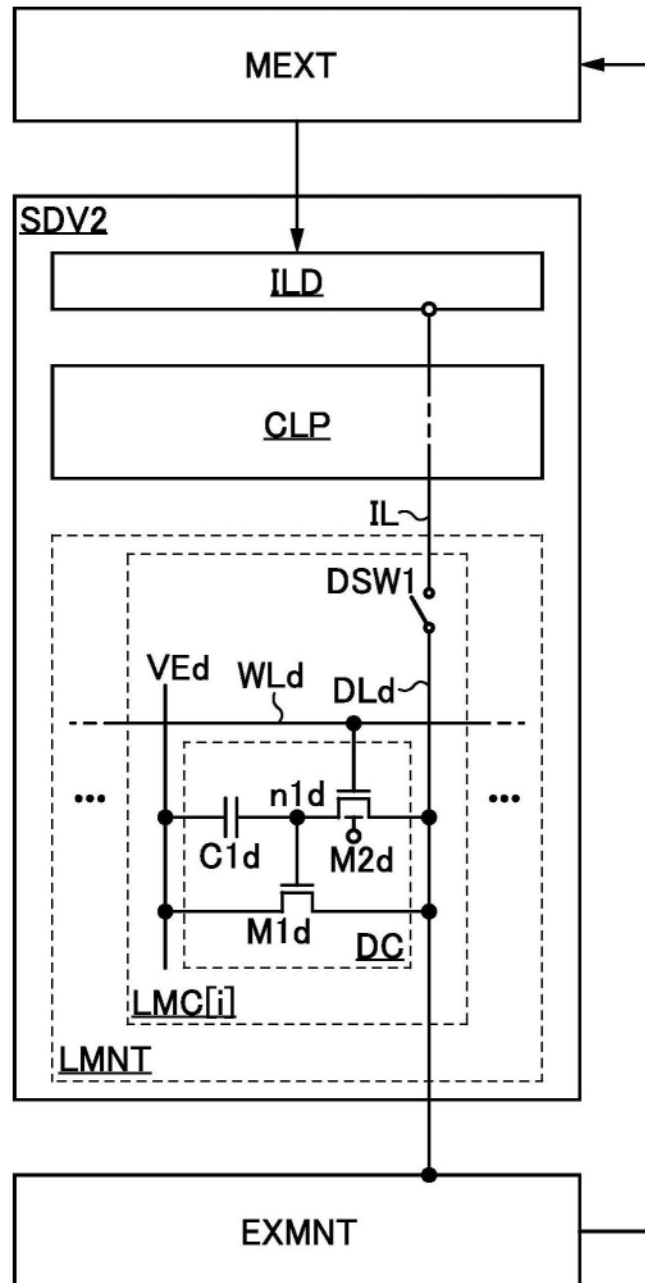


图16

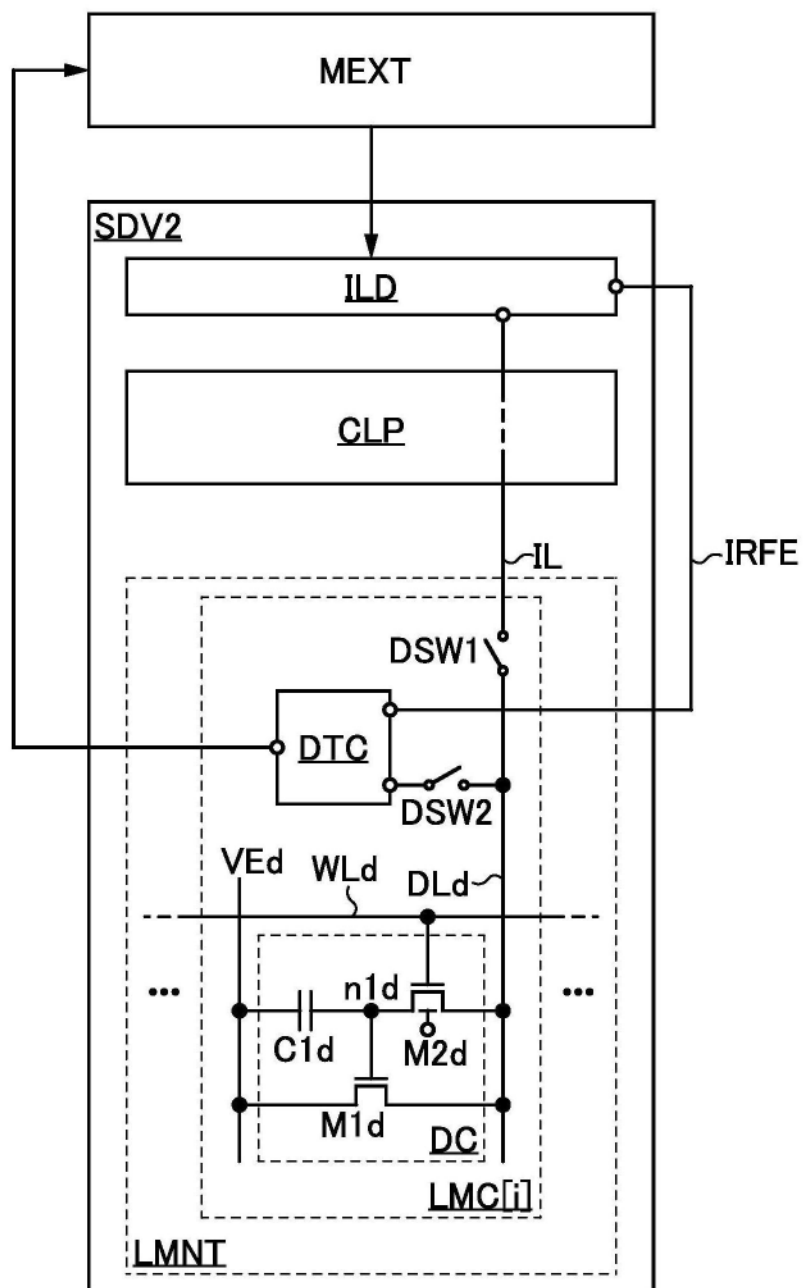


图17A

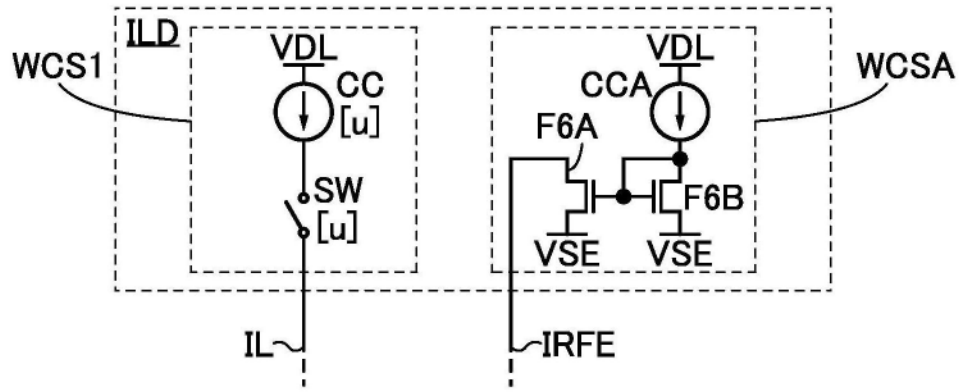


图17B

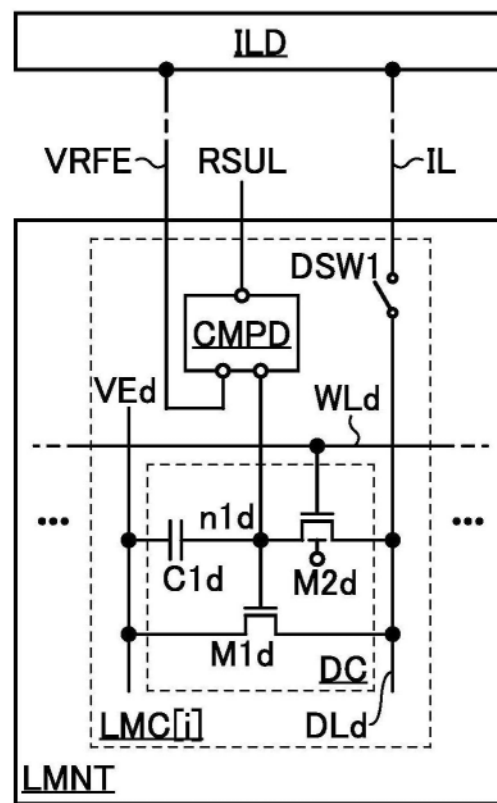


图18A

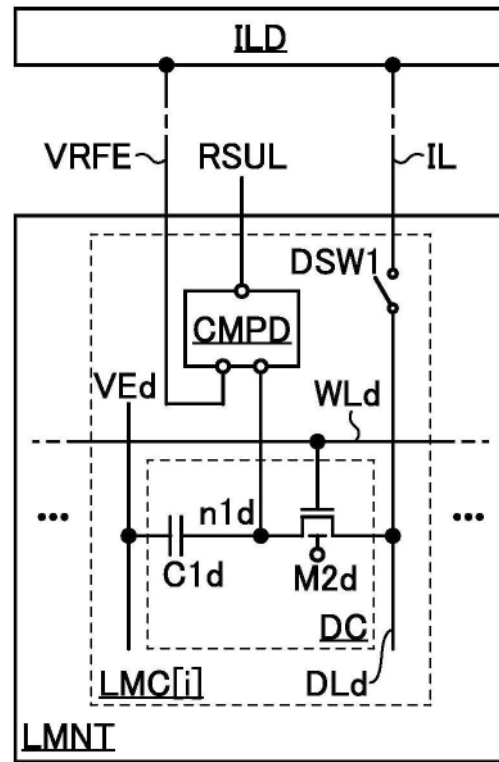


图18B







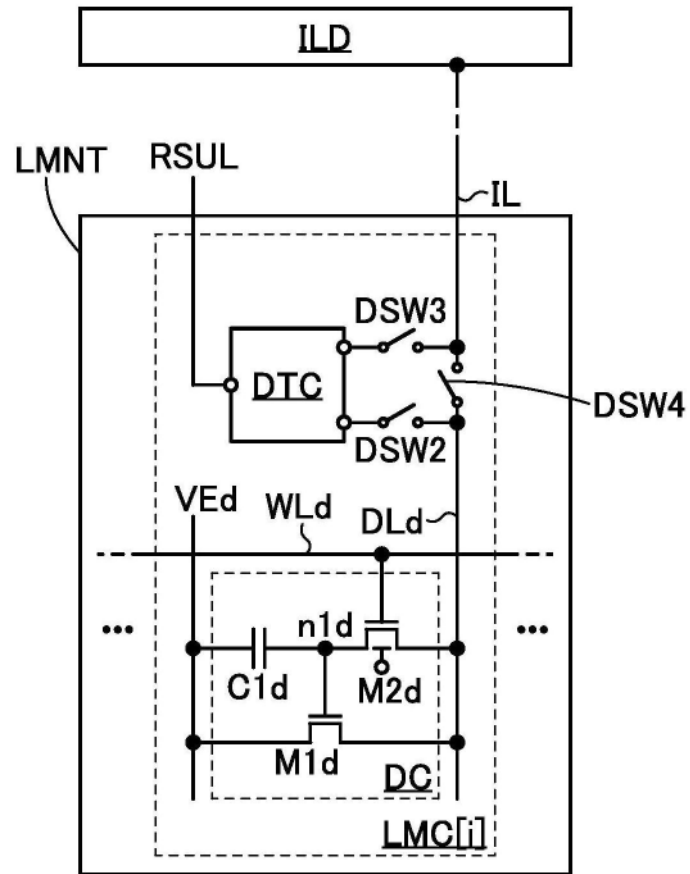


图20A

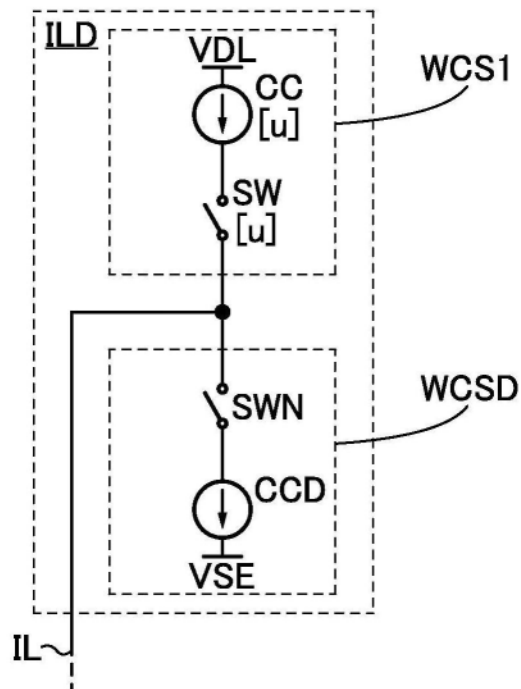


图20B

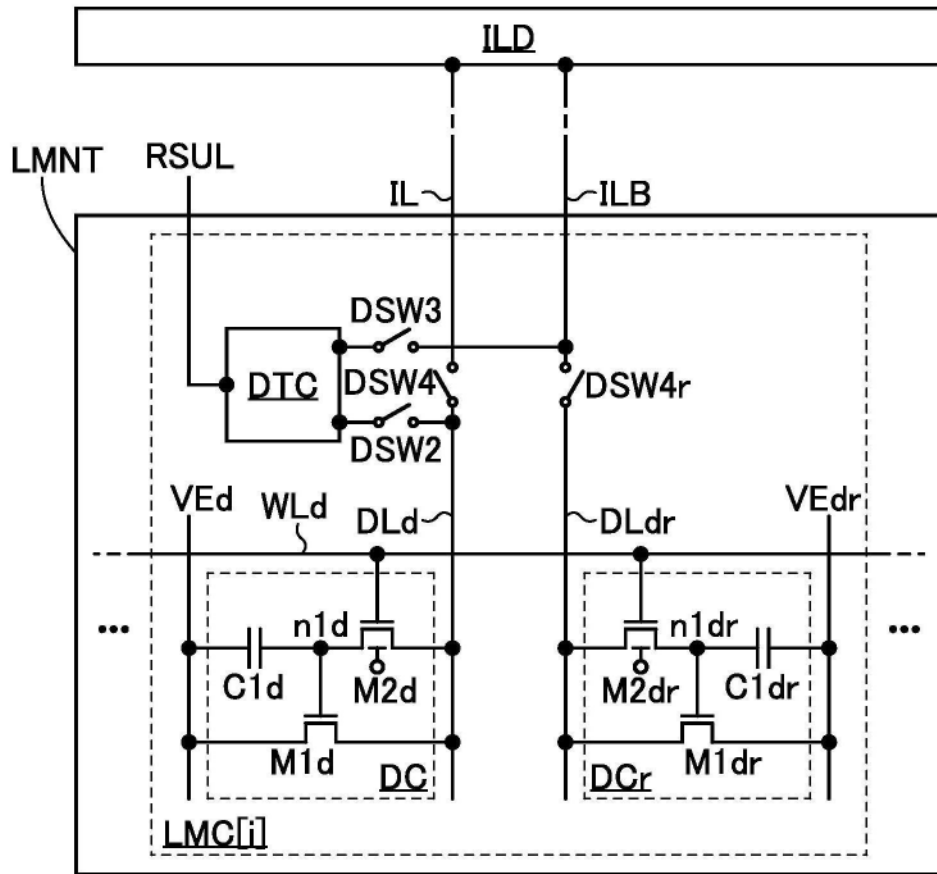


图21A

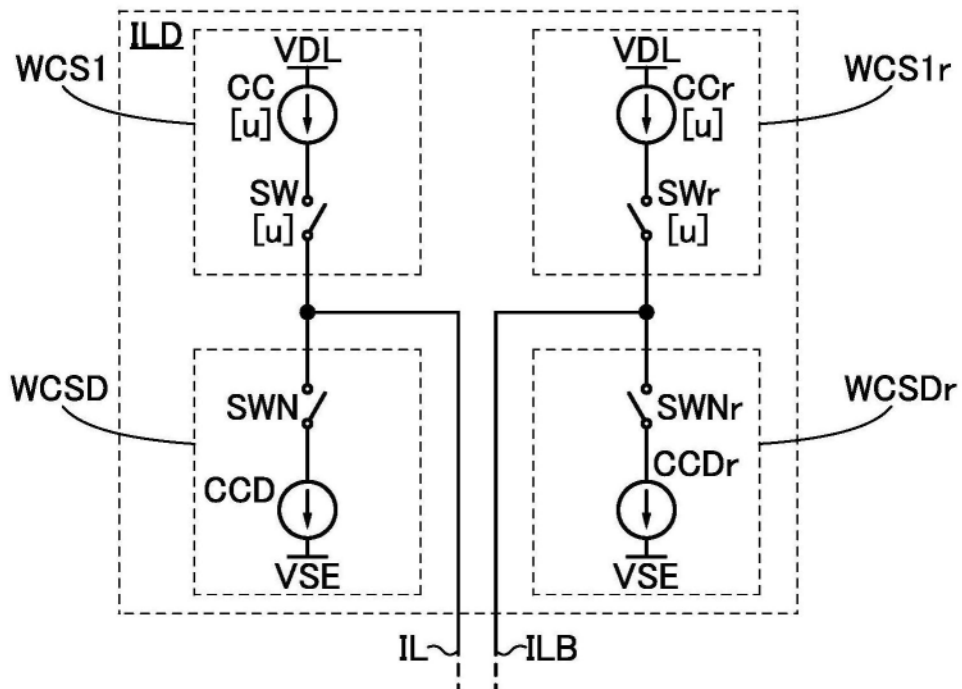


图21B

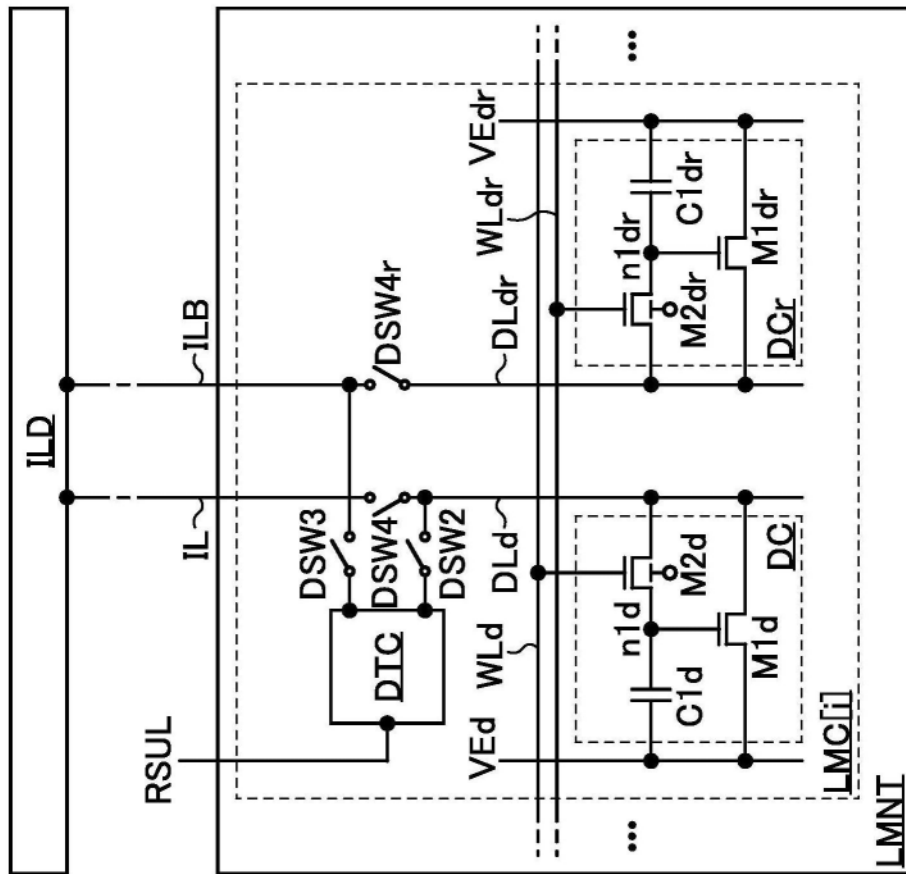


图22A

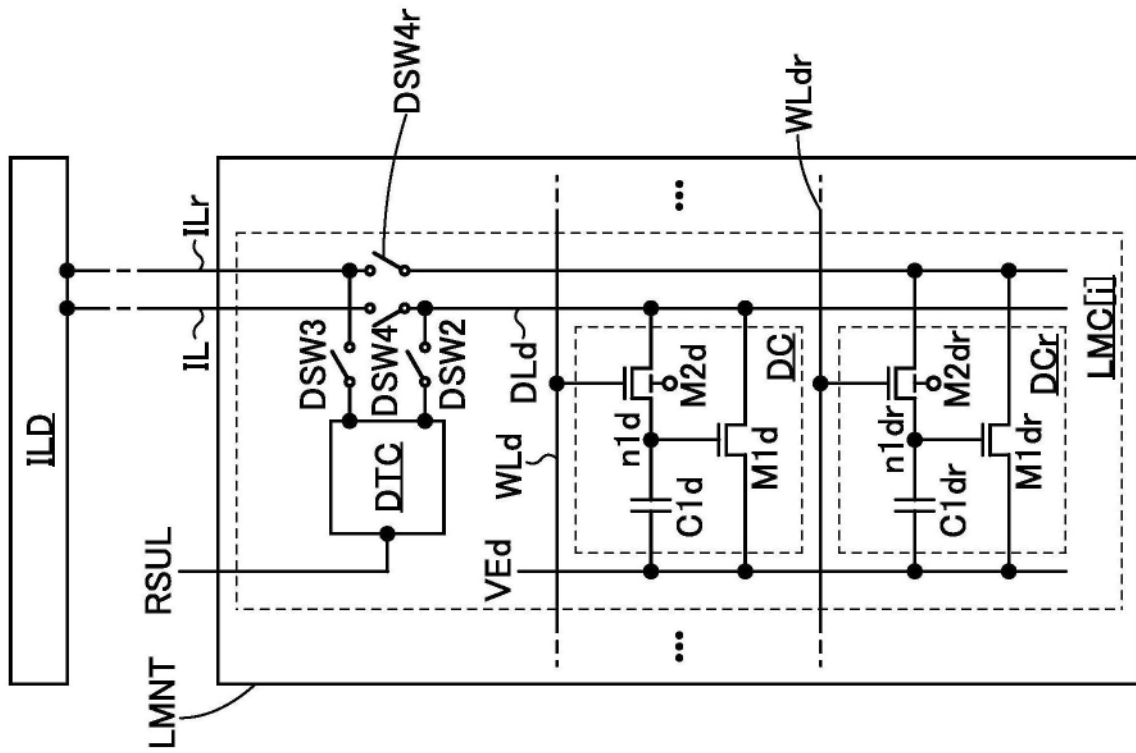


图22B

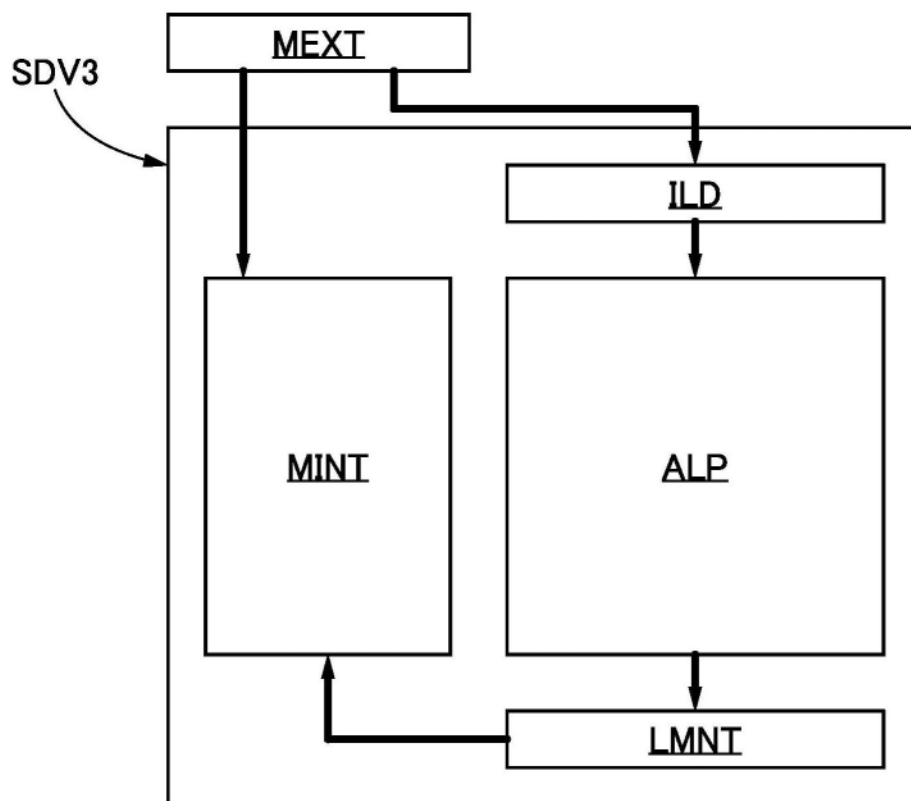


图23

100

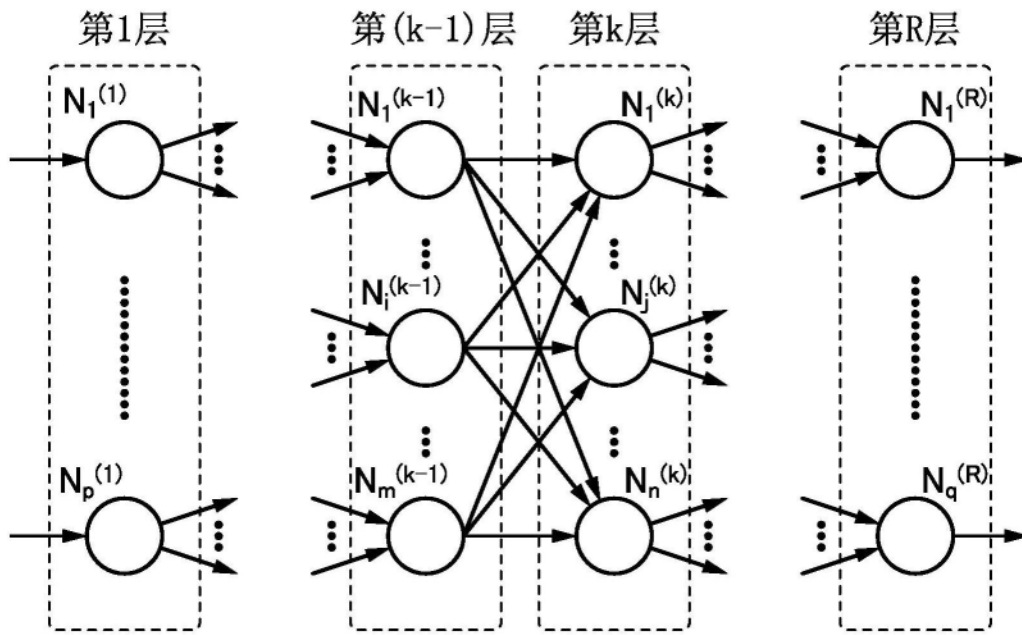


图24A

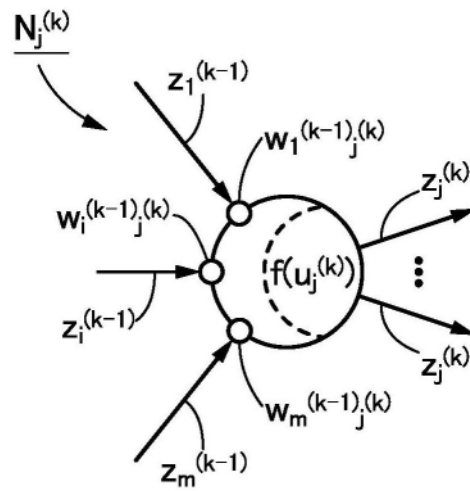


图24B

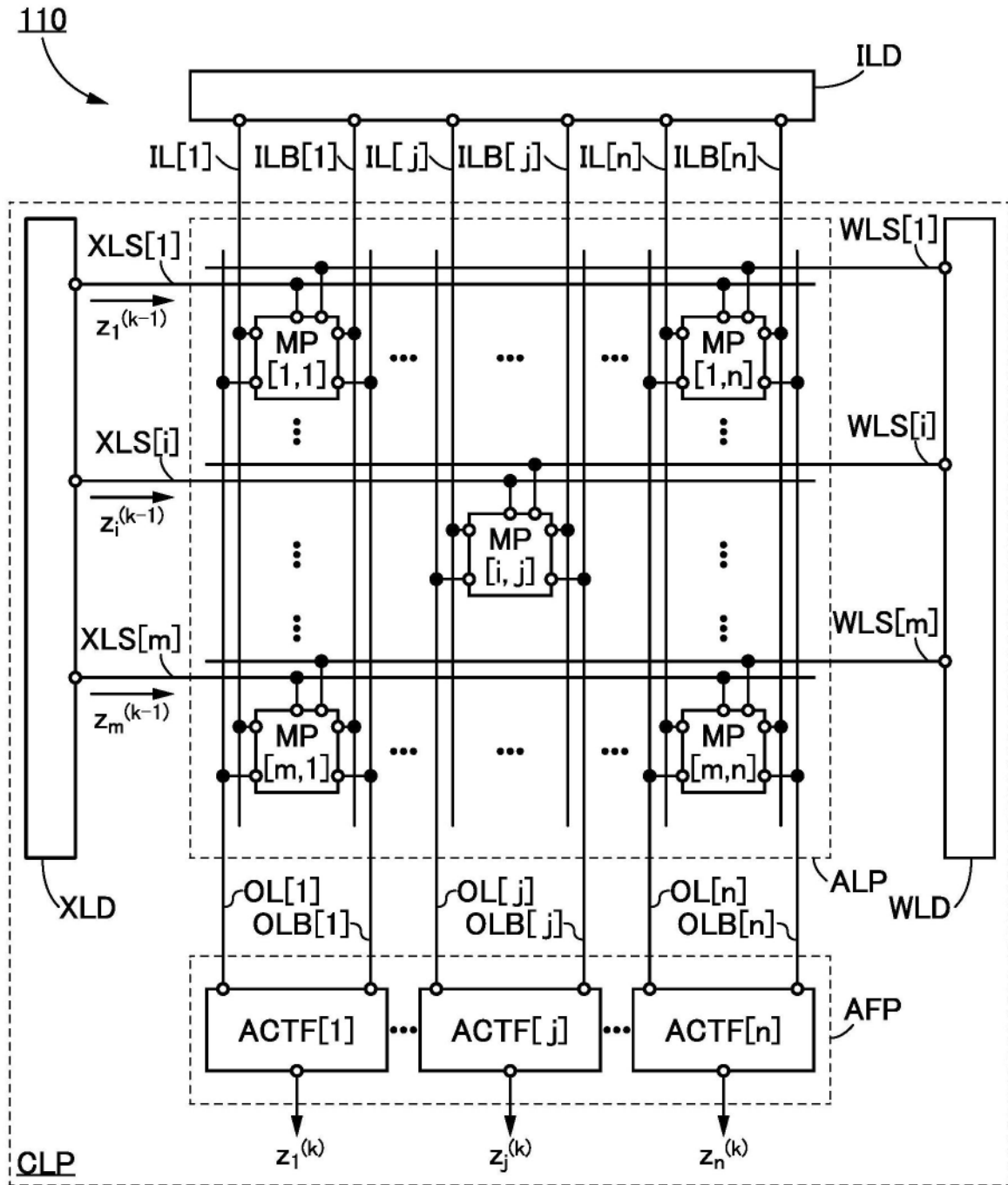


图25



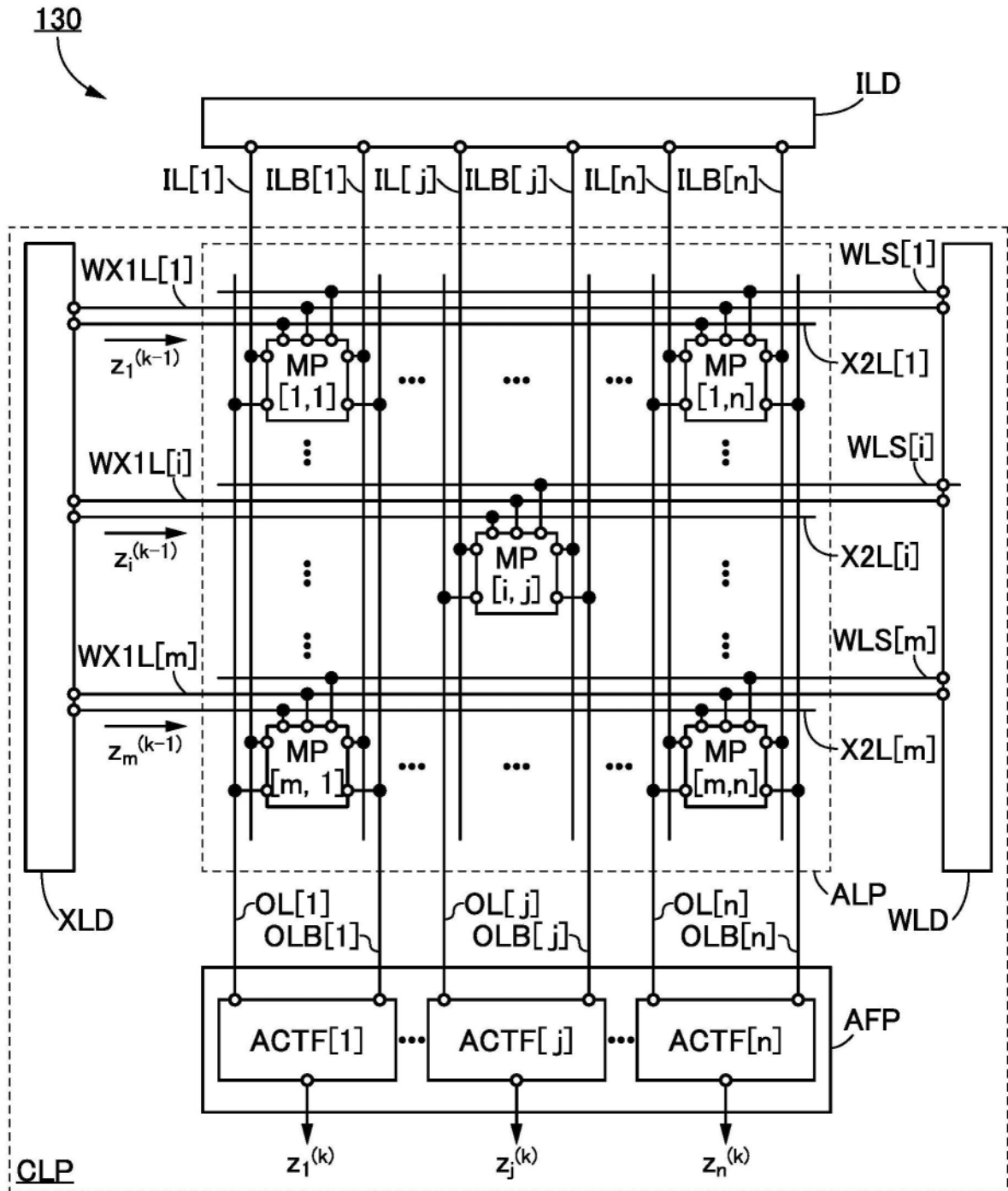


图26

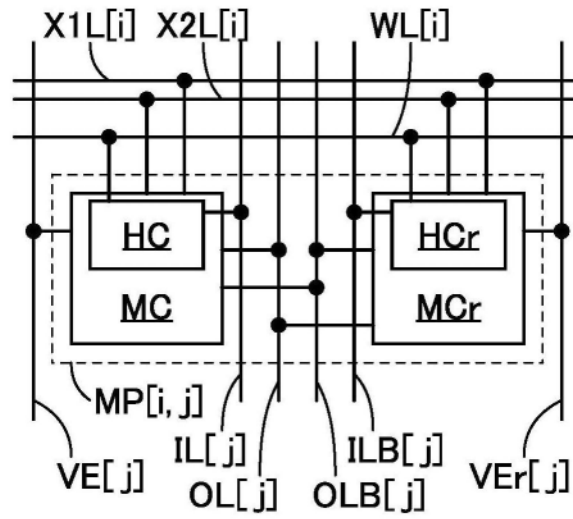


图27A

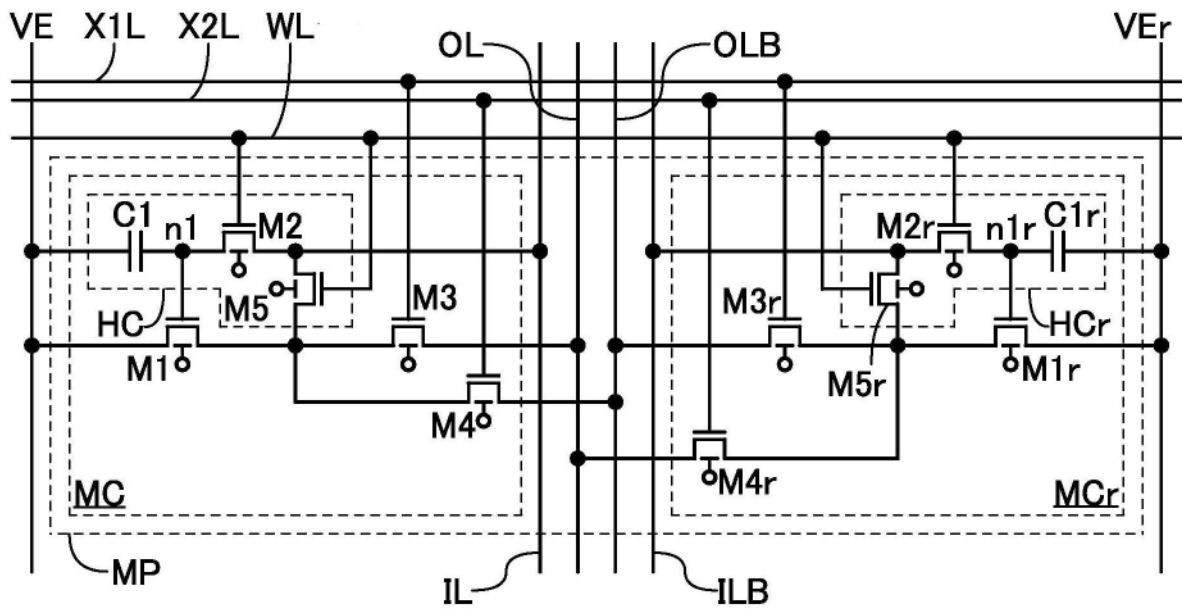


图27B



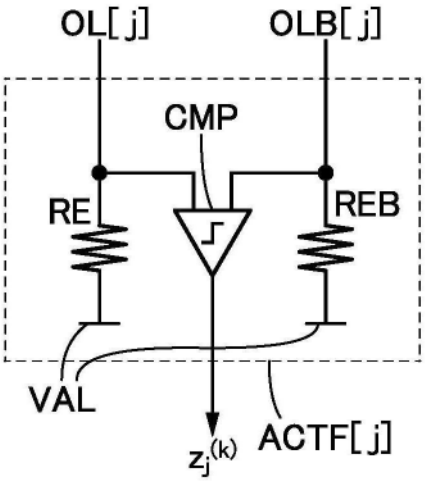


图29A

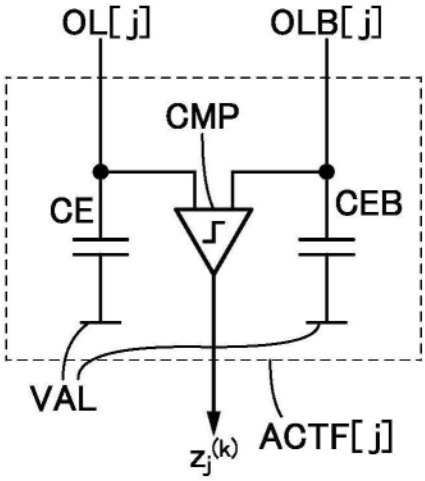


图29B

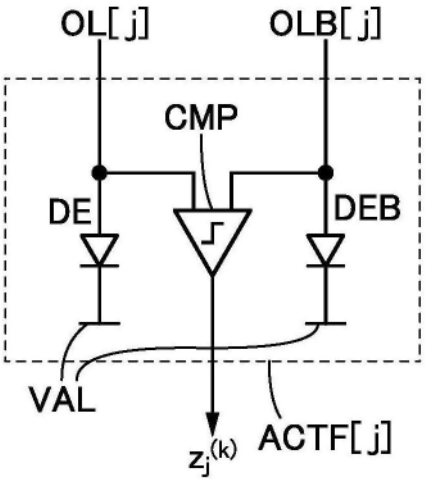


图29C

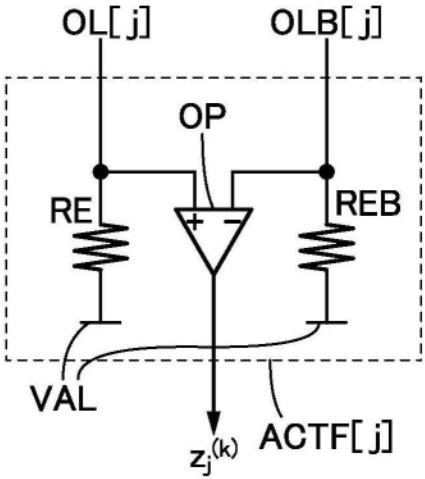


图29D

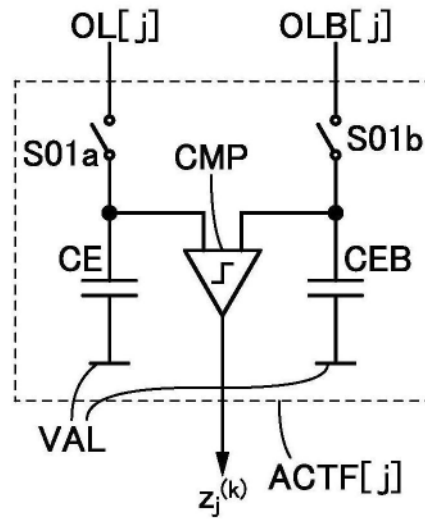


图29E

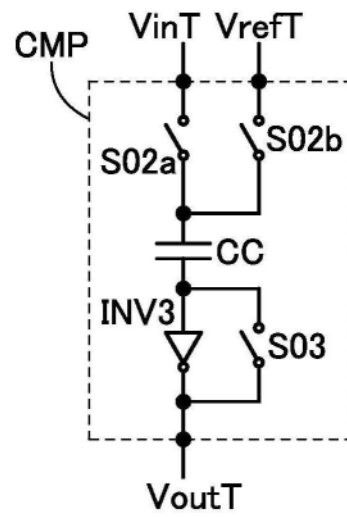


图29F

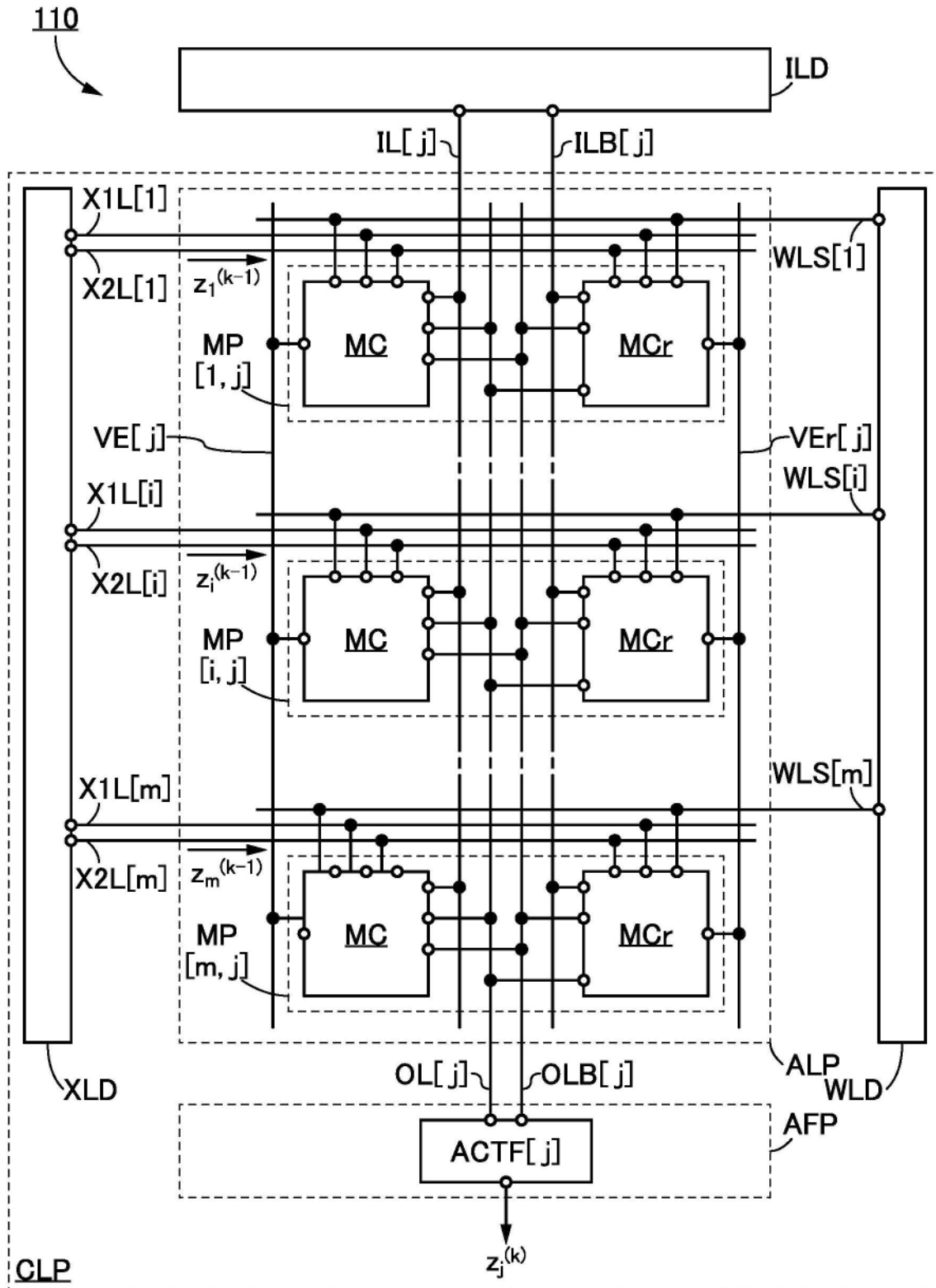


图30

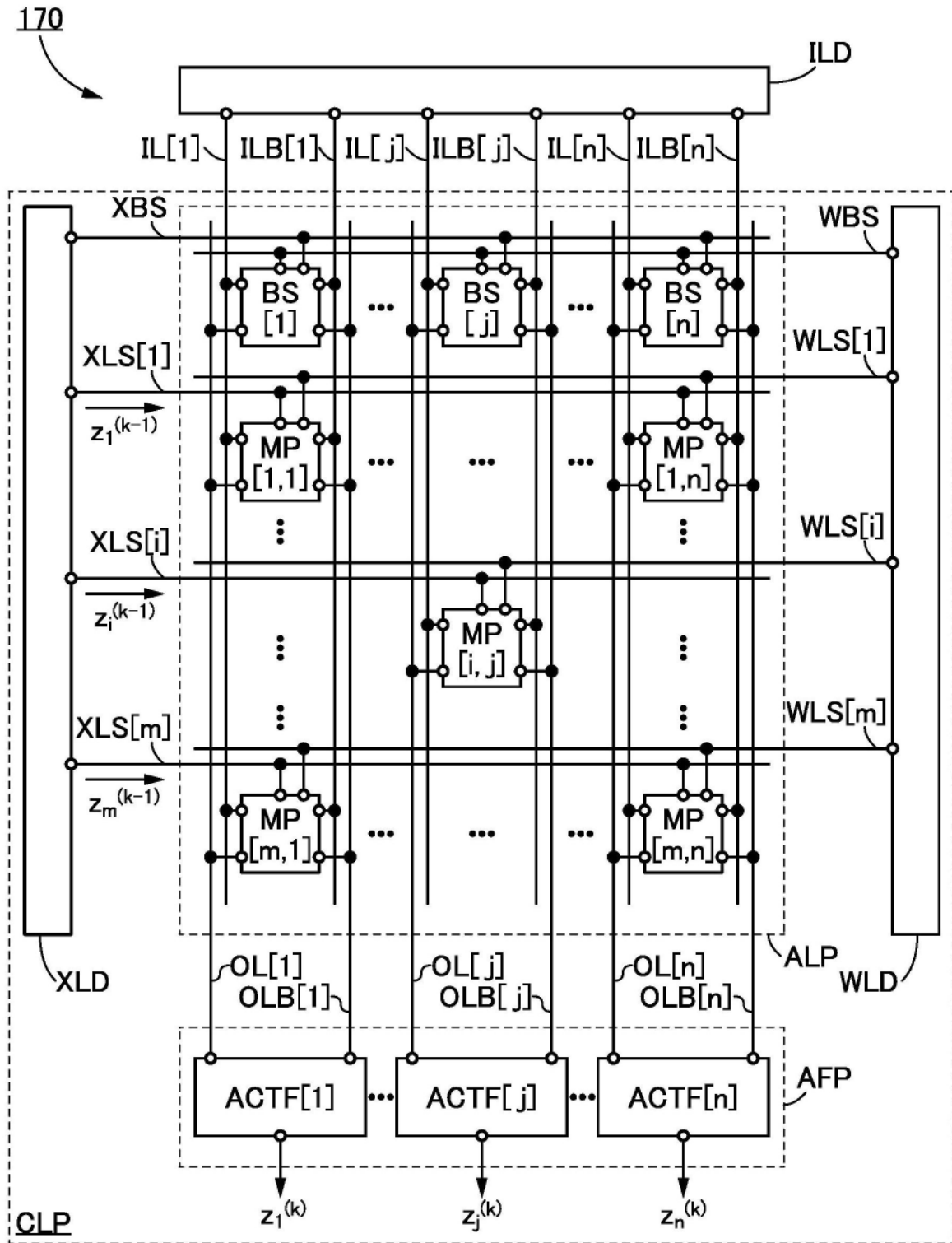


图31



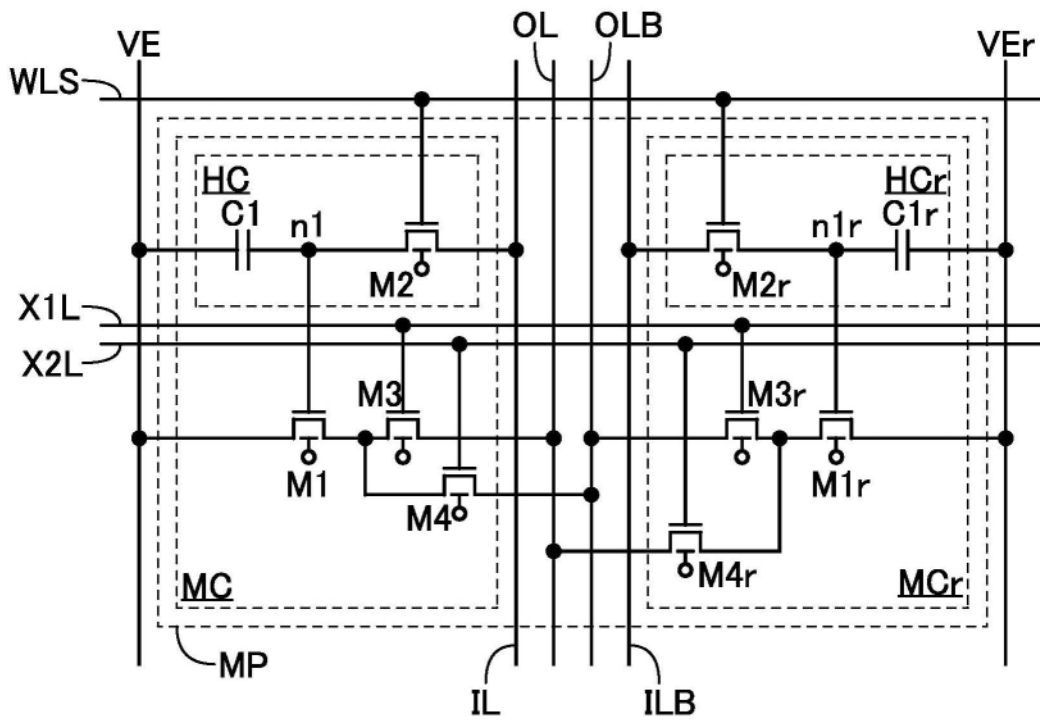


图32

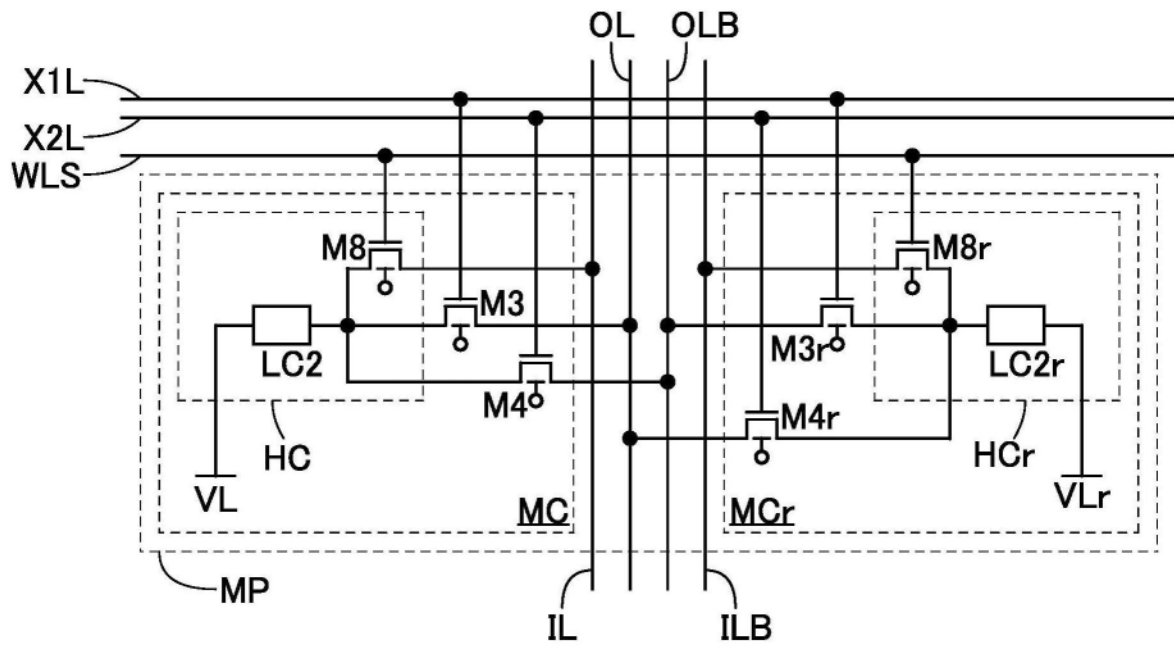


图33A

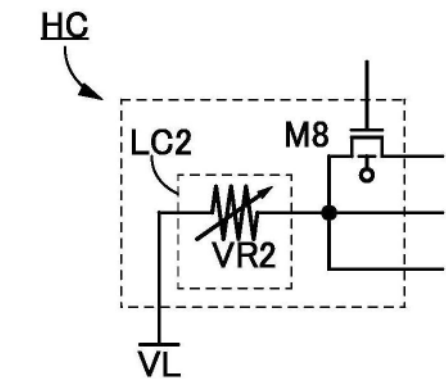


图33B

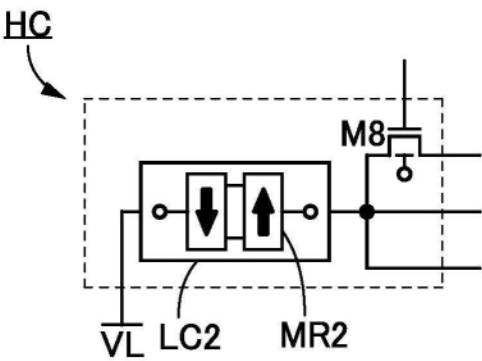


图33C

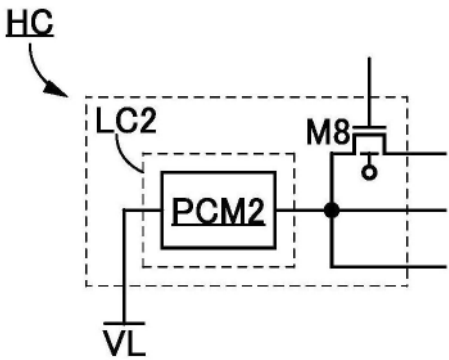


图33D

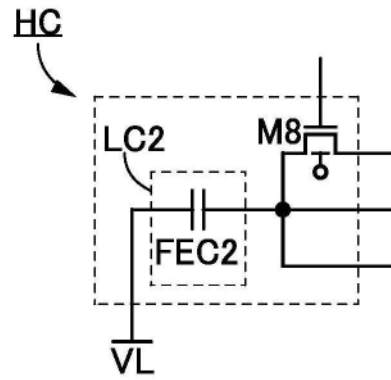


图33E

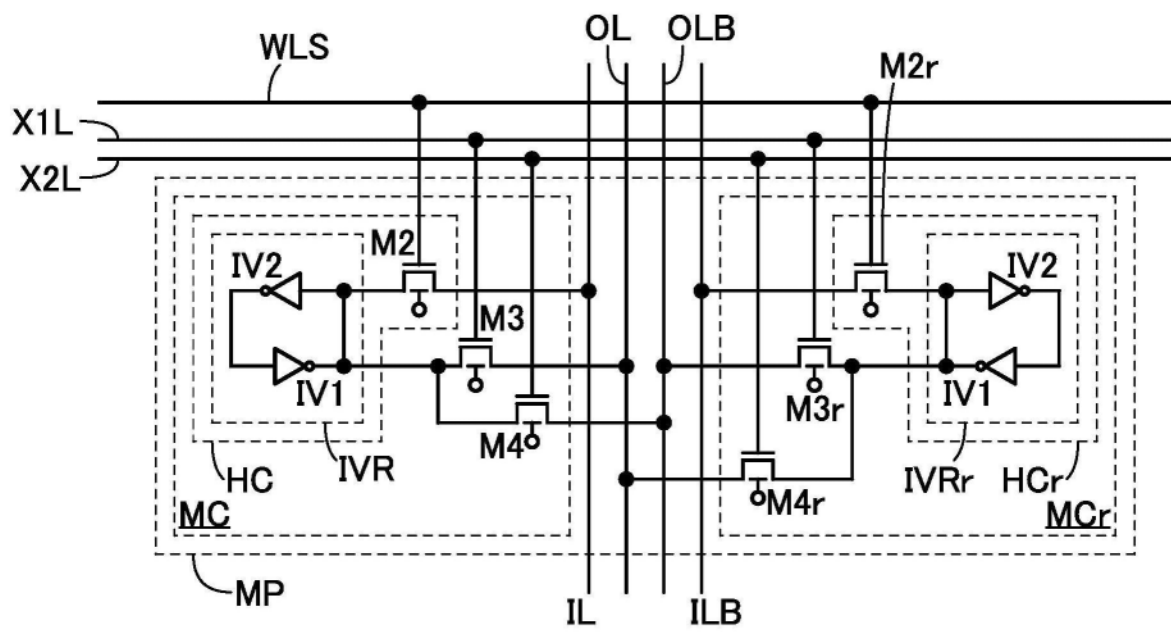


图34A

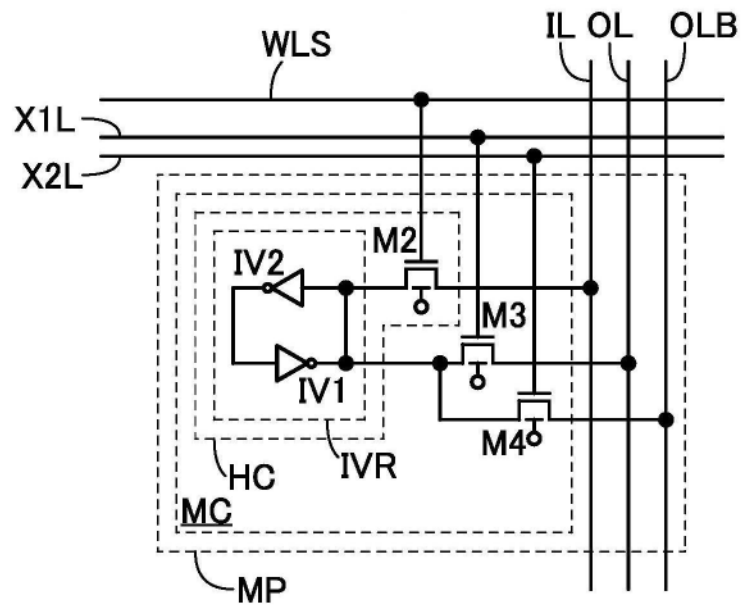


图34B

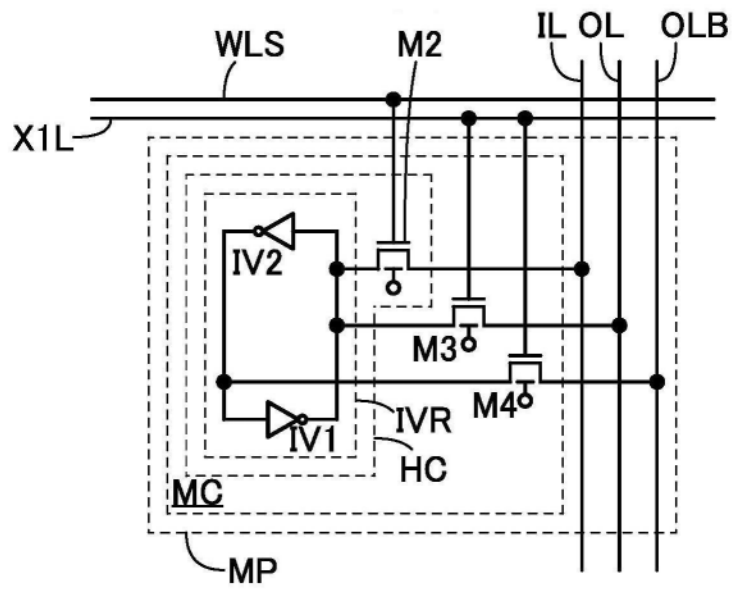


图34C

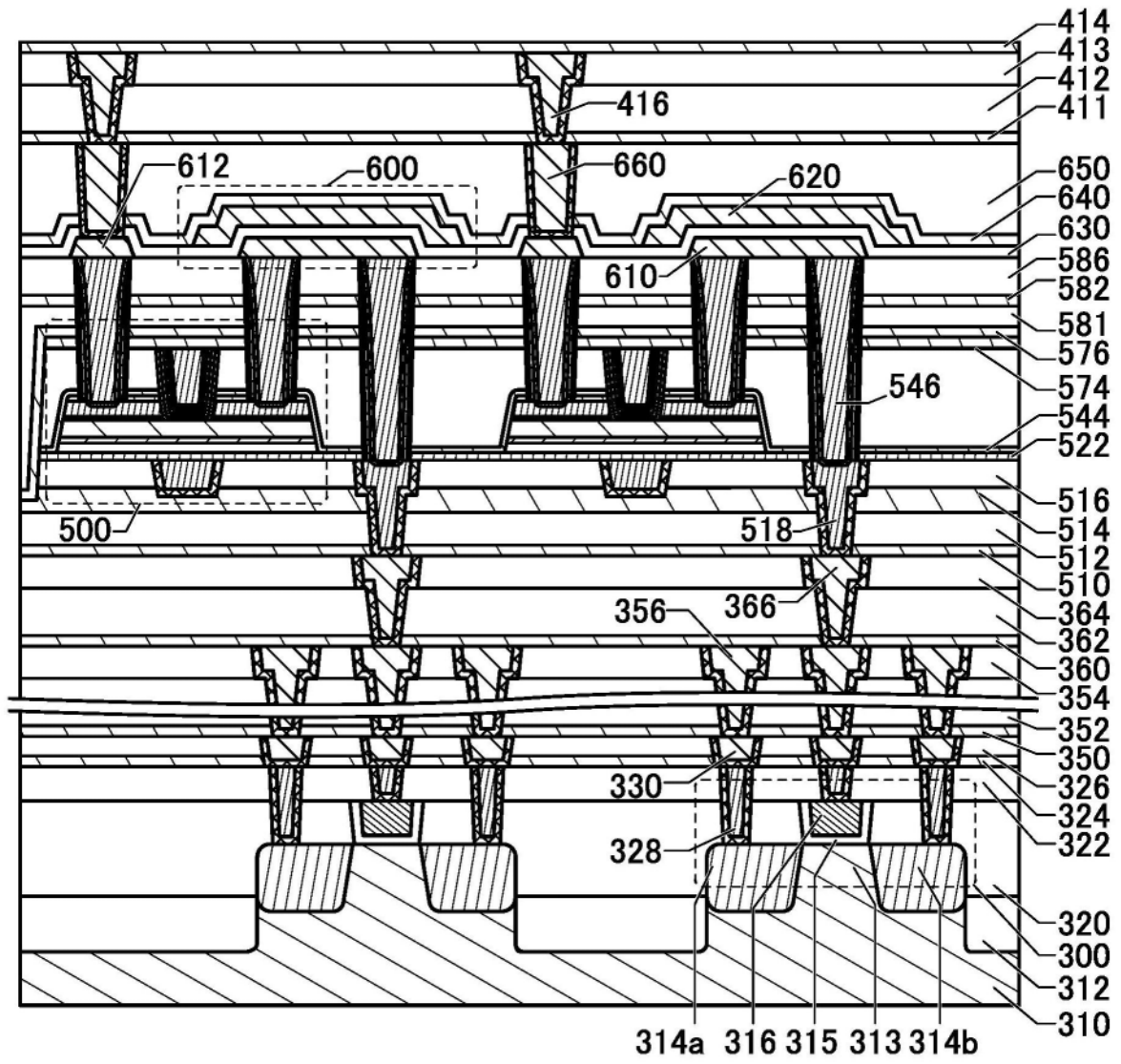


图35

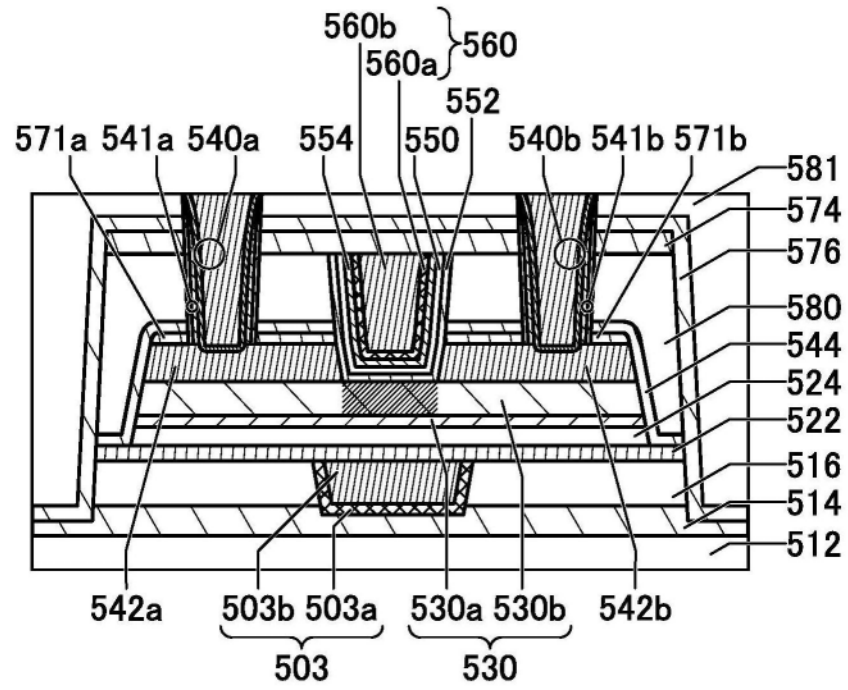


图36A

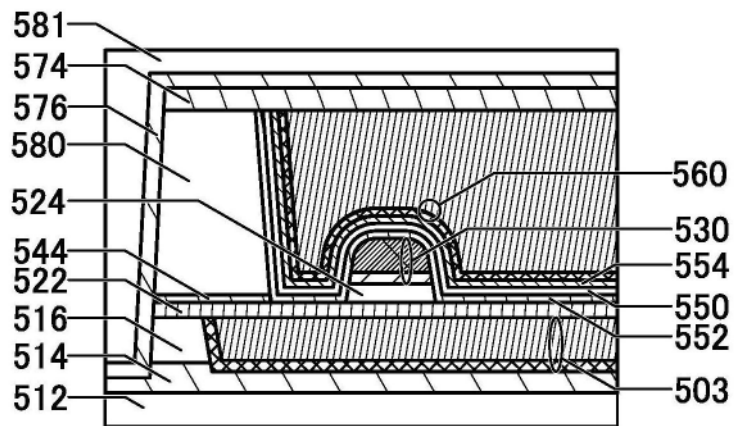


图36B

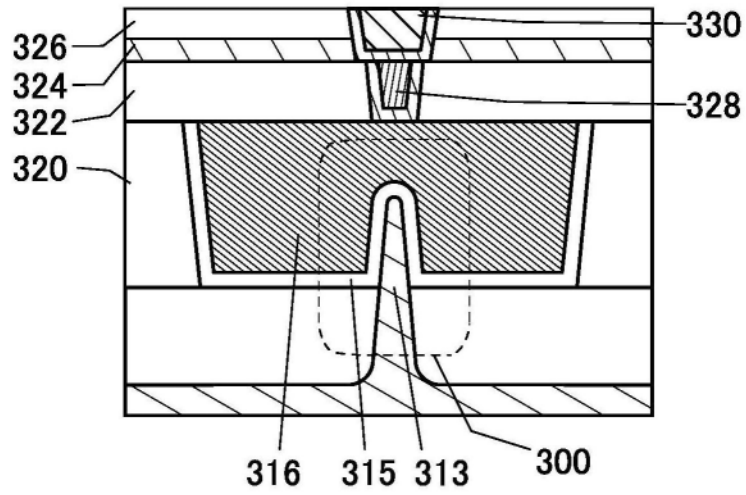


图36C

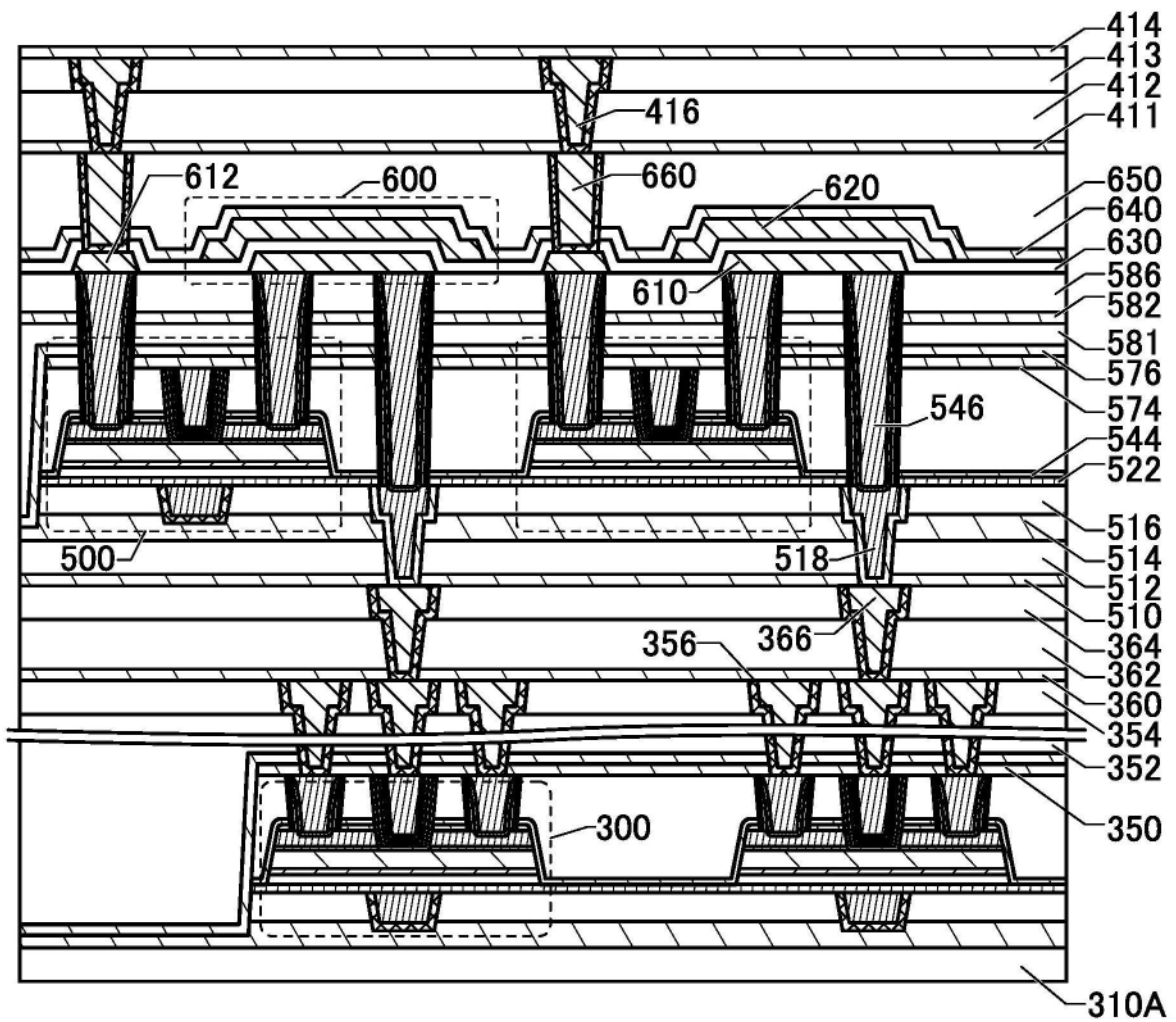


图37

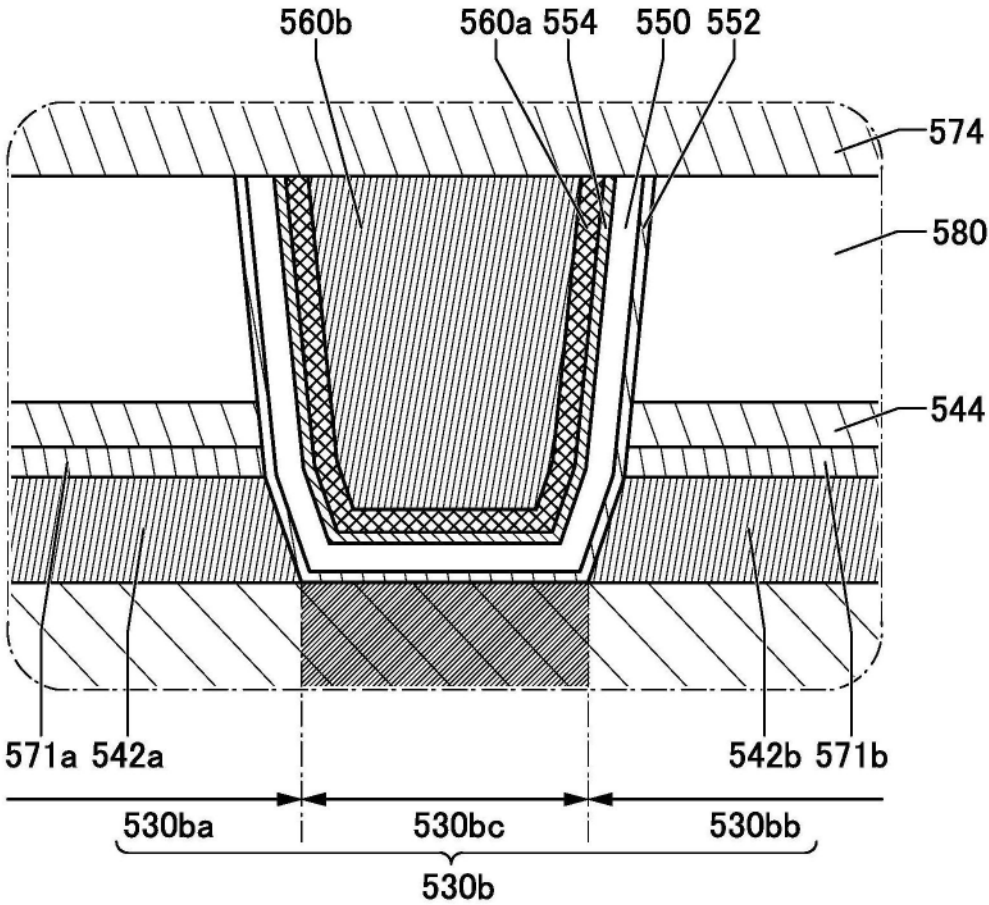


图38A



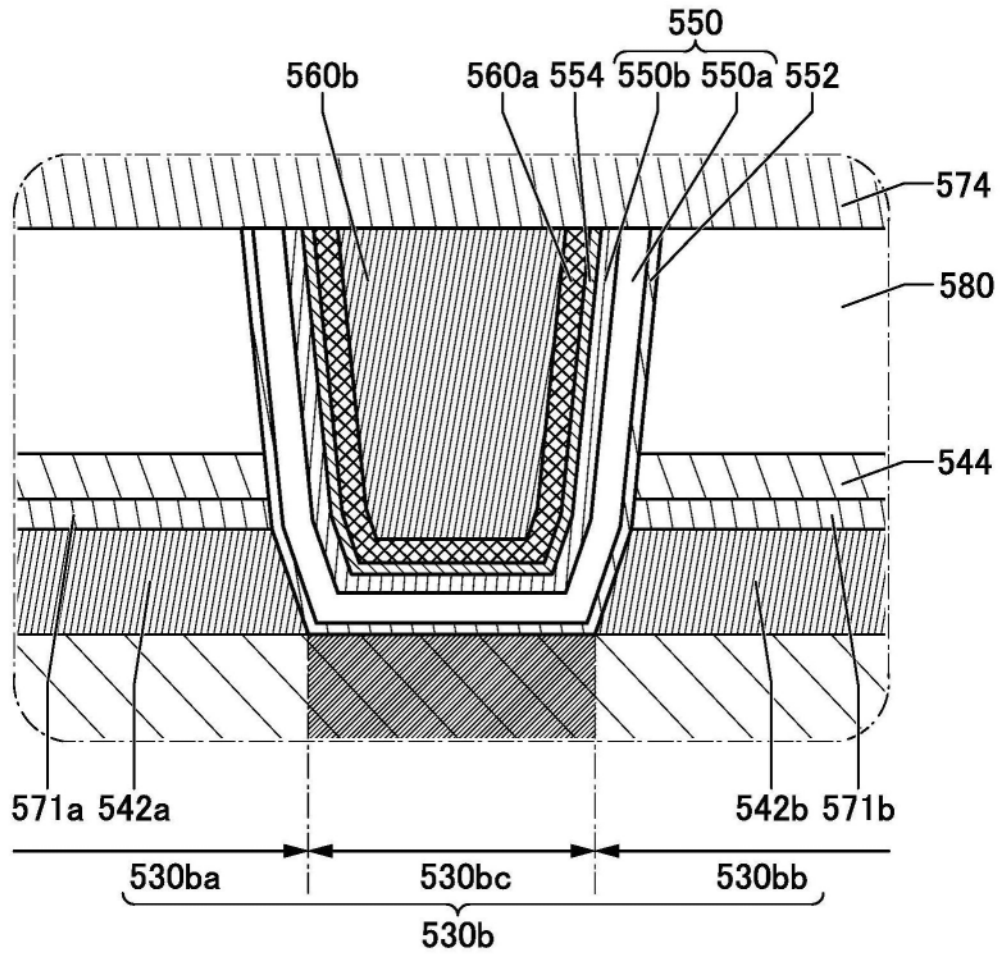


图38B

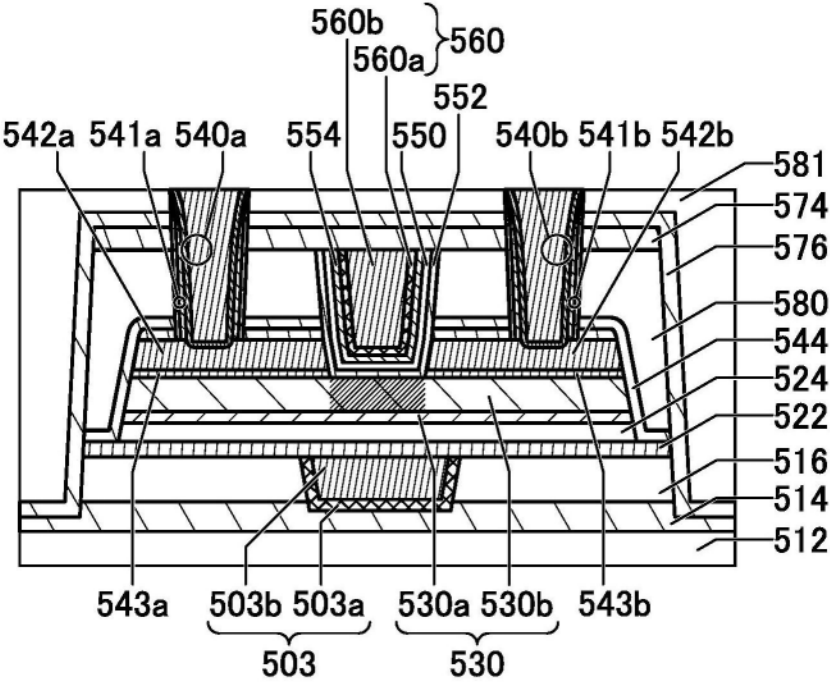


图39

中间状态  
新的边界区域

Amorphous (无定形)	Crystalline (结晶性)	Crystal (结晶)
• completely amorphous	• CAAC • nc • CAC  excluding single crystal and poly crystal	• single crystal • poly crystal

图40A

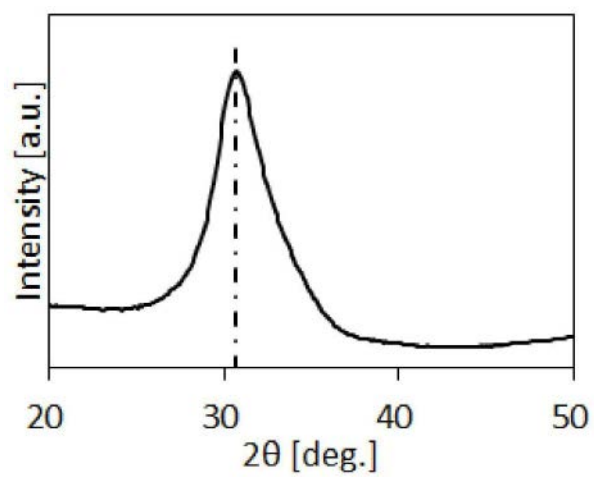


图40B

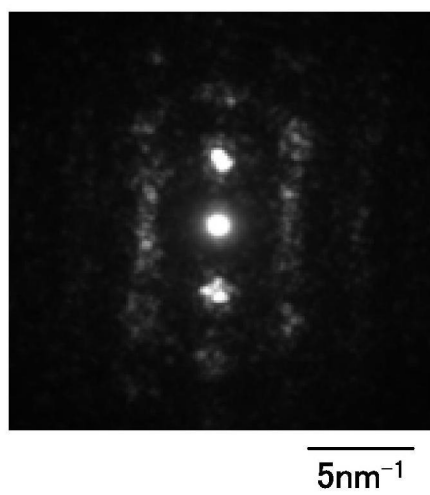


图40C

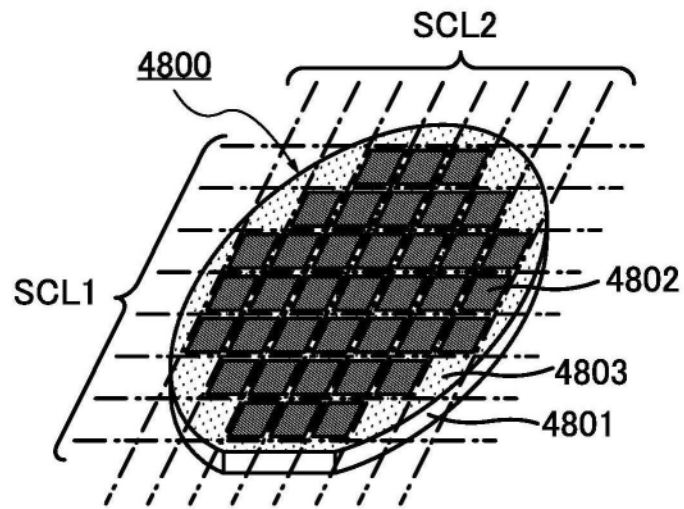


图41A

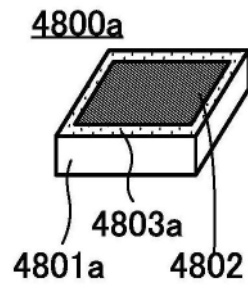


图41B

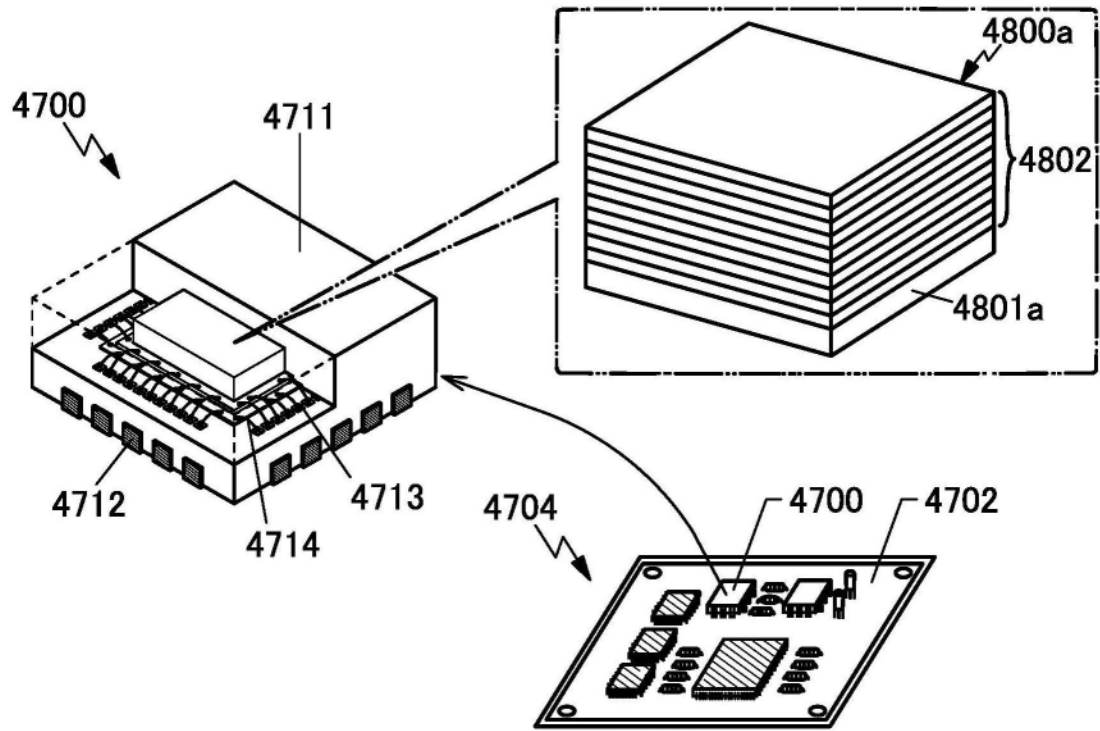


图41C

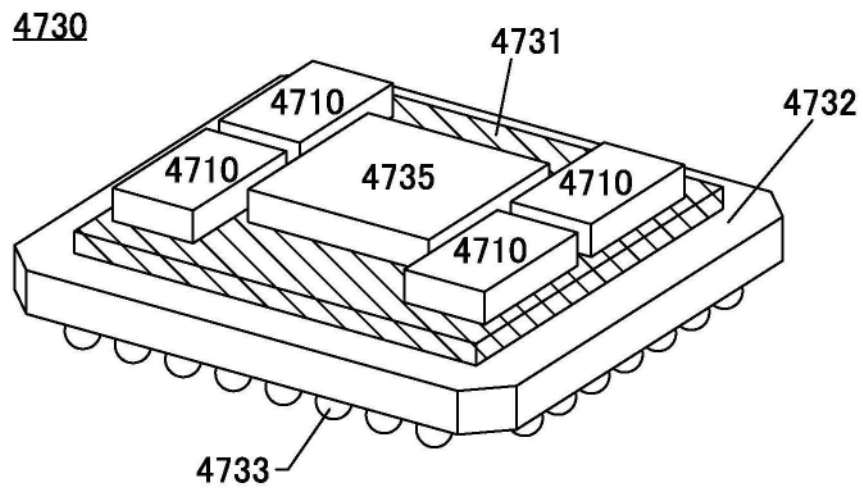


图41D

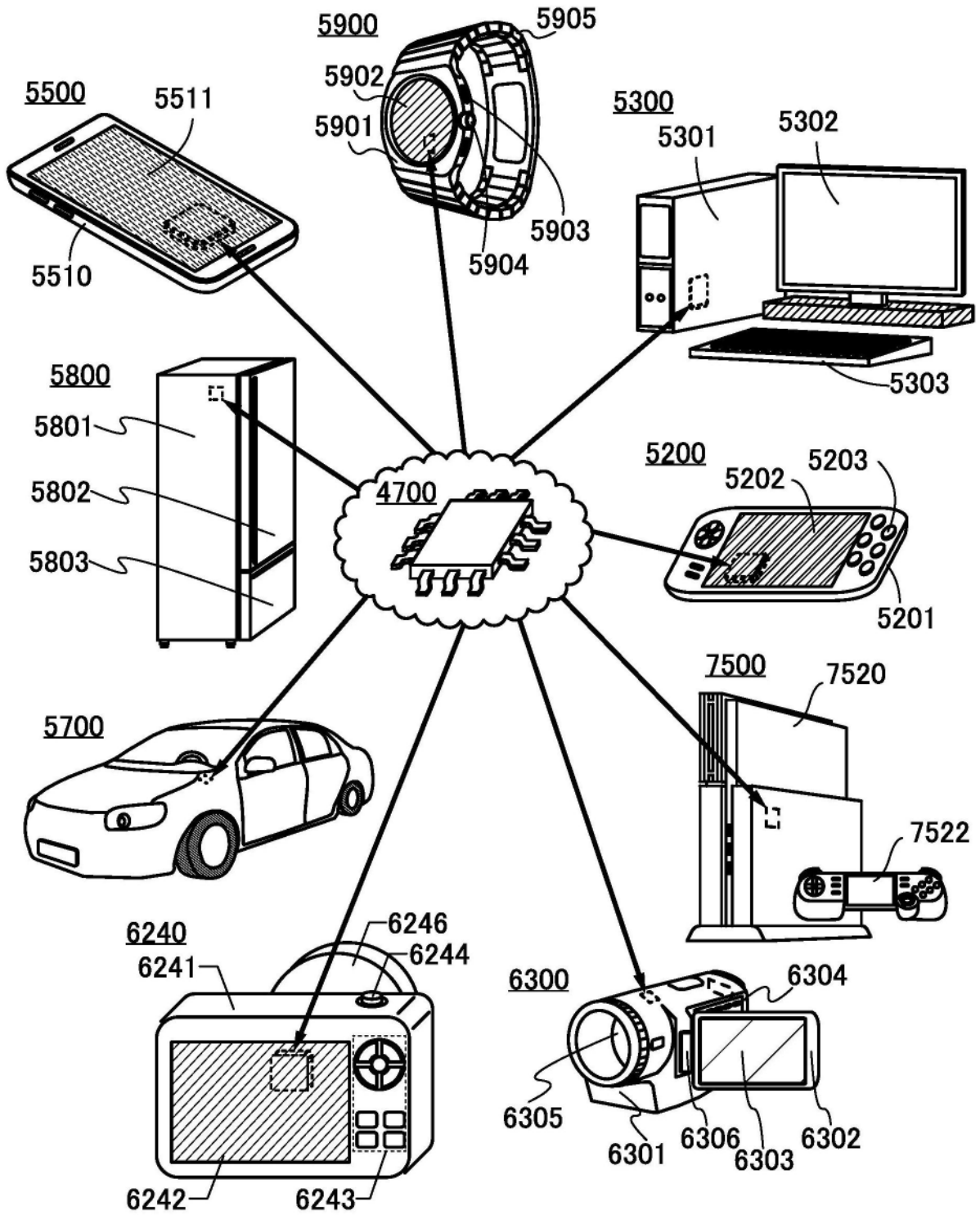


图42

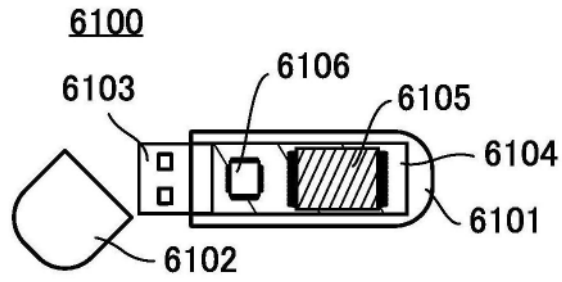


图43A

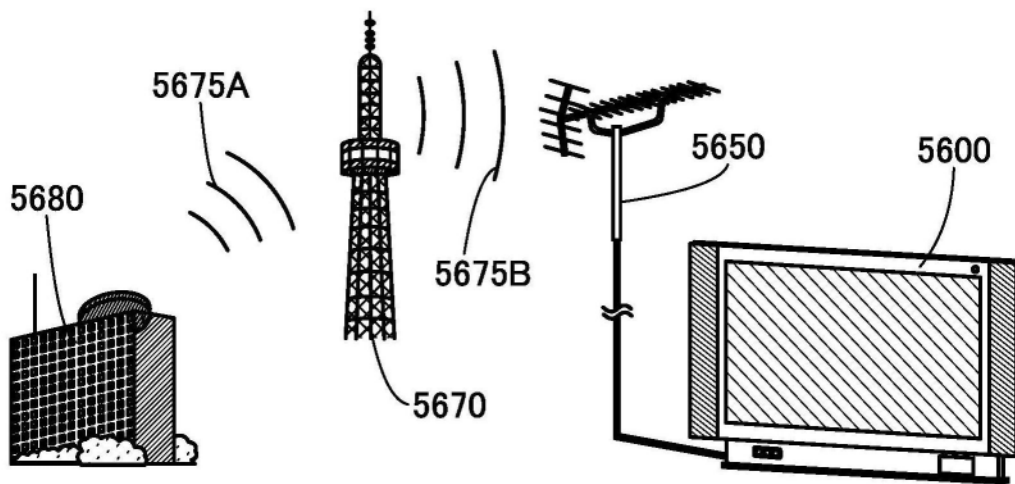


图43B

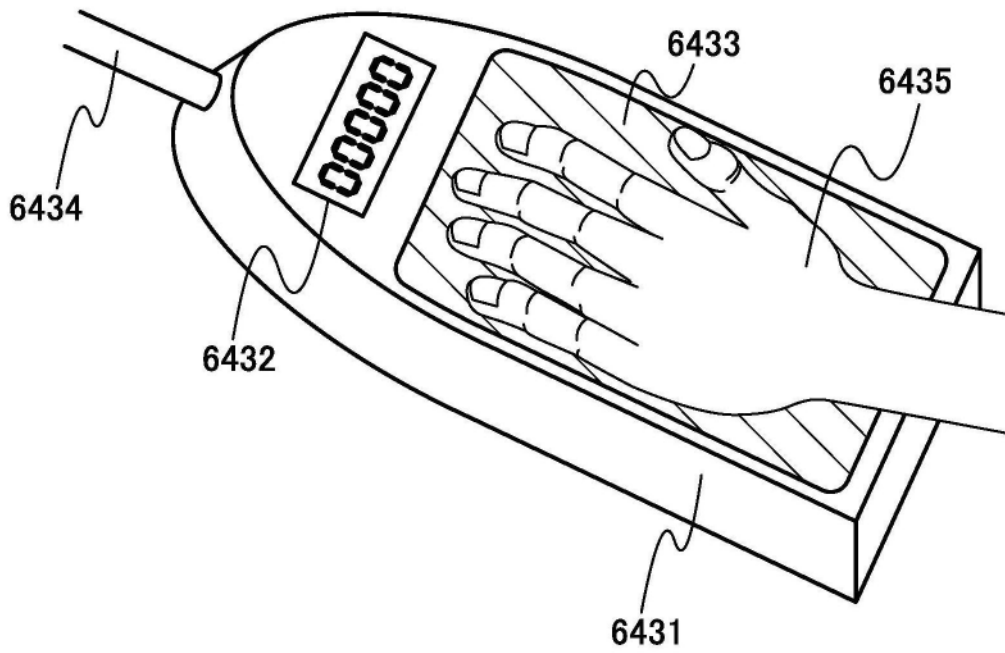


图43C