



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년09월17일
(11) 등록번호 10-0859060
(24) 등록일자 2008년09월10일

(51) Int. Cl.
H01L 29/778 (2006.01)
(21) 출원번호 10-2002-0009416
(22) 출원일자 2002년02월22일
심사청구일자 2007년01월15일
(65) 공개번호 10-2002-0070104
(43) 공개일자 2002년09월05일
(30) 우선권주장
JP-P-2001-00051576 2001년02월27일 일본(JP)
(56) 선행기술조사문헌
JP12252458 A

(73) 특허권자
마츠시타 덴끼 산교 가부시키가이샤
일본 오오사카후 가도마시 오오아자 가도마 1006
(72) 발명자
니시이가츠노리
일본국오오사카후히라카타시고리가오카5-4-1-102
이노우에가오루
일본국시가켄오츠시오기노사토히가시7-10-30
(뒷면에 계속)
(74) 대리인
김영철

전체 청구항 수 : 총 23 항

심사관 : 최광섭

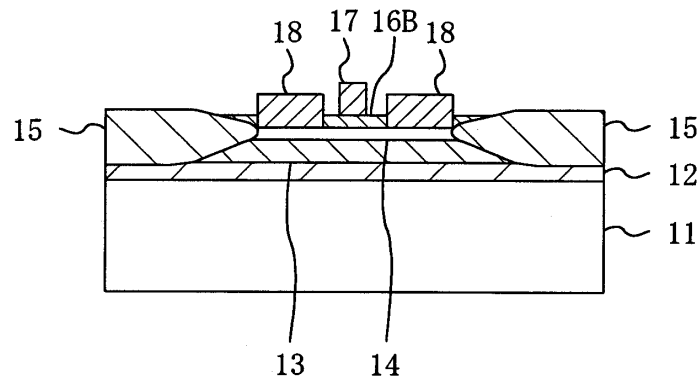
(54) 반도체장치 및 그 제조방법

(57) 요약

본 발명은 질화물반도체로 구성되며 게이트전극을 갖는 반도체장치의 전류구동능력을 높일 수 있게 하기 위한 것이다.

탄화규소로 이루어지는 기판(11) 상에는 버퍼층(12)과, 질화갈륨으로 이루어지며 그 상부에 2 차원 전자가스층이 형성되는 채널층(13)과, n형 질화알루미늄갈륨으로 이루어지며 채널층(13)에 캐리어를 공급하는 캐리어공급층(14)이 순차 형성된다. 소자분리막(15)으로 둘러싸인 소자형성영역에는, 캐리어공급층(14) 상에 성장시킨 질화갈륨으로 이루어지는 반도체층이 산화된 절연산화층(16B)이 선택적으로 형성되며, 절연산화층(16B) 상에는 게이트전극(17)이 형성된다.

대표도 - 도1



(72) 발명자

마츠노도시노부

일본국교토후교타나베시오스미히라다니8-38

이케다요시토

일본국오사카후이바라키시다마구시1-1-23-809

마사토히로유키

일본국오사카후오사카시조토쿠후루이치3-8-14-704

특허청구의 범위

청구항 1

기관과,

상기 기관상에 형성된 제 1 질화물반도체 층과,

상기 제 1 질화물반도체 층상에 형성되며, 상기 제 1 질화물반도체 층보다도 산화속도가 큰 제 2 질화물반도체 층이 산화되어 이루어지는 절연 산화 층과,

상기 절연 산화 층상에 형성된 게이트 전극을 구비하는 것을 특징으로 하는 반도체장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

제 1 항에 있어서,

상기 제 1 질화물반도체층은 알루미늄을 함유하는 것을 특징으로 하는 반도체장치.

청구항 5

삭제

청구항 6

제 1 항 또는 제 4 항에 있어서,

상기 제 1 질화물반도체층과 상기 절연산화층 사이에 형성되며, 산화속도가 상기 제 2 질화물반도체층보다 작은 제 4 질화물반도체로 이루어지는 산화방지층을 추가로 구비하는 것을 특징으로 하는 반도체장치.

청구항 7

제 6 항에 있어서,

상기 산화방지층은 질화알루미늄으로 이루어지는 것을 특징으로 하는 반도체장치.

청구항 8

제 1 항에 있어서,

상기 절연산화층과 상기 게이트전극 사이에 형성된 절연막을 추가로 구비하는 것을 특징으로 하는 반도체장치.

청구항 9

제 8 항에 있어서,

상기 절연막은 실리콘산화막 또는 실리콘질화막으로 이루어지는 것을 특징으로 하는 반도체장치.

청구항 10

제 1 항에 있어서,

상기 제 1 질화물반도체층 상의 게이트 길이방향 쪽 영역에 형성된 소스전극 및 드레인전극을 추가로 구비하며,

상기 절연산화층은, 상기 게이트전극과 상기 소스전극 및 드레인전극 사이의 적어도 한쪽에, 그 두께가 상기 게이트전극의 아래쪽 부분 두께보다 큰 후막부를 구비하는 것을 특징으로 하는 반도체장치.

청구항 11

기관 상에 제 1 질화물반도체층을 형성하는 제 1 공정과,

상기 제 1 질화물반도체 층 상에 상기 제 1 질화물반도체 층보다도 산화속도가 큰 제 2 질화물반도체 층을 형성한 후, 형성한 제 2 질화물반도체 층을 산화시킴으로써, 상기 제 2 질화물반도체 층으로 이루어지는 절연 산화층을 형성하는 제 2 공정을 구비하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

제 11 항에 있어서,

상기 제 1 공정과 제 2 공정 사이에,

상기 제 1 질화물반도체층 상에 산화속도가 상기 제 2 질화물반도체층보다 작은 제 4 질화물반도체층으로 된 산화방지층을 형성하는 공정을 추가로 구비하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 16

제 15 항에 있어서,

상기 산화방지층은 알루미늄을 함유하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 17

제 11 항에 있어서,

상기 제 2 공정과 상기 제 3 공정 사이에,

상기 절연산화층 상에 절연막을 형성하는 공정을 추가로 구비하며,

상기 제 4 공정은 상기 절연막의 상기 소스전극 및 드레인전극을 형성할 영역에 대해서도 개구부를 형성하는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 18

제 17 항에 있어서,

상기 절연막은 실리콘산화막 또는 실리콘질화막으로 이루어지는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 19

제 11 항에 있어서,

상기 제 2 공정은,

상기 제 2 질화물반도체층의 적어도 상기 게이트전극을 형성할 영역에 상기 절연산화층을 형성하는 공정과,

상기 게이트전극을 형성할 영역과 상기 소스전극 및 드레인전극 중 드레인전극을 형성할 영역 사이의 영역을 선택적으로 산화시킴으로써, 상기 절연산화층에 그 두께가 상기 절연산화층보다 큰 후막부를 형성하는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 20

제 11 항, 제 15 항 내지 제 19 항 중 어느 한 항에 있어서,
상기 제 1 질화물반도체층은 알루미늄을 함유하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 21

기관 상에 제 1 질화물반도체층을 형성하는 제 1 공정과,
상기 제 1 질화물반도체층 상에 상기 제 1 질화물반도체 층보다도 산화속도가 큰 제 2 질화물반도체층을 형성하는 제 2 공정과,
상기 제 2 질화물반도체층 상의 옴 전극 형성영역에 산화보호막을 형성하는 제 3 공정과,
상기 산화보호막을 마스크로 하여 상기 제 2 질화물반도체층을 산화시킴으로써, 상기 제 2 질화물반도체층의 상기 옴 전극 형성영역을 제외한 영역에 절연산화층을 형성하는 제 4 공정과,
상기 산화보호막을 제거한 후, 상기 제 2 질화물반도체층의 상기 옴 전극 형성영역 상에 옴 전극을 형성하는 제 5 공정과,
상기 절연산화층 상에 게이트전극을 선택적으로 형성하는 제 6 공정을 구비하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 22

제 21 항에 있어서,
상기 산화보호막은 실리콘으로 이루어지는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 23

제 21 항에 있어서,
상기 산화보호막은 절연막인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 24

제 21 항에 있어서,
상기 제 2 공정과 상기 제 3 공정 사이에,
상기 제 2 질화물반도체층 상에, 이 제 2 질화물반도체층의 소자형성영역을 피복하는 보호막을 형성하는 공정과,
형성된 보호막을 마스크로 하여 상기 제 1 질화물반도체층 및 제 2 질화물반도체층을 산화시킴으로써, 상기 소자형성영역 주변부에 소자분리막을 형성하는 공정을 추가로 구비하며,
상기 제 3 공정은 상기 산화보호막을 상기 보호막으로써 형성하는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 25

삭제

청구항 26

제 21 항 내지 제 24 항 중 어느 한 항에 있어서,
상기 제 1 공정과 상기 제 2 공정 사이에,
상기 제 1 질화물반도체층 상에 산화속도가 상기 제 2 질화물반도체층보다 작은 제 4 질화물반도체로 된 산화방지층을 형성하는 공정을 추가로 구비하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 27

제 26 항에 있어서,

상기 산화방지층은 알루미늄을 함유하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 28

제 21 항 내지 제 24 항 중 어느 한 항에 있어서,

상기 제 1 질화물반도체층은 알루미늄을 함유하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 29

제 11 항에 있어서,

상기 절연 산화 층상에 게이트 전극을 형성하는 제 3 공정과,

상기 절연 산화 층에서의 게이트 길이방향 쪽 영역에 대하여 선택적으로 에칭을 하여 상기 절연 산화 층에 개구부를 형성하고, 형성한 개구부에 소스전극 및 드레인전극을 형성하는 제 4 공정을 더 구비하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 30

제 1 항에 있어서,

상기 제 1 질화물반도체 층의 하측에 형성되며, 산화속도가 상기 제 2 질화물반도체 층보다도 큰 제 3 질화물반도체 층을 더 구비하는 것을 특징으로 하는 반도체장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <31> 본 발명은 능동층에 질화물반도체를 이용한 절연게이트를 갖는 반도체장치 및 그 제조방법에 관한 것이다.
- <32> 도 19는 III-V족 질화물반도체로 된 종래의 쇼트키 게이트형 전계효과 트랜지스터(FET)의 단면구성을 나타낸다.
- <33> 도 19에 나타난 바와 같이 사파이어로 된 기판(101) 상에는, 질화갈륨(GaN)으로 된 채널층(102)과 n형 질화알루미늄갈륨(AlGaN)으로 된 캐리어공급층(103)이 순차 형성된다. 채널층(102) 상부에서 캐리어공급층(103)과의 헤테로계면 근방에는 포텐셜 웰로 이루어지고 전자이동도가 매우 큰 2 차원 전자가스층이 형성되며, 이로써 이 FET는 고 전자이동도 트랜지스터(HEMT)로도 불린다.

발명이 이루고자 하는 기술적 과제

- <34> 그러나 상기 종래의 쇼트키 게이트형 FET는 게이트전극의 내압이 쇼트키 특성으로 결정되기 때문에, 게이트전극의 역 내압도 제한된다. 더구나 게이트전극에 대한 순방향 인가전압도 고작 2V 정도로 제한되기 때문에, 높은 전류구동능력을 갖는 고 출력 반도체장치(파워디바이스)를 얻을 수 없다는 문제가 있다.
- <35> 본 발명은 상기 종래의 문제를 해결하여, 게이트전극을 갖는 질화물반도체로 된 반도체장치의 전류구동능력을 높일 수 있도록 하는 것을 목적으로 한다.

발명의 구성 및 작용

- <36> 상기 목적을 달성하기 위하여, 본 발명은 질화물반도체로 된 반도체장치의 게이트전극을 절연게이트로 함과 동시에, 게이트절연막을, 퇴적된 질화물반도체 자체를 산화시킴으로써 형성하는 구성으로 한다.
- <37> 구체적으로 본 발명에 관한 반도체장치는, 기판과, 상기 기판상에 형성된 제 1 질화물반도체 층과, 상기 제 1 질화물반도체 층상에 형성되며, 상기 제 1 질화물반도체 층보다도 산화속도가 큰 제 2 질화물반도체 층이 산화

되어 이루어지는 절연 산화 층과, 상기 절연 산화 층상에 형성된 게이트 전극을 구비한다.

<38> 본 발명의 반도체장치에 의하면, 제 1 질화물반도체층 상에 형성된 절연산화층은, 이 제 1 질화물반도체층 상의 제 2 질화물반도체층 자체가 산화되어 형성되기 때문에, 절연산화층의 막질은 양호하며 또 이 절연산화층과 그 아래쪽의 제 1 질화물반도체층과 접하는 계면도 매우 청정하다. 그 결과 절연산화층 상에 형성된 게이트전극에 리크전류가 거의 발생하지 않으며, 더욱이 전류전압 특성이 쇼트키 특성에 의해 규제받지 않게 되므로, 고 내압이며 고 전류구동능력을 얻을 수 있다.

<39> 삭제

<40> 삭제

<41> 본 발명의 반도체장치에 있어서, 제 1 질화물반도체층이 알루미늄(Al)을 함유하는 것이 바람직하다. 이와 같이 전형적인 질화물반도체 재료인 질화갈륨(GaN)에 알루미늄을 첨가한 질화알루미늄갈륨(AlGaN)은 그 산화속도가 질화갈륨보다 작으므로, 절연산화층 형성 시 쉬이 산화되지 않음과 더불어, 에너지갭이 질화갈륨보다 크므로 전위장벽층이 된다.

<42> 삭제

<43> 본 발명의 반도체장치는, 제 1 질화물반도체층과 절연산화층 사이에 형성되며, 산화속도가 제 2 질화물반도체층보다 작은 제 4 질화물반도체로 이루어지는 산화방지층을 추가로 구비하는 것이 바람직하다. 이와 같이 하면 제 2 질화물반도체층을 산화시켜 절연산화층을 형성할 때, 제 4 질화물반도체층에 의하여 산화가 실질적으로 방지되므로, 게이트절연막이 될 절연산화층 막 두께의 제어가 용이해진다.

<44> 이 경우 산화방지층이 질화알루미늄으로 이루어지는 것이 바람직하다.

<45> 본 발명의 반도체장치는, 절연산화층과 게이트전극 사이에 형성된 절연막을 추가로 구비하는 것이 바람직하다. 이와 같이 하면 게이트전극에 발생하는 리크전류를 확실하게 억제할 수 있기 때문에 게이트전극으로의 높은 전압인가가 가능해지므로, 반도체장치의 전류구동능력을 한층 높일 수 있다.

<46> 이 경우, 절연막이 실리콘산화막 또는 실리콘질화막으로 이루어지는 것이 바람직하다. 이와 같이 하면 절연막의 막질이 매우 치밀해지므로 높은 절연성을 얻을 수 있다.

<47> 또 본 발명의 반도체장치는, 제 1 질화물반도체층 상의 게이트 길이방향 쪽 영역에 형성된 소스전극 및 드레인 전극을 추가로 구비하며, 절연산화층에서 게이트전극과 소스전극 및 드레인전극 사이의 적어도 한쪽에, 그 두께가 게이트전극의 아래쪽 부분 두께보다 큰 후막부를 구비하는 것이 바람직하다. 이와 같이 하면, 후막부와 인접하는 소스전극 및 드레인전극을 드레인전극으로 하면 이 드레인전극의 드레인 내압이 높아지며, 더욱이 드레인 리크전류가 작아지기 때문에 반도체장치의 동작전압을 높일 수 있으므로, 고 출력화를 용이하게 도모할 수 있다.

<48> 본 발명에 관한 제 1 반도체장치의 제조방법은, 기판 상에 제 1 질화물반도체층을 형성하는 제 1 공정과, 상기 제 1 질화물반도체 층 상에 상기 제 1 질화물반도체 층보다도 산화속도가 큰 제 2 질화물반도체 층을 형성한 후, 형성한 제 2 질화물반도체 층을 산화시킴으로써, 상기 제 2 질화물반도체 층으로 이루어지는 절연 산화 층을 형성하는 제 2 공정을 구비한다.

<49> 제 1 반도체장치의 제조방법에 의하면, 제 1 질화물반도체층 상에 제 2 질화물반도체층을 형성하고, 이 제 2 질화물반도체층을 산화시킴으로써, 제 2 질화물반도체층으로 이루어지는 절연산화층을 형성하며, 형성한 절연산화층 상에 게이트전극을 형성하므로, 본 발명에 관한 반도체장치를 확실하게 얻을 수 있다.

<50> 삭제

<51> 삭제

- <52> 삭제
- <53> 제 1 반도체장치의 제조방법은, 제 1 공정과 제 2 공정 사이에, 제 1 질화물반도체층 상에 산화속도가 제 2 질화물반도체층보다 작은 제 4 질화물반도체층으로 된 산화방지층을 형성하는 공정을 추가로 구비하는 것이 바람직하다. 이와 같이 게이트절연막인 절연산화층으로 될 제 2 질화물반도체층과 그 아래쪽에 형성되는 제 1 질화물반도체층 사이에, 제 2 질화물반도체층에 비해 그 산화속도가 작은 제 4 질화물반도체로 된 산화방지층을 형성하기 때문에, 이 산화방지층은 제 2 질화물반도체층보다 산화되기 어려우며 제 2 질화물반도체층만을 산화하기가 용이해지므로, 트랜지스터의 동작특성에 커다란 영향을 미치는 게이트절연막이 될 절연산화층 막 두께의 제어가 용이해진다.
- <54> 이 경우, 산화방지층이 알루미늄을 함유하는 것이 바람직하다.
- <55> 또 제 1 반도체장치의 제조방법은, 제 2 공정과 제 3 공정 사이에, 절연산화층 상에 절연막을 형성하는 공정을 추가로 구비하며, 제 4 공정이 절연막의 소스전극 및 드레인전극을 형성할 영역에 대해서도 개구부를 형성하는 공정을 포함하는 것이 바람직하다.
- <56> 이 경우, 절연막이 실리콘산화막 또는 실리콘질화막으로 이루어지는 것이 바람직하다.
- <57> 또 제 1 반도체장치의 제조방법에 있어서 제 2 공정이, 제 2 질화물반도체층의 적어도 상기 게이트전극을 형성할 영역에 절연산화층을 형성하는 공정과, 게이트전극을 형성할 영역과 소스전극 및 드레인전극 중 드레인전극을 형성할 영역 사이의 영역을 선택적으로 산화시킴으로써, 절연산화층에 그 두께가 절연산화층보다 큰 후막부를 형성하는 공정을 포함하는 것이 바람직하다.
- <58> 본 발명에 관한 제 2 반도체장치의 제조방법은, 기판 상에 제 1 질화물반도체층을 형성하는 제 1 공정과, 제 1 질화물반도체층 상에 상기 제 1 질화물반도체층보다도 산화속도가 큰 제 2 질화물반도체층을 형성하는 제 2 공정과, 제 2 질화물반도체층 상의 움 전극 형성영역에 산화보호막을 형성하는 제 3 공정과, 산화보호막을 마스크로 하여 제 2 질화물반도체층을 산화시킴으로써, 제 2 질화물반도체층의 움 전극 형성영역을 제외한 영역에 절연산화층을 형성하는 제 4 공정과, 산화보호막을 제거한 후 제 2 질화물반도체층의 움 전극 형성영역 상에 움 전극을 형성하는 제 5 공정과, 절연산화층 상에 게이트전극을 선택적으로 형성하는 제 6 공정을 구비한다.
- <59> 제 2 반도체장치의 제조방법에 의하면, 제 2 질화물반도체층의 움 전극 형성영역을 제외한 영역에 절연산화층을 형성해두고, 그 후 제 2 질화물반도체층의 움 전극 형성영역 상에 움 전극을 형성한다. 때문에 제 2 질화물반도체층의 움 전극 형성영역은 산화되지 않으며, 그 결과 움 전극은 제 2 질화물반도체층을 제거할 필요 없이 형성할 수 있다. 따라서 제 2 질화물반도체층을 가공할 필요가 없어진다.
- <60> 제 2 반도체장치의 제조방법에 있어서, 산화보호막이 실리콘으로 이루어지는 것이 바람직하다. 또 제 2 반도체장치의 제조방법에 있어서, 산화보호막이 절연막인 것이 바람직하다.
- <61> 제 2 반도체장치의 제조방법은 제 2 공정과 제 3 공정 사이에, 제 2 질화물반도체층 상에, 이 제 2 질화물반도체층의 소자형성영역을 피복하는 보호막을 형성하는 공정과, 형성된 보호막을 마스크로 하여 제 1 질화물반도체층 및 제 2 질화물반도체층을 산화시킴으로써, 소자형성영역 주변부에 소자분리막을 형성하는 공정을 추가로 구비하며, 제 3 공정이, 보호막으로부터 산화보호막을 형성하는 공정을 포함하는 것이 바람직하다.
- <62> 삭제
- <63> 제 2 반도체장치의 제조방법은, 제 1 공정과 제 2 공정 사이에, 제 1 질화물반도체층 상에 산화속도가 제 2 질화물반도체층보다 작은 제 4 질화물반도체로 된 산화방지층을 형성하는 공정을 추가로 구비하는 것이 바람직하다.
- <64> 이 경우, 산화방지층이 알루미늄을 함유하는 것이 바람직하다.
- <65> 제 1 또는 제 2 반도체장치의 제조방법에 있어서, 제 1 질화물반도체층이 알루미늄을 함유하는 것이 바람직하다.
- <66> 상술한 목적 및 기타의 목적과 본 발명의 특징 및 이점은 첨부 도면과 관련한 다음의 상세한 설명을 통해 보다 분명해 질 것이다.

- <67> (실시예)
- <68> (제 1 실시예)
- <69> 본 발명의 제 1 실시예에 대하여 도면을 참조하면서 설명하기로 한다.
- <70> 도 1은 본 발명의 제 1 실시예에 관한 반도체장치로서, III-V족 질화물반도체로 이루어지는 절연게이트형 고 전자이동도 트랜지스터(HEMT)의 단면구성을 나타낸다.
- <71> 도 1에 나타내는 바와 같이, 예를 들어 SiC로 된 기판(11) 상에는, 기판(11)과 이 기판(11) 상에 성장하는 에피택셜층의 격자부정합을 완화시키는 질화알루미늄(AlN)으로 된 버퍼층(12)과, 질화갈륨으로 이루어지고 그 상부에 2 차원 전자가스층이 형성되는 능동층으로서의 채널층(13)과, n형 질화알루미늄갈륨(AlGaIn)으로 이루어지고 채널층(13)에 캐리어(전자)를 공급하는 캐리어공급층(14)이 순차 형성된다.
- <72> 버퍼층(12)에까지 달하는 절연체로 된 소자분리막(15)으로 둘러싸인 소자형성영역 상이며, 캐리어공급층(14) 상의 게이트전극 형성영역에는, 캐리어공급층(14) 상에 성장한 질화갈륨으로 된 반도체층 자체가 산화된 절연산화층(16B)이 선택적으로 형성된다.
- <73> 절연산화층(16B) 상에는 티탄(Ti), 백금(Pt) 및 금(Au)의 적층체로 된 게이트전극(17)이 형성된다. 또 캐리어공급층(14) 상에서 게이트전극(17)의 게이트 길이방향 쪽 영역에는 캐리어공급층(14)과 음 접촉하는 티탄 및 알루미늄으로 된 소스전극 및 드레인전극(18)이 형성된다.
- <74> 이와 같이 본 실시예에 관한 HEMT는, 게이트절연막으로서, 캐리어공급층(14) 상에 성장된 질화물반도체층이 산화되어 형성되는 절연산화층(16B)을 이용하기 때문에, 이 절연산화층(16B)과 캐리어공급층(14) 계면에는 오염 등에 의한 불순물이 전혀 존재하지 않으므로 양호한 계면이 형성된다. 더욱이 절연산화층(16B)은 질화물이 산화되어 형성되기 때문에, 그 막질은 매우 치밀하고 높은 절연성을 갖는다.
- <75> 도 2는 제 1 실시예에 관한 HEMT의 전류전압 특성을 나타낸다. 가로축은 소스드레인간 전압 값(V_{ds})을 나타내며, 세로축은 게이트 폭당 전류값을 나타낸다. 본 실시예에 관한 HEMT는 게이트절연막인 절연산화층(16B)의 절연특성이 우수하므로 드레인 내압은 200V 이상까지 달하며, 또 순방향으로 5V 이상의 게이트소스간 전압(V_{gs})을 인가해도 게이트전극(17)으로부터의 리크전류는 발생하지 않아, 양호한 전류전압 특성을 나타내는 것을 알 수 있다.
- <76> 이하 상기와 같이 구성된 절연게이트를 갖는 HEMT 제조방법에 대하여 도면을 참조하면서 설명한다.
- <77> 도 3의 (a)~(c) 및 도 4의 (a), (b)는 본 발명의 제 1 실시예에 관한 절연게이트형 HEMT 제조방법의 공정순 단면구성을 나타낸다.
- <78> 우선 도 3의 (a)에 나타낸 바와 같이 유기금속 화학적 기상퇴적(MOCVD)법에 의하여, 탄화규소로 된 기판(11) 상에 예를 들어 막 두께 100nm 정도의 질화알루미늄으로 된 버퍼층(12)과, 막 두께 3 μ m 정도의 질화갈륨으로 된 채널층(13)과, 막 두께 15nm 정도이고 실리콘을 도판트로 하는 n형 질화알루미늄갈륨으로 된 캐리어공급층(14)과, 막 두께 50nm~100nm 정도의 질화갈륨으로 된 절연막 형성층(16A)을 순차 성장시킴으로써, 질화물반도체로 구성되는 에피택셜 적층체를 형성한다.
- <79> 다음으로 도 3의 (b)에 나타내는 바와 같이 리소그래피 및 에칭으로 소자형성영역을 마스크하는, 실리콘으로 된 보호막(도시 생략)을 형성하고, 이어서 기판(11)에 대해 산화분위기로 1~2 시간 정도의 열산화처리를 실시하여, 에피택셜 적층체에 소자분리막(15)을 선택적으로 형성한다.
- <80> 다음에 도 3의 (c)에 나타내는 바와 같이 보호막을 제거한 후, 절연막형성층(16A)에 대하여 산화분위기로 수 분간 열산화처리를 실시함으로써, 절연막형성층(16A)으로부터 절연산화층(16B)을 형성한다.
- <81> 다음, 도 4의 (a)에 나타낸 바와 같이 예를 들어 스퍼터링법으로, 막 두께를 합해 약 50nm의 티탄 및 백금과 막 두께 약 200nm의 금을 적층시켜 게이트전극 형성막을 형성한다. 이어서 리소그래피 및 드라이에칭으로 게이트전극 형성막에 대하여 선택적으로 패터닝을 실시하여 게이트전극 형성막으로부터 게이트전극(17)을 형성한다. 그 후 절연산화층(16B)의 게이트 길이방향 쪽 영역에 대하여 선택적으로 에칭을 실시하여 절연산화층(16B)에 개구부(16a)를 형성함으로써, 이 개구부(16a)로부터 캐리어공급층(14)을 노출시킨다.
- <82> 다음으로 도 4의 (b)에 나타낸 바와 같이 캐리어공급층(14)의 개구부(16a)로부터의 노출부분에, 예를 들어 스퍼터링법으로 막 두께 약 20nm의 티탄과 막 두께 약 200nm의 알루미늄을 적층시킨다. 이어서 리소그래피 및 드라

이에칭으로, 퇴적된 금속막에 대하여 소정의 패터닝을 실시한 다음 열처리를 하여, 금속막으로부터 캐리어공급층(14)과 옴 접촉하는 소스전극 및 드레인전극(18)을 형성한다.

<83> 이와 같이 제 1 실시예에 관한 HEMT의 제조방법은, 에피택셜적층체 상면에 질화갈륨으로 된 절연막형성층(16A)을 성장시켜두고, 성장된 절연막형성층(16A)을 열산화시킴으로써 게이트절연막이 될 절연산화층(16B)을 형성한다.

<84> 제 1 실시예에서는, 절연산화층(16B)의 막두께를 절연막형성층(16A)에 대한 가열시간에 따라 조절한다. 질화갈륨(GaN)으로 된 절연막형성층(16A)과 질화알루미늄갈륨(AlGaN)으로 된 캐리어공급층(14)의 산화속도를 비교하면, 알루미늄 조성이 0.3의 경우에 질화갈륨 산화속도가 질화알루미늄갈륨의 산화속도에 비해 2 배 정도 크며, 이로써 절연산화층(16B) 아래쪽에 위치하는 캐리어공급층(14)의 산화를 억제할 수 있다.

<85> **(제 2 실시예)**

<86> 이하 본 발명의 제 2 실시예에 대하여 도면을 참조하면서 설명하기로 한다.

<87> 도 5는 본 발명의 제 2 실시예에 관한 반도체장치로서, III-V족 질화물반도체로 이루어지는 절연게이트형 HEMT의 단면구성을 나타낸다. 도 5에 있어서, 도 1에 나타난 구성부재와 동일한 구성부재에는 동일부호를 부여한다.

<88> 도 5에 나타난 바와 같이 예를 들어 탄화규소로 된 기판(11) 상에는, 질화알루미늄으로 된 버퍼층(12)과, 질화갈륨으로 된 채널층(13)과, n형 질화알루미늄갈륨으로 되고 채널층(13)에 캐리어(전자)를 공급하는 캐리어공급층(14)과, 질화알루미늄으로 된 산화방지층(20)이 순차 형성된다.

<89> 절연체로 된 소자분리막(15)으로 둘러싸인 소자형성영역 상이며, 산화방지층(20) 상의 게이트전극 형성영역에는, 산화방지층(20) 상에 성장된 질화갈륨으로 된 반도체층 자체가 산화된 절연산화층(16B)이 선택적으로 형성된다.

<90> 절연산화층(16B) 상에는 티탄, 백금 및 금의 적층체로 된 게이트전극(17)이 형성된다. 또 산화방지층(20) 상의 게이트 길이방향 쪽 영역에는, 산화방지층(20)과 옴 접촉하는 티탄 및 알루미늄으로 된 소스전극 및 드레인전극(18)이 형성된다.

<91> 이와 같이 제 2 실시예에 관한 HEMT는, 게이트절연막이 될 절연산화층(16B)과 캐리어공급층(14) 사이에 질화알루미늄으로 된 산화방지층(20)이 형성되는 것을 특징으로 한다. 이로써 제 1 실시예와 마찬가지로, 절연산화층(16B)과 산화방지층(20) 계면에는 오염 등에 의한 불순물이 전혀 존재하지 않으므로 양호한 계면이 형성된다. 더욱이 절연산화층(16B)은 질화물이 산화되어 형성되므로 그 막질이 매우 치밀하여 우수한 절연성을 갖는다.

<92> 여기서 산화방지층(20)은 절연산화층(16B)에서의 산화처리 시 산화 스토퍼층으로 기능한다.

<93> 도 6은 제 2 실시예에 관한 HEMT의 전류전압 특성을 나타낸다. 가로축은 소스드레인간 전압 값(V_{ds})을 나타내며, 세로축은 게이트 폭당 전류값을 나타낸다. 본 실시예에 관한 HEMT는 게이트절연막인 절연산화층(16B)의 절연특성이 우수하므로 드레인 내압은 200V 이상까지 달하며, 또 순방향으로 5V 이상의 게이트소스간 전압(V_{gs})을 인가해도 게이트전극(17)으로부터의 리크전류는 발생하지 않아, 양호한 전류전압 특성을 나타낸다.

<94> 이하 상기와 같이 구성된 절연게이트를 갖는 HEMT 제조방법에 대하여 도면을 참조하면서 설명한다.

<95> 도 7의 (a)~(c) 및 도 8의 (a), (b)는 본 발명의 제 2 실시예에 관한 절연게이트형 HEMT 제조방법의 공정순 단면구성을 나타낸다.

<96> 우선 도 7의 (a)에 나타난 바와 같이 MOCVD법에 의하여, 탄화규소로 된 기판(11) 상에 예를 들어 막 두께 100nm 정도의 질화알루미늄으로 된 버퍼층(12)과, 막 두께 3 μ m 정도의 질화갈륨으로 된 채널층(13)과, 막 두께 15nm 정도이고 실리콘을 도펀트로 하는 n형 질화알루미늄갈륨으로 된 캐리어공급층(14)과, 막 두께 20nm~50nm 정도의 질화알루미늄으로 된 산화방지층(20)과, 막 두께 50nm~100nm 정도의 질화갈륨으로 된 절연막 형성층(16A)을 순차 성장시킴으로써, 질화물반도체로 구성되는 에피택셜 적층체를 형성한다.

<97> 다음으로 도 7의 (b)에 나타내는 바와 같이 리소그래피 및 에칭으로 소자형성영역을 마스크하는, 실리콘으로 된 보호막(도시 생략)을 형성하고, 이어서 기판(11)에 대해 산화분위기로 1~2 시간 정도의 열산화처리를 실시하여, 에피택셜 적층체에 소자분리막(15)을 선택적으로 형성한다.

<98> 다음에 도 7의 (c)에 나타내는 바와 같이 보호막을 제거한 후, 절연막형성층(16A)에 대하여 산화분위기로 수 분

간 열산화처리를 실시함으로써, 절연막형성층(16A)으로부터 절연산화층(16B)을 형성한다.

- <99> 제 2 실시예에 있어서도, 절연산화층(16B)의 막 두께를 절연막형성층(16A)에 대한 가열시간에 따라 조절하지만, 산화방지층(20)을 구성하는 질화알루미늄의 산화속도는 질화갈륨의 산화속도에 비해 1/50로 매우 작으므로, 절연막형성층(16A)에 대한 산화처리는 산화방지층(20)에서 정지됐다고 간주할 수 있다. 따라서 절연막형성층(16A)을 모두 산화시켰다 하더라도 캐리어공급층(14)에까지 산화가 미치는 일이 없어져, 절연산화층(16B)의 막 두께는 실질적으로 절연막형성층(16A)의 막 두께로 조절할 수 있게 된다. 그 결과 절연게이트를 갖는 소자의 동작특성에 큰 영향을 주는 절연산화층(16B)의 막 두께 제어성을 대폭 향상시킬 수 있다.
- <100> 다음에 도 8의 (a)에 나타내는 바와 같이 예를 들어 스퍼터링법으로, 막 두께 약 50nm의 티탄 및 백금과 막 두께 약 200nm의 금을 적층시켜 게이트전극 형성막을 형성한다. 이어서 리소그래피 및 드라이에칭으로 게이트전극 형성막에 대하여 선택적으로 패터닝을 실시하여 게이트전극 형성막으로부터 게이트전극(17)을 형성한다. 그 후 절연산화층(16B)의 게이트 길이방향 쪽 영역에 대하여 선택적으로 에칭을 실시하여 절연산화층(16B)에 개구부(16a)를 형성함으로써, 이 개구부(16a)로부터 산화방지층(20)을 노출시킨다.
- <101> 다음으로 도 8의 (b)에 나타낸 바와 같이 산화방지층(20)의 개구부(16a)로부터의 노출부분에, 예를 들어 스퍼터링법으로 막 두께 약 20nm의 티탄과 막 두께 약 200nm의 알루미늄을 적층시킨다. 이어서 리소그래피 및 드라이에칭으로, 퇴적된 금속막에 대하여 소정의 패터닝을 실시한 다음 열처리를 하여, 금속막으로부터 산화방지층(20)과 움 접촉하는 소스전극 및 드레인전극(18)을 형성한다.
- <102> 또 산화방지층(20)은 질화알루미늄에 한정되지 않으며, III-V족 원소로서 갈륨 또는 인듐을 함유해도 된다. 단 산화속도를 작게하기 위해서는, 산화방지층(20)의 알루미늄 조성을 상대적으로 크게 하는 것이 바람직하다.
- <103> **(제 3 실시예)**
- <104> 이하 본 발명의 제 3 실시예에 대하여 도면을 참조하면서 설명하기로 한다.
- <105> 도 9는 본 발명의 제 3 실시예에 관한 반도체장치로서, III-V족 질화물반도체로 이루어지는 절연게이트형 HEMT의 단면구조를 나타낸다. 도 9에 있어서, 도 1에 나타낸 구성부재와 동일한 구성부재에는 동일부호를 부여한다.
- <106> 도 9에 나타낸 바와 같이 예를 들어 탄화규소로 된 기판(11) 상에는, 기판(11)과 이 기판(11) 상에 성장된 에피택셜층과의 격자부정합을 완화시키는 질화알루미늄으로 된 버퍼층(12)과, 질화갈륨으로 이루어지며 그 상부에 2차원 전자가스층이 형성되는 능동층으로서의 채널층(13)과, n형 질화알루미늄갈륨으로 이루어지며 채널층(13)에 캐리어(전자)를 공급하는 캐리어공급층(14)과, 질화알루미늄으로 된 산화방지층(20)이 순차 형성된다.
- <107> 버퍼층(12)에까지 달하는 절연체로 된 소자분리막(15)으로 둘러싸인 소자형성영역 상이며, 산화방지층(20) 상의 게이트전극 형성영역에는, 산화방지층(20) 상에 성장된 질화갈륨으로 이루어지는 반도체층 자체가 산화된 절연산화층(16B)이 선택적으로 형성되며, 또 절연산화층(16B) 상에는 산화실리콘(SiO₂)으로 된 상부 게이트절연막(21)이 형성된다. 이로써 제 3 실시예에서, 게이트절연막(26)은 절연산화층(16B)으로 된 하부 게이트절연막과 상부 게이트절연막(21)으로 구성된다.
- <108> 게이트절연막(26) 상에는 티탄, 백금 및 금의 적층체로 된 게이트전극(17)이 형성된다. 또 산화방지층(20) 상의 게이트 길이방향 쪽 영역에는, 산화방지층(20)과 움 접촉하는 티탄 및 알루미늄으로 된 소스전극 및 드레인전극(18)이 형성된다.
- <109> 이와 같이 제 3 실시예에 관한 HEMT는, 하부 게이트절연막으로서 캐리어공급층(14) 상에 성장된 질화물반도체층이 산화되어 이루어지는 절연산화층(16B)을 이용하기 때문에, 절연산화층(16B)과 캐리어공급층(14) 계면에는 오염 등에 의한 불순물이 전혀 존재하지 않으므로 양호한 계면이 형성된다. 더욱이 절연산화층(16B)은 질화물이 산화되어 형성되므로 그 막질이 매우 치밀하여 우수한 절연성을 갖는다.
- <110> 또한 제 3 실시예에 있어서는, 게이트전극(17)과 절연산화층(16B) 사이에 산화실리콘으로 된 상부 게이트절연막(21)을 형성하므로, 게이트전극(17)에 의한 리크전류는 거의 발생하는 일이 없다. 그 결과 게이트전극(17)에 대해 비교적 높은 전압인가가 가능해지므로, HEMT 전류구동능력을 더 한층 높일 수 있다.
- <111> 도 10은 제 3 실시예에 관한 HEMT의 전류전압 특성을 나타낸다. 가로축은 소스드레인간 전압 V_{ds} 을 나타내며, 세로축은 게이트 폭당 전류값을 나타낸다. 본 실시예에 관한 HEMT는 게이트절연막(26)이 절연산화층(16B)과 상부 게이트절연막(21)으로 구성되어 그 절연특성이 매우 우수하므로, 드레인 내압은 200V 이상까지 달한다.

더욱이 순방향으로 8V 이상의 게이트소스간 전압(Vgs)을 인가해도 게이트전극(17)으로부터의 리크전류는 발생하지 않아, 양호한 전류전압 특성을 나타내는 것을 알 수 있다.

- <112> 이하 상기와 같이 구성된 절연게이트를 갖는 HEMT 제조방법에 대하여 도면을 참조하면서 설명한다.
- <113> 도 11의 (a)~(c) 및 도 12의 (a), (b)는 본 발명의 제 3 실시예에 관한 절연게이트형 HEMT 제조방법의 공정순 단면구성을 나타낸다.
- <114> 우선 도 11의 (a)에 나타낸 바와 같이 MOCVD법에 의하여, 탄화규소로 된 기판(11) 상에 예를 들어 막 두께 100 nm 정도의 질화알루미늄으로 된 버퍼층(12)과, 막 두께 3 μ m 정도의 질화갈륨으로 된 채널층(13)과, 막 두께 15 nm 정도이고 실리콘을 도판트로 하는 n형 질화알루미늄갈륨으로 된 캐리어공급층(14)과, 막 두께 20nm~50nm 정도의 질화알루미늄으로 된 산화방지층(20)과, 막 두께 50nm~100nm 정도의 질화갈륨으로 된 절연막 형성층(16A)을 순차 성장시킴으로써, 질화물반도체로 구성되는 에피택셜 적층체를 형성한다.
- <115> 다음에 리소그래피 및 에칭으로 소자형성영역을 마스크하는, 실리콘으로 된 보호막(도시 생략)을 형성하고, 이어서 기판(11)에 대해 산화분위기로 1~2 시간 정도의 열산화처리를 실시하여, 에피택셜 적층체에 소자분리막(15)을 선택적으로 형성한다.
- <116> 다음에 도 11의 (b)에 나타내는 바와 같이 보호막을 제거한 후, 절연막형성층(16A)에 대하여 산화분위기로 수분간 열산화처리를 실시함으로써, 절연막형성층(16A)으로부터 절연산화층(16B)을 형성한다. 이어서 절연산화막(16B) 상에, 예를 들어 CVD법으로 막 두께 약 10nm의 산화실리콘으로 된 상부 게이트절연막(21)을 형성한다.
- <117> 여기서 제 3 실시예에 있어서도, 절연산화층(16B)의 막 두께를 절연막형성층(16A)에 대한 가열시간에 따라 조절하지만, 제 2 실시예와 마찬가지로 산화방지층(20)을 절연막형성층(16A) 아래쪽에 구성시킴으로써, 절연산화층(16B)의 막 두께는 실질적으로 절연막형성층(16A)의 막 두께로 조절할 수 있게 된다. 그 결과 절연게이트를 갖는 소자의 동작특성에 큰 영향을 주는 절연산화층(16B)의 막 두께 제어성을 대폭 향상시킬 수 있다.
- <118> 다음에 도 12의 (a)에 나타내는 바와 같이 예를 들어 스퍼터링법으로, 막 두께 약 50nm의 티탄 및 백금과 막 두께 약 200nm의 금을 적층시켜 게이트전극 형성막을 형성한다. 이어서 리소그래피 및 드라이에칭으로 게이트전극 형성막에 대하여 선택적으로 패터닝을 실시하여 게이트전극 형성막으로부터 게이트전극(17)을 형성한다. 이로써 게이트전극(17) 아래쪽에는 상부 게이트절연막(21)과 절연산화층(16B)으로 이루어진 하부 게이트절연막으로 구성되는 게이트절연막(26)이 형성된다. 그 후 상부 게이트절연막(21) 및 절연산화층(16B)의, 게이트 길이 방향 쪽 영역에 대하여 선택적으로 에칭을 실시하여 상부 게이트절연막(21) 및 절연산화층(16B)에 개구부(16a)를 형성함으로써, 이 개구부(16a)로부터 산화방지층(20)을 노출시킨다.
- <119> 다음으로 도 12의 (b)에 나타낸 바와 같이 산화방지층(20)의 개구부(16a)로부터의 노출부분에, 예를 들어 스퍼터링법으로 막 두께 약 20nm의 티탄과 막 두께 약 200nm의 알루미늄을 적층시킨다. 이어서 리소그래피 및 드라이에칭으로, 퇴적된 금속막에 대하여 소정의 패터닝을 실시한 다음 열처리를 하여, 금속막으로부터 캐리어공급층(14)과 옴 접촉하는 소스전극 및 드레인전극(18)을 형성한다.
- <120> 이와 같이 제 3 실시예에 관한 HEMT 제조방법은 게이트절연막(26)을, 질화갈륨으로 된 절연막형성층(16A)이 열산화되어 이루어지는 절연산화층(16B)과, 이 절연산화층(16B) 상에 형성된 상부 게이트절연막(21)으로 구성된다. 이로써 상술한 바와 같이 게이트전극(17)에 의한 리크전류를 방지할 수 있어 게이트전극(17)으로의 인가전압을 높일 수 있으므로, HEMT의 전류구동능력을 향상시킬 수 있다.
- <121> 여기서 제 3 실시예에서는 게이트절연막(26)의 상부 게이트절연막(21)에 산화실리콘을 사용하지만, 산화실리콘에 한정되는 것은 아니다. 즉 산화절연층(16B)과 밀착성이 좋으며 또 이 산화절연층(16B)보다 절연성이 높은 재료이면 되고, 예를 들어 질화실리콘(Si₃N₄)을 이용해도 된다.
- <122> **(제 4 실시예)**
- <123> 이하 본 발명의 제 4 실시예에 대하여 도면을 참조하면서 설명하기로 한다.
- <124> 도 13은 본 발명의 제 4 실시예에 관한 반도체장치로서, III-V족 질화물반도체로 이루어지는 절연게이트형 HEMT의 단면구성을 나타낸다. 도 13에 있어서, 도 1에 나타낸 구성부재와 동일한 구성부재에는 동일부호를 부여한다.
- <125> 도 13에 나타낸 바와 같이 예를 들어 탄화규소로 된 기판(11) 상에는, 기판(11)과 이 기판(11) 상에 성장하는 에피택셜층과의 격자부정합을 완화시키는 질화알루미늄으로 된 버퍼층(12)과, 질화갈륨으로 이루어지며 그 상부

에 2 차원 전자가스층이 형성되는 능동층으로서의 채널층(13)과, n형 질화알루미늄갈륨으로 되고 채널층(13)에 캐리어(전자)를 공급하는 캐리어공급층(14)이 순차 형성된다.

- <126> 버퍼층(12)에까지 달하는 절연체로 된 소자분리막(15)으로 둘러싸인 소자형성영역 상이며, 캐리어공급층(14) 상의 게이트전극 형성영역에는, 캐리어공급층(14) 상에 성장된 질화갈륨으로 된 절연막형성층(16A) 자체가 산화된 절연산화층(16B)이 선택적으로 형성된다.
- <127> 절연산화층(16B) 상에는 티탄, 백금 및 금의 적층체로 된 게이트전극(17)이 형성되며, 캐리어공급층(14) 상의 게이트전극(17) 길이방향 쪽 영역에는, 캐리어공급층(14)과 옴 접촉하는 티탄 및 알루미늄으로 된 소스전극(18s) 및 드레인전극(18d)이 각각 형성된다.
- <128> 제 4 실시예에서는 도 13에 나타내는 바와 같이, 게이트전극(17)과 드레인전극(18d) 사이의 영역에, 절연산화층(16B) 막 두께가 게이트전극(17) 아래쪽 부분보다 두꺼운 후막부(16c)를 갖는다.
- <129> 이와 같이 제 4 실시예에 관한 HEMT는, 게이트절연막으로서, 캐리어공급층(14) 상에 성장된 질화갈륨으로 된 절연막형성층(16A)이 산화되어 이루어지는 절연산화층(16B)을 이용하기 때문에, 이 절연산화층(16B)과 캐리어공급층(14)과 절연막형성층(16A) 계면에는 오염 등에 의한 불순물이 전혀 존재하지 않으므로 양호한 계면이 형성된다. 더욱이 절연산화층(16B)은 질화물이 산화되어 형성되므로 그 막질이 매우 치밀하여 높은 절연성을 갖는다.
- <130> 그리고 게이트전극(17)과 드레인전극(18d) 사이의 절연산화층(16B)에는 후막부(16c)가 형성되므로, HEMT의 드레인 내압이 높아지며 또 드레인 리크전류가 작아진다. 그 결과 HEMT 동작전압을 높일 수 있으므로 고 출력화가 용이해진다.
- <131> 도 14는 제 4 실시예에 관한 HEMT의 전류전압 특성을 나타낸다. 가로축은 소스드레인간 전압 값(V_{ds})을 나타내며, 세로축은 게이트 폭당 전류값을 나타낸다. 본 실시예에 관한 HEMT는 게이트절연막인 절연산화층(16B)의 절연특성이 우수한 점과 게이트전극(17)과 드레인전극(18d) 사이의 절연산화층(16B) 막 두께를 두껍게 한 후막부(16c)를 형성하므로, 드레인 내압이 250V 이상까지 달한다. 또 순방향으로 6V 이상의 게이트소스간 전압(V_{gs})을 인가해도 게이트전극(17)으로부터의 리크전류는 발생하지 않아, 양호한 전류전압 특성을 나타내는 것을 알 수 있다.
- <132> 이하 상기와 같이 구성된 절연게이트를 갖는 HEMT 제조방법에 대하여 도면을 참조하면서 설명한다.
- <133> 도 15의 (a)~(d) 및 도 16의 (a)~(c)는 본 발명의 제 4 실시예에 관한 절연게이트형 HEMT 제조방법의 공정순 단면구성을 나타낸다.
- <134> 우선 도 15의 (a)에 나타낸 바와 같이 MOCVD법에 의하여, 탄화규소로 된 기판(11) 상에 예를 들어 막 두께 100 nm 정도의 질화알루미늄으로 된 버퍼층(12)과, 막 두께 3 μ m 정도의 질화갈륨으로 된 채널층(13)과, 막 두께 15 nm 정도이고 실리콘을 도펀트로 하는 n형 질화알루미늄갈륨으로 된 캐리어공급층(14)과, 막 두께 50nm~100nm 정도의 질화갈륨으로 된 절연막 형성층(16A)을 순차 성장시키므로써, 질화물반도체로 구성되는 에피택셜 적층체를 형성한다.
- <135> 다음으로 도 15의 (b)에 나타내는 바와 같이 리소그래피 및 에칭으로 소자형성영역을 마스크하는, 실리콘으로 된 보호막(41)을 형성하고, 이어서 기판(11)에 대해 산화분위기로 1~2 시간 정도의 열산화처리를 실시하여, 에피택셜 적층체에 소자분리막(15)을 선택적으로 형성한다.
- <136> 다음에 도 15의 (c)에 나타내는 바와 같이, 리소그래피 및 에칭으로 보호막(41)의 게이트전극 형성영역과 드레인전극 형성영역 사이에 개구부를 형성하여 절연막형성층(16A)을 노출시킨다. 그 후 노출된 절연막형성층(16A)에 대하여 산화분위기로 수 분간 열산화처리를 실시함으로써, 절연막형성층(16A)의 게이트전극 형성영역과 드레인전극 형성영역 사이에, 절연막형성층(16A) 자체가 부분적으로 산화되어 이루어지는 후막형성부(16b)를 형성한다.
- <137> 다음으로 도 15의 (d)에 나타내는 바와 같이 보호막을 제거하고 이어서, 절연막형성층(16A)에 대하여 산화분위기로 수 분간 열산화처리를 실시함으로써, 절연막형성층(16A) 및 후막형성부(16b)를 다시 산화시키므로써, 절연막형성층(16A) 자체가 산화되어 이루어지며, 게이트전극 형성영역과 드레인전극 형성영역 사이에 후막부(16c)를 갖는 절연산화층(16B)을 형성한다.
- <138> 다음에 도 16의 (a)에 나타내는 바와 같이 예를 들어 스퍼터링법으로, 막 두께 약 50nm의 티탄 및 백금과 막 두께 약 200nm의 금을 적층시키고, 이어서 리소그래피 및 드라이에칭으로, 퇴적된 게이트형성막에 대하여 소정의

패터닝을 실시하여 게이트전극 형성막으로부터 게이트전극(17)을 형성한다.

- <139> 다음, 도 16의 (b)에 나타내는 바와 같이 절연산화층(16B)의 게이트 길이방향 쪽 영역에 대하여 선택적으로 에칭을 실시하여 절연산화층(16B)에 개구부(16a)를 형성함으로써, 이 개구부(16a)로부터 캐리어공급층(14)을 노출시킨다.
- <140> 다음으로 도 16의 (c)에 나타낸 바와 같이 캐리어공급층(14)의 개구부(16a)로부터의 노출부분에, 예를 들어 스퍼터링법으로 막 두께 약 20nm의 티탄과 막 두께 약 200nm의 알루미늄을 적층시킨다. 이어서 리소그래피 및 드라이에칭으로, 퇴적된 금속막에 대하여 소정의 패터닝을 실시한 다음 열처리를 하여, 금속막으로부터 캐리어공급층(14)과 옴 접촉하는 소스전극(18s)과 드레인전극(18d)을 각각 형성한다.
- <141> 이와 같이 제 4 실시예에 의하면 열산화에 의한 절연산화층(16B)을, 게이트전극(17)과 드레인전극(18d) 사이에 후막부(16c)를 형성함으로써 부분적으로 두껍게 되도록 형성한다. 이로써 상술한 바와 같이 HEMT의 드레인 내압이 높아짐과 동시에 드레인 리크전류를 억제할 수 있다.
- <142> 그리고 제 4 실시예에서는, 절연산화층(16B)을 형성하기 전에 후막형성부(16b)를 형성하지만, 이와는 반대로 절연산화층(16B)을 거의 같은 두께로 형성한 후 후막부(16c)를 형성해도 된다.
- <143> 또 보호막(41)으로 실리콘을 사용하지만, 질화물계 반도체층의 산화를 방지할 수 있는 재료라면 되며, 실리콘 대신에 예를 들어 산화실리콘 또는 질화실리콘을 이용해도 된다.
- <144> **(제 5 실시예)**
- <145> 이하 본 발명의 제 5 실시예에 관한 HEMT 제조방법에 대하여 도면을 참조하면서 설명한다.
- <146> 도 17의 (a)~(c) 및 도 18의 (a), (b)는 본 발명의 제 5 실시예에 관한 절연게이트형 HEMT 제조방법의 공정순 단면구성을 나타낸다.
- <147> 우선 도 17의 (a)에 나타낸 바와 같이 MOCVD법에 의하여, 탄화규소로 된 기판(11) 상에 예를 들어 막 두께 100 nm 정도의 질화알루미늄으로 된 버퍼층(12)과, 막 두께 3 μ m 정도의 질화갈륨으로 된 채널층(13)과, 막 두께 15 nm 정도이고 실리콘을 도판트로 하는 n형 질화알루미늄갈륨으로 된 캐리어공급층(14)과, 막 두께 20nm~50nm 정도의 질화알루미늄으로 된 산화방지층(20)과, 막 두께 50nm~100nm 정도의 질화갈륨으로 된 절연막 형성층(16A)을 순차 성장시킴으로써, 질화물반도체로 구성되는 에피택셜 적층체를 형성한다.
- <148> 다음으로 도 17의 (b)에 나타내는 바와 같이 리소그래피 및 에칭으로 소자형성영역을 마스크하는, 실리콘으로 된 보호막(41A)을 형성하고, 이어서 기판(11)에 대해 산화분위기로 1~2 시간 정도의 열산화처리를 실시하여, 에피택셜 적층체에 소자분리막(15)을 선택적으로 형성한다.
- <149> 다음에 도 17의 (c)에 나타내는 바와 같이 리소그래피 및 에칭으로, 보호막(41A)으로부터, 절연막형성층(16A)의 옴 전극 형성영역을 마스크하는 산화보호막(41B)을 형성한다. 이어서 형성된 산화보호막(41B)을 마스크로 하여 산화분위기에서 수 분간 열 산화처리를 실시함으로써, 절연막형성층(16A)으로부터, 이 절연막형성층(16A)의 옴 전극 형성영역에 도전성영역(16d)을 갖는 절연산화층(16B)을 형성한다.
- <150> 여기서 제 5 실시예에서도, 절연산화층(16B)의 막 두께를 절연막형성층(16A)에 대한 가열시간으로 조절하는데, 제 2 실시예와 마찬가지로 산화방지층(20)을 절연막형성층(16A) 아래쪽에 형성함으로써, 절연산화층(16B)의 막 두께는 실질적으로 절연막형성층(16A)의 막 두께로 조절할 수 있게된다. 그 결과 절연게이트를 갖는 소자의 동작특성에 커다란 영향을 미치는 절연산화층(16B)의 막 두께 제어성을 대폭 향상시킬 수 있다.
- <151> 다음으로, 도 18의 (a)에 나타낸 바와 같이 산화보호막(41B)을 제거한 후, 예를 들어 스퍼터링으로 막 두께 약 50nm의 티탄 및 백금과 막 두께 약 200nm의 금을 적층시키고, 이어서 리소그래피 및 드라이에칭으로, 퇴적된 게이트전극 형성막에 대하여 소정의 패터닝을 실시하여 게이트전극 형성막으로부터 게이트전극(17)을 형성한다.
- <152> 다음으로 도 8의 (b)에 나타낸 바와 같이 절연산화층(16B) 및 도전성영역(16d) 상에, 예를 들어 스퍼터링법으로 막 두께 약 20nm의 티탄과 막 두께 약 200nm의 알루미늄을 적층시킨다. 이어서 리소그래피 및 드라이에칭으로, 퇴적된 금속막에 대하여 소정의 패터닝을 실시한 다음 열처리를 하여, 금속막으로부터 도전성영역(16d)과 옴 접촉하는 소스전극 및 드레인전극(18)을 형성한다.
- <153> 이와 같이 제 5 실시예에 관한 HEMT 제조방법은, 절연막형성층(16A)으로부터 열 산화에 의하여 절연산화층(16B)을 형성할 때, 절연막형성층(16A)의 옴 전극 형성영역을 산화보호막(41B)으로 마스크한 상태에서 절연산화층

(16B)을 형성한다. 이로써 절연막형성층(16A)의 음 전극 형성영역은 산화되지 않아 양호한 전기특성을 유지하는 도전성영역(16d)으로 남기 때문에, 접촉저항이 작은 양호한 음 전극으로서의 소스전극 및 드레인전극(18)을 형성할 수 있다.

- <154> 여기서 제 5 실시예에서는 보호막(41)으로 실리콘을 사용하지만, 질화물계 반도체층의 산화를 방지할 수 있는 재료라면 되며, 예를 들어 산화실리콘 또는 질화실리콘을 이용해도 된다.
- <155> 또 제 5 실시예에서는 소자분리막(15)을 형성하기 위한 보호막(41A)으로부터, 절연막형성층(16A)의 도전성영역(16d)을 마스크하는 산화보호막(41B)을 형성하지만 이에 한정되지 않는다. 즉 도 17의 (c)에 나타내는 공정에서, 산화보호막(41B)을 다른 부재로 형성해도 된다. 일례로서, 소자분리막(15)을 에피택셜적층체를 산화시켜 형성하는 대신에, 소자분리영역을 에칭시켜 제거하는 메사분리법을 이용하여 형성하는 경우에는 산화보호막(41B)을 미리 형성할 필요가 있다.
- <156> 그리고 제 1~제 5의 각 실시예에서, 절연산화층(16B)으로 질화갈륨(GaN)을 이용하지만, 이에 한정되지 않으며 양질의 산화층을 형성할 수 있다면, 질화알루미늄갈륨, 질화인듐갈륨(InGaN) 또는 질화인듐알루미늄갈륨(InAlGaN) 등, 이른바 질화갈륨계 반도체를 이용해도 된다.
- <157> 또 절연산화층(16B)을 절연막형성층(16A)에 대하여 열 산화를 실시함으로써 형성하지만, 절연성이 우수한, 양호한 산화막을 형성할 수 있는 방법이라면 되며, 예를 들어 절연막형성층(16A)에 이온주입 또는 플라즈마도핑법을 실시함으로써 절연산화층(16B)을 형성해도 된다.
- <158> 또한 제 4 실시예를 제외한 각 실시예에서는, 절연산화층(16B)을 형성하기 위하여 절연막형성층(16A) 전체를 산화시키지만, 절연막형성층(16A) 위쪽부분에 대하여 실시하고 그 하부에 질화갈륨이 남아 있어도 된다. 또 제 4 실시예에서는 절연산화층(16B)의 후막부(16c)를 절연막형성층(16A) 하부에까지 달하도록 산화시키지만, 그 하부에 질화갈륨이 남아 있어도 된다.
- <159> 또 질화갈륨으로 된 절연막형성층(16A)을, 질화알루미늄갈륨으로 된 캐리어공급층(14) 상에 형성하지만, 이 캐리어공급층(14)의 막 두께를 두껍게 하고 그 상부만을 선택적으로 산화시켜, 캐리어공급층(14) 자체로부터 절연산화층(16B)을 형성해도 된다.
- <160> 또한 절연게이트를 갖는 반도체장치로서, 채널층(13)으로 질화갈륨을 이용하고, 캐리어공급층(14)에 n형 질화알루미늄갈륨을 이용한 HEMT를 채용하지만, 이 대신 예를 들어 질화갈륨, 질화알루미늄갈륨, 질화인듐갈륨 또는 질화인듐알루미늄갈륨 등을 이용한 HEMT 또는 FET여도 된다. 단 HEMT의 경우에는 통상, 캐리어공급층(14)으로, 그 에너지 갭이 채널층(13) 에너지 갭보다 큰 재료를 사용한다. 잘 알려진 바와 같이 질화갈륨계 화합물반도체는, 그 조성에 알루미늄을 함유하면 반도체의 에너지 갭이 더욱 커지며, 또 조성에 인듐을 함유하면 반도체 에너지 갭이 더욱 작아진다.
- <161> 또 기판(11)으로 탄화규소를 이용하지만, 탄화규소 대신에 질화갈륨 또는 사파이어(Al_2O_3) 등으로서, III-V족 질화물반도체로 이루어지는 채널층(13) 등이 에피택셜 성장 가능한 기판이면 된다.
- <162> 그리고 게이트전극(17) 및 소스전극 및 드레인전극(18)은 상술한 금속에 한정되지 않는다.
- <163> 또 게이트전극(17)과 소스전극 및 드레인전극(18)의 형성순서는 어느 것을 먼저 형성하든 상관없다.
- <164> 또한 소자분리막(15)은, 질화물반도체로 된 에피택셜 적층체를 선택적으로 산화시킴으로써 형성하지만, 소자분리 부분을 에칭하여 제거하는 메사분리법으로 형성해도 된다.
- <165> 또 소스전극 및 드레인전극(18)은, 퇴적된 금속막에 대하여 패터닝을 실시하는 대신, 소스전극 및 드레인전극 형성영역을 개구부로 갖는 마스크 패턴을 형성하고, 이 마스크 패턴 상에 개구부가 충전되도록 금속막을 퇴적시킨 다음, 레지스트패턴을 제거하는, 이른바 리프트오프법으로 형성해도 된다.

발명의 효과

- <166> 본 발명에 관한 반도체장치 및 그 제조방법에 의하면, 제 1 질화물반도체층 상에 형성된 절연산화층은, 이 제 1 질화물반도체층 상의 제 2 질화물반도체층 자체가 산화되어 형성되므로, 이 절연산화층의 막질은 양호하며 또 이 절연산화층과 그 아래쪽 제 1 질화물반도체층이 접하는 계면도 매우 청정하다. 그 결과 절연산화층 상에 형성된 게이트전극의 리크전류 발생을 방지할 수 있기 때문에 전압특성이 쇼트키 특성에 규제되지 않으므로, 고 내압이며 고 전류구동능력의 절연게이트형 반도체장치를 얻을 수 있다.

도면의 간단한 설명

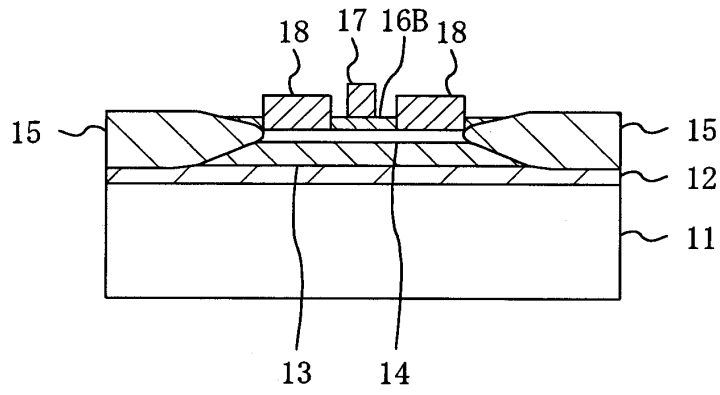
- <1> 도 1은 본 발명의 제 1 실시예에 관한 반도체장치를 나타내는 구성단면도.
- <2> 도 2는 본 발명의 제 1 실시예에 관한 반도체장치의 전류전압 특성을 나타내는 그래프.
- <3> 도 3의 (a)~(c)는 본 발명의 제 1 실시예에 관한 반도체장치의 제조방법을 나타내는 공정순서의 구성단면도.
- <4> 도 4의 (a) 및 (b)는 본 발명의 제 1 실시예에 관한 반도체장치의 제조방법을 나타내는 공정순서의 구성단면도.
- <5> 도 5는 본 발명의 제 2 실시예에 관한 반도체장치를 나타내는 구성단면도.
- <6> 도 6은 본 발명의 제 2 실시예에 관한 반도체장치의 전류전압 특성을 나타내는 그래프.
- <7> 도 7의 (a)~(c)는 본 발명의 제 2 실시예에 관한 반도체장치의 제조방법을 나타내는 공정순서의 구성단면도.
- <8> 도 8의 (a) 및 (b)는 본 발명의 제 2 실시예에 관한 반도체장치의 제조방법을 나타내는 공정순서의 구성단면도.
- <9> 도 9는 본 발명의 제 3 실시예에 관한 반도체장치를 나타내는 구성단면도.
- <10> 도 10은 본 발명의 제 3 실시예에 관한 반도체장치의 전류전압 특성을 나타내는 그래프.
- <11> 도 11의 (a)~(c)는 본 발명의 제 3 실시예에 관한 반도체장치의 제조방법을 나타내는 공정순서의 구성단면도.
- <12> 도 12의 (a) 및 (b)는 본 발명의 제 3 실시예에 관한 반도체장치의 제조방법을 나타내는 공정순서의 구성단면도.
- <13> 도 13은 본 발명의 제 4 실시예에 관한 반도체장치를 나타내는 구성단면도.
- <14> 도 14는 본 발명의 제 4 실시예에 관한 반도체장치의 전류전압 특성을 나타내는 그래프.
- <15> 도 15의 (a)~(d)는 본 발명의 제 4 실시예에 관한 반도체장치의 제조방법을 나타내는 공정순서의 구성단면도.
- <16> 도 16의 (a)~(c)는 본 발명의 제 4 실시예에 관한 반도체장치의 제조방법을 나타내는 공정순서의 구성단면도.
- <17> 도 17의 (a)~(c)는 본 발명의 제 5 실시예에 관한 반도체장치의 제조방법을 나타내는 공정순서의 구성단면도.
- <18> 도 18의 (a) 및 (b)는 본 발명의 제 5 실시예에 관한 반도체장치의 제조방법을 나타내는 공정순서의 구성단면도.
- <19> 도 19는 종래의 쇼트키형 게이트를 갖는 HEMT를 나타내는 구성단면도.

*** 도면의 주요 부분에 대한 부호의 설명 ***

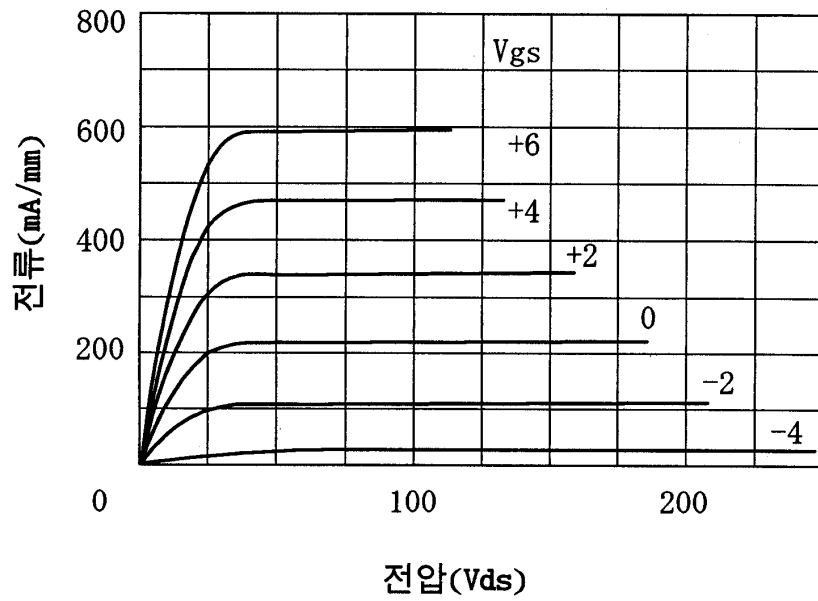
- | | |
|------------------------|---------------------------|
| <21> 11 : 기판 | 12 : 버퍼층 |
| <22> 13 : 채널층(능동층) | 14 : 캐리어공급층(제 1 질화물반도체층) |
| <23> 15 : 소자분리막 | 16A : 절연막형성층(제 2 질화물반도체층) |
| <24> 16B : 절연산화층 | 16a : 개구부 |
| <25> 16b : 후막형성부 | 16c : 후막부 |
| <26> 16d : 도전성영역 | 17 : 게이트전극 |
| <27> 18 : 소스전극 및 드레인전극 | 18s : 소스전극 |
| <28> 18d : 드레인전극 | 20 : 산화방지층 |
| <29> 21 : 상부 게이트절연막 | 26 : 게이트절연막 |
| <30> 41, 41A : 보호막 | 41B : 산화보호막 |

도면

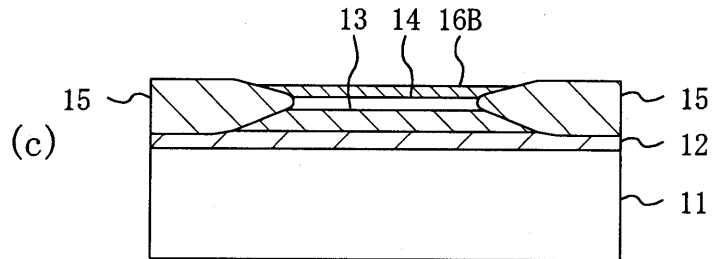
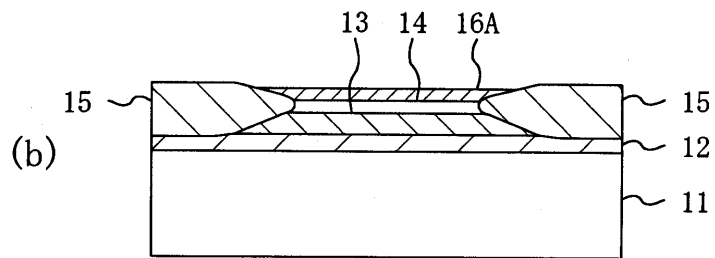
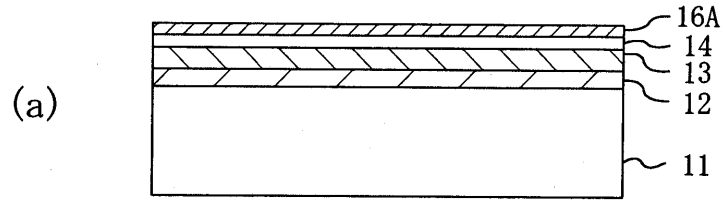
도면1



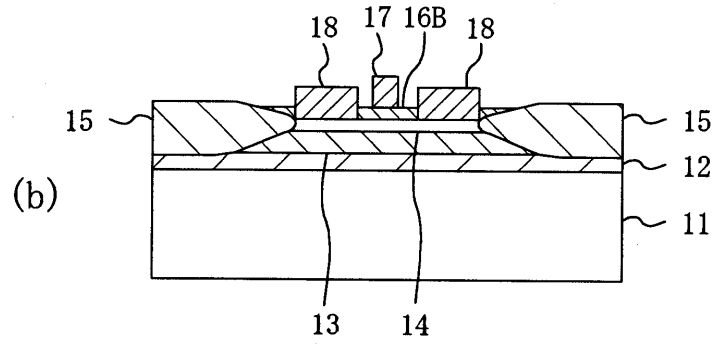
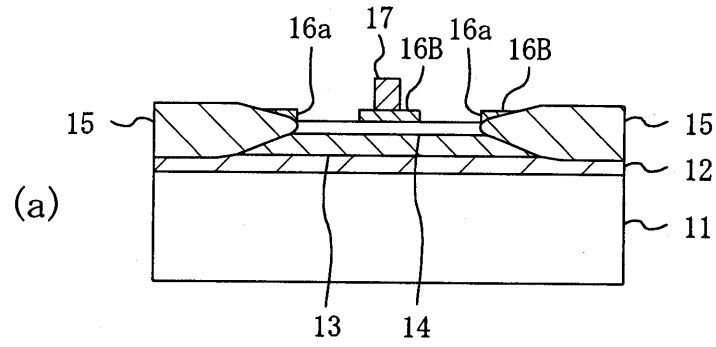
도면2



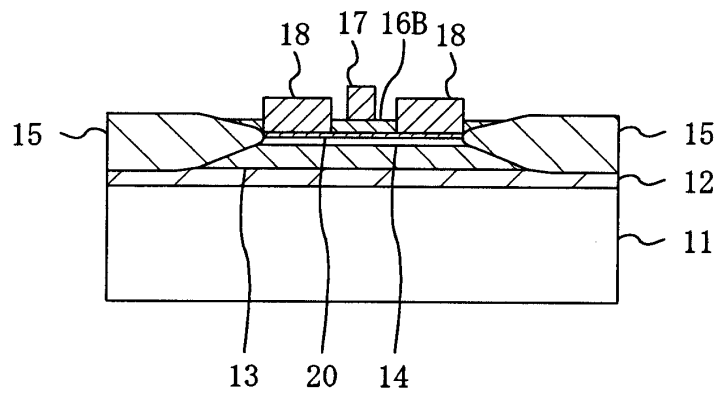
도면3



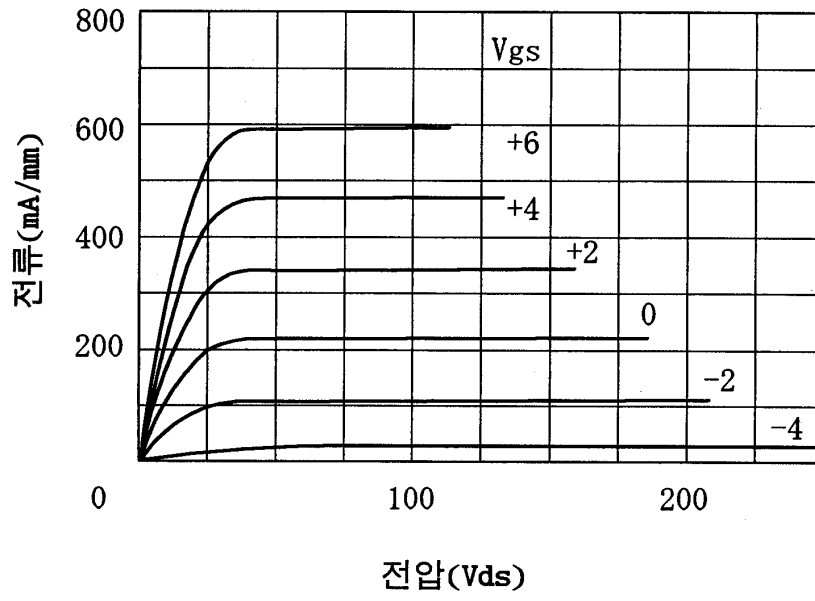
도면4



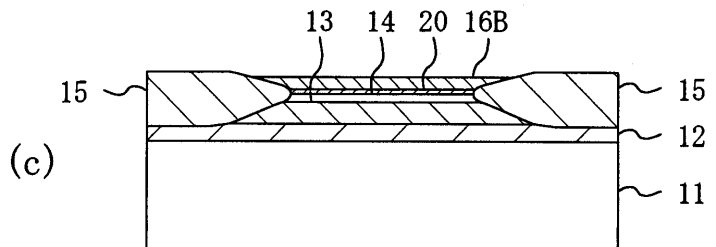
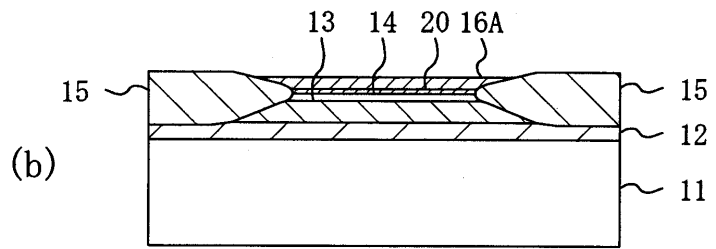
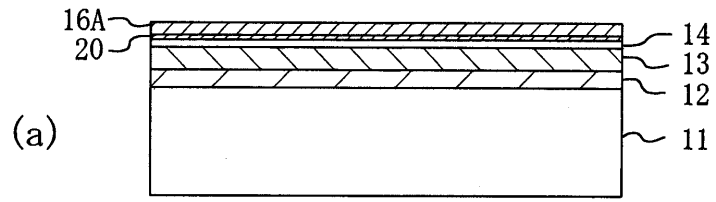
도면5



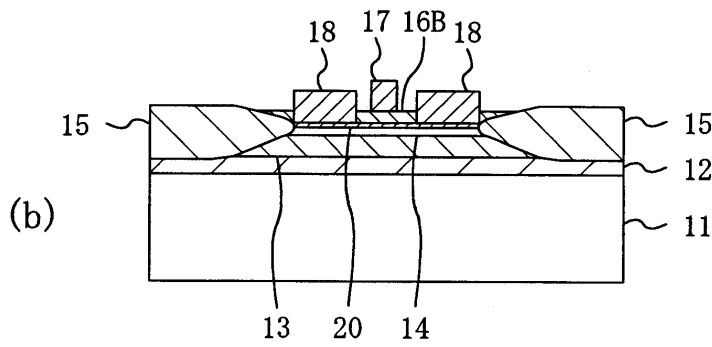
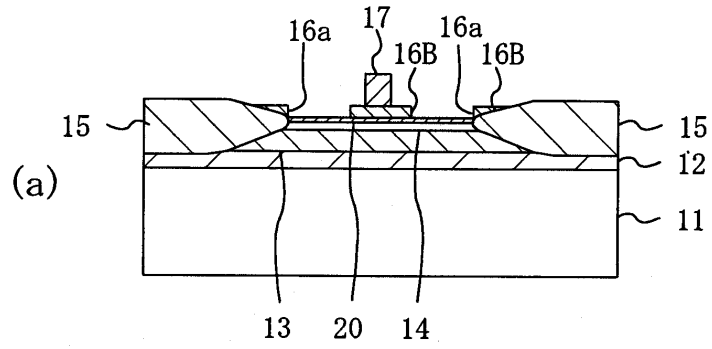
도면6



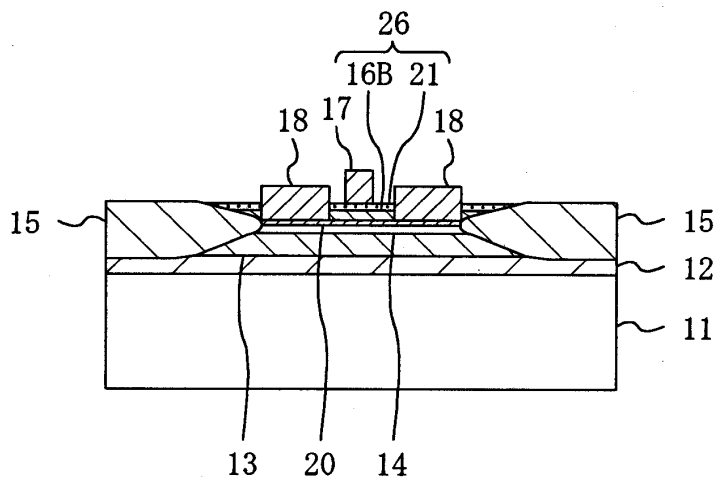
도면7



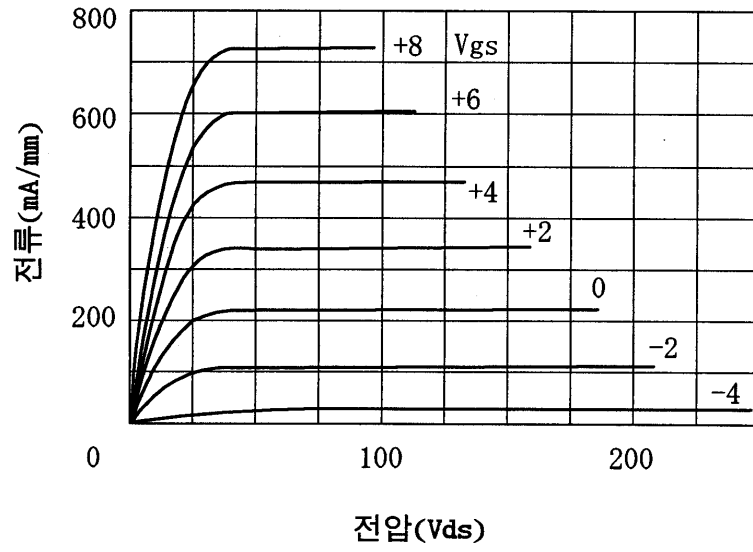
도면8



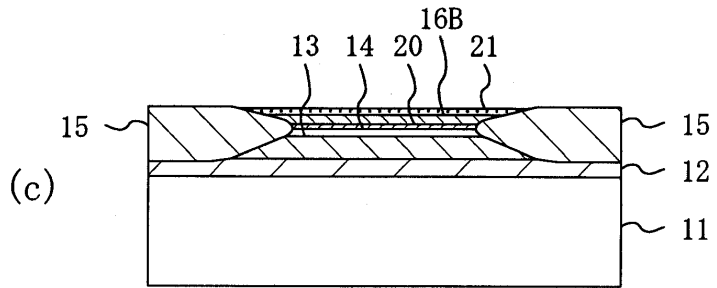
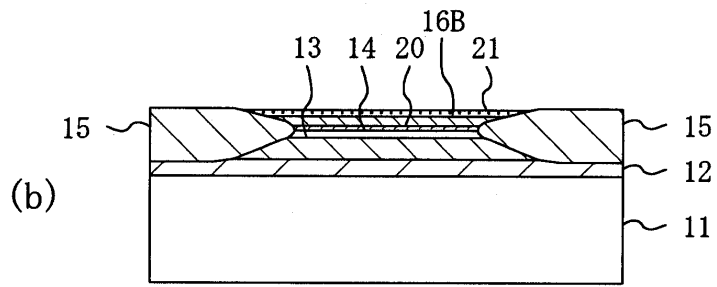
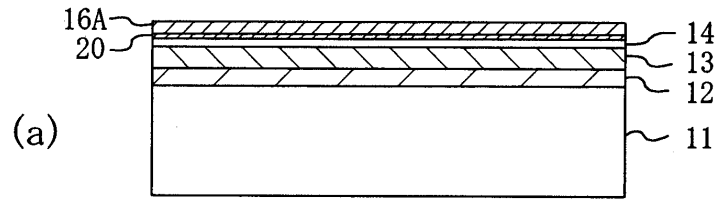
도면9



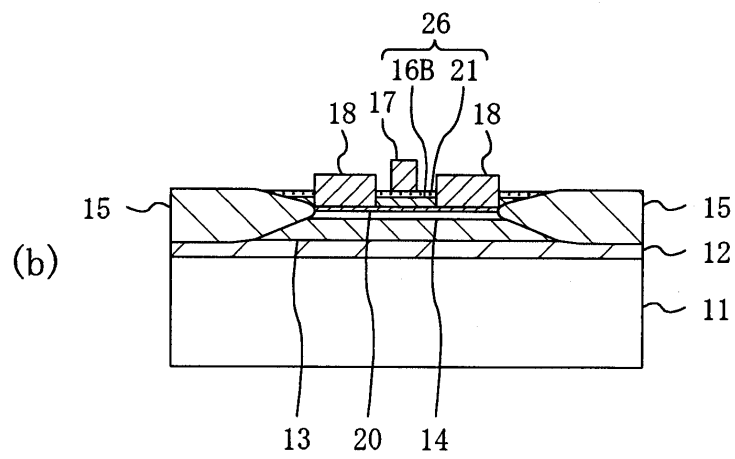
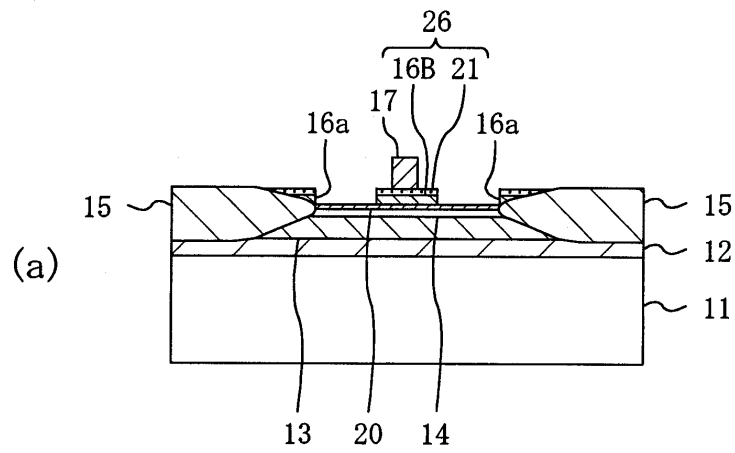
도면10



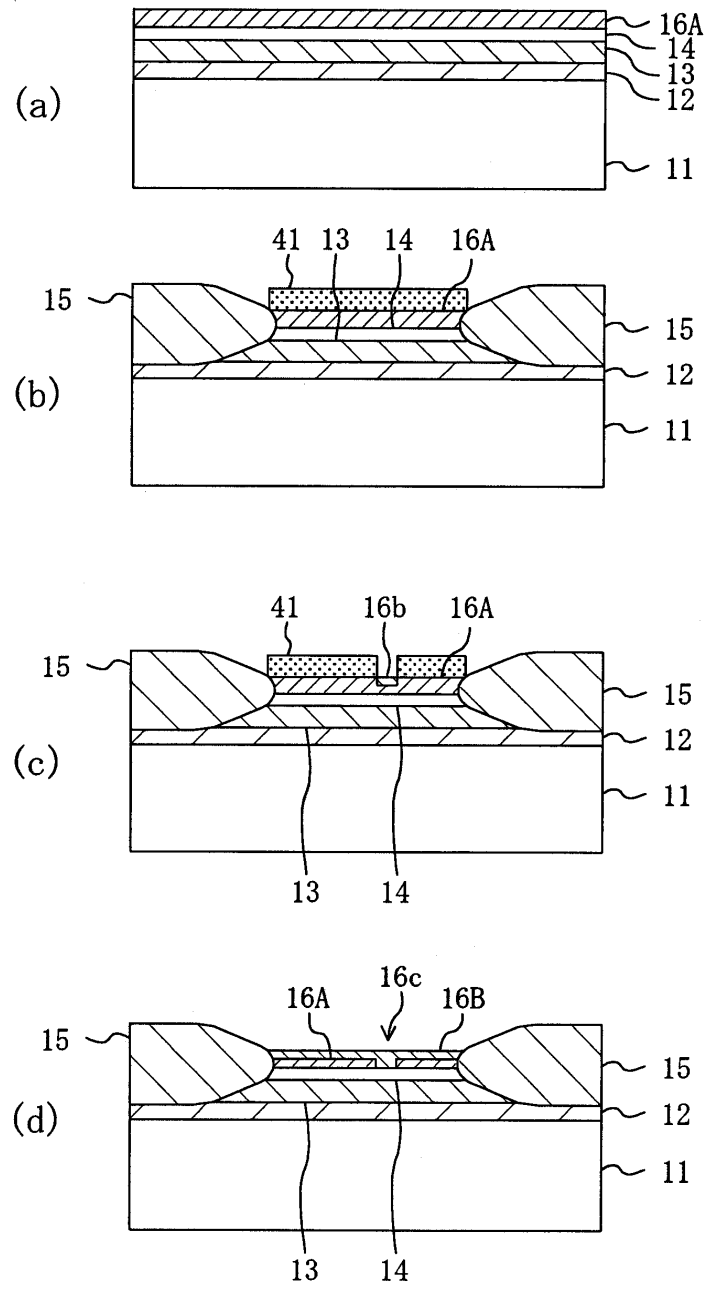
도면11



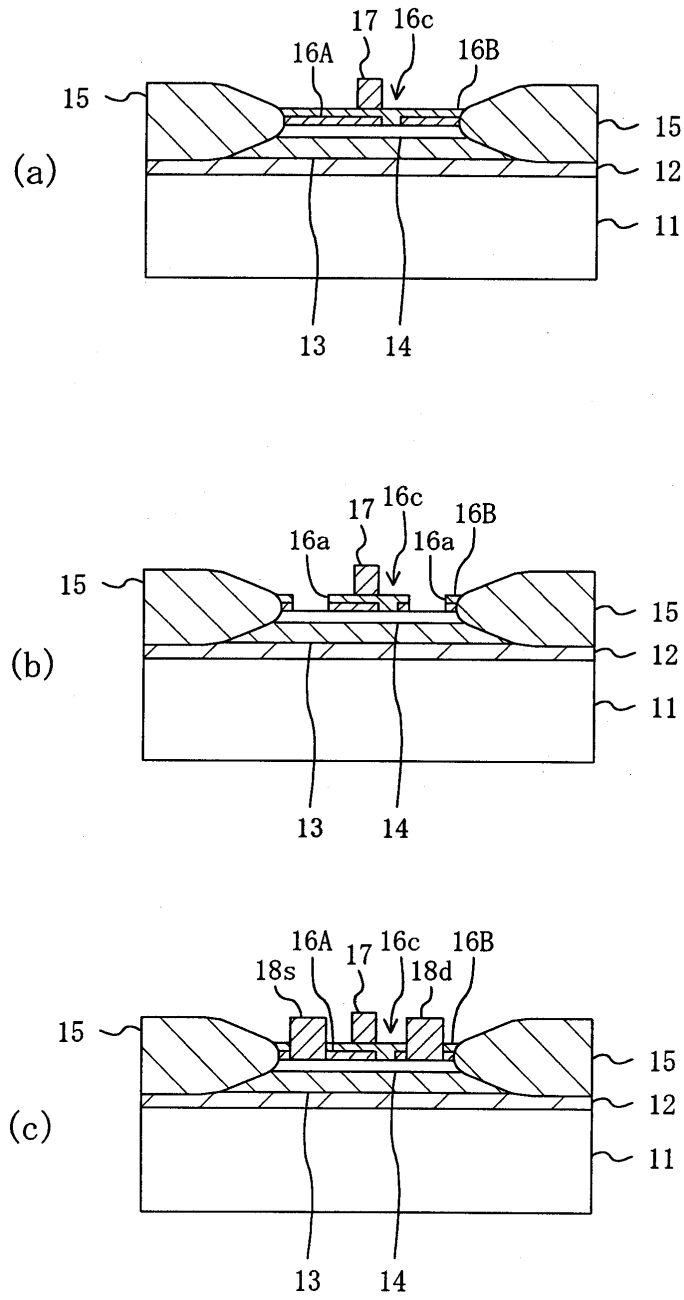
도면12



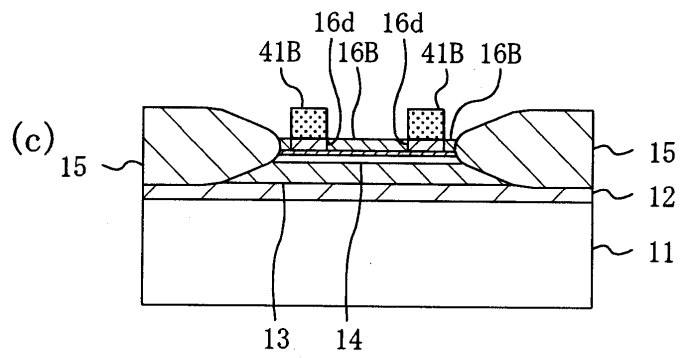
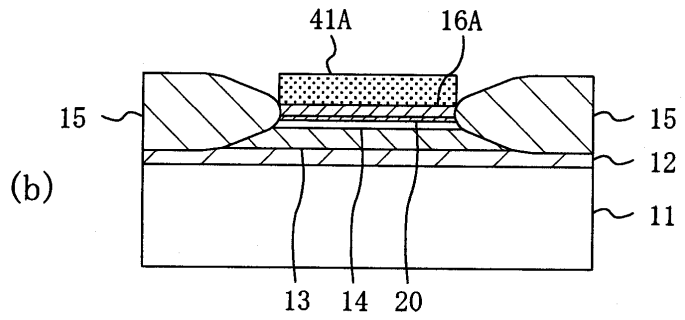
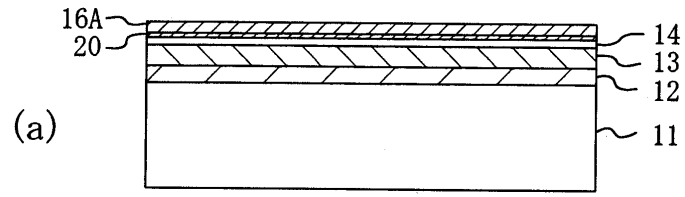
도면15



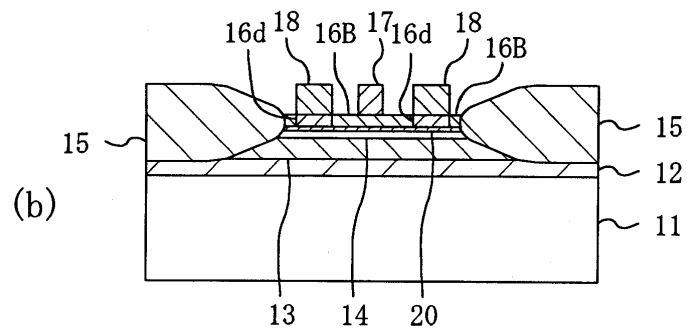
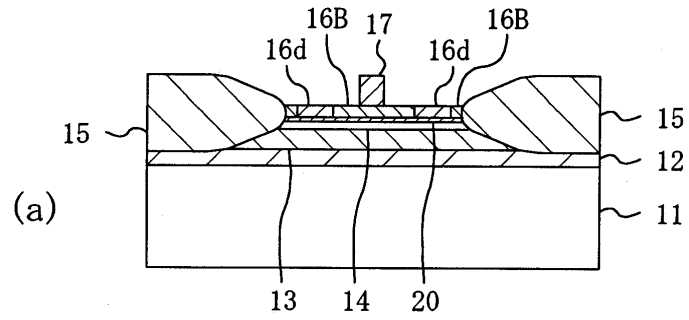
도면16



도면17



도면18



도면19

