

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 21/76

(11) 공개번호 특2000-0015298
(43) 공개일자 2000년03월 15일

(21) 출원번호	10-1998-0035126
(22) 출원일자	1998년08월28일
(71) 출원인	현대반도체 주식회사 김영환 충청북도 청주시 흥덕구 향정동 1번지
(72) 발명자	박종성 충청북도 청주시 흥덕구 신봉동 주공아파트 124-407
(74) 대리인	양순석, 한윤근

심사청구 : 있음

(54) 반도체장치의 소자격리방법

요약

상기 목적을 달성하기 위해 본 발명에 따른 반도체장치의 소자격리방법은 반도체기판 상에 마스크층을 형성하고 반도체기판의 소자격리영역이 노출되도록 패터닝하여 소자격리영역과 활성영역을 한정하는 단계와, 반도체기판의 노출된 부분에 소정 깊이의 트렌치를 형성하는 단계와, 트렌치 부위의 노출된 반도체기판의 표면과 마스크층에 제 1 절연막을 형성하는 단계와, 제 1 절연막 위에 확산배리어층을 형성하는 단계와, 트렌치를 충분히 매립하는 두께의 흐름성이 우수한 절연물질층을 기판의 전면에 형성하는 단계와, 절연물질층의 일부를 제거하여 확산배리어층의 표면을 노출시키는 단계와, 확산배리어층을 산화시켜 제 2 절연막을 형성하는 단계와, 마스크층 상부의 제 2 절연막 및 제 1 절연막을 제거하는 단계와, 마스크층을 제거하는 단계를 포함하는 공정으로 이루어진다.

대표도

도2e

명세서

도면의 간단한 설명

도 1a 내지 도 1e는 종래 기술에 따른 반도체장치의 소자격리방법을 도시하는 공정단면도

도 2a 내지 도 2e는 본 발명에 따른 반도체장치의 소자격리방법을 도시하는 공정단면도

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체장치의 소자격리방법에 관한 것으로서, 특히, 소자격리를 위한 절연물질이 매립되기 전 단계에서 반도체기판의 트렌치 표면에 산화막 형성후 그 위에 차단막을 폴리실리콘 등으로 형성하고 그 위에 트렌치 매립용 절연층으로 에스오지(spin on glass) 등을 사용함으로써 소자격리특성의 변화 없이 소자격리공정을 크게 단순화시킨 트렌치를 이용한 반도체장치의 소자격리방법에 관한 것이다.

반도체장치의 집적화가 거듭되면서 반도체장치의 상당한 면적을 점유하는 소자격리영역을 줄이기 위한 기술 개발이 활발히 진행되고 있다.

일반적으로 반도체장치는 LOCOS(Local Oxidation of Silicon) 방법으로 소자를 격리하였다. LOCOS 방법은 활성영역을 한정하는 산화마스크인 질화막과 반도체기판의 열적 특성이 다르기 때문에 발생하는 스트레스를 해소하기 위하여 질화막과 반도체기판 사이에 박막의 버퍼산화막(buffer oxide)을 형성하고 산화시켜 소자격리영역으로 이용되는 필드산화막을 형성한다. 상기에서 필드산화막은 반도체기판의 수직 방향으로 성장할 뿐만 아니라 산화제(Oxidant : O₂)가 버퍼산화막을 따라 수평 방향으로도 확산되므로 질화막의 패턴 엣지(edge)밑으로 성장되게 되는 특징을 갖는다.

이와같이 필드산화막이 활성 영역을 잠식하는 현상을 그 형상이 새의 부리 모양과 유사하여 버즈 비크(Bird's Beak)이라 한다. 이러한 버드 비크의 길이는 필드산화막 두께의 1/2이나 된다. 그러므로, 활성 영역의 크기가 감소되는 것을 줄이기 위하여는 버즈 비크의 길이를 최소화 하여야 한다.

버즈 비크의 길이를 줄이기 위한 방법으로 필드산화막의 두께를 감소시키는 방식이 도입되었으나 16M DRAM급 이상에서 필드산화막의 두께를 감소시키면 배선과 반도체기판 사이의 정전 용량이 증가되어 신호 전달 속도가 저하되는 문제가 발생된다. 또한, 소자의 게이트로 사용되는 배선에 의해 소자 사이의 격리 영역에 형성되는 기생 트랜지스터의 문턱전압(Vt)이 저하되어 소자 사이의 격리특성이 저하되는 문제점이 있다.

따라서, 버즈 비크의 길이를 감소시키면서 소자격리를 하는 방법이 개발되었다. 버즈 비크의 길이를 감소시키면서 소자격리를 하는 방법으로는 스트레스 완충용 버퍼산화막의 두께를 낮추고 반도체기판과 질화막 사이에 다결정실리콘층을 개입시킨 PBLOCOS(Poly Si Buffered LOCOS), 버퍼산화막의 측벽을 질화막으로 보호하는 SILD(Sealed Interface LOCOS), 그리고, 반도체기판 내에 필드산화막을 형성시키는 리세스(Recessed) LOCOS 기술들이 있다.

그러나, 상기 기술들은 격리 영역 표면의 평탄도와 정밀한 디자인 룰(Design Rule) 등의 이유로 256M DRAM급 이상의 집적도를 갖는 차세대 소자의 소자격리기술로 적합하지 않게 되었다.

따라서, 기존의 여러 소자격리기술들의 문제점을 극복할 수 있는 BOX(buried oxide)형 얇은트렌치소자격리(shallow trench isolation) 기술이 개발되었다. BOX형 소자격리기술 반도체기판에 트렌치를 형성하고 화학기상증착(Chemical Vapor Deposition : 이하, CVD라 칭함) 방법으로 산화실리콘 또는 불순물이 도핑되지 않은 다결정실리콘을 매립한 구조를 갖는다. 그러므로, 버즈 비크가 발생되지 않아 활성영역의 손실이 전혀 없으며, 또한, 산화막을 매립하고 에치 백(etch back)하여 평탄한 표면을 얻을 수 있다.

도 1a 내지 도 1d는 종래 기술에 따른 얇은 트렌치를 이용한 소자격리방법을 도시하는 공정도이다.

도 1a를 참조하면, 반도체기판(11)인 실리콘기판 상에 열산화 방법으로 버퍼산화막(12)을 형성하고, 이 버퍼산화막(12) 상에 화학기상증착(Chemical Vapor Deposition : 이하, CVD라 칭함) 방법으로 질화실리콘을 증착하여 마스크층(13)을 형성한다.

그리고, 마스크층(13) 및 버퍼산화막(12)을 포토리쓰그래피 방법으로 마스크층으로 보호되어 아니하는 반도체기판(11) 표면이 노출되도록 순차적으로 패터닝하여 소자격리영역과 활성영역을 한정한다.

그다음, 마스크층(13)을 마스크로 사용하여 반도체기판(11)의 노출된 소자격리영역을 소정 깊이로 식각하여 트렌치(14)를 형성한다. 상기에서 트렌치(14)를 반응성이온식각(Reactive Ion Etching : 이하, RIE라 칭함)이나 플라스마 식각 등으로 이방성 식각하여 형성한다. 그리고 노출된 트렌치(14)의 표면을 산화시켜 산화막(도시 안함)을 형성한다.

도 1b를 참조하면, 트렌치 및 마스크층(13) 상에 절연물질층(150)으로 산화실리콘층(150)을 트렌치(17)를 채우도록 CVD 방법으로 증착한다. 이때, 절연물질은 증착 후 일반적인 산화막과 동일한 물리적 특성을 갖도록 고온에서 덴시파이(densify)시킨다.

도 1c를 참조하면, 트렌치 상부에 형성된 홈(seam) 형태를 갖는 절연물질층(150)을 덮는 식각마스크로 포토레지스트패턴(16)을 형성한다.

도 1d를 참조하면, 기판의 전면에 식각공정을 실시하여 포토레지스트패턴으로 보호되지 아니하는 부위의 절연물질층을 소정의 두께로 제거하여 트렌치 상부에서 돌출된 형태의 절연물질층(151)을 형성한다. 이때 제거되는 절연물질층의 두께는 마스크층(13) 상부에 절연물질층이 일부 잔류할 수 있을 정도이다. 그리고 포토레지스트패턴을 제거한다.

도 1e를 참조하면, 돌출 부위를 포함하는 잔류한 절연물질층을 마스크층(13) 표면이 노출되도록 화학-기계적연마(Chemical-Mechanical Polishing : 이하, CMP라 칭함) 방법 또는 RIE 방법으로 에치 백하여 트렌치 내에만 잔류되도록 한다. 이 때, 트렌치 내에 잔류하는 산화실리콘층인 절연물질층(152)은 소자를 분리하는 필드산화막(152)이 된다.

이후, 도시되지는 않았으나, 마스크층(13) 및 버퍼산화막(12)을 습식 식각 방법으로 순차적으로 제거하여 반도체기판(11)의 활성영역을 노출시킨다. 이 때, 필드산화막(152)의 반도체기판(11)의 표면 보다 높은 부분도 식각되어 필드산화막과 기판 표면의 단차가 감소된다.

상술한 종래의 반도체장치의 소자격리방법은 트렌치 형성 이후 트렌치 표면에 얇은 산화막을 형성하는 공정, 트렌치 매립용 절연막 형성공정, 평탄화용 사진공정, 평탄화 식각공정과 씨애플리 공정 등의 복잡한 단계로 이루어지며, 이중에서도 특히 사진공정과 식각공정을 하여야 하는 추가공정이 있고, 또한, 웨이퍼를 오염시키는 씨애플리 공정 자체에서 발생하는 이물질인 슬러리(slurry) 등의 문제점이 있다.

발명이 이루고자하는 기술적 과제

따라서, 본 발명의 목적은

소자격리를 위한 절연물질이 매립되기 전단계에서 반도체기판의 트렌치 표면에 산화막 형성후 그 위에 차단막을 폴리실리콘 등으로 형성하고 그 위에 트렌치 매립용 절연층으로 에스오지(spin on glass) 등을 사용함으로써 소자격리특성의 변화 없이 소자격리공정을 크게 단순화시킨 트렌치를 이용한 반도체장치의 소자격리방법을 제공하는데 있다.

상기 목적을 달성하기 위해 본 발명에 따른 반도체장치의 소자격리방법은 반도체기판 상에 마스크층을 형성하고 반도체기판의 소자격리영역이 노출되도록 패터닝하여 소자격리영역과 활성영역을 한정하는 단계와, 반도체기판의 노출된 부분에 소정 깊이의 트렌치를 형성하는 단계와, 트렌치 부위의 노출된 반도체기판의 표면과 마스크층에 제 1 절연막을 형성하는 단계와, 제 1 절연막 위에 확산배리어층을 형성하는 단계와, 트렌치를 충분히 매립하는 두께의 흐름성이 우수한 절연물질층을 기판의 전면에 형성하는 단계와, 절연물질층의 일부를 제거하여 마스크층 상부에 위치하는 확산배리어층의 표면을 노출시키는 단계

와, 확산배리어층을 산화시켜 제 2 절연막을 형성하는 단계와, 마스크층 상부의 제 2 절연막 및 제 1 절연막을 제거하는 단계와, 마스크층을 제거하는 단계를 포함하는 공정으로 이루어진다.

발명의 구성 및 작용

이하, 첨부한 도면을 참조하여 본 발명을 상세히 설명한다.

도 2a 내지 도 2e는 본 발명에 따른 얇은 트렌치를 이용한 반도체장치의 소자격리방법을 도시하는 공정도이다.

도 2a를 참조하면, 반도체기판(21) 상에 열산화 방법으로 버퍼산화막(22)을 형성하고, 이 버퍼산화막(22) 상에 화학기상증착(Chemical Vapor Deposition : 이하, CVD라 칭함) 방법으로 질화실리콘을 증착하여 마스크층(23)을 형성한다.

그리고, 마스크층(23) 및 버퍼산화막(22)을 포토리소그래피 방법으로 반도체기판(21) 표면의 격리영역이 노출되도록 순차적으로 패터닝하여 소자격리영역과 활성영역을 한정한다.

그다음, 마스크층(23)을 마스크로 사용하여 반도체기판(21)의 노출된 소자격리영역을 소정 깊이로 식각하여 트렌치(29)를 형성한다. 상기에서 트렌치(29)를 반응성이온식각(Reactive Ion Etching : 이하, RIE라 칭함)이나 플라스마 식각 등으로 이방성 식각하여 형성한다.

도 2b를 참조하면, 노출된 트렌치(27)의 표면 및 노출된 버퍼산화막(22) 측면과 마스크층(23)의 표면에 절연막(24)으로 제 1 산화막(24)을 증착하여 형성한다. 이때 형성되는 제 1 산화막(24)은 트렌치 표면을 열산화 시켜 형성할 수도 있다.

그리고, 제 1 산화막(24) 위에 배리어층(barrier layer)으로 폴리실리콘층(250)을 증착하여 형성한다. 이때 배리어층(250)은 이후 공정에서 사용될 에스오지(spin on glass)에서 발생하는 유해기체로부터 실리콘 표면이 공격받는 것을 막아주는 역할을 하며, 다른 확산방해막인 질화막으로 형성할 수 있다.

그 다음, 필드산화막으로 사용될 에스오지를 기판 전면에 도포하여 트렌치를 충분히 매립하는 두께로 절연물질층(260)을 형성한다. 에스오지는 흐름성이 좋아 트렌치 상부에서 홈(seam)이 형성되는 것을 방지하므로 별도의 평탄화 공정이 필요하지 않는 장점이 있으나 전기한 바와 같이 유해기체가 발생하는 문제점이 있었으나, 본 발명에서는 기판의 전면에 배리어층(250)을 형성함으로써 이러한 문제점을 해결하였다. 이때 에스오지 대신 유에스지(undoped silicate glass)나 테오스(tetra ethyl ortho silicate) 등을 이용할 수 있다.

그리고 절연물질층(250)인 에스오지층이 산화막과 거의 동일한 물리적 특성을 갖도록 고온에서 절연물질층에 densification을 실시한다.

도 2c를 참조하면, 절연물질층에 에치백을 실시하여 배리어층(250)인 폴리실리콘층의 표면을 노출시킨다. 이때 식각 깊이는 원하는 부위에 도달할 때까지 실시한다.

도 2d를 참조하면, 기판의 전면에 열산화공정을 실시하여 노출된 배리어층인 폴리실리콘층을 산화시켜 제 2 산화막(251)을 형성한다. 따라서 제 1 산화막(24) 위에 제 2 산화막(251)이 위치하게 된다.

도 2e를 참조하면, 기판의 전면에 추가식각을 실시하여 마스크층(23)의 표면을 노출시킨다. 이때 식각은 습식식각으로 실시하며 식각되는 절연물질층의 두께는 이후 마스크층(23) 및 버퍼산화막(22) 제거시 소모될 절연물질층(27)의 표면이 노출될 활성영역의 표면과 평탄화 될 수 있는 두께를 고려하여 결정한다.

트렌치에 최종적으로 형성된 절연물질층(27)은 에스오지와 잔류한 제 1 산화막 및 제 2 산화막으로 이루어져 필드산화막(27)이 된다.

이후, 도시되지는 않았으나, 마스크층(23) 및 버퍼산화막(22)을 습식 식각 방법으로 순차적으로 제거하여 반도체기판(21)의 활성영역을 노출시킨다. 이 때, 필드산화막인 절연물질층(27)의 반도체기판(21)의 표면 보다 높은 부분도 식각되어 단차가 감소되어 자동열라인된 평탄화표면을 얻게 된다.

그 다음, 게이트산화막, 게이트, 소스/드레인, 실리사이드 등의 형성공정을 실시하여 모스 소자를 완성한다.

발명의 효과

따라서, 본 발명은 종래 기술과 비교하여 평탄화용 사진공정 및 식각공정과 씨엠피공정을 생략함으로써 최소한 세 단계 이상의 공정단순화를 이룩하였으며, 또한 씨엠피공정 생략으로 슬러리 등의 이물질 발생을 방지하고 소자의 재현성을 크게 향상시키는 장점이 있다.

(57) 청구의 범위

청구항 1

반도체기판 상에 마스크층을 형성하고 상기 반도체기판의 소자격리영역이 노출되도록 패터닝하여 상기 소자격리영역과 활성영역을 한정하는 단계와,

상기 반도체기판의 노출된 부분에 소정 깊이의 트렌치를 형성하는 단계와,

상기 트렌치 부위의 노출된 상기 반도체기판의 표면과 상기 마스크층에 제 1 절연막을 형성하는 단계와,

상기 제 1 절연막 위에 확산배리어층을 형성하는 단계와,

상기 트렌치를 충분히 매립하는 두께의 흐름성이 우수한 절연물질층을 상기 기판의 전면에 형성하는 단계와,

상기 절연물질층의 일부를 제거하여 상기 마스크층 상부에 위치하는 상기 확산배리어층의 표면을 노출시키는 단계와,

상기 확산배리어층을 산화시켜 제 2 절연막을 형성하는 단계와,

상기 마스크층 상부의 상기 제 2 절연막 및 상기 제 1 절연막을 제거하는 단계와,

상기 마스크층을 제거하는 단계로 이루어진 반도체장치의 소자격리방법.

청구항 2

청구항 1에 있어서, 상기 마스크층은,

상기 기판 위에 버퍼산화막을 형성하는 단계와,

상기 버퍼산화막 위에 질화막을 형성하는 단계를 더 포함하여 이루어진 것이 특징인 반도체장치의 소자격리방법.

청구항 3

청구항 1에 있어서, 상기 제 1 절연막을 산화막으로 형성하고 상기 확산배리어층은 폴리실리콘으로 형성하는 것이 특징인 반도체장치의 소자격리방법.

청구항 4

청구항 1에 있어서, 상기 절연물질층은 에스오지를 상기 기판에 도포한 후 덴시피케이션 시켜서 형성하는 것이 특징인 반도체장치의 소자격리 방법.

청구항 5

청구항 1에 있어서, 상기 확산배리어층의 표면을 노출시키기 위한 상기 절연물질층의 제거는 습식식각으로 실시하며 식각되는 두께는 상기 마스크층 제거시 소모되는 상기 절연물질층의 표면이 상기 활성영역의 상기 반도체기판 표면과 평탄화 될 수 있는 두께를 고려하여 결정하는 것이 특징인 반도체장치의 소자격리방법.

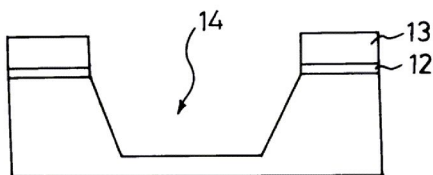
청구항 6

청구항 1에 있어서, 상기 마스크층 제거 단계 전에,

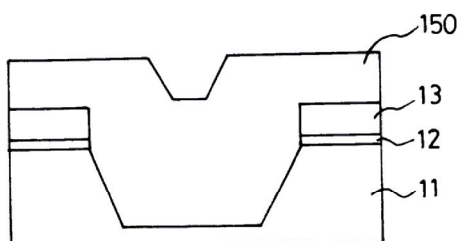
잔류한 상기 절연물질층의 표면이 상기 활성영역의 상기 반도체기판 표면과 평탄화 될 수 있도록 습식식각을 상기 절연물질층에 실시하는 단계를 더 포함하여 이루어진 것이 특징인 반도체장치의 소자격리방법.

도면

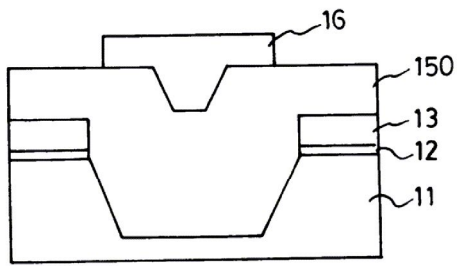
도면1a



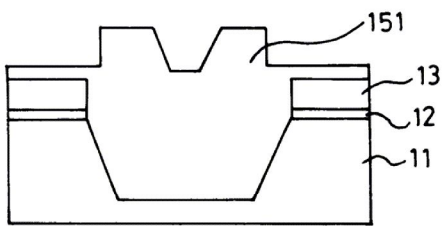
도면1b



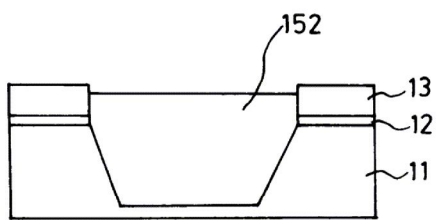
도면 1c



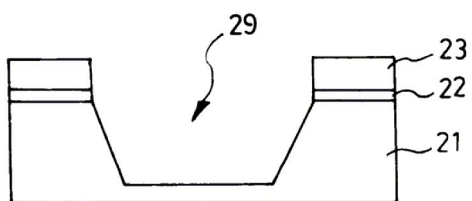
도면 1d



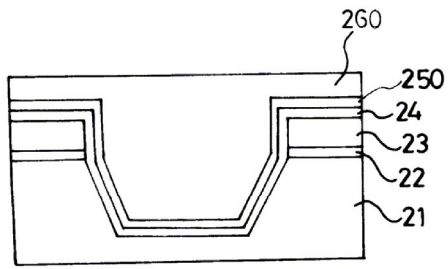
도면 1e



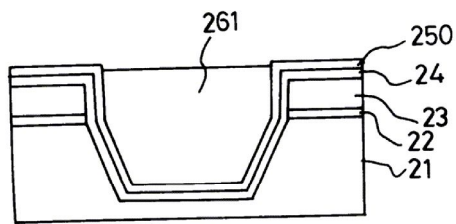
도면 2a



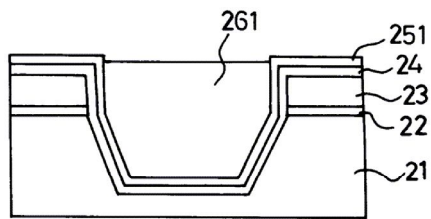
도면2b



도면2c



도면2d



도면2e

