

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第6657081号
(P6657081)

(45) 発行日 令和2年3月4日 (2020. 3. 4)

(24) 登録日 令和2年2月7日 (2020. 2. 7)

(51) Int. Cl.

F I

H O 3 K 17/687 (2006. 01)

H O 3 K 17/16 (2006. 01)

H O 3 K 17/693 (2006. 01)

H O 3 K 17/687 G

H O 3 K 17/16 D

H O 3 K 17/693 A

請求項の数 9 (全 14 頁)

(21) 出願番号	特願2016-526971 (P2016-526971)	(73) 特許権者	595020643
(86) (22) 出願日	平成26年7月3日 (2014. 7. 3)		クゥアルコム・インコーポレイテッド
(65) 公表番号	特表2016-529788 (P2016-529788A)		Q U A L C O M M I N C O R P O R A T E D
(43) 公表日	平成28年9月23日 (2016. 9. 23)		アメリカ合衆国、カリフォルニア州 9 2
(86) 国際出願番号	PCT/US2014/045472		1 2 1 - 1 7 1 4、サン・ディエゴ、モア
(87) 国際公開番号	W02015/009462		ハウス・ドライブ 5 7 7 5
(87) 国際公開日	平成27年1月22日 (2015. 1. 22)	(74) 代理人	100108855
審査請求日	平成29年6月7日 (2017. 6. 7)		弁理士 蔵田 昌俊
(31) 優先権主張番号	13/944, 709	(74) 代理人	100109830
(32) 優先日	平成25年7月17日 (2013. 7. 17)		弁理士 福原 淑弘
(33) 優先権主張国・地域又は機関	米国 (US)	(74) 代理人	100158805
			弁理士 井関 守三
		(74) 代理人	100194814
			弁理士 奥村 元宏

最終頁に続く

(54) 【発明の名称】 スイッチリニアライザ

(57) 【特許請求の範囲】

【請求項 1】

装置であって、
デジタル可変キャパシタ (D V C) を備えるアンテナ同調回路と、前記 D V C は、第1の端子と第2の端子の間に直列に接続された複数のスイッチを備え、
前記複数のスイッチに並列に接続され、前記第1の端子と前記第2の端子に接続されたりニアライザと、前記リニアライザは、同調電圧に対応する調節可能な容量を有する少なくとも1つのバラクタを備える、
を備える装置。

【請求項 2】

前記複数のスイッチは、複数の積み重ねられたトランジスタを備える、請求項 1 に記載の装置。

【請求項 3】

前記リニアライザは、前記少なくとも1つのバラクタに直列に接続された複数の金属 - 絶縁体 - 金属 (M I M) キャパシタをさらに備える、請求項 1 に記載の装置。

【請求項 4】

前記リニアライザは、前記複数のスイッチによって生成された3次歪みの振幅と実質的に等しい振幅と、前記複数のスイッチによって生成された前記3次歪みの位相とは逆の位相とを有する、3次歪みを生成するように構成される、請求項 1 に記載の装置。

【請求項 5】

前記複数のスイッチは、正の 3 次歪み項を生成するように構成され、前記リニアライザは、負の 3 次歪み項を生成するように構成される、請求項 1 に記載の装置。

【請求項 6】

前記リニアライザは、前記複数のスイッチによって生成された 3 次歪みに破壊するよう干渉するために、3 次歪みを生成するように構成された、請求項 1 に記載の装置。

【請求項 7】

方法であって、

複数のスイッチをオフ状態に構成すること、前記複数のスイッチは、第 1 の端子と第 2 の端子の間に直列に接続され、

前記複数のスイッチに並列に、および、前記第 1 の端子と前記第 2 の端子の間に接続されたりニアライザに含まれる少なくとも 1 つのバラクタによって生成される歪みで、前記オフ状態の前記複数のスイッチによって生成される歪みの少なくとも 1 つの部分を打ち消すこと、前記少なくとも 1 つのバラクタは、同調電圧に対応する調節可能な容量を有する

10

、
を備える方法。

【請求項 8】

前記歪みの少なくとも 1 つの部分を打ち消すことは、前記複数のスイッチによって生成された 3 次歪みに建設的に干渉するために、前記バラクタの 3 次歪みを生成することを構成する、請求項 7 に記載の方法。

【請求項 9】

前記バラクタの容量の 3 次項の大きさを調節するために、前記バラクタに伝達される前記同調電圧を調節することをさらに備える、請求項 7 に記載の方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

関連出願の相互参照

[0001]本願は、2013 年 7 月 17 日に出願された、所有者共通の米国特許非仮出願第 13 / 944 709 号明細書の優先権を主張し、その内容の全体は、参照することによって明示的に本明細書に組み込まれる。

【0002】

[0002]本発明は一般に、オフ状態のトランジスタスイッチの直線性の向上に関する。

30

【0003】

[0003]金属酸化膜半導体電界効果トランジスタ (MOSFET) の技術は、マイクロプロセッサ、マイクロコントローラ、スタティック RAM その他のデジタル論理回路を含む多くの電子機器に見ることができる。高ノイズ耐性および低静的電力消費により、MOSFET は、複数の信号のうちの 1 つの信号を切り替えるための設計にしばしば使用される。MOSFET を用いる一般的なスイッチは、相補型金属酸化膜半導体 (CMOS) を含む。

【0004】

[0004]CMOS スwitch は、アンテナ同調回路にしばしば使用され、これは、低受信機ノイズノースパフロアを維持し、また規定のエミッションマスクを満たしながら、いくつかの動作周波数の共存を可能にするために、高い直線性 (すなわち低歪み) を必要とする。「オフ」状態の CMOS スwitch の非直線性の容量により、1 つの制限が生じる。CMOS スwitch の直線性を高める従来の方法は、CMOS SOI (silicon on insulator) の使用、および最低歪みのためのゲートおよび基板電圧 (body voltage) の最適化、ならびに / あるいはより多くの電界効果トランジスタ (FET) を、個々の FET の電圧スイングを削減するために、直列に積み重ねることを含む。しかしながら、これらの方法は限定的な結果をもたらし、ネットワークに負荷損失を加えている。

40

【0005】

[0005]オフ状態のスイッチの直線性を向上させる必要性が存在する。さらに具体的には

50

、１つまたは複数のスイッチを含むアンテナ同調回路の直線性の向上に関する実施形態に対する必要性が存在する。

【図面の簡単な説明】

【０００６】

【図１】[0006]本発明の例示的な実施形態による、インピーダンス整合回路を含む無線装置を示す。

【図２Ａ】[0007]デジタル可変キャパシタ回路を表す。

【図２Ｂ】[0008]積層電界効果トランジスタスイッチを示す。

【図３Ａ】[0009]ゲート、ソース、ドレインおよび基板を含む、電界効果トランジスタを表す。

【図３Ｂ】[0010]オフ状態のスイッチの両端のドレインからソースへの電圧に対する、オフ状態のスイッチの容量ドレイン・ソース間容量を表すプロットである。

【図４】[0011]同調電圧に対する、バラクタの容量を表すプロットである。

【図５】[0012]本発明の例示的な実施形態による、リニアライザに接続されたスイッチを含む装置を示す。

【図６】[0013]本発明の例示的な実施形態による、複数のスイッチおよび複数のリニアライザを含む装置を示す。

【図７】[0014]本発明の例示的な実施形態による、リニアライザに接続されたデジタル可変キャパシタ回路を含む装置を示す。

【図８】[0015]本発明の例示的な実施形態による方法を表すフローチャートである。

【図９】[0016]本発明の例示的な実施形態による別の方法を表すフローチャートである。

【発明を実施するための形態】

【０００７】

[0017]添付された図面に関連して以下に記載する詳細な説明は、本発明の例示的な実施形態の説明として意図されており、本発明が実施され得る実施形態のみを示すことは意図されていない。この説明を通じて使用される「例示的な」という語は、「例、事例、または図として供する」ことを意味し、必ずしも、他の例示的な実施形態に対して好ましいか、あるいは好適であると解釈されるべきではない。この詳細な説明は、本発明の例示的な実施形態の完全な理解をもたらす目的で、具体的な詳細を含む。本発明の例示的な実施形態は、これらの具体的な詳細なしに実施され得ることが、当業者には明らかであろう。いくつかの事例において、本明細書に記載される例示的な実施形態の新規性を不明瞭にすることを避けるために、よく知られている構造および装置が、ブロック図の形式で示されている。

【０００８】

[0018]当業者によって理解されるように、無線装置のアンテナチューナ（例えばインピーダンス整合回路）は、高周波（RF）マトリックススイッチを含むことができ、これは、低受信機ノイズノスパーフロアを維持し、規定のエミッションマスクに合致しながら、いくつかの動作周波数の共存を可能にするために、高直線性（すなわち低歪み）を必要とし得る。

【０００９】

[0019]本明細書で説明されるような、例示的な実施形態は、スイッチの「オフ」状態の応答を向上させることに関連した装置および方法に関する。１つの例示的な実施形態によれば、装置は、少なくとも１つのスイッチ、およびスイッチに接続されたリニアライザを含み得る。さらに、リニアライザは、少なくとも１つのスイッチによって生成された３次歪みの少なくとも一部分を打ち消すように構成され得る。別の例示的な実施形態によれば、装置は、オン状態およびオフ状態のうちの１つで動作するように構成された、複数の積み重ねられたトランジスタを含むスイッチを含み得る。この装置はまた、スイッチに接続され、オフ状態のスイッチによって生成された３次歪みを実質的に打ち消すように構成されたバラクタを含み得る。

【００１０】

[0020]別の例示的な実施形態によれば、本発明は、スイッチの「オフ」状態の応答を向上させる方法を含む。このような方法の様々な実施形態は、少なくとも1つのスイッチをオフ状態に構成することを含み得る。この方法はまた、バラクタの3次歪みで、オフ状態のスイッチの3次歪みを実質的に打ち消すことを含み得る。さらに別の例示的な実施形態によれば、方法は、オフ状態のスイッチで3次歪みを生成することと、スイッチによって生成された3次歪みを、スイッチに接続されたバラクタで実質的に打ち消すこととを含み得る。

【0011】

[0021]本発明の他の態様、ならびに様々な態様の特徵および利点は、以下の説明、添付されている図面、および添付された特許請求の範囲の検討を通して、当業者に明らかになるであろう。

10

【0012】

[0022]図1は、無線装置100の例示的な設計のブロック図を示す。この例示的な設計において、無線装置100は、データプロセッサ/コントローラ110、送受信機120、適応同調回路170、およびアンテナ152を含む。送受信機120は、双方向無線通信をサポートする、送信機130および受信機160を含む。無線装置100は、LTE (Long Term Evolution)、符号分割多元接続(CDMA)1XまたはCDMA2000、ワイドバンドCDMA(WCDMA(登録商標))、GSM(登録商標)(Global System for Mobile Communications)(登録商標)、IEEE802.11等をサポートし得る。

20

【0013】

[0023]送信パスにおいて、データプロセッサ110は、送信されるデータを処理(例えばエンコードおよび変調)し、送信機130にアナログ出力信号を提供する。送信機130内で、送信回路132は、アナログ出力信号をベースバンドからRFへと増幅、フィルタリング、およびアップコンバートし、変調された信号を提供する。送信回路132は、アンプ、フィルタ、ミキサ、発振器、局部発振器(LO)ジェネレータ、位相同期回路(PLL)等を含み得る。パワーアンプ(PA)134は、変調された信号を受信して増幅し、適切な出力電力レベルを有する増幅されたRF信号を提供する。送信フィルタ136は、送信帯域で、信号成分が通過するように増幅されたRF信号をフィルタリングし、受信帯域で信号成分を減衰する。送信フィルタ136は、出力RF信号を提供し、これは、スイッチ140およびインピーダンス整合回路150を通じて送られ、アンテナ152を介して送信される。インピーダンス整合回路150は、アンテナ152に対してインピーダンス整合を実行し、これは、アンテナ同調回路、チューナブル整合回路等とも呼ばれる。

30

【0014】

[0024]受信パスにおいて、アンテナ152は、基地局および/または他の送信局から信号を受信して、受信したRF信号を提供し、これは、インピーダンス整合回路150およびスイッチ140を通じて送られ、受信機160に提供される。受信機160内で、受信フィルタ162は、受信帯域で、信号成分が通過するように受信したRF信号をフィルタリングし、送信帯域で信号成分を減衰する。LNA164は、受信フィルタ162からのフィルタリングされたRF信号を増幅して、入力RF信号を提供する。受信回路166は、入力RF信号をRFからベースバンドへと増幅、フィルタリング、およびダウンコンバートして、データプロセッサ110にアナログ入力信号を提供する。受信回路166は、アンプ、フィルタ、ミキサ、発振器、LOジェネレータ、PLL等を含み得る。

40

【0015】

[0025]適応同調回路170は、データ送受信のための良好な性能を達成できるように、インピーダンス整合回路150を同調または調節する。インピーダンス整合回路150は、デジタル制御信号を伴うディスクリットなユニットで異なり得る容量を有する、デジタル可変キャパシタ(DVC)(図1には示されていない)を含み得る。さらに、本発明の例示的な実施形態によれば、インピーダンス整合回路150は、図5を参照して以下で説

50

明するような１つまたは複数１つまたは複数の装置４００、図６を参照して以下で説明するような１つまたは複数１つまたは複数の装置４５０、図７を参照して以下で説明するような１つまたは複数の装置５００、またはそれらの組み合わせを含み得る。

【００１６】

[0026]送受信機１２０および適応同調回路１７０の全てまたは一部分は、１つまたは複数のアナログ集積回路（ＩＣ）、ＲＦ ＩＣ（ＲＦＩＣ）、ミックスドシグナルＩＣ等を実装され得る。パワーアンプ１３４、およびおそらく他の回路は、個別のＩＣまたはモジュールに実装され得る。インピーダンス整合回路１５０、およびおそらく他の回路もまた、個別のＩＣまたはモジュールに実装され得る。

【００１７】

[0027]データプロセッサ／コントローラ１１０は、無線装置１００のために様々な機能を実行し得る。例えば、データプロセッサ１１０は、送信機１３０を介して送信され、受信機１６０を介して受信されるデータの処理を実行し得る。コントローラ１１０は、ＴＸ回路１３２、ＲＸ回路１６６、スイッチ１４０、および／または適応同調回路１７０の動作を制御し得る。メモリ１１２は、データプロセッサ／コントローラ１１０のために、プログラムコードおよびデータを記憶し得る。メモリ１１２は、（図１に示されているように）データプロセッサ／コントローラ１１０の内部に、または（図１には示されていないが）データプロセッサ／コントローラ１１０の外部に存在し得る。データプロセッサ／コントローラ１１０は、１つまたは複数の特定用途向け集積回路（ＡＳＩＣ）および／または他のＩＣに実装され得る。

【００１８】

[0028]図２Ａは、複数のスイッチ２０２__１～２０２__ＮおよびキャパシタＣ１～ＣＮを含む、デジタル可変キャパシタ（ＤＶＣ）回路２００を示している。当業者によって理解されるように、ＤＶＣ回路２００等のＤＶＣ回路の動作中に、１つまたは複数のスイッチ２０２__１～２０２__Ｎがオン状態（すなわち導通状態）で動作、１つまたは複数のスイッチ２０２__１～２０２__Ｎがオフ状態（すなわち非導通状態）で動作、あるいはこれらの任意の組み合わせで動作し得る。さらに理解されるように、ＤＶＣ回路のスイッチ（例えばスイッチ２０２__Ｎ）等のスイッチは、積層構成の複数の電界効果トランジスタ（ＦＥＴ）を含み得る。

【００１９】

[0029]図２Ｂは、スイッチ２０２のより詳細な図であり、積層ＦＥＴスイッチ（すなわち積み重ねられた構成の複数のＦＥＴトランジスタ）を備えている。図２Ｂに示されているように、スイッチ２０２の各ＦＥＴトランジスタは、当業者によって理解されるように、ゲートＧ、基板Ｂ、ドレインＤおよびソースＳを含み得る。

【００２０】

[0030]当業者によって理解されるように、積み重ねられたＦＥＴは信頼性、それによって接合破壊故障の回避のために使用される。さらに、対称な設計によって、２次非直線性の実質的に打ち消され得る。しかしながら、積層ＦＥＴスイッチは、オフ状態において、３次非直線性を示し得る。つまり、オフ状態のスイッチ（すなわち非導通状態のスイッチ）は、ドレイン／ソース（Ｄ／Ｓ）間ゲート、およびＤ／Ｓ間バルクの容量の容量性の非直線性によって支配され得る。積層ＦＥＴスイッチの３次非直線性は、積み重ねられたＦＥＴの各ＦＥＴの３次非直線性の総和を備え得る。

【００２１】

[0031]図３Ａは、ゲートＧ、ドレインＤ、ソースＳ、および基板Ｂを含むトランジスタ２５０を示している。トランジスタ２５０は、図２Ｂに示された積層ＦＥＴスイッチ２０２等の、積層ＦＥＴスイッチの複数のトランジスタのうちの１つであり得る。単なる一例として、トランジスタ２５０のオフ状態（すなわち非導通状態）の間に、トランジスタ２５０のゲートＧおよび基板Ｂは、トランジスタ２５０が部分的にオンになるのを防ぐために、負の電圧（例えば－２．７ボルト）でバイアスされ得る。

【００２２】

[0032]図3Bは、オフ状態のスイッチの両端のD/S電圧に対するオフ状態のスイッチのドレイン・ソース間容量を表す曲線282を含む、プロット280である。理解されるように、曲線282は、オフ状態のスイッチのドレイン・ソース間容量の、非直線性の挙動を表す。当業者には明らかであるように、整合回路内のスイッチの非直線性は、受信機の性能に悪影響を及ぼし、かつ/あるいは送信機でスペクトルエミッションの妨害を引き起こし得る、望ましくない歪みを増やす。電圧の関数としてのオフ状態のスイッチの容量は、次の数式によって与えられる。

$$C(V) = C_0 + C_1 * V + C_2 * V^2 + C_3 * V^3 ;$$

(1)

ここで、 C_0 はオフ状態のスイッチのベース容量、 C_1 はオフ状態のスイッチの、オフ状態の容量の直線の傾き、 C_2 はオフ状態のスイッチの2次非直線容量の係数、および C_3 はオフ状態のスイッチの3次非直線容量の係数である。

【0023】

[0033]D/S容量の挙動の性質によって決定される、数式(1)の3次項の係数(すなわち C_3)は、プロット280に示された上側に凹の曲線(すなわち曲線282)となる、正の値であることに注意されたい。

【0024】

[0034]1つの例示的な実施形態によれば、スイッチのオフ状態は、オフ状態のスイッチに対して、実質的に等しい大きさおよび逆の位相(すなわち180度ずれた)を有する3次歪みを導入することによって直線化され得る。図4は、バラクタの同調電圧に対する、バラクタのゲート・ドレイン/ソース(D/S)間容量を表す曲線302を含むプロット300である。電圧の関数としてのバラクタの容量は、次の数式によって与えられる。

$$C(V) = C_0 + C_1 * V + C_2 * V^2 - C_3 * V^3 ;$$

(2)

ここにおいて、 C_0 はバラクタのベース容量、 C_1 はバラクタの容量の直線の傾き、 C_2 はバラクタの2次非直線容量の係数、および C_3 はバラクタスイッチの3次非直線容量の係数である。

【0025】

[0035]バラクタの挙動の性質によって決定される、数式(2)の3次項の係数(すなわち C_3)は、プロット300に示された下側に凹の曲線(すなわち曲線302)となる、負の値であることに注意されたい。プロット280の曲線282(図2Bを参照)、およびプロット300の曲線302(図4を参照)は、実質的に逆の変曲点を有することにさらに注意されたい。このため、本発明の様々な例示的な実施形態によれば、バラクタによって生成された歪みは、スイッチによって生成された歪みを実質的に打ち消すために利用され得る。つまり、スイッチは、スイッチによって生成された歪みに対して、等しい大きさおよび逆の位相(すなわち180度ずれた)を有する歪みを導入することによって直線化され得る。

【0026】

[0036]図5は、本発明の例示的な実施形態による、装置400を示している。装置400は、例えば、積み重ねられたFETスイッチの複数のトランジスタ(すなわち積層FETスイッチ)を備え得るスイッチ402を含む。さらに、装置400は、スイッチ402に並列に接続されたリニアライザ404を含む。1つの例示的な実施形態によれば、リニアライザ404は、スイッチ402で生成された歪みに対して、等しい大きさおよび逆位相を有する歪みを導入するように構成され得る。一例として、リニアライザ404は、電圧を制御される容量(すなわち可変キャパシタ C_{VAR})を有し、同調電圧 V_{tune} を受けよう構成された、バラクタ406(例えば、金属酸化膜半導体(MOS)バラクタ)を含み得る。リニアライザ404はまた、バラクタ406に直列に接続された金属-絶縁体-金属(metal-insulator-metal、MIM)キャパシタ C_{MIM} を含む。

【0027】

10

20

30

40

50

[0037] 上述したように、スイッチ 402 は、振幅および位相を有する 3 次歪みを生成し得る。さらに、リニアライザ 404 および、より具体的にはバラクタ 406 は、スイッチ 402 によって生成された 3 次歪みの位相に対して、180 度位相が異なる 3 次歪みを生成し得る。また、同調電圧 V_{tune} は、バラクタ 406 によって生成された 3 次歪みの振幅を調節するために使用され得ることに注意されたい。理想的には、電圧の関数としての装置 400 の容量は、次の数式によって与えられ得る。

$$C(V) = C_0 + C_1 * V + C_2 * V^2;$$

(3)

ここで C_0 は装置 400 のベース容量、 C_1 は装置 400 の容量の直線の傾き、および C_2 は装置 400 の 2 次非直線性容量の係数である。装置 400 は、いくつかの残存 3 次非直線容量を含み得ることに注意されたい。

【0028】

[0038] このため、1 つの例示的な実施形態によれば、リニアライザ 404 は、3 次歪みを生成するように構成され得、スイッチ 402 によって生成された 3 次歪みに破壊するよう干渉するために使用され得る。より具体的には、適切な同調電圧を受けたバラクタ 406 は、スイッチ 402 によって生成された 3 次歪みを実質的に打ち消すように、スイッチ 402 によって生成された 3 次歪みに対して等しい大きさ、および逆の位相（すなわち、スイッチ 402 の 3 次歪みに対して 180 度ずれた）を有する 3 次歪みを生成し得るため、装置 400 の電力効率が向上され得る。

【0029】

[0039] さらに、当業者によって理解されるように、直列の MIM キャパシタ C_{MIM} は、スイッチ 402 の両端で電圧降下を「共有」するように構成されるため、バラクタ 406 の信頼性が向上する。つまり、直列の MIM キャパシタ C_{MIM} を含むバラクタ 406 の対称な実装は、RF 電圧スイングを分割し、ゲートからソース/ドレイン (G-S/D) へのブレイクダウン領域 (break down region) が避けられることをバラクタに保証する。さらに、バラクタ 406 の 2 次インターセプト (IP2) への影響は、小さい歪みおよび/または対称な設計によって最小限であり、バラクタ 406 は、関連付けられた DVC の寸法にほとんど影響を及ぼすことはなく、かつコーナー条件で敏感である。スイッチ 402 の「オン」状態（すなわち導通状態）の間は、バラクタ 406 は、「オン」スイッチによって作られた仮想短絡に並列であるため、「オン」状態の 3 次インターセプト (IP3) に実質的に影響し得ないことに注意されたい。

【0030】

[0040] 図 6 は、本発明の別の例示的な実施形態による、装置 450 を示している。装置 450 は、DVC を備えることができ、複数の装置 400-1 ~ 400-N を含み、各装置 400-1 ~ 400-N は、スイッチ 402 および関連付けられたリニアライザ 404 を含む。各リニアライザ 404 は、関連付けられたスイッチ 402 の寸法に従って拡大縮小され得ることに注意されたい。さらに、リニアライザ 404 が所与のスイッチの寸法に対して最適化された後、MIM キャパシタ C_{MIM} (図 6 には図示せず。図 5 を参照) およびリニアライザ 404 のバラクタ構成部品 (例えばキャパシタ C_{VAR}) は、他の実装に対して直線的に拡大縮小され得る。拡大縮小された構成部品を有し、スイッチ 402 / リニアライザ 404 のそれぞれが対となる装置 450 は、処理、電圧、および温度の影響を明らかにするように 3 次打ち消しを調節するために、共通の同調電圧（すなわち同調電圧 V_{tune} 。図 5 を参照）を共有することができ、これによって、支持ハードウェアのダイ領域を削減する。

【0031】

[0041] 図 7 は、本発明のさらに別の例示的な実施形態による、装置 500 を表す。装置 500 は、DVC 回路 502、および DVC 回路 502 に並列に接続されたリニアライザ 404 を含む。上述したように、リニアライザ 404 は、バラクタ 406、およびバラクタ 406 に直列に接続された MIM キャパシタ C_{MIM} を含む。この例示的な実施形態において、DVC 回路 502 は、複数のスイッチ 505-1 ~ 505-N を含み、各スイッ

10

20

30

40

50

チ 505 - 1 ~ 505 - N は、積層 FET スイッチを含む。いくつかのオフ状態のスイッチが認識される場合は常に、リニアライザ 404 は、DVC 回路 502 の非直線的な挙動を相殺するように、使用され調節され得る。

【0032】

[0042] 図 8 は、1 つまたは複数の例示的な実施形態による、方法 600 を示すフローチャートである。方法 600 は、少なくとも 1 つのスイッチをオフ状態に構成すること（符号 602 で表される）を含み得る。方法 600 はまた、バラクタによって生成された 3 次歪みで、オフ状態のスイッチによって生成された 3 次歪みを実質的に打ち消すこと（符号 604 で表される）を含み得る。

【0033】

[0043] 図 9 は、1 つまたは複数の例示的な実施形態による、別の方法 700 を示すフローチャートである。方法 700 は、オフ状態のスイッチで 3 次歪みを生成すること（符号 702 で表される）を含み得る。方法 700 は、スイッチに接続されたバラクタで、スイッチによって生成された 3 次歪みを実質的に打ち消すこと（符号 704 で表される）をさらに含む。

【0034】

[0044] 情報および信号は、任意の様々な異なる技術および技法を用いて表され得ることを当業者は理解するであろう。例えば、上記の説明を通して参照され得るデータ、命令、コマンド、情報、信号、ビット、シンボル、およびチップは、電圧、電流、電磁波、磁場または磁性粒子、光場または光学粒子、またはそれらの任意の組み合わせによって表され得る。

【0035】

[0045] 本明細書で開示される例示的な実施形態に関連して説明される、様々な例示的な論理ブロック、モジュール、回路、およびアルゴリズムステップは、電子的なハードウェア、コンピュータソフトウェア、または両方の組み合わせとして実装され得ることを当業者はさらに理解するであろう。このハードウェアとソフトウェアとの交換可能性を明確に示すために、様々な例示的な構成部品、ブロック、モジュール、回路、およびステップが、一般的にそれらの機能に関して、上記で説明されている。そのような機能性が、ハードウェアとして実装されるか、あるいはソフトウェアとして実装されるかは、システム全体に課される特定のアプリケーションおよび設計の制約に依存する。当業者は、特定のアプリケーションのそれぞれに対して、説明した機能性を様々な方法で実装し得るが、このような実装の決定は、本発明の例示的な実施形態の範囲からの逸脱を引き起こすと解釈されるべきではない。

【0036】

[0046] 本明細書で開示される例示的な実施形態に関連する、様々な例示的な論理ブロック、モジュール、および回路は、汎用プロセッサ、デジタル信号プロセッサ (DSP)、特定用途向け集積回路 (ASIC)、FPGA (Field Programmable Gate Array) その他のプログラム可能論理回路、ディスクリートなゲートまたはトランジスタ論理、ディスクリートなハードウェア構成部品、または本明細書で説明される機能を実行するように設計された、それらの任意の組み合わせで実装または実行され得る。汎用プロセッサは、マイクロプロセッサであり得るが、選択的に、プロセッサは任意の従来のプロセッサ、コントローラ、マイクロコントローラ、またはステートマシンであり得る。プロセッサはまた、DSP とマイクロプロセッサとの組み合わせ、複数のマイクロプロセッサ、DSP コアと共に用いられる 1 つまたは複数のマイクロプロセッサ、または任意の他のこのような構成等の、演算装置の組み合わせとして実装され得る。

【0037】

[0047] 1 つまたは複数の例示的な実施形態において、説明される機能は、ハードウェア、ソフトウェア、ファームウェア、またはこれらの任意の組み合わせで実装され得る。ソフトウェアに実装される場合は、機能は、コンピュータ可読媒体に、1 つまたは複数の命令またはコードとして、記憶されるかあるいは送信される。コンピュータ可読媒体は、1

10

20

30

40

50

つの場所から別の場所へのコンピュータプログラムの転送を容易にする任意の媒体を含む、コンピュータ記憶媒体および通信媒体の両方を含む。記憶媒体は、コンピュータによってアクセス可能な、任意の使用可能な媒体であり得る。一例として、そして限定ではなく、このようなコンピュータ可読媒体は、所望のプログラムコードを命令またはデータ構造の形式で保持または記憶するために使用され、かつコンピュータによってアクセスされ得る、RAM、ROM、EEPROM（登録商標）、CD-ROMその他の光学ディスク記憶装置、磁気ディスク記憶装置その他の磁気記憶装置、または任意の他の媒体を備えることができる。また、任意の接続が、適切にコンピュータ可読媒体と呼ばれる。例えば、ソフトウェアが、同軸ケーブル、光ファイバケーブル、対より線、デジタル加入者線（DSL）、あるいは赤外線、無線通信およびマイクロ波等の無線技術を用いて、ウェブサイト、サーバその他の遠隔ソースから送信される場合は、同軸ケーブル、光ファイバケーブル、対より線、DSL、または赤外線、無線通信およびマイクロ波等の無線技術は、媒体の定義に含まれる。本明細書で使用されるように、ディスク（disk）およびディスク（disc）は、コンパクトディスク（compact disc、CD）、レーザーディスク（登録商標）（laser disc）、光学ディスク（optical disc）、デジタル多用途ディスク（digital versatile disc、DVD）、フロッピー（登録商標）ディスク（floppy disk）およびblu-ray（登録商標）ディスク（blu-ray disc）を含み、ディスク（disk）は通常、データを磁氣的に再生し、ディスク（disc）は、データをレーザーで光学的に再生する。上記の組み合わせもまた、コンピュータ可読媒体の範囲内に含まれるべきである。

【0038】

[0048]開示される例示的な実施形態の前述の説明は、当業者が本発明を作成または使用できるようにするために提供される。これらの例示的な実施形態に対する様々な修正は、当業者には容易に明らかであり、本明細書で定義される一般的な原理は、本発明の精神および範囲から逸脱することなく、他の実施形態に適用され得る。このため、本発明は、本明細書に示される例示的な実施形態に限定されることは意図されておらず、本明細書に開示される原理および新しい特徴に一致する最も広い範囲によることが意図される。

以下に本願の出願当初の特許請求の範囲に記載された発明を付記する。

[C1]

装置であって、

少なくとも1つのスイッチと、

前記少なくとも1つのスイッチに接続され、オフ状態における前記少なくとも1つのスイッチによって生成された少なくとも歪みの一部分を打ち消すように構成されたリニアライザと、

を備える装置。

[C2]

前記少なくとも1つのスイッチの各スイッチが、複数の積み重ねられたトランジスタを備える、C1に記載の装置。

[C3]

前記リニアライザは、前記少なくとも1つのスイッチに並列に接続されたバラクタを備える、C1に記載の装置。

[C4]

前記リニアライザは、前記バラクタに直列に接続された複数の金属-絶縁体-金属（metal-insulator-metal、MIM）キャパシタをさらに備える、C3に記載の装置。

[C5]

前記少なくとも1つのスイッチを備えるデジタル可変キャパシタ（DVC）をさらに備える、C1に記載の装置。

[C6]

前記 D V C を備えるアンテナ同調回路をさらに備える、C 5 に記載の装置。

[C 7]

前記リニアライザは、前記少なくとも 1 つのスイッチによって生成された 3 次歪みの振幅と実質的に等しい振幅と、前記少なくとも 1 つのスイッチによって生成された前記 3 次歪みの位相とは逆の位相とを有する、3 次歪みを生成するように構成される、C 1 に記載の装置。

[C 8]

前記少なくとも 1 つのスイッチは、正の 3 次歪み項を生成するように構成され、前記リニアライザは、負の 3 次歪み項を生成するように構成される、C 1 に記載の装置。

[C 9]

前記リニアライザは、前記少なくとも 1 つのスイッチによって生成された 3 次歪みに破壊するよう干渉するために、3 次歪みを生成するように構成されたバラクタを備える、C 1 に記載の装置。

[C 1 0]

前記バラクタは、前記バラクタによって生成された前記 3 次歪みの大きさを制御するための同調電圧を受けるように構成される、C 9 に記載の装置。

[C 1 1]

方法であって、

スイッチをオフ状態に構成することと、

バラクタによって生成された歪みで、前記オフ状態の前記スイッチによって生成された歪みを実質的に打ち消すことと、

を備える方法。

[C 1 2]

実質的に打ち消すことが、前記スイッチの容量の 3 次項の振幅と実質的に等しい振幅と、前記スイッチの前記 3 次項の位相とは逆の位相とを有する、前記バラクタの容量の 3 次項を生成することを備える、C 1 1 に記載の方法。

[C 1 3]

前記スイッチの容量の 3 次項の大きさと実質的に整合するように、前記バラクタの容量の 3 次項の大きさを調節するために、前記バラクタに伝達される同調電圧を調節することをさらに備える、C 1 1 に記載の方法。

[C 1 4]

装置であって、

少なくとも 1 つのスイッチをオフ状態に構成するための手段と、

前記オフ状態の前記少なくとも 1 つのスイッチの歪みを実質的に打ち消すための手段と、
を備える装置。

[C 1 5]

前記実質的に打ち消すための手段は、前記少なくとも 1 つのスイッチによって生成された 3 次歪みの振幅と実質的に等しい振幅と、前記少なくとも 1 つのスイッチによって生成された 3 次歪みの位相とは逆の位相とを有する、3 次歪みを生成するための手段を備える、C 1 4 に記載の装置。

[C 1 6]

前記オフ状態の前記少なくとも 1 つのスイッチによって生成された 3 次歪みの大きさと実質的に整合するように、前記実質的に打ち消すための手段によって生成された 3 次歪みの大きさを調節するために、同調電圧を伝達するための手段をさらに備える、C 1 4 に記載の装置。

[C 1 7]

前記少なくとも 1 つのスイッチの容量の 3 次項の大きさと実質的に整合するように、前記実質的に打ち消すための手段の容量の 3 次項の大きさを調節するために、前記実質的に打ち消すための手段に伝達される同調電圧を調節するための手段をさらに備える、C 1 4

10

20

30

40

50

に記載の装置。

[C 1 8]

前記構成するための手段は、前記少なくとも1つのスイッチを前記オフ状態に構成するために、前記少なくとも1つのスイッチにバイアス電圧を伝達するための手段を備える、C 1 4 に記載の装置。

[C 1 9]

前記実質的に打ち消すための手段は、前記少なくとも1つのスイッチによって生成された3次歪みに破壊するよう干渉するために、前記実質的に打ち消すための手段で3次歪みを生成するための手段を備える、C 1 4 に記載の装置。

[C 2 0]

前記オフ状態の前記少なくとも1つのスイッチの歪みを実質的に打ち消すための前記手段は、前記オフ状態の前記少なくとも1つのスイッチの3次歪みを実質的に打ち消すための手段を備える、C 1 4 に記載の装置。

10

【図 1】

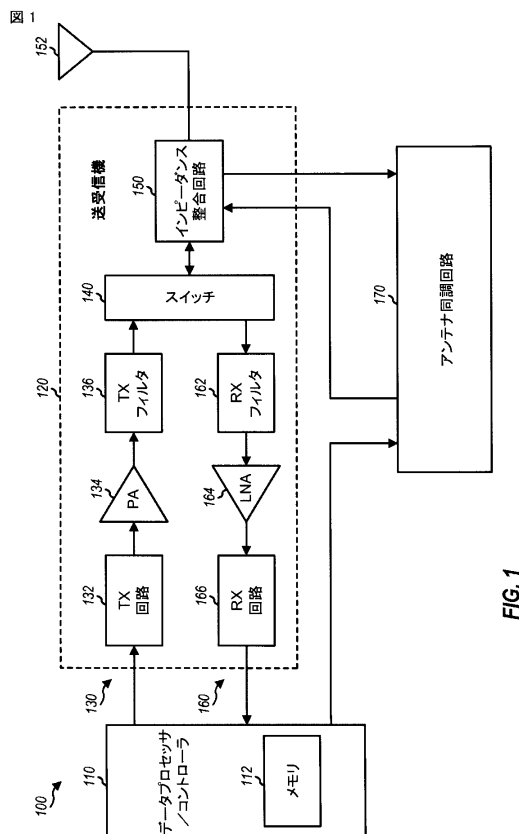


FIG. 1

【図 2 A】

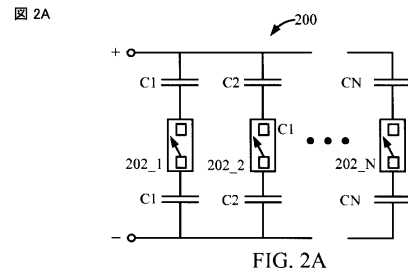


FIG. 2A

【図 2 B】

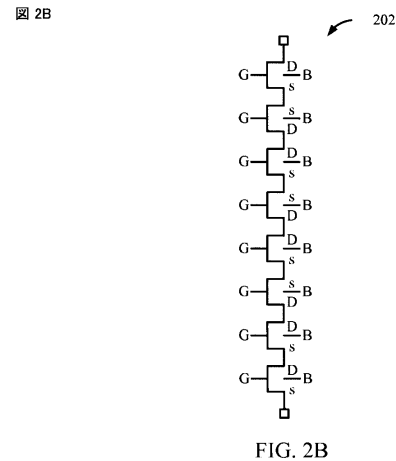


FIG. 2B

【図 3 A】

図 3A

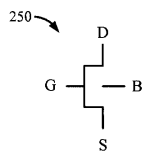


FIG. 3A

【図 4】

図 4

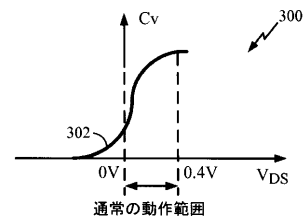


FIG. 4

【図 3 B】

図 3B

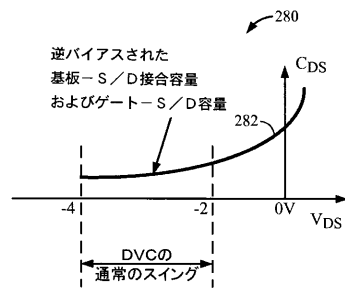


FIG. 3B

【図 5】

図 5

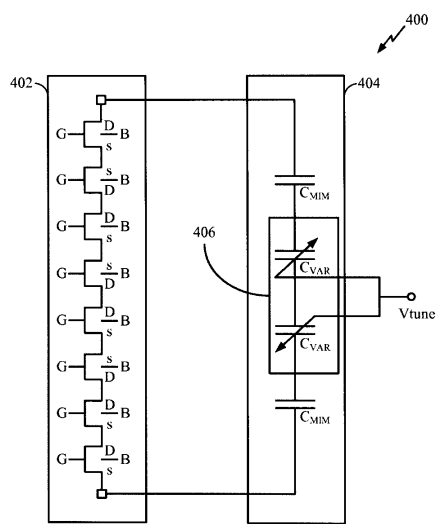


FIG. 5

【図 6】

図 6

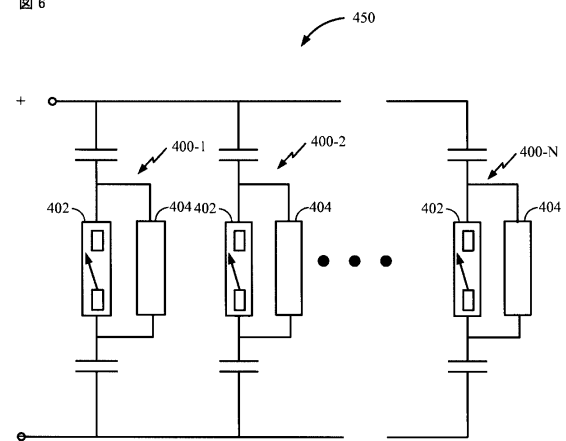


FIG. 6

【図 7】

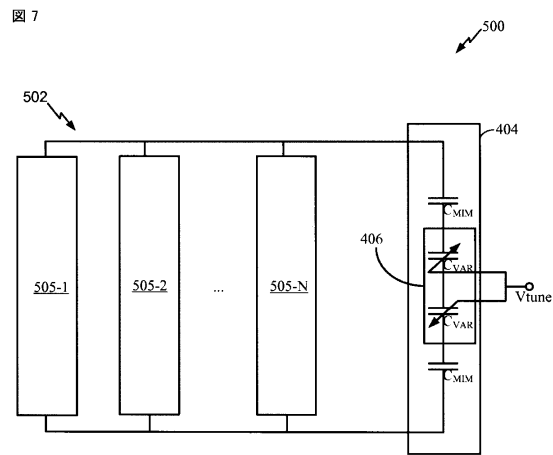


FIG. 7

【図 8】

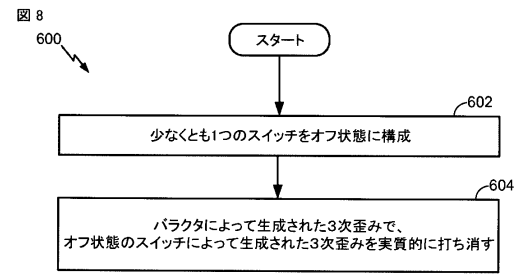


FIG. 8

【図 9】

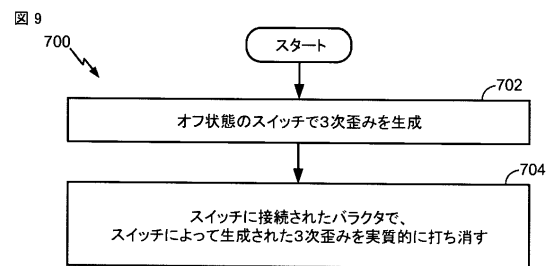


FIG. 9

フロントページの続き

- (72)発明者 ディシッコ、マーク・ジェラルド
アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5
- (72)発明者 ジャン、シャンドン
アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5
- (72)発明者 ワン、シンウェイ
アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5

審査官 渡井 高広

- (56)参考文献 特開2011-015289(JP,A)
米国特許出願公開第2009/0128992(US,A1)
特開2013-070248(JP,A)
特開2003-218217(JP,A)
特開2009-194891(JP,A)
特表2011-515832(JP,A)
特開2008-258670(JP,A)
特開2007-328634(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H03K 17/687
H03K 17/693
H03K 17/16