

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 1 月 23 日(23.01.2014)



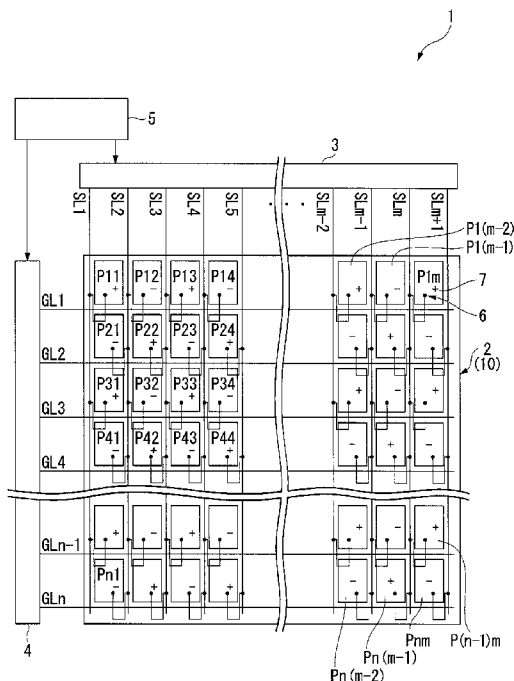
(10) 国際公開番号

WO 2014/013961 A1

- (51) 国際特許分類:
G02F 1/1368 (2006.01) H01L 21/336 (2006.01)
G09F 9/30 (2006.01) H01L 29/786 (2006.01)
- (21) 国際出願番号: PCT/JP2013/069237
- (22) 国際出願日: 2013 年 7 月 16 日(16.07.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-160848 2012 年 7 月 19 日(19.07.2012) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: 田坂 泰俊(TASAKA Yasutoshi). 中西 登(NAKANISHI Noboru). 海瀬 泰佳(KAISE Yasuyoshi).
- (74) 代理人: 船山 武, 外(FUNAYAMA Takeshi et al.); 〒1006620 東京都千代田区丸の内一丁目 9 番 2 号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: LIQUID CRYSTAL DISPLAY DEVICE

(54) 発明の名称: 液晶表示装置



(57) Abstract: In a liquid crystal display device, multiple pixel electrodes that are respectively connected to multiple source bus lines are arranged alternately along the direction of the extension of the source bus lines and on one side and the other side of the direction of the arrangement of the multiple source bus lines, a thin film transistor comprises a semiconductor layer containing a source part, a channel part and a drain part and a gate electrode constituted by a part of a gate bus line, the source part, the channel part and the drain part are arranged adjacent to one another in the direction that intersects with the direction of the arrangement of the multiple source bus lines, and the gate electrode extends in the direction parallel to the direction of the arrangement of the multiple source bus lines and is so arranged as to face the channel part.

(57) 要約: この液晶表示装置において、複数のソースバスラインの各々に接続される複数の画素電極は、ソースバスラインの延在方向に沿って、複数のソースバスラインの並び方向の一方側及び他方側に交互に配置され、薄膜トランジスタは、ソース部とチャネル部とドレイン部とを含む半導体層と、ゲートバスラインの一部によって構成されるゲート電極と、を含み、ソース部とチャネル部とドレイン部とは、複数のソースバスラインの並び方向と交差する方向に互いに隣接して配置され、ゲート電極は、複数のソースバスラインの並び方向と平行な方向に延在し、チャネル部と対向して配置されている。

WO 2014/013961 A1

明 細 書

発明の名称：液晶表示装置

技術分野

[0001] 本発明は、液晶表示装置に関する。

本願は、2012年7月19日に、日本に出願された特願2012-160848号に基づき優先権を主張し、その内容をここに援用する。

背景技術

[0002] 液晶表示装置の一形態として、インバージョン駆動方式で駆動する液晶表示装置が知られている。インバージョン駆動方式としては、フレーム・インバージョン方式、ライン・インバージョン方式、コラム・インバージョン方式、ドット・インバージョン方式等の種々の方式がある。

[0003] 例えば、特許文献1には、データラインをコラム・インバージョン方式で駆動するとともに液晶セルをドット・インバージョン方式で駆動する、いわゆるZ-インバージョン方式の液晶表示装置が開示されている。

先行技術文献

特許文献

[0004] 特許文献1：特開2007-249240号公報

発明の概要

発明が解決しようとする課題

[0005] ところで、液晶表示装置を製造する際、データラインやゲートライン等の配線層と薄膜トランジスタとの相対位置のずれ、いわゆるアライメントずれが生じることがある。しかしながら、特許文献1の液晶表示装置では、アライメントずれを考慮した構成となっていない。その結果、アライメントずれが生じた場合、薄膜トランジスタの保持特性が変化し、表示品位が低下するという問題があった。

[0006] 本発明は、上記の課題を解決するためになされたものであって、薄膜トランジスタの保持特性の変化を抑制し、表示品位の低下を抑制することが可能

な液晶表示装置を提供することを目的とする。

課題を解決するための手段

[0007] 上記の目的を達成するために、本発明は以下の手段を採用した。

(1) すなわち、本発明の第一の態様に係る液晶表示装置は、互いに隣接して配置された複数のソースバスラインと、前記複数のソースバスラインと交差するように互いに隣接して配置された複数のゲートバスラインと、前記複数のソースバスラインと前記複数のゲートバスラインとの各交差部に対応して設けられた複数の薄膜トランジスタと、前記複数の薄膜トランジスタの各々に対応して設けられ、前記薄膜トランジスタを介して前記ソースバスラインから画像信号が供給される複数の画素電極と、単位期間毎に正極性電位と負極性電位とに極性が反転する前記画像信号を前記複数のソースバスラインの各々に供給するソースドライバーと、を含み、前記複数のソースバスラインの各々に接続される複数の前記画素電極は、前記ソースバスラインの延在方向に沿って、前記複数のソースバスラインの並び方向の一方側及び他方側に交互に配置され、前記複数の薄膜トランジスタの各々は、ソース部とチャネル部とドレイン部とを含む半導体層と、前記ゲートバスラインの一部によって構成されるゲート電極と、を含み、前記ソース部と前記チャネル部と前記ドレイン部とは、前記複数のソースバスラインの並び方向と交差する方向に互いに隣接して配置され、前記ゲート電極は、前記複数のソースバスラインの並び方向と平行な方向に延在し、前記チャネル部と対向して配置されている。

[0008] (2) 本発明の第二の態様に係る液晶表示装置は、前記半導体層は、前記チャネル部として機能するチャネル領域と、前記ソース部または前記ドレイン部として機能する高濃度不純物領域と、前記チャネル領域と前記高濃度不純物領域との間に設けられた低濃度不純物領域と、を含み、

前記複数の薄膜トランジスタの各々において、前記ソースバスラインの延在方向における前記低濃度不純物領域の長さは、前記複数のソースバスラインの並び方向における前記複数のゲートバスラインと前記複数の薄膜トラン

ジスタとの相対位置のずれに対して不変であってもよい。

[0009] (3) 上記(1)または(2)に記載の液晶表示装置では、前記複数の薄膜トランジスタの各々は、前記ゲートバスラインの一部によって構成されるゲート電極が前記ゲートバスラインに沿って複数配置されたマルチゲート構造を有してもよい。

[0010] (4) 上記(3)に記載の液晶表示装置では、前記複数の薄膜トランジスタの各々は、前記ゲート電極が前記ゲートバスラインに沿って二つ配置されたダブルゲート構造を有してもよい。

[0011] (5) 上記(3)に記載の液晶表示装置では、前記複数の薄膜トランジスタの各々は、前記ゲート電極が前記ゲートバスラインに沿って三つ配置されたトリプルゲート構造を有してもよい。

[0012] (6) 上記(1)または(2)に記載の液晶表示装置では、前記複数の薄膜トランジスタの各々は、前記ゲートバスラインの一部によって構成されるゲート電極が前記ゲートバスラインに沿って一つ配置されたシングルゲート構造を有してもよい。

[0013] (7) 上記(1)ないし(6)のいずれか一項に記載の液晶表示装置では、前記複数の薄膜トランジスタの各々の保持特性は、前記複数のソースバスラインの並び方向における前記複数のゲートバスラインと前記複数の薄膜トランジスタとの相対位置のずれに対して不変であってもよい。

[0014] (8) 上記(1)ないし(7)のいずれか一項に記載の液晶表示装置では、隣接する前記ソースバスラインと隣接する前記ゲートバスラインとによって区画された領域を一つの画素としたとき、複数の前記画素の配列がストライプ配列であってもよい。

[0015] (9) 上記(1)ないし(7)のいずれか一項に記載の液晶表示装置では、隣接する前記ソースバスラインと隣接する前記ゲートバスラインとによって区画された領域を一つの画素としたとき、複数の前記画素の配列がデルタ配列であってもよい。

[0016] (10) 上記(1)ないし(9)のいずれか一項に記載の液晶表示装置で

は、前記半導体層の形成材料が、インジウム、ガリウム、及び亜鉛から構成される酸化物を含んでもよい。

発明の効果

[0017] 本発明によれば、薄膜トランジスタの保持特性の変化を抑制し、表示品位の低下を抑制することが可能な液晶表示装置を提供することができる。

図面の簡単な説明

[0018] [図1]本発明の第1実施形態に係る液晶表示装置を示す模式図である。

[図2]本発明の第1実施形態に係る液晶表示装置の要部を拡大して示す平面図である。

[図3]図2のA-A線に沿った断面図である。

[図4A]比較例に係る液晶表示装置の要部を拡大して示す平面図である。

[図4B]比較例に係る液晶表示装置の要部を拡大して示す平面図である。

[図5A]本発明の第1実施形態に係る液晶表示装置の要部を拡大して示す平面図である。

[図5B]本発明の第1実施形態に係る液晶表示装置の要部を拡大して示す平面図である。

[図6A]本発明の第1実施形態に係る液晶表示装置の効果を説明するための模式図である。

[図6B]本発明の第1実施形態に係る液晶表示装置の効果を説明するための模式図である。

[図7]本発明の第2実施形態に係る液晶表示装置の要部を拡大して示す平面図である。

[図8]本発明の第3実施形態に係る液晶表示装置の要部を拡大して示す平面図である。

[図9]本発明の第4実施形態に係る液晶表示装置の要部を拡大して示す平面図である。

[図10]本発明の第5実施形態に係る液晶表示装置の要部を拡大して示す平面図である。

発明を実施するための形態

[0019] [第1実施形態]

以下、本発明の第1実施形態について、図1～図6Bを用いて説明する。

なお、以下の全ての図面においては、各構成要素を見やすくするため、構成要素によって寸法の縮尺を異ならせて示すことがある。

[0020] 図1は、本発明の第1実施形態に係る液晶表示装置1を示す模式図である。

図1に示すように、本実施形態に係る液晶表示装置1は、液晶パネル2と、ソースドライバ3と、ゲートドライバ4と、制御装置5と、を備えている。液晶パネル2は、素子基板10を含んでいる。

[0021] 素子基板10には、表示の最小単位領域である画素がマトリクス状に複数配置されている。素子基板10には、複数のソースバスライン(SL1～SLm+1)と、複数のゲートバスライン(GL1～GLn)と、複数の薄膜トランジスタ6 (Thin Film Transistor, 以下、TFTと略記する) と、複数の画素電極7と、が設けられている。以下の説明においては、ソースバスラインを総称してソースバスラインSLと記載することがある。ゲートバスラインを総称してゲートバスラインGLと記載することがある。

[0022] 複数のソースバスライン(SL1～SLm+1)は、互いに平行に延在するように隣接して配置されている。複数のゲートバスライン(GL1～GLn)は、互いに平行に延在し、かつ、複数のソースバスライン(SL1～SLm+1)と直交するように互いに隣接して配置されている。素子基板10上には、複数のソースバスライン(SL1～SLm+1)と複数のゲートバスライン(GL1～GLn)とが格子状に形成されている。隣接するソースバスラインSLと隣接するゲートバスラインGLとによって区画された矩形状の領域が一つの画素Pとなる。本実施形態では、複数の画素(P11～Pnm)がマトリクス状に配置されている。

[0023] また、本実施形態では、複数の画素(P11～Pnm)の配列がストライ

プ配列である。具体的には、複数の画素（ $P_{11} \sim P_{nm}$ ）がソースバスライン SL の延在方向に沿ってストライプ状に配列されている。

[0024] 複数の TFT_6 は、複数のソースバスライン（ $SL_1 \sim SL_{m+1}$ ）と複数のゲートバスライン（ $GL_1 \sim GL_n$ ）との各交差部に対応して設けられている。 TFT_6 は、ゲートバスライン GL からのスキャン信号に応答してソースバスライン SL からの画像信号を画素電極7に供給する。 TFT_6 の詳細については後述する。

[0025] 複数の画素電極7は、複数の TFT_6 の各々に対応して設けられている。複数の画素電極7は、複数のソースバスライン（ $SL_1 \sim SL_{m+1}$ ）の各々に接続されている。一本のソースバスライン SL に接続される複数の画素電極7は、ソースバスライン SL の延在方向（以下、垂直ライン方向と称することがある）に沿って、複数のソースバスライン（ $SL_1 \sim SL_{m+1}$ ）の並び方向（以下、水平ライン方向と称することがある）の一方側（図1に示す左側）及び他方側（図1に示す右側）に交互に配置されている。

[0026] 本実施形態では、垂直ライン方向における奇数番目のゲートバスライン（ GL_1 、 GL_3 、 GL_5 、 $\dots$ ）に接続された奇数番目の画素電極7は、左側に隣接したソースバスライン（ SL_i ）（ここで、 i は正の整数）に接続されている。一方、垂直ライン方向における偶数番目のゲートバスライン（ GL_2 、 GL_4 、 GL_6 、 $\dots$ ）に接続された偶数番目の画素電極7は、右側に隣接したソースバスライン（ SL_{i+1} ）に接続されている。

[0027] 複数の画素電極7には、 TFT_6 を介してソースバスライン SL から画像信号が供給される。画素電極7は、画像信号に応答して共通電極（図示略）との間に位置する液晶を駆動する。これにより、光の透過率が調節される。

[0028] 制御装置5は、ソースドライバー3に画像信号を供給する。制御装置5は、ゲートドライバー4及びソースドライバー3に制御信号を供給する。

[0029] ゲートドライバー4に供給される制御信号には、ゲート・スタートパルス（ GSP ）、ゲート・シフト・クロック信号（ GSC ）、ゲート出力イネーブル信号（ GOE ）が含まれる。

- [0030] ソースドライバー 3 に供給される制御信号には、ソース・スタートパルス (SSP)、ソース・シフト・クロック信号 (SSC)、ソース出力イネーブル信号 (SOE)、極性制御信号 (POL) 等が含まれる。
- [0031] ゲートドライバー 4 は、GL 1、GL 2、GL 3、・・・GL n の順に、ゲートバスライン (GL 1 ～ GL n) にスキャン信号を順次的に供給する。このスキャン信号に応答して、TFT 6 が水平ライン単位で駆動される。
- [0032] ソースドライバー 3 は、供給された画像信号をアナログ画像信号に変換する。ソースドライバー 3 は、ゲートバスライン GL にスキャン信号が供給される 1 水平期間ごとに、1 水平ライン分の画像信号を複数のソースバスライン (SL 1 ～ SL m + 1) に供給する。
- [0033] ソースドライバー 3 は、コラム・インバージョン方式に画像信号を供給する。複数のソースバスライン (SL 1 ～ SL m + 1) のそれぞれに供給される画像信号は、互いに隣接するソースバスライン SL において相反する極性を有する。具体的には、水平ライン方向における奇数番目のソースバスライン (SL 1、SL 3、・・・) と偶数番目のソースバスライン (SL 2、SL 4、・・・) とには、互いに相反する極性の画像信号が供給される。複数のソースバスライン (SL 1 ～ SL m + 1) に供給される画像信号の極性は、制御装置 5 の制御により、1 フレーム単位で反転される。
- [0034] 図 1 では、水平ライン方向における奇数番目のソースバスライン (SL 1、SL 3、・・・) に正極性電位の画像信号が供給され、水平ライン方向における偶数番目のソースバスライン (SL 2、SL 4、・・・) に負極性電位の画像信号が供給された状態を示している。ソースドライバー 3 は、単位期間 (1 垂直走査期間) 毎に、正極性電位と負極性電位とに極性が反転する画像信号を複数のソースバスライン (SL 1 ～ SL m + 1) の各々に供給する。
- [0035] このように本実施形態に係る液晶表示装置 1 は、ソースバスライン SL をコラム・インバージョン方式に駆動しながら画素電極 7 をドット・インバージョン方式で駆動する、いわゆる Z-インバージョン方式を採用している。
- [0036] 以下、液晶パネル 2 の具体的な構成について説明する。

図2は、本実施形態に係る液晶表示装置1の要部を拡大して示す平面図である。

図3は、図2のA-A線に沿った断面図である。図2においては、複数のソースバスライン(SL1～SLm+1)と複数のゲートバスライン(GL1～GLn)とに区画された領域のうち、3本のソースバスライン(SL1～SL3)と3本のゲートバスライン(GL1～GL3)とに区画された領域を拡大して示している。

[0037] ここでは、アクティブマトリクス方式の透過型液晶パネルを一例に挙げて説明するが、本発明に適用可能な液晶パネルはアクティブマトリクス方式の透過型液晶パネルに限るものではない。本発明に適用可能な液晶パネルは、例えば半透過型（透過・反射兼用型）液晶パネルであっても良い。

[0038] 液晶パネル2は、素子基板10（図3参照）と、カラーフィルター基板（図示略）と、液晶層（図示略）と、を備えている。本実施形態の液晶パネル2は、例えばTN（Twisted Nematic）モードで表示を行うものであり、液晶層には誘電率異方性が正の液晶が用いられる。

[0039] 本発明の液晶表示装置1は、表示モードとして、上記のTNモードに限らず、VA（Vertical Alignment，垂直配向）モード、STN（Super Twisted Nematic）モード、IPS（In-Plane Switching）モード、FFS（Fringe Field Switching）モード等を用いることができる。ただし、本実施形態では、TNモードの液晶パネル2を用いた例を挙げる。

[0040] 図3に示すように、素子基板10を構成する透明基板11上には、TFT6が形成されている。TFT6は、半導体層12と、第1ゲート電極13aと、第2ゲート電極13bと、を備えている。本実施形態のTFT6はnチャネル型である。TFT6は、nチャネル型に限らず、pチャネル型であってもよい。

[0041] 透明基板11としては、例えばガラス基板を用いることができる。半導体層12の形成材料としては、例えばCGS（Continuous Gra

in Silicon:連続粒界シリコン)、LPS (Low-temperature Poly-Silicon:低温多結晶シリコン)、 α -Si (Amorphous Silicon:非結晶シリコン)等のシリコン半導体を用いることができる。

[0042] 半導体層12は、第1チャネル領域120a、第2チャネル領域120b、第1高濃度不純物領域121a、第2高濃度不純物領域121b、第3高濃度不純物領域121c、第1低濃度不純物領域122a、第2低濃度不純物領域122b、第3低濃度不純物領域122c、及び第4低濃度不純物領域122dを含んでいる。

[0043] 第1チャネル領域120a、第2チャネル領域120bは、半導体層12のチャネル部として機能する。第1高濃度不純物領域121aは、半導体層12のソース部として機能する。第2高濃度不純物領域121bは、半導体層12のドレイン部として機能する。

[0044] 図2に示すように、第1ゲート電極13a、第2ゲート電極13bは、ゲートバスラインGLの一部によって構成されている。TF T6は、第1ゲート電極13a、第2ゲート電極13bがゲートバスラインGLに沿って配置されたダブルゲート構造を有する。TF T6は、平面視U字型に形成されている。

[0045] 図2及び図3に示すように、第1高濃度不純物領域121aと第1チャネル領域120aとは、水平ライン方向と直交する方向に、第1低濃度不純物領域122aを挟んで互いに隣接して配置されている。第2高濃度不純物領域121bと第2チャネル領域120bとは、水平ライン方向と直交する方向に、第2低濃度不純物領域122bを挟んで互いに隣接して配置されている。

[0046] そのため、複数のTF T6の保持特性は、水平ライン方向における複数のゲートバスラインGLと複数のTF T6との相対位置のずれに対して不変である。

[0047] ここで、「保持特性」とは、画素電極7に所定の信号電圧を印加した後、

この画素電極 7 に新たな信号電圧を印加するまでの間（1 フレーム期間）に、画素容量に蓄えられた電荷をどれだけ保持できるかの特性である。

[0048] 保持特性は、ゲート電極と半導体層との相対位置のずれによって変化する。本実施形態における保持特性は、ゲート電極とチャネル領域及び低濃度不純物領域との相対位置のずれによって変化する。本実施形態では、ゲートバスライン GL が水平ライン方向にずれても、ゲート電極と半導体層との相対位置にずれが生じないので、TFT 6 の保持特性は変化しない。

[0049] 図 2 に示すように、第 1 ゲート電極 13 a は、水平ライン方向と平行な方向に延在している。図 3 に示すように、第 1 チャネル領域 120 a は、第 1 ゲート電極 13 a の下方に、第 1 ゲート電極 13 a と対向して配置されている。第 1 チャネル領域 120 a は、第 1 ゲート電極 13 a に対して自己整合的に半導体層 12 内に形成される。第 1 チャネル領域 120 a には、B（ボロン）等の p 型不純物がドーピングされている。

[0050] 図 2 に示すように、第 2 ゲート電極 13 b は、水平ライン方向と平行な方向に延在している。図 3 に示すように、第 2 チャネル領域 120 b は、第 2 ゲート電極 13 b の下方に、第 2 ゲート電極 13 b と対向して配置されている。第 2 チャネル領域 120 b は、第 2 ゲート電極 13 b に対して自己整合的に半導体層 12 内に形成される。第 2 チャネル領域 120 b には、第 1 チャネル領域 120 a と同様の p 型不純物がドーピングされている。

[0051] 第 1 高濃度不純物領域 121 a 及び第 2 高濃度不純物領域 121 b は、第 1 チャネル領域 120 a 及び第 2 チャネル領域 120 b を挟むように間隔を空けて設けられている。第 1 高濃度不純物領域 121 a は、第 1 チャネル領域 120 a よりもソース電極 14 側に設けられている。第 2 高濃度不純物領域 121 b は、第 2 チャネル領域 120 b よりもドレイン電極 15 側に設けられている。第 3 高濃度不純物領域 121 c は、第 1 チャネル領域 120 a と第 2 チャネル領域 120 b との間に設けられている。

[0052] 第 1 高濃度不純物領域 121 a、第 2 高濃度不純物領域 121 b、及び第 3 高濃度不純物領域 121 c には、それぞれ n 型不純物が低濃度不純物領域

に比べて高濃度で含まれている。このため、第1高濃度不純物領域121a、第2高濃度不純物領域121b、及び第3高濃度不純物領域121cにおいては、n型のキャリア濃度が低濃度不純物領域に比べて高い。

[0053] 第1低濃度不純物領域122aは、第1チャネル領域120aと第1高濃度不純物領域121aとの間に設けられている。第2低濃度不純物領域122bは、第2チャネル領域120bと第2高濃度不純物領域121bとの間に設けられている。第3低濃度不純物領域122cは、第1チャネル領域120aと第3高濃度不純物領域121cとの間に設けられている。第4低濃度不純物領域122dは、第2チャネル領域120bと第3高濃度不純物領域121cとの間に設けられている。

[0054] 第1低濃度不純物領域122a、第2低濃度不純物領域122b、第3低濃度不純物領域122c、及び第4低濃度不純物領域122dには、それぞれn型不純物が高濃度不純物領域に比べて低濃度で含まれている。このため、第1低濃度不純物領域122a、第2低濃度不純物領域122b、第3低濃度不純物領域122c、及び第4低濃度不純物領域122dにおいては、n型のキャリア濃度が高濃度不純物領域に比べて低い。

[0055] このように、第1高濃度不純物領域121a及び第1低濃度不純物領域122a、第2高濃度不純物領域121b及び第2低濃度不純物領域122b、第3高濃度不純物領域121c及び第3低濃度不純物領域122c、並びに第3高濃度不純物領域121c及び第4低濃度不純物領域122dは、それぞれLDD (Lightly Doped Drain) 構造を形成している。

[0056] 透明基板11上には、半導体層12を覆うようにゲート絶縁膜16が形成されている。

ゲート絶縁膜16の形成材料としては、例えばシリコン酸化膜、シリコン窒化膜、もしくはこれらの積層膜等を用いることができる。

[0057] 図2及び図3において、第1低濃度不純物領域122aの垂直ライン方向の長さを第1の長さL1とする。第2低濃度不純物領域122bの垂直ライ

ン方向の長さを第2の長さL2とする。第3低濃度不純物領域122cの垂直ライン方向の長さを第3の長さL3とする。第4低濃度不純物領域122dの垂直ライン方向の長さを第4の長さL4とする。

[0058] 第1の長さL1と第3の長さL3とは、水平ライン方向における複数のゲートバスラインGLと複数のTF T6との相対位置のずれに対して不変である。第2の長さL2と第4の長さL4とは、水平ライン方向における複数のゲートバスラインGLと複数のTF T6との相対位置のずれに対して不変である。

[0059] ゲート絶縁膜16上には、半導体層12の第1チャネル領域120aと対向する位置に第1ゲート電極13aが形成されている。半導体層12の第2チャネル領域120bと対向する位置に第2ゲート電極13bが形成されている。第1ゲート電極13a及び第2ゲート電極13bの形成材料としては、例えばW（タングステン）／Ta N（窒化タンタル）の積層膜、Mo（モリブデン）、Ti（チタン）、Al（アルミニウム）等を用いることができる。

[0060] ゲート絶縁膜16上には、第1ゲート電極13a及び第2ゲート電極13bを覆うように第1層間絶縁膜17が形成されている。第1層間絶縁膜17の形成材料としては、例えばシリコン酸化膜、シリコン窒化膜、もしくはこれらの積層膜等を用いることができる。

[0061] 第1層間絶縁膜17上には、ソース電極14およびドレイン電極15が形成されている。ソース電極14は、第1層間絶縁膜17とゲート絶縁膜16とを貫通するコンタクトホール14hを介して半導体層12の第1高濃度不純物領域121aに接続されている。ドレイン電極15は、第1層間絶縁膜17とゲート絶縁膜16とを貫通するコンタクトホール15hを介して半導体層12の第2高濃度不純物領域121bに接続されている。ソース電極14およびドレイン電極15の形成材料としては、上述のゲート電極13と同様の導電性材料を用いることができる。

[0062] 第1層間絶縁膜17上には、ソース電極14およびドレイン電極15を覆

うように第2層間絶縁膜18が形成されている。第2層間絶縁膜18の形成材料としては、上述の第1層間絶縁膜17と同様の形成材料、もしくは有機絶縁性材料を用いることができる。

[0063] 第2層間絶縁膜18上には、画素電極7が形成されている。画素電極7は、第2層間絶縁膜18を貫通するコンタクトホール7hを介してドレイン電極15に接続されている。

画素電極7は、ドレイン電極15を中継用電極として半導体層12の第2高濃度不純物領域121bに接続されている。

[0064] 画素電極7の形成材料としては、例えばITO (Indium Tin Oxide、インジウム錫酸化物)、IZO (Indium Zinc Oxide、インジウム亜鉛酸化物)等の透明導電性材料を用いることができる。

[0065] このような構成により、ゲートバスラインGLを通じて走査信号が供給され、TFT6がオン状態となったときに、ソースバスラインSLを通じてソース電極14に供給された画像信号が、半導体層12、ドレイン電極15を経て画素電極7に供給される。

[0066] 第2層間絶縁膜18上には、画素電極7を覆うように配向膜19が形成されている。配向膜19は、液晶層を構成する液晶分子を水平配向させる配向規制力を有している。なお、TFT6の形態としては、トップゲート型TFTであっても良いし、ボトムゲート型TFTであっても良い。

[0067] 図4A～図5Bは、本実施形態に係る液晶表示装置1におけるTFT6の配置構成の作用を説明するための模式図である。

[0068] 図4A及び図4Bは、比較例に係る液晶表示装置1Xの要部を拡大して示す平面図である。図4Aは、水平ライン方向における複数のゲートバスラインと複数のTFTとの相対位置のずれ、いわゆるアライメントずれが生じる前の図である。図4Bは、水平ライン方向におけるアライメントずれが生じた後の図である。

[0069] 図4Aにおいて、符号LX1、LX2、LX3、LX4は、それぞれ水平

ライン方向におけるアライメントずれが生じる前の、第1低濃度不純物領域の垂直ライン方向の長さ（第1の長さ）、第2低濃度不純物領域の垂直ライン方向の長さ（第2の長さ）、第3低濃度不純物領域の水平ライン方向の長さ（第3の長さ）、第4低濃度不純物領域の水平ライン方向の長さ（第4の長さ）である。

図4Bにおいて、符号 $LX1'$ 、 $LX2'$ 、 $LX3'$ 、 $LX4'$ は、それぞれ水平ライン方向におけるアライメントずれが生じた後の、第1の長さ、第2の長さ、第3の長さ、第4の長さである。

[0070] 図5A及び図5Bは、本実施形態に係る液晶表示装置1の要部を拡大して示す平面図である。図5Aは、水平ライン方向におけるアライメントずれが生じる前の図である。図5Bは、水平ライン方向におけるアライメントずれが生じた後の図である。

[0071] 図5Aにおいて、符号 $L1$ 、 $L2$ 、 $L3$ 、 $L4$ は、それぞれ水平ライン方向におけるアライメントずれが生じる前の、第1の長さ、第2の長さ、第3の長さ、第4の長さである。

図5Bにおいて、符号 $L1'$ 、 $L2'$ 、 $L3'$ 、 $L4'$ は、それぞれ水平ライン方向におけるアライメントずれが生じた後の、第1の長さ、第2の長さ、第3の長さ、第4の長さである。

[0072] 図4Aに示すように、比較例に係る液晶表示装置1XのTF6Xは、第1ゲート電極13Xaと、第2ゲート電極13Xbとを有する。第1ゲート電極13Xa、第2ゲート電極13Xbは、それぞれゲートバスラインGLXの一部によって構成されている。

TF6Xは、第1ゲート電極13Xa、第2ゲート電極13XbがゲートバスラインGLXに沿って配置されたダブルゲート構造を有する。TF6Xは、平面視L字型に形成されている。

[0073] 第1ゲート電極13Xaは、水平ライン方向と平行な方向に延在している。第2ゲート電極13Xbは、水平ライン方向と直交する方向に延在している。ゲートバスラインGLXの一部は、ソースバスラインSLXの延在方向

と平行に、上方に向けて突出している。

第2ゲート電極13Xbは、ソースバスラインSLXの突出部分の一部によって構成されている。

[0074] 液晶表示装置1Xにおいて水平ライン方向におけるアライメントずれが生じた場合を考える。図4A及び図4Bに示すように、水平ライン方向におけるアライメントずれが生じる前後において、第1の長さ $LX1$ 、 $LX1'$ 及び第3の長さ $LX3$ 、 $LX3'$ はそれぞれ不変である($LX1=LX1'$ 、 $LX3=LX3'$)。

[0075] 一方、水平ライン方向におけるアライメントずれが生じた後の第2の長さ $LX2'$ は、水平ライン方向におけるアライメントずれが生じる前の第2の長さ $LX2$ よりも短くなる($LX2'<LX2$)。水平ライン方向におけるアライメントずれが生じた後の第4の長さ $LX4'$ は、水平ライン方向におけるアライメントずれが生じる前の第4の長さ $LX4$ よりも長くなる($LX4'>LX4$)。

[0076] このように、水平ライン方向におけるアライメントずれが生じる前後において、第2の長さ $LX2$ 、 $LX2'$ 及び第4の長さ $LX4$ 、 $LX4'$ が変化すると、TF T6Xの保持特性が変化してしまい、表示品位の低下を引き起こすこととなる。TF T6Xの保持特性が変化すると、図6Aに示すように、表示画像において1水平ライン毎に濃淡の差が生じ、スジムラが認識されるようになる。

[0077] これに対し、本実施形態では、図5A及び図5Bに示すように、水平ライン方向におけるアライメントずれが生じる前後において、第1の長さ $L1$ 、 $L1'$ 、第2の長さ $L2$ 、 $L2'$ 、第3の長さ $L3$ 、 $L3'$ 、及び第4の長さ $L4$ 、 $L4'$ はそれぞれ不変である($L1=L1'$ 、 $L2=L2'$ 、 $L3=L3'$ 、 $L4=L4'$)。このため、水平ライン方向におけるアライメントずれが生じる前後において、TF T6の保持特性が不変となり、表示品位の低下を抑制することができる。TF T6の保持特性が不変であると、図6Bに示すように、表示画像において1水平ライン毎に濃淡の差が生じること

が抑制され、スジムラが認識されることが抑制される。

[0078] 以上のような液晶表示装置 1 によれば、Z-インバージョン方式を採用しているため、ドット・インバージョン方式に比べて、消費電力を低減できる。Z-インバージョン方式では、画素に与えられる極性の配列がドット反転状態となる。このため、画素間にクロストークが生じることを抑制でき、フリッカの発生を抑制できる。

[0079] Z-インバージョン方式では、水平ライン方向のアライメントずれによって、ソースバスライン S_L の右側と左側に接続される画素の間に保持特性のばらつきが生じやすい。しかしながら、本実施形態では、半導体層のソース部とチャネル部とドレイン部を垂直ライン方向に配置し、ゲート電極を水平ライン方向と平行な方向に延在させている。そのため、水平ライン方向におけるアライメントずれが生じた場合であっても、TFT 6 の保持特性の変化を抑制し、表示品位の低下を抑制することができる。

[0080] なお、本実施形態では、TFT がダブルゲート構造を有する例を挙げて説明したが、これに限らない。例えば、TFT がトリプルゲート構造やクアトロゲート構造等のマルチゲート構造を有する場合においても本発明を適用可能である。

[0081] [第 2 実施形態]

以下、本発明の第 2 実施形態について、図 7 を用いて説明する。

本実施形態に係る液晶表示装置 1 A の基本構成は第 1 実施形態と同一であり、TFT 6 A がトリプルゲート構造を有する点が第 1 実施形態と異なる。したがって、本実施形態では、液晶表示装置 1 A の基本構成の説明は省略し、TFT 6 A の構造について説明する。

図 7 は、本実施形態に係る液晶表示装置 1 A の要部を拡大して示す平面図である。図 7 においては、複数のソースバスライン(S_L 1 ~ S_L m + 1)と複数のゲートバスライン(G_L 1 ~ G_L n)とに区画された領域のうち、3本のソースバスライン(S_L 1 ~ S_L 3)と3本のゲートバスライン(G_L 1 ~ G_L 3)とに区画された領域を拡大して示している。

図7において、第1実施形態で用いた図面と共通の構成要素には同一の符号を付し、その詳細な説明は省略する。

[0082] 第1実施形態では、TF T 6は、ダブルゲート構造を有しており、平面視U字型に形成されていた。これに対して、本実施形態のTF T 6 Aは、トリプルゲート構造を有しており、平面視S字型に形成されている。

[0083] TF T 6 Aは、第1ゲート電極1 3 A a、第2ゲート電極1 3 A b、及び第3ゲート電極1 3 A cを含んでいる。第1ゲート電極1 3 A a、第2ゲート電極1 3 A b、及び第3ゲート電極1 3 A cは、それぞれ水平ライン方向と平行な方向に延在している。TF T 6 Aは、第1ゲート電極1 3 A a、第2ゲート電極1 3 A b、及び第3ゲート電極1 3 A cがゲートバスラインG Lに沿って配置されたトリプルゲート構造を有する。

[0084] 図7において、符号L A 1、L A 2、L A 3、L A 4、L A 5、L A 6は、それぞれ第1の長さ、第2の長さ、第3の長さ、第4の長さ、第5の長さ、第6の長さである。

[0085] 本実施形態では、水平ライン方向におけるアライメントずれが生じる前後において、第1の長さL A 1、第2の長さL A 2、第3の長さL A 3、第4の長さL A 4、第5の長さL A 5、第6の長さL A 6はそれぞれ不変である。

[0086] 本実施形態に係る液晶表示装置1 Aによれば、トリプルゲート構造のTF T 6 Aにおいて水平ライン方向におけるアライメントずれが生じた場合であっても、TF T 6 Aの保持特性の変化を抑制し、表示品位の低下を抑制することができる。

[0087] [第3実施形態]

以下、本発明の第3実施形態について、図8を用いて説明する。

本実施形態に係る液晶表示装置1 Bの基本構成は第1実施形態と同一であり、画素配列がデルタ配列である点が第1実施形態と異なる。したがって、本実施形態では、液晶表示装置1 Bの基本構成の説明は省略し、デルタ配列について説明する。

図8は、本実施形態に係る液晶表示装置1Bの要部を拡大して示す平面図である。図8においては、複数のソースバスライン($SL_D1 \sim SL_Dm+1$)と複数のゲートバスライン($GL_D1 \sim GL_Dn$)とに区画された領域のうち、4本のソースバスライン($SL_D1 \sim SL_D4$)と5本のゲートバスライン($GL_D1 \sim GL_D5$)とに区画された領域を拡大して示している。

図8において、第1実施形態で用いた図面と共通の構成要素には同一の符号を付し、その詳細な説明は省略する。

[0088] 第1実施形態では、複数の画素の配列がストライプ配列であった。これに対して、本実施形態では、図8に示すように、複数の画素($P_{D11} \sim P_{D55}$)の配列がデルタ配列である。具体的には、奇数行の画素と偶数行の画素とでは、画素の配置位置が半画素分ずれている。例えば、3行目の行端(左端)から2番目の画素 P_{D32} の中心位置は、2行目の行端から2番目の画素 P_{D22} の中心位置に対して1画素の行方向(左右方向)の幅の半分だけ左側にずれている。3行目の行端から2番目の画素 P_{D32} の中心位置は、1行目の行端から2番目の画素 P_{D12} の中心位置及び5行目の行端から2番目の画素 P_{D52} の中心位置と行方向において一致している。2行目の行端から2番目の画素 P_{D22} の中心位置は、4行目の行端から2番目の画素 P_{D42} の中心位置と行方向において一致している。

[0089] 本実施形態では、ソースバスライン SL_D は平面視ジグザグ形状である。画素電極7Bは平面視正方形である。

[0090] 本実施形態では、垂直ライン方向における奇数番目のゲートバスライン(GL_D1 、 GL_D3 、 GL_D5 、 $\dots$)に接続された奇数番目の画素電極7Bは、右側に隣接したソースバスライン(SL_{Di+1}) (ここで、 i は正の整数)に接続されている。一方、垂直ライン方向における偶数番目のゲートバスライン(GL_D2 、 GL_D4 、 $\dots$)に接続された偶数番目の画素電極7Bは、左側に隣接したソースバスライン(SL_{Di})に接続されている。

[0091] 本実施形態に係る液晶表示装置1Bによれば、画素配列がデルタ配列であり、かつ、ダブルゲート構造のTFT6Bにおいて水平ライン方向における

アライメントずれが生じた場合であっても、TF T 6 Bの保持特性の変化を抑制し、表示品位の低下を抑制することができる。

[0092] [第4実施形態]

以下、本発明の第4実施形態について、図9を用いて説明する。

本実施形態に係る液晶表示装置1Cの基本構成は第3実施形態と同一であり、TF T 6 Cがトリプルゲート構造を有する点が第3実施形態と異なる。したがって、本実施形態では、液晶表示装置1Cの基本構成の説明は省略する。

図9は、本実施形態に係る液晶表示装置1Cの要部を拡大して示す平面図である。図9においては、複数のソースバスライン($SL_D1 \sim SL_Dm+1$)と複数のゲートバスライン($GL_D1 \sim GL_Dn$)とに区画された領域のうち、4本のソースバスライン($SL_D1 \sim SL_D4$)と5本のゲートバスライン($GL_D1 \sim GL_D5$)とに区画された領域を拡大して示している。

図9において、第3実施形態で用いた図面と共通の構成要素には同一の符号を付し、その詳細な説明は省略する。

[0093] 本実施形態に係る液晶表示装置1Cによれば、画素配列がデルタ配列であり、かつ、トリプルゲート構造のTF T 6 Cにおいて水平ライン方向におけるアライメントずれが生じた場合であっても、TF T 6 Cの保持特性の変化を抑制し、表示品位の低下を抑制することができる。

[0094] [第5実施形態]

以下、本発明の第5実施形態について、図10を用いて説明する。

本実施形態に係る液晶表示装置1Dの基本構成は第1実施形態と同一であり、TF T 6 Dがシングルゲート構造を有する点が第1実施形態と異なる。したがって、本実施形態では、液晶表示装置1Dの基本構成の説明は省略し、TF T 6 Dの構造について説明する。

図10は、本実施形態に係る液晶表示装置1Dの要部を拡大して示す平面図である。図10においては、複数のソースバスライン($SL1 \sim SLm+1$)と複数のゲートバスライン($GL1 \sim GLn$)とに区画された領域のうち、3

本のソースバスライン(S L 1 ~ S L 3)と3本のゲートバスライン(G L 1 ~ G L 3)とに区画された領域を拡大して示している。

図10において、第1実施形態で用いた図面と共通の構成要素には同一の符号を付し、その詳細な説明は省略する。

[0095] 第1実施形態では、T F T 6は、ダブルゲート構造を有しており、平面視U字型に形成されていた。これに対して、本実施形態のT F T 6 Dは、シングルゲート構造を有しており、平面視L字型に形成されている。

[0096] T F T 6 Dは、1つのゲート電極13Dを含んでいる。ゲート電極13Dは、水平ライン方向と平行な方向に延在している。T F T 6 Dは、ゲート電極13DがゲートバスラインG Lに沿って一つ配置されたシングルゲート構造を有する。

[0097] 図10において、符号L D 1, L D 2は、それぞれ第1の長さ、第2の長さである。

[0098] 本実施形態では、水平ライン方向におけるアライメントずれが生じる前後において、第1の長さL D 1、第2の長さL D 2はそれぞれ不変である。

[0099] 本実施形態に係る液晶表示装置1Dによれば、シングルゲート構造のT F T 6 Dにおいて水平ライン方向におけるアライメントずれが生じた場合であっても、T F T 6 Dの保持特性の変化を抑制し、表示品位の低下を抑制することができる。

[0100] [第6実施形態]

以下、本発明の第6実施形態について説明する。

本実施形態に係る液晶表示装置の基本構成は第1実施形態と同一であり、半導体層の形成材料として、インジウム、ガリウム、及び亜鉛から構成される酸化物であるI G Z O (I n - G a - Z n - O系半導体)を用いる点が第1実施形態と異なる。したがって、本実施形態では、液晶表示装置の基本構成の説明は省略し、半導体層の形成材料について説明する。

[0101] 第1実施形態では、半導体層12の形成材料として、シリコン半導体を用いる例を説明していた。これに対し、本実施形態では、半導体層の形成材料

として、IGZO等の酸化物半導体を用いる例を説明する。酸化物半導体は、 α -Siよりも高い移動度を有している。このため、酸化物半導体を用いたTFTは、 α -Siを用いたTFTよりも高速で動作することが可能である。また、酸化物半導体膜は、多結晶シリコン膜よりも簡便なプロセスで形成されるため、大面積が必要とされる装置にも適用できる。

[0102] 酸化物半導体層は、例えば、以下のようにして形成できる。まず、スパッタ法を用いて、厚さが30nm以上300nm以下のIGZO膜を絶縁膜の上に形成する。次いで、フォトリソグラフィにより、IGZO膜の所定の領域を覆うレジストマスクを形成する。次いで、IGZO膜のうちレジストマスクで覆われていない部分をウエットエッチングにより除去する。その後、レジストマスクを剥離する。このようにして、酸化物半導体層が得られる。

[0103] なお、酸化物半導体としては、IGZOの他にも、例えばインジウム及び亜鉛から構成される酸化物であるIZO（In-Zn-O系半導体）、亜鉛及びチタンから構成される酸化物であるZTO（Zn-Ti-O系半導体）を用いることができる。

[0104] 以上、図面を参照しながら本発明に係る好適な実施形態について説明したが、本発明は上記の実施形態に限定されないことは言うまでもない。上記の実施形態において示した各構成部材の諸形状や組み合わせ等は一例であって、本発明の主旨から逸脱しない範囲において設計要求等に基づき種々変更可能である。

その他、液晶表示装置の各構成要素の形状、数、配置、材料、形成方法等に関する具体的な記載は、上記の実施形態に限定されることなく、適宜変更が可能である。

産業上の利用可能性

[0105] 本発明は、液晶表示装置に利用可能である。

符号の説明

[0106] 1, 1A, 1B, 1C, 1D…液晶表示装置、3…ソースドライバー、4…ゲートドライバー、6, 6A, 6B, 6C, 6D…TFT（薄膜トランジス

タ)、7、7A、7B、7C、7D…画素電極、12…半導体層、13a…第1ゲート電極、13b…第2ゲート電極、13Aa…第1ゲート電極、13Ab…第2ゲート電極、13Ac…第3ゲート電極、13D…ゲート電極、120a…第1チャネル領域(チャネル部)、120b…第2チャネル領域(チャネル部)、121a…第1高濃度不純物領域(ソース部)、121b…第2高濃度不純物領域(ドレイン部)、GL、GL_D…ゲートバスライン、SL、SL_D…ソースバスライン、L1…第1の長さ(第1低濃度不純物領域の垂直ライン方向の長さ)、L2…第2の長さ(第2低濃度不純物領域の垂直ライン方向の長さ)、L3…第3の長さ(第3低濃度不純物領域の垂直ライン方向の長さ)、L4…第4の長さ(第4低濃度不純物領域の垂直ライン方向の長さ)、L5…第5の長さ、L6…第6の長さ

請求の範囲

[請求項1]

互いに隣接して配置された複数のソースバスラインと、
前記複数のソースバスラインと交差するように互いに隣接して配置された複数のゲートバスラインと、
前記複数のソースバスラインと前記複数のゲートバスラインとの各交差部に対応して設けられた複数の薄膜トランジスタと、
前記複数の薄膜トランジスタの各々に対応して設けられ、前記薄膜トランジスタを介して前記ソースバスラインから画像信号が供給される複数の画素電極と、
単位期間毎に正極性電位と負極性電位とに極性が反転する前記画像信号を前記複数のソースバスラインの各々に供給するソースドライバート、を含み、
前記複数のソースバスラインの各々に接続される複数の前記画素電極は、前記ソースバスラインの延在方向に沿って、前記複数のソースバスラインの並び方向の一方側及び他方側に交互に配置され、
前記複数の薄膜トランジスタの各々は、ソース部とチャネル部とドレイン部とを含む半導体層と、前記ゲートバスラインの一部によって構成されるゲート電極と、を含み、
前記ソース部と前記チャネル部と前記ドレイン部とは、前記複数のソースバスラインの並び方向と交差する方向に互いに隣接して配置され、
前記ゲート電極は、前記複数のソースバスラインの並び方向と平行な方向に延在し、前記チャネル部と対向して配置されている液晶表示装置。

[請求項2]

前記半導体層は、前記チャネル部として機能するチャネル領域と、前記ソース部または前記ドレイン部として機能する高濃度不純物領域と、前記チャネル領域と前記高濃度不純物領域との間に設けられた低濃度不純物領域と、を含み、

前記複数の薄膜トランジスタの各々において、前記ソースバスラインの延在方向における前記低濃度不純物領域の長さは、前記複数のソースバスラインの並び方向における前記複数のゲートバスラインと前記複数の薄膜トランジスタとの相対位置のずれに対して不変である請求項 1 に記載の液晶表示装置。

[請求項3] 前記複数の薄膜トランジスタの各々は、前記ゲートバスラインの一部によって構成されるゲート電極が前記ゲートバスラインに沿って複数配置されたマルチゲート構造を有する請求項 1 または 2 に記載の液晶表示装置。

[請求項4] 前記複数の薄膜トランジスタの各々は、前記ゲート電極が前記ゲートバスラインに沿って二つ配置されたダブルゲート構造を有する請求項 3 に記載の液晶表示装置。

[請求項5] 前記複数の薄膜トランジスタの各々は、前記ゲート電極が前記ゲートバスラインに沿って三つ配置されたトリプルゲート構造を有する請求項 3 に記載の液晶表示装置。

[請求項6] 前記複数の薄膜トランジスタの各々は、前記ゲートバスラインの一部によって構成されるゲート電極が前記ゲートバスラインに沿って一つ配置されたシングルゲート構造を有する請求項 1 または 2 に記載の液晶表示装置。

[請求項7] 前記複数の薄膜トランジスタの各々の保持特性は、前記複数のソースバスラインの並び方向における前記複数のゲートバスラインと前記複数の薄膜トランジスタとの相対位置のずれに対して不変である請求項 1 ないし 6 のいずれか一項に記載の液晶表示装置。

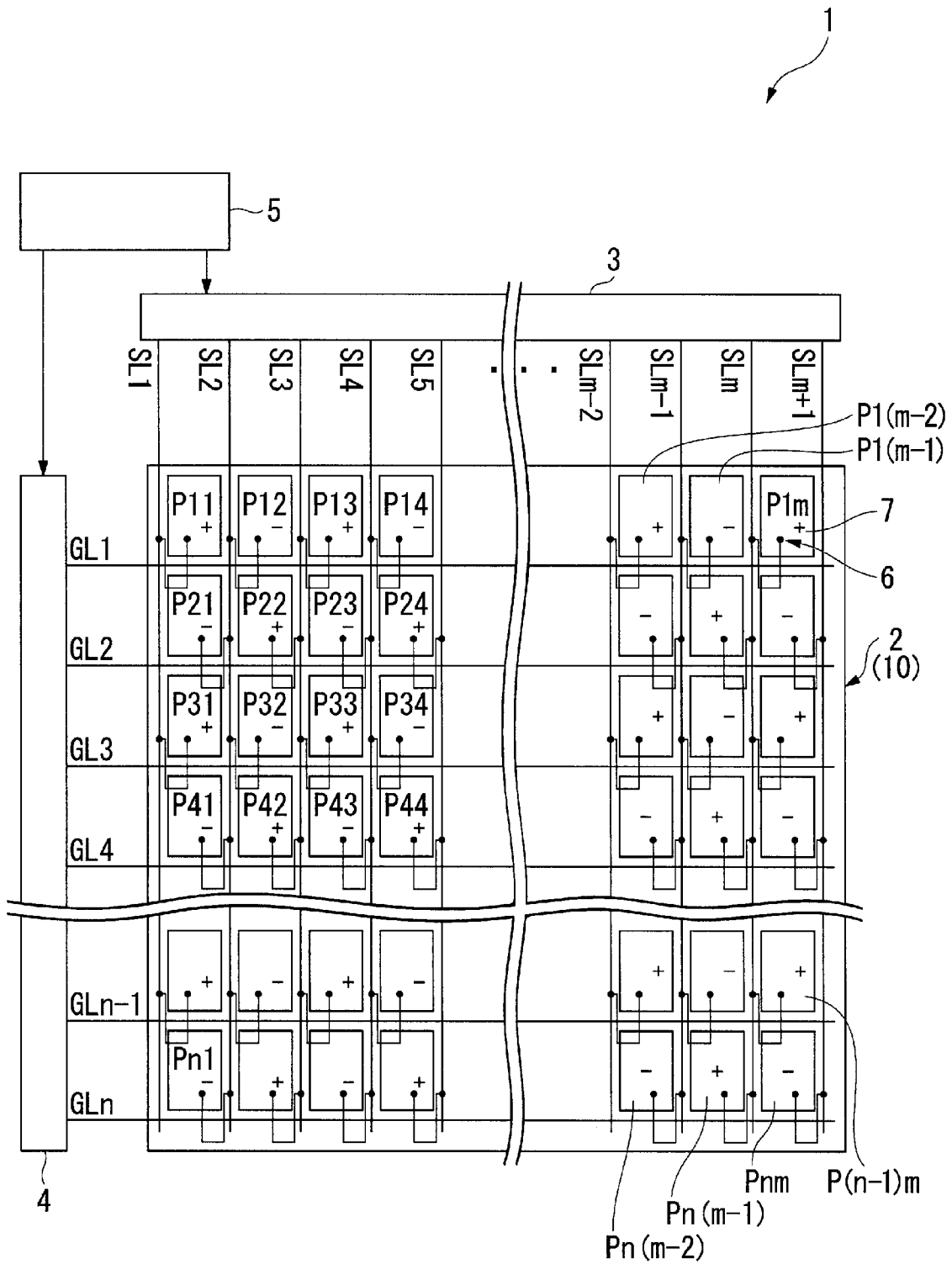
[請求項8] 隣接する前記ソースバスラインと隣接する前記ゲートバスラインとによって区画された領域を一つの画素としたとき、複数の前記画素の配列がストライプ配列である請求項 1 ないし 7 のいずれか一項に記載の液晶表示装置。

[請求項9] 隣接する前記ソースバスラインと隣接する前記ゲートバスラインと

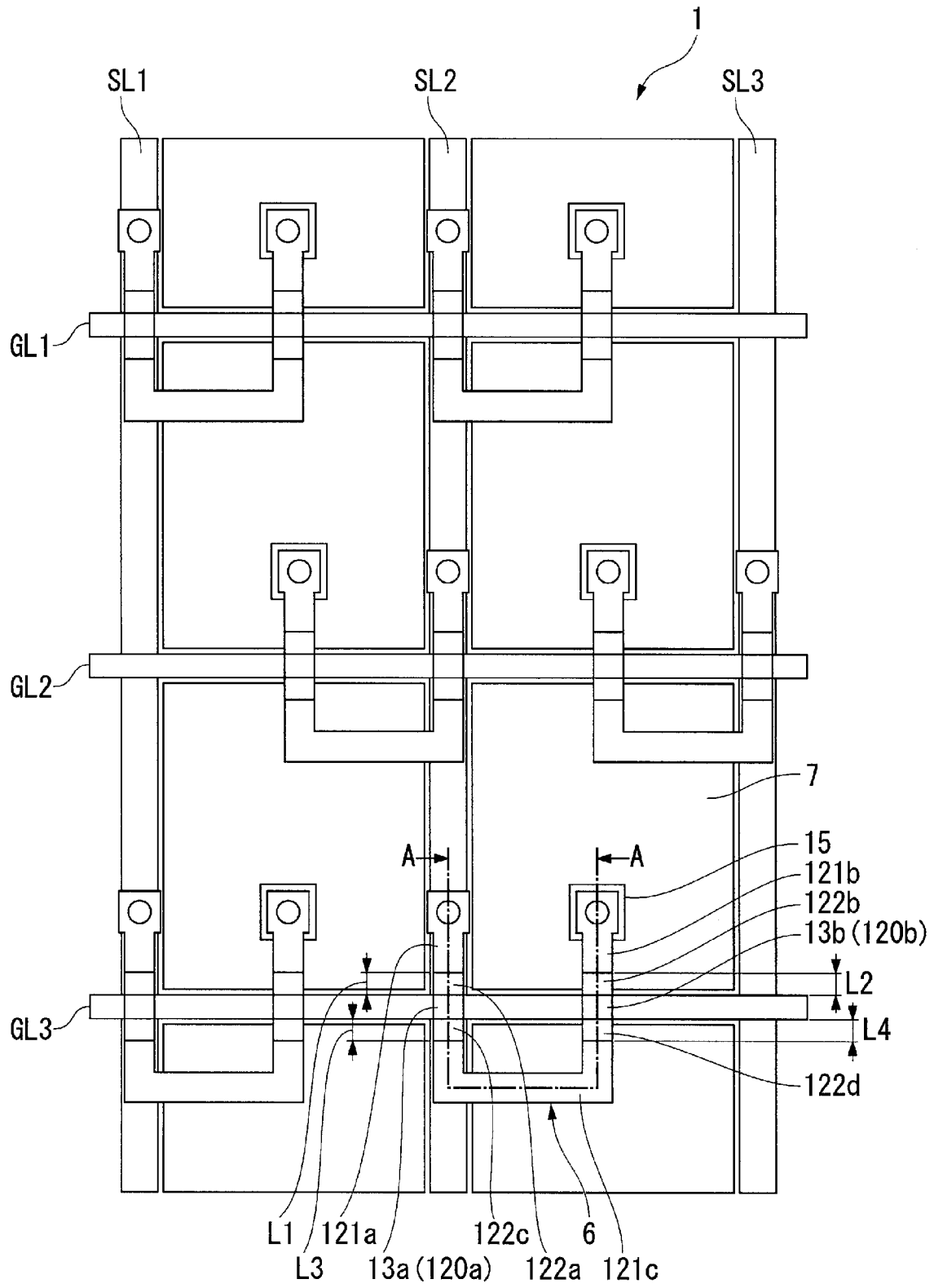
によって区画された領域を一つの画素としたとき、複数の前記画素の配列がデルタ配列である請求項 1 ないし 7 のいずれか一項に記載の液晶表示装置。

[請求項10] 前記半導体層の形成材料が、インジウム、ガリウム、及び亜鉛から構成される酸化物を含む請求項 1 ないし 9 のいずれか一項に記載の液晶表示装置。

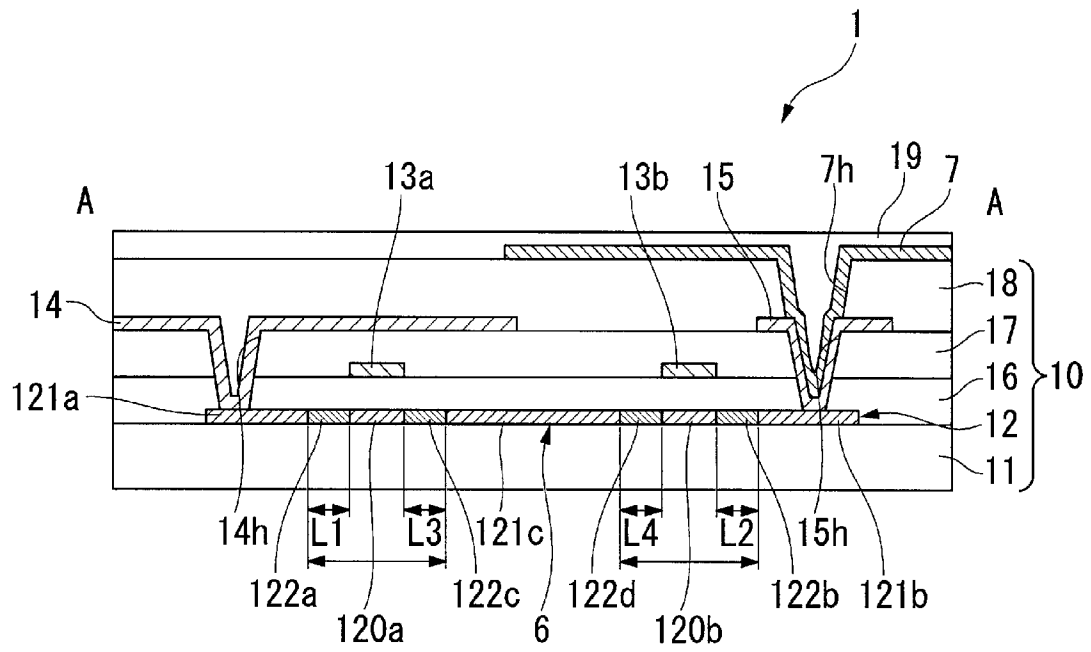
[図1]



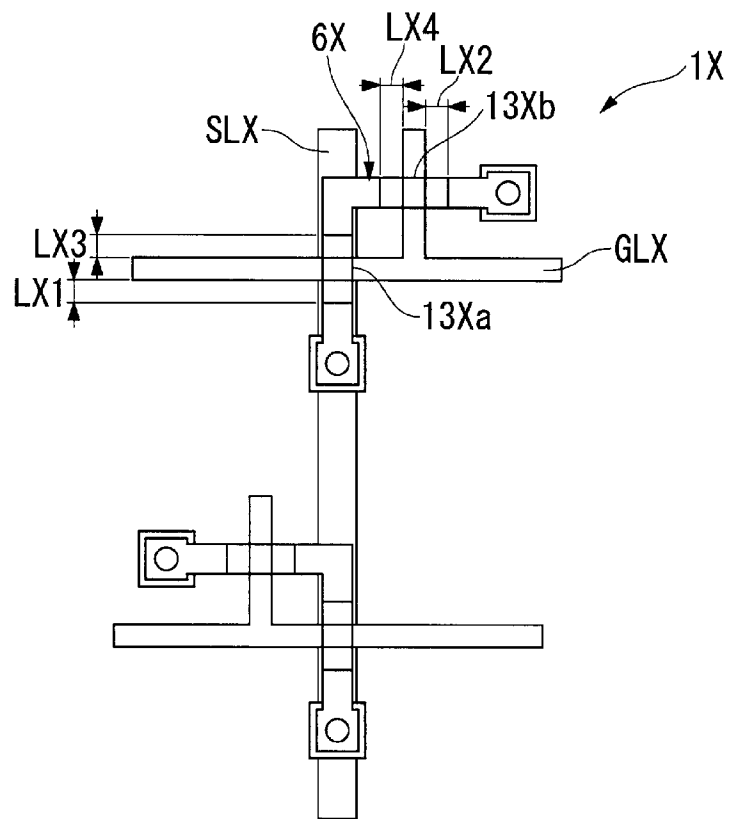
[図2]



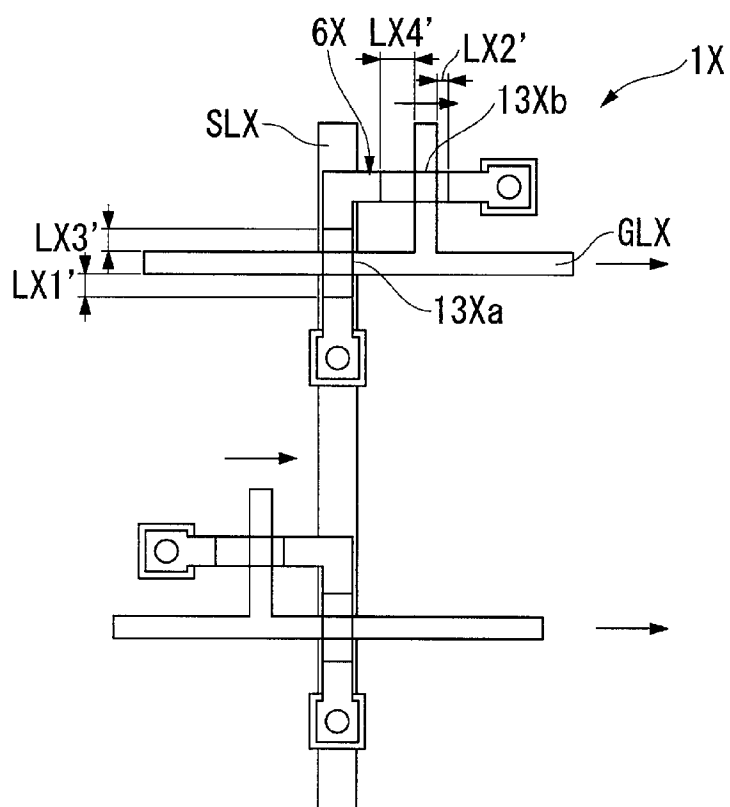
[図3]



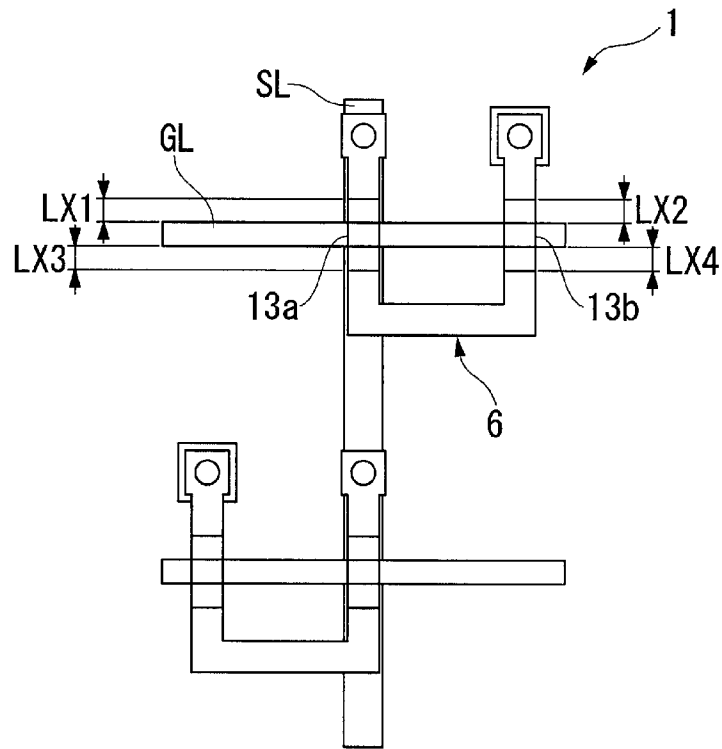
[図4A]



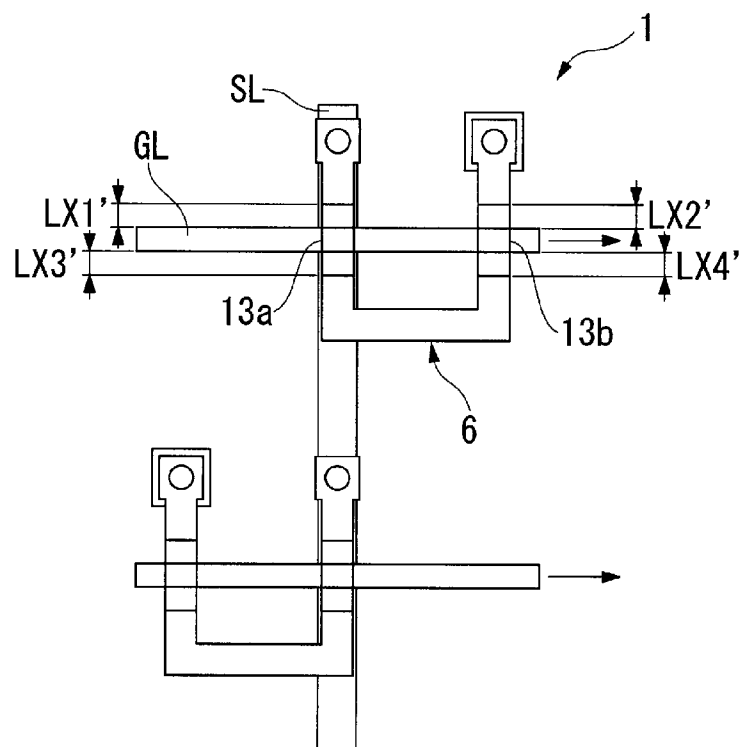
[図4B]



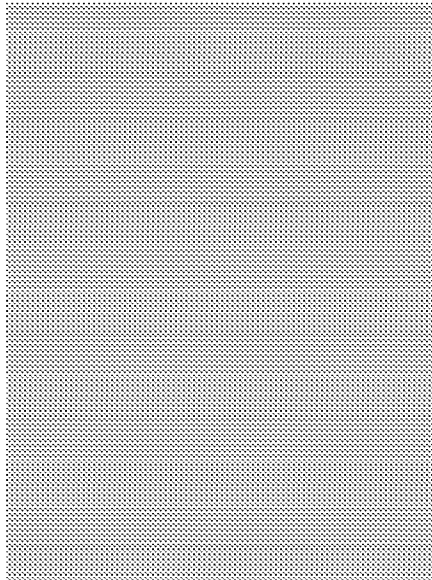
[図5A]



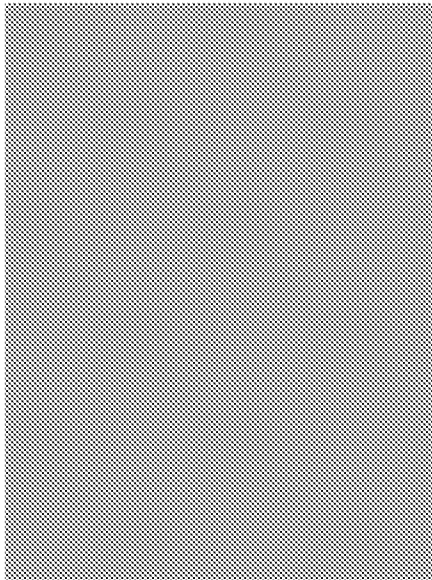
[図5B]



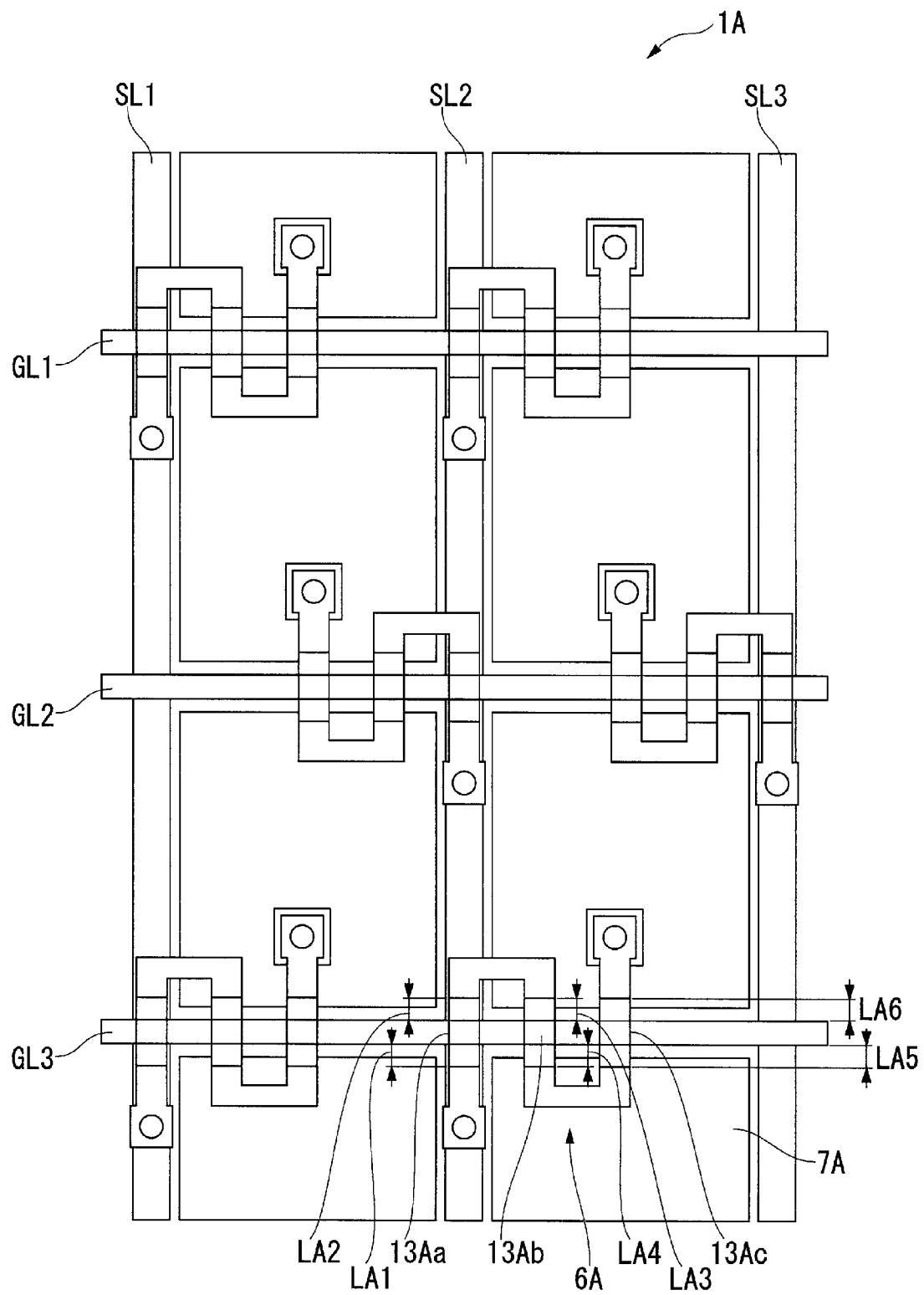
[図6A]



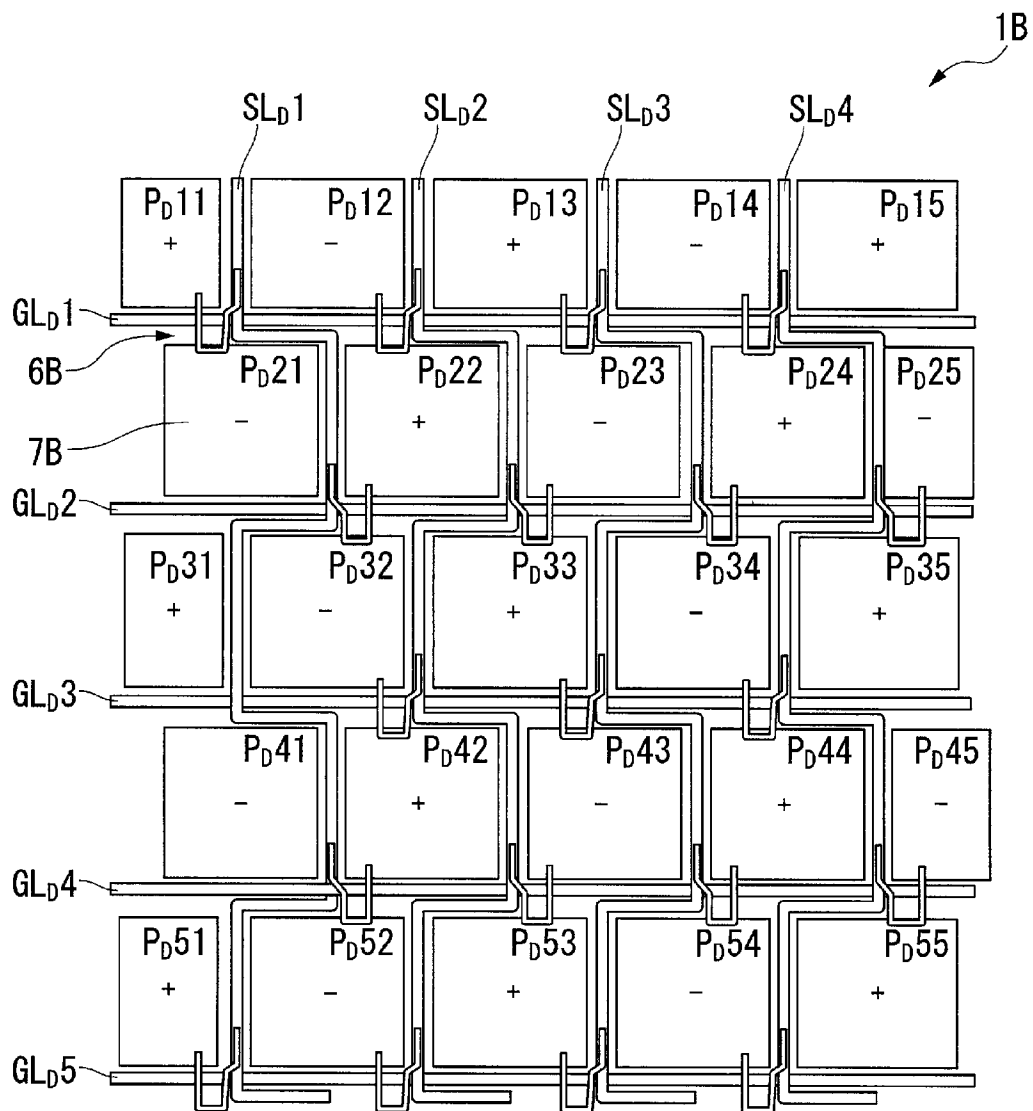
[図6B]



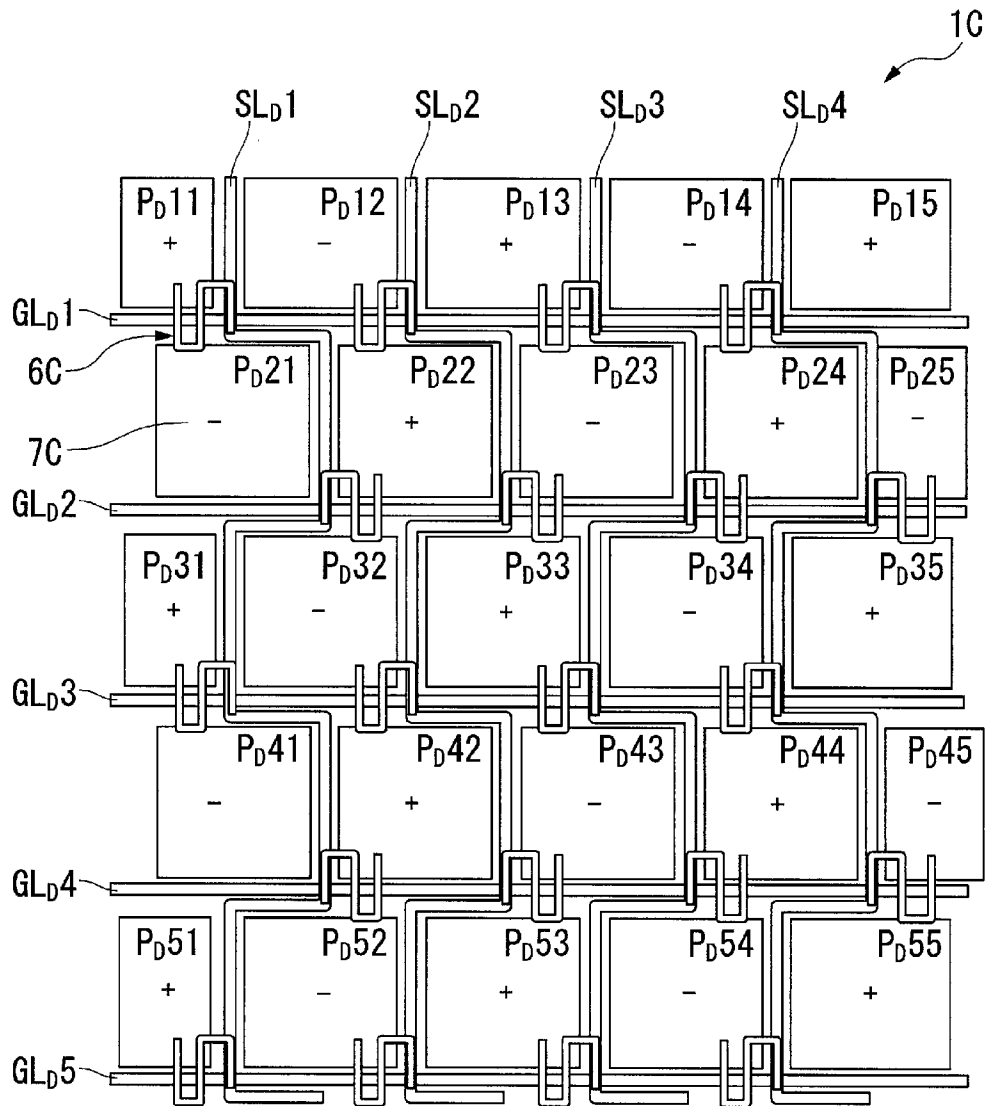
[図7]



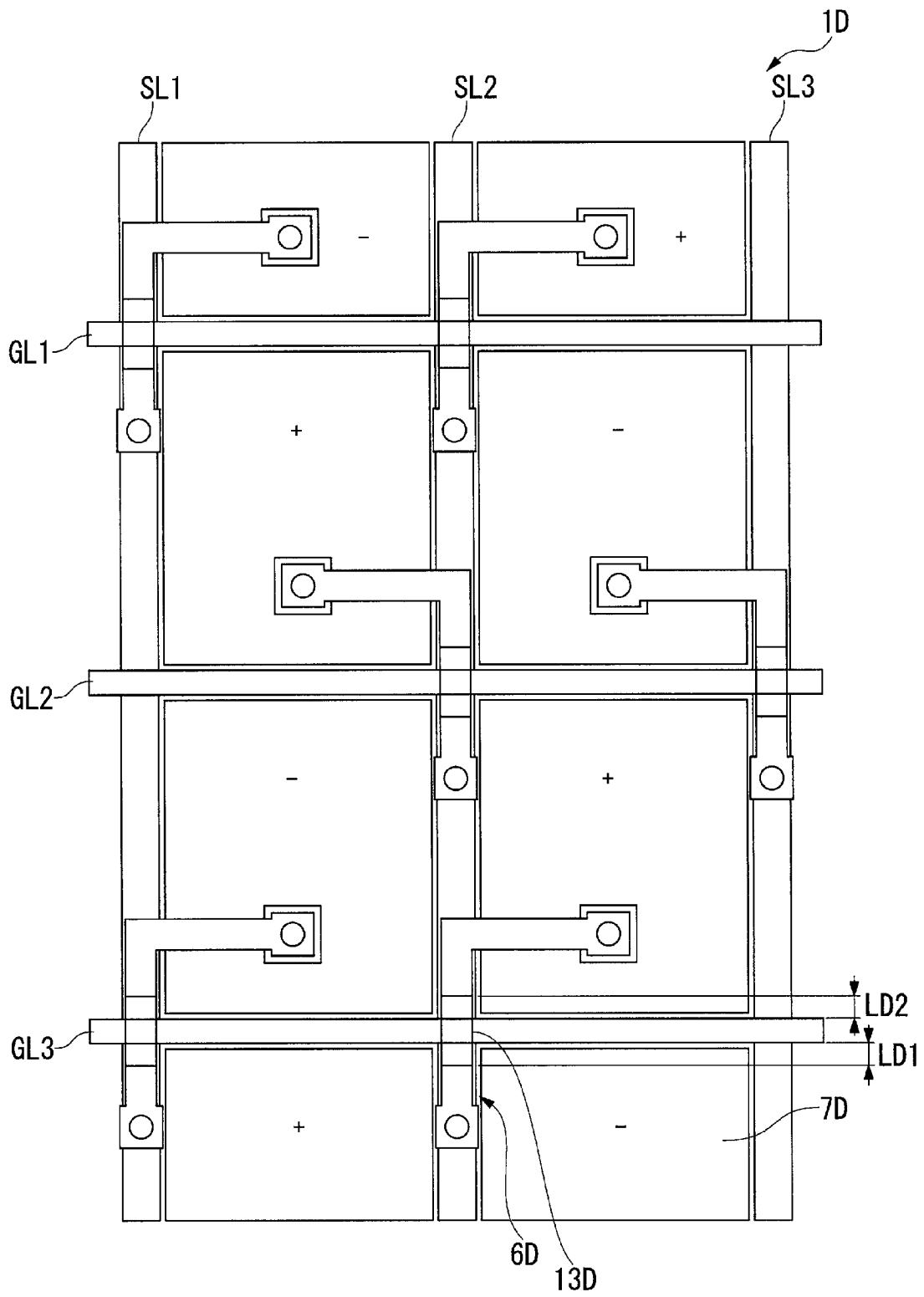
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/069237

A. CLASSIFICATION OF SUBJECT MATTER

G02F1/1368(2006.01)i, G09F9/30(2006.01)i, H01L21/336(2006.01)i,
H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/1368, G09F9/30, H01L21/336, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2007-249240 A (L.G. Philips LCD Co., Ltd.), 27 September 2007 (27.09.2007), paragraphs [0021] to [0032]; fig. 6 & US 2004/0090561 A1 & KR 10-2004-0041812 A	1-10
Y	JP 2001-196594 A (Fujitsu Ltd.), 19 July 2001 (19.07.2001), paragraphs [0017] to [0047]; fig. 1 to 5 & US 2003/0119230 A1 & US 6628349 B1 & US 2004/0016927 A1 & TW 512530 B & KR 10-2001-0039847 A	1-10
Y	JP 9-298305 A (Semiconductor Energy Laboratory Co., Ltd.), 18 November 1997 (18.11.1997), paragraphs [0025] to [0038]; fig. 1 to 2 & US 6025607 A	1-10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of a nother citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
08 August, 2013 (08.08.13)

Date of mailing of the international search report
20 August, 2013 (20.08.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/069237

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-131261 A (NEC Corp.), 08 May 2003 (08.05.2003), paragraphs [0067] to [0102]; fig. 1 to 2 & US 2003/0025848 A1 & EP 1282001 A2 & CN 1402538 A	1-10
Y	JP 2009-282102 A (Mitsubishi Electric Corp.), 03 December 2009 (03.12.2009), paragraph [0002] (Family: none)	8-9
Y	JP 2010-2898 A (Semiconductor Energy Laboratory Co., Ltd.), 07 January 2010 (07.01.2010), paragraphs [0027], [0031] to [0046] & US 2009/0289968 A1 & US 2012/0327141 A1	10

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G02F1/1368 (2006.01)i, G09F9/30 (2006.01)i, H01L21/336 (2006.01)i, H01L29/786 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G02F1/1368, G09F9/30, H01L21/336, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2007-249240 A (エルジー フィリップス エルシーディー カ ンパニー リミテッド) 2007.09.27, 段落【0021】 - 【0032】, 図 6 & US 2004/0090561 A1 & KR 10-2004-0041812 A	1-10
Y	JP 2001-196594 A (富士通株式会社) 2001.07.19, 段落【0017】 - 【0047】, 図 1-5 & US 2003/0119230 A1 & US 6628349 B1 & US 2004/0016927 A1 & TW 512530 B & KR 10-2001-0039847 A	1-10

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 8 . 0 8 . 2 0 1 3

国際調査報告の発送日

2 0 . 0 8 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

清水 督史

2 L

3 6 1 0

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 9-298305 A (株式会社半導体エネルギー研究所) 1997. 11. 18, 段落【0025】 - 【0038】, 図 1-2 & US 6025607 A	1-10
Y	JP 2003-131261 A (日本電気株式会社) 2003. 05. 08, 段落【0067】 - 【0102】, 図 1-2 & US 2003/0025848 A1 & EP 1282001 A2 & CN 1402538 A	1-10
Y	JP 2009-282102 A (三菱電機株式会社) 2009. 12. 03, 段落【0002】 (ファミリーなし)	8-9
Y	JP 2010-2898 A (株式会社半導体エネルギー研究所) 2010. 01. 07, 段落【0027】, 【0031】-【0046】 & US 2009/0289968 A1 & US 2012/0327141 A1	10