



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

本技術は、電荷をより転送しやすくすることができるようにする撮像素子、撮像装置、並びに、製造装置および方法に関する。本技術の撮像素子は、光電変換部の電荷を転送する電荷転送チャネルの少なくとも一部においてポテンシャルが勾配を有する縦型トランジスタを備える。また、本技術の撮像装置は、光電変換部の電荷を転送する電荷転送チャネルの少なくとも一部においてポテンシャルが勾配を有する縦型トランジスタを備える撮像素子と、その撮像素子により得られる撮像画像データを画像処理する画像処理部とを備える。さらに、本技術の製造装置は、光電変換部の電荷を転送する電荷転送チャネルの少なくとも一部においてポテンシャルが勾配を有する縦型トランジスタを製造する縦型トランジスタ製造部を備える本技術は、例えば、撮像素子、撮像装置、製造装置および方法に適用することができる。

明 細 書

発明の名称：撮像素子、撮像装置、並びに、製造装置および方法
技術分野

[0001] 本技術は、撮像素子、撮像装置、並びに、製造装置および方法に関し、特に、電荷をより転送しやすくすることができるようにした撮像素子、撮像装置、並びに、製造装置および方法に関する。

背景技術

[0002] 従来、光電変換部で光電変換された信号を縦型トランジスタで読み出す撮像素子が考えられた（例えば、特許文献1参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2010-114324号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、特許文献1に記載の縦型トランジスタは、電荷転送チャンネルのポテンシャルが均一であるため、縦型トランジスタのゲート部の長さが長くなる程、電荷を転送する距離が長くなり、電荷を読み出しにくくなるおそれがあった。

[0005] 本技術は、このような状況に鑑みて提案されたものであり、電荷をより転送しやすくすることを目的とする。

課題を解決するための手段

[0006] 本技術の一側面は、光電変換部の電荷を転送する電荷転送チャンネルの少なくとも一部においてポテンシャルが勾配を有する縦型トランジスタを備える撮像素子である。

[0007] 前記ポテンシャルは、前記電荷転送チャンネルにおける電荷転送方向に、前記電荷の転送先に向かって深くなる勾配を有するようにすることができる。

[0008] 前記電荷転送チャンネルは、第1導電型の半導体に形成される第2導電型の

前記光電変換部の電荷を転送する第1導電型の電荷転送チャネルであり、前記電荷転送チャネルとゲート電極との間に形成されるゲート絶縁膜が、前記電荷の転送先に向かって膜厚が漸次薄くなるように形成されるようにすることができる。

[0009] 前記電荷転送チャネルは、第1導電型の半導体に形成される第2導電型の前記光電変換部の電荷を転送する第1導電型の電荷転送チャネルであり、前記電荷転送チャネルとゲート電極との間に形成されるゲート絶縁膜が、前記電荷の転送先に向かって膜厚が階段状に薄くなるように形成されるようにすることができる。

[0010] 前記電荷転送チャネルは、第1導電型の半導体に形成される第2導電型の前記光電変換部の電荷を転送する第1導電型の電荷転送チャネルであり、前記電荷転送チャネルが、前記電荷の転送先に向かって不純物濃度が薄くなるように形成されるようにすることができる。

[0011] 前記電荷転送チャネルは、第1導電型の半導体に形成される第2導電型の前記光電変換部の電荷を転送する第2導電型の電荷転送チャネルであり、前記電荷転送チャネルとゲート電極との間に形成されるゲート絶縁膜が、前記電荷の転送先に向かって膜厚が漸次厚くなるように形成されるようにすることができる。

[0012] 前記電荷転送チャネルは、第1導電型の半導体に形成される第2導電型の前記光電変換部の電荷を転送する第2導電型の電荷転送チャネルであり、前記電荷転送チャネルとゲート電極との間に形成されるゲート絶縁膜が、前記電荷の転送先に向かって膜厚が階段状に厚くなるように形成されるようにすることができる。

[0013] 前記電荷転送チャネルは、第1導電型の半導体に形成される第2導電型の前記光電変換部の電荷を転送する第2導電型の電荷転送チャネルであり、前記電荷転送チャネルが、前記電荷の転送先に向かって不純物濃度が濃くなるように形成されるようにすることができる。

[0014] 前記ポテンシャルは、前記電荷転送チャネルにおけるゲート電極に沿った

回転方向に勾配を有するようにすることができる。

[0015] 前記電荷転送チャネルと前記ゲート電極との間に形成されるゲート絶縁膜の膜厚が、前記回転方向に変化するようにすることができる。

[0016] 前記電荷転送チャネルの不純物濃度が、前記回転方向に変化するようにすることができる。

[0017] 本技術の他の側面は、光電変換部の電荷を転送する電荷転送チャネルの少なくとも一部においてポテンシャルが勾配を有する縦型トランジスタを備える撮像素子と、前記撮像素子により得られる撮像画像データを画像処理する画像処理部とを備える撮像装置である。

[0018] 本技術のさらに他の側面は、撮像素子を製造する製造装置であって、光電変換部の電荷を転送する電荷転送チャネルの少なくとも一部においてポテンシャルが勾配を有する縦型トランジスタを製造する縦型トランジスタ製造部を備える製造装置である。

[0019] 前記縦型トランジスタ製造部は、半導体基板をエッチングして溝部を形成するエッチング部と、前記エッチング部により形成された前記溝部に導電型の不純物を注入する導電型不純物注入部と、前記溝部に階層に応じた膜厚でゲート絶縁膜を形成するゲート絶縁膜形成部と、前記ゲート絶縁膜形成部により形成された前記ゲート絶縁膜を前記階層に応じた深さまで除去するゲート絶縁膜除去部と、前記ゲート絶縁膜に形成される溝部にゲート電極を形成するゲート電極形成部とを備え、前記ゲート絶縁膜形成部による前記ゲート絶縁膜の形成と、前記ゲート絶縁膜除去部による前記ゲート絶縁膜の除去を繰り返すことにより、前記ゲート絶縁膜を、前記電荷の転送先に向かって膜厚を階段状に変化するように形成することができる。

[0020] 前記縦型トランジスタ製造部は、半導体基板をエッチングして溝部を形成するエッチング部と、前記エッチング部により形成された前記溝部に導電型の不純物を注入する導電型不純物注入部と、前記溝部にゲート絶縁膜を形成するゲート絶縁膜形成部と、前記ゲート絶縁膜形成部により形成された前記ゲート絶縁膜にメサ型の溝を形成するゲート絶縁膜加工部と、前記ゲート絶

縁膜加工部により形成された前記メサ型の溝にゲート電極を形成するゲート電極形成部とを備えることができる。

[0021] 前記縦型トランジスタ製造部は、半導体基板をエッチングして溝部を形成するエッチング部と、前記エッチング部により形成された前記溝部に導電型の不純物を注入する導電型不純物注入部と、前記エッチング部により形成された前記溝部に非導電型の不純物を、深さに応じた濃度で注入する非導電型不純物注入部と、前記溝部にゲート絶縁膜を形成するゲート絶縁膜形成部と、前記ゲート絶縁膜に形成される溝部にゲート電極を形成するゲート電極形成部とを備えることができる。

[0022] 前記縦型トランジスタ製造部は、半導体基板をエッチングして溝部を形成するエッチング部と、前記エッチング部により形成された前記溝部に導電型の不純物を、深さに応じた濃度で注入する導電型不純物注入部と、前記溝部にゲート絶縁膜を形成するゲート絶縁膜形成部と、前記ゲート絶縁膜に形成される溝部にゲート電極を形成するゲート電極形成部とを備えることができる。

[0023] 前記縦型トランジスタ製造部は、半導体基板をエッチングして溝部を形成するエッチング部と、前記エッチング部により形成された前記溝部に導電型の不純物を注入する導電型不純物注入部と、前記溝部にゲート絶縁膜を形成するゲート絶縁膜形成部と、前記ゲート絶縁膜形成部により形成された前記ゲート絶縁膜に、ゲート電極に沿った回転方向に前記ゲート絶縁膜の膜厚が変化するように、溝部を形成するゲート絶縁膜加工部と、前記ゲート絶縁膜加工部により形成された前記溝部に前記ゲート電極を形成するゲート電極形成部とを備えることができる。

[0024] 前記縦型トランジスタ製造部は、半導体基板をエッチングして溝部を形成するエッチング部と、前記エッチング部により形成された前記溝部に導電型の不純物を、ゲート電極に沿った回転方向の位置に応じた濃度で注入する導電型不純物注入部と、前記溝部にゲート絶縁膜を形成するゲート絶縁膜形成部と、前記ゲート絶縁膜に形成される溝部にゲート電極を形成するゲート電

極形成部とを備えることができる。

[0025] 本技術のさらに他の側面は、また、撮像素子を製造する製造装置の製造方法であって、光電変換部の電荷を転送する電荷転送チャネルの少なくとも一部においてポテンシャルが勾配を有する縦型トランジスタを製造する製造方法である。

[0026] 本技術の一側面においては、光電変換部の電荷を転送する電荷転送チャネルの少なくとも一部においてポテンシャルが勾配を有する縦型トランジスタが備えられる。

[0027] 本技術の他の側面においては、光電変換部の電荷を転送する電荷転送チャネルの少なくとも一部においてポテンシャルが勾配を有する縦型トランジスタを備える撮像素子と、その撮像素子により得られる撮像画像データを画像処理する画像処理部とが備えられる。

[0028] 本技術のさらに他の側面においては、光電変換部の電荷を転送する電荷転送チャネルの少なくとも一部においてポテンシャルが勾配を有する縦型トランジスタが製造される。

発明の効果

[0029] 本技術によれば、被写体を撮像することが出来る。また本技術によれば、電荷をより転送しやすくすることができる。

図面の簡単な説明

[0030] [図1]撮像素子の一部の構成例を示す断面図である。

[図2]縦型トランジスタの一部の構成例を示す断面図である。

[図3]ポテンシャルの勾配を説明する図である。

[図4]縦型トランジスタの一部の構成例を示す断面図である。

[図5]縦型トランジスタの一部の構成例を示す断面図である。

[図6]縦型トランジスタの一部の構成例を示す断面図である。

[図7]縦型トランジスタの一部の構成例を示す断面図である。

[図8]縦型トランジスタの一部の構成例を示す断面図である。

[図9]縦型トランジスタの一部の構成例を示す断面図である。

[図10]ポテンシャルの勾配を説明する図である。

[図11]縦型トランジスタの一部の構成例を示す断面図である。

[図12]製造装置の主な構成例を示すブロック図である。

[図13]縦型トランジスタ製造部の主な構成例を示すブロック図である。

[図14]縦型トランジスタゲート部製造処理の流れの例を説明するフローチャートである。

[図15]縦型トランジスタゲート部製造処理の流れの例を説明するフローチャートである。

[図16]縦型トランジスタ製造部の主な構成例を示すブロック図である。

[図17]縦型トランジスタゲート部製造処理の流れの例を説明するフローチャートである。

[図18]縦型トランジスタ製造部の主な構成例を示すブロック図である。

[図19]縦型トランジスタゲート部製造処理の流れの例を説明するフローチャートである。

[図20]縦型トランジスタゲート部製造処理の流れの例を説明するフローチャートである。

[図21]縦型トランジスタゲート部製造処理の流れの例を説明するフローチャートである。

[図22]撮像装置の主な構成例を示すブロック図である。

発明を実施するための形態

[0031] 以下、本開示を実施するための形態（以下実施の形態とする）について説明する。なお、説明は以下の順序で行う。

1. 第1の実施の形態（撮像素子）
2. 第2の実施の形態（製造装置）
3. 第3の実施の形態（撮像装置）
4. 応用例

[0032] <1. 第1の実施の形態>

<縦型トランジスタを有するイメージセンサ>

従来、例えば、特許文献1に記載のイメージセンサのように、光電変換部で光電変換された信号を縦型トランジスタで読み出す撮像素子が考えられた。

[0033] しかしながら、特許文献1に記載のイメージセンサに用いられる縦型トランジスタは、電荷転送チャネルのポテンシャルが均一であるため、縦型トランジスタのゲート部の長さが長くなる程、電荷を転送する距離が長くなり、電荷を読み出しにくくなるおそれがあった。

[0034] <電荷転送チャネルのポテンシャルの勾配>

そこで、撮像素子において、光電変換部からの電荷の読み出しを制御する転送トランジスタとして縦型トランジスタを用い、その縦型トランジスタの、電荷を転送する電荷転送チャネルの少なくとも一部においてポテンシャルが勾配を有するようにする。

[0035] このようにすることにより、電荷転送チャネルにおいて電荷をより転送しやすくすることができる。したがって、ノイズの増大を抑制することができ、その撮像素子において得られる撮像画像の画質の低減を抑制することができる。

[0036] <イメージセンサの画素領域の構成>

図1は、本技術を適用した撮像素子の一実施の形態であるイメージセンサの画素領域の主な構成例を示す断面図である。図1に示されるイメージセンサ100は、被写体を撮像し、撮像画像を電気信号として得る裏面照射型のCMOS (Complementary Metal Oxide Semiconductor) イメージセンサである。イメージセンサ100は、例えばアレイ状等、面状に配置される複数の画素からなる画素領域を有する。画素領域の各画素において入射光が光電変換され、撮像画像の画素信号が得られる。図1においては、イメージセンサ100のそのような画素領域の一部の積層構造の例が断面図として示されている。図1においては、説明の便宜上、積層構造が模式化して示されている。また、図1においては、本技術の説明に用いられない構成については簡略化若しくは省略されている。

- [0037] 図1に示されるように、イメージセンサ100は、半導体基板層110を有する。この半導体基板層110は、例えば第1導電型（例えばp型）の半導体基板111と、その半導体基板111に形成される各種構成よりなる。図1に示されるイメージセンサ100は、裏面照射型のイメージセンサであり、図中下側が半導体基板111の表面側であり、図中上側が半導体基板111の裏面側である。
- [0038] 半導体基板111の内部には、例えば、光電変換部（例えばフォトダイオード）112が形成されている。光電変換部112は、例えば第2導電型（例えばn型）で形成されており、半導体基板の裏面側（すなわち、図中上側）から入射される入射光を光電変換し、得られた電荷を蓄積する。
- [0039] また、半導体基板111には、浮遊拡散層114や絶縁膜115等も形成されている。浮遊拡散層114は、半導体基板111の表側に形成されており、例えば第2導電型（例えばn⁺型）で形成されている。この浮遊拡散層114は、後述する有機光電変換膜142から転送される電荷を蓄積する。絶縁膜115は、半導体基板111を深さ方向に貫通するように形成されている。
- [0040] また、半導体基板111には、転送トランジスタ120も形成されている。転送トランジスタ120は、光電変換部112に蓄積された電荷の浮遊拡散層124への転送を制御するトランジスタであり、縦型トランジスタとして形成されている。転送トランジスタ120は、半導体基板111の表側から光電変換部112に達するようにそのゲート部が形成されている。光電変換部112は、このような転送トランジスタ120のソースとして形成されている。
- [0041] 転送トランジスタ120は、例えば、電荷転送チャンネル121、ゲート絶縁膜122、ゲート電極123、および浮遊拡散層124を有する。もちろん、これら以外の構成が半導体基板111に形成されてもよい。
- [0042] 電荷転送チャンネル121は、転送トランジスタ120のゲート部の構成であり、例えば第1導電型（例えばp⁺型）に形成されている。電荷転送チャネ

ル 1 2 1 は、光電変換部 1 1 2 と浮遊拡散層 1 2 4 の両方に接続されている。この電荷転送チャネル 1 2 1 に電界が印加されることにより（ゲート電極 1 2 3 の電位に応じて）、光電変換部 1 1 2 の電荷がこの電荷転送チャネル 1 2 1 を介して浮遊拡散層 1 2 4 に伝送される。

[0043] ゲート絶縁膜 1 2 2 は、電荷転送チャネル 1 2 1 の内側に形成されており、絶縁体により形成されており、電荷転送チャネル 1 2 1 とゲート電極 1 2 3 とを電氣的に絶縁する層である。

[0044] ゲート電極 1 2 3 は、ゲート電位が印加される電極であり、ゲート絶縁膜 1 2 2 の内側に形成されている。ゲート電極 1 2 3 は、金属等の導体により形成されている。

[0045] 浮遊拡散層 1 2 4 は、半導体基板 1 1 1 の表側に形成されている。浮遊拡散層 1 2 4 は、例えば第 2 導電型（例えば n⁺型）で形成されている。浮遊拡散層 1 2 4 は、転送トランジスタ 1 2 0 のドレインとして形成されている。この浮遊拡散層 1 2 4 は、光電変換部 1 1 2 から転送される電荷を蓄積する。

[0046] 半導体基板層 1 1 0 の表面側には、配線層 1 3 0 が形成されている。配線層 1 3 0 には、配線層間膜 1 3 1 と、配線 1 3 2 や配線 1 3 3 等の配線とが形成されている。配線層間膜 1 3 1 は、絶縁体により形成されており、金属等の導体よりなる配線同士を電氣的に絶縁する層である。

[0047] なお、配線 1 3 2 および配線 1 3 3 は、配線層 1 3 0 に形成される配線の例を示したものであり、実際には、配線層 1 3 0 には、配線 1 3 2 および配線 1 3 3 以外の配線も形成される。例えば、ゲート電極 1 2 3 は、図示せぬコンタクト等を介して図示せぬ配線（制御線等）に接続されている。ゲート電極 1 2 3 は、その制御線を介して供給される信号に応じた電位を有する（信号に応じた電界を電荷転送チャネル 1 2 1 に印加する）。

[0048] また、浮遊拡散層 1 2 4 は、例えば、図示せぬコンタクト等を介して図示せぬ配線に接続されている。同様に、浮遊拡散層 1 1 4 は、例えば、図示せぬコンタクト等を介して図示せぬ配線に接続されている。浮遊拡散層 1 1 4

や浮遊拡散層 124 に蓄積された電荷は、その配線を介して、例えば図示せぬ増幅トランジスタのゲート等に供給される。

[0049] 半導体基板層 110 の裏面側には、絶縁膜 141 と有機光電変換膜 142 が積層されている。有機光電変換膜 142 の光電変換部 112 近傍の表面側には、下部透明電極 143 が形成されている。また、有機光電変換膜 142 の裏面側には、上部透明電極 144 が形成されている。下部透明電極 143 は、絶縁膜 115 内部に形成される貫通電極 145 を介して配線 133 に接続されている。また、浮遊拡散層 114 は、コンタクト 146 を介して配線 133 に接続されている。つまり、有機光電変換膜 142 は、下部透明電極 143、貫通電極 145、配線 133、およびコンタクト 146 を介して浮遊拡散層 114 に接続されている。有機光電変換膜 142 において入射光が光電変換されて得られた電荷は、下部透明電極 143、貫通電極 145、配線 133、およびコンタクト 146 を介して浮遊拡散層 114 に供給される。

[0050] 上部透明電極 144 の裏面側には、パッシベーション層 151 が形成されている。パッシベーション層 151 は、例えば SiN 等により形成され、パッシベーション層 151 より表面側の各層（例えば、上部透明電極 144 等）を保護する。

[0051] パッシベーション層 151 の裏面側には、各画素に入射する入射光を光電変換部 112 等に集光するオンチップレンズ 152 が形成されている。

[0052] <電荷転送方向のポテンシャル勾配>

以上のような構成の画素を有するイメージセンサ 100 において、例えば図 2 のように、電荷転送チャンネル 121 における電荷転送方向（図 2 中の矢印 161 の方向の逆向き）に、電荷の転送先に向かって深くなるようなポテンシャルの勾配（電位勾配）が形成されるようにしてもよい。

[0053] なお、転送トランジスタ 120 が縦型トランジスタであるので、図 2 に示されるように、例えば、電荷転送チャンネル 121 の、ゲート電極 123 の側壁部分に相当する部分においては、この電荷転送方向は、半導体基板 111

の深さ方向（図中下から上に向かう方向）となる。

[0054] 図2の浮遊拡散層124から電荷転送チャンネル121を介して光電変換部112に向かう矢印161が示す方向のポテンシャルの分布の様子を、図3に示す。図3に示されるグラフでは、横軸が矢印161の各位置を示し、縦軸がポテンシャルの深さを示している。図3のグラフに示されるように、電荷転送チャンネル121のポテンシャルは、この矢印161にそって、浮遊拡散層124に近づくほど深くなっている。つまり、ポテンシャルが、電荷転送チャンネル121の少なくとも一部において勾配を有している。

[0055] このように、電荷転送方向に、電荷の転送先に向かって深くなるような電位勾配をつけることにより、光電変換部112から浮遊拡散層124への電荷転送をより容易にすることができる。

[0056] <ゲート絶縁膜の膜厚制御1>

次に、以上のように電荷転送方向にポテンシャルの勾配を形成する具体例を説明する。ゲート絶縁膜の膜厚が、電荷の転送先に向かって漸次薄くなるように形成されるようにしてもよい。例えば、図4に示されるように、ゲート絶縁膜122の膜厚が、電荷の転送先（浮遊拡散層124）に向かって漸次薄くなるように形成されるようにしてもよい。

[0057] 図4の例においては、ゲート電極123が、電荷の転送先に向かって漸次太くなるように形成されており（半導体基板111の深さ方向に、裏面側に向かって漸次細くなるように形成されており）、その分、ゲート絶縁膜122の膜厚が、電荷の転送先に向かって漸次薄くなっている。

[0058] このようにすることにより、電荷転送チャンネル121に印加される電界を、浮遊拡散層124により近くなる程、強くすることができる。したがって、電荷転送チャンネル121（特に、電荷転送チャンネル121の、ゲート電極123の側壁部分に相当する部分）において、ポテンシャルが、図3の例のように、浮遊拡散層124に近づくほど深くなるようにすることができる。このようにすることにより、光電変換部112から浮遊拡散層124への電荷転送をより容易にすることができる。

[0059] <ゲート絶縁膜の膜厚制御 2>

また、ゲート絶縁膜の膜厚が、電荷の転送先に向かって階段状に薄くなるように形成されるようにしてもよい。例えば、図5に示されるように、ゲート絶縁膜122の膜厚が、電荷の転送先（浮遊拡散層124）に向かって階段状に薄くなるように形成されるようにしてもよい。

[0060] 図5の例においては、ゲート電極123が、電荷の転送先に向かって階段状に太くなるように形成されており（半導体基板111の深さ方向に、裏面側に向かって階段状に細くなるように形成されており）、その分、ゲート絶縁膜122の膜厚が、電荷の転送先に向かって階段状に薄くなっている。

[0061] このようにすることにより、電荷転送チャンネル121に印加される電界を、浮遊拡散層124により近くなる程、強くすることができる。したがって、電荷転送チャンネル121（特に、電荷転送チャンネル121の、ゲート電極123の側壁部分に相当する部分）において、ポテンシャルが、図3の例のように、浮遊拡散層124に近づくほど深くなるようにすることができる。このようにすることにより、光電変換部112から浮遊拡散層124への電荷転送をより容易にすることができる。

[0062] <ゲート絶縁膜の膜厚制御 3>

なお、転送トランジスタの電荷転送チャンネルは、第2導電型（例えば、n型）で形成されるようにしてもよい。例えば、図6に示されるように、転送トランジスタ120の電荷転送チャンネル171が、第2導電型（例えば、n型）で形成されるようにしてもよい。図6の例のイメージセンサ100の場合、電荷転送チャンネル121の代わりに電荷転送チャンネル171が形成されている。電荷転送チャンネル171は、転送トランジスタ120のゲート部の構成であり、例えば第2導電型（例えばn型）に形成されている。電荷転送チャンネル171は、光電変換部112と浮遊拡散層124の両方に接続されている。この電荷転送チャンネル171に電界が印加されることにより（ゲート電極123の電位に応じて）、光電変換部112の電荷がこの電荷転送チャンネル171を介して浮遊拡散層124に伝送される。

[0063] このような第2導電型（例えばn型）の電荷転送チャンネルを有する転送トランジスタにおいて、ゲート絶縁膜の膜厚が、電荷の転送先に向かって漸次厚くなるように形成されるようにしてもよい。例えば、図6に示されるように、転送トランジスタ120において、ゲート絶縁膜122の膜厚が、電荷の転送先（浮遊拡散層124）に向かって漸次厚くなるように形成されるようにしてもよい。

[0064] 図6の例においては、ゲート電極123が、電荷の転送先に向かって漸次細くなるように形成されており（半導体基板111の深さ方向に、裏面側に向かって漸次太くなるように形成されており）、その分、ゲート絶縁膜122の膜厚が、電荷の転送先に向かって漸次厚くなっている。

[0065] このようにすることにより、電荷転送チャンネル171に印加される電界を、浮遊拡散層124により近くなる程、強くすることができる。したがって、電荷転送チャンネル171（特に、電荷転送チャンネル171の、ゲート電極123の側壁部分に相当する部分）において、ポテンシャルが、図3の例のように、浮遊拡散層124に近づくほど深くなるようにすることができる。このようにすることにより、光電変換部112から浮遊拡散層124への電荷転送をより容易にすることができる。

[0066] <ゲート絶縁膜の膜厚制御4>

また、ゲート絶縁膜の膜厚が、電荷の転送先に向かって階段状に厚くなるように形成されるようにしてもよい。例えば、図7に示されるように、ゲート絶縁膜122の膜厚が、電荷の転送先（浮遊拡散層124）に向かって階段状に厚くなるように形成されるようにしてもよい。

[0067] 図7の例においては、ゲート電極123が、電荷の転送先に向かって階段状に細くなるように形成されており（半導体基板111の深さ方向に、裏面側に向かって階段状に太くなるように形成されており）、その分、ゲート絶縁膜122の膜厚が、電荷の転送先に向かって階段状に厚くなっている。

[0068] このようにすることにより、電荷転送チャンネル171に印加される電界を、浮遊拡散層124により近くなる程、強くすることができる。したがって

、電荷転送チャンネル171（特に、電荷転送チャンネル171の、ゲート電極123の側壁部分に相当する部分）において、ポテンシャルが、図3の例のように、浮遊拡散層124に近づくほど深くなるようにすることができる。このようにすることにより、光電変換部112から浮遊拡散層124への電荷転送をより容易にすることができる。

[0069] <電荷転送チャンネルの不純物濃度制御>

また、転送トランジスタの電荷転送チャンネルが、第1導電型（例えば、p型）で形成される場合、その電荷転送チャンネルが、電荷の転送先に向かって不純物濃度が薄くなるように形成されるようにしてもよい。例えば、図8に示されるように、電荷転送チャンネル121に注入された不純物の濃度が、電荷の転送先（浮遊拡散層124）に向かって薄くなるようにしてもよい。

[0070] 図8の例においては、電荷転送チャンネル121に注入された不純物の濃度が、電荷の転送先（浮遊拡散層124）に向かって階段状に薄くなっている。すなわち、不純物の濃度は、電荷転送チャンネル121-1 (p⁺) > 電荷転送チャンネル121-2 (p) > 電荷転送チャンネル121-3 (p⁻) である。

[0071] このようにすることにより、電荷転送チャンネル121のポテンシャルが、図3の例のように、浮遊拡散層124に近づくほど深くなるようにすることができる。このようにすることにより、光電変換部112から浮遊拡散層124への電荷転送をより容易にすることができる。

[0072] なお、この電荷転送チャンネル121に注入される不純物の濃度は、電荷の転送先（浮遊拡散層124）に向かって漸次薄くなるようにしてもよい。

[0073] また、電荷転送チャンネルが、第2導電型（例えば、n型）の場合も同様に不純物の濃度を制御するようにしてもよい。例えば、第2導電型（例えば、n型）の電荷転送チャンネル171に注入された不純物の濃度が、電荷の転送先（浮遊拡散層124）に向かって濃くなるようにしてもよい。その場合、不純物の濃度は、電荷の転送先（浮遊拡散層124）に向かって階段状に濃くなるようにしてもよいし、電荷の転送先（浮遊拡散層124）に向かって漸次濃くなるようにしてもよい。

[0074] <回転方向のポテンシャル勾配>

以上のような構成の画素を有するイメージセンサにおいて、電荷転送チャンネルにおけるゲート電極に沿った回転方向にポテンシャルの勾配（電位勾配）が形成されるようにしてもよい。

[0075] 例えば、図9のAに示される転送トランジスタ120のゲート部の、点線181における水平方向の断面図を図9のBに示す。図9のBに示される矢印182は、ゲート部の電荷転送チャンネル121における、ゲート電極123に沿った、ゲート電極123を周回する回転方向を示している。

[0076] この矢印182が示す方向のポテンシャルの分布の様子を、図10に示す。図10に示されるグラフでは、横軸が矢印182の各位置を示し、縦軸がポテンシャルの深さを示している。図10のグラフに示されるように、電荷転送チャンネル121のポテンシャルは、この矢印182にそって変化する。つまり、電荷転送チャンネル121のポテンシャルは、この矢印182の方向の少なくとも一部において、その矢印182の方向に勾配を有する。

[0077] このように、電荷転送チャンネル121において回転方向に電位勾配をつけることにより、電荷は、電荷転送チャンネル121のポテンシャルの低い部分に集中して、光電変換部112から浮遊拡散層124に転送されるようになる。これにより、光電変換部112から浮遊拡散層124に電荷をより転送しやすくすることができる。

[0078] <ゲート絶縁膜の膜厚制御>

次に、以上のように電荷転送方向にポテンシャルの勾配を形成する具体例を説明する。ゲート絶縁膜の膜厚が、ゲート電極に沿った回転方向に変化するようにしてもよい。つまり、上述した矢印182で示される回転方向にゲート絶縁膜122の膜厚が変化する（偏りを有する）ようにしてもよい。例えば、上述した矢印182で示される回転方向の一部において、ゲート絶縁膜122の膜厚が、他の部分と異なる（他の部分よりも厚い、若しくは、薄い）ようにしてもよい。

[0079] 例えば、図11のAに示されるように、ゲート電極123の中心の位置を

、ゲート絶縁膜 1 2 2 の中心の位置からずらすことにより、矢印 1 8 2 で示される回転方向にゲート絶縁膜 1 2 2 の膜厚の偏りを生じさせるようにしてもよい。

[0080] また、例えば、図 1 1 の B に示されるように、ゲート電極 1 2 3 の断面形状を、ゲート絶縁膜 1 2 2 の断面形状と異なる形状とすることにより、矢印 1 8 2 で示される回転方向にゲート絶縁膜 1 2 2 の膜厚の偏りを生じさせるようにしてもよい。

[0081] なお、この回転方向の膜厚の変化（偏り）は、漸次であってもよいし、階段状であってもよい。

[0082] <電荷転送チャネルの不純物濃度制御>

また、転送トランジスタの電荷転送チャネルが、電荷転送チャネルにおけるゲート電極に沿った回転方向に不純物濃度が変化するように形成されるようにしてもよい。例えば、図 1 1 の C に示されるように、電荷転送チャネル 1 2 1 に注入された不純物の濃度が、ゲート電極に沿った回転方向（矢印 1 8 2）に変化するようにしてもよい。

[0083] 図 1 1 の C の例においては、電荷転送チャネル 1 2 1 に注入された不純物の濃度が、電荷の転送先（浮遊拡散層 1 2 4）に向かって階段状に薄くなっている。すなわち、不純物の濃度は、電荷転送チャネル 1 2 1 - 1 (p+) > 電荷転送チャネル 1 2 1 - 2 (p) > 電荷転送チャネル 1 2 1 - 3 (p-) である。

[0084] このようにすることにより、電荷は、電荷転送チャネル 1 2 1 のポテンシャルの低い部分に集中して、光電変換部 1 1 2 から浮遊拡散層 1 2 4 に転送されるようになる。これにより、光電変換部 1 1 2 から浮遊拡散層 1 2 4 に電荷をより転送しやすくすることができる。

[0085] なお、この電荷転送チャネル 1 2 1 に注入される不純物の濃度は、矢印 1 8 2 に沿って漸次薄くなるようにしてもよい。

[0086] また、電荷転送チャネルが、第 2 導電型（例えば、n 型）の場合も同様に、ゲート絶縁膜 1 2 2 の膜厚や不純物の濃度が、ゲート電極に沿った回転方

向に変化するようにしてもよい。つまり、図6や図7の例のように、電荷転送チャンネル121の代わりに電荷転送チャンネル171を有するようにしてもよく、その場合も、上述したように、ゲート絶縁膜122の膜厚や不純物の濃度を、ゲート電極に沿った回転方向に変化させるようにしてもよい。

[0087] このようにすることにより、電荷転送チャンネル121の場合と同様に、電荷が、電荷転送チャンネル121のポテンシャルの低い部分に集中して、光電変換部112から浮遊拡散層124に転送されるようになる。これにより、光電変換部112から浮遊拡散層124に電荷をより転送しやすくすることができる。

[0088] <2. 第2の実施の形態>

<製造装置>

次に、以上に説明したようなイメージセンサ100の製造について説明する。

[0089] 図12は、本技術を適用した撮像素子の一実施の形態であるイメージセンサ100を製造する製造装置（本技術を適用した製造装置の一実施の形態である製造装置）の主な構成例を示すブロック図である。図12に示される製造装置200は、制御部201およびイメージセンサ製造部202を有する。

[0090] 制御部201は、例えば、CPU（Central Processing Unit）、ROM（Read Only Memory）、およびRAM（Random Access Memory）等を有し、イメージセンサ製造部202の各部を制御し、イメージセンサ100の製造に関する制御処理を行う。例えば、制御部201のCPUは、ROMに記憶されているプログラムに従って各種の処理を実行する。また、そのCPUは、記憶部213からRAMにロードされたプログラムに従って各種の処理を実行する。RAMにはまた、CPUが各種の処理を実行するにあたって必要なデータなども適宜記憶される。

[0091] イメージセンサ製造部202は、制御部201に制御されて、イメージセンサ100の製造に関する処理を行う。つまり、実際には、イメージセンサ製造部202は、イメージセンサ100を製造する全ての工程に関する処理

を行う。例えば、イメージセンサ製造部 202 は、半導体基板層 110 や配線層 130 の各構成を形成したり、半導体基板層 110 の裏面側の構成（絶縁膜 141 乃至オンチップレンズ 152 等）を形成したりする。ただし、以下においては、説明の便宜上、転送トランジスタ 120 のゲート部の製造に関する部分についてのみ説明する。

[0092] イメージセンサ製造部 202 は、例えば、縦型トランジスタ製造部 231 を有する。縦型トランジスタ製造部 231 は、縦型トランジスタである転送トランジスタ 120 の製造に関する処理を行う。

[0093] また、製造装置 200 は、入力部 211、出力部 212、記憶部 213、通信部 214、およびドライブ 215 を有する。

[0094] 入力部 211 は、キーボード、マウス、タッチパネル、および外部入力端子などよりなり、ユーザ指示や外部からの情報の入力を受け付け、制御部 201 に供給する。出力部 212 は、CRT (Cathode Ray Tube) ディスプレイや LCD (Liquid Crystal Display) 等のディスプレイ、スピーカ、並びに外部出力端子などよりなり、制御部 201 から供給される各種情報を画像、音声、若しくは、アナログ信号やデジタルデータとして出力する。

[0095] 記憶部 213 は、例えばフラッシュメモリ、SSD (Solid State Drive)、ハードディスク等の任意の記憶媒体を有し、制御部 201 から供給される情報を記憶したり、制御部 201 からの要求に従って、記憶している情報を読み出して供給したりする。

[0096] 通信部 214 は、例えば、有線 LAN (Local Area Network) や無線 LAN のインタフェースやモデムなどよりなり、インターネットを含むネットワークを介して、外部の装置との通信処理を行う。例えば、通信部 214 は、制御部 201 から供給される情報を通信相手に送信したり、通信相手から受信した情報を制御部 201 に供給したりする。

[0097] ドライブ 215 は、必要に応じて制御部 201 に接続される。そして、例えば磁気ディスク、光ディスク、光磁気ディスク、或いは半導体メモリなどのリムーバブルメディア 221 がそのドライブ 215 に適宜装着される。そ

して、そのドライブ 215 を介してリムーバブルメディア 221 から読み出されたコンピュータプログラムが、必要に応じて記憶部 213 にインストールされる。

[0098] <縦型トランジスタ製造部>

次に、縦型トランジスタ製造部 231 の構成例について説明する。図 13 は、縦型トランジスタ製造部 231 が有する転送トランジスタ 120 のゲート部の製造に関する処理を行う主な処理部の構成例を示すブロック図である。

[0099] 図 13 に示されるように、縦型トランジスタ製造部 231 は、マスク形成部 241、エッチング部 242、導電型不純物注入部 243、マスク除去部 244、ゲート絶縁膜被着部 245、ゲート絶縁膜加工部 246、およびゲート電極形成部 247 を有する。

[0100] マスク形成部 241 はマスク形成に関する処理を行う。エッチング部 242 は半導体基板 111 等のエッチングに関する処理を行う。導電型不純物注入部 243 は、導電型不純物の注入に関する処理を行う。マスク除去部 244 は、マスクの除去に関する処理を行う。ゲート絶縁膜被着部 245 は、ゲート絶縁膜 122 の成膜に関する処理を行う。ゲート絶縁膜加工部 246 は、ゲート絶縁膜 122 の加工に関する処理を行う。ゲート電極形成部 247 は、ゲート電極の形成に関する処理を行う。

[0101] このような構成とすることにより、縦型トランジスタ製造部 231 は、例えば、図 4 乃至図 7 を参照して説明した各例のゲート部を製造することができる。つまり、イメージセンサ製造部 202 は、図 4 乃至図 7 を参照して説明した各例のような転送トランジスタ 120 を有するイメージセンサ 100 を製造することができる。

[0102] <縦型トランジスタゲート部製造処理の流れ>

次に、図 14 のフローチャートを参照して、図 13 の例の縦型トランジスタ製造部 231 により実行される縦型トランジスタゲート部製造処理の流れの例を説明する。

- [0103] 縦型トランジスタゲート部製造処理が開始されると、マスク形成部241は、ステップS101において、半導体基板111の表面側から、転送トランジスタ120のゲート部を形成する位置（例えば、光電変換部112の表面側）に、溝部を形成するためのマスクを形成する。
- [0104] ステップS102において、エッチング部242は、ステップS101において形成されたそのマスクに従って、半導体基板111をエッチングして溝部を形成する。
- [0105] ステップS103において、導電型不純物注入部243は、半導体基板111の、ステップS102において形成された溝部に導電型の不純物を注入する。
- [0106] ステップS104において、マスク除去部244は、ステップS101において形成されたマスクを除去する。
- [0107] ゲート絶縁膜被着部245とゲート絶縁膜加工部246は、ステップS102において形成された溝部をその深さ方向に複数階層化し、最も深い階層から最も浅い階層に向かう順で、階層毎に処理を行う。
- [0108] つまり、ステップS105において、ゲート絶縁膜被着部245は、ステップS102において形成された溝部の処理対象の階層（つまり、溝部の処理対象の深さの範囲）に対して、ゲート絶縁膜122をその階層に応じた膜厚で被着する。例えば、1回目の処理であれば、ゲート絶縁膜被着部245は、最も深い階層（すなわち、溝部の底辺から所定の深さまでの範囲）に対して、ゲート絶縁膜122を、その階層に応じた所定の膜厚となるように被着する。また、2回目の処理であれば、ゲート絶縁膜被着部245は、その次の階層（その次の深さの範囲）に対して、ゲート絶縁膜122の被着を行う。
- [0109] ステップS106において、ゲート絶縁膜被着部245は、全ての階層のゲート絶縁膜122を形成したか否かを判定する。ゲート絶縁膜122が形成されていない階層が存在すると判定された場合、処理はステップS107に進む。

- [0110] ステップS107において、ゲート絶縁膜加工部246は、ステップS106において被着されたゲート絶縁膜122を、処理対象の階層に応じた所定の深さまで除去する。つまり、ゲート絶縁膜加工部246は、ステップS106において、溝部の、処理対象の階層の深さの下限（最浅部）よりも浅い部分に被着したゲート絶縁膜122を除去する。これにより、溝部の、最深部（底辺）から、処理対象の階層の最浅部までのゲート絶縁膜122の被着が終了する。
- [0111] ステップS107の処理が終了すると、処理はステップS105に戻る。つまり、ステップS105乃至ステップS107の各処理が階層毎に繰り返して実行される。そして、全ての階層について処理が行われ、ステップS106において、全ての階層のゲート絶縁膜122が形成されたと判定された場合、処理はステップS108に進む。
- [0112] このようにすることにより、図5や図7の例のように、溝部の深さ方向に、すなわち、電荷転送方向に、膜厚が階段状に変化するようにゲート絶縁膜122が形成される。
- [0113] ステップS108において、ゲート電極形成部247は、以上のように形成されたゲート絶縁膜122の溝部にゲート電極123を形成する。
- [0114] ステップS108の処理が終了すると、縦型トランジスタゲート部製造処理が終了する。
- [0115] 以上のように処理を行うことにより、縦型トランジスタ製造部231は、例えば、図5や図7を参照して説明した例のような転送トランジスタ120のゲート部を製造することができる。つまり、イメージセンサ製造部202は、図5や図7を参照して説明した例のような転送トランジスタ120を有するイメージセンサ100を製造することができる。
- [0116] <縦型トランジスタゲート部製造処理の流れ>
- 次に、図15のフローチャートを参照して、図13の例の縦型トランジスタ製造部231により実行される縦型トランジスタゲート部製造処理の流れの他の例を説明する。

- [0117] この場合、縦型トランジスタゲート部製造処理が開始されると、マスク形成部241は、ステップS121において、図14の場合と同様にマスクを形成する。
- [0118] ステップS122において、エッチング部242は、図14の場合と同様に半導体基板111をエッチングして溝部を形成する。
- [0119] ステップS123において、導電型不純物注入部243は、図14の場合と同様に導電型の不純物を溝部に注入する。
- [0120] ステップS124において、マスク除去部244は、図14の場合と同様にマスクを除去する。
- [0121] ステップS125において、ゲート絶縁膜被着部245は、ステップS122において形成された溝部にゲート絶縁膜122を所定の膜厚で被着する。溝部を埋めるようにゲート絶縁膜122を被着してもよい。
- [0122] ステップS126において、ゲート絶縁膜加工部246は、ステップS125において被着されたゲート絶縁膜122を加工して、メサ型の溝を形成する。
- [0123] ステップS127において、ゲート電極形成部247は、以上のように形成されたゲート絶縁膜122のメサ型の溝部にゲート電極123を形成する。
- [0124] ステップS127の処理が終了すると、縦型トランジスタゲート部製造処理が終了する。
- [0125] 以上のように処理を行うことにより、縦型トランジスタ製造部231は、例えば、図4や図6を参照して説明した例のように、ゲート絶縁膜122の膜厚が電荷転送方向に漸次変化するような転送トランジスタ120のゲート部を製造することができる。つまり、イメージセンサ製造部202は、図4や図6を参照して説明した例のような転送トランジスタ120を有するイメージセンサ100を製造することができる。
- [0126] <縦型トランジスタ製造部>
図16は、縦型トランジスタ製造部231が有する転送トランジスタ12

0のゲート部の製造に関する処理を行う主な処理部の他の構成例を示すブロック図である。

[0127] 図16に示されるように、この場合、縦型トランジスタ製造部231は、マスク形成部241、エッチング部242、導電型不純物注入部243、非導電型不純物注入部251、マスク除去部244、ゲート絶縁膜被着部245、およびゲート電極形成部247を有する。

[0128] 非導電型不純物注入部251は、非導電型不純物の注入に関する処理を行う。溝部に、非導電型不純物を注入することにより、増速酸化による酸化膜（つまり、ゲート絶縁膜122）の膜厚制御を行うことができる。つまり、非導電型不純物注入部251は、溝部に注入する非導電型不純物の注入量（濃度）を制御することによって、ゲート絶縁膜122の膜厚を制御することができる。すなわち、非導電型不純物注入部251は、溝部の深さ方向に応じて、非導電型不純物の注入量（濃度）を制御することによって、ゲート絶縁膜122の膜厚（つまり、電荷転送チャンネルのポテンシャルの深さ）を溝部の深さ方向に（つまり、電荷転送方向に）制御することができる。

[0129] したがって、このような構成とすることにより、縦型トランジスタ製造部231は、例えば、図4乃至図7を参照して説明した各例のゲート部を製造することができる。つまり、イメージセンサ製造部202は、図4乃至図7を参照して説明した各例のような転送トランジスタ120を有するイメージセンサ100を製造することができる。

[0130] <縦型トランジスタゲート部製造処理の流れ>

次に、図17のフローチャートを参照して、図16の例の縦型トランジスタ製造部231により実行される縦型トランジスタゲート部製造処理の流れの他の例を説明する。

[0131] この場合、縦型トランジスタゲート部製造処理が開始されると、マスク形成部241乃至導電型不純物注入部243は、ステップS141乃至ステップS143の各処理を、図14のステップS101乃至ステップS103の各処理と同様に実行する。

- [0132] ステップS 1 4 4において、非導電型不純物注入部 2 5 1は、ステップS 1 4 2において形成された溝部の底面や側面に非導電型の不純物を、その深さに応じた濃度で注入する。
- [0133] ステップS 1 4 5において、マスク除去部 2 4 4は、図 1 4の場合と同様にマスクを除去する。
- [0134] ステップS 1 4 6において、ゲート絶縁膜被着部 2 4 5は、ステップS 1 4 2において形成された溝部にゲート絶縁膜 1 2 2を所定の膜厚で被着する。ステップS 1 4 4の処理により、溝部には、非導電型不純物が適宜注入されるので、増速酸化によりゲート絶縁膜 1 2 2が、その非導電型不純物の濃度に応じた膜厚となる。つまり、ゲート絶縁膜 1 2 2は、溝部の深さに応じた膜厚となる。
- [0135] ステップS 1 4 7において、ゲート電極形成部 2 4 7は、以上のように形成されたゲート絶縁膜 1 2 2の溝部にゲート電極 1 2 3を形成する。
- [0136] ステップS 1 4 7の処理が終了すると、縦型トランジスタゲート部製造処理が終了する。
- [0137] 以上のように処理を行うことにより、縦型トランジスタ製造部 2 3 1は、例えば、図 4乃至図 7を参照して説明した各例の転送トランジスタ 1 2 0のゲート部を製造することができる。
- [0138] 例えば、ステップS 1 4 4において、非導電型不純物注入部 2 5 1が、非導電型の不純物を、その濃度を溝部の深さ方向に階段状に変化させて注入することにより、ステップS 1 4 6の処理により形成されるゲート絶縁膜 1 2 2の膜厚が深さ方向に階段状に変化するようになるので、縦型トランジスタ製造部 2 3 1は、例えば、図 5や図 7を参照して説明した各例の転送トランジスタ 1 2 0のゲート部を製造することができる。
- [0139] また、例えば、ステップS 1 4 4において、非導電型不純物注入部 2 5 1が、非導電型の不純物を、その濃度を溝部の深さ方向に漸次変化させて注入することにより、ステップS 1 4 6の処理により形成されるゲート絶縁膜 1 2 2の膜厚が深さ方向に漸次変化するようになるので、縦型トランジスタ製

造部 231 は、例えば、図 4 や図 6 を参照して説明した各例の転送トランジスタ 120 のゲート部を製造することができる。

[0140] つまり、イメージセンサ製造部 202 は、図 4 乃至図 7 を参照して説明した例のような転送トランジスタ 120 を有するイメージセンサ 100 を製造することができる。

[0141] <縦型トランジスタ製造部>

図 18 は、縦型トランジスタ製造部 231 が有する転送トランジスタ 120 のゲート部の製造に関する処理を行う主な処理部のさらに他の構成例を示すブロック図である。

[0142] 図 18 に示されるように、この場合、縦型トランジスタ製造部 231 は、マスク形成部 241、エッチング部 242、導電型不純物注入部 243、マスク除去部 244、ゲート絶縁膜被着部 245、およびゲート電極形成部 247 を有する。

[0143] 導電型不純物注入部 243 は、導電型不純物を、溝部の注入する位置の深さに応じた濃度で注入する。導電型不純物の濃度を、注入する深さに応じて制御することにより、導電型不純物注入部 243 は、電荷転送チャンネル 121 のポテンシャルの深さを溝部の深さ方向に（つまり、電荷転送方向に）制御することができる。つまり、導電型不純物注入部 243 は、電荷転送チャンネル 121 において、電荷転送方向にポテンシャルの勾配を形成することができる。

[0144] したがって、このような構成とすることにより、縦型トランジスタ製造部 231 は、例えば、図 8 を参照して説明した例等のような、電荷転送チャンネル 121 に注入された導電型不純物の濃度が電荷転送方向に変化するゲート部を製造することができる。つまり、イメージセンサ製造部 202 は、図 8 を参照して説明した例等のような、電荷転送チャンネル 121 に注入された導電型不純物の濃度が電荷転送方向に変化する転送トランジスタ 120 を有するイメージセンサ 100 を製造することができる。

[0145] <縦型トランジスタゲート部製造処理の流れ>

次に、図19のフローチャートを参照して、図18の例の縦型トランジスタ製造部231により実行される縦型トランジスタゲート部製造処理の流れの他の例を説明する。

- [0146] この場合、縦型トランジスタゲート部製造処理が開始されると、マスク形成部241およびエッチング部242は、ステップS161およびステップS162の各処理を、図14のステップS101およびステップS102の各処理と同様に実行する。
- [0147] ステップS163において、導電型不純物注入部243は、導電型不純物をステップS162において形成された溝部に、その注入する位置の深さに応じた濃度で注入する。
- [0148] ステップS164において、マスク除去部244は、図14の場合と同様にマスクを除去する。
- [0149] ステップS165において、ゲート絶縁膜被着部245は、ステップS162において形成された溝部にゲート絶縁膜122を所定の膜厚で被着する。
- [0150] ステップS166において、ゲート電極形成部247は、以上のように形成されたゲート絶縁膜122の溝部にゲート電極123を形成する。
- [0151] ステップS166の処理が終了すると、縦型トランジスタゲート部製造処理が終了する。
- [0152] 以上のように処理を行うことにより、縦型トランジスタ製造部231は、例えば図8を参照して説明した例等のような、電荷転送チャンネル121に注入された導電型不純物の濃度が電荷転送方向に変化する転送トランジスタ120のゲート部を製造することができる。つまり、イメージセンサ製造部202は、図8を参照して説明した例等のような、電荷転送チャンネル121に注入された導電型不純物の濃度が電荷転送方向に変化する転送トランジスタ120を有するイメージセンサ100を製造することができる。
- [0153] <縦型トランジスタ製造部>
- 次に、電荷転送チャンネル121に、ゲート電極123に沿った回転方向に

ポテンシャルの勾配を形成させる場合の、縦型トランジスタ製造部 231 の構成例について説明する。この場合、縦型トランジスタ製造部 231 は、例えば、図 13 を参照して説明した例と同様の構成を有するようにしてもよい。つまり、縦型トランジスタ製造部 231 が、マスク形成部 241 乃至ゲート電極形成部 247 を有するようにしてもよい。

[0154] <縦型トランジスタゲート部製造処理の流れ>

次に、図 20 のフローチャートを参照して、この場合の縦型トランジスタ製造部 231 により実行される縦型トランジスタゲート部製造処理の流れの例を説明する。

[0155] この場合、縦型トランジスタゲート部製造処理が開始されると、マスク形成部 241 乃至ゲート絶縁膜被着部 245 は、ステップ S201 乃至ステップ S205 の各処理を、図 15 のステップ S121 乃至ステップ S125 の各処理と同様に実行する。

[0156] ステップ S206 において、ゲート絶縁膜加工部 246 は、ステップ S205 において被着されたゲート絶縁膜 122 を加工して、ゲート絶縁膜 122 が回転方向の位置に応じた膜厚になるように、ゲート絶縁膜 122 に溝部を形成する。例えばゲート絶縁膜加工部 246 は、図 11 の A や図 11 の B の例のようにして、ゲート絶縁膜 122 に溝部を形成することにより、ゲート絶縁膜 122 の膜厚を回転方向の位置に応じて変化させることができる。

[0157] ステップ S207 において、ゲート電極形成部 247 は、ステップ S206 において形成されたゲート絶縁膜 122 の溝部にゲート電極 123 を形成する。

[0158] ステップ S207 の処理が終了すると、縦型トランジスタゲート部製造処理が終了する。

[0159] 以上のように処理を行うことにより、縦型トランジスタ製造部 231 は、例えば、図 10 や図 11 を参照して説明した例のように、ゲート絶縁膜 122 の膜厚が回転方向に漸次若しくは階段状に変化するような転送トランジスタ 120 のゲート部を製造することができる。つまり、イメージセンサ製造

部 202 は、図 10 や図 11 を参照して説明した例のような転送トランジスタ 120 を有するイメージセンサ 100 を製造することができる。

[0160] <縦型トランジスタ製造部>

次に、電荷転送チャネル 121 に、ゲート電極 123 に沿った回転方向にポテンシャルの勾配を形成させる場合の、縦型トランジスタ製造部 231 の他の構成例について説明する。この場合、縦型トランジスタ製造部 231 は、例えば、図 18 を参照して説明した例と同様の構成を有するようによい。つまり、縦型トランジスタ製造部 231 が、マスク形成部 241 乃至ゲート絶縁膜被着部 245、並びに、ゲート電極形成部 247 を有するようによい。

[0161] <縦型トランジスタゲート部製造処理の流れ>

次に、図 21 のフローチャートを参照して、この場合の縦型トランジスタ製造部 231 により実行される縦型トランジスタゲート部製造処理の流れの例を説明する。

[0162] この場合、縦型トランジスタゲート部製造処理が開始されると、マスク形成部 241 およびエッチング部 242 は、ステップ S 221 およびステップ S 222 の各処理を、図 19 のステップ S 161 およびステップ S 162 の各処理と同様に実行する。

[0163] ステップ S 223 において、導電型不純物注入部 243 は、導電型不純物を、ステップ S 222 において形成された溝部に、その注入する回転方向の位置に応じた濃度で注入する。

[0164] マスク除去部 244、ゲート絶縁膜被着部 245、およびゲート電極形成部 247 は、ステップ S 224 乃至ステップ S 226 の各処理を、図 19 のステップ S 164 乃至ステップ S 166 の各処理と同様に実行する。

[0165] ステップ S 226 の処理が終了すると、縦型トランジスタゲート部製造処理が終了する。

[0166] 以上のように処理を行うことにより、縦型トランジスタ製造部 231 は、例えば図 10 や図 11 の C を参照して説明した例等のような、電荷転送チャ

ネル 121 に注入された導電型不純物の濃度が回転方向に変化する転送トランジスタ 120 のゲート部を製造することができる。つまり、イメージセンサ製造部 202 は、図 10 や図 11 の C を参照して説明した例等のような、電荷転送チャネル 121 に注入された導電型不純物の濃度が回転方向に変化する転送トランジスタ 120 を有するイメージセンサ 100 を製造することができる。

[0167] <3. 第3の実施の形態>

<撮像装置>

以上に説明した、本技術を適用して製造したイメージセンサ 100 (撮像素子) は、例えば撮像装置等のデバイスに適用することができる。すなわち、本技術は、撮像素子としてだけでなく、その撮像素子を用いたデバイス (例えば、撮像装置等) として実施することもできる。

[0168] 図 22 は、本技術を適用した電子機器の一例としての撮像装置の主な構成例を示すブロック図である。図 22 に示される撮像装置 600 は、被写体を撮像し、その被写体の画像を電気信号として出力する装置である。

[0169] 図 22 に示されるように撮像装置 600 は、光学部 611、CMOSセンサ 612、A/D変換器 613、操作部 614、制御部 615、画像処理部 616、表示部 617、コーデック処理部 618、および記録部 619 を有する。

[0170] 光学部 611 は、被写体までの焦点を調整し、焦点が合った位置からの光を集光するレンズ、露出を調整する絞り、および、撮像のタイミングを制御するシャッタ等よりなる。光学部 611 は、被写体からの光 (入射光) を透過し、CMOSセンサ 612 に供給する。

[0171] CMOSセンサ 612 は、入射光を光電変換して画素毎の信号 (画素信号) を A/D変換器 613 に供給する。

[0172] A/D変換器 613 は、CMOSセンサ 612 から、所定のタイミングで供給された画素信号を、デジタルデータ (画像データ) に変換し、所定のタイミングで順次、画像処理部 616 に供給する。

[0173] 操作部 614 は、例えば、ジョグダイヤル (商標)、キー、ボタン、また

はタッチパネル等の任意の入力デバイスにより構成され、例えばユーザによる操作入力を受け、その操作入力に対応する信号を制御部615に供給する。

[0174] 制御部615は、操作部614により入力されたユーザの操作入力に対応する信号に基づいて、光学部611、CMOSセンサ612、A/D変換器613、画像処理部616、表示部617、コーデック処理部618、および記録部619の駆動を制御し、各部に撮像に関する処理を行わせる。

[0175] 画像処理部616は、A/D変換器613から供給された画像データに対して、例えば、混色補正や、黒レベル補正、ホワイトバランス調整、デモザイク処理、マトリックス処理、ガンマ補正、およびYC変換等の各種画像処理を施す。画像処理部616は、画像処理を施した画像データを表示部617およびコーデック処理部618に供給する。

[0176] 表示部617は、例えば、液晶ディスプレイ等として構成され、画像処理部616から供給された画像データに基づいて、被写体の画像を表示する。

[0177] コーデック処理部618は、画像処理部616から供給された画像データに対して、所定の方式の符号化処理を施し、得られた符号化データを記録部619に供給する。

[0178] 記録部619は、コーデック処理部618からの符号化データを記録する。記録部619に記録された符号化データは、必要に応じて画像処理部616に読み出されて復号される。復号処理により得られた画像データは、表示部617に供給され、対応する画像が表示される。

[0179] 以上のような撮像装置600のCMOSセンサ612に上述した本技術を適用する。すなわち、CMOSセンサ612には、本技術を適用したイメージセンサ100が用いられる。したがって、CMOSセンサ612は、光電変換部の電荷を転送する電荷転送チャネルの少なくとも一部においてポテンシャルが勾配を有する縦型トランジスタを備える。したがって、CMOSセンサ612は、電荷をより転送しやすくすることができる。したがって撮像装置600は、被写体を撮像することにより、より高画質な画像を得ることができる（撮像画

像の画質の低減を抑制することができる)。

[0180] なお、本技術を適用した撮像装置は、上述した構成に限らず、他の構成であってもよい。例えば、デジタルスチルカメラやビデオカメラだけでなく、携帯電話機、スマートホン、タブレット型デバイス、パーソナルコンピュータ等の、撮像機能を有する情報処理装置であってもよい。また、他の情報処理装置に装着して使用される(若しくは組み込みデバイスとして搭載される)カメラモジュールであってもよい。

[0181] <4. 応用例>

<ソフトウェア>

上述した一連の処理は、ハードウェアにより実行させることもできるし、ソフトウェアにより実行させることもできる。上述した一連の処理をソフトウェアにより実行させる場合には、そのソフトウェアを構成するプログラムが、ネットワークや記録媒体からインストールされる。

[0182] この記録媒体は、例えば、図12に示されるように、装置本体とは別に、ユーザにプログラムを配信するために配布される、プログラムが記録されているリムーバブルメディア221により構成される。このリムーバブルメディア221には、磁気ディスク(フレキシブルディスクを含む)や光ディスク(CD-ROMやDVDを含む)が含まれる。さらに、光磁気ディスク(MD(Mini Disc)を含む)や半導体メモリ等も含まれる。その場合、例えば、リムーバブルメディア221をドライブ215に装着することにより、そのリムーバブルメディア221に記憶されているこのプログラムを読み出させ、記憶部213にインストールさせることができる。

[0183] また、このプログラムは、ローカルエリアネットワーク、インターネット、デジタル衛星放送といった、有線または無線の伝送媒体を介して提供することもできる。その場合、例えば、プログラムは、通信部214で受信し、記憶部213にインストールすることができる。

[0184] その他、このプログラムは、記憶部やROM等に、あらかじめインストールしておくこともできる。例えば、プログラムは、記憶部213や制御部201

に内蔵されるROM等に、あらかじめインストールしておくこともできる。

[0185] なお、コンピュータが実行するプログラムは、本明細書で説明する順序に沿って時系列に処理が行われるプログラムであっても良いし、並列に、あるいは呼び出しが行われたとき等の必要なタイミングで処理が行われるプログラムであっても良い。

[0186] また、本明細書において、記録媒体に記録されるプログラムを記述するステップは、記載された順序に沿って時系列的に行われる処理はもちろん、必ずしも時系列的に処理されなくとも、並列的あるいは個別に実行される処理をも含むものである。

[0187] また、上述した各ステップの処理は、上述した各装置、若しくは、上述した各装置以外の任意の装置において、実行することができる。その場合、その処理を実行する装置が、上述した、その処理を実行するのに必要な機能（機能ブロック等）を有するようにすればよい。また、処理に必要な情報を、適宜、その装置に伝送するようにすればよい。

[0188] <その他>

また、本明細書において、システムとは、複数の構成要素（装置、モジュール（部品）等）の集合を意味し、全ての構成要素が同一筐体中にあるか否かは問わない。したがって、別個の筐体に収納され、ネットワークを介して接続されている複数の装置、及び、1つの筐体の中に複数のモジュールが収納されている1つの装置は、いずれも、システムである。

[0189] また、以上において、1つの装置（または処理部）として説明した構成を分割し、複数の装置（または処理部）として構成するようにしてもよい。逆に、以上において複数の装置（または処理部）として説明した構成をまとめて1つの装置（または処理部）として構成されるようにしてもよい。また、各装置（または各処理部）の構成に上述した以外の構成を付加するようにしてももちろんよい。さらに、システム全体としての構成や動作が実質的に同じであれば、ある装置（または処理部）の構成の一部を他の装置（または他の処理部）の構成に含めるようにしてもよい。

[0190] 以上、添付図面を参照しながら本開示の好適な実施形態について詳細に説明したが、本開示の技術的範囲はかかる例に限定されない。本開示の技術分野における通常の知識を有する者であれば、請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本開示の技術的範囲に属するものと了解される。

[0191] 例えば、本技術は、1つの機能を、ネットワークを介して複数の装置で分担、共同して処理するクラウドコンピューティングの構成をとることができる。

[0192] また、上述のフローチャートで説明した各ステップは、1つの装置で実行する他、複数の装置で分担して実行することができる。

[0193] さらに、1つのステップに複数の処理が含まれる場合には、その1つのステップに含まれる複数の処理は、1つの装置で実行する他、複数の装置で分担して実行することができる。

[0194] また、本技術は、これに限らず、このような装置またはシステムを構成する装置に搭載するあらゆる構成、例えば、システムLSI (Large Scale Integration) 等としてのプロセッサ、複数のプロセッサ等を用いるモジュール、複数のモジュール等を用いるユニット、ユニットにさらにその他の機能を付加したセット等（すなわち、装置の一部の構成）として実施することもできる。

[0195] なお、本技術は以下のような構成も取ることができる。

(1) 光電変換部の電荷を転送する電荷転送チャンネルの少なくとも一部においてポテンシャルが勾配を有する縦型トランジスタを備える撮像素子。

(2) 前記ポテンシャルは、前記電荷転送チャンネルにおける電荷転送方向に、前記電荷の転送先に向かって深くなる勾配を有する

(1) に記載の撮像素子。

(3) 前記電荷転送チャンネルは、第1導電型の半導体に形成される第2

導電型の前記光電変換部の電荷を転送する第1導電型の電荷転送チャンネルであり、

前記電荷転送チャンネルとゲート電極との間に形成されるゲート絶縁膜が、前記電荷の転送先に向かって膜厚が漸次薄くなるように形成される

(2)に記載の撮像素子。

(4) 前記電荷転送チャンネルは、第1導電型の半導体に形成される第2導電型の前記光電変換部の電荷を転送する第1導電型の電荷転送チャンネルであり、

前記電荷転送チャンネルとゲート電極との間に形成されるゲート絶縁膜が、前記電荷の転送先に向かって膜厚が階段状に薄くなるように形成される

(2)に記載の撮像素子。

(5) 前記電荷転送チャンネルは、第1導電型の半導体に形成される第2導電型の前記光電変換部の電荷を転送する第1導電型の電荷転送チャンネルであり、

前記電荷転送チャンネルが、前記電荷の転送先に向かって不純物濃度が薄くなるように形成される

(2)乃至(4)のいずれかに記載の撮像素子。

(6) 前記電荷転送チャンネルは、第1導電型の半導体に形成される第2導電型の前記光電変換部の電荷を転送する第2導電型の電荷転送チャンネルであり、

前記電荷転送チャンネルとゲート電極との間に形成されるゲート絶縁膜が、前記電荷の転送先に向かって膜厚が漸次厚くなるように形成される

(2)に記載の撮像素子。

(7) 前記電荷転送チャンネルは、第1導電型の半導体に形成される第2導電型の前記光電変換部の電荷を転送する第2導電型の電荷転送チャンネルであり、

前記電荷転送チャンネルとゲート電極との間に形成されるゲート絶縁膜が、前記電荷の転送先に向かって膜厚が階段状に厚くなるように形成される

(2) に記載の撮像素子。

(8) 前記電荷転送チャネルは、第1導電型の半導体に形成される第2導電型の前記光電変換部の電荷を転送する第2導電型の電荷転送チャネルであり、

前記電荷転送チャネルが、前記電荷の転送先に向かって不純物濃度が濃くなるように形成される

(2)、(6)、(7) のいずれかに記載の撮像素子。

(9) 前記ポテンシャルは、前記電荷転送チャネルにおけるゲート電極に沿った回転方向に勾配を有する

(1) 乃至(8) のいずれかに記載の撮像素子。

(10) 前記電荷転送チャネルと前記ゲート電極との間に形成されるゲート絶縁膜の膜厚が、前記回転方向に変化する

(9) に記載の撮像素子。

(11) 前記電荷転送チャネルの不純物濃度が、前記回転方向に変化する

(9) または(10) に記載の撮像素子。

(12) 光電変換部の電荷を転送する電荷転送チャネルの少なくとも一部においてポテンシャルが勾配を有する縦型トランジスタを備える撮像素子と、

前記撮像素子により得られる撮像画像データを画像処理する画像処理部とを備える撮像装置。

(13) 撮像素子を製造する製造装置であって、

光電変換部の電荷を転送する電荷転送チャネルの少なくとも一部においてポテンシャルが勾配を有する縦型トランジスタを製造する縦型トランジスタ製造部

を備える製造装置。

(14) 前記縦型トランジスタ製造部は、

半導体基板をエッチングして溝部を形成するエッチング部と、

前記エッチング部により形成された前記溝部に導電型の不純物を注入する導電型不純物注入部と、

前記溝部に階層に応じた膜厚でゲート絶縁膜を形成するゲート絶縁膜形成部と、

前記ゲート絶縁膜形成部により形成された前記ゲート絶縁膜を前記階層に応じた深さまで除去するゲート絶縁膜除去部と、

前記ゲート絶縁膜に形成される溝部にゲート電極を形成するゲート電極形成部と

を備え、

前記ゲート絶縁膜形成部による前記ゲート絶縁膜の形成と、前記ゲート絶縁膜除去部による前記ゲート絶縁膜の除去を繰り返すことにより、前記ゲート絶縁膜を、前記電荷の転送先に向かって膜厚を階段状に変化するように形成する

(13) に記載の製造装置。

(15) 前記縦型トランジスタ製造部は、

半導体基板をエッチングして溝部を形成するエッチング部と、

前記エッチング部により形成された前記溝部に導電型の不純物を注入する導電型不純物注入部と、

前記溝部にゲート絶縁膜を形成するゲート絶縁膜形成部と、

前記ゲート絶縁膜形成部により形成された前記ゲート絶縁膜にメサ型の溝を形成するゲート絶縁膜加工部と、

前記ゲート絶縁膜加工部により形成された前記メサ型の溝にゲート電極を形成するゲート電極形成部と

を備える (13) に記載の製造装置。

(16) 前記縦型トランジスタ製造部は、

半導体基板をエッチングして溝部を形成するエッチング部と、

前記エッチング部により形成された前記溝部に導電型の不純物を注入する導電型不純物注入部と、

前記エッチング部により形成された前記溝部に非導電型の不純物を、深さに応じた濃度で注入する非導電型不純物注入部と、

前記溝部にゲート絶縁膜を形成するゲート絶縁膜形成部と、

前記ゲート絶縁膜に形成される溝部にゲート電極を形成するゲート電極形成部と

を備える(13)に記載の製造装置。

(17) 前記縦型トランジスタ製造部は、

半導体基板をエッチングして溝部を形成するエッチング部と、

前記エッチング部により形成された前記溝部に導電型の不純物を、深さに応じた濃度で注入する導電型不純物注入部と、

前記溝部にゲート絶縁膜を形成するゲート絶縁膜形成部と、

前記ゲート絶縁膜に形成される溝部にゲート電極を形成するゲート電極形成部と

を備える(13)乃至(16)のいずれかに記載の製造装置。

(18) 前記縦型トランジスタ製造部は、

半導体基板をエッチングして溝部を形成するエッチング部と、

前記エッチング部により形成された前記溝部に導電型の不純物を注入する導電型不純物注入部と、

前記溝部にゲート絶縁膜を形成するゲート絶縁膜形成部と、

前記ゲート絶縁膜形成部により形成された前記ゲート絶縁膜に、ゲート電極に沿った回転方向に前記ゲート絶縁膜の膜厚が変化するように、溝部を形成するゲート絶縁膜加工部と、

前記ゲート絶縁膜加工部により形成された前記溝部に前記ゲート電極を形成するゲート電極形成部と

を備える(13)乃至(17)のいずれかに記載の製造装置。

(19) 前記縦型トランジスタ製造部は、

半導体基板をエッチングして溝部を形成するエッチング部と、

前記エッチング部により形成された前記溝部に導電型の不純物を、ゲ-

ト電極に沿った回転方向の位置に応じた濃度で注入する導電型不純物注入部と、

前記溝部にゲート絶縁膜を形成するゲート絶縁膜形成部と、

前記ゲート絶縁膜に形成される溝部にゲート電極を形成するゲート電極形成部と

を備える（１３）乃至（１８）のいずれかに記載の製造装置。

（２０） 撮像素子を製造する製造装置の製造方法であって、

光電変換部の電荷を転送する電荷転送チャンネルの少なくとも一部においてポテンシャルが勾配を有する縦型トランジスタを製造する

製造方法。

符号の説明

- [0196] 100 イメージセンサ, 110 半導体基板層, 111 半導体基板, 112 光電変換部, 114 浮遊拡散層, 115 絶縁膜, 120 転送トランジスタ, 121 電荷転送チャンネル, 122 ゲート絶縁膜, 123 ゲート電極, 124 浮遊拡散層, 130 配線層, 131 配線層間膜, 132および133 配線, 141 絶縁膜, 142 有機光電変換膜, 143 下部透明電極, 144 上部透明電極, 145 貫通電極, 146 コンタクト, 151 パッシベーション層, 152 オンチップレンズ, 171 電荷転送チャンネル, 200 製造装置, 201 制御部, 202 イメージセンサ製造部, 211 入力部, 212 出力部, 213 記憶部, 214 通信部, 215 ドライブ, 221 リムーバブルメディア, 231 縦型トランジスタ製造部, 241 マスク形成部, 242 エッチング部, 243 導電型不純物注入部, 244 マスク除去部, 245 ゲート絶縁膜被着部, 246 ゲート絶縁膜加工部, 247 ゲート電極形成部, 251 非導電型不純物注入部, 600 撮像装置, 612 CMOSセンサ

請求の範囲

- [請求項1] 光電変換部の電荷を転送する電荷転送チャンネルの少なくとも一部においてポテンシャルが勾配を有する縦型トランジスタを備える撮像素子。
- [請求項2] 前記ポテンシャルは、前記電荷転送チャンネルにおける電荷転送方向に、前記電荷の転送先に向かって深くなる勾配を有する請求項1に記載の撮像素子。
- [請求項3] 前記電荷転送チャンネルは、第1導電型の半導体に形成される第2導電型の前記光電変換部の電荷を転送する第1導電型の電荷転送チャンネルであり、
前記電荷転送チャンネルとゲート電極との間に形成されるゲート絶縁膜が、前記電荷の転送先に向かって膜厚が漸次薄くなるように形成される
請求項2に記載の撮像素子。
- [請求項4] 前記電荷転送チャンネルは、第1導電型の半導体に形成される第2導電型の前記光電変換部の電荷を転送する第1導電型の電荷転送チャンネルであり、
前記電荷転送チャンネルとゲート電極との間に形成されるゲート絶縁膜が、前記電荷の転送先に向かって膜厚が階段状に薄くなるように形成される
請求項2に記載の撮像素子。
- [請求項5] 前記電荷転送チャンネルは、第1導電型の半導体に形成される第2導電型の前記光電変換部の電荷を転送する第1導電型の電荷転送チャンネルであり、
前記電荷転送チャンネルが、前記電荷の転送先に向かって不純物濃度が薄くなるように形成される
請求項2に記載の撮像素子。
- [請求項6] 前記電荷転送チャンネルは、第1導電型の半導体に形成される第2導

電型の前記光電変換部の電荷を転送する第2導電型の電荷転送チャンネルであり、

前記電荷転送チャンネルとゲート電極との間に形成されるゲート絶縁膜が、前記電荷の転送先に向かって膜厚が漸次厚くなるように形成される

請求項2に記載の撮像素子。

[請求項7] 前記電荷転送チャンネルは、第1導電型の半導体に形成される第2導電型の前記光電変換部の電荷を転送する第2導電型の電荷転送チャンネルであり、

前記電荷転送チャンネルとゲート電極との間に形成されるゲート絶縁膜が、前記電荷の転送先に向かって膜厚が階段状に厚くなるように形成される

請求項2に記載の撮像素子。

[請求項8] 前記電荷転送チャンネルは、第1導電型の半導体に形成される第2導電型の前記光電変換部の電荷を転送する第2導電型の電荷転送チャンネルであり、

前記電荷転送チャンネルが、前記電荷の転送先に向かって不純物濃度が濃くなるように形成される

請求項2に記載の撮像素子。

[請求項9] 前記ポテンシャルは、前記電荷転送チャンネルにおけるゲート電極に沿った回転方向に勾配を有する

請求項1に記載の撮像素子。

[請求項10] 前記電荷転送チャンネルと前記ゲート電極との間に形成されるゲート絶縁膜の膜厚が、前記回転方向に変化する

請求項9に記載の撮像素子。

[請求項11] 前記電荷転送チャンネルの不純物濃度が、前記回転方向に変化する
請求項9に記載の撮像素子。

[請求項12] 光電変換部の電荷を転送する電荷転送チャンネルの少なくとも一部に

においてポテンシャルが勾配を有する縦型トランジスタを備える撮像素子と、

前記撮像素子により得られる撮像画像データを画像処理する画像処理部と

を備える撮像装置。

[請求項13]

撮像素子を製造する製造装置であって、

光電変換部の電荷を転送する電荷転送チャネルの少なくとも一部においてポテンシャルが勾配を有する縦型トランジスタを製造する縦型トランジスタ製造部

を備える製造装置。

[請求項14]

前記縦型トランジスタ製造部は、

半導体基板をエッチングして溝部を形成するエッチング部と、

前記エッチング部により形成された前記溝部に導電型の不純物を注入する導電型不純物注入部と、

前記溝部に階層に応じた膜厚でゲート絶縁膜を形成するゲート絶縁膜形成部と、

前記ゲート絶縁膜形成部により形成された前記ゲート絶縁膜を前記階層に応じた深さまで除去するゲート絶縁膜除去部と、

前記ゲート絶縁膜に形成される溝部にゲート電極を形成するゲート電極形成部と

を備え、

前記ゲート絶縁膜形成部による前記ゲート絶縁膜の形成と、前記ゲート絶縁膜除去部による前記ゲート絶縁膜の除去を繰り返すことにより、前記ゲート絶縁膜を、前記電荷の転送先に向かって膜厚を階段状に変化するように形成する

請求項13に記載の製造装置。

[請求項15]

前記縦型トランジスタ製造部は、

半導体基板をエッチングして溝部を形成するエッチング部と、

前記エッチング部により形成された前記溝部に導電型の不純物を注入する導電型不純物注入部と、

前記溝部にゲート絶縁膜を形成するゲート絶縁膜形成部と、

前記ゲート絶縁膜形成部により形成された前記ゲート絶縁膜にメサ型の溝を形成するゲート絶縁膜加工部と、

前記ゲート絶縁膜加工部により形成された前記メサ型の溝にゲート電極を形成するゲート電極形成部と

を備える請求項 13 に記載の製造装置。

[請求項16] 前記縦型トランジスタ製造部は、

半導体基板をエッチングして溝部を形成するエッチング部と、

前記エッチング部により形成された前記溝部に導電型の不純物を注入する導電型不純物注入部と、

前記エッチング部により形成された前記溝部に非導電型の不純物を、深さに応じた濃度で注入する非導電型不純物注入部と、

前記溝部にゲート絶縁膜を形成するゲート絶縁膜形成部と、

前記ゲート絶縁膜に形成される溝部にゲート電極を形成するゲート電極形成部と

を備える請求項 13 に記載の製造装置。

[請求項17] 前記縦型トランジスタ製造部は、

半導体基板をエッチングして溝部を形成するエッチング部と、

前記エッチング部により形成された前記溝部に導電型の不純物を、深さに応じた濃度で注入する導電型不純物注入部と、

前記溝部にゲート絶縁膜を形成するゲート絶縁膜形成部と、

前記ゲート絶縁膜に形成される溝部にゲート電極を形成するゲート電極形成部と

を備える請求項 13 に記載の製造装置。

[請求項18] 前記縦型トランジスタ製造部は、

半導体基板をエッチングして溝部を形成するエッチング部と、

前記エッチング部により形成された前記溝部に導電型の不純物を注入する導電型不純物注入部と、

前記溝部にゲート絶縁膜を形成するゲート絶縁膜形成部と、

前記ゲート絶縁膜形成部により形成された前記ゲート絶縁膜に、ゲート電極に沿った回転方向に前記ゲート絶縁膜の膜厚が変化するように、溝部を形成するゲート絶縁膜加工部と、

前記ゲート絶縁膜加工部により形成された前記溝部に前記ゲート電極を形成するゲート電極形成部と

を備える請求項13に記載の製造装置。

[請求項19]

前記縦型トランジスタ製造部は、

半導体基板をエッチングして溝部を形成するエッチング部と、

前記エッチング部により形成された前記溝部に導電型の不純物を、ゲート電極に沿った回転方向の位置に応じた濃度で注入する導電型不純物注入部と、

前記溝部にゲート絶縁膜を形成するゲート絶縁膜形成部と、

前記ゲート絶縁膜に形成される溝部にゲート電極を形成するゲート電極形成部と

を備える請求項13に記載の製造装置。

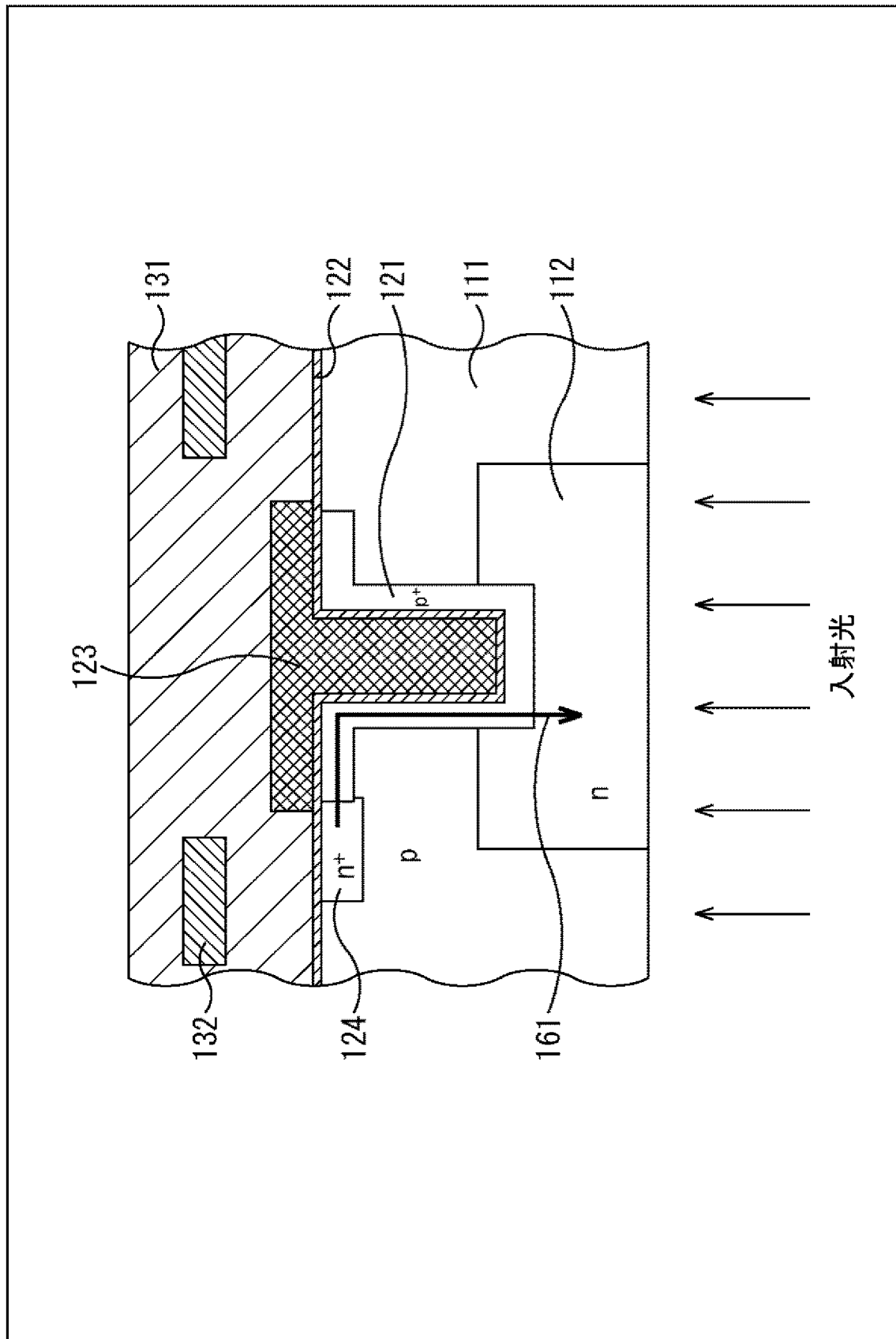
[請求項20]

撮像素子を製造する製造装置の製造方法であって、

光電変換部の電荷を転送する電荷転送チャンネルの少なくとも一部においてポテンシャルが勾配を有する縦型トランジスタを製造する製造方法。

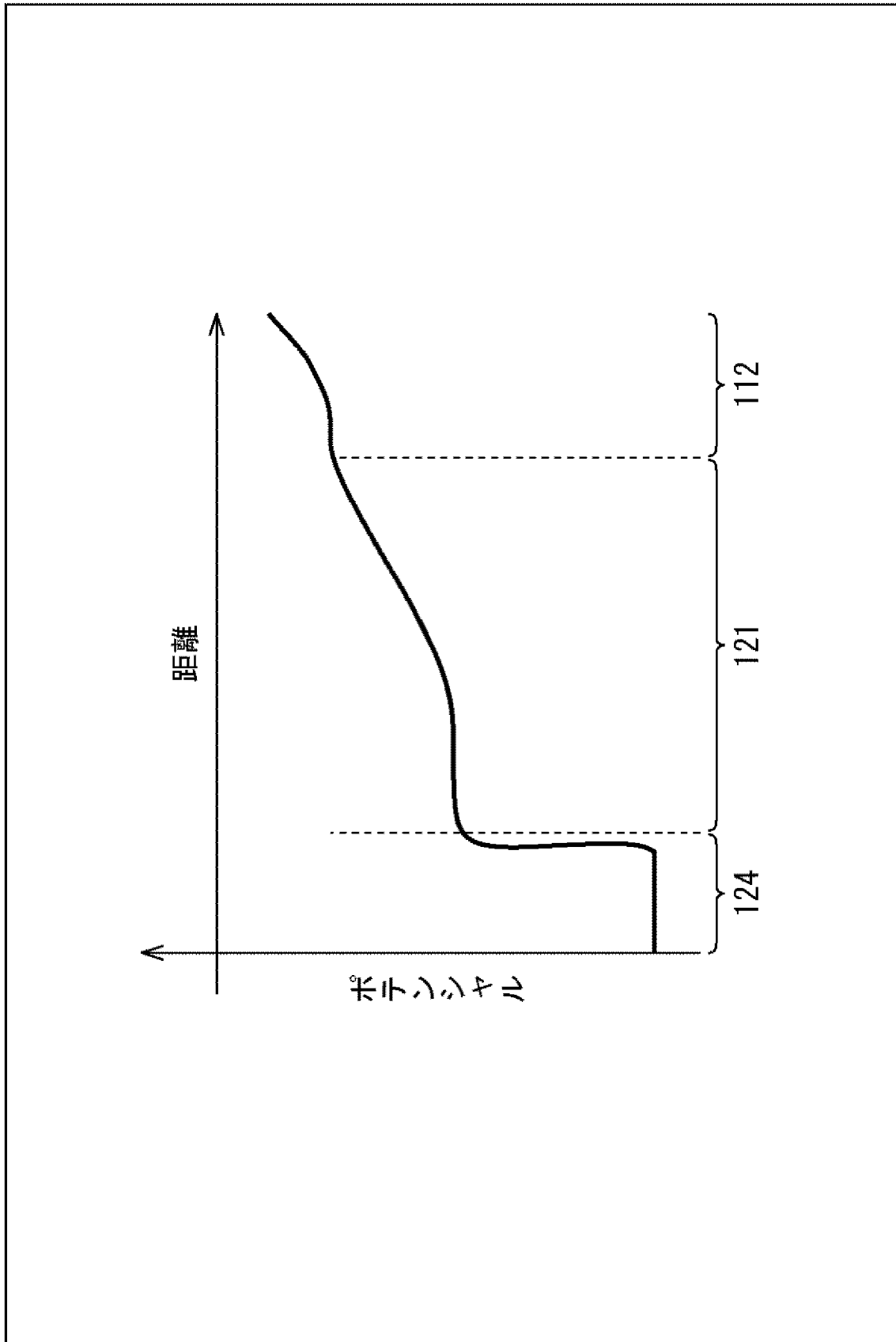
[図2]

図2



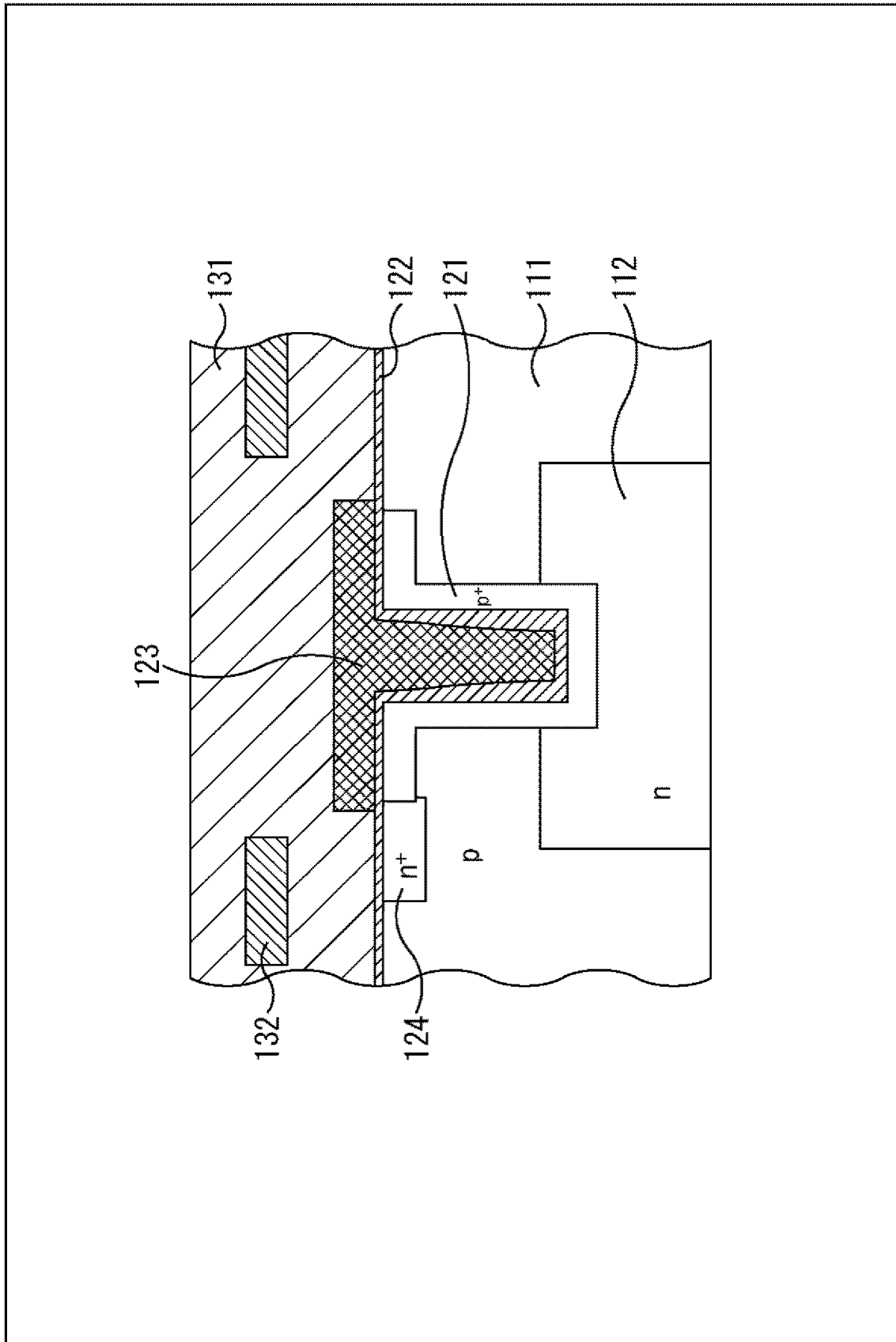
[図3]

図3



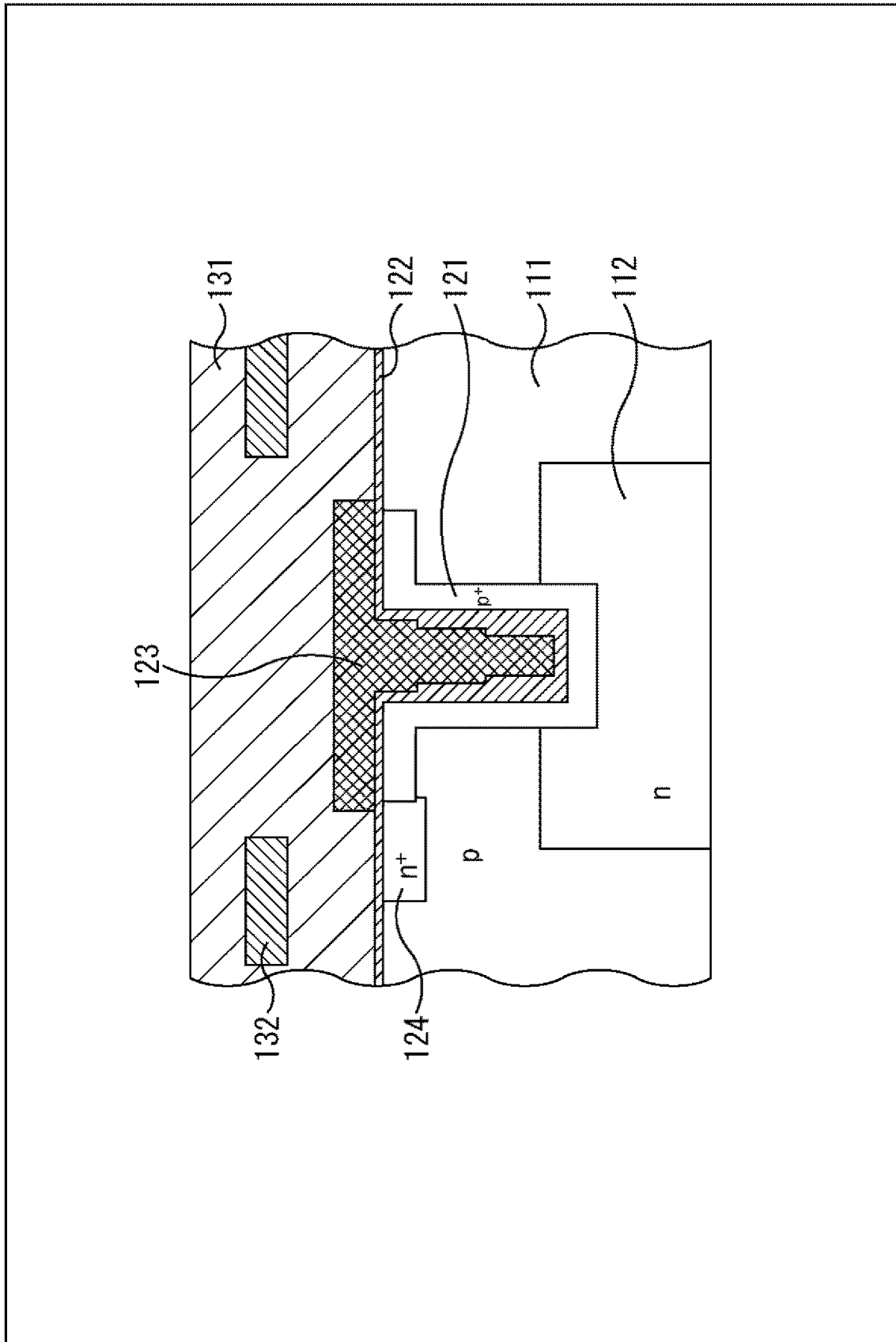
[図4]

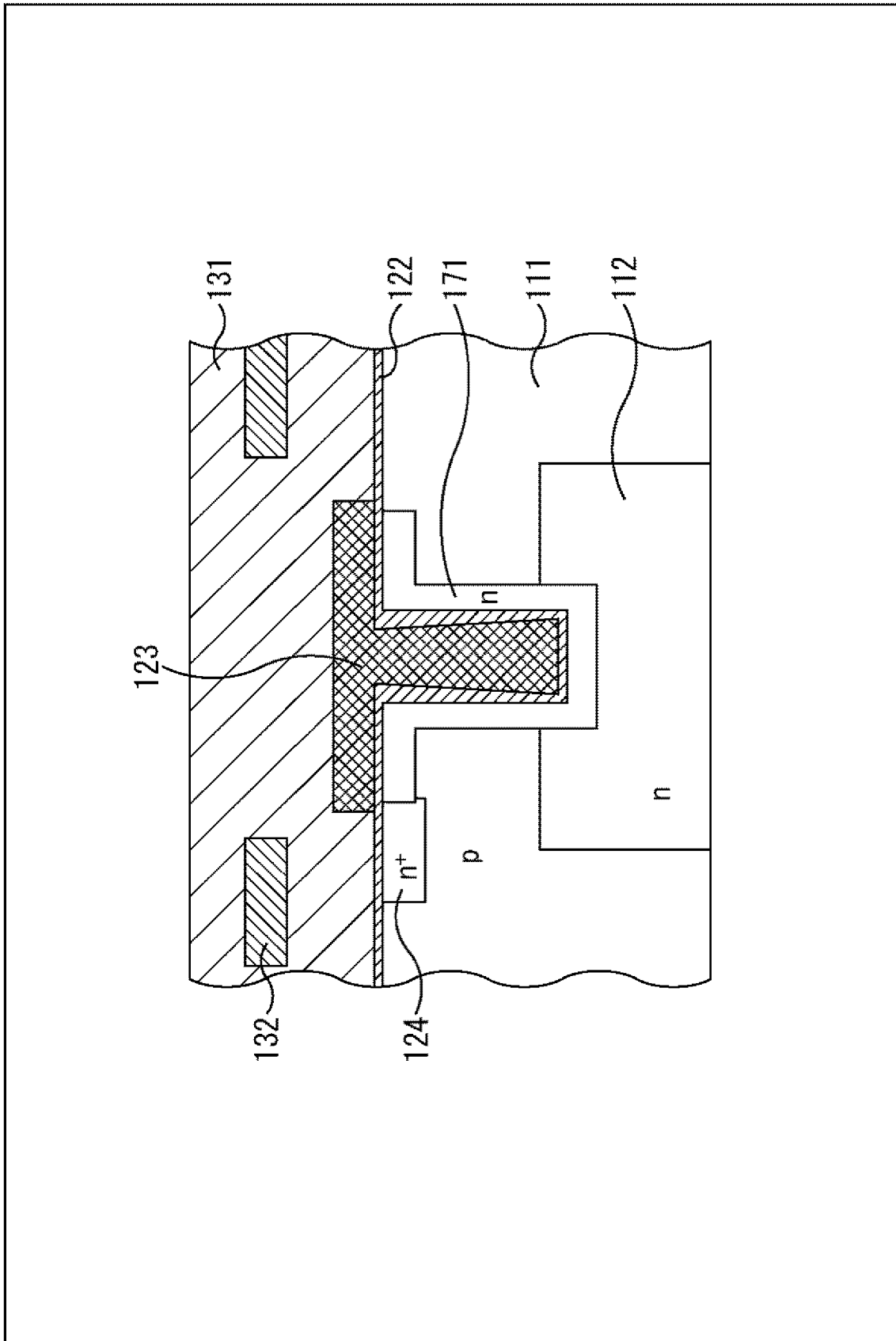
図4



[図5]

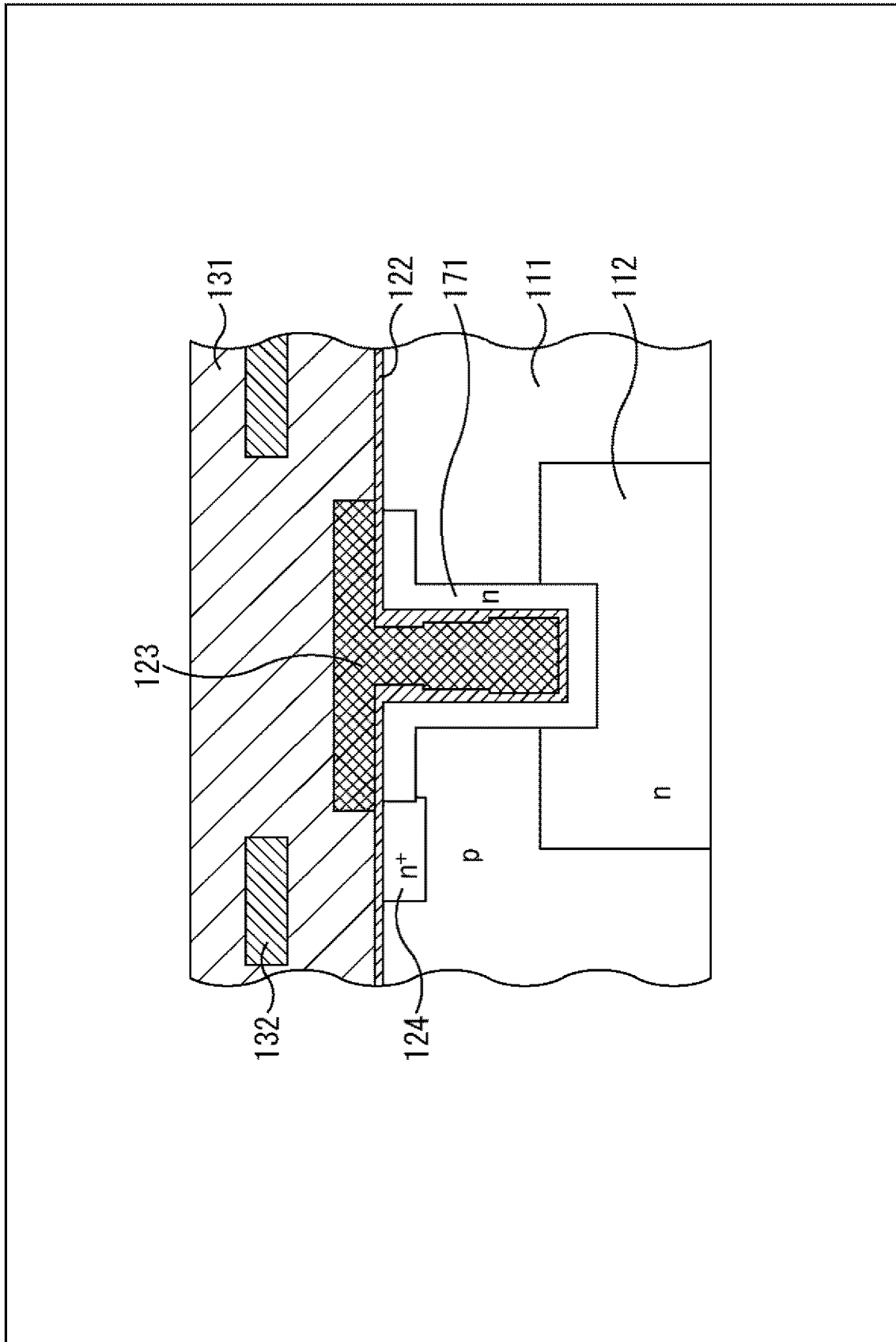
図5



[図6]
図6

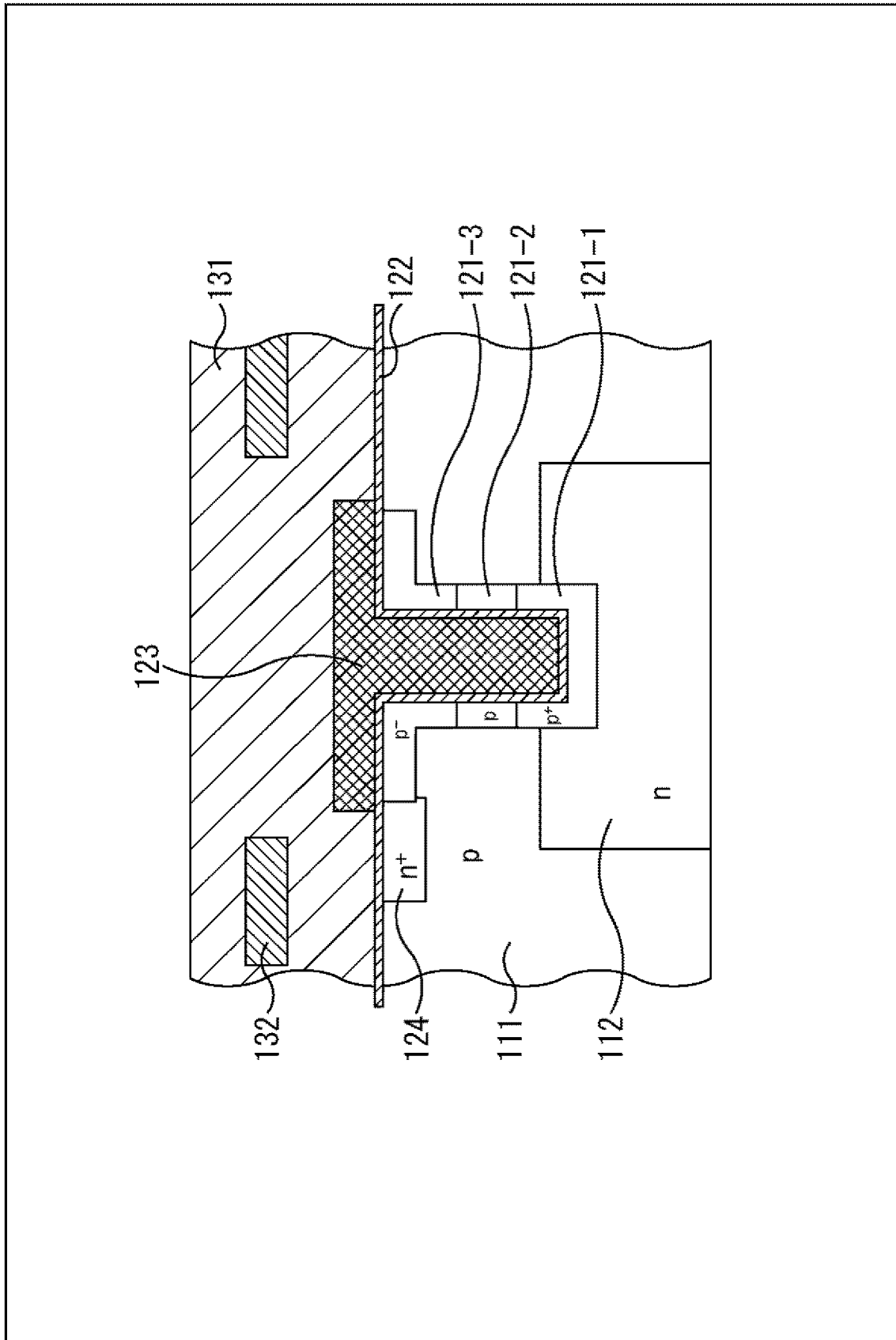
[図7]

図7



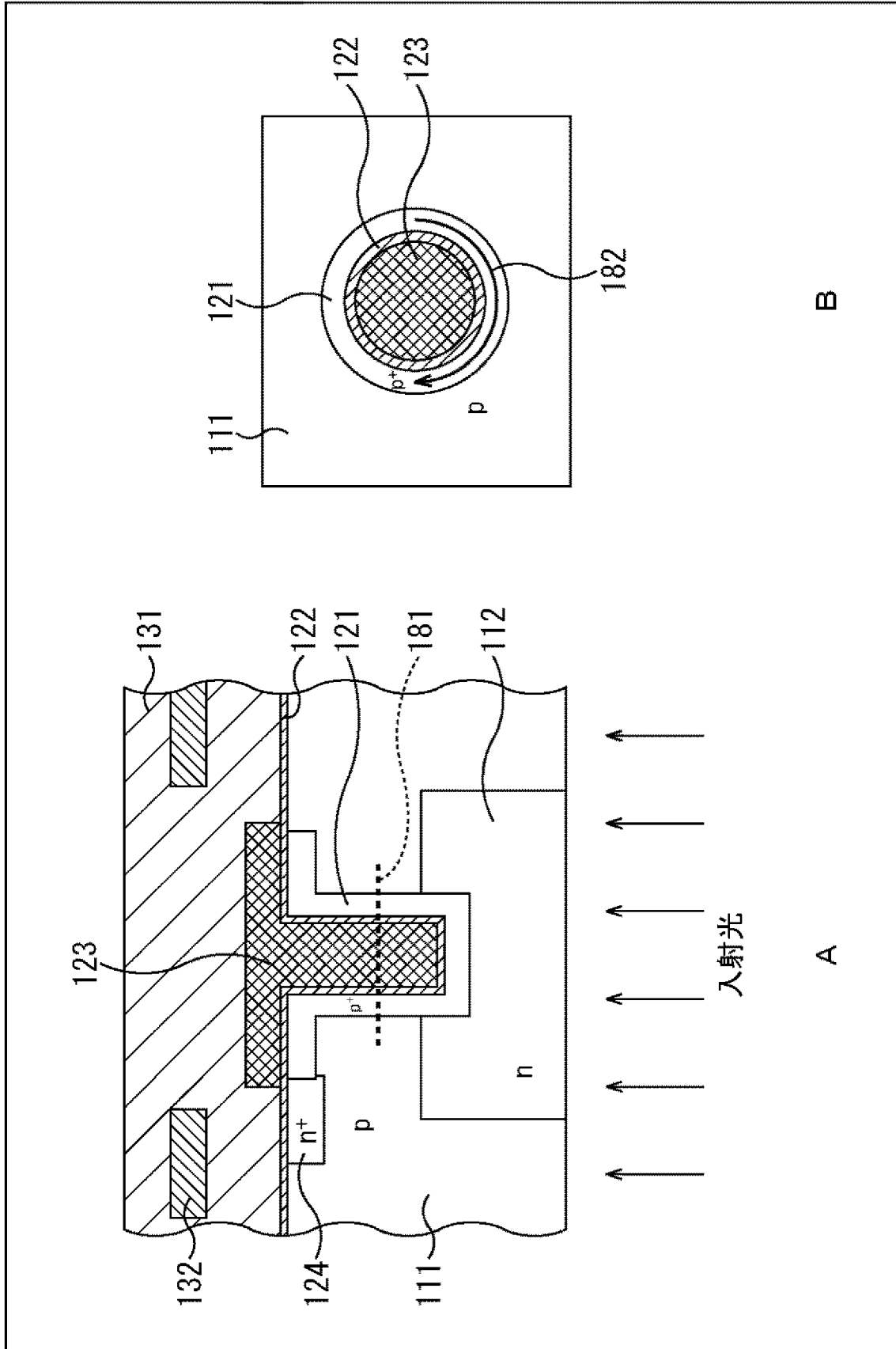
[図8]

図8



[図9]

図9

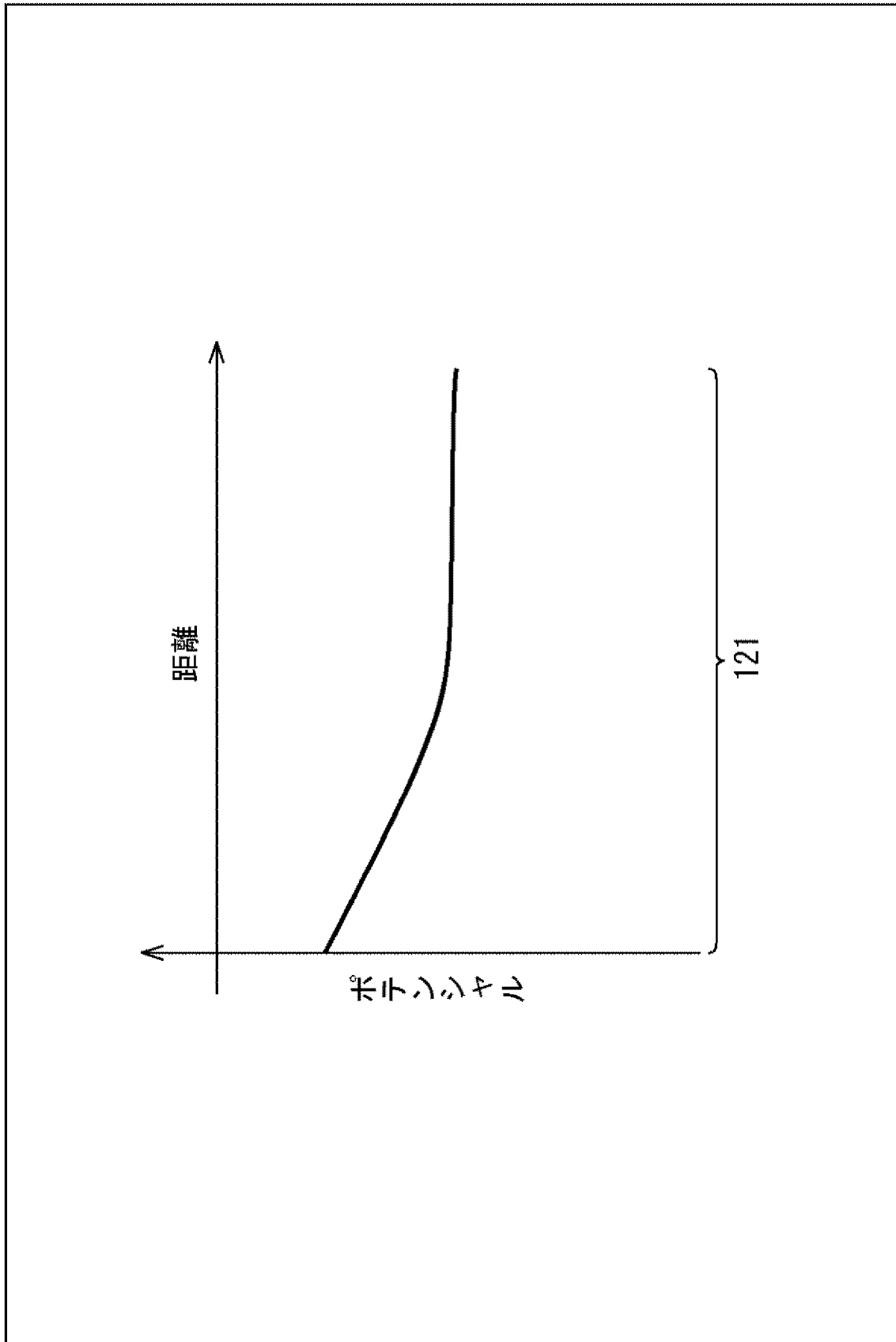


B

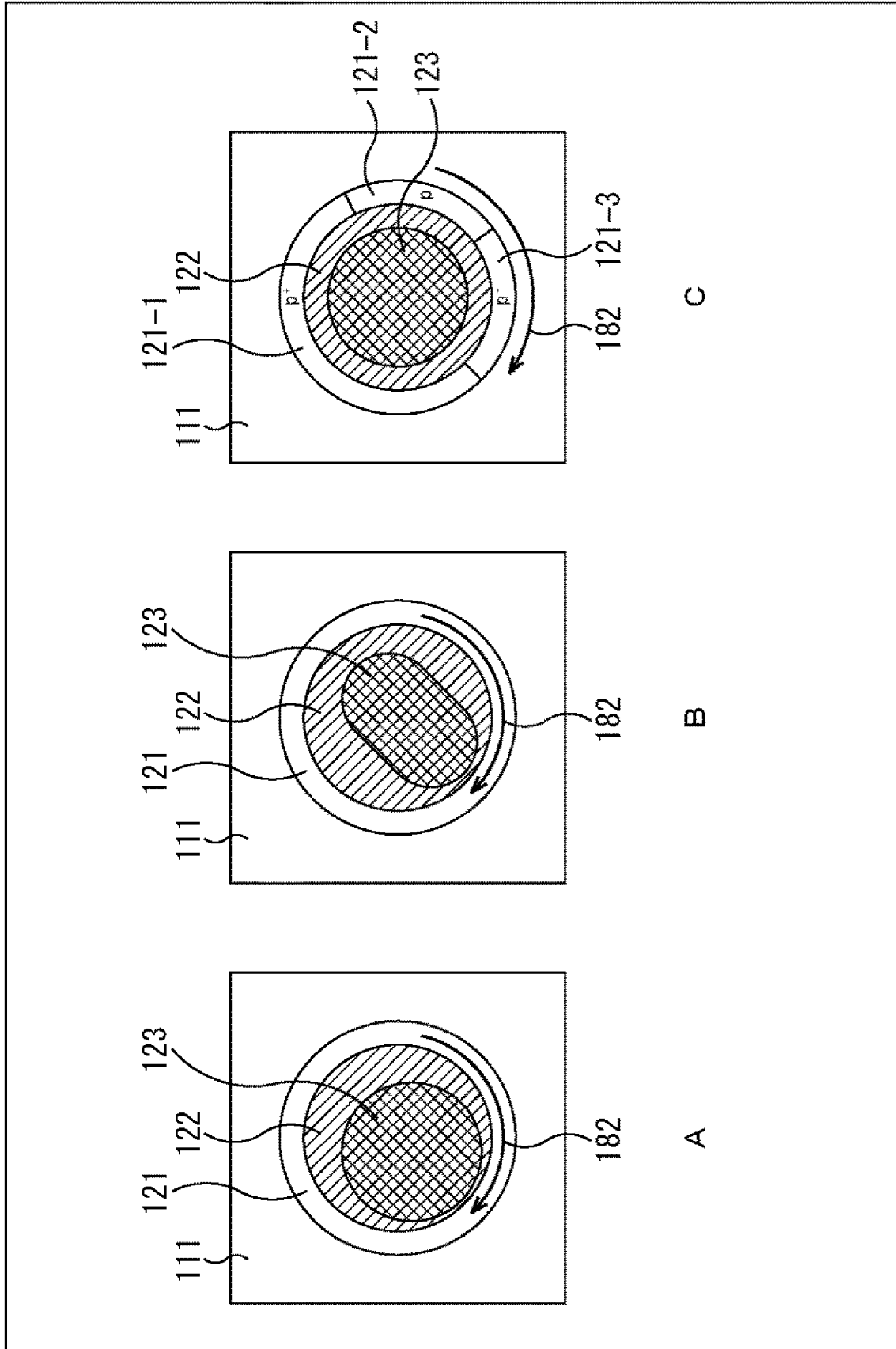
A

[図10]

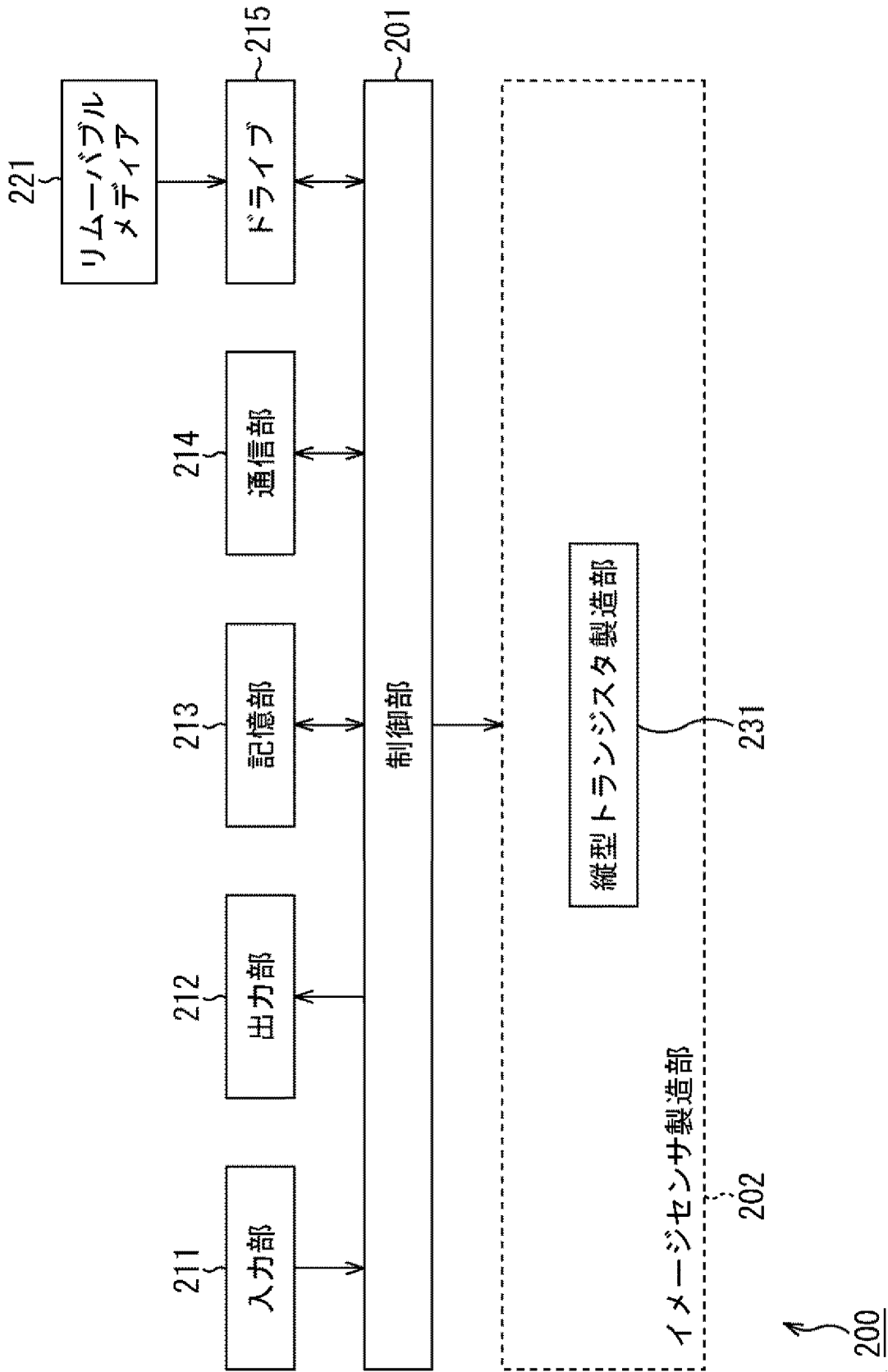
図10



[図11]
図11

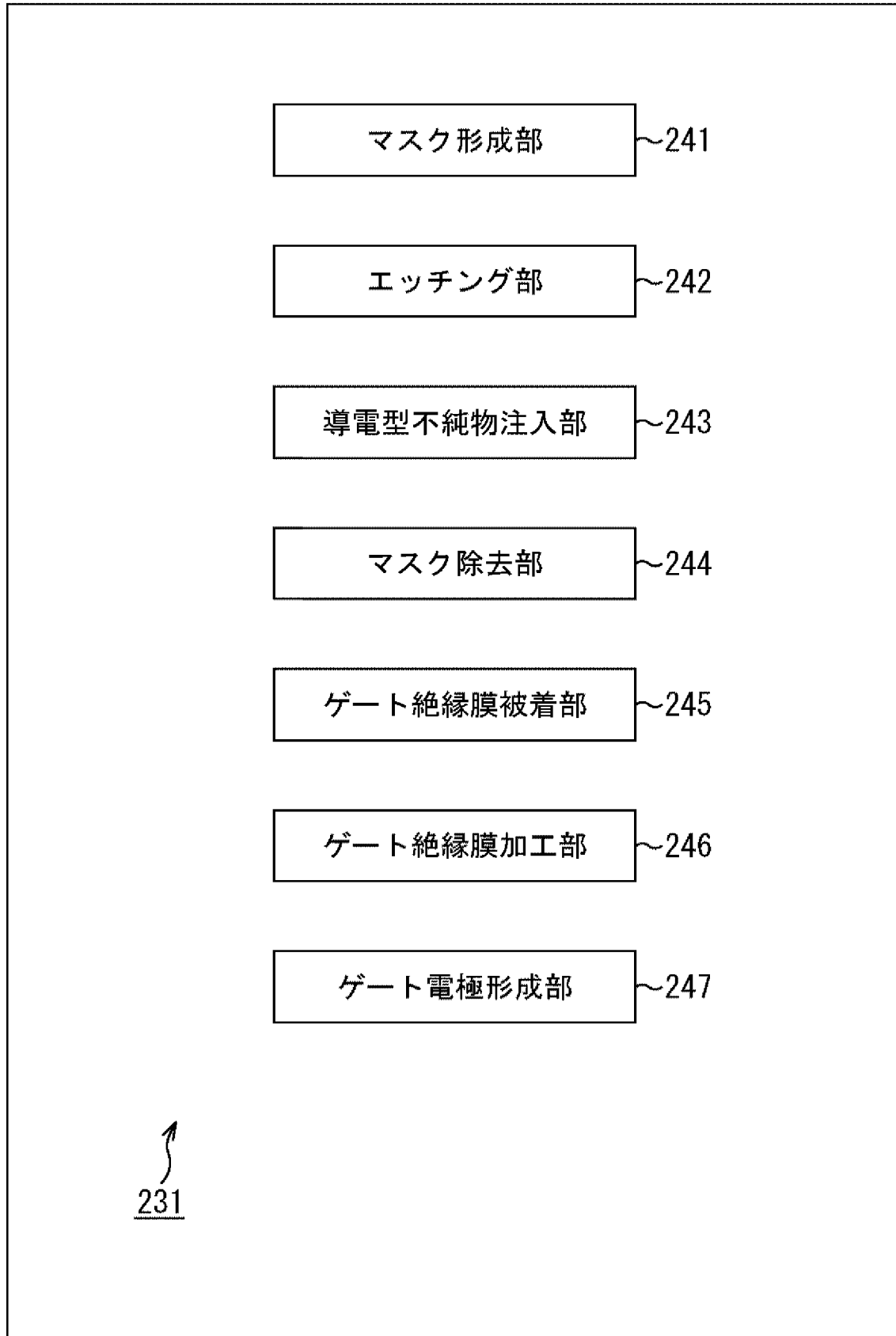


[図12]
図12



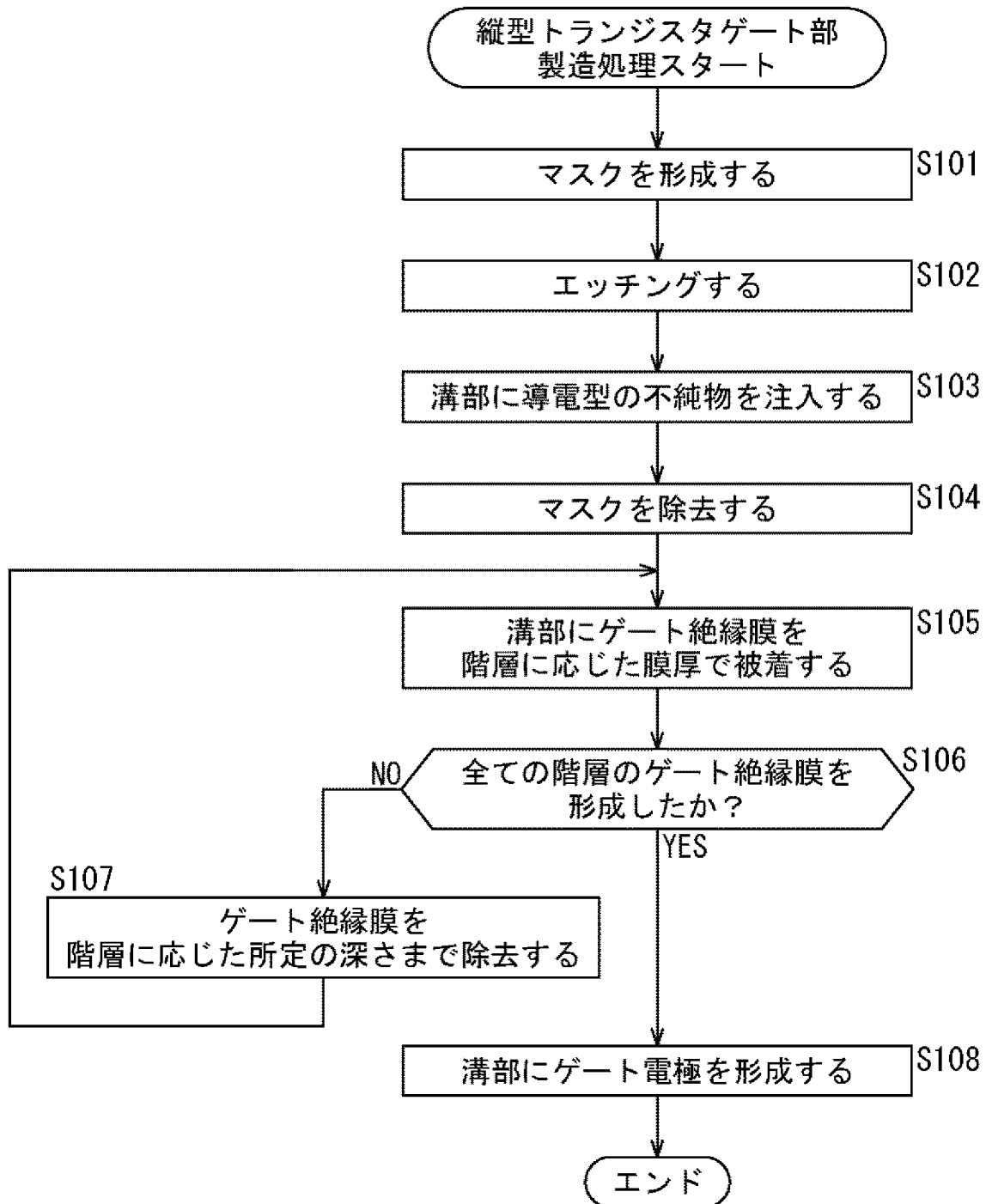
[図13]

図13



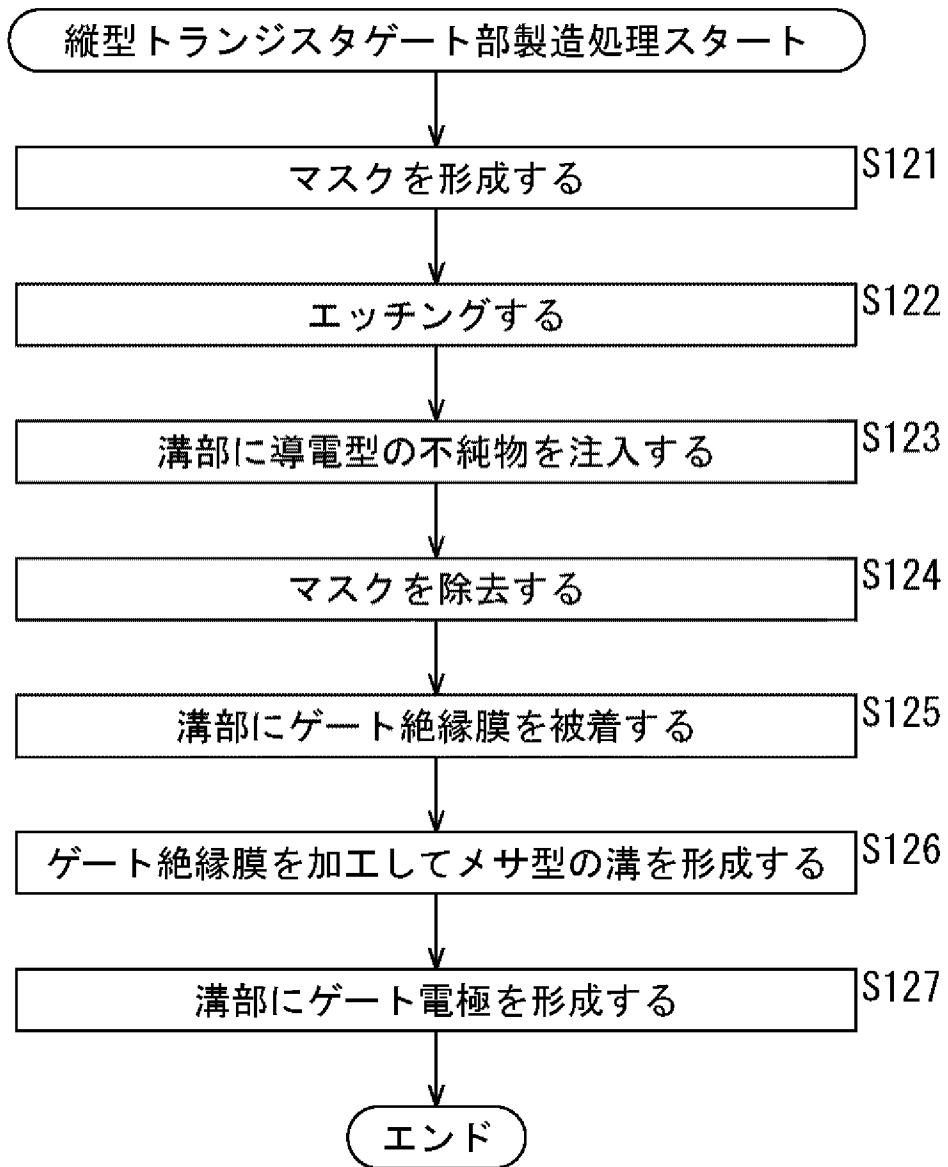
[図14]

図14



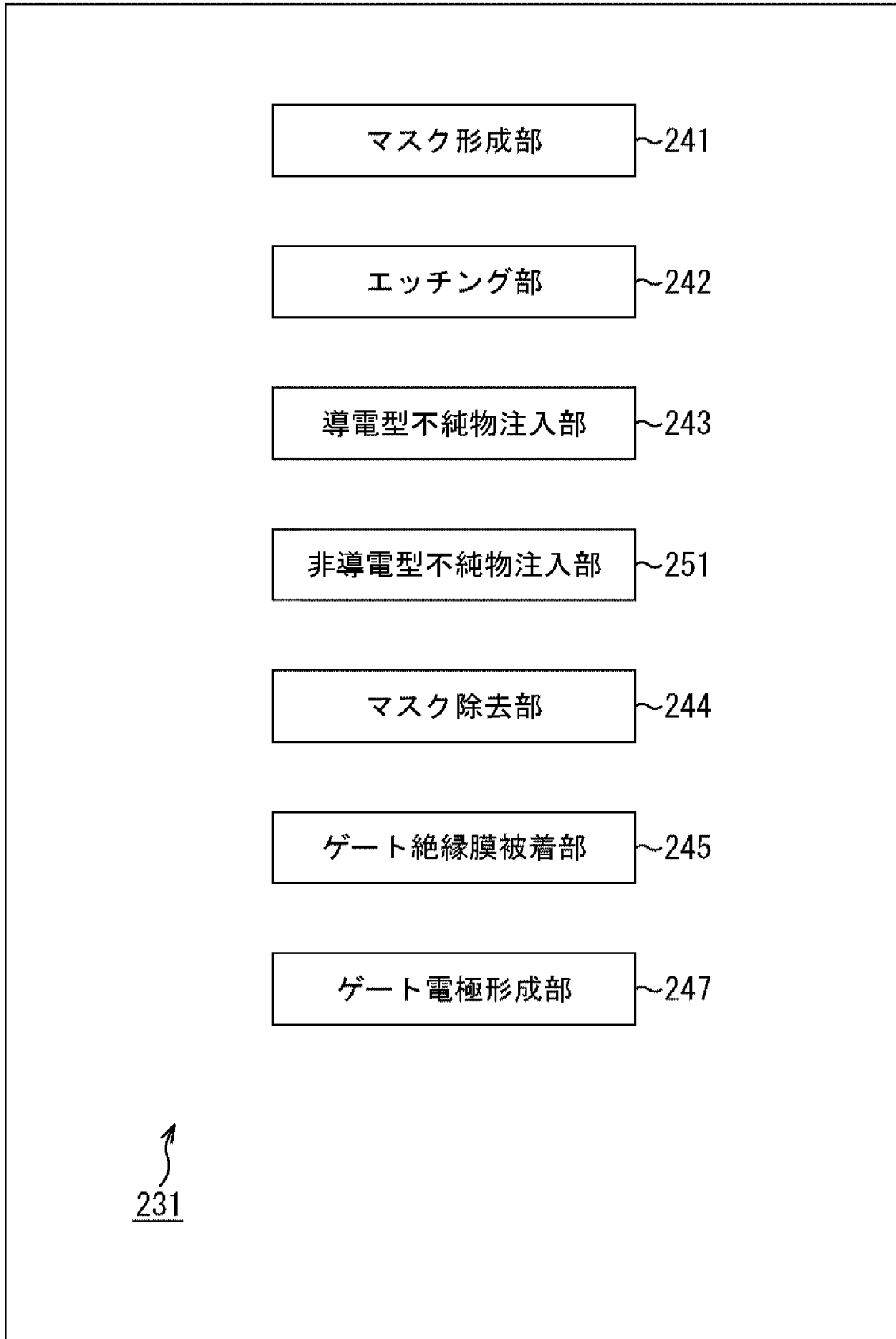
[図15]

図15



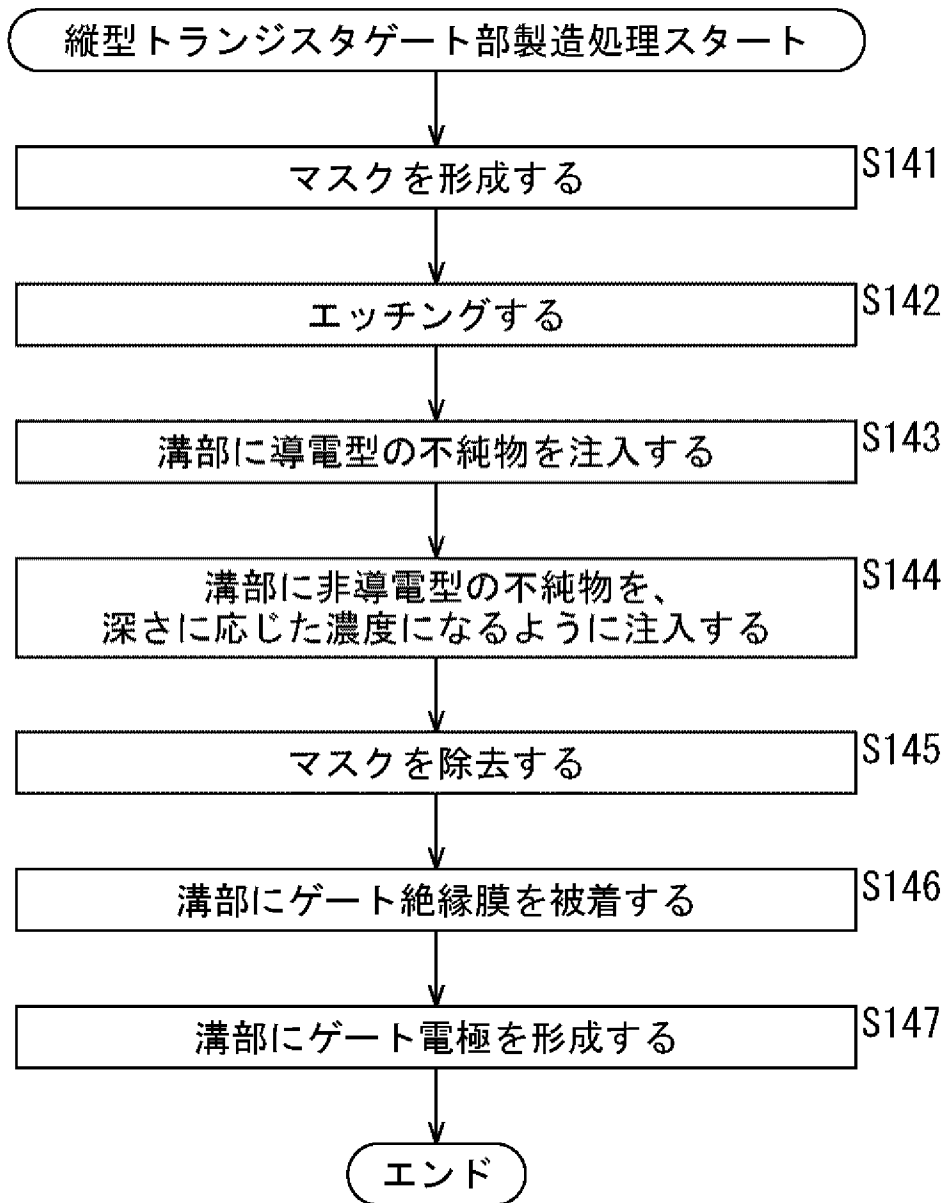
[図16]

図16



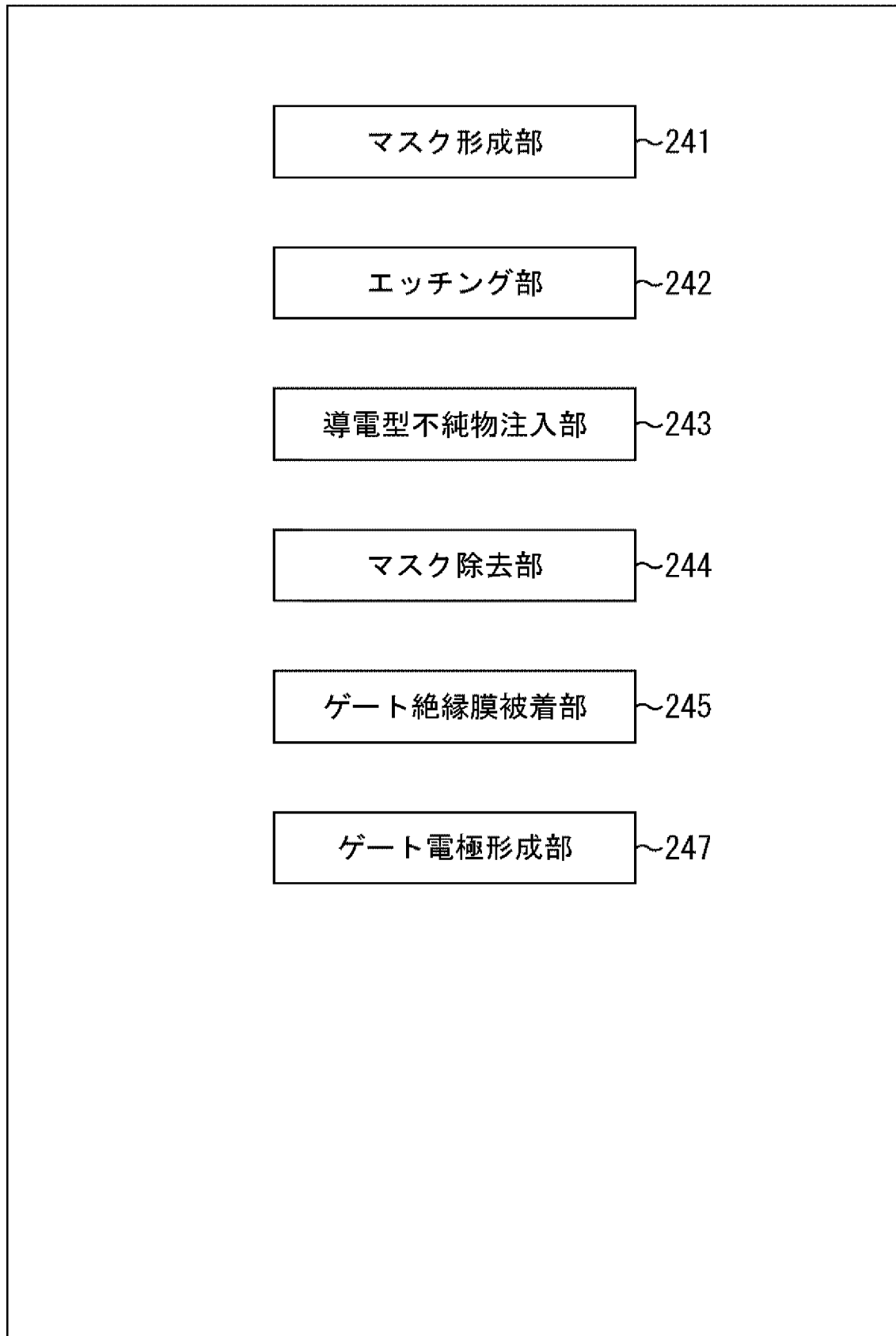
[図17]

図17



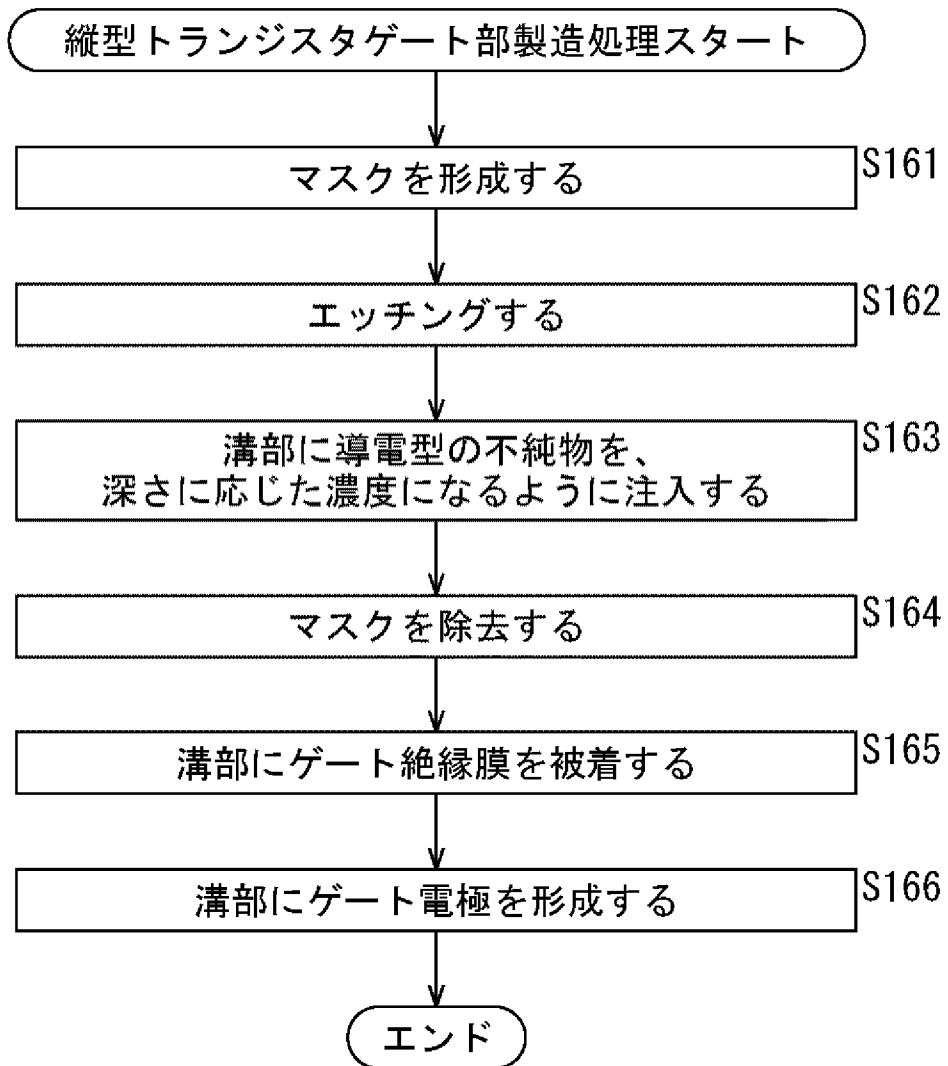
[図18]

図18



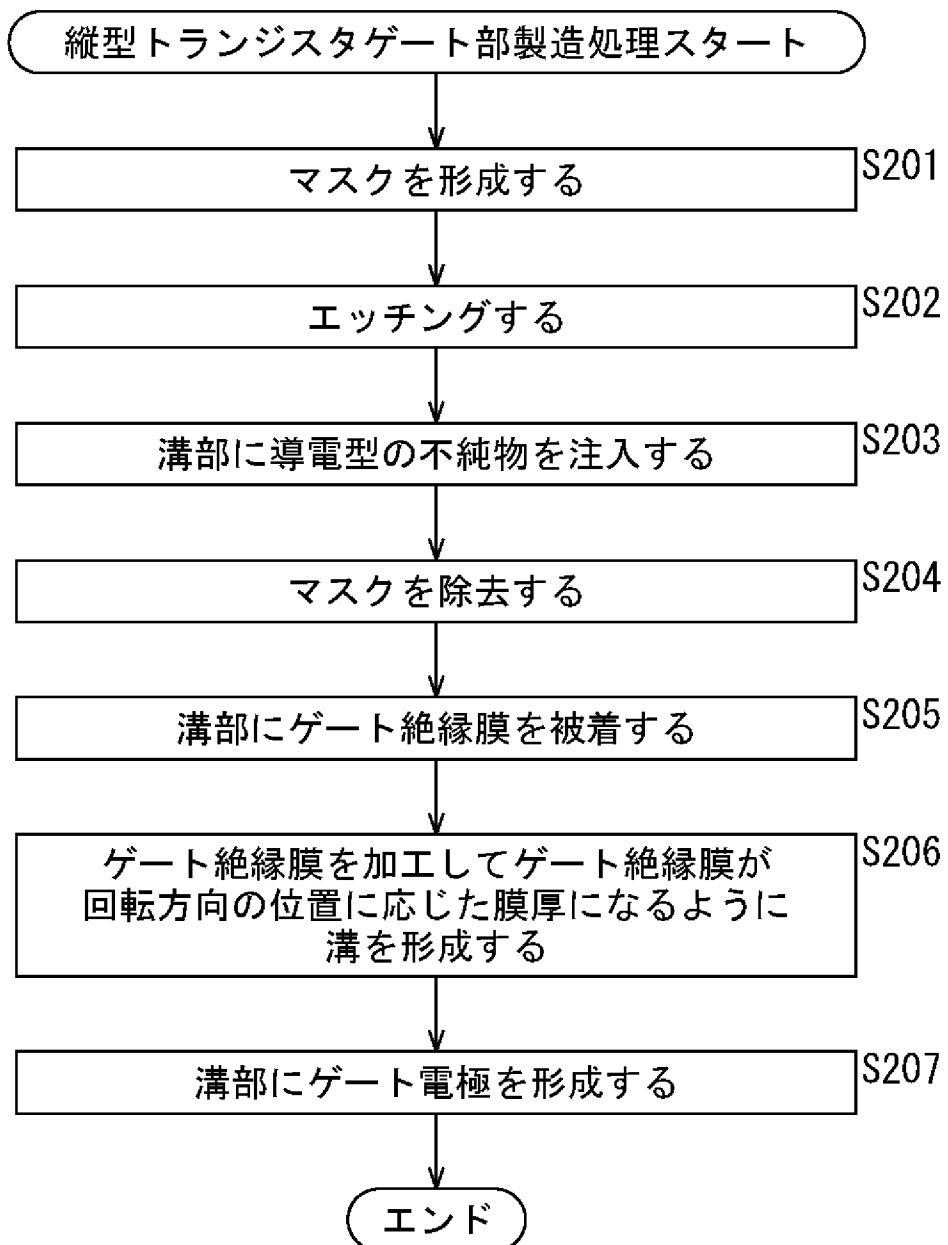
[図19]

図19



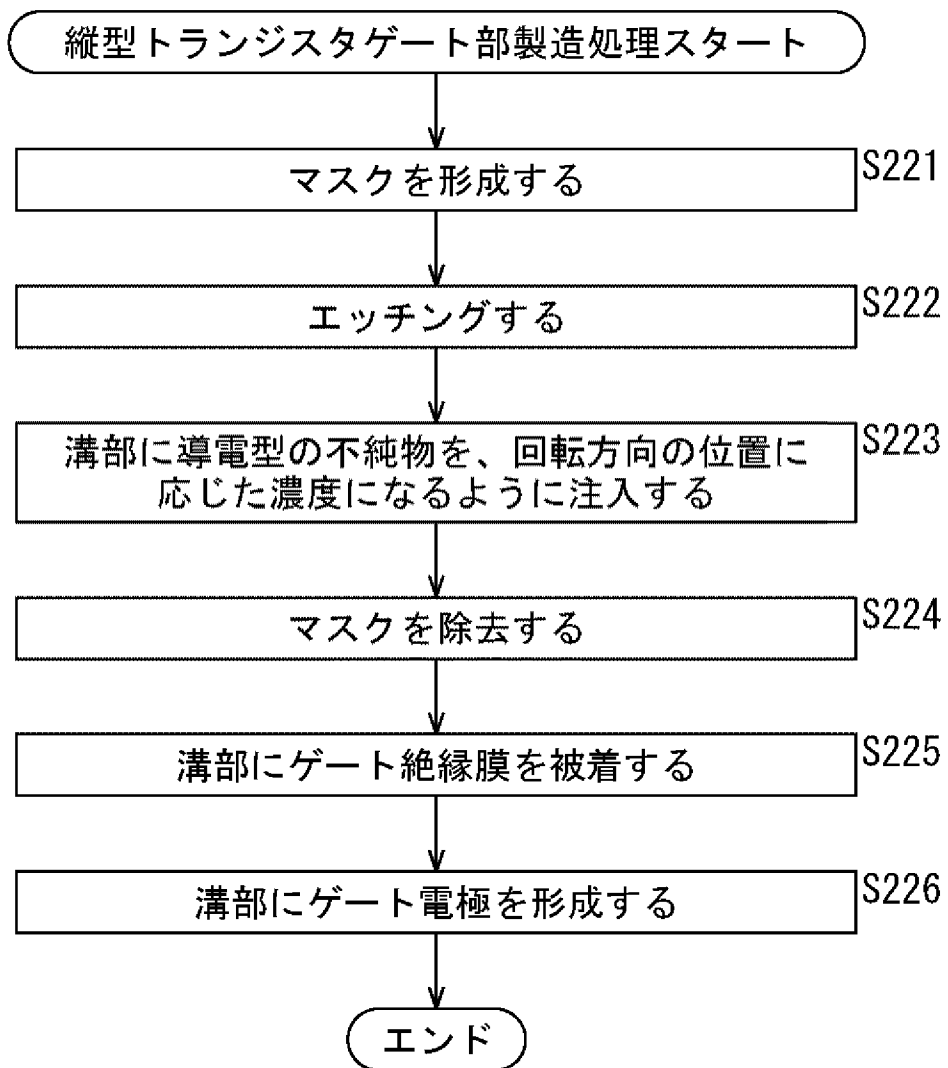
[図20]

図20

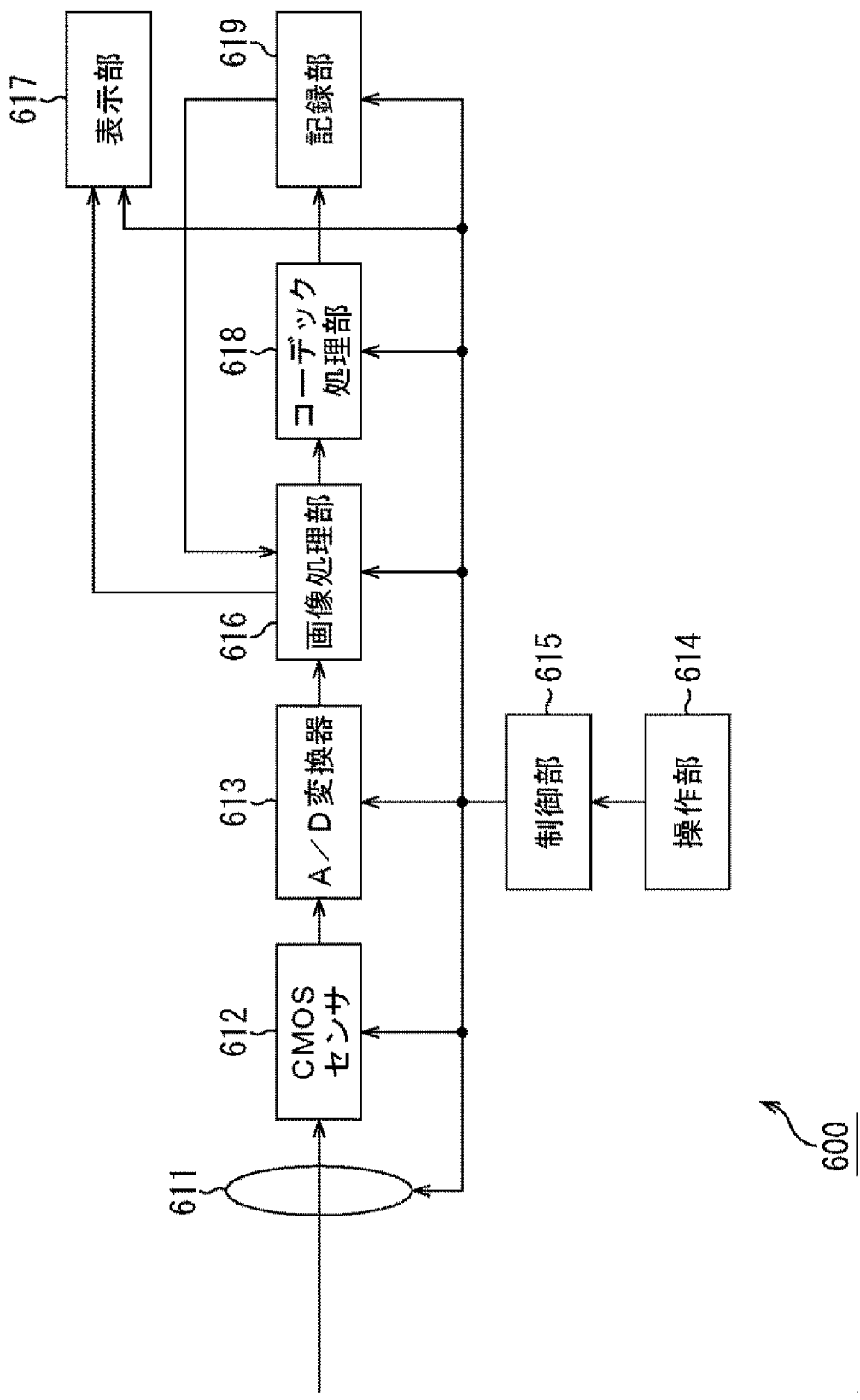


[図21]

図21



[図22]
図22



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/054068

A. CLASSIFICATION OF SUBJECT MATTER
H01L27/146(2006.01)i, H01L21/336(2006.01)i, H01L21/8234(2006.01)i, H01L27/06(2006.01)i, H01L27/088(2006.01)i, H01L29/78(2006.01)i, H04N5/374(2011.01)i
 According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED
 Minimum documentation searched (classification system followed by classification symbols)
 H01L27/146, H01L21/336, H01L21/8234, H01L27/06, H01L27/088, H01L29/78, H04N5/374

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
 Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2016
 Kokai Jitsuyo Shinan Koho 1971-2016 Toroku Jitsuyo Shinan Koho 1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2015-012241 A (Sony Corp.), 19 January 2015 (19.01.2015), paragraphs [0016] to [0044], [0053] to [0054], [0057] to [0060]; fig. 1 to 16, 21 to 25, 34 to 35 & US 2015/0001376 A1 paragraphs [0059] to [0087], [0096] to [0097], [00100] to [00103]; fig. 1 to 16, 21 to 25, 34 to 35 & CN 104282701 A	1-2, 5, 8, 12-13, 17, 20 3-4, 6-7, 14-16 9-11, 18-19

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 11 April 2016 (11.04.16)	Date of mailing of the international search report 19 April 2016 (19.04.16)
---	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/054068

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2-058340 A (Tektronix, Inc.), 27 February 1990 (27.02.1990), page 2, lower left column, line 15 to page 3, upper left column, line 12; page 4, lower right column, line 15 to page 6, upper left column, line 5; page 7, upper left column, lines 14 to 19; fig. 1, 4 to 12 & US 4992842 A column 3, lines 7 to 38; column 5, line 34 to column 6, line 61; column 7, line 63 to column 8, line 4; fig. 1, 4 to 12 & US 5065203 A & EP 350091 A2	3-4, 6-7, 14-16 1-2, 5, 8-13, 17-20
Y A	JP 2011-096829 A (Elpida Memory, Inc.), 12 May 2011 (12.05.2011), paragraphs [0014], [0024] to [0067]; fig. 1 to 30 & US 2011/0104868 A1 paragraphs [0096], [0101] to [0150]; fig. 1 to 30	14 1-13, 15-20
Y A	JP 2009-088186 A (Sanyo Electric Co., Ltd.), 23 April 2009 (23.04.2009), paragraphs [0033] to [0048]; fig. 17 to 27 & US 2010/0102382 A1 paragraphs [0071] to [0087]; fig. 30 to 40 & WO 2009/041742 A1 & CN 101584048 A	15 1-14, 16-20
Y A	JP 2012-049499 A (Denso Corp.), 08 March 2012 (08.03.2012), paragraphs [0075] to [0081]; fig. 7 to 8 & US 2012/0025874 A1 paragraphs [0120] to [0126]; fig. 7 to 8 & US 2015/0041850 A1 & DE 102011079747 A1 & CN 102347356 A & CN 104157648 A & CN 104157685 A	16 1-15, 17-20

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L27/146(2006.01)i, H01L21/336(2006.01)i, H01L21/8234(2006.01)i, H01L27/06(2006.01)i, H01L27/088(2006.01)i, H01L29/78(2006.01)i, H04N5/374(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L27/146, H01L21/336, H01L21/8234, H01L27/06, H01L27/088, H01L29/78, H04N5/374

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2015-012241 A（ソニー株式会社） 2015.01.19, 段落 [0016] - [0044], [0053] - [0054], [0057] - [0060],	1-2, 5, 8, 12-13, 17, 20
Y	[図 1] - [図 16], [図 21] - [図 25], [図 34] - [図 35]	3-4, 6-7,
A	& US 2015/0001376 A1, 段落 [0059] - [0087], [0096] - [0097], [00100] - [00103], [図 1] - [図 16], [図 21] - [図 25], [図 34] - [図 35] & CN 104282701 A	14-16 9-11, 18-19

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 11.04.2016	国際調査報告の発送日 19.04.2016
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 今井 聖和 電話番号 03-3581-1101 内線 3516
	5 F 5894

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2-058340 A (テクトロニクス・インコーポレイテッド) 1990.02.27, 第2頁左下欄第15行-第3頁左上欄第12行, 第4頁右下欄第15行-第6頁左上欄第5行, 第7頁左上欄第14-19行, 第1図, 第4-12図 & US 4992842 A, 第3欄第7-38行, 第5欄第34行-第6欄第61行, 第7欄第63行-第8欄第4行, 第1図, 第4-12図 & US 5065203 A & EP 350091 A2	3-4, 6-7, 14-16 1-2, 5, 8-13, 17-20
Y A	JP 2011-096829 A (エルピーダメモリ株式会社) 2011.05.12, 段落 [0014], [0024] - [0067], [図1] - [図30] & US 2011/0104868 A1, 段落 [0096], [0101] - [0150], [図1] - [図30]	14 1-13, 15-20
Y A	JP 2009-088186 A (三洋電機株式会社) 2009.04.23, 段落 [0033] - [0048], [図17] - [図27] & US 2010/0102382 A1, 段落 [0071] - [0087], [図30] - [図40] & WO 2009/041742 A1 & CN 101584048 A	15 1-14, 16-20
Y A	JP 2012-049499 A (株式会社デンソー) 2012.03.08, 段落 [0075] - [0081], [図7] - [図8] & US 2012/0025874 A1, 段落 [0120] - [0126], [図7] - [図8] & US 2015/0041850 A1 & DE 102011079747 A1 & CN 102347356 A & CN 104157648 A & CN 104157685 A	16 1-15, 17-20