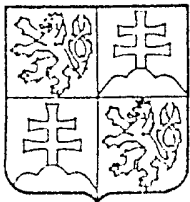


ČESKÁ A SLOVENSKÁ
FEDERATIVNÍ
REPUBLIKA
(19)



FEDERÁLNÍ ÚŘAD
PRO VYNÁLEZY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

263 733

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 02.11.87
(21) PV 7840-87.K

(51) Int. Cl.⁴
G 08 B 7/06

(40) Zveřejněno 16.09.88
(45) Vydáno 20.01.92

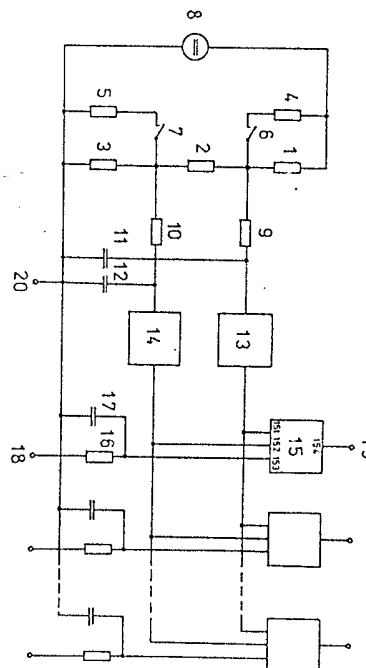
(75)
Autor vynálezu

STANISLAV MILAN ing.,
MATUŠ ZDENĚK ing., LIBEREC

(54)

Zapojení pro testování vstupních obvodů zabezpečovacích
ústředen

Zapojení pro testování vstupních obvodů zabezpečovacích ústředen umožňuje periodicky bez vlivu obsluhy v mikroprocesorech řízených ústřednách testovat stav vstupních obvodů na funkci, tj. průchodnost vyhodnocované změny do řídicího mikroprocesoru, a to současně u všech vstupních obvodů ústředny. Současně zapojení řeší odolnost systému proti změnám napájecího napětí a rušení. Účinku je dosaženo obvodovým uspořádáním řízených zdrojů referenčních napětí a souhlasem časových konstant integračních členů v referenčních a vstupních obvodech.



Vynález řeší zapojení pro testování vstupních obvodů zabezpečovacích ústředí, které umožňuje jednoduše v ústřednách řízených mikropočesory periodicky zkontrolovat správnost funkce vstupních obvodů a průchodnost vyhodnocovaného signálu do ústředny k dalšímu zpracování, a to při vysoké přesnosti měření vstupní veličiny i při změnách napájecího napětí obvodů, bez závislosti na činnosti obsluhy.

Dosud známé metody zjišťování funkčního stavu vstupních obvodů vyžadují buď aktivní stav všech připojených obvodů, kdy je kontrolováno přerušování proudových okruhů, což má nevýhodu ve vysoké spotřebě, nebo jsou vstupní obvody testovány individuálně, což značně zvyšuje počet součástek v obvodech a snižuje spolehlivost, nebo je přesnost měření závislá na změnách napájecího napětí obvodů, nebo je zjišťování funkčního stavu vázáno na ruční obsluhu.

Výše uvedené nedostatky odstraňuje zapojení pro testování vstupních obvodů zabezpečovacích ústředí podle vynálezu, kde zdroj napájecího napětí je připojen jednak paralelně k děliči napětí složenému ze sériově spojeného prvního rezistoru, druhého rezistoru a třetího rezistoru, přičemž k prvnímu rezistoru je přes první řízený spínač paralelně připojen čtvrtý rezistor a k třetímu rezistoru je přes druhý řízený spínač paralelně připojen pátý rezistor, jednak ke společné sverce, přitom společný bod prvního a druhého rezistoru je prvním oddělovacím rezistorem spojen jednak s prvním integračním kondenzátorem, jehož druhý vývod je spojen se společnou sverkou, jednak s prvním převodníkem impedance, jehož výstup je spojen s nejméně jedním prvním referenčním vstupem vstupního komparátoru, dále společný bod druhého a třetího rezistoru je druhým oddělovacím rezistorem spojen jednak s druhým integračním kondenzátorem,

jehož druhý vývod je spojen se společnou sverkou, jednak s druhým převedníkem impedance, jehož výstup je spojen s nejméně jedním druhým referenčním vstupem vstupního komparátoru, který má měřicí vstup spojen přes vstupní oddělovací rezistor se vstupní sverkou a přes vstupní integrační kondenzátor se společnou sverkou a výstup má spojen s výstupní sverkou.

Zapojení pro testování vstupních obvodů zabezpečovacích ústředí podle vynálezu umožňuje provádět periodické testování všech vstupních komparátorů ústředí najednou, a to s výrazným omezením vlivu změn napájecího napětí na přesnost měření, nezávisle na obsluze ústředí.

Na připojeném výkresu je znázorněno blokové schéma zapojení pro testování vstupních obvodů zabezpečovacích ústředí.

Ke zdroji napájecího napětí 8 je paralelně připojen dělič napětí tvořený sériovou kombinací prvního rezistoru 1, druhého rezistoru 2 a třetího rezistoru 3, přičemž k prvnímu rezistoru 1 je přes první řízený spínač 6, např. optron spínaný výstupem mikroprocesoru, paralelně připojen čtvrtý rezistor 4, a k třetímu rezistoru 3 je přes druhý řízený spínač 7 paralelně připojen pátý rezistor 5 a společný bod zdroje napájecího napětí 8 a třetího rezistoru 3 je spojen se společnou sverkou 20. Společný bod prvního rezistoru 1 a druhého rezistoru 2 je prvním oddělovacím rezistorem 9 spojen jednak s prvním integračním kondenzátorem 12, jehož druhý vývod je spojen se společnou sverkou 20 a jednak se vstupem prvního převedníku impedance 13, tvořeným např. operačním zesilovačem se zesílením 1, jehož výstup je spojen s prvním referenčním vstupem 151 nejméně jednoho vstupního komparátoru 15, složeného např. z dvojice operačních zesilovačů. Společný bod druhého rezistoru 2 a třetího rezistoru 3 je druhým oddělovacím rezistorem 10 spojen jednak s druhým integračním kondenzátorem 11, jehož druhý vývod je spojen se společnou sverkou 20 a jednak se vstupem druhého převedníku impedance 14, tvořeným např. operačním zesilovačem se zesílením 1, jehož výstup je spojen s druhým referenčním vstupem 152 nejméně jednoho vstupního komparátoru 15, který má měřicí vstup 153 spojen vstupním oddělovacím rezistorem 16 se vstupní sverkou 18 a vstupním integračním kondenzátorem 17 se společnou sverkou 20, přičemž výstup 154 vstupního komparátoru 15 je spojen s výstupní sverkou 19.

V klidovém stavu vytváří dělič složený z rezistorů 1, 2, 3, připojený paralelně ke zdroji napájecího napětí 8, referenční na-

pětí, která jsou vedena přes integrační členy složené z oddělovacích rezistorů 9, 10 a integračních kondenzátorů 11, 12 na převodníky impedance 13, 14, které omezují vliv rušivých signálů na vytvářená referenční napětí. Všechna napětí v obvodu jsou vztažena ke společné sverce obvodu 20. Řízené spínače 6 a 7 spojené do série s rezistory 4 a 5 a připojené paralelně k rezistorům děliče 1 a 3 jsou rozepnuty. Výstupy převodníků impedance 13 a 14 jsou připojeny na referenční vstupy 151 a 152 vstupních komparátorů 15, takže na těchto vstupech i napětí určené velikostí napětí zdroje napájecího napětí 8 a hodnotami rezistorů 1, 2 a 3. Na měřicí vstupy 153 vstupních komparátorů 15 jsou přes integrační členy složené z vstupních oddělovacích rezistorů 16 a vstupních integračních kondenzátorů 17 přivedena ze vstupních sverek 18 měřená napětí s hodnotou ležící mezi hodnotami napětí na referenčních vstupech 151, 152 vstupních komparátorů 15, přičemž tato napětí jsou závislá na stavu k ústředně připojených zabezpečovacích čidel. Integrační člen složený ze vstupního oddělovacího rezistoru 16 a integračního kondenzátoru 17 je nezbytný pro potlačení rušivých napětí superponovaných na napětí měřená. Tím však při kolísání napětí napájecího zdroje 8 dochází k dynamickým odchylkám a měřená napětí na měřicích vstupech 153 vstupních komparátorů 15 nestačí tyto změny sledovat a mohou překročit meze určené napětími na referenčních vstupech 151, 152 vstupních komparátorů 15, což by způsobilo chybnou funkci. Tomu zabraňují integrační členy složené z oddělovacích rezistorů 9, 10 a integračních kondenzátorů 11, 12. Je-li zvolena jejich časová konstanta shodně s časovou konstantou integračního členu složeného ze vstupního oddělovacího rezistoru 16 a integračního kondenzátoru 17, s přihlédnutím k vnějším impedancím připojeným ke vstupní sverce 18, je vliv změn napájecího napětí potlačen. Testování funkce vstupních obvodů ústředny provede mikroprocesor ústředny v programově určených okamžicích postupným spínáním a rozpínáním řízených spínačů 6 a 7, čímž změní velikost napětí na referenčních vstupech 151 a 152 vstupních komparátorů 15 tak, aby tato napětí přešla přes hodnotu napětí na jejich měřicích vstupech 153. Tím jsou najednou aktivovány všechny připojené vstupní komparátory 15 a na jejich výstupech 154 a s nimi spojených výstupních sverkách 19 se objeví signál, který řídicí mikroprocesor ústředny vyhodnotí. V případě poruchy vstupního obvodu, popř. navazujících periferních obvodů, mikroprocesoru se tento signál neobjeví a je vyvolána

příslušná signalizace závady.

Vynález lze prakticky využít v systémech zabezpečovací a požární signalizace.

P Ř E D M Ě T V Y N Á L E Z U

Zapojení pro testování vstupních obvodů zabezpečovacích ústředí, vyznačené tím, že zdroj napájecího napětí (8) je připojen jednak paralelně k děliči napětí složenému ze sériově spojeného prvního rezistoru (1), druhého rezistoru (2) a třetího rezistoru (3), přičemž k prvnímu rezistoru (1) je přes první řízený spínač (6) paralelně připojen čtvrtý rezistor (4) a k třetímu rezistoru (3) je přes druhý řízený spínač (7) paralelně připojen pátý rezistor (5), jednak ke společné sverce (20), přičemž společný bod prvního a druhého rezistoru (1 a 2) je prvním oddělovacím rezistorem (9) spojen jednak s prvním integračním kondenzátorem (12), jehož druhý vývod je spojen se společnou sverkou (20), jednak s prvním převedníkem impedance (13), jehož výstup je spojen s nejméně jedním prvním referenčním vstupem (151) vstupního komparátoru (15), a dále společný bod druhého a třetího rezistoru (2 a 3) je druhým oddělovacím rezistorem (10) spojen jednak s druhým integračním kondenzátorem (11), jehož druhý vývod je spojen se společnou sverkou (20), jednak s druhým převedníkem impedance (14), jehož výstup je spojen s nejméně jedním druhým referenčním vstupem (152) vstupního komparátoru (15), který má měřicí vstup (153) spojen přes vstupní oddělovací rezistor (16) se vstupní sverkou (18) a přes vstupní integrační kondenzátor (17) se společnou sverkou (20) a výstup (154) má spojen s výstupní sverkou (19).

