

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

| | | |
|---|---|----------------------------|
| (51) Int. Cl. ⁶ H03L 7/16 | (11) 공개번호 특 1997-0078031 | (43) 공개일자 1997년 12월 12일 |
| (21) 출원번호 | 특 1997-0018634 | |
| (22) 출원일자 | 1997년 05월 15일 | |
| (30) 우선권주장 | 96-124301 1996년 05월 20일 일본(JP) | |
| (71) 출원인 | 소니 가부시기가이샤 이데이 노부유키 | |
| (72) 발명자 | 일본국 도쿄도 시나가와구 기다시나가와 6쵸메 7반 35고 가미구보 야스노부 | |
| (74) 대리인 | 일본국 도쿄도 시나가와구 기다시나가와 6쵸메 7반 35고 소니 가부시기가이샤 내 오니즈카 마사노부 일본국 도쿄도 마치다시 아사히쵸 1쵸메 14반 21고 박종길 | |

심사청구 : 없음

(54) PLL주파수 신디사이저 및 그 제어회로

요약

프랙셔널(Fractional Number)방식 PLL주파수 신디사이저에 있어서, 레퍼런스사이클마다 N치를 변화시키기 위한 프랙셔널방식 제어회로를, 미리 캐리신호가 출력되는 타이밍을 고려하여, 분주회로(D-플립플롭)와 논리회로(배타적 OR회로, AND회로 및 OR회로)와의 조합에 의하여 구성한다. 이와 같이 구성함으로써, 프랙셔널방식 PLL주파수 신디사이저는 저잡음으로 활성화할 수 있고, 짧은 로크업시간을 제공할 수 있다.

대표도

도3

명세서

[발명의 명칭]

PLL주파수 신디사이저 및 그 제어회로

[도면의 간단한 설명]

제3도는 본 발명의 일 실시형태에 따른 프랙셔널방식 제어회로를 나타낸 블럭도.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

PLL주파수 신디사이저에 있어서, 소정 주파수의 레퍼런스클록의 1주기마다 분주치(分周値)를 변화시키는 제어회로로서, 레퍼런스클록을 소정의 분주비로 분주하는 분주회로와, 레퍼런스클록의 주파수와 채널간격으로 정해지는 m(m은 자연수)치를 설정하는 데이터와 상기 분주회로에 의한 분주출력과의 논리를 취함으로써 상기 분주치를 변화시키는 캐리신호를 출력하는 논리회로와를 구비한 것을 특징으로 하는 PLL주파수 신디사이저의 제어회로.

청구항 2

청구항 1에 있어서, 상기 분주회로는 D-플립플롭으로 이루어지는 것을 특징으로 하는 PLL주파수 신디사이저의 제어회로.

청구항 3

청구항 1에 있어서, 상기 논리회로는 논리게이트로 이루어지는 것을 특징으로 하는 PLL주파수 신디사이저의 제어회로.

청구항 4

청구항 1에 있어서, 상기 m치가 2비트의 데이터로 설정될 때, 상기 분주회로는, 레퍼런스클럭을 분주하는 제1의 플립플롭과, 상기 제1의 플립플롭의 출력과 상기 2비트의 데이터의 하위비트의 반전(反轉)데이터를 2입력으로 하는 선택회로와, 상기 선택회로의 출력을 다시 분주하는 제2의 플립플롭과로 이루어지고, 상기 논리회로는, 상기 2비트의 데이터 및 상기 제2의 플립플롭의 출력을 3입력으로 하는 제1의 논리회로와, 상기 2비트의 데이터의 상위비트 및 상기 제1 및 제2의 플립플롭의 각 출력을 3입력으로 하는 제2의 논리회로와, 상기 2비트의 데이터의 상위비트 및 상기 제1의 플립플롭의 출력을 2입력으로 하는 제3의 논리회로와, 상기 제1, 제2 및 제3의 논리회로의 각 출력을 3입력으로 하는 제4의 논리회로와로 이루어지는 것을 특징으로 하는 PLL주파수 신디사이저의 제어회로.

청구항 5

청구항 4에 있어서, 상기 선택회로는 배타적 OR회로로 이루어지는 것을 특징으로 하는 PLL주파수 신디사이저의 제어회로.

청구항 6

청구항 4에 있어서, 상기 제1, 제2 및 제3의 논리회로는 각각 AND회로로 이루어지고, 상기 제4의 논리회로는 OR회로로 이루어지는 것을 특징으로 하는 PLL주파수 신디사이저의 제어회로.

청구항 7

청구항 4에 있어서, 상기 m치가 4로 설정되고, 상기 제1 및 제2의 플립플롭에 의하여 1/4로 분주되는 것을 특징으로 하는 PLL주파수 신디사이저의 제어회로.

청구항 8

로패스필터와, 상기 로패스필터로부터의 출력신호에 따라서 발진주파수가 제어되는 전압가변제어발진기와, 상기 전압가변제어발진기로부터 공급된 신호 및 데이터설정회로로부터 공급된 제어신호에 따라서 상기 신호를 각각 카운트하는 제1 및 제2의 카운터와, 상기 제2의 카운터로부터의 출력신호가 공급되고, 이 신호와 상기 전압가변제어발진기로부터의 출력신호의 위상을 비교하는 위상비교기와, 레퍼런스발진기로부터의 출력신호와 상기 데이터설정회로로부터의 출력신호가 공급되고, 이로써 제어신호를 출력하는 프랙셔널제어회로와, 상기 프랙셔널제어회로로부터 공급된 출력신호가 공급되고, 이로써 제어신호를 출력하는 프랙셔널제어회로와, 상기 프랙셔널제어회로로부터 공급된 출력신호와 상기 위상비교기로부터 공급된 출력신호를 수신하고, 상기 로패스필터에 출력신호를 공급하는 차지펄프회로와를 구비한 것을 특징으로 하는 PLL주파수 신디사이저.

청구항 9

청구항 8에 있어서, 상기 프랙셔널제어회로는 소정 주파수의 레퍼런스클럭의 1주기마다 분주치를 변화시키는 제어회로로서, 레퍼런스클럭을 소정의 분주비로 분주하는 분주회로와, 레퍼런스클럭의 주파수와 채널간격으로 정해지는 m (m 은 자연수)치를 설정하는 데이터와 상기 분주회로에 의한 분주출력이 공급되고, 이 데이터 및 분주출력에 따라서 상기 분주치를 변화시키는 캐리신호를 출력하는 논리회로와를 구비한 것을 특징으로 하는 PLL주파수 신디사이저.

청구항 10

청구항 9에 있어서, 상기 논리회로는 논리 게이트로 이루어지고, 상기 분주회로는 D-플립플롭으로 이루어지는 것을 특징으로 하는 PLL주파수 신디사이저.

청구항 11

청구항 9에 있어서, 상기 프랙셔널제어회로는 소정 주파수의 레퍼런스클럭이 1주기마다 분주치를 변화시키는 제어회로로서, 상기 분주회로 및 상기 논리회로를 포함하고, 상기 m치가 2비트의 데이터로 설정될 때, 상기 분주회로는, 레퍼런스클럭을 분주하는 제1의 플립플롭과, 상기 제1의 플립플롭의 출력과 상기 2비트의 데이터의 하위비트의 반전데이터를 2입력으로 하는 선택회로와, 상기 선택회로의 출력을 분주하는 제2의 플립플롭과로 이루어지고, 상기 논리회로는, 상기 2비트의 데이터 및 상기 제2의 플립플롭의 출력을 3입력으로 하는 제1의 논리회로와, 상기 2비트의 데이터의 상위비트 및 상기 제1 및 제2의 플립플롭의 각 출력을 3입력으로 하는 제2의 논리회로와, 상기 2비트의 데이터의 상위비트 및 상기 제1의 플립플롭의 출력을 2입력으로 하는 제3의 논리회로와, 상기 제1, 제2 및 제3의 논리회로의 각 출력을 3입력으로 하는 제4의 논리회로와로 이루어지는 것을 특징으로 하는 PLL주파수 신디사이저.

청구항 12

청구항 11에 있어서, 상기 선택회로는 배타적 OR회로로 이루어지고, 상기 제1, 제2 및 제3의 논리회로는 각각 AND회로로 이루어지고, 상기 제4의 논리회로는 OR회로로 이루어지는 것을 특징으로 하는 PLL주파수 신디사이저.

청구항 13

청구항 11에 있어서, 상기 m치가 4로 설정되고, 상기 제1 및 제2의 플립플롭에 의하여 1/4로 분주되는 것을 특징으로 하는 PLL주파수 신디사이저.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면3

