



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2013년12월24일

(11) 등록번호 10-1344972

(24) 등록일자 2013년12월18일

- (51) 국제특허분류(Int. Cl.)
H01L 21/265 (2006.01) *H01L 29/78* (2006.01)
H01L 21/329 (2006.01)
- (21) 출원번호 10-2009-7011435
- (22) 출원일자(국제) 2007년11월01일
 심사청구일자 2012년11월01일
- (85) 번역문제출일자 2009년06월03일
- (65) 공개번호 10-2009-0090325
- (43) 공개일자 2009년08월25일
- (86) 국제출원번호 PCT/US2007/023095
- (87) 국제공개번호 WO 2008/057392
 국제공개일자 2008년05월15일
- (30) 우선권주장
 11/556,871 2006년11월06일 미국(US)

(56) 선행기술조사문현

US20040016965 A1
 US06020226 A

전체 청구항 수 : 총 46 항

심사관 : 이석주

(54) 발명의 명칭 매립층에 대한 저-저항 콘택을 제공하기 위한 주입된 영역을 포함하는 반도체 소자의 제조 방법 및 관련 소자

(57) 요 약

반도체 소자를 제조하는 방법은 제1 도전형과 제1 도편트 농도를 갖는 제1 반도체층을 형성하는 단계와 상기 제1 반도체층 위에 제2 반도체층을 형성하는 단계를 포함한다. 상기 제2 반도체층은 상기 제1 도편트 농도보다 작은 제2 도편트 농도를 갖는다. 상기 제2 반도체층을 통하여 확장되고 상기 제1 반도체층과 접촉하는 제1 도전형의 주입된 영역을 형성하기 위하여 상기 제2 반도체층 안으로 이온들이 주입된다. 상기 제2 반도체층의 상기 주입된 영역 위에 제1 전극이 형성되고, 상기 주입된 영역으로부터 간격을 갖고 떨어진 상기 제2 반도체층의 주입되지 않은 영역 위에 제2 전극이 형성된다. 관련된 소자들이 또한 논의된다.

대 표 도 - 도1a

표면층 22
채널층 20
기판 10

특허청구의 범위

청구항 1

제1 도전형의 제1 반도체층을 형성하는 단계;

상기 제1 반도체층 위에 상기 제1 반도체층보다 더 낮은 도전성을 갖는 제2 반도체층을 형성하는 단계;

상기 제2 반도체층 위에 보호층을 형성하는 단계;

상기 제2 반도체층을 통하여 확장되고 상기 제1 반도체층과 접촉하는 제1 도전형의 주입된 영역을 형성하기 위하여 상기 보호층을 관통하여 상기 제2 반도체층으로 이온들을 주입하되, 상기 주입된 영역은 상기 제2 반도체층에서 피크 도편트 농도를 갖는 단계;

상기 제2 반도체층의 상기 주입된 영역 위에 제1 전극을 형성하는 단계; 및

상기 주입된 영역으로부터 간격을 갖고 떨어진 상기 제2 반도체층의 주입되지 않은 영역 위에 제2 전극을 형성하는 단계를 포함하는 반도체 소자의 제조 방법.

청구항 2

제1 항에 있어서, 상기 제1 반도체층과 상기 제2 반도체층은 3족 질화물 물질을 포함하는 반도체 소자의 제조 방법.

청구항 3

제1 항에 있어서, 상기 이온들을 주입한 후에, 상기 주입된 이온들을 활성화하기 위하여 상기 제1 및 제2 반도체층 및 상기 보호층을 어닐링하는 단계를 더 포함하는 반도체 소자의 제조 방법.

청구항 4

제3 항에 있어서, 상기 제1 전극을 형성하는 단계는

상기 제2 반도체층의 상기 주입된 영역을 노출시키기 위하여 어닐링 후에 상기 보호층 안에 개구부를 형성하는 단계; 및

상기 노출된 주입된 영역 위에 상기 개구부 안에 오믹 콘택을 형성하는 단계를 포함하는 반도체 소자의 제조 방법.

청구항 5

제3 항에 있어서, 상기 보호층은 고순도 질화물(HPN: high purity nitride)을 포함하는 반도체 소자의 제조 방법.

청구항 6

제3 항에 있어서, 상기 제1 및 상기 제2 반도체층은 갈륨 질화물(GaN)을 포함하고, 상기 보호층을 형성하는 단계는

상기 제2 반도체층 위에 알루미늄을 포함하는 3족-질화물을 포함하는 제1 보호층을 형성하는 단계; 및

상기 제1 보호층 위에 고순도 질화물(HPN)을 포함하는 제2 보호층을 형성하는 단계를 포함하는 반도체 소자의 제조 방법.

청구항 7

제3 항에 있어서, 상기 보호층은 실리콘 질화물(SiN), 실리콘 이산화물(SiO₂), 및 실리콘 산화질화물(SiON) 중 적어도 하나를 포함하는 반도체 소자의 제조 방법.

청구항 8

제3 항에 있어서, 상기 제2 반도체층으로 상기 이온들을 주입하는 단계는

상기 제2 반도체층을 통하여 확장하고 상기 보호층으로 적어도 부분적으로 확장하는 상기 주입된 영역을 형성하기 위하여 상기 제2 반도체층으로 상기 이온들을 주입하는 단계를 포함하는 반도체 소자의 제조 방법.

청구항 9

제1 항에 있어서, 상기 제2 반도체층으로 상기 이온들을 주입하는 단계는

상기 제2 반도체층을 통하여 확장하고 상기 제1 반도체층으로 적어도 부분적으로 확장하는 상기 주입된 영역을 형성하기 위하여 상기 제2 반도체층으로 상기 이온들을 주입하는 단계를 포함하는 반도체 소자의 제조 방법.

청구항 10

제9 항에 있어서, 상기 제1 전극을 형성하는 단계와 상기 제2 전극을 형성하는 단계는

상기 제2 반도체층의 상기 주입된 영역 및 상기 주입되지 않은 영역 위에 도전성 물질을 형성하는 단계; 및

상기 주입된 영역 위의 상기 제1 전극 및 상기 주입되지 않은 영역 위의 상기 제2 전극을 정의하도록 상기 도전성 물질을 패터닝하는 단계를 포함하는 반도체 소자의 제조 방법.

청구항 11

제1 항에 있어서, 상기 이온들을 주입하는 단계는

상기 제2 반도체층의 상기 주입된 영역 전체에 걸쳐 균일한 농도를 갖는 주입된 도편트의 분포를 제공하도록 상기 제2 반도체층으로 상기 이온들을 주입하는 단계를 포함하는 반도체 소자의 제조 방법.

청구항 12

제11 항에 있어서, 균일한 농도를 갖는 주입된 도편트의 분포를 제공하도록 상기 제2 반도체층으로 상기 이온들을 주입하는 단계는

제1 도즈와 제1 주입 에너지에서 제1 도전형의 이온들을 주입하는 단계; 및 그 후

제2 도즈와 제2 주입 에너지에서 제1 도전형의 이온들을 주입하는 단계를 포함하는 반도체 소자의 제조 방법.

청구항 13

제12 항에 있어서, 상기 제1 도즈는 0.5×10^{15} 내지 2.5×10^{15} 이온/cm² 를 포함하고, 상기 제1 주입 에너지는 160keV를 포함하고, 상기 제2 도즈는 0.8×10^{15} 내지 5×10^{15} 이온/cm² 를 포함하고, 상기 제2 주입 에너지는 260keV를 포함하는 반도체 소자의 제조 방법.

청구항 14

제12 항에 있어서, 균일한 농도를 갖는 주입된 도편트의 분포를 제공하도록 상기 제2 반도체층으로 상기 이온들을 주입하는 단계는

제3 도즈와 제3 주입 에너지에서 제1 도전형의 이온들을 주입하는 단계를 포함하는 반도체 소자의 제조 방법.

청구항 15

제14 항에 있어서, 상기 제3 도즈는 0.5×10^{15} 내지 3.7×10^{15} 이온/cm² 를 포함하고, 상기 제3 주입 에너지는 360keV를 포함하는 반도체 소자의 제조 방법.

청구항 16

제1 항에 있어서, 상기 주입된 이온들은 실리콘(Si), 황(S), 및 산소(O) 중 적어도 하나를 포함하는 반도체 소자의 제조 방법.

청구항 17

제1 항에 있어서, 상기 제1 반도체층과 상기 제2 반도체층은 동일한 물질을 포함하는 반도체 소자의 제조 방법.

청구항 18

제1 항에 있어서, 상기 제1 반도체층 및 상기 제2 반도체층 중 적어도 하나는 에피택셜층을 포함하는 반도체 소자의 제조 방법.

청구항 19

제1 항에 있어서, 상기 제1 전극은 오믹 콘택을 포함하는 반도체 소자의 제조 방법.

청구항 20

제1 항에 있어서, 상기 제1 전극은 상기 제2 반도체층의 상기 주입된 영역 위의 캐소드 콘택을 포함하고, 상기 제2 전극은 상기 제2 반도체층의 상기 주입되지 않은 영역 위의 애노드 콘택을 포함하는 반도체 소자의 제조 방법.

청구항 21

제20 항에 있어서, 상기 제1 반도체층 및 상기 제2 반도체층 중 적어도 하나는 100나노미터(nm) 내지 500nm 의 두께를 갖는 반도체 소자의 제조 방법.

청구항 22

제1 항에 있어서, 상기 제2 전극과 상기 주입된 영역 사이의 측면 거리는 상기 제2 전극과 상기 제1 전극 사이의 측면 거리보다 작은 반도체 소자의 제조 방법.

청구항 23

제22 항에 있어서, 상기 제2 전극과 상기 주입된 영역 사이의 측면 거리는 1 마이크로미터 (μm) 보다 작은 반도체 소자의 제조 방법.

청구항 24

제1 항에 있어서, 상기 제1 전극은 상기 제2 반도체층의 상기 주입된 영역 위의 소스/드레인 콘택을 포함하고, 상기 제2 전극은 상기 제2 반도체층의 상기 주입되지 않은 영역 위의 게이트 콘택을 포함하는 반도체 소자의 제조 방법.

청구항 25

제24 항에 있어서, 상기 제2 반도체층의 밴드갭은 상기 제1 반도체층의 밴드갭보다 큰 반도체 소자의 제조 방법.

청구항 26

제1 도편트 농도를 갖는 제1 도전형의 제1 반도체층;

상기 제1 반도체층 위에 있고, 상기 제1 도편트 농도보다 작은 제2 도편트 농도를 갖는 제2 반도체층;

상기 제2 반도체층을 통하여 확장되고 상기 제1 반도체층과 접촉하는 상기 제1 도전형의 주입된 도편트들의 분포를 포함하는 상기 제2 반도체층 안의 주입된 영역이되, 상기 주입된 영역은 상기 제2 반도체층 안에 페크 도편트 농도를 갖는 상기 주입된 영역;

상기 제2 반도체층 위의 보호층;

상기 제2 반도체층의 상기 주입된 영역 위의 제1 전극; 및

상기 주입된 영역으로부터 간격을 갖고 떨어져 있는 상기 제2 반도체층의 주입되지 않은 영역 위의 제2 전극을 포함하는 반도체 소자.

청구항 27

제26 항에 있어서, 상기 제1 반도체층과 상기 제2 반도체층은 3족 질화물 물질을 포함하는 반도체 소자.

청구항 28

제26 항에 있어서, 상기 제2 반도체층 위의 상기 보호층은 상기 제2 반도체층의 상기 주입된 영역을 노출시키도록 상기 보호층을 관통하는 개구부를 포함하며, 상기 제1 전극은 상기 보호층 안의 상기 개구부를 통하여 상기 제2 반도체층의 상기 주입된 영역까지 확장하는 오믹 콘택을 포함하는 반도체 소자.

청구항 29

제28 항에 있어서, 상기 보호층은 고순도 질화물(HPN: high purity nitride)을 포함하는 반도체 소자.

청구항 30

제28 항에 있어서, 상기 제1 및 상기 제2 반도체층은 갈륨 질화물(GaN)을 포함하고, 상기 보호층은 상기 제2 반도체층 위의 알루미늄을 포함하는 3족-질화물을 포함하는 제1 보호층; 및 상기 제1 보호층 위의 고순도 질화물 (HPN)을 포함하는 제2 보호층을 포함하는 반도체 소자.

청구항 31

제28 항에 있어서, 상기 보호층은 실리콘 질화물(SiN), 실리콘 이산화물(SiO₂), 및 실리콘 산화질화물(SiON) 중 적어도 하나를 포함하는 반도체 소자.

청구항 32

제28 항에 있어서, 상기 오믹 콘택은 상기 보호층과 직접 접촉하는 반도체 소자.

청구항 33

제28 항에 있어서, 주입된 도편트들의 상기 분포는 상기 보호층으로 적어도 부분적으로 확장하는 반도체 소자.

청구항 34

제26 항에 있어서, 주입된 도편트들의 상기 분포는 상기 제2 반도체층을 통하여 확장하고 상기 제1 반도체층으로 적어도 부분적으로 확장하는 반도체 소자.

청구항 35

제34 항에 있어서, 상기 제1 및 상기 제2 전극은 동일한 물질층으로부터 형성되는 반도체 소자.

청구항 36

제35 항에 있어서, 상기 주입된 영역은 5×10^{20} 이온/cm³의 피크 도편트 농도를 갖는 반도체 소자.

청구항 37

제26 항에 있어서, 주입된 도편트들의 상기 분포는 상기 제2 반도체층의 상기 주입된 영역 전체에 걸쳐 균일한 농도를 갖는 반도체 소자.

청구항 38

제26 항에 있어서, 상기 주입된 도편트들은 실리콘(Si), 황(S), 및 산소(O) 중 적어도 하나를 포함하는 반도체 소자.

청구항 39

제26 항에 있어서, 상기 제1 반도체층과 상기 제2 반도체층은 동일한 물질을 포함하는 반도체 소자.

청구항 40

제26 항에 있어서, 상기 제1 전극은 오믹 콘택을 포함하는 반도체 소자.

청구항 41

제26 항에 있어서, 상기 제1 전극은 상기 제2 반도체층의 상기 주입된 영역 위의 캐소드 콘택을 포함하고, 상기 제2 전극은 상기 제2 반도체층의 상기 주입되지 않은 영역 위의 애노드 콘택을 포함하는 반도체 소자.

청구항 42

제41 항에 있어서, 상기 제1 반도체층 및 상기 제2 반도체층 중 적어도 하나는 100나노미터(nm) 내지 500nm 의 두께를 갖는 반도체 소자.

청구항 43

제26 항에 있어서, 상기 제2 전극과 상기 주입된 영역 사이의 측면 거리는 상기 제2 전극과 상기 제1 전극 사이의 측면 거리보다 작은 반도체 소자.

청구항 44

제43 항에 있어서, 상기 제2 전극과 상기 주입된 영역 사이의 측면 거리는 1 마이크로미터 (μm) 보다 작은 반도체 소자.

청구항 45

제26 항에 있어서, 상기 제1 전극은 상기 제2 반도체층의 상기 주입된 영역 위의 소스/드레인 콘택을 포함하고, 상기 제2 전극은 상기 제2 반도체층의 상기 주입되지 않은 영역 위의 게이트 콘택을 포함하는 반도체 소자.

청구항 46

제45 항에 있어서, 상기 제2 반도체층의 밴드갭은 상기 제1 반도체층의 밴드갭보다 큰 반도체 소자.

명세서**기술분야**

[0001]

본 발명은 반도체 소자에 관한 것이며, 더욱 상세하게는, 주입된 영역을 포함하는 반도체 소자 및 관련된 제조 방법에 관한 것이다.

배경기술

[0002]

고전력, 고온 및/또는 고주파수 응용을 위한 실리콘 카바이드 (실온에서 알파 SiC에 대하여 2.996eV) 및 III족 질화물 (예를 들면, 실온에서 GaN 에 대하여 3.36eV) 과 같은 넓은 밴드갭 반도체 물질에 높은 관심이 있다. 이러한 물질들은 갈륨 비소 및 실리콘에 비하여 전형적으로 더 높은 전계 항복 세기(electric field breakdown strengths) 및 더 높은 전자 포화속도(electron saturation velocities)를 갖는다.

[0003]

반도체 물질에 원하는 특성을 제공하기 위하여, 반도체층에 불순물 원자들 (즉, 도편트들) 로 도핑하는 것이 종종 바람직하다. 반도체 물질의 도핑은 물질 성장 도중 및/또는 성장 후에 수행될 수 있다. 불순물 원자들은 도핑되는 물질에서 주입되는 이온들이 각각 (전자 수를 증가시키는) 도너(doner) 또는 (홀의 수를 증가시키는) 엑세プ터(acceptor)로서 작용하는지에 따라 n형 또는 p형으로 카테고리를 나눌 수 있다. 결과적인 물질은 물질 내의 우세한 형의 도편트에 따라 n형 또는 p형으로 카테고리를 나눌 수 있다.

[0004]

이온 주입(ion implantation)은 반도체를 불순물로 도핑하는 잘 알려진 방법이다. 이온 주입 공정에서, 고전공하에서 이온 주입될 타겟층을 향하여 이온화한 불순물 원자들이 전계를 통과하여 가속된다. 타겟층으로 향해진 이온들의 수는 도즈(dose)라고 지칭되며, 이것은 전형적으로 이온/ cm^2 으로 표시된다. 이온들은 전형적으로 전자-볼트 (eV) 로 표시되는 에너지 레벨로 가속된다. 주입된 층 안에서 이온들의 분포는 때때로 주입 조건으로 불리는 도즈 및 주입 에너지뿐만 아니라 주입되는 이온들의 유형, 이온들이 그 안으로 주입되는 물질의 유형, 주입 각도 및 다른 요인들에 의존한다. 주입되는 이온들은 전형적으로 특정 깊이에서 피크 농도를 갖는 농도 분포 (즉, "주입 범위") 를 형성한다.

[0005]

이온 주입은 p-n 접합, 고전도성의 콘택 영역, 필드 스프레딩 영역(field spreading region) 등과 같은 물질 내에 원하는 영역을 형성하기 위하여 결정성의 물질을 선택적으로 도핑하는데 유용할 수 있다. 전형적으로, 반도

체층으로 불순물들이 주입된 후에 고온에서 주입된 불순물을 어닐하는 것, 즉, 이른바 활성화 어닐을 하는 것이 바람직할 수 있다. 활성화 어닐은 고에너지 이온 주입에 의하여 반도체 격자 안으로 야기되는 손상을 치유할 수 있다. 주입 손상은 예를 들면, 반도체 격자 내의 파괴되고/되거나 재배열된 화학 결합을 포함할 수 있다. 활성화 어닐은 또한 이온들이 엑셉터 및/또는 도너로서 적절히 활동할 수 있는 결정 격자 내의 적절한 자리를 찾는 것을 도울 수 있다. 그런데 일부 반도체 물질에 대하여, 실질적인 격자 손상의 치유가 일어날 수 있는 온도가 물질이 보통의 대기압에서 분해할 수 있는 온도 위에 있을 수 있다. 그리하여 활성화 어닐 중에 주입되는 반도체층 위에 안정한 캡핑층을 제공하는 것이 알려져 있다. 캡핑층의 물질은 고온에서 안정할 수 있고, 아래의 주입되지 않은 반도체층과 반응하지 않을 수 있다.

발명의 상세한 설명

[0006]

본 발명의 일부 실시예들에 따라서, 반도체 소자를 제조하는 방법은 제1 도전형과 제1 도편트 농도를 갖는 제1 반도체층을 형성하는 단계와 상기 제1 반도체층 위에 제2 반도체층을 형성하는 단계를 포함한다. 상기 제2 반도체층은 상기 제1 도편트 농도보다 작은 제2 도편트 농도를 갖는다. 상기 제2 반도체층을 통하여 확장되고 상기 제1 반도체층과 접촉하는 제1 도전형의 주입된 영역을 형성하기 위하여 상기 제2 반도체층 안으로 이온들이 주입된다. 상기 제2 반도체층의 상기 주입된 영역 위에 제1 전극이 형성되고, 상기 주입된 영역으로부터 간격을 갖고 떨어진 상기 제2 반도체층의 주입되지 않은 영역 위에 제2 전극이 형성된다.

[0007]

일부 실시예들에서, 상기 제1 반도체층과 상기 제2 반도체층은 III족 질화물 물질일 수 있다. 상기 제1 및 제2 반도체층은 실리콘 카바이드(SiC) 기판 위에 형성될 수 있다. 덧붙여서, 상기 주입된 이온들은 실리콘(Si), 황(S) 및/또는 산소(O)일 수 있다.

[0008]

다른 실시예들에서, 이온들을 주입하기 전에 상기 제2 반도체층 위에 보호층이 형성될 수 있다. 상기 이온들은 상기 보호층을 통하여 상기 제2 반도체층 안으로 그에 의하여 주입될 수 있다. 상기 이온들을 주입한 후에, 상기 주입된 이온들을 활성화하기 위하여 상기 제1 및 제2 반도체층 및 상기 보호층이 어닐될 수 있다. 일부 실시예들에서, 상기 보호층은 실리콘 질화물(SiN), 실리콘 이산화물(SiO_2) 및/또는 실리콘 산화질화물(SiON)일 수 있다. 다른 실시예들에서, 상기 보호층은 고순도 질화물(HPN: high purity nitride)일 수 있다.

[0009]

일부 실시예들에서, 상기 제1 전극을 형성하는 단계에서, 상기 제2 반도체층의 상기 주입된 영역을 노출시키기 위하여 어닐링 후에 상기 보호층 안에 개구부가 형성될 수 있다. 상기 노출된 주입된 영역 위에 상기 개구부 안에 오믹 콘택이 형성될 수 있다. 덧붙여서, 상기 제2 반도체층의 상기 주입되지 않은 영역을 노출시키기 위하여 상기 보호층 안에 제2 개구부가 형성될 수 있고, 상기 제2 개구부 안에 제2 전극이 형성될 수 있다.

[0010]

다른 실시예들에서, 상기 제1 및 상기 제2 반도체층은 갈륨 질화물(GaN)일 수 있다. 상기 제2 반도체층 위에 제1 보호층이 형성될 수 있고, 상기 제1 보호층 위에 제2 보호층이 형성될 수 있다. 상기 제1 보호층은 알루미늄을 포함하는 III족-질화물일 수 있고, 상기 제2 보호층은 고순도 질화물 (HPN)일 수 있다.

[0011]

일부 실시예들에서, 상기 제2 반도체층을 통하여 확장하고 상기 보호층으로 적어도 부분적으로 확장하는 상기 주입된 영역을 형성하기 위하여 상기 제2 반도체층 안으로 상기 이온들이 주입될 수 있다. 따라서, 주입된 도편트들의 분포는 적어도 부분적으로 상기 보호층으로 그리고/또는 적어도 부분적으로 상기 제1 반도체층으로 확장될 수 있다. 상기 주입된 영역은 상기 제2 반도체층 안에 피크 도편트 농도를 가질 수 있다. 예를 들면, 상기 주입된 영역은 약 5×10^{20} 이온/ cm^3 의 피크 도편트 농도를 가질 수 있다.

[0012]

다른 실시예들에서, 상기 주입된 영역 전체에 걸쳐 실질적으로 균일한 농도를 갖는 주입된 도편트들의 분포를 제공하도록 상기 제2 반도체층 안으로 상기 이온들이 주입될 수 있다. 예를 들면, 상기 제2 반도체층 및/또는 다른 층들의 두께에 따라, 실질적으로 균일한 농도를 제공하도록 복수의 도즈 및/또는 주입 에너지가 선택될 수 있다.

[0013]

일부 실시예들에서, 실질적으로 균일한 농도를 갖는 주입된 도편트들의 분포를 제공하도록 제1 도즈와 제1 주입 에너지에서 제1 도전형의 이온들이 상기 제2 반도체층 안으로 주입될 수 있고, 그 후 제2 도즈와 제2 주입 에너지에서 제1 도전형의 이온들이 상기 제2 반도체층 안으로 주입될 수 있다. 예를 들면, 상기 제1 도즈는 약 0.5×10^{15} 내지 약 2.5×10^{15} 이온/ cm^2 일 수 있고, 상기 제1 주입 에너지는 약 160keV일 수 있다. 또한, 상기 제2 도즈는 약 0.8×10^{15} 내지 약 5×10^{15} 이온/ cm^2 일 수 있고, 상기 제2 주입 에너지는 약 260keV일 수 있다. 덧붙여, 일부 실시예들에서, 상기 제1 도전형의 상기 이온들이 제3 도즈와 제3 주입 에너지에서 상기 제2 반도체층

안으로 더 주입될 수 있다. 예를 들면, 상기 제3 도즈는 약 0.5×10^{15} 내지 약 3.7×10^{15} 이온/cm² 를 포함하고, 상기 제3 주입 에너지는 약 360keV일 수 있다.

[0014] 다른 실시예들에서, 상기 제1 반도체층과 상기 제2 반도체층은 동일한 물질일 수 있다. 일부 실시예들에서, 상기 제2 반도체층은 도핑되지 않은 층일 수 있다. 다른 실시예들에서, 상기 제2 반도체층은 상기 제1 반도체층과 같고/같거나 반대의 도전형을 가질 수 있다.

[0015] 일부 실시예들에서, 상기 제1 반도체층 및/또는 상기 제2 반도체층은 에피택셜층일 수 있다. 예를 들면, 상기 제1 반도체층은 기판 위에 제1 도편트 농도를 갖도록 에피택셜하게 성장될 수 있다. 또한, 상기 제2 반도체층은 상기 제1 반도체층 위에 제2 도편트 농도로 에피택셜하게 성장될 수 있다.

[0016] 다른 실시예들에서, 상기 제1 전극은 오직 콘택일 수 있다. 덧붙여, 일부 실시예들에서, 상기 제2 전극과 상기 주입된 영역 사이의 측방향 거리는 상기 제2 전극과 상기 제1 전극 사이의 측방향 거리보다 작을 수 있다. 예를 들면, 상기 제2 전극과 상기 주입된 영역 사이의 측방향 거리는 약 1마이크로미터 (μm) 보다 작을 수 있다.

[0017] 일부 실시예들에서, 상기 제1 전극은 상기 제2 반도체층의 상기 주입된 영역 위의 캐소드 콘택일 수 있다. 또한, 상기 제2 전극은 상기 주입된 영역으로부터 간격을 두고 떨어진 상기 제2 반도체층의 상기 주입되지 않은 영역 위의 애노드 콘택일 수 있다. 일부 실시예들에서, 상기 제1 반도체층 및/또는 상기 제2 반도체층은 약 100나노미터(nm) 내지 약 500nm 의 두께를 가질 수 있다.

[0018] 일부 실시예들에서, 상기 제1 전극은 상기 제2 반도체층의 상기 주입된 영역 위의 소스/드레인 콘택일 수 있다. 또한, 상기 제2 전극은 상기 주입된 영역으로부터 간격을 갖고 떨어진 상기 제2 반도체층의 상기 주입되지 않은 영역 위의 게이트 콘택일 수 있다. 일부 실시예들에서, 상기 게이트 콘택과 상기 소스/드레인 콘택은 동일한 금속화 공정에서 형성될 수 있다. 또한 일부 실시예들에서, 상기 제2 반도체층의 밴드갭은 상기 제1 반도체층의 밴드갭보다 클 수 있다.

[0019] 본 발명의 다른 실시예에 의하면, 반도체 소자는 제1 도전형과 제1 도편트 농도를 갖는 제1 반도체층, 상기 제1 반도체층 위에 있고, 상기 제1 도편트 농도보다 작은 제2 도편트 농도를 갖는 제2 반도체층, 상기 제2 반도체층을 통하여 확장되고 상기 제1 반도체층과 접촉하는 상기 제1 도전형의 주입된 도편트들의 분포를 포함하는 상기 제2 반도체층 안의 주입된 영역, 상기 제2 반도체층의 상기 주입된 영역 위의 제1 전극 및 상기 주입된 영역으로부터 간격을 갖고 떨어져 있는 상기 제2 반도체층의 주입되지 않은 영역 위의 제2 전극을 포함한다.

실 시 예

[0023] 이하에서는 본 발명의 실시예들이 보여지는 첨부 도면을 참조하여 본 발명이 더욱 구체적으로 기술될 것이다. 그러나 본 발명은 많은 다른 형태들로 구체화될 수 있으며, 여기에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니된다. 이를 실시예들은, 오히려, 본 발명의 개시가 더욱 철저하고 완전하도록 하고, 또한 당업자들에게 본 발명의 범위를 완전히 전달하기 위해 제공되는 것이다. 동일한 번호는 전체를 통하여 동일한 요소들을 지칭한다.

[0024] 층, 영역 또는 기판과 같은 요소가 다른 요소 "위(on)"에 존재하는 것으로 또는 "위로(onto)" 확장되는 것으로 기술되는 경우, 그 요소는 다른 요소의 직접 위에 있거나 직접 위로 확장될 수 있고, 또는 중간의 개입 요소가 존재할 수도 있다. 반면에, 하나의 요소가 다른 요소 "바로 위(directly on)"에 있거나 "바로 위로(directly onto)" 확장된다고 언급되는 경우, 다른 중간 요소들은 존재하지 않는다. 또한, 하나의 요소가 다른 요소에 "연결(connected)"되거나 "결합(coupled)"된다고 기술되는 경우, 그 요소는 다른 요소에 직접 연결되거나 직접 결합될 수 있고, 또는 중간의 개입 요소가 존재할 수도 있다. 반면에, 하나의 요소가 다른 요소에 "직접 연결(directly connected)"되거나 "직접 결합(directly coupled)"된다고 기술되는 경우에는 다른 중간 요소가 존재하지 않는다. 한 구조 또는 형태가 다른 형태에 "인접하여(adjacent)" 위치하는 것으로 기재된 것은 기술분야에 능숙한 이들에 의하여 인접한 형태에 오버랩하거나 아래에 있는 부분을 갖는 것으로 이해될 수 있을 것이다.

[0025] 비록 제1, 제2, 기타의 용어가 여기에서 여러가지 요소를 기술하는데 사용되더라도 이 요소는 이 용어에 의하여 제한되어서는 안된다. 이 용어들은 단지 하나의 요소를 다른 요소와 구별하기 위하여 사용된다. 따라서, 본 발명의 가르침으로부터 벗어나지 않고 제1 요소는 제2 요소를 지칭할 수 있고, 유사하게, 제2 요소는 제1 요소를 지칭할 수 있다.

[0026]

더욱이, "하부의(lower)" 또는 "바닥(bottom)" 및 "상부의(upper)" 또는 "상부(top)"와 같은 상대적인 용어들은 여기에서 도면에 도시된 바와 같이 하나의 요소의 다른 요소에 대한 관계를 기술하는데 사용될 수 있다. 상대적인 용어들은 도면에 묘사된 방향(orientation)에 부가하여 장치의 다른 방향을 포함하기 위한 의도를 갖는 것으로 이해될 것이다. 예를 들면, 도면에서 장치가 뒤집혔으면, 다른 요소들의 "하부의(lower)" 면에 존재하는 것으로 기술된 요소들은 그 다른 요소들의 "상부의(upper)" 면에 향하는 것이 될 수 있다. 따라서 예시된 용어 "하부의(lower)"는 형태의 특정한 방향에 따라 "하부의(lower)" 및 "상부의(upper)"의 모든 방향을 포함할 수 있다. 비슷하게, 도면 중 하나에서 장치가 뒤집혔으면, 다른 요소들의 "아래(below)" 또는 "바로 밑(beneath)"에 있는 것으로 기술된 요소들은 그 다른 요소들의 "위(above)"로 향할 수 있다. 예시된 용어 "아래(below)" 또는 "바로 밑(beneath)"은 따라서 위와 아래의 양 방향을 포함할 수 있다.

[0027]

여기에 사용된 용어는 특정 실시예들만을 기술할 목적을 위한 것이고, 발명을 한정하려는 의도는 아니다. 여기에서 사용된 바와 같이 단수의 형태들은 본문에서 명확하게 다르게 지시하지 않으면 복수의 형태도 포함하는 것으로 의도된다. "및/또는"이라는 용어는 여기에서 사용될 때, 관련되어 열거된 항목들의 하나 또는 그 이상의 임의의 그리고 모든 조합들을 지칭하고 포함하는 것임이 또한 이해될 것이다. 더 나아가 "포함한다(comprises)" 및/또는 "포함하는(comprising)"의 용어가 본 상세한 설명에서 사용되는 경우에는 상술된 형태, 복합체, 단계, 작용, 요소, 및/또는 부품의 존재를 특정하지만, 하나 또는 그 이상의 다른 형태, 복합체, 단계, 작용, 요소, 부품 및/또는 이들의 그룹의 존재 또는 부가를 제외하지 않는다.

[0028]

본 발명의 실시예는 본 발명의 이상적인 실시예들을 (그리고 중간적인 구조들을) 개념적으로 도시한 단면도들을 참조하여 여기에 설명된다. 도면에서 층들 및 영역들의 두께는 명확성을 위하여 과장될 수 있다. 덧붙여, 예를 들면 제조 기술 및/또는 혁신 범위의 결과로서 도면의 형태로부터 변형들이 예상될 수 있다. 그러므로 본 발명의 실시예들은 여기에 도시된 영역의 특정한 형태로 한정되는 것으로 해석되서는 안되고, 예를 들면 제조 과정으로부터 기인하는 형태의 변형들을 포함하는 것으로 해석되어야 한다. 예를 들면, 직사각형으로 도시된 주입 영역은 통상 주입된 영역으로부터 주입되지 않은 영역으로 불연속적인 변화보다는 그 예지에서 둑글거나 곡면의 형태 및/또는 주입 농도의 경사를 가질 것이다. 마찬가지로, 주입에 의하여 형성된 매몰 영역은 매몰 영역과 그를 통하여 주입이 일어나는 표면의 사이의 영역 내에 일부 주입을 낳을 것이다. 그러므로 도면에 도시된 영역들은 성질상 개념적이고 소자의 영역의 실제 형태를 도시할 것을 의도한 것이 아니며 본 발명의 범위를 제한하도록 의도되지 않는다.

[0029]

다르게 정의되지 않으면, (기술적이고 과학적인 용어들을 포함한) 여기에 사용된 모든 용어들은 본 발명이 속하는 기술분야에서 일반적인 기술을 가진 이들에게 일반적으로 이해되는 것과 같은 의미를 갖는다. 여기에서 사용된 용어들은 본 상세한 설명의 문맥 및 관련 기술에서의 의미와 일관된 의미를 갖는 것으로 해석되어야 하고, 여기에서 명백히 그렇게 한정되지 않으면 이상화되거나 과도하게 형식적인 의미로 해석되지 않을 것임이 또한 이해될 것이다.

[0030]

본 발명의 일부 실시예들은 III족 질화물계 소자에서 사용하는 것이 특히 적절할 수 있다. 여기에서 사용된 바와 같이, "III족 질화물"이라는 용어는 질소와 주기율표의 III족에 있는 원소들, 일반적으로 알루미늄(Al), 갈륨(Ga) 및/또는 인듐(In) 사이에 형성된 반도체 화합물을 지칭한다. 용어는 또한 AlGaN 및 AlInGaN과 같은 3원소 및 4원소 화합물을 지칭한다. 이 기술분야의 이들에게 잘 이해되고 있는 바와 같이 III족 원소들은 2원소 (예를 들면, GaN), 3원소 (예를 들면, AlGaN) 및 4원소 (예를 들면, AlInGaN) 화합물을 형성하기 위하여 질소와 결합할 수 있다. 이들 화합물들은 모두 1 몰의 질소가 III족 원소들의 전체 1 몰과 결합되는 실험식을 갖는다. 따라서, $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$)과 같은 식이 이들을 기술하기 위하여 종종 사용된다.

[0031]

본 발명의 일부 실시예들은 매립된 더 높은 도전성을 갖는 반도체층으로의 오믹 콘택트를 촉진시키기 위하여 더 낮은 도전성을 갖는 반도체층을 통하여 확장되는 주입된 영역을 형성하는 방법을 제공한다. 더욱 상세하게는, 더 낮은 도전성을 갖는 반도체층을 통하여 확장되어 더 높은 도전성을 갖는 반도체층을 접촉하는 주입된 영역을 형성하기 위하여 더 낮은 도전성을 갖는 반도체층으로 이온들이 주입된다.

[0032]

본 발명의 일부 실시예들에 따라 주입된 영역을 사용할 수 있는 구조들은 고전자이동도 트랜지스터 (HEMT: high electron mobility transistor)와 같이, 더 높은 밴드갭의 장벽층 아래에 매립된 도전성 채널층을 포함한다. 본 발명의 실시예들이 사용할 수 있는 GaN-계 HEMT를 위한 적절한 구조들은 예를 들면, 공동 양수된 미국 특허 6,316,793 및 "ALUMINUM GALLIUM NITRIDE/GALLIUM NITRIDE HIGH ELECTRON MOBILITY TRANSISTORS HAVING A GATE CONTACT ON A GALLIUM NITRIDE BASED CAP SEGMENT AND METHODS OF FABRICATING SAME"에 대하여 2001년 7월 12일 출원되고 200년 6월 2일 공개된 미국 특허 2002/0066908A1, "GROUP III NITRIDE BASED HIGH

ELECTRON MOBILITY TRANSISTOR (HEMT) WITH BARRIER/SPACER LAYER"에 대하여 2001년 5월 11일 출원된 미국 특허출원 60/290,195, "GROUP-III NITRIDE BASED HIGH ELECTRON MOBILITY TRANSISTOR (HEMT) WITH BARRIER/SPACER LAYER"라는 제목의 Smorchkova 등의 미국 특허 공개 2002/0167023A1, "NITRIDE-BASED TRANSISTORS AND METHODS OF FABRICATION THEREOF USING NON-ETCHED CONTACT RECESSES"에 대하여 2003년 7월 11일 출원된 미국 특허 출원 10/617,843 및 "SEMICONDUCTOR DEVICES INCLUDING IMPLANTED REGIONS AND PROTECTIVE LAYERS AND METHODS OF FORMING THE SAME"에 대하여 2005년 12월 13일 출원된 미국 특허 출원 11/302,062에 기술되어 있으며, 이들의 기재내용은 참조에 의하여 그 전체로서 여기에 통합된다.

[0033] 본 발명의 일부 실시예들에 따라 주입된 영역을 사용할 수 있는 구조들은 도전성을 털 갖고/갖거나 절연성인 층 아래에 매립된 매우 도전성인 층을 포함할 수 있다. 예를 들면, n+/n- 금속-반도체 (M-S) 다이오드는 매우 도전성인 n+ 층의 상부 위의 도핑되지 않거나 낮게 도핑된 n-층을 포함할 수 있다. n- 층은 양호한 쇼트키 행동을 제공할 수 있고, 애노드와 매우 도전성인 n+ 층 사이에 소정의 거리를 제공할 수 있다. 그러나, 매우 도전성인 매립된 n+ 층으로의 캐소드 콘택트를 제공하는 것은 n- 층을 통한 리세스를 요구할 수 있고, 이것은 n- 및 n+ 층이 모두 같은 물질로 형성된 경우에 어렵고/어렵거나 반복될 수 없을 수 있다. 따라서 본 발명의 일부 실시예들에서, 매우 도전성인 매립된 n+ 층으로 오직 콘택트를 제공하기 위하여 n- 층을 통하여 확장되는 주입된 영역을 형성하도록 이온들이 n- 층으로 주입된다.

[0034] 본 발명의 실시예들에 따른 구조의 제조가 도 1a 내지 도 1f에 개략적으로 도시되었다. 도 1a에 보이는 바와 같이, 그 위에 질화물계의 소자들이 형성될 수 있는 기판(10)이 제공된다. 본 발명의 특정 실시예들에서, 기판(10)은 예를 들면 4H 폴리타입의 실리콘 카바이드일 수 있는 반절연 실리콘 카바이드(SiC) 기판일 수 있다. 다른 실리콘 카바이드 후보 폴리타입들은 3C, 6H 및 15R 폴리타입들을 포함한다. "반절연"이라는 용어는 절대적인 의미라기보다는 상대적인 의미로 사용된다. 본 발명의 특정 실시예들에서, 실리콘 카바이드 벌크 결정은 실온에서 약 $1 \times 10^5 \Omega\text{-cm}$ 이상의 고유저항(resistivity)을 갖는다.

[0035] 선택적인 베퍼층, 핵생성 및/또는 전이층이 (미도시) 기판(10) 위에 제공될 수 있다. 예를 들면, 실리콘 카바이드 기판과 소자의 나머지 사이에 적절한 결정 구조 전이를 제공하기 위하여 AlN 베퍼층이 제공될 수 있다. 부가적으로, 스트레인 균형 전이층(strain balancing transition layer)이 또한 예를 들면, 공동 양수된 "STRAIN BALANCED NITRIDE HETEROJUNCTION TRANSISTORS AND METHODS OF FABRICATING STRAIN BALANCED NITRIDE HETEROJUNCTION TRANSISTORS" 제목의 미국 특허 공개 2003/0102482A1, "STRAIN BALANCED NITRIDE HETEROJUNCTION TRANSISTOR"라는 제목의 2001년 12월 3일 출원된 미국 특허출원 60/337,687에 기술된 바와 같이 제공될 수 있으며, 여기의 기재 내용은 여기에서 완전히 설명된 것처럼 참조에 의하여 여기에 통합된다.

[0036] 실리콘 카바이드는 사파이어(Al_2O_3)보다 III족 질화물에 훨씬 더 가까운 결정 격자 정합을 가지며, III족 질화물 소자를 위한 매우 일반적인 기판 물질이다. 더 가까운 격자 정합은 사파이어 위에서 일반적으로 가능한 필름들 보다 더 높은 품질의 III족 질화물 필름을 갖도록 할 수 있다. 실리콘 카바이드는 또한 매우 높은 열 전도성을 가져서 실리콘 카바이드 위의 III족 질화물 소자들의 전체 출력은 통상 사파이어 위에 형성된 동일한 소자들의 경우와 같이 기판의 열적 소산(thermal dissipation)에 의해서 제한되지 않는다. 또한, 준-절연 실리콘 카바이드 기판의 사용가능성은 소자 분리 및 감소된 기생 커패시턴스를 제공할 수 있다. 적절한 SiC 기판들이 예를 들면, Durham, N. C 의 Cree, Inc.에 의하여 제조될 수 있으며, 제조하는 방법이 예를 들면, 미국 특허 Re. 34,861; 4,946,547; 5,200,022; 및 6,218,680에 기술되어 있고, 그 기재 내용은 참조에 의하여 그 전체가 여기에 통합된다. 유사하게, III족 질화물의 에피택셜 성장을 위한 기술들이 예를 들면, 미국 특허 5,210,051; 5,393,993; 5,523,589; 및 5,292,501에 기술되어 있으며, 그 기재 내용 또한 참조에 의하여 그 전체가 여기에 통합된다.

[0037] 비록 실리콘 카바이드가 기판 물질로서 사용될 수 있지만, 본 발명의 실시예들은 사파이어, 알루미늄 질화물, 알루미늄 갈륨 질화물, 갈륨 질화물, 실리콘, GaAs, LGO, ZnO, LAO, InP 등과 같은 임의의 적절한 기판을 사용할 수 있다. 일부 실시예들에서 적절한 베퍼층이 또한 형성될 수 있다. 또한, 일부 실시예들에서, 에피택셜 성장 후에 기판이 제거될 수 있고, 에피택셜층은 운반 기판(carrier substrate)에 결합될 수 있다.

[0038] 도 1a에 돌아가서, 비교적 고-전도성의 반도체층이 예를 들면 채널층(20)으로서 기판(10) 위에 형성된다. 채널층(20)은 기판(10) 위에 원하는 도전형 및/또는 도편트 농도를 갖도록 에피택셜하게 성장될 수 있다. 예를 들면, 일부 실시예들에서 채널층(20)은 약 $1 \times 10^{19} \text{이온}/\text{cm}^3$ 의 도편트 농도를 갖는 n형 층일 수 있다. 채널층(20)

은 또한 위에서 기술된 바와 같이 베퍼층, 전이층 및/또는 핵생성층을 사용하여 기판(10) 위에 증착될 수 있다. 채널층(20) 및/또는 베퍼층, 핵생성층 및/또는 전이층이 MOCVD 또는 MBE 또는 HVPE와 같이 기술분야에 능숙한 이들에게 알려진 다른 기술들에 의하여 증착될 수 있다. 본 발명의 일부 실시예들에서, 채널층(20)은 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x < 1$) 과 같은 III족-질화물층이다. 본 발명의 특정 실시예들에서, $x=0$ 이고, 이것은 채널층(20)이 GaN 임을 지시한다. 채널층(20)은 또한 InGaN, AlInGaN 또는 이와 유사한 다른 III족-질화물층들일 수 있다.

[0039] 계속하여 도 1a를 참조하면, 여기에서 표면층(22)이라고 지칭되는 더 낮은 전도성의 반도체층이 채널층(20) 위에 형성된다. 표면층(22)은 채널층(20)의 도편트 농도보다 더 낮은 도편트 농도를 갖는다. 표면층(22)은 채널층(20) 위에 원하는 도전형 및/또는 도편트 농도를 갖도록 에피택셜하게 성장될 수 있다. 예를 들면, 표면층(22)은 도핑되지 않은 ("비의도적으로 도핑된") 층일 수 있고/있거나 채널층(20)과 같은/같거나 반대의 도전형을 가질 수 있다. 본 발명의 일부 실시예들에서, 표면층(22)은 또한 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x < 1$) 과 같은 III족-질화물층이다. 표면층(22)은 또한 InGaN, AlInGaN 또는 이와 유사한 다른 III족-질화물층들일 수 있다. 덧붙여, 채널층(20)과 표면층(22)은 동일한 물질로 형성될 수 있다.

[0040] 따라서, 본 발명의 일부 실시예들에서, 채널층(20)과 표면층(22)은 예를 들면, 금속-반도체 또는 쇼트키 다이오드에서 사용되기 위한, 도전성이 덜한 층 및/또는 절연층 아래에 묻힌 도전성이 높은 층을 제공할 수 있다. 예를 들면, 채널층(20)은 약 1×10^{19} 이온/ cm^3 이상의 도편트 농도를 갖는 높게 도핑된 n형 GaN층일 수 있고, 표면층(22)은 약 1×10^{19} 이온/ cm^3 보다 작은 도편트 농도를 갖는 낮게 도핑되거나 도핑되지 않은 n형 GaN층일 수 있다. 채널층(20) 및/또는 표면층(22)은 약 100nm에서 약 500nm의 두께로 형성될 수 있다. 따라서, 표면층(22)은 후속 공정에서 형성될 전극(32)에 대한 조절가능한 쇼트키 콘택을 제공할 수 있다.

[0041] 본 발명의 다른 실시예들에서, 예를 들면, HEMT 소자에 사용을 위하여 채널층과 표면층 사이의 경계에서 이종접합을 제공하도록 채널층(20)과 표면층(22)이 선택될 수 있다. 그와 같이 하여, 채널층(20)은 표면층(22)의 밴드갭보다 작은 밴드갭을 가질 수 있고, 이것은 HEMT 소자에서 장벽층에 해당할 수 있다. 채널층(20)은 또한 표면층(22)보다 더 큰 전자 친화도를 가질 수 있다. 채널층(20)은 초격자(superlattice) 및/또는 GaN, AlGaN 등의 조합과 같은 다중-층 구조를 가질 수 있다. 표면층(22)은 AlGaN, AlInGaN 및/또는 AlN 또는 이를 층들의 조합을 포함할 수 있다. 본 발명의 일부 실시예들에서 표면층(22)의 알루미늄 농도는 약 10% 보다 더 클 수 있다. 그러나, 본 발명의 다른 실시예들에서, 표면층(22)은 약 5%와 약 100% 사이의 알루미늄 농도를 갖는 AlGaN을 포함할 수 있다. 표면층(22)이 오믹 콘택 금속 아래에 묻힐 때 분극 효과를 통하여 채널층(20)과 표면층(22) 사이의 계면에서 상당한 운반자 농도를 유도하기 위하여 표면층(22)은 충분히 두꺼울 수 있고, 충분히 높은 Al 농도와 도핑을 가질 수 있다. 또한, 표면층(22)은 표면층(22)과 (도 1b에 도시된 바와 같이) 보호층(24) 사이의 계면에 축적된 이온화된 불순물에 기인하는 채널에서의 전자들의 산란을 줄이거나 최소화하도록 충분히 두꺼울 수 있다. 특정 실시예들에서, 채널층(20)은 도핑되지 않을 수 있고 약 2nm 보다 큰 두께로 성장될 수 있다. 또한, 표면층(22)은 도핑되지 않거나 n형 도편트로 도핑될 수 있고, 약 0.1nm에서 약 10nm의 두께로 성장될 수 있다. 그러나, 표면층(22)은 크랙 또는 그 안에 실질적인 결함 형성을 야기할 정도로 두꺼워서는 안 된다. 본 발명의 일부 실시예들과 사용될 적절한 HEMT 구조들이 공동 양수된 2005년 12월 13일에 출원된 "SEMICONDUCTOR DEVICES INCLUDING IMPLANTED REGIONS AND PROTECTIVE LAYERS AND METHODS OF FORMING THE SAME"라는 제목의 미국 특허출원 11/302,062에 더 기재되어 있고, 그 개시내용은 참조에 의하여 여기에서 완전히 기재된 것처럼 여기에 통합된다.

[0042] 이제 도 1b를 참조하면, 보호층(24)이 표면층(22) 위에 형성된다. 보호층(24)은 실리콘 질화물 (Si_{x}N_y), 실리콘 이산화물 (SiO_2) 및/또는 실리콘 산화질화물 (SiON)과 같은 다른 적절한 보호물질일 수 있다. " Si_{x}N_y ", " SiN " 및 "실리콘 질화물"의 용어들은 정량적이고 비-정량적인 실리콘 질화물을 모두 지칭하도록 여기에서 교환 가능하게 사용되는 것이 이해될 것이다. 보호층(24)을 위하여 다른 물질들이 또한 사용될 수 있다. 예를 들면, 보호층(24)은 마그네슘 산화물, 스칸듐 산화물, 알루미늄 산화물 및/또는 알루미늄 산화질화물을 또한 포함할 수 있다. 더욱더, 보호층(24)은 단일층 또는 균일 및/또는 비균일 조성의 다중층일 수 있다. 보호층(24)의 물질은 적절한 계면 특성을 가질 수 있고, 비교적 높은 온도를 감내할 수 있는 능력이 있을 수 있다. 덧붙여서, 일부 실시예들에서, 보호층(24)은 하부의 표면층(22)을 크게 손상시키지 않고 제거될 수 있는 능력을 갖는다.

[0043] 일반적으로, 보호층(24)은 비교적 높은 항복 필드 강도(breakdown field strength)을 갖고 표면층(22)과 같은 하부의 III족-질화물층과의 계면에서 비교적 낮은 계면 트랩 밀도를 갖는 유전층일 수 있다. 보호층(24)은 표면

층(22)의 물질에 대하여 높은 식각 선택비를 가질 수 있고, 표면층(22)의 물질과 반응하지 않을 수 있다. 더욱 더, 보호층(24)은 그 안에 비교적 낮은 레벨의 불순물을 가질 수 있다. 예를 들면, 보호층(24)은 비교적 낮은 레벨의 수소 및 산소, 탄소, 플루오린 및 염소를 포함하는 다른 불순물들을 가질 수 있다. 이에 더하여, 보호층(24)은 후속 공정 단계에서 사용되는 높은 어닐링 온도를 견딜 수 있도록 비교적 높은 온도 (예를 들면, >1000°C) 에서 안정할 수 있다.

[0044] 본 발명의 특정 실시예들에서 보호층(24)은 SiN이다. SiN은 예를 들면, 저압 화학 기상 증착 (LPCVD) 및/또는 금속-유기 화학 기상 증착 (MOCVD)에 의하여 형성될 수 있다. SiN 층은 화학양론적(stoichiometric)일 수 있다. (즉, 물질 내의 실리콘 대 질소의 비가 약 3:4일 수 있다.) 예를 들면, CVD 공정에서 SiH₄ 및 NH₃ 소스 가스의 상대적인 흐름 속도를 조절함에 의하여 SiN 층의 화학양론성이 조절될 수 있다. 더욱이, 비교적 높은 온도에서 형성될 때 CVD-성장된 SiN이 화학양론적이 되는 경향이 있다.

[0045] SiN 층의 화학양론은 또한 상기 층의 굴절률에 영향을 미칠 수 있다. 본 발명의 특정 실시예들에서, 보호층(24)은 633nm 파장에서 약 1.6에서 2.2의 굴절율을 가질 수 있다. 특정 실시예들에서, SiN 보호층(24)의 굴절율은 엘립소메트리(elipsometry)에 의하여 측정된 바 1.98±0.05이다. 화학양론적인 SiN은 또한 버퍼 산화막 식각 (BOE)에서 그 식각 속도에 의하여 특징지어질 수 있다. 예를 들면, BOE에서 화학양론적인 SiN의 식각 속도는 거의 제로이다. (즉, 분당 약 1 nm 보다 적다)

[0046] 일부 실시예들에서, 보호층(24)은 SiO₂ 일 수 있다. SiO₂는 LPCVD 및/또는 MOCVD에 의하여 형성될 수 있고 화학양론적일 수 있다. 본 발명의 특정 실시예들에서, SiO₂ 보호층(24)은 633nm 파장에서 약 1.36에서 1.56의 굴절율을 가질 수 있다. 특정 실시예들에서, SiO₂ 보호층의 굴절율은 엘립소메트리에 의하여 측정된 바 1.46±0.03이다.

[0047] 보호층(24)이 실리콘 질화물을 포함할 때, 보호층(24)은 Cs 이온빔으로 2차 이온 질량 분석기 (SIMS)에 의하여 측정한 바에 의하면, 표1에 나타낸 정도 또는 그보다 적은 불순물 레벨을 가질 수 있다.

표 1

원소	농도 (cm ⁻³)
H	4×10 ²¹
O	3×10 ¹⁸
C	7×10 ⁷
F	1×10 ¹⁶
CL	4×10 ¹⁶

[0050] 보호층(24)은 표면층(22) 위에 형성된 블랭킷일 수 있다. 전형적으로, 보호층(24)은 약 100nm의 범위의 두께를 가질 수 있으나, 다른 두께층들도 또한 사용될 수 있다. 예를 들면, 보호층(24)은 후속의 불순물 활성화 어닐동안 하부층을 보호할 수 있도록 충분히 두꺼워야 할 것이다. 그러한 공정들을 위하여 2 또는 3 단일층(monolayer)만큼 얇은 층들이 충분할 수 있다. 그러나 일반적으로 보호층(24)은 약 10nm에서 약 500nm의 두께를 가질 수 있다.

[0051] 보호층(24)은 그 개시내용이 참조에 의하여 여기에서 완전히 기재된 것처럼 여기에 통합된, 2005년 11월 23일에 출원된 "GROUP III NITRIDE SEMICONDUCTOR DEVICES WITH SILICON NITRIDE LAYERS AND METHODS OF MANUFACTURING SUCH DEVICES"라는 제목의 미국 특허출원 11/286,805에 기술된 고순도 SiN 층과 같은 고순도 질화물(HPN: high purity nitride)층을 포함할 수 있다. 특히, 본 발명의 특정 실시예들에 따라서, 인시츄로 성장된 SiN 보호층(24)은 (예를 들면, 700°C 위의) 비교적 높은 온도에서 성장될 수 있다. 특정 실시예들에서, SiN 층들은 약 900-1000°C 범위에 있는 온도에서 성장될 수 있다. 그러한 고온 성장은 또한 SiN 층 내에서 그리고 III족 질화물층과 SiN 층 사이의 계면에서 불순물을 감소시키는 것을 촉진시킬 수 있다. 부가적으로 SiN 층 안으로 도입되는 백그라운드 반응기 불순물의 레벨을 감소시키는 것을 촉진시킬 수 있는 높은 성장 속도가 채용될 수 있다. 예를 들면, 본 발명의 특정 실시예들에서, SiN 층(들)은 적어도 약 0.2μm/시간의 성장 속도로

성장될 수 있다. 일부 특정 실시예들에서, 성장 속도는 약 $2\mu\text{m}/\text{시간일}$ 수 있다.

[0052] SiN 층을 인시츄로 형성하는 것은 또한 최상층의 III족 질화물층의 상면으로 그리고/또는 SiN 층 자체로 도입되는 불순물의 레벨을 감소시킬 수 있다. 특히, 소자가 반응기로부터 제거되고 SiN 층이 예를 들면, 스퍼터링 또는 PECVD와 같은 후-MOCVD 성장 공정을 통하여 형성되는 때에, 다수의 다른 메커니즘이 불순물들을 도입할 수 있다. 예를 들면, 미국 특허 6,498,111에서 상세히 논의된 바와 같이, III족 질화물층의 성장 동안 MOCVD 반응기 내에 수소가 존재한다면, 상기 수소는 성장에 뒤따르는 반응기의 냉각 동안 III족 질화물층 안으로 도입되는 경향이 있을 수 있다. 마찬가지로, 반응기로부터 제거하는 때에 소자의 대기로의 노출은 산소 원자의 도입을 허용할 수 있고, 소자의 취급 및/또는 소자의 화학적 세정의 결과로서 여러가지 다른 불순물들이 특히 소자의 바깥쪽 표면에 인접하여 도입될 수 있다. SiN 보호/폐시베이션 층의 중착 이전에 습식 에칭, 전극 중착, 어닐링 단계 등과 같은 후-성장 공정이 수행된다면 불순물들이 또한 더해질 수 있다. 이러한 불순물들은 바람직하지 않고/않거나 조절/재생하기 어려울 수 있는 방향으로 III족 질화물층과 SiN 층 사이의 계면에서 표면 상태를 열화시킬 수 있다. 예를 들면, 불순물의 존재는 SiN 층과 그 하부의 III족 질화물층 사이의 계면에 트래핑을 증가시킬 수 있고, 그에 의하여 채널의 면저항(sheet resistance)을 증가시킬 수 있다.

[0053] 본 발명의 특정 실시예들에서, 고순도 실레인(SiH_4)가 SiN 층(들)의 성장에서 소스 가스로서 사용될 수 있다. 기술분야에서 숙달된 이들에게 알려진 바와 같이, 실레인은 n-도핑된 III족 질화물층들의 성장에서 실리콘 도편트를 위한 소스로서 종종 사용된다. 통상, 덜 비싸고, 매우 가연성이 높은 순수한 실레인 보다 사용하기에 쉽기 때문에 희석된 실레인 가스가 그러한 응용에 사용된다. 그러한 순수한 실레인의 사용은 예를 들면, III족 질화물층과 SiN 층 사이의 계면에서 그리고/또는 SiN 층 내에서 불순물의 레벨을 감소시키는 것을 촉진할 수 있으며, 이것은 특정 환경에서 소자의 성능 및/또는 재현성을 향상시킬 수 있다. 특히, 더 높은 품질의 (즉, 더 순수한) SiN 층은 절연층의 몸체 내의 트랩핑을 감소시키거나 최소화하는 것을 도울 수 있으며, 이에 의하여 더 높은 항복 임계장(breakdown critical field)을 제공할 수 있다. 그러한 순수한 실레인 가스 소스가 반응기와 포함될 때, 예를 들면, n-도핑되거나 공동-도핑된 III족 질화물의 성장 동안 도편트 가스 소스로서 사용될 수 있도록 희석된 실레인 소스 가스 또한 포함하는 것이 여전히 바람직할 수 있다.

[0054] 계속하여 도 1b를 참조하면, 마스크(25)가 보호층(24) 위에 형성된다. 마스크(25)는 포토레지스트 또는 SiN 및/또는 SiO_2 와 같은 임의의 다른 적절한 마스크 물질을 포함할 수 있다. 마스크는 주입되는 이온들을 막도록 선택된 두께를 가질 수 있다. 예를 들면, 보호층(24)이 SiN을 포함할 때, 마스크(25)는 SiO_2 와 같은 산화물을 포함하거나 그 반대일 수 있다.

[0055] 보호층(24)의 표면 부분(24A)을 노출시키도록 마스크(25) 안에 윈도우가 오픈되고, 적어도 주입된 이온들의 일부가 보호층(24)을 통하여 주입되고 표면층(22) 내에 머무르도록 윈도우를 통하여 보호층(24) 안으로 불순물 이온들(27)이 주입된다. 덧붙여서, 주입된 이온들의 일부는 채널층(20) 내에 머무를 수 있다. 주입된 이온들은 보호층(24)과 채널층(20) 사이의 표면층(22) 안에서 피크 도편트 농도를 갖는 분포 프로파일을 형성할 수 있다. 그러나 주입 피크는 또한 보호층(24)과 표면층(22) 사이의 경계(29)로부터 멀리 (즉, 위나 아래로) 형성될 수 있다. 따라서, 도 1c에 도시된 바와 같이, 주입된 영역(31)은 표면층(22)을 통과하여 채널층(20)과 접촉하도록 확장되어 형성될 수 있다. 이에 더하여 일부 실시예들에서, 주입된 영역(31)은 적어도 부분적으로 보호층(24) 및/또는 채널층(20)으로 확장될 수 있다.

[0056] $1 \times 10^{18} \text{ 이온}/\text{cm}^3$ 이상의 피크 도편트 농도를 갖는 주입된 영역(31)을 제공하도록 주입 조건이 선택될 수 있다. 예를 들면, 일부 실시예들에서, 주입의 도즈 및 에너지는 주입된 영역(31)에서 약 $5 \times 10^{20} \text{ 이온}/\text{cm}^3$ 의 피크 도편트 농도를 제공하도록 선택될 수 있다. 표면층(22)의 주입된 영역(31) 전체에 걸쳐 실질적으로 균일한 농도를 갖는 주입된 도편트들의 분포를 제공하도록 주입 조건이 또한 선택될 수 있다. 이를 테면, 주입된 영역(31) 전체에 걸쳐 주입된 도편트들의 비교적 균일한 프로파일을 제공하기 위하여 주입 공정은 다중 주입 단계를 포함할 수 있다. 이와 같이, 주입된 영역(31)이 채널층(20)을 접촉하도록 주입 단계의 수는 보호층(24) 및/또는 표면층(22)의 두께에 의존할 수 있다. 예를 들면, 주입 공정은 제1 세트의 주입 조건 아래에서 수행되는 제1 주입 단계 및 제2 세트의 주입 조건 아래에서 수행되는 후속의 주입 단계를 포함할 수 있다. 그러나, 도 2와 관련하여 아래에서 논의될 바와 같이, 실질적으로 균일한 도편트 농도를 갖는 주입된 영역(31)을 제공하도록 2 이상의 주입 단계들이 수행될 수 있다.

[0057] 일부 실시예들에서, 주입은 실온에서 수행될 수 있다. 주입 에너지 및/또는 도즈는 아래에서 논의될 바와 같이 원하는 면 고유저항(sheet resistivity)을 얻고/얻거나 표면층(22)에 대한 낮은 고유저항 오믹 콘택을 제조하는

것을 허용하도록 선택될 수 있다. 질화물계 층 안에 n형 주입된 영역(31)을 형성하도록, 주입된 이온들(27)은 실리콘(Si), 황(S) 및/또는 산소(O) 이온들을 포함할 수 있다.

[0058] 주입된 영역(31)을 형성한 후에 주입은 활성화 어닐에 의하여 활성화될 수 있다. 도 1c에 보이는 바와 같이, 예를 들면, 포토레지스트 스트립 및/또는 식각 공정에 의하여 마스크(25)는 주입 활성화 어닐 전에 제거될 수 있다. 그러나, 활성화 어닐은 보호층(24)의 존재하에 수행될 수 있다. 특히, 보호층(24)은 어닐 동안 표면층(22)을 보호할 수 있다. 일부 실시예들에서, 보호층(24)은 완성된 소자에서 표면층(22)에 대한 패시베이션 층으로서 작용하도록 표면층(22) 위에 계속 남을 수 있다.

[0059] 활성화 어닐은 예를 들면, N₂ 및/또는 Ar 을 포함하는 불활성 분위기에서 수행될 수 있다. 보호층(24)이 SiN을 포함할 때, 어닐 분위기는 약 0.1mbar 에서 1000mbar 의 범위에 있는 NH₃ 부분압력을 포함할 수 있다. 더욱 특징적으로, NH₃ 은 약 10-100mbar 의 압력을 가질 수 있다. 특히, NH₃은 약 90mbar의 압력을 가질 수 있다. NH₃은 SiN 보호층(24)의 분해를 감소시키는 것을 도울 수 있다. 활성화 어닐은 주입된 도편트 이온들을 활성화하는데 충분한 온도에서 그러나 하부의 반도체층, 즉, 표면층(22)이 열화하는 온도보다 낮은 온도에서 수행될 수 있다. 고온 공정 단계 동안 보호층(24)의 존재는 보호층(24)이 없으면 고온 어닐링으로부터 기인할 수 있는 표면층(22)을 포함하는 하부의 에피택셜 층들에 대한 손상을 방지할 수 있다. 예를 들면, 표면층(22)이 AlGaN을 포함하는 경우, 활성화 어닐은 1000°C 보다 큰 온도에서 수행될 수 있다. 덧붙여, 표면층(22)이 GaN을 포함하는 경우, 보호층(24)은 표면층(22) 위의 AlGaN 층을 그리고 AlGaN 층 위의 HPN 층을 포함할 수 있다. 그러므로, 본 발명의 일부 실시예들에서, 보호층(24)은 다중-층 구조일 수 있다.

[0060] 일부 실시예들에서, 활성화 어닐은 약 1000°C 내지 약 1300°C 의 온도에서 수행될 수 있다. 활성화 어닐은 인시츄 및/또는 분리된 어닐링 챔버에서 수행될 수 있다. 어닐 온도에 따라서 활성화 어닐은 적어도 약 30초 또는 그 이상 동안 수행될 수 있다. 예를 들면, 약 1300°C 에서 급속 열적 어닐(RTA: rapid thermal anneal)은 약 30초 동안 수행될 수 있는 반면, 약 1000°C 에서 퍼니스 어닐은 약 30분 동안 수행될 수 있다. 관련된 물질의 유형에 의존하여 활성화 시간 및 온도의 특정 선택이 변할 수 있고 특정 주입 조건이 채용될 수 있다. 특정 실시예들에서, 어닐 시간은 약 30초 내지 약 30분의 범위에 있을 수 있다.

[0061] 이제 도 1d를 참조하면, 제2 마스크(35)가 보호층 위에 형성되고 주입된 영역(31) 위에 전극을 형성하기 위하여 보호층(24) 내에 윈도우가 오픈된다. 하부의 표면층(22)의 주입된 영역(31)을 노출시키기 위하여 표면층(22)에 대하여 낮은 손상을 갖는 식각을 이용하여 윈도우가 형성될 수 있다. 낮은 손상 식각 기술의 예들은 유도 커플 플라즈마(inductively coupled plasma) 또는 전자 사이클론 공명(ECR: electron cyclone resonance) 또는 플라즈마에 DC 요소가 없는 다운스트림 플라즈마 식각과 같은 반응성 이온 식각과 다른 식각 기술을 포함한다. SiO₂ 보호층(24)에 대한 낮은 손상 식각은 버퍼된 플루오르화수소 산을 사용한 습식 식각일 수 있다. 식각 정지층의 낮은 손상 제거가 뒤따르는 식각 정지층에 대한 SiN 및/또는 SiO₂의 선택적인 식각이 또한 수행될 수 있다. SiN 보호층(24)에 대하여, SiO₂이 식각 정지층으로 사용될 수 있다. 그러한 실시예들에서, 보호층(24)은 식각 정지층 뿐만 아니라 SiN 및/또는 SiO₂층을 포함할 수 있다. 그러므로 위에서 언급한 바와 같이 보호층(24)은 다중층들을 포함할 수 있다.

[0062] 도 1d에서 오믹 콘택(30)으로서 도시된 전극을 제공하기 위하여 표면층(22)의 노출된 주입된 영역(31) 위에 금속이 예를 들면, 증발(evaporation)에 의하여 증착될 수 있다. 여기에 사용된 바와 같이, "오믹 콘택"이라는 용어는 약 1Ω-mm 또는 그 아래의 콘택 저항을 갖는 비-정류 콘택(non-rectifying contact)을 지칭한다. 오믹 콘택(30)을 위한 적절한 금속은 Ti, Si, Ni, Au, Al, Ta, Mo, TiN, WSiN 및/또는 Pt를 포함할 수 있다. (도 1e에 나타난 바와 같이) 오믹 콘택을 형성하기 위하여 증착된 금속을 어닐하는 것이 원해지면, 오믹 콘택(30)이 보호층(24) 안의 윈도우보다 작게 패터닝되도록 분리된 리소그래피 단계가 수행될 수 있다. 오믹 콘택(30)의 에지는 그에 의하여 보호층(24)으로부터 떨어질 수 있다. 예를 들면, 오믹 콘택(30)의 에지는 약 0.1 내지 약 0.2 μm 의 범위 내의 거리만큼 보호층(24)으로부터 떨어질 수 있다. 오믹 콘택(30)은 오믹 콘택 금속의 형성과 패터닝에서 오정렬 인내(tolerance)를 허용하도록 충분히 큰 거리만큼 보호층(24)으로부터 떨어질 수 있다. 오믹 콘택 금속이 보호층(24)과 접촉하면, 후속의 가열 단계 동안에 보호층(24)으로 금속이 확산될 수 있으며, 이것은 후속하여 형성되는 전극(32)과 오믹 콘택(30) 사이에 단락을 일으킬 수 있다. 오믹 콘택(30)과 보호층(24) 사이의 캡은 보호층(24)의 보호 목적을 손상시킬 정도로 (그에 의하여 소자의 성능을 실질적으로 열화시킬 정도로) 커서는 안되지만 오믹 물질이 보호층(24)에 임의적으로 접촉할 위험이 있을 정도로 작아서는 안된다. 그러므로, 예를 들면, 본 발명의 특정 실시예들에서, 오믹 콘택(30)과 보호층(24)의 에지 사이의 캡은 약 0.1μm

에서 $0.5\mu\text{m}$ 일 수 있다.

[0063] 일부 실시예들에서, 증착된 금속은 오믹 콘택(30)을 제공하도록 비교적 고온에서 어닐될 수 있다. 예를 들면, 어닐은 N₂ 또는 Ar 과 같은 불활성 가스의 분위기에서 약 900°C 보다 높은 온도에서의 어닐일 수 있다. 오믹 콘택 어닐의 사용을 통하여, 오믹 콘택(30)의 저항은 비교적 고저항으로부터 약 1 Ω-mm 이하로 감소될 수 있다. 주입 활성화 어닐과 마찬가지로 고온 공정 단계 동안 보호층(24)의 존재는 그런 단계에 의하여 보호층(24)이 없었으면 야기될 수 있는 표면층(22)에 대한 손상을 방지할 수 있다. 그러므로, 예를 들면, 고온 오믹 콘택 어닐 후에 전극(32)이 형성될 수 있는 영역(21)의 면저항은 성장된 채의 영역(21) (즉, 콘택 어닐 전)의 면저항과 실질적으로 같을 수 있다.

[0064] 그러나 위에 제공된 바와 같이 표면층(22) 내에 주입된 영역(31)의 존재에 기인하여 그 위에 오믹 콘택을 형성하기 위하여 증착된 금속을 어닐할 필요가 없을 수 있음이 이해될 것이다. 즉, 금속은 증착될 때 오믹일 수 있다. 콘택 어닐이 요구되지 않을 수 있으므로, 오믹 콘택(30)이 표면층(22)에 접촉하는 것이 수용할 만 할 수 있다. 그러므로 본 발명의 일부 실시예들에서, 오믹 콘택(30)이 보호층(24)으로부터 간격을 두고 떨어지는 것을 보장하기 위하여 그렇지 않으면 요구될 수 있는 리소그래피 단계가 표면층(22)으로의 불순물의 주입의 결과로서 회피될 수 있다.

[0065] 덧붙여서, 오믹 콘택(30)이 주입된 영역(31) 위에 형성되므로, 오믹 콘택(30)은 주입되지 않은 영역 위에 형성되는 오믹 콘택보다 더 낮은 고유저항(resistivity)을 가질 수 있다. 그러므로, 본 발명의 일부 실시예들에 따라 형성된 소자들의 온-저항은 감소될 수 있다.

[0066] 도 1e는 표면층(22)의 영역(21) 위의 전극(32)의 형성을 도시한다. 오믹 콘택(30)과 보호층(24) 위에 마스크(미도시)가 형성되고 보호층(24)의 일부를 노출시키는 윈도우를 형성하도록 패터닝된다. 그 후 표면층(22)의 영역(21)을 노출시키도록 보호층(24)을 관통하여 리세스 또는 개구부가 형성된다. 리세스는 위에서 기술된 바와 같이 저손상 식각 공정을 사용하여 형성된다. 오믹 콘택(30)이 소스/드레인 콘택을 제공하는 특정 실시예들에서 리세스, 그러니까 상기 리세스에 형성될 게이트 콘택(32)이 드레인 콘택보다는 소스 콘택에 더 가깝도록 리세스가 소스와 드레인 콘택 사이에서 오프셋될 수 있다.

[0067] 도 1e에 보이는 바와 같이, 전극(32)이 리세스 내에 형성되고 표면층(22)의 노출된 영역(21)을 접촉한다. 예를 들면, 오믹 콘택(30)이 소스/드레인 영역인 경우, 전극(32)은 HEMT 소자를 제공하기 위하여 "T" 게이트가 될 수 있고, 일반적인 제조 기술을 사용하여 제조될 수 있다. 선택적으로, 오믹 콘택(30)이 캐소드 콘택인 경우, 쇼트키 다이오드를 제공하도록 전극(32)은 애노드 콘택일 수 있다. 적절한 전극 물질은 표면층(22)의 조성에 의존할 수 있다; 그러나, 일부 실시예들에서, 질화물계 반도체 물질에 쇼트키 콘택을 형성할 수 있는 Ni, Pt, NiSi_x, Cu, Pd, Cr, W 및/또는 WSiN 과 같은 일반적인 물질이 사용될 수 있다. 비록 바람직하지는 않지만, 예를 들면, 저-손상 식각의 비등방성의 결과로서 보호층(24)과 전극(32) 사이에 작은 갭이 생길 수 있고, 이것은 보호층(24)과 전극(32) 사이에서 표면층(22)의 노출된 영역을 만들 수 있다.

[0068] 오믹 콘택(30)이 캐소드 콘택인 일부 실시예들에서, 애노드 콘택(32)과 표면층(22)의 주입된 영역(31) 사이의 측방향 거리(Δ_1)가 애노드 콘택(32)과 캐소드 콘택(30) 사이의 측방향 거리(Δ_c)보다 작도록 표면층(22)의 주입되지 않은 부분 위의 애노드 콘택으로서 전극(32)이 형성될 수 있다. 예를 들면, 애노드 콘택(32)과 주입된 영역(31) 사이의 측방향 거리(Δ_1)가 약 1 마이크론(μm) 보다 적을 수 있다. 따라서, 애노드(32)에 더 가까운 주입된 영역(31)을 제공함에 의하여 금속-반도체 다이오드의 직렬 저항이 감소될 수 있다. 덧붙여서, 주입된 영역(31)에 의하여 제공되는 감소된 콘택 저항에 기인하여 다이오드의 직렬 저항을 증가시키지 않으면서 캐소드(30)는 애노드(32)로부터 더 떨어져서 형성될 수 있다.

[0069] 유사하게, 오믹 콘택(30)이 HEMT 소자에서 소스/드레인 콘택인 경우에, 감소된 콘택 저항은 소자의 온-저항을 증가시키지 않으면서 드레인-소스 간격을 증가시킬 수 있다. 이것은 예를 들면, RF 전력 스위치, 리미터(limiter) 및 캐스코드 셀(cascode cell)을 포함하여, 낮은 온-저항을 요구하는 다른 응용 제품들 뿐만 아니라 mm-과장 주파수에서 전력 증폭기의 성능을 향상시키는 것을 도울 수 있다.

[0070] 일부 실시예들에서, 오믹 콘택(30)이 어닐될 필요가 없을 수 있으므로, 단일의 금속화 단계에서 동일한 금속을 사용하여 오믹 콘택(30) 및 전극(32)을 형성하는 것이 가능할 수 있다. 예를 들면, Ti, Si, Ni, Au, Al, Ta, Mo, TiN, WSiN, 및/또는 Pt가 주입된 영역(31)으로부터 간격을 두고 떨어진 표면층(22)의 주입되지 않은 영역(21) 위의 비-오믹 콘택(32)을 형성하면서 표면층(22)의 주입된 영역(31) 위에 증착된 상태로의 오믹 콘택을 형

성할 수 있다.

[0071] 도 1f는 패시베이션층(34)의 형성을 도시한다. 패시베이션층은 도 1e의 구조 위에 증착된 블랭킷일 수 있다. 특정 실시예들에서, 패시베이션층(34)은 보호층(24)과 오믹 콘택(30) 사이의 캡, 또한 보호층(24)과 게이트 콘택(32) 사이의 캡들을, 그러한 캡이 존재한다면, 실질적으로 채우도록 증착된다. 본 발명의 일부 실시예들에서, 패시베이션층(34)은 실리콘 질화물, 알루미늄 질화물, 실리콘 이산화물 및/또는 산화질화물일 수 있다. 더욱더, 패시베이션층(34)은 균일 및/또는 비균일 조성의 단일 또는 다중층일 수 있다.

[0072] 도 2는 n- GaN 표면층과 n+ GaN 채널층 위의 HPN 보호층을 포함하는 구조로 주입된 실리콘 이온들의 가능한 불순물 프로파일에 대한 시뮬레이션 결과를 도시하는 그래프이다. 도 2의 시뮬레이션 결과에 보이는 바와 같이, 실질적으로 균일한 도편트 농도를 제공하기 위하여 다른 세트의 주입 조건 아래 세 주입 단계에서 구조로 실리콘 이온들이 주입된다. 더욱 특별하게, 시뮬레이션 결과는 약 160keV의 주입 에너지에서 약 0.5×10^{15} 내지 약 2.5×10^{15} 이온/cm²의 도즈에서 제1 주입 단계에서, 약 260keV의 주입 에너지에서 약 0.8×10^{15} 내지 약 5×10^{15} 이온/cm²의 도즈에서 제2 주입 단계에서, 약 360keV의 주입 에너지에서 약 0.5×10^{15} 내지 약 3.7×10^{15} 이온/cm²의 도즈에서 제3 주입 단계에서 주입된 실리콘 이온들을 도시한다. 시뮬레이션 결과에 따르면, 위에서 기술된 3 단계 주입 공정은 약 5×10^{20} 이온/cm³ 의 피크 농도를 갖는 실질적으로 균일한 도편트 농도를 갖는 주입된 영역을 낳으며, 이것은 일부 응용제품을 위하여 바람직할 수 있다. 그러나 채널층과 접촉하는 주입된 영역을 제공하기 위하여 주입 단계의 수는 보호층 및/또는 표면층의 두께에 의존할 수 있다. 그러므로 에너지, 도즈 및/또는 다른 주입 조건들의 조합은 주어진 구조에 대하여 최적화될 수 있고, 여기에 기술된 그러한 조합에 한정되지 않는다.

[0073] 특정한 다이오드 및 HEMT 구조와 관련하여 본 발명의 실시예들이 여기에서 기술되었지만, 본 발명은 그러한 구조들에 제한되는 것으로 해석되서는 안된다. 예를 들면, 본 발명의 가르침으로부터 여전히 이익을 얻으면서 부가적인 층들이 HEMT 소자 내에 포함될 수 있다. 그러한 부가적인 층들은, 예를 들면, 그 기재 내용이 여기에서 상세하게 기재된 것처럼 참조에 의하여 여기에 통합되는, Yu 등의 "Schottky barrier engineering in III-V nitrides via the piezoelectric effect," Applied Physics Letters, Vol. 73, No. 13, 1998 또는 "ALUMINUM GALLIUM NITRIDE/GALLIUM NITRIDE HIGH ELECTRON MOBILITY TRANSISTORS HAVING A GATE CONTACT ON A GALLIUM NITRIDE BASED CAP SEGMENT AND METHODS OF FABRICATING SAME,"에 대한 미국 특허 공개 2002/0066908A1에 기술된 GaN 캡층을 포함할 수 있다. 일부 실시예들에서, MISHEMT를 만들기 위하여 및/또는 표면을 패시베이트하기 위하여 SiN 또는 비교적 높은 품질의 AlN과 같은 절연층들이 증착될 수 있다. 부가적인 층들은 또한 조성적으로 구배된(graded) 전이 층 또는 층들을 포함할 수 있다.

[0074] 더욱이, 표면층(22)은 또한 그 기재 내용이 여기에서 상세하게 기재된 것처럼 참조에 의하여 여기에 통합되는, "GROUP-III NITRIDE BASED HIGH ELECTRON MOBILITY TRANSISTOR (HEMT) WITH BARRIER/SPACER LAYER"라는 제목의 Smorchkova의 미국 특허 공개 2002/0167023A1에 기술된 바와 같은 다중층들과 같이 제공될 수 있다. 그러므로 본 발명의 실시예들은 표면/장벽층을 단일층으로 제한하는 것으로 해석되서는 안되며, 예를 들면, GaN, AlGaN 및/또는 AlN의 조합 층들을 갖는 절연층들을 포함할 수 있다. 예를 들면, GaN, AlN 구조는 합금 산란을 감소하거나 방지하기 위하여 사용될 수 있다. 그러므로, 본 발명의 실시예들은 AlGaN-계 장벽층들, AlN-계 장벽층들 및/또는 이들의 조합과 같은 질화물계 표면층들을 포함할 수 있다.

[0075] 비록 여기에서 주로 측면 쇼트키 다이오드 및 HEMT 구조와 관련하여 기술되었으나, 본 발명의 실시예들은 또한 다른 유형의 소자들 및/또는 물질들과 연관되어 채용될 수 있다. 예를 들면, 본 발명의 실시예들은 그 기재 내용이 전체로서 참조에 의하여 여기에 통합되는, "SILICON CARBIDE METAL-SEMICONDUCTOR FIELD EFFECT TRANSISTORS"라는 제목의 미국 특허 6,686,616에 기술된 소자들과 같은 실리콘 탄화물 MESFET 소자에 특히 적절할 수 있다. 마찬가지로, 본 발명의 일부 실시예들은 GaN계 발광 소자(LED), GaAs/AlGaAs pHEMT 소자들과 같은 GaAs계 소자들, GaN JFET 소자들, GaN HJFET 소자들, 에미터를 통하여 주입된 베이스 콘택을 포함하는 이종접합 쌍극성 트랜지스터(HBT), 성장된 상태로의 표면 특성의 보존이 바람직할 수 있는 광-전자 또는 전자 III 족-질화물 소자들에 유리하게 채용될 수 있다.

[0076] 도면과 발명의 상세한 설명에서, 발명의 전형적인 실시예들이 기술되었고, 비록 특정 용어들이 사용되었으나, 이들은 일반적이고 기술적인 의미에서만 사용되었으며 제한의 목적을 갖는 것은 아니다.

산업상 이용 가능성

[0077]

본 발명은 고전력, 고온 및/또는 고주파수 응용을 위하여 응용될 수 있다.

도면의 간단한 설명

[0020]

본 발명의 더 깊은 이해를 제공하기 위하여 포함되어 본 출원에 통합되고 본 출원의 일부를 구성하는 수반된 도면들은 발명의 특정 실시예들을 도시한다.

[0021]

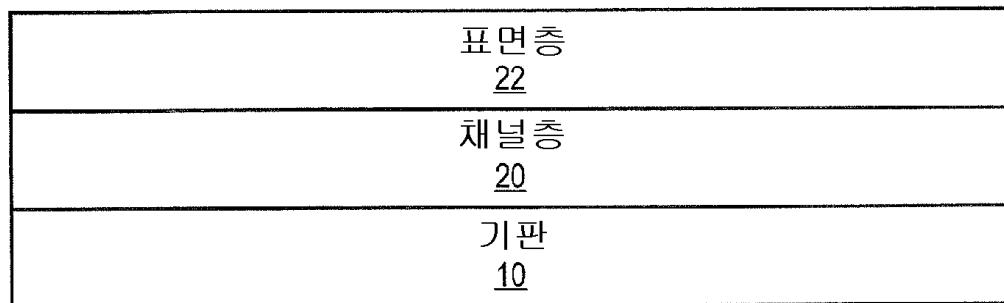
도 1a 내지 도 1f는 본 발명의 실시예들에 따른 반도체 소자의 제조를 도시한 단면도들이다.

[0022]

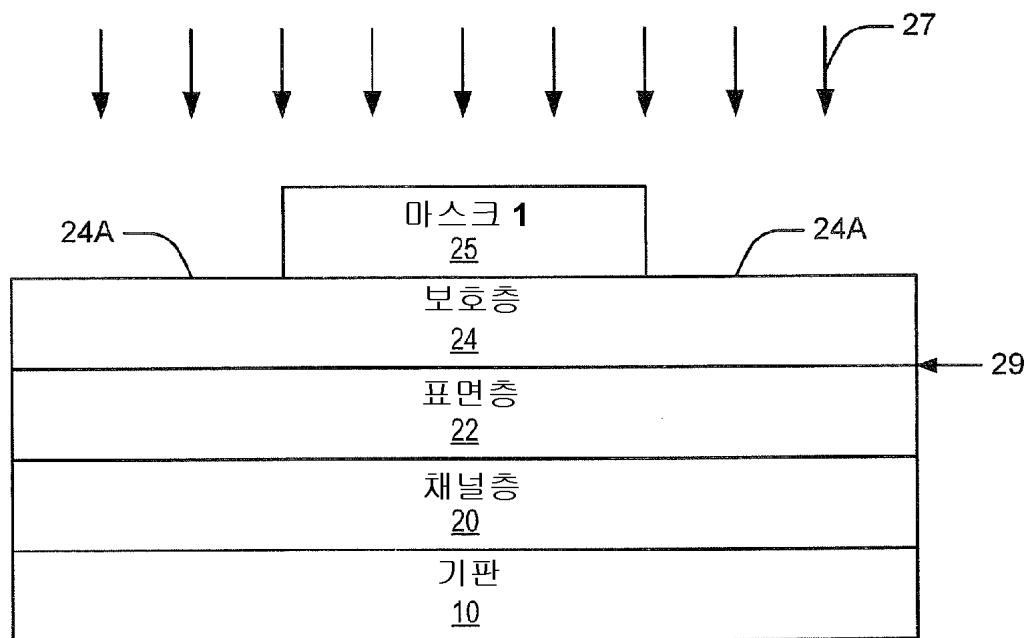
도 2는 본 발명의 실시예들에 따른 갈륨 질화물 구조로 실리콘을 주입한 시뮬레이션 결과를 도시한 그래프이다.

도면

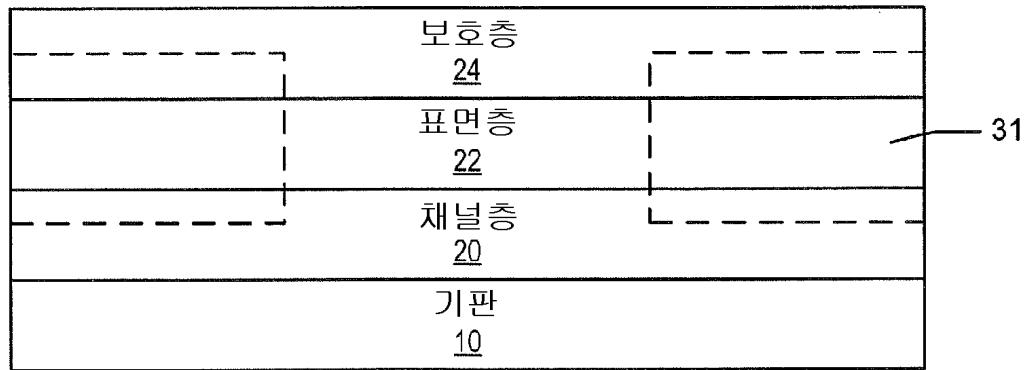
도면1a



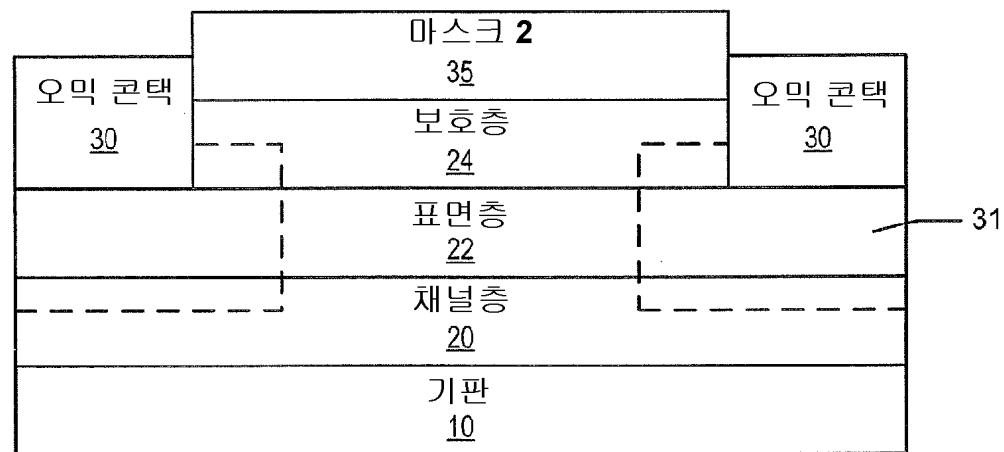
도면1b



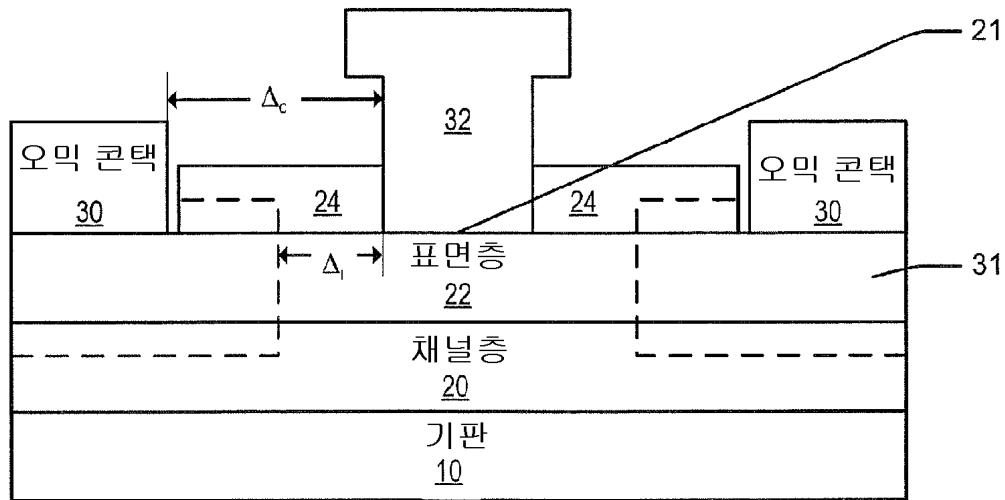
도면1c



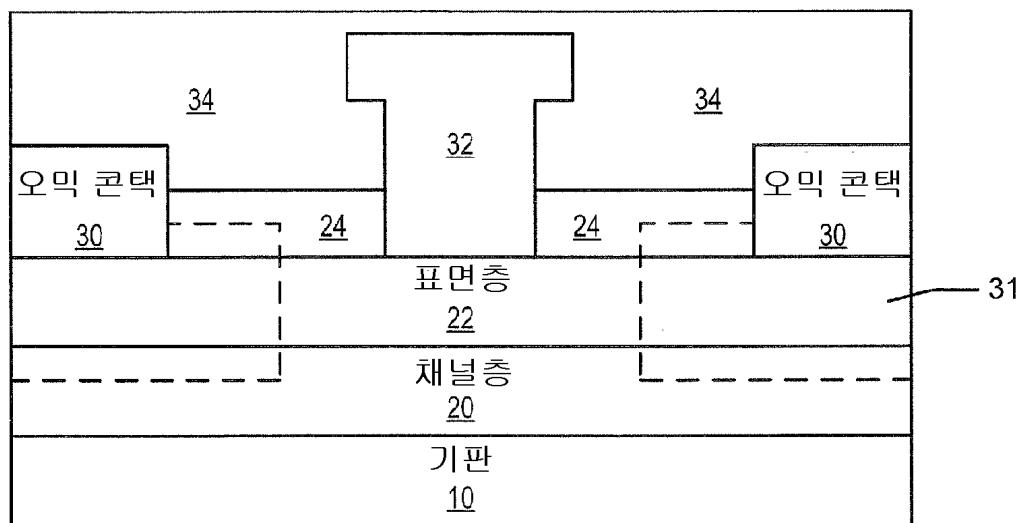
도면1d



도면1e



도면1f



도면2

