



(12)发明专利

(10)授权公告号 CN 102446484 B

(45)授权公告日 2016.08.17

(21)申请号 201110292839.3

(22)申请日 2011.09.30

(30)优先权数据

2010-224816 2010.10.04 JP

(73)专利权人 拉碧斯半导体株式会社

地址 日本神奈川县横滨市

(72)发明人 富田敬

(74)专利代理机构 中国专利代理(香港)有限公司 72001

代理人 李浩 王忠忠

(51)Int.Cl.

G09G 3/20(2006.01)

G09G 3/36(2006.01)

审查员 陈相南

权利要求书2页 说明书10页 附图11页

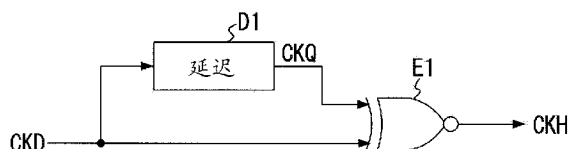
(54)发明名称

显示面板驱动装置

(57)摘要

本发明的目的在于提供一种显示面板驱动装置,不会导致功耗增加及成本增加,能够经由承担显示面板驱动的多个驱动器芯片的每一个向各驱动器芯片提供占空比稳定的时钟信号。在本发明中,在将信号线驱动器分割成分别由时钟线级联连接的多个驱动器芯片来构筑时,在各驱动器芯片中设置如下时钟送出部,其中,在该信号线驱动器中,以对应于时钟信号的时序向显示面板的信号线分别施加基于输入影像信号的像素驱动电压。时钟送出部在将经时钟线提供的时钟信号的周期分频为1/2的分频时钟信号与使该分频时钟信号延迟了规定的延迟时间的延迟分频时钟信号的逻辑电平彼此相同的期间中,将具有第1电平的整形时钟信号送出到下一级驱动器芯片,在彼此不同的情况下,将具有第2电平的整形时钟信号送出到下一级驱动器芯片。

C18



1. 一种显示面板驱动装置,具有信号线驱动器,向在多个扫描线与多个信号线的各交叉部具有像素部的显示面板的所述信号线分别施加基于输入影像信号的像素驱动电压,其特征在于,

所述信号线驱动器由多个驱动器芯片构成,该多个驱动器芯片对应于将所述信号线分别分群为多个信号线群后的信号线群的每一个,且分别由时钟线级联连接,

所述驱动器芯片分别包含:像素驱动电压生成部,以对应于经所述时钟线提供的时钟信号的时序,向属于所述信号线群的信号线分别施加所述像素驱动电压;以及时钟送出部,经所述时钟线,将经所述时钟线提供的时钟信号送出到下一级驱动器芯片,

所述时钟送出部具有:

1/2分频电路,生成将提供的所述时钟信号的周期分频为1/2的分频时钟信号;

延迟电路,生成使所述分频时钟信号延迟了规定的延迟时间的延迟分频时钟信号;以及

异或非门,在所述延迟分频时钟信号与所述分频时钟信号的逻辑电平彼此相同的期间中,生成具有第一电平的整形时钟信号,在彼此不同的情况下,生成具有第二电平的整形时钟信号,并经所述时钟线送出到下一级的所述驱动器芯片,

所述延迟电路由分别连接成纵列的多个反相器构成,

所述反相器分别具有:

一对第一FET,一方的漏极与另一方的源极在第一连接点彼此连接,且各自的栅极彼此在输入点被连接,向所述一方的源极施加第一电位,在所述另一方的漏极连接有输出点,彼此具有第一导电型的沟道;

一对第二FET,一方的漏极与另一方的源极在第二连接点彼此连接,且各自的栅极彼此在所述输入点彼此连接,向所述一方的源极施加第二电位,在所述另一方的漏极连接有输出点,彼此具有第二导电型的沟道;

第一附加FET,在所述输出点为所述第二电位的状态的情况下,向所述第一连接点施加所述第二电位;以及

第二附加FET,在所述输出点为所述第一电位的状态的情况下,向所述第二连接点施加所述第一电位,

经第一电阻向所述第一FET中的所述一方的源极施加所述第一电位;

经第二电阻向所述第二FET中的所述一方的源极施加所述第二电位,

还具有:

第三附加FET,向所述第一附加FET提供所述第二电位;

第四附加FET,向源极施加所述第一电位,将漏极连接到所述第三附加FET的栅极;

第五附加FET,向源极施加所述第二电位,将栅极及漏极均连接到所述第四附加FET的栅极;

第六附加FET,向所述第二附加FET提供所述第一电位;

第七附加FET,向源极施加所述第二电位,将漏极连接到所述第六附加FET的栅极;以及

第八附加FET,向源极施加所述第一电位,将栅极及漏极均连接到所述第七附加FET的栅极。

2. 根据权利要求1所述的显示面板驱动装置,其特征在于,

所述规定的延迟时间为所述时钟信号中的时钟周期的30~70%的时间。

显示面板驱动装置

技术领域

[0001] 本发明涉及一种驱动显示面板的显示面板驱动装置。

背景技术

[0002] 在搭载了液晶显示面板作为显示面板的液晶显示装置中,与包含多个扫描线、与扫描线分别交叉的多个信号线、以及形成于扫描线及信号线的交叉部的像素部的液晶显示面板一起,设置了显示面板驱动装置,该显示面板驱动装置包含:向多个扫描线分别提供选择信号的扫描线驱动器、以及向多个信号线分别提供像素数据信号的信号线驱动器。

[0003] 目前已知将这种信号线驱动器分别分割成由半导体IC(integrated circuit:集成电路)芯片构成的多个驱动器IC后构筑而成(例如,参照专利文献1的图2)。这些驱动器IC通过沿各驱动器IC形成的电源线、以及共同连接到电源线上且形成在各驱动器IC间的传递布线10被级联连接。传递布线10用于经由各驱动器IC来传送像素数据信号、时钟信号和各种控制信号。各驱动器IC(例如,参照专利文献1的图3)与经传递布线10中的时钟线CLK和缓冲器4提供的时钟信号同步地,取入像素数据信号,并提供给控制逻辑块CT。控制逻辑块CT将对应于该像素数据信号的驱动电压提供给液晶面板的信号线。

[0004] 这里,在各驱动器IC内,经缓冲器4提供的时钟信号经缓冲器8及时钟线CLK提供给下一级驱动器IC。即,该下一级驱动器IC中,经缓冲器4取入从前一级驱动器IC经时钟线CLK提供的时钟信号,再经缓冲器8及时钟线CLK,将其提供给下一级驱动器IC。

[0005] 如上所述,若通过级联连接多个驱动器IC来经由各驱动器IC传送时钟信号,则时钟信号的占空比将缓慢变化。因此,担心前一级驱动器IC与后一级驱动器IC中时钟信号的占空比会不同。

[0006] 因此,在各驱动器IC中,为了在使时钟信号的占空比维持恒定的状态下传递到下一级驱动器IC,而设置了占空因数调整器(参照专利文献1的图3)。作为这种占空因数调整器,提出使用了PLL(Phase-locked loop:锁相环)电路(参照专利文献1的图4)、DLL(delay Locked Loop:延迟锁定环)电路的占空因数调整器(参照专利文献1的图7)。根据搭载了PLL电路及DLL电路的占空因数调整器,按照每个驱动器IC将对从前一级驱动器IC提供的时钟信号实施了波形整形处理后的信号送出到下一级驱动器IC。从而,能够在全部驱动器IC中使时钟信号的占空比维持恒定。

[0007] 但是,因为PLL电路或DLL电路的电路规模大,所以产生导致功耗增加及成本高的问题。

[0008] 专利文献1:特开昭63-226110号。

发明内容

[0009] 本发明为了解决上述问题而做出,其目的在于提供一种显示面板驱动装置,不会导致功耗增加及成本增加,能够经由承担显示面板驱动的多个驱动器芯片的每一个向各驱动器芯片提供占空比稳定的时钟信号。

[0010] 本发明的显示面板驱动装置具有信号线驱动器,向在多个扫描线与多个信号线的各交叉部具有像素部的显示面板的各所述信号线分别施加基于输入影像信号的像素驱动电压,其中,所述信号线驱动器由多个驱动器芯片构成,该多个驱动器芯片对应于将所述信号线分别分群为多个信号线群后的信号线群的每一个,且分别由时钟线级联连接,所述半导体芯片分别包含:像素驱动电压生成部,以对应于经所述时钟线提供的时钟信号的时序,向属于所述信号线群的信号线分别施加所述像素驱动电压;和时钟送出部,经所述时钟线,将经所述时钟线提供的时钟信号送出到下一级半导体芯片,所述时钟送出部具有:1/2分频电路,生成将提供的所述时钟信号的周期分频为1/2的分频时钟信号;延迟电路,生成使所述分频时钟信号延迟了规定延迟时间的延迟分频时钟信号;以及异或非门,在所述延迟分频时钟信号与所述分频时钟信号的逻辑电平彼此相同的期间中,生成具有第1电平的整形时钟信号,在彼此不同的情况下,生成具有第2电平的整形时钟信号,并经所述时钟线送出到下一级的所述半导体芯片。

[0011] 发明效果

[0012] 在本发明中,在分别级联连接的多个驱动器芯片的每一个中,将对提供的时钟信号实施如下波形整形处理后的信号送出到下一级驱动器芯片。即,在将提供的时钟信号的周期分频为1/2的分频时钟信号与使该分频时钟信号延迟了规定的延迟时间后的延迟分频时钟信号的逻辑电平相同的期间中,生成具有第1电平的时钟信号,在不同的情况下,生成具有第2电平的时钟信号,并将其送出到下一级驱动器芯片。由此,对提供的时钟信号实施彼此相邻的边沿部分之间的间隔被上述规定的延迟时间固定这一波形整形处理,将由该波形整形处理得到的整形时钟信号送出到下一级驱动器芯片。

[0013] 从而,根据本发明的显示面板驱动装置,即便各驱动器芯片内产生时钟信号的占空比变动,该变动量也不会反映到送出到后一级侧的驱动器芯片的时钟信号上。因此,能够利用前一级侧的驱动器芯片与后一级侧的驱动器芯片使提供的时钟信号的边沿时序相一致。

[0014] 并且,在本发明中,这种波形整形处理由将时钟信号的周期分频为1/2的分频电路、使分频时钟信号延迟了规定的延迟时间的延迟电路、以及在两个电路的输出信号的逻辑电平彼此相同的期间中生成逻辑电平1的时钟信号、在彼此不同的期间中生成逻辑电平0的时钟信号的异或非门实现。从而,与使用PLL电路或DLL电路依次调整时钟信号的占空比相比,能够使电路规模小规模化,故可抑制功耗的增加及成本增加。

附图说明

[0015] 图1是表示搭载有液晶显示面板作为显示面板的液晶显示装置的示意结构的框图。

[0016] 图2是表示信号线驱动器4的内部结构的框图。

[0017] 图3是表示时钟送出电路40的内部结构的框图。

[0018] 图4是表示1/2分频电路C17及时钟生成电路C18的动作的时间图。

[0019] 图5是表示时钟生成电路C18的内部结构的框图。

[0020] 图6是表示半导体IC芯片IC1~IC4向各个时钟线CL₁~CL₄送出的时钟信号CLK的时序的时间图。

- [0021] 图7是表示延迟电路的内部结构的一例的框图。
- [0022] 图8是表示延迟电路中包含的反相器单体的延迟特性的时间图。
- [0023] 图9是表示延迟电路的延迟动作的时间图。
- [0024] 图10是表示每个环境温度(高温、低温)的反相器单体的延迟特性的时间图。
- [0025] 图11是表示延迟电路D1的内部结构的另一例的框图。
- [0026] 图12是表示延迟电路D1的内部结构的再一例的框图。
- [0027] 符号说明
- [0028] 4 信号线驱动器
- [0029] 40 时钟送出电路
- [0030] C17 1/2分频电路
- [0031] C18 时钟生成电路
- [0032] D1 延迟电路
- [0033] E1 异或非门。

具体实施方式

[0034] 在本发明的显示面板驱动装置中,在将信号线驱动器分割成分别由时钟线级联连接的多个驱动器芯片来构筑时,在各驱动器芯片中设置如下时钟送出部,其中在该信号线驱动器中,以对应于时钟信号的时序向显示面板的信号线分别施加基于输入影像信号的像素驱动电压。时钟送出部在将经时钟线提供的时钟信号的周期分频为1/2的分频时钟信号与使该分频时钟信号延迟了规定的延迟时间的延迟分频时钟信号的逻辑电平彼此相同的期间中,将具有第1电平的整形时钟信号送出到下一级驱动器芯片,在彼此不同的情况下,将具有第2电平的整形时钟信号送出到下一级驱动器芯片。

实施例

[0035] 图1是表示搭载有液晶显示面板作为显示面板的液晶显示装置的示意结构的框图。

[0036] 图1中,液晶显示面板1具有多个扫描线 $S_1 \sim S_n$ (n 为2以上的整数)、与扫描线 $S_1 \sim S_n$ 分别交叉的多个信号线 $A_1 \sim A_m$ (m 为2以上的整数)、以及形成于扫描线及信号线的各交叉部的像素部。控制器2将对应于输入影像信号的扫描线控制信号提供给扫描线驱动器3。控制器2还将基于输入影像信号的每个像素的例如8位的像素数据信号经数据线DL提供给信号线驱动器4,并将用于使该像素数据信号锁存的时钟信号CLK经时钟线CL提供给信号线驱动器4。

[0037] 扫描线驱动器3对应于从控制器2提供的扫描线控制信号,向形成在液晶显示面板1中的扫描线 $S_1 \sim S_n$ 分别依次提供扫描线选择信号。

[0038] 信号线驱动器4对应于从控制器2提供的时钟信号CLK,取入上述像素数据信号,根据这种像素数据信号,生成每个像素的像素驱动电压,并施加在液晶显示面板1的信号线 $A_1 \sim A_m$ 的每一个上。

[0039] 图2是表示信号线驱动器4的内部结构的框图。

[0040] 如图2所示,信号线驱动器4由5个半导体IC驱动器芯片IC1~IC5(下面简称为驱动

器芯片IC1~IC5)构成,这5个驱动器芯片分别承担对将液晶显示面板1的信号线A1~A_m分为5份而成的第1~第5信号线群的每一个信号线群进行驱动。

[0041] 驱动器芯片IC1~IC5具有相同的内部结构,分别包含时钟送出电路40、锁存电路41、42及驱动电压生成电路43。

[0042] 锁存电路41与从时钟送出电路40提供的时钟信号同步地取入经数据线DL提供的像素数据信号,将该信号提供给锁存电路42及像素驱动电压生成电路43。锁存电路42与从时钟送出电路40提供的时钟信号同步地取入从锁存电路41提供的像素数据信号,经数据线DL将该信号提供给下一级驱动器芯片。

[0043] 像素驱动电压生成电路43根据从锁存电路41提供的像素数据信号,生成分别对应于该驱动器芯片所承担的(m/5)个信号线的像素驱动电压,并施加在这些信号线的每一个上。

[0044] 时钟送出电路40将经时钟线CL提供的时钟信号CLK提供给锁存电路41及42,并将实施了波形整形处理(如后所述)以使这种时钟信号CLK的占空比为规定占空比的信号经时钟线CL送出到下一级驱动器芯片。即,在图2所示一个实例中,驱动器芯片IC1的时钟送出电路40将对从控制器2提供的时钟信号CLK实施了波形整形处理后的信号经时钟线CL₁送出到下一级驱动器芯片IC2。驱动器芯片IC2的时钟送出电路40将对这种经时钟线CL₁提供的时钟信号CLK实施了波形整形处理后的信号经时钟线CL₂送出到下一级驱动器芯片IC3。驱动器芯片IC3的时钟送出电路40将对经时钟线CL₂提供的时钟信号CLK实施了波形整形处理后的信号经时钟线CL₃送出到下一级驱动器芯片IC4。驱动器芯片IC4的时钟送出电路40将对经时钟线CL₃提供的时钟信号CLK实施了波形整形处理后的信号经时钟线CL₄送出到下一级驱动器芯片IC5。

[0045] 图3是表示时钟送出电路40的内部结构的框图。

[0046] 如图3所示,时钟送出电路40具有输入缓冲器C11、输出缓冲器C12、反相器C13、C14、1/2分频电路C17及时钟生成电路C18。

[0047] 输入缓冲器C11将经时钟线CL提供的时钟信号CLK提供给反相器C13,并提供给上述各个锁存电路41及42。反相器C13将使这种时钟信号CLK的逻辑电平反转后的反转时钟信号提供给反相器C14。反相器C14将使该反转时钟信号的逻辑电平反转后的信号作为时钟信号CK提供给1/2分频电路C17。

[0048] 1/2分频电路C17将这种时钟信号CK的频率分频为1/2后的图4所示1/2分频时钟信号CKD提供给时钟生成电路C18。

[0049] 图5是表示时钟生成电路C18的内部结构的框图。

[0050] 如图5所示,时钟生成电路C18由延迟电路D1及异或非门E1构成。

[0051] 延迟电路D1将如下信号作为延迟分频时钟信号CKQ,提供给异或非门E1,该信号是使1/2分频电路C17所提供的1/2分频时钟信号CKD如图4所示延迟了规定的延迟时间DLY后的信号。另外,延迟时间DLY例如是时钟信号CLK中的时钟周期T的30~70%的时间。异或非门E1如图4所示,在上述1/2分频时钟信号CKD与延迟分频时钟信号CKQ的逻辑电平彼此相同的期间中,生成逻辑电平1的信号,作为整形时钟信号CKH,在两者的逻辑电平彼此不同的情况下,生成逻辑电平0的信号,作为整形时钟信号CKH。

[0052] 利用这种结构,时钟生成电路C18如图4所示,生成1/2分频时钟信号CKD的2倍频

率,即与时钟信号CK或CLK相同频率的时钟信号,并作为整形时钟信号CKH。

[0053] 此时,时钟生成电路C18如图4所示,利用延迟电路D1的延迟时间DLY,确定整形时钟信号CKH中彼此相邻的边沿部分(从逻辑电平1迁移到0或从0迁移到1的部分)之间的间隔。总之,整形时钟信号CKH的占空比由延迟电路D1的延迟时间DLY强制固定。

[0054] 时钟生成电路C18将上述整形时钟信号CKH提供给上述输出缓冲器C12。

[0055] 输出缓冲器C12将从时钟生成电路C18提供的整形时钟信号CKH设为时钟信号CLK,将其经时钟线CL送出到下一级驱动器芯片IC。

[0056] 下面,说明上述结构的作用。

[0057] 分别搭载于驱动器芯片IC1~IC5上的时钟送出电路40将经时钟线CL从前一级驱动器芯片IC或控制器2提供的时钟信号CLK提供给内部的锁存电路41及42。此时,担心伴随着驱动器芯片IC内的时钟布线的容量及锁存电路41及42的动作等,时钟信号CLK的占空比发生变动。由此,例如,驱动器芯片IC1~IC5中分别产生:在时钟信号CLK中,逻辑电平0的期间增加这一占空比变动,则越是后一级驱动器芯片,其变动量的累积就越大。由此,前一级侧驱动器芯片IC1中使用的时钟信号CLK的上升沿边沿时序与后一级侧驱动器芯片IC5中使用的时钟信号CLK的上升沿边沿时序中会产生大幅度的偏移。

[0058] 因此,时钟送出电路40利用1/2分频电路C17及时钟生成电路C18,将根据延迟电路D1的延迟时间对从前一级驱动器芯片IC或控制器2提供的时钟信号CLK的占空比进行了DLY固定化后的信号送出到下一级驱动器芯片IC。

[0059] 由此,根据时钟送出电路40,从驱动器芯片IC1~IC5分别送出的时钟信号CLK的占空比全部如图6所示,为基于延迟电路D1的延迟时间DLY的规定的占空比。因此,即便如图2所示将时钟信号CLK通过级联连接分别提供给驱动器芯片IC1~IC5,各驱动器芯片内产生的时钟信号CLK的占空比的变动量也不会后一级侧驱动器芯片中累积。即,能够使分别提供给前一级侧驱动器芯片及后一级侧驱动器芯片的时钟信号CLK的边沿时序相一致。

[0060] 并且,时钟送出电路40利用图3及图5所示的简单结构将时钟信号CLK送出到下一级驱动器芯片时,对每个驱动器芯片强制固定其占空比。因而,与使用PLL电路或DLL电路依次调整其占空比相比,能够使电路规模小规模化,故能够抑制功耗的增加及成本增加。

[0061] 另外,延迟电路D1的延迟时间DLY伴随着制造上的偏差、电源电压的变动或环境温度的变化而变动。

[0062] 因此,作为延迟电路D1,采用具有图7所示结构的电路。

[0063] 如图7所示,这种延迟电路D1是串联连接了分别具有滞后的反相器C₁~C₄而构成的。

[0064] 反相器C₁~C₄具有相同的内部结构,分别具有滞后式反相器电路C100(下面称为HS反相器电路C100)、电源电位施加电路C101及接地电位施加电路C102。

[0065] HS反相器电路C100由用作作为反相器的高电位生成部的p沟道MOS(metal-oxide semiconductor:金属氧化物半导体)型FET(Field effect transistor:场效应晶体管)、即晶体管MP21及MP22、以及作为用作低电位生成部的n沟道MOS型FET的晶体管MN21及MN22构成。晶体管MP21、MP22、MN21及MN22各自的栅极端子连接到输入线L1上。向晶体管MP21的源极端子施加电源电位VDD,其漏极端子连接到晶体管MP22的源极端子上。向晶体管MN21的源极端子施加接地电位GND,其漏极端子连接到晶体管MN22的源极端子上。在晶体管MP22及

MN22各自的漏极端子上连接有输出线L2。

[0066] 利用这种结构,HS反相器电路C100在经输入线L1提供的信号是对应于电源电位VDD的高电位电平的情况下,晶体管MP21、MP22、MN21及MN22各自内的MN21及MN22变为导通状态,将接地电位GND施加到输出线L2。另外,在经输入线L1提供的信号是对应于接地电位GND的低电位电平的情况下,这些晶体管MP21、MP22、MN21及MN22各自内的MP21及MP22变为导通状态,将电源电位VDD施加到输出线L2。即,HS反相器电路C100在经输入线L1提供高电位(VDD)的信号,即对应于逻辑电平1的信号的情况下,将使其反转为逻辑电平0,即反转为低电位(GND)的信号送出到输出线L2。另一方面,在提供低电位(GND)的信号,即对应于逻辑电平0的信号的情况下,HS反相器电路C100将使其反转为逻辑电平1,即反转为高电位(VDD)的信号送出到输出线L2。

[0067] 电源电位施加电路C101由作为n沟道MOS型的FET的晶体管MN11构成。向晶体管MN11的漏极端子施加电源电位VDD,其栅极端子连接在输出线L2上,其源极端子连接在连接HS反相器电路C100的晶体管MN21的漏极端子与晶体管MN22的源极端子之间的连接点CL1上。

[0068] 利用这种结构,电源电位施加电路C101仅在上述HS反相器电路C100将高电位(VDD)的信号送出到输出线L2的情况下,晶体管MN11才变为导通状态。由此,电源电位施加电路C101将电源电位VDD施加到连接HS反相器电路C100的晶体管MN21及MN22之间的连接点CL1上。

[0069] 接地电位施加电路C102由作为p沟道MOS型FET的晶体管MP11构成。向晶体管MP11的漏极端子施加接地电位GND,其栅极端子连接到输出线L2上,其源极端子连接到连接HS反相器电路C100的晶体管MP21的漏极端子与晶体管MP22的源极端子之间的连接点CL2上。

[0070] 利用该结构,接地电位施加电路C102仅在上述HS反相器电路C100将低电位(GND)的信号送出到输出线L2的情况下,晶体管MP11才变为导通状态。由此,接地电位施加电路C102将接地电位GND施加到连接HS反相器电路C100的晶体管MP21及MP22之间的连接点CL2上。

[0071] 下面,说明如上所述由HS反相器电路C100、电源电位施加电路C101及接地电位施加电路C102构成的反相器C单体的动作。

[0072] 反相器C如图8所示,在输入信号的电平的上升沿部分,在其电平到达第1阈值T1的时刻t1,开始降低输出信号的电平,另一方面,在输入信号的电平的下降沿部分,在其电平到达第2阈值T2的时刻t2,开始输出信号的电平上升。

[0073] 即,首先,在输入信号的上升沿部分的刚好之前,因为HS反相器电路C100将高电位(VDD)信号送出到输出线L2,所以电源电位施加电路C101的晶体管MN11变为导通状态。因此,其间将电源电位VDD经MN11施加到连接HS反相器电路C100的晶体管MN21及MN22之间的连接点CL1上。因此,之后,在输入信号的上升沿部分,若施加到晶体管MN21的栅极端子上的电压超过该MN21自身的阈值,则MN21变为导通状态。由此,形成基于MN11及MN21各自的导通电阻的分压电路,将由该分压电路根据电源电位VDD生成的高电位施加到晶体管MN22的源极端子上。此时,利用背栅偏压效应,晶体管MN22表观的阈值变高,反相器的阈值变高。从而,在HS反相器电路C100中,在输入信号的上升沿部分其信号电平超过上述第1阈值T1时,判定为施加了对应于逻辑电平1的高电位,为了使输入信号的电平反转而使之降低。

[0074] 另一方面,在输入信号的下降沿部分的刚好之前,因为HS反相器电路C100将低电位(GND)信号送出到输出线L2,所以接地电位施加电路C102的晶体管MP11变为导通状态。因而,在此期间,将接地电位GND经MP11施加到连接HS反相器电路C100的晶体管MP21及MP22之间的连接点CL2上。因此,其后,在输入信号的下降沿部分,若施加到晶体管MP21的栅极端子上的电压低于该MP21自身的阈值,则MP21变为导通状态。由此,形成基于MP11及MP21各自的导通电阻的分压电路,将由该分压电路根据接地电位GND生成的低电位施加到晶体管MP22的源极端子上。此时,利用背栅偏压效应,晶体管MP22表现的阈值变低,反相器的阈值变低。因而,在HS反相器电路C100中,在输入信号的下降沿部分其信号电平低于上述第2阈值T2时,判定为施加了对应于逻辑电平0的低电位,为了使输出信号的电平反转而使之上升。

[0075] 即,反相器C如图8所示,在输入信号的电平从接地电位GND的状态(对应于逻辑电平0的状态)开始上升的上升沿部分,从该电平到达第1阈值T1的时刻t1开始,使维持在电源电位VDD的状态(对应于逻辑电平1的状态)的输出信号的电平下降,直到到达接地电位GND的状态。另一方面,如图8所示,在输入信号的电平从电源电位VDD的状态开始下降的下降沿部分,从该电平到达第2阈值T2(其中 $T1 > T2$)的时刻t2开始,使输出信号的电平上升,直到到达电源电位VDD的状态。

[0076] 因而,反相器C在输入信号的上升沿部分,如图8所示,延迟了延迟时间d1y1后,为了使其电平反转,而使输出信号的电平下降。另一方面,在输入信号的下降沿部分,如图8所示,延迟了延迟时间d1y2后,为了使其电平反转,而使输出信号的电平上升。

[0077] 此时,如图8所示,第1阈值T1与第2阈值T2之差为滞后的宽度 Δh ,该滞后宽度 Δh 越宽,则延迟时间d1y1、d1y2越长。另外,这种滞后宽度 Δh 在电源电位施加电路C101的晶体管MN11、接地电位施加电路C102的晶体管MP11各自的漏极电流越大时变得越宽。由此,能够利用晶体管MN11及MP11各自的漏极电流值将反相器C的延迟时间d1y1、d1y2设定为任意的延迟时间。

[0078] 图7所示的延迟电路通过串联连接上述分别具有延迟时间d1y1、d1y2的4个反相器C₁~C₄,如图9所示,使输入信号IN延迟了延迟时间(2·d1y1+2·d1y2)后输出(OUT)。总之,只要设定晶体管MN11及MP11各自的漏极电流值,使这样的延迟时间(2·d1y1+2·d1y2)与图4所示的延迟时间DLY相等即可。

[0079] 另外,串联连接反相器C的级数不限于4级,也可以是2级以上,或仅为1级。总之,因为延迟时间与反相器C的级数成比例变化,所以只要串联连接与可得到图4所示的延迟时间DLY的级数相当的个数的反相器C即可。

[0080] 这里,已知的是,在MOS构造的半导体集成装置中,动作速度随着环境温度而变化。

[0081] 例如,在环境温度低的情况下,将具有图10(A)所示波形的输入信号提供给反相器C,在环境温度高的情况下,将具有图10(C)所示波形的输入信号提供给反相器C。即,如图10(A)及(C)所示,环境温度高的情况与低的情况相比,输入信号的上升沿部分及下降沿部分的电平推移变缓慢。

[0082] 这里,在环境温度低的情况下,因为晶体管MN11的导通电阻变低,故晶体管MN22的源极端子的电位变高。另一方面,在环境温度高的情况下,因为晶体管MN11的导通电阻变高,所以晶体管MN22的源极端子的电位变低。由此,相对于输入信号上升沿部分的反相器C的第1阈值T1在图10(C)所示环境温度高的情况下比图10(A)所示环境温度低的情况下低。

[0083] 同样地,在环境温度低的情况下,因为晶体管MP11的导通电阻变低,所以晶体管MP22的源极端子的电位变低。另一方面,在环境温度高的情况下,因为晶体管MP11的导通电阻变高,所以晶体管MP22的源极端子的电位变高。因此,相对于输入信号的下降沿部分的反相器C的第2阈值T2在图10(C)所示环境温度高的情况下比图10(A)所示环境温度低的情况下高。即,如图10所示,环境温度高的情况下的滞后宽度 Δh_2 也比环境温度低的情况下的滞后宽度 Δh_1 小。

[0084] 在环境温度高的情况下,与低的情况相比,输入信号的上升沿部分及下降沿部分的电平推移变缓慢,延迟时间增大,但因为环境温度越高,则滞后宽度 Δh 越小,所以抑制了延迟时间的增大。由此,能够抑制:低温时根据图10(A)所示的输入信号得到的图10(B)所示的输出信号的延迟时间 $d1y_2$ 、与高温时根据图10(C)所示的输入信号得到的图10(D)所示的输出信号的延迟时间 $d1y_2$ 之差。

[0085] 这样,反相器C利用晶体管MN11及MP11的导通电阻随着环境温度而变化,进行自调整,从而无论环境温度如何变化,均抑制延迟时间的变动。

[0086] 进而,根据图7所示的反相器C的结构,即便伴随制造上的偏差或电源电位VDD的变动,在晶体管的漏极电流中产生偏差,也能够抑制该延迟时间的变动量。即,在晶体管的漏极电流比规定小的情况下,与图10所示环境温度高的情况一样,输出信号的上升沿部分及下降沿部分的电平推移变缓慢,延迟时间增加。但是,如上所述,因为晶体管的漏极电流越大,则滞后宽度 Δh 越窄,故作用于抑制该延迟时间增大的方向。因此,反相器C无论晶体管的漏极电流如何变化,均能控制其延迟时间。

[0087] 如上所述,作为延迟电路D1,采用串联连接了图7所示反相器C的结构,从而无论制造上的偏差、电源电压的变动或环境温度的变化如何,均能抑制延迟时间DLY的变动。

[0088] 从而,通过采用图7所示结构作为时钟送出电路40的延迟电路D1,无论制造上的偏差、电源电压的变动及环境温度的变化如何,均能将占空比稳定的时钟信号送出到下一级驱动器芯片。

[0089] 另外,在图7所示的反相器C中,也可以采用图11所示的HS反相器电路C200来代替HS反相器电路C100。

[0090] 在图11所示的HS反相器电路C200中,除了经电阻RP1向晶体管MP21的源极端子施加电源电位VDD,并经电阻RN1向晶体管MN21的源极端子施加接地电位GND这点之外,其他结构与HS反相器电路C100相同。另外,反相器C内设置的电源电位施加电路C101和接地电位施加电路C102与图7所示的相同。

[0091] 在HS反相器电路C200中,能够利用电阻RP1及RN1的电阻值来设定任意的延迟时间 $d1y_1$ 、 $d1y_2$ 。即,电阻RP1及RN1的电阻值越高,则伴随输出信号中的时间经过的电平推移越缓慢,所以延迟时间 $d1y_1$ 、 $d1y_2$ 变长。另一方面,电阻RP1及RN1的电阻值越低,则伴随输出信号中的时间经过的电平推移越急剧,所以延迟时间 $d1y_1$ 、 $d1y_2$ 变短。这样,在利用电阻RP1及RN1进行延迟时间 $d1y_1$ 、 $d1y_2$ 的设定的情况下,与利用晶体管的漏极电流进行延迟时间 $d1y_1$ 、 $d1y_2$ 的设定的情况相比,因为制造偏差的影响小,故能够高精度地设定成期望的延迟时间 $d1y_1$ 、 $d1y_2$ 。

[0092] 也可以采用图12所示的电源电位施加电路C201及接地电位施加电路C202来代替图11所示的反相器C的电源电位施加电路C101及接地电位施加电路C102。

[0093] 图12所示的电源电位施加电路C201分别由作为p沟道MOS型FET的晶体管MP41及MP42、与作为n沟道MOS型FET的晶体管MN11及MN12构成。向晶体管MP42的源极端子施加电源电位VDD,其栅极端子及漏极端子均连接在晶体管MN12的栅极端子上。向晶体管MN12的源极端子施加接地电位GND,其漏极端子连接到晶体管MP41的栅极端子上。向晶体管MP41的源极端子施加电源电位VDD,其漏极端子连接到晶体管MN11的漏极端子上。即,通过上述结构,晶体管MP41、MP42及MN12始终为导通状态。由此,经晶体管MP41、始终向晶体管MN11的漏极端子施加电源电位VDD。晶体管MN11的栅极端子连接到输出线L2上,其源极端子连接到连接HS反相器电路C200的晶体管MN21的漏极端子与晶体管MN22的源极端子之间的连接点CL1上。

[0094] 这样,电源电位施加电路C201中,经晶体管MP41向晶体管MN11的漏极端子施加电源电位VDD。此时,为了将晶体管MP41始终设定为导通状态,经晶体管MN12及MP42向其栅极端子施加接地电位GND。

[0095] 由此,在电源电位施加电路C201中,与电源电位施加电路C101一样,仅在输出线L2为高电位(VDD)的状态的情况下,晶体管MN11变为导通状态,电源电位VDD经晶体管MP41及MN11施加到HS反相器电路C200的连接点CL1上。

[0096] 接地电位施加电路C202分别由作为p沟道MOS型FET的晶体管MP11及MP12、与作为n沟道MOS型FET的晶体管MN41及MN42构成。向晶体管MN42的源极端子施加接地电位GND,其栅极端子及漏极端子均连接到晶体管MP12的栅极端子上。向晶体管MP12的源极端子施加电源电位VDD,其漏极端子连接到晶体管MN41的栅极端子上。向晶体管MN41的源极端子施加接地电位GND,其漏极端子连接到晶体管MP11的漏极端子上。即,通过上述结构,晶体管MN41、MN42及MP12始终为导通状态。由此,经晶体管MN41,始终向晶体管MP11的漏极端子施加接地电位GND。晶体管MP11的栅极端子连接到输出线L2上,其源极端子连接到连接HS反相器电路C200的晶体管MP21的漏极端子及晶体管MP22的源极端子之间的连接点CL2上。

[0097] 这样,接地电位施加电路C202中,经晶体管MN41向晶体管MP11的漏极端子施加接地电位GND。此时,为了将晶体管MN41始终设定为导通状态,经晶体管MP12及MN42向其栅极端子施加电源电位VDD。

[0098] 由此,在接地电位施加电路C202中,与接地电位施加电路C102一样,仅在输出线L2为低电位(GND)的状态的情况下,晶体管MP11变为导通状态,接地电位GND经晶体管MN41及MP11施加到HS反相器电路C200的连接点CL2上。

[0099] 总之,即便在采用了图12所示的反相器C的情况下,也与采用了图7及图11所示的反相器C的情况一样,能够构筑具有图8及图9所示的延迟特性的延迟电路。

[0100] 此时,在图12所示的反相器中,利用晶体管MP41、MN11、MN41及MP11的导通电阻随着环境温度而变化,进行自调整,从而无论图10所示的环境温度如何变化,延迟时间均恒定。由此,根据图12所示的反相器,与采用了图7及图11所示的反相器C的情况一样,即便伴随制造上的偏差或电源电位VDD的变动,在晶体管的漏极电流中产生了偏差,也能够抑制该延迟时间的变动量。即,在晶体管的漏极电流比规定小的情况下,与图10所示的环境温度高的情况一样,输出信号的上升沿部分及下降沿部分的电平推移变缓慢,延迟时间增加。但是,因为晶体管的漏极电流越小,则滞后宽度 Δh 越窄,故作用于抑制该延迟时间增大的方向。因此,反相器C无论晶体管的漏极电流如何变动,均能控制其延迟时间。

[0101] 并且,在图12所示的反相器C中,为了将电源电位施加电路C201中成为电源电位

VDD的提供源的晶体管MP41固定为导通状态,不向其栅极端子直接施加接地电位GND,而经由晶体管MP42及MN12向MP41的栅极端子施加接地电位GND。另外,为了将接地电位施加电路C202中成为接地电位GND的提供源的晶体管MN41固定为导通状态,不向其栅极端子直接施加电源电位VDD,而经由晶体管MN42及MP12向MN41的栅极端子施加电源电位VDD。

[0102] 由此,在发生了静电放电的情况下,也能够避免来自晶体管MP41及MN41各自的栅极端子的静电破坏。

[0103] 或者,在上述电源电位施加电路C201及接地电位施加电路C202中,因为不存在始终流过直流电流、电流消耗大的元件,故能够实现低功耗化。

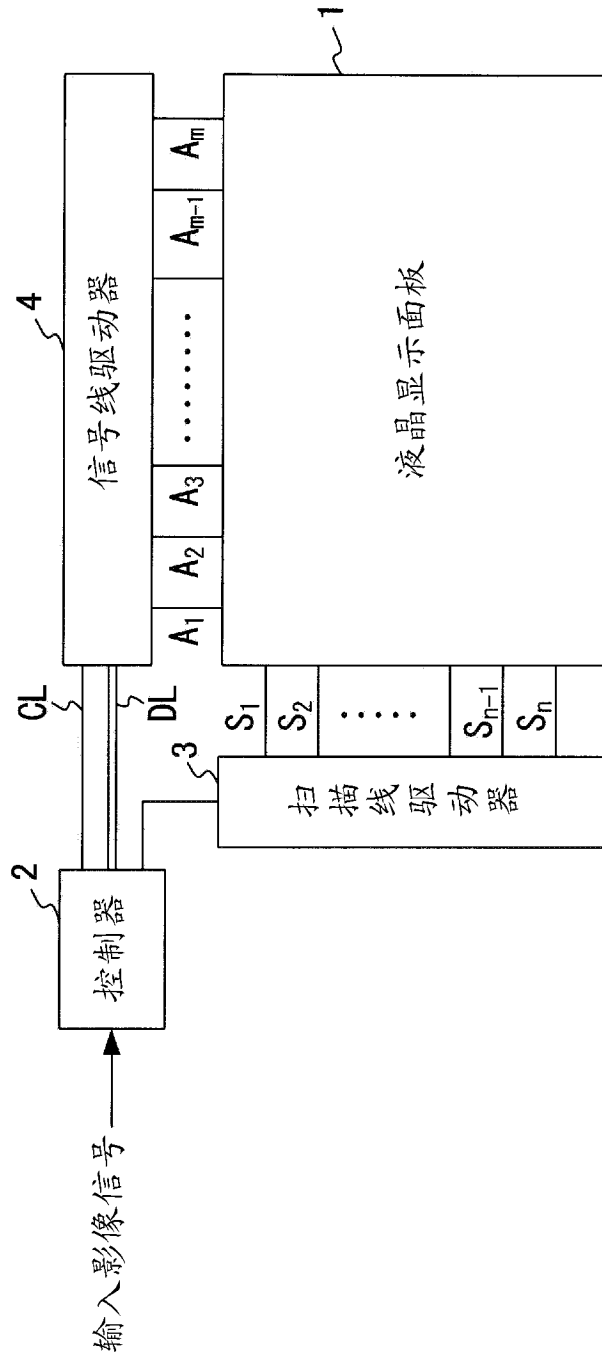


图 1

4

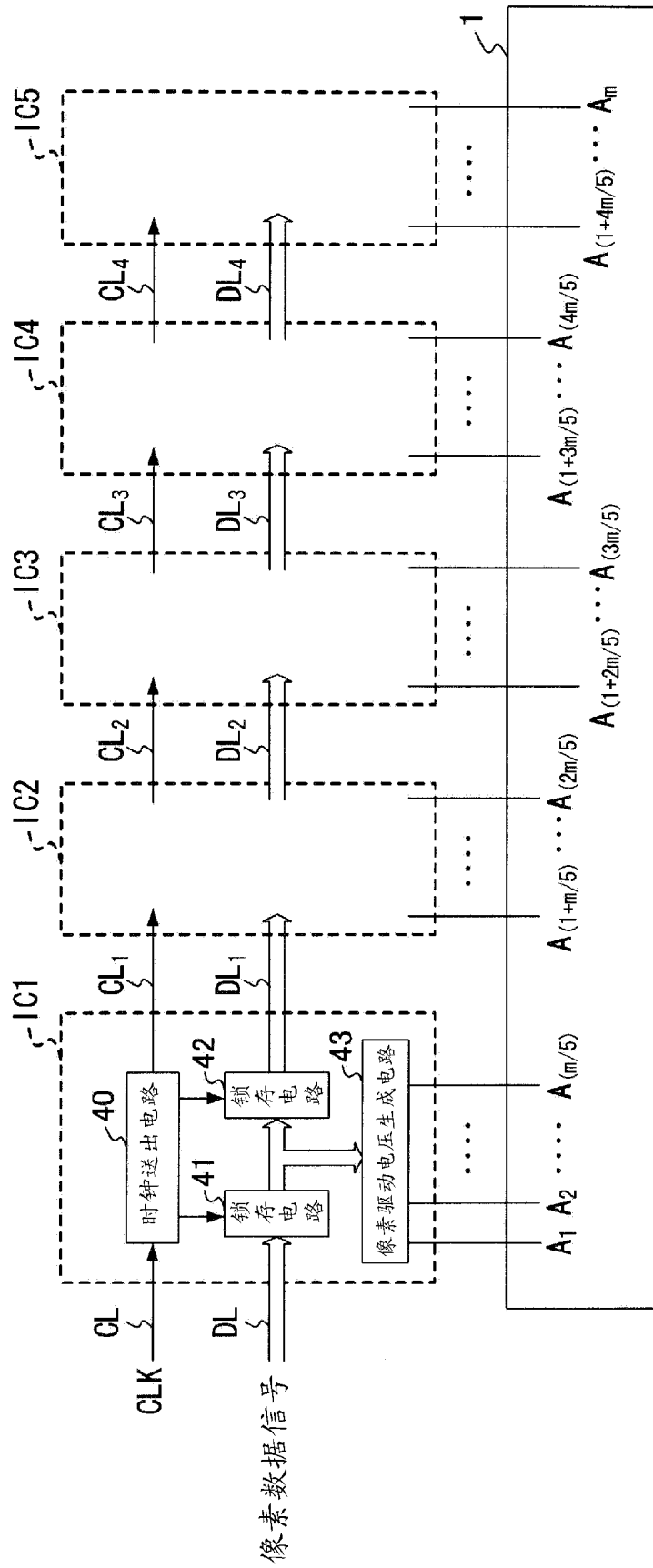


图 2

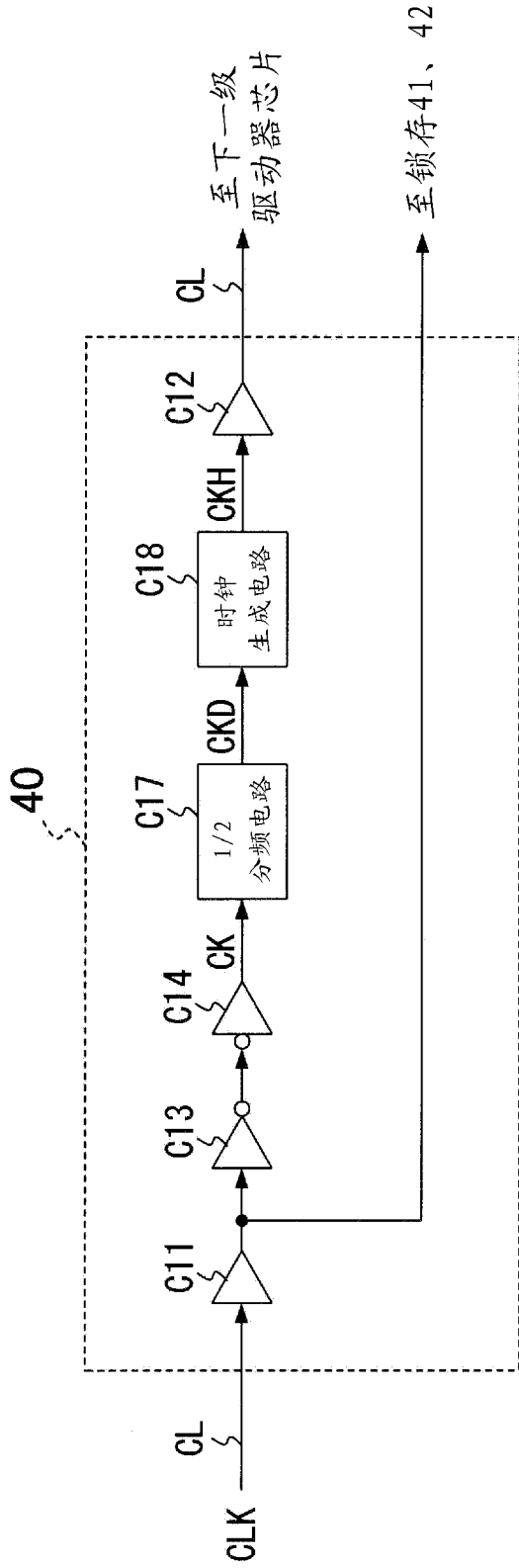


图 3

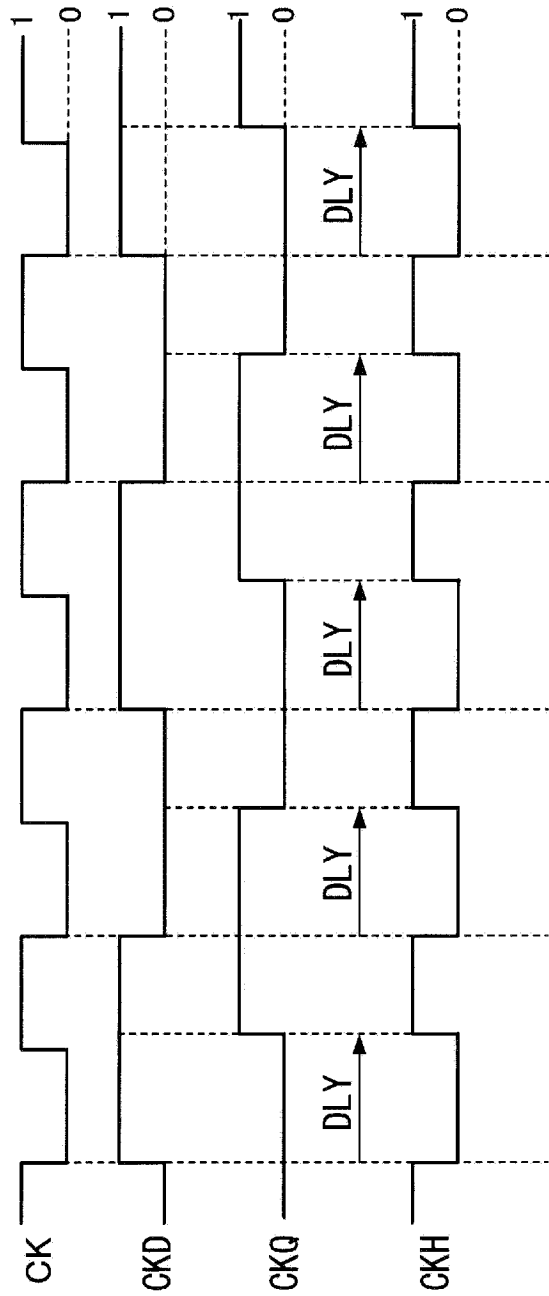


图 4

C18

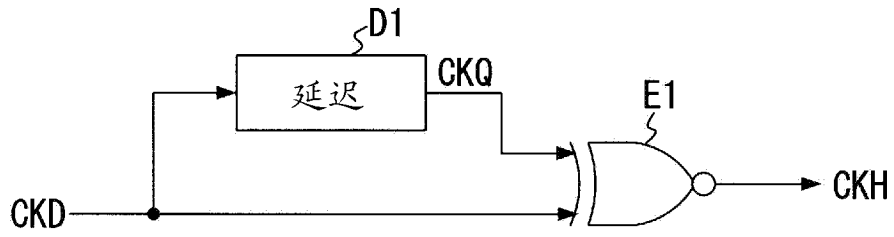


图 5

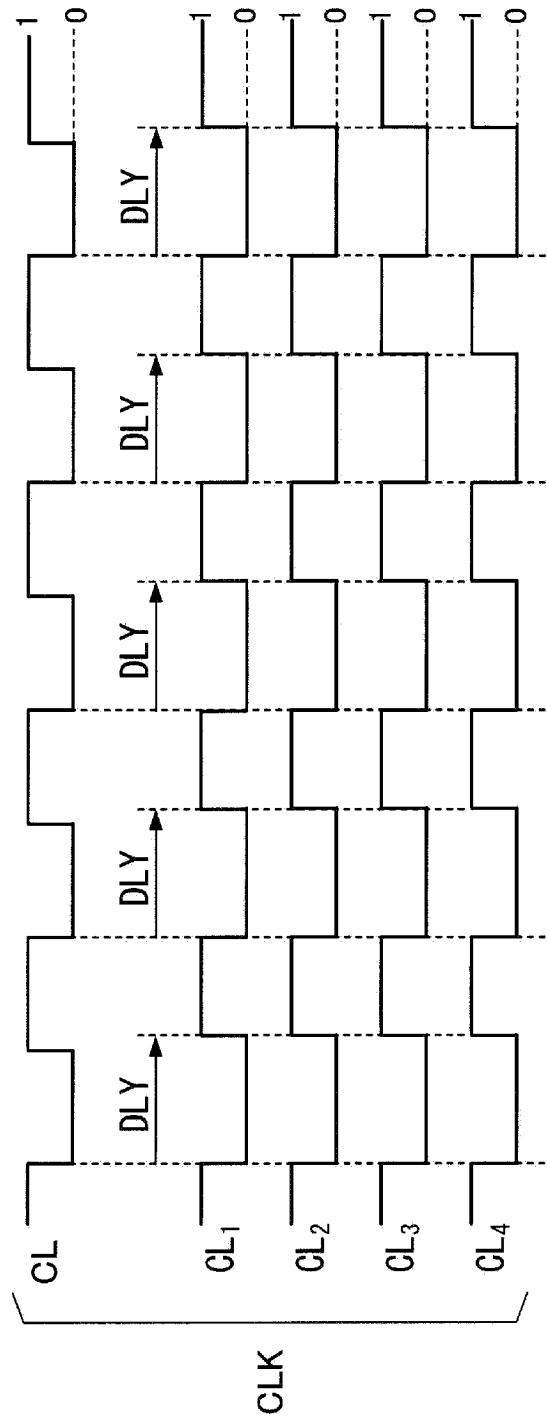


图 6

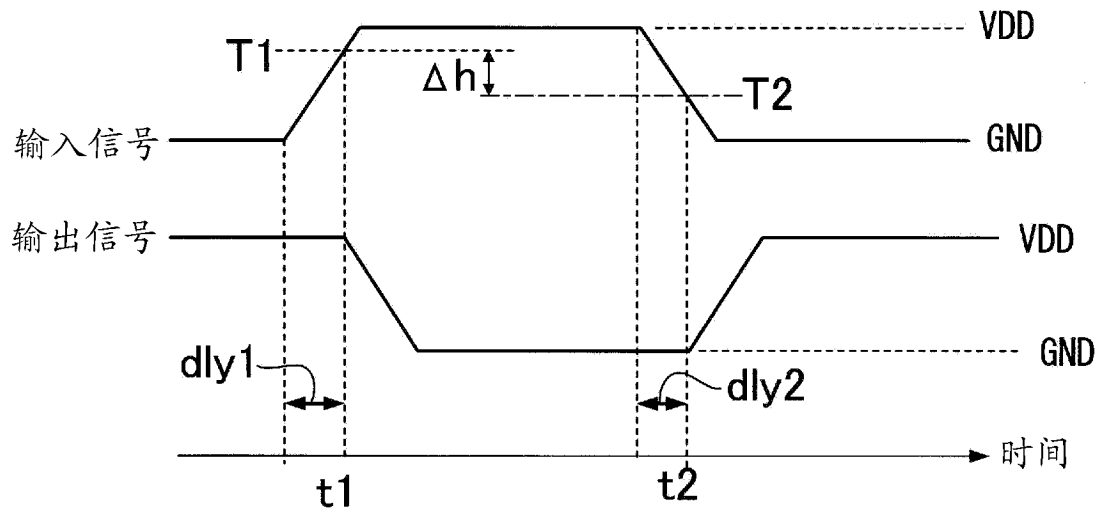


图 8

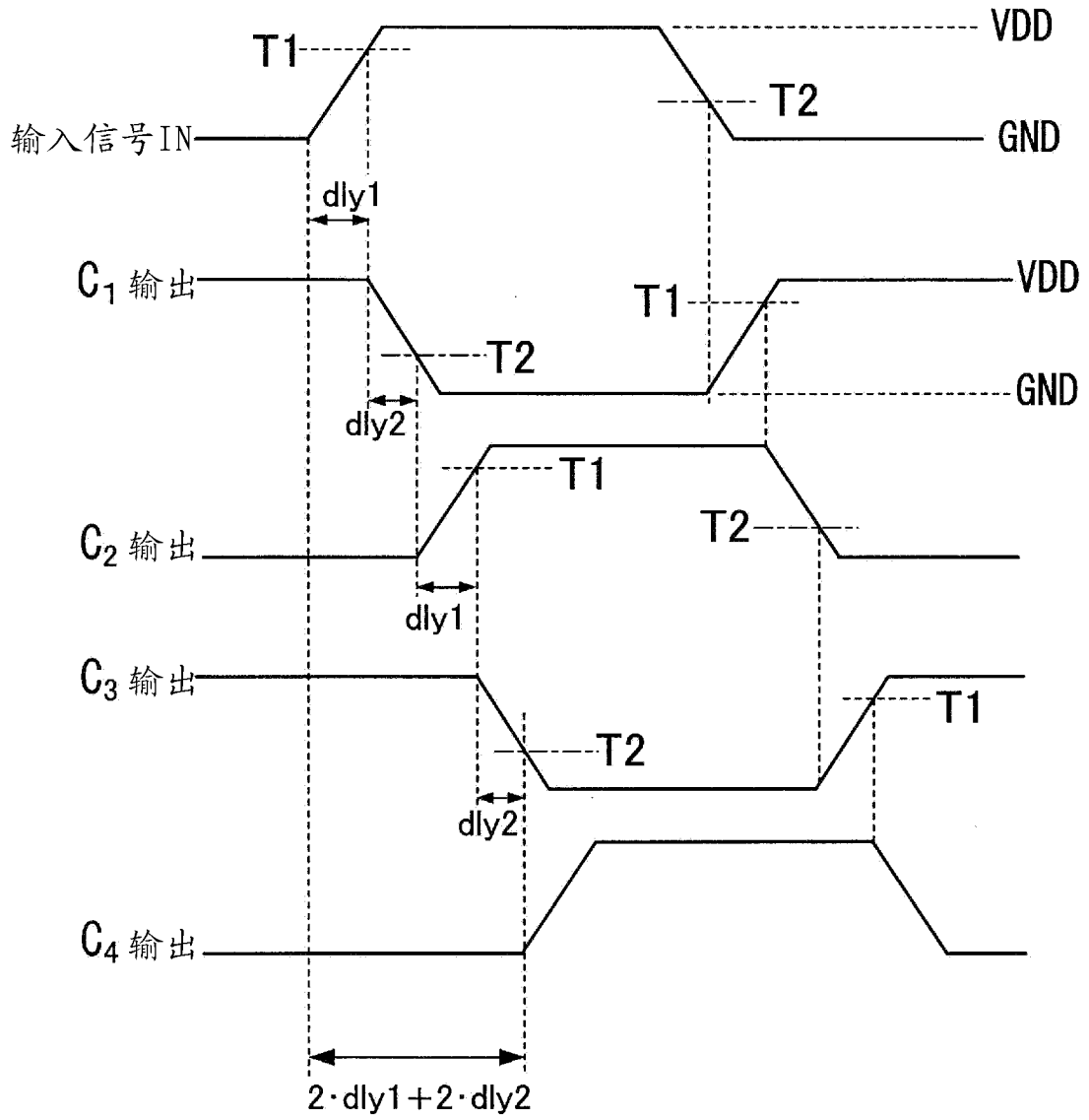


图 9

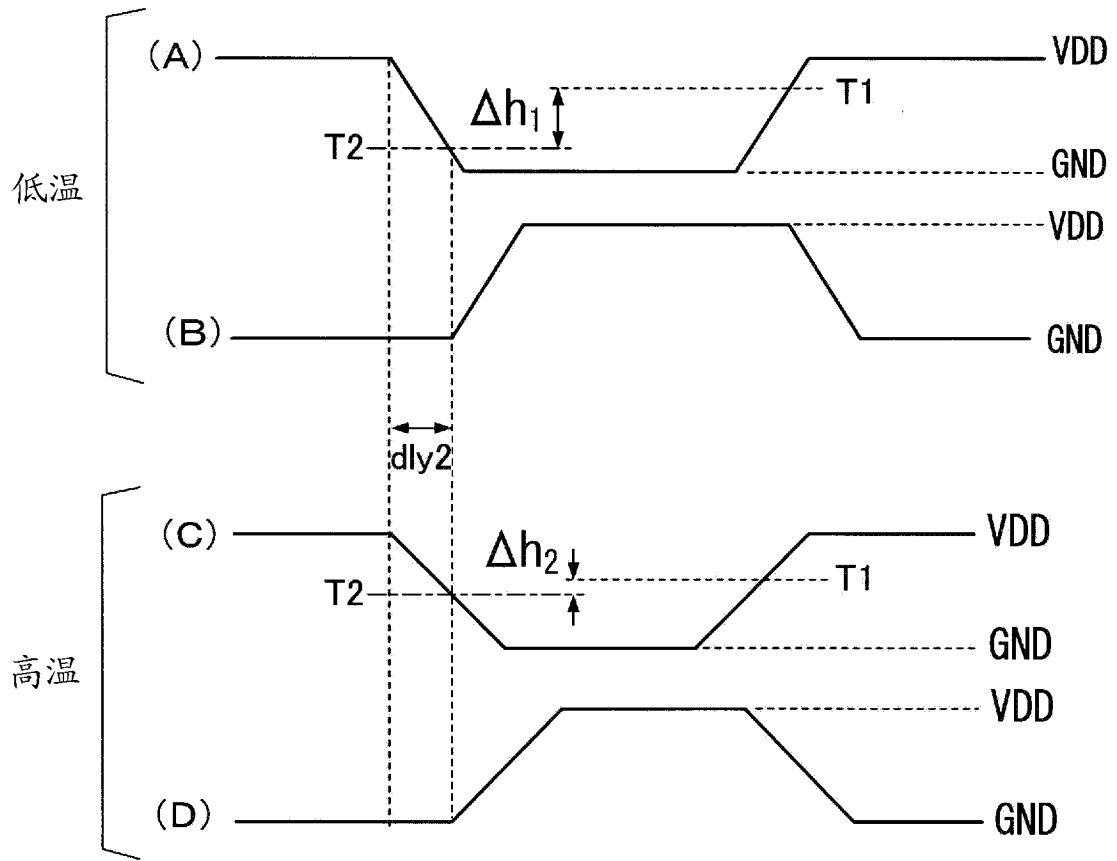


图 10

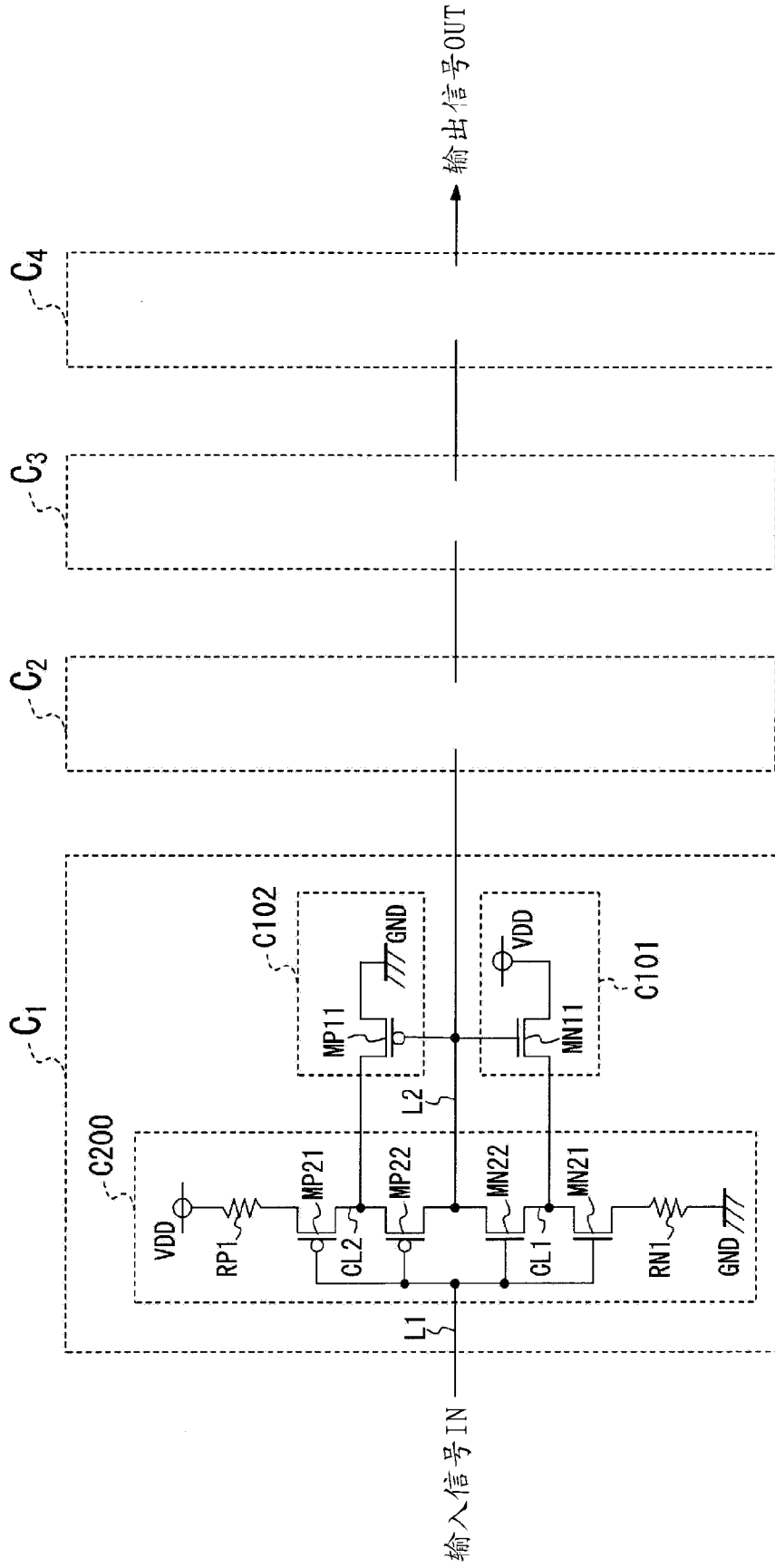


图 11

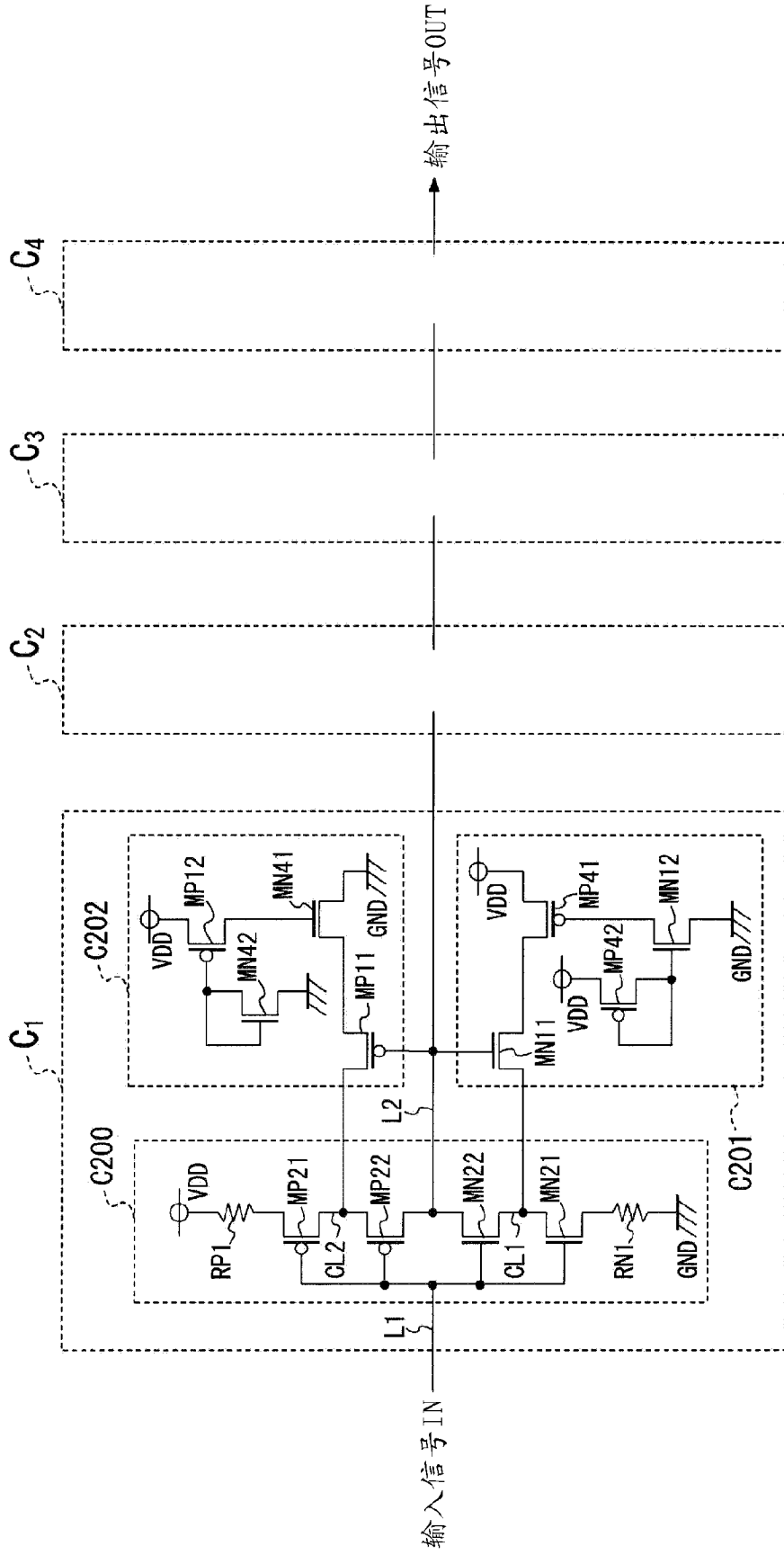


图 12