

(72) 발명자

허성권

경기도 용인시 기흥구 삼성2로 95 (농서동)

박경훈

경기도 용인시 기흥구 삼성2로 95 (농서동)

특허청구의 범위

청구항 1

기판의 디스플레이영역 내에 위치하며, 주사선들 및 데이터선들의 교차부에 위치하는, 화소들;

기판의 디스플레이영역 바깥의 일측에 위치한 제1초기화메인선과 기판의 디스플레이영역 바깥의 타측에 위치한 제2초기화메인선;

상기 화소들에 전기적으로 연결되며 상기 제1초기화메인선과 상기 제2초기화메인선에 전기적으로 연결된 초기화 전원선; 및

상기 제1초기화메인선과 일측에서 접촉하고 상기 초기화전원선과 타측에서 접촉하는 도핑된 반도체층을 포함하여 상기 제1초기화메인선과 상기 초기화전원선을 전기적으로 연결하는 제1전기적연결부;

를 구비하는, 유기발광 디스플레이 장치.

청구항 2

제1항에 있어서,

상기 도핑된 반도체층은, 상기 화소들이 포함하는 박막트랜지스터의 반도체층과 동일층에 위치한, 유기발광 디스플레이 장치.

청구항 3

제2항에 있어서,

상기 초기화전원선은 상기 화소들이 포함하는 박막트랜지스터의 소스/드레인전극과 동일층에 위치하며, 상기 초기화전원선의 하부에 위치한 제2절연층의 상기 도핑된 반도체층의 적어도 일부가 노출되도록 하는 개구를 통해 상기 도핑된 반도체층에 접촉하는, 유기발광 디스플레이 장치.

청구항 4

제3항에 있어서,

상기 제1초기화메인선은 상기 제2절연층 상에 위치하며, 상기 제2절연층의 상기 도핑된 반도체층의 적어도 일부가 노출되도록 하는 개구를 통해 상기 도핑된 반도체층에 접촉하는, 유기발광 디스플레이 장치.

청구항 5

제1항에 있어서,

상기 도핑된 반도체층 상의 상기 일측과 상기 타측 사이 부분에는, 상기 초기화전원선 하부의 상기 제2절연층 하부의 제1절연층이 포함하는 물질과 동일한 물질을 포함하는 아일랜드 형상의 아일랜드 절연층이 위치하는, 유기발광 디스플레이 장치.

청구항 6

기판의 디스플레이영역 내에 위치하며, 주사선들 및 데이터선들의 교차부에 위치하는, 화소들;

기판의 디스플레이영역 바깥의 일측에 위치한 제1초기화메인선과 기판의 디스플레이영역 바깥의 타측에 위치한 제2초기화메인선;

상기 화소들에 전기적으로 연결되며 상기 제1초기화메인선과 상기 제2초기화메인선에 전기적으로 연결된 초기화 전원선; 및

상기 제1초기화메인선과 일측에서 접촉하고 상기 초기화전원선과 타측에서 접촉하는 도전층을 포함하여 상기 제1초기화메인선과 상기 초기화전원선을 전기적으로 연결하는 제2전기적연결부;

를 구비하는, 유기발광 디스플레이 장치.

청구항 7

제6항에 있어서,

상기 도전층은, 발광층을 포함하는 중간층이 개재되도록 상기 화소들이 포함하는 화소전극들에 대향된 대향전극이 포함하는 물질과 동일한 물질을 포함하는, 유기발광 디스플레이 장치.

청구항 8

제7항에 있어서,

화소전극들 각각의 적어도 일부가 노출되도록 화소전극들을 덮는 화소정의막을 더 구비하고, 상기 화소정의막은 상기 초기화전원선과 상기 제1초기화메인선을 덮되 상기 초기화전원선의 상기 제1초기화메인선 방향의 단부의 적어도 일부와 상기 제1초기화메인선의 상기 초기화전원선 방향의 단부의 적어도 일부가 노출되도록 덮고, 상기 도전층은, 노출된, 상기 초기화전원선의 상기 제1초기화메인선 방향의 단부와 상기 제1초기화메인선의 상기 초기화전원선 방향의 단부와 직접 접촉하는, 유기발광 디스플레이 장치.

청구항 9

제6항에 있어서,

상기 초기화전원선 방향에서 상기 제2전기적연결부와 접촉하고 상기 제1초기화메인선 방향에서 상기 제2전기적연결부와 접촉하는 도핑된 반도체층을 포함하는 제1전기적연결부를 더 구비하는, 유기발광 디스플레이 장치.

청구항 10

제9항에 있어서,

상기 도핑된 반도체층은, 상기 화소들이 포함하는 박막트랜지스터의 반도체층과 동일층에 위치한, 유기발광 디스플레이 장치.

청구항 11

제10항에 있어서,

상기 초기화전원선은 상기 화소들이 포함하는 박막트랜지스터의 소스/드레인전극과 동일층에 위치하며, 상기 초기화전원선의 하부에 위치한 제2절연층의 상기 도핑된 반도체층의 적어도 일부가 노출되도록 하는 개구를 통해 상기 도핑된 반도체층에 접촉하는, 유기발광 디스플레이 장치.

청구항 12

제11항에 있어서,

상기 제1초기화메인선은 상기 제2절연층 상에 위치하며, 상기 제2절연층의 상기 도핑된 반도체층의 적어도 일부가 노출되도록 하는 개구를 통해 상기 도핑된 반도체층에 접촉하는, 유기발광 디스플레이 장치.

청구항 13

제9항에 있어서,

상기 도핑된 반도체층 상의 상기 일측과 상기 타측 사이 부분에는, 상기 초기화전원선 하부의 상기 제2절연층 하부의 제1절연층이 포함하는 물질과 동일한 물질을 포함하는 아일랜드 형상의 아일랜드 절연층이 위치하는, 유기발광 디스플레이 장치.

청구항 14

제1항 내지 제6항 및 제9항 내지 제13항 중 어느 한 항에 있어서,

각각의 화소들은

대향전극이 제2전원과 접속되는 유기발광소자;

제1전극이 데이터선과 접속되고, 제2전극이 제1노드에 접속되며, 주사선으로 주사신호가 공급될 시 턴-온 되는

제1트랜지스터;

제1노드와 제3전원 사이에 접속되며, 데이터선으로부터 공급되는 데이터신호에 대응하는 전압을 충전하는 제1커패시터; 및

상기 초기화전원선에 연결되며, 상기 제1커패시터의 전압을 이용하여 충전되고, 충전된 전압에 대응하는 전류를 제1전원으로부터 상기 유기발광소자를 경유하여 상기 제2전원으로 공급하기 위한 구동회로;

를 구비하는, 유기발광 디스플레이 장치.

청구항 15

제14항에 있어서,

상기 제3전원은 상기 제1전원 또는 상기 초기화전원선의 전압과 동일한 전압으로 설정된, 유기발광 디스플레이 장치.

청구항 16

제14항에 있어서,

제1전극이 상기 제1노드에 접속되고, 제2전극이 제2노드에 접속되며, 프레임 기간 중 상기 제1트랜지스터보다 먼저 턴-온 되는 제2트랜지스터;

제1전극이 상기 초기화전원선에 접속되고, 제2전극이 제3노드에 접속되며, 상기 프레임 기간 중 상기 제2트랜지스터보다 먼저 턴-온 되는 제3트랜지스터;

제1전극이 상기 제3노드에 접속되고, 제2전극이 제4노드에 접속되며, 상기 제2트랜지스터와 동시에 턴-온 되는 제4트랜지스터;

제1전극이 상기 제1전원에 접속되고, 제2전극은 상기 제2노드에 접속되며, 상기 제3트랜지스터와 동시에 턴-온 되는 제5트랜지스터;

제1전극은 상기 제2노드에 접속되고, 제2전극은 상기 제4노드에 접속되며, 게이트전극은 상기 제3노드에 접속된 제6트랜지스터;

제1전극은 상기 제4노드에 접속되고, 제2전극은 상기 유기발광소자의 화소전극에 접속되며, 상기 프레임 기간 중 상기 제1트랜지스터가 턴-온 될 때 턴-온 되어 이후 턴-온 상태를 유지하는 제7트랜지스터;

제1전극이 상기 제1전원에 접속되고, 제2전극은 상기 제2노드에 접속되며, 상기 제7트랜지스터가 턴-온 되는 동안 턴-온 되는 제8트랜지스터; 및

제1전극이 상기 제3노드에 접속되고, 제2전극이 상기 제1전원에 접속된 제2커패시터;

를 구비하는, 유기발광 디스플레이 장치.

청구항 17

기판의 디스플레이영역 내의 패터닝된 복수개의 반도체층들과, 기판의 디스플레이영역 바깥의 일측의 추가 반도체층을 형성하는 단계;

복수개의 반도체층들과 추가 반도체층을 덮도록 제1절연막을 형성하는 단계;

복수개의 반도체층들 각각의 일부에 대응하는 게이트전극들과 추가 반도체층의 일부에 대응하는 캐핑층을 형성하는 단계;

게이트전극들과 캐핑층을 마스크로 활용하여, 복수개의 반도체층들 각각의 게이트전극들에 대응하지 않는 부분과 추가 반도체층의 캐핑층에 대응하지 않는 부분을 도핑하는 단계;

제1절연막, 게이트전극들 및 캐핑층을 덮도록 제2절연막을 형성하는 단계;

복수개의 반도체층들 각각의 소스영역 및 드레인영역과, 추가 반도체층의 캐핑층에 대응하지 않는 부분의 적어도 일부와, 캐핑층의 상면이 노출되도록, 제1절연막 및 제2절연막을 패터닝하는 단계;

복수개의 반도체층들 및 추가 반도체층의 제1절연막 및 제2절연막에 의해 덮이지 않은 부분과 캐핑층을 덮도록 제2절연막 상에 도전층을 형성하는 단계;

복수개의 반도체층들 각각의 소스영역 및 드레인영역에 접촉하는 소스전극들 및 드레인전극들이 형성되고, 캐핑층이 제거되며, 추가 반도체층의 일측에서 접촉하는 제1초기화메인선과 추가 반도체층의 타측에서 접촉하는 초기화전원선이 형성되도록, 도전층의 일부를 제거하는 단계; 및

추가 반도체층의 도핑되지 않은 부분을 도핑하는 단계;

를 포함하는, 유기발광 디스플레이 장치 제조방법.

청구항 18

제17항에 있어서,

상기 초기화전원선을 형성하는 단계와 상기 도핑하는 단계 사이에, 초기화전원선의 단선여부를 검사하는 단계를 더 포함하는, 유기발광 디스플레이 장치 제조방법.

청구항 19

기판의 디스플레이영역 내의 패터닝된 복수개의 반도체층들과, 기판의 디스플레이영역 바깥의 일측의 추가 반도체층을 형성하는 단계;

복수개의 반도체층들과 추가 반도체층을 덮도록 제1절연막을 형성하는 단계;

복수개의 반도체층들 각각의 일부에 대응하는 게이트전극들과 추가 반도체층의 일부에 대응하는 캐핑층을 형성하는 단계;

게이트전극들과 캐핑층을 마스크로 활용하여, 복수개의 반도체층들 각각의 게이트전극들에 대응하지 않은 부분과 추가 반도체층의 캐핑층에 대응하지 않은 부분을 도핑하는 단계;

제1절연막, 게이트전극들 및 캐핑층을 덮도록 제2절연막을 형성하는 단계;

복수개의 반도체층들 각각의 소스영역 및 드레인영역과, 추가 반도체층의 캐핑층에 대응하지 않은 부분의 적어도 일부와, 캐핑층의 상면이 노출되도록, 제1절연막 및 제2절연막을 패터닝하는 단계;

복수개의 반도체층들 및 추가 반도체층의 제1절연막 및 제2절연막에 의해 덮이지 않은 부분과 캐핑층을 덮도록 제2절연막 상에 도전물질층을 형성하는 단계;

복수개의 반도체층들 각각의 소스영역 및 드레인영역에 접촉하는 소스전극들 및 드레인전극들이 형성되고, 기판의 디스플레이영역에서 기판의 디스플레이영역 바깥의 일측 방향으로 연장된 초기화전원선과 기판의 디스플레이영역 바깥의 일측에 위치한 제1초기화메인선이 형성되며, 캐핑층이 제거되고, 추가 반도체층의 제1절연막과 제2절연막에 의해 덮이지 않은 부분이 노출되도록, 도전물질층의 일부를 제거하는 단계; 및

대향전극 형성용 물질로 초기화전원선과 제1초기화메인선에 각각 접촉하는 도전층을 형성하는 단계;

를 포함하는, 유기발광 디스플레이 장치 제조방법.

청구항 20

제19항에 있어서,

상기 도전물질층의 일부를 제거하는 단계와 상기 도전층을 형성하는 단계 사이에, 초기화전원선의 단선여부를 검사하는 단계를 더 포함하는, 유기발광 디스플레이 장치 제조방법.

명세서

기술분야

본 발명은 유기발광 디스플레이 장치 및 그 제조방법에 관한 것으로서, 더 상세하게는 제조과정 중 불량 발생 여부를 효과적으로 파악할 수 있는 유기발광 디스플레이 장치 및 그 제조방법에 관한 것이다.

[0001]

배경 기술

- [0002] 일반적으로 유기발광 디스플레이 장치는 디스플레이영역에 각각 유기발광소자를 포함하는 화소들을 갖는 디스플레이 장치로서, 유기발광소자는 화소전극과, 이에 대향하는 대향전극과, 화소전극과 대향전극 사이에 개재되며 적어도 발광층을 포함하는 중간층을 구비한다.
- [0003] 이러한 유기발광 디스플레이 장치는 각 유기발광소자의 발광여부를 제어하기 위한 화소회로들을 각 화소별로 구비하며, 이러한 화소회로들에는 사전설정된 타이밍에 사전설정된 전기적 신호가 인가되게 된다. 이를 위해 디스플레이영역 외측으로부터 디스플레이영역 내부로 길게 연장된 선들이 존재하게 된다.

발명의 내용

해결하려는 과제

- [0004] 그러나 이러한 종래의 유기발광 디스플레이 장치에는, 제조과정에서 그러한 선들의 불량여부를 효과적으로 파악할 수 없다는 문제점이 있었다. 즉, 어떤 선이 중간에 단선되었음에도 불구하고 제조 과정에서는 그 선의 단선여부가 확인되지 않은 채 제조가 계속되어, 추후 제품의 완성 후 불량이 발생한 것을 뒤늦게 파악하게 된다는 문제점이 있었다.
- [0005] 본 발명은 상기와 같은 문제점을 포함하여 여러 문제점들을 해결하기 위한 것으로서, 제조과정 중 불량 발생여부를 효과적으로 파악할 수 있는 유기발광 디스플레이 장치 및 그 제조방법을 제공하는 것을 목적으로 한다. 그러나 이러한 과제는 예시적인 것으로, 이에 의해 본 발명의 범위가 한정되는 것은 아니다.

과제의 해결 수단

- [0006] 본 발명의 일 관점에 따르면, 기관의 디스플레이영역 내에 위치하며 주사선들 및 데이터선들의 교차부에 위치하는 화소들과, 기관의 디스플레이영역 바깥의 일측에 위치한 제1초기화메인선과 기관의 디스플레이영역 바깥의 타측에 위치한 제2초기화메인선과, 상기 화소들에 전기적으로 연결되며 상기 제1초기화메인선과 상기 제2초기화메인선에 전기적으로 연결된 초기화전원선과, 상기 제1초기화메인선과 일측에서 접촉하고 상기 초기화전원선과 타측에서 접촉하는 도핑된 반도체층을 포함하여 상기 제1초기화메인선과 상기 초기화전원선을 전기적으로 연결하는 제1전기적연결부를 구비하는, 유기발광 디스플레이 장치가 제공된다.
- [0007] 상기 도핑된 반도체층은, 상기 화소들이 포함하는 박막트랜지스터의 반도체층과 동일층에 위치할 수 있다.
- [0008] 이 경우, 상기 초기화전원선은 상기 화소들이 포함하는 박막트랜지스터의 소스/드레인전극과 동일층에 위치하며, 상기 초기화전원선의 하부에 위치한 제2절연층의 상기 도핑된 반도체층의 적어도 일부가 노출되도록 하는 개구를 통해 상기 도핑된 반도체층에 접촉할 수 있다.
- [0009] 나아가, 상기 제1초기화메인선은 상기 제2절연층 상에 위치하며, 상기 제2절연층의 상기 도핑된 반도체층의 적어도 일부가 노출되도록 하는 개구를 통해 상기 도핑된 반도체층에 접촉할 수 있다.
- [0010] 한편, 상기 도핑된 반도체층 상의 상기 일측과 상기 타측 사이 부분에는, 상기 초기화전원선 하부의 상기 제2절연층 하부의 제1절연층이 포함하는 물질과 동일한 물질을 포함하는 아일랜드 형상의 아일랜드 절연층이 위치할 수 있다.
- [0011] 본 발명의 다른 일 관점에 따르면, 기관의 디스플레이영역 내에 위치하며 주사선들 및 데이터선들의 교차부에 위치하는 화소들과, 기관의 디스플레이영역 바깥의 일측에 위치한 제1초기화메인선과 기관의 디스플레이영역 바깥의 타측에 위치한 제2초기화메인선과, 상기 화소들에 전기적으로 연결되며 상기 제1초기화메인선과 상기 제2초기화메인선에 전기적으로 연결된 초기화전원선과, 상기 제1초기화메인선과 일측에서 접촉하고 상기 초기화전원선과 타측에서 접촉하는 도전층을 포함하여 상기 제1초기화메인선과 상기 초기화전원선을 전기적으로 연결하는 제2전기적연결부를 구비하는, 유기발광 디스플레이 장치가 제공된다.
- [0012] 상기 도전층은, 발광층을 포함하는 중간층이 개재되도록 상기 화소들이 포함하는 화소전극들에 대향된 대향전극이 포함하는 물질과 동일한 물질을 포함할 수 있다.
- [0013] 이 경우, 화소전극들 각각의 적어도 일부가 노출되도록 화소전극들을 덮는 화소정의막을 더 구비하고, 상기 화소정의막은 상기 초기화전원선과 상기 제1초기화메인선을 덮되 상기 초기화전원선의 상기 제1초기화메인선 방향의 단부의 적어도 일부와 상기 제1초기화메인선의 상기 초기화전원선 방향의 단부의 적어도 일부가 노출되도록

덮고, 상기 도전층은, 노출된, 상기 초기화전원선의 상기 제1초기화메인선 방향의 단부와 상기 제1초기화메인선의 상기 초기화전원선 방향의 단부와 직접 접촉할 수 있다.

- [0014] 한편, 상기 초기화전원선 방향에서 상기 제2전기적연결부와 접촉하고 상기 제1초기화메인선 방향에서 상기 제2전기적연결부와 접촉하는 도핑된 반도체층을 포함하는 제1전기적연결부를 더 구비할 수 있다.
- [0015] 이때, 상기 도핑된 반도체층은, 상기 화소들이 포함하는 박막트랜지스터의 반도체층과 동일층에 위치할 수 있다.
- [0016] 나아가, 상기 초기화전원선은 상기 화소들이 포함하는 박막트랜지스터의 소스/드레인전극과 동일층에 위치하며, 상기 초기화전원선의 하부에 위치한 제2절연층의 상기 도핑된 반도체층의 적어도 일부가 노출되도록 하는 개구를 통해 상기 도핑된 반도체층에 접촉할 수 있다.
- [0017] 또한, 상기 제1초기화메인선은 상기 제2절연층 상에 위치하며, 상기 제2절연층의 상기 도핑된 반도체층의 적어도 일부가 노출되도록 하는 개구를 통해 상기 도핑된 반도체층에 접촉할 수 있다.
- [0018] 한편, 상기 도핑된 반도체층 상의 상기 일측과 상기 타측 사이 부분에는, 상기 초기화전원선 하부의 상기 제2절연층 하부의 제1절연층이 포함하는 물질과 동일한 물질을 포함하는 아일랜드 형상의 아일랜드 절연층이 위치할 수 있다.
- [0019] 상기와 같은 유기발광 디스플레이 장치들에 있어서, 각각의 화소들은, 대향전극이 제2전원과 접속되는 유기발광소자와, 제1전극이 데이터선과 접속되고 제2전극이 제1노드에 접속되며 주사선으로 주사신호가 공급될 시 턴-온되는 제1트랜지스터와, 제1노드와 제3전원 사이에 접속되며 데이터선으로부터 공급되는 데이터신호에 대응하는 전압을 충전하는 제1커패시터와, 상기 초기화전원선에 연결되며 상기 제1커패시터의 전압을 이용하여 충전되고 충전된 전압에 대응하는 전류를 제1전원으로부터 상기 유기발광소자를 경유하여 상기 제2전원으로 공급하기 위한 구동회로를 구비할 수 있다.
- [0020] 이 경우, 상기 제3전원은 상기 제1전원 또는 상기 초기화전원선의 전압과 동일한 전압으로 설정될 수 있다.
- [0021] 한편, 제1전극이 상기 제1노드에 접속되고 제2전극이 제2노드에 접속되며 프레임 기간 중 상기 제1트랜지스터보다 먼저 턴-온 되는 제2트랜지스터와, 제1전극이 상기 초기화전원선에 접속되고 제2전극이 제3노드에 접속되며 상기 프레임 기간 중 상기 제2트랜지스터보다 먼저 턴-온 되는 제3트랜지스터와, 제1전극이 상기 제3노드에 접속되고 제2전극이 제4노드에 접속되며 상기 제2트랜지스터와 동시에 턴-온 되는 제4트랜지스터와, 제1전극이 상기 제1전원에 접속되고 제2전극은 상기 제2노드에 접속되며 상기 제3트랜지스터와 동시에 턴-온 되는 제5트랜지스터와, 제1전극은 상기 제2노드에 접속되고 제2전극은 상기 제4노드에 접속되며 게이트전극은 상기 제3노드에 접속된 제6트랜지스터와, 제1전극은 상기 제4노드에 접속되고 제2전극은 상기 유기발광소자의 화소전극에 접속되며 상기 프레임 기간 중 상기 제1트랜지스터가 턴-온 될 때 턴-온 되어 이후 턴-온 상태를 유지하는 제7트랜지스터와, 제1전극이 상기 제1전원에 접속되고 제2전극은 상기 제2노드에 접속되며 상기 제7트랜지스터가 턴-온 되는 동안 턴-온 되는 제8트랜지스터와, 제1전극이 상기 제3노드에 접속되고 제2전극이 상기 제1전원에 접속된 제2커패시터를 구비할 수 있다.
- [0022] 본 발명의 또 다른 일 관점에 따르면, 기판의 디스플레이영역 내의 패터닝된 복수개의 반도체층들과 기판의 디스플레이영역 바깥의 일측의 추가 반도체층을 형성하는 단계와, 복수개의 반도체층들과 추가 반도체층을 덮도록 제1절연막을 형성하는 단계와, 복수개의 반도체층들 각각의 일부에 대응하는 게이트전극들과 추가 반도체층의 일부에 대응하는 캐핑층을 형성하는 단계와, 게이트전극들과 캐핑층을 마스크로 활용하여 복수개의 반도체층들 각각의 게이트전극들에 대응하지 않는 부분과 추가 반도체층의 캐핑층에 대응하지 않는 부분을 도핑하는 단계와, 제1절연막과 게이트전극들과 캐핑층을 덮도록 제2절연막을 형성하는 단계와, 복수개의 반도체층들 각각의 소스영역 및 드레인영역과, 추가 반도체층의 캐핑층에 대응하지 않는 부분의 적어도 일부와 캐핑층의 상면이 노출되도록 제1절연막 및 제2절연막을 패터닝하는 단계와, 복수개의 반도체층들 및 추가 반도체층의 제1절연막 및 제2절연막에 의해 덮이지 않은 부분과 캐핑층을 덮도록 제2절연막 상에 도전층을 형성하는 단계와, 복수개의 반도체층들 각각의 소스영역 및 드레인영역에 접촉하는 소스전극들 및 드레인전극들이 형성되고 캐핑층이 제거되며 추가 반도체층의 일측에서 접촉하는 제1초기화메인선과 추가 반도체층의 타측에서 접촉하는 초기화전원선이 형성되도록 도전층의 일부를 제거하는 단계와, 추가 반도체층의 도핑되지 않은 부분을 도핑하는 단계를 포함하는, 유기발광 디스플레이 장치 제조방법이 제공된다.
- [0023] 이때, 상기 초기화전원선을 형성하는 단계와 상기 도핑하는 단계 사이에, 초기화전원선의 단선여부를 검사하는

단계를 더 포함할 수 있다.

[0024] 본 발명의 또 다른 일 관점에 따르면, 기관의 디스플레이영역 내의 패터닝된 복수개의 반도체층들과 기관의 디스플레이영역 바깥의 일측의 추가 반도체층을 형성하는 단계와, 복수개의 반도체층들과 추가 반도체층을 덮도록 제1절연막을 형성하는 단계와, 복수개의 반도체층들 각각의 일부에 대응하는 게이트전극들과 추가 반도체층의 일부에 대응하는 캐핑층을 형성하는 단계와, 게이트전극들과 캐핑층을 마스크로 활용하여 복수개의 반도체층들 각각의 게이트전극들에 대응하지 않는 부분과 추가 반도체층의 캐핑층에 대응하지 않는 부분을 도핑하는 단계와, 제1절연막과 게이트전극들과 캐핑층을 덮도록 제2절연막을 형성하는 단계와, 복수개의 반도체층들 각각의 소스영역 및 드레인영역과 추가 반도체층의 캐핑층에 대응하지 않는 부분의 적어도 일부와 캐핑층의 상면이 노출되도록 제1절연막 및 제2절연막을 패터닝하는 단계와, 복수개의 반도체층들 및 추가 반도체층의 제1절연막 및 제2절연막에 의해 덮이지 않은 부분과 캐핑층을 덮도록 제2절연막 상에 도전물질층을 형성하는 단계와, 복수개의 반도체층들 각각의 소스영역 및 드레인영역에 접촉하는 소스전극들 및 드레인전극들이 형성되고 기관의 디스플레이영역에서 기관의 디스플레이영역 바깥의 일측 방향으로 연장된 초기화전원선과 기관의 디스플레이영역 바깥의 일측에 위치한 제1초기화메인선이 형성되며 캐핑층이 제거되고 추가 반도체층의 제1절연막과 제2절연막에 의해 덮이지 않은 부분이 노출되도록 도전물질층의 일부를 제거하는 단계와, 대향전극 형성용 물질로 초기화전원선과 제1초기화메인선에 각각 접촉하는 도전층을 형성하는 단계를 포함하는, 유기발광 디스플레이 장치 제조방법이 제공된다.

[0025] 이때, 상기 도전물질층의 일부를 제거하는 단계와 상기 도전층을 형성하는 단계 사이에, 초기화전원선의 단선여부를 검사하는 단계를 더 포함할 수 있다.

발명의 효과

[0026] 상기한 바와 같이 이루어진 본 발명의 일 실시예에 따르면, 제조과정 중 불량 발생여부를 효과적으로 파악할 수 있는 유기발광 디스플레이 장치 및 그 제조방법을 구현할 수 있다. 물론 이러한 효과에 의해 본 발명의 범위가 한정되는 것은 아니다.

도면의 간단한 설명

[0027] 도 1은 본 발명의 일 실시예에 따른 유기발광 디스플레이 장치를 개략적으로 도시하는 개념도이다.
 도 2는 도 1에 도시된 화소의 일 예를 개략적으로 도시하는 회로도이다.
 도 3은 도 2에 도시된 구동회로를 포함한 도 1에 도시된 화소의 일 예를 개략적으로 도시하는 회로도이다.
 도 4는 도 3에 도시된 화소의 구동방법을 나타내는 파형도이다.
 도 5 내지 도 8은 도 1의 유기발광 디스플레이 장치의 제조공정들을 개략적으로 도시하는 단면도들이다.
 도 9 및 도 10은 본 발명의 다른 일 실시예에 따른 유기발광 디스플레이 장치의 제조공정들을 개략적으로 도시하는 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0028] 이하, 첨부된 도면들을 참조하여 본 발명의 실시예를 상세히 설명하면 다음과 같다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있는 것으로, 이하의 실시예는 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 또한 설명의 편의를 위하여 도면에서는 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.

[0029] 한편, 층, 막, 영역, 판 등의 각종 구성요소가 다른 구성요소 "상에" 있다고 할 때, 이는 다른 구성요소 "바로 상에" 있는 경우뿐 아니라 그 사이에 다른 구성요소가 개재된 경우도 포함한다.

[0030] 도 1은 본 발명의 일 실시예에 따른 유기발광 디스플레이 장치를 개략적으로 도시하는 개념도이다.

[0031] 도 2를 참조하면, 본 실시예에 따른 유기발광 디스플레이 장치는 주사선들(S1 내지 Sn), 제1제어선(CL1), 제2제어선(CL2), 데이터선들(D1 내지 Dm), 제1초기화메인선(MVint1), 제2초기화메인선(MVint2) 및 초기화전원선들(Vint)을 구비한다. 물론, 본 실시예에 따른 유기발광 디스플레이 장치는 주사선들(S1 내지 Sn)을 구동하기 위

한 주사구동부(1)와, 제1제어선(CL1) 및 제2제어선(CL2)을 구동하기 위한 제어구동부(2)와, 데이터선들(D1 내지 Dm)을 구동하기 위한 데이터 구동부(3)와, 주사선들(S1 내지 Sn)과 데이터선들(D1 내지 Dm)의 교차부에 위치하는 화소(4)들과, 구동부들(1, 2, 3)을 제어하기 위한 타이밍제어부(5)도 구비한다. 화소(4)들은 기관의 디스플레이영역(DA) 내에 위치한다.

- [0032] 주사구동부(1)는 각각의 프레임 기간마다 주사선들(S1 내지 Sn)로 주사신호를 순차적으로 공급한다. 주사선들(S1 내지 Sn)로 주사신호가 공급될 때 화소(4)들은 수평라인 단위로 선택된다.
- [0033] 데이터 구동부(3)는 주사신호와 동기되도록 데이터선들(D1 내지 Dm)로 데이터신호를 공급한다. 그러면, 주사신호에 의하여 선택된 화소(4)들로 데이터신호가 공급된다.
- [0034] 제어구동부(2)는 각각의 화소(4)들에 공통적으로 접속된 제1제어선(CL1) 및 제2제어선(CL2) 각각으로 제1제어신호 및 제2제어신호를 공급한다. 여기서, 제1제어신호 및 제2제어신호는 각각의 프레임 기간의 초반부, 예를 들면, 주사선들(S1 내지 Sn)로 주사신호가 공급되기 이전에 공급된다.
- [0035] 제1전원선(ELVDD), 제1제어선(CL1), 제2제어선(CL2) 및 초기화전원선(Vint)들은 디스플레이영역(DA)을 가로질러 디스플레이영역(DA) 외측까지 연장된다. 제1초기화메인선(MVint1)은 기관의 디스플레이영역(DA) 바깥의 일측에 위치하고, 제2초기화메인선(MVint2)은 기관의 디스플레이영역(DA) 바깥의 타측에 위치하며, 초기화전원선(Vint)들은 양단이 제1초기화메인선(MVint1)과 제2초기화메인선(MVint2)에 각각 전기적으로 연결된다.
- [0036] 화소(4)들은 기관의 디스플레이영역(DA) 내에 위치하는데, 구체적으로 주사선들(S1 내지 Sn), 제1제어선(CL1), 제2제어선(CL2) 및/또는 데이터선들(D1 내지 Dm)의 교차부에 위치한다. 이와 같은 화소(4)들은 i 프레임 기간 동안 주사선들(S1 내지 Sn)로 공급되는 주사신호에 대응하여 데이터신호를 충전한다. 그리고 화소(4)들은 i-1 프레임 기간 동안 충전된 데이터신호에 대응하는 빛을 i 프레임 기간 중 동시에 발광한다. 또한, 화소(4)들은 i+1 프레임 기간 동안 주사선들(S1 내지 Sn)로 공급되는 주사신호에 대응하여 다음 데이터신호를 충전한다. 그리고 화소(4)들은 다음 데이터신호가 충전되는 i+1 프레임 중, i 프레임 기간 동안 충전된 데이터신호에 대응하는 빛을 동시에 발광한다.
- [0037] 도 2는 도 1에 도시된 화소의 일 예를 개략적으로 도시하는 회로도이다. 도면을 참조하면, 본 실시예에 따른 유기발광 디스플레이장치의 화소(4)는 제1트랜지스터(M1), 제1커패시터(C1), 구동회로(DC) 및 유기발광소자(OLED)를 구비한다.
- [0038] 유기발광소자(OLED)의 화소전극은 구동회로(DC)에 접속되고, 대향전극은 제2전원(ELVSS)에 접속된다. 이와 같은 유기발광소자(OLED)는 구동회로(DC)로부터 공급되는 전류량에 대응하여 소정 휘도의 빛을 생성한다.
- [0039] 제1트랜지스터(M1)의 제1전극은 데이터선(Dm)에 접속되고, 제2전극은 구동회로(DC)와 연결된 제1노드(N1)에 접속된다. 제1트랜지스터(M1)의 게이트전극은 주사선(Sn)에 접속된다. 이와 같은 제1트랜지스터(M1)는 주사선(Sn)으로부터 주사신호가 공급될 때 턴-온 된다.
- [0040] 제1커패시터(C1)는 제1노드(N1)와 제3전원(Vhold) 사이에 접속된다. 이와 같은 제1커패시터(C1)는 제1트랜지스터(M1)가 턴-온 될 때 데이터선(Dm)으로부터 공급되는 데이터신호에 대응하는 전압을 충전한다.
- [0041] 이때, 제3전원(Vhold)은 (필요에 따라 로우레벨/하이레벨로 가변할 수 있는) 소정의 전압으로 설정되는 고정전원(예를 들면, 직류전원)으로 설정될 수 있다. 예컨대, 제3전원(Vhold)은 제1전원(ELVDD)과 동일한 전압으로 설정될 수 있다. 제3전원(Vhold)은 경우에 따라 초기화 전압을 인가하는 초기화전원으로 설정될 수도 있다. 이 경우 제3전원(Vhold)은 초기화전원선(Vint), 제1초기화메인선(MVint1) 또는 제2초기화메인선(MVint2)에 연결될 수 있다. 물론 필요에 따라 제3전원(Vhold), 초기화전원 및 제1전원(ELVDD)이 동일한 전위를 갖도록 할 수도 있다.
- [0042] 초기화전원선(Vint)에 연결된 구동회로(DC)는 제1제어선(CL1)으로 제1제어신호가 공급될 때 초기화되고, 제2제어선(CL2)으로 제2제어신호가 공급될 때 제1커패시터(C1)에 충전된 전압에 대응하여 소정의 전압을 충전한다. 소정의 전압을 충전한 구동회로(DC)는 자신에게 충전된 전압에 대응하여 유기발광소자(OLED)로 공급되는 전류량을 제어한다. 즉, 소정의 전압을 충전한 구동회로(DC)는 충전된 전압에 대응하는 전류를 제1전원(ELVDD)으로부터 유기발광소자(OLED)를 경유하여 제2전원(ELVSS)으로 공급한다.
- [0043] 이와 같은 구동회로(DC)는 현재 공지된 다양한 형태의 회로로 구현가능하다.
- [0044] 도 3은 도 2에 도시된 구동회로(DC)를 포함한 도 1에 도시된 화소(4)의 일 예를 개략적으로 도시하는 회로도이다.

- [0045] 도 3을 참조하면, 구동회로(DC)는 7개의 트랜지스터들(M2 내지 M8)과 1개의 커패시터(C2)를 구비한다. 이에 따라 각 화소(4)의 화소회로는 8개의 트랜지스터들(M1 내지 M8)과 2개의 커패시터들(C1 및 C2)을 구비할 수 있다.
- [0046] 제2트랜지스터(M2)는 제1전극이 제1노드(N1)에 접속되고, 제2전극이 제2노드(N2)에 접속되며, 제2제어선(CL2)으로부터의 제2제어신호에 의해 프레임 기간 중 제1트랜지스터(M1)보다 먼저 턴-온 될 수 있다. 제2트랜지스터(M2)는 제2제어선(CL2)으로부터 제2제어신호가 공급될 시 턴-온 되어, 제1노드(N1)와 제2노드(N2)를 전기적으로 접속시킨다.
- [0047] 제3트랜지스터(M3)는 제1전극이 초기화전원선(Vint)에 접속되고, 제2전극이 제3노드(N3)에 접속되며, 제1제어선(CL1)으로부터의 제1제어신호에 의해 프레임 기간 중 제2트랜지스터(M2)보다 먼저 턴-온 될 수 있다. 제3트랜지스터(M3)는 제1제어선(CL1)으로부터 제1제어신호가 공급될 시 턴-온 되어, 제3노드(N3)로 초기화전원선(Vint)으로부터의 초기전원을 공급한다.
- [0048] 제4트랜지스터(M4)는 제1전극이 제3노드(N3)에 접속되고, 제2전극이 제4노드(N4)에 접속되며, 제2제어선(CL2)으로부터의 제2제어신호에 의해 제2트랜지스터(M2)와 동시에 턴-온 되고 동시에 턴-오프 될 수 있다. 제4트랜지스터(M4)는 제2제어선(CL2)으로부터 제2제어신호가 공급될 시 턴-온 되어, 제6트랜지스터(M6)를 다이오드 형태로 접속시킨다.
- [0049] 제5트랜지스터(M5)는 제1전극이 제1전원(ELVDD)에 접속되고, 제2전극은 제2노드(N2)에 접속되며, 제1제어선(CL1)으로부터의 제1제어신호에 의해 제3트랜지스터(M3)와 동시에 턴-온 되고 동시에 턴-오프 될 수 있다.
- [0050] 제6트랜지스터(M6)는 제1전극이 제2노드(N2)에 접속되고, 제2전극은 제4노드(N4)에 접속되며, 게이트전극이 제3노드(N3)에 접속된다. 이와 같은 제6트랜지스터(M6)는, 발광제어선(E)으로부터의 발광제어신호에 의해 제7트랜지스터(M7)와 제8트랜지스터(M8)가 턴-온 된 동안, 제3노드(N3)에 인가된 전압에 대응하는 전류를 제1전원(ELVDD)으로부터 유기발광소자(OLED)를 경유하여 제2전원(ELVSS)으로 공급한다.
- [0051] 제7트랜지스터(M7)는 제1전극이 제4노드(N4)에 접속되고, 제2전극은 유기발광소자(OLED)의 화소전극에 접속되며, 발광제어선(E)으로부터의 발광제어신호에 의해 프레임 기간 중 제1트랜지스터(M1)가 턴-온 될 때 턴-온 되어 이후 턴-온 상태를 유지한다.
- [0052] 제8트랜지스터(M8)는 제1전극이 제1전원(ELVDD)에 접속되고, 제2전극은 제2노드(N2)에 접속되며, 제7트랜지스터(M7)와 마찬가지로 발광제어선(E)으로부터의 발광제어신호에 의해 프레임 기간 중 제1트랜지스터(M1)가 턴-온 될 때 턴-온 되어 이후 턴-온 상태를 유지한다.
- [0053] 제2커패시터(C2)는 제1전극이 제3노드(N3)에 접속되고, 제2전극이 제1전원(ELVDD)에 접속된다. 이와 같은 제2커패시터(C2)는 제2트랜지스터(M2)와 제4트랜지스터(M4)가 턴-온 될 때 제1커패시터(C1)로부터 공급되는 전압에 대응하여 충전된다.
- [0054] 도 4는 도 3에 도시된 화소의 구동방법을 나타내는 파형도이다. 각 화소(4)는 동시 발광 방식으로 구동되며, 각 프레임 별로, 초기화 구간(Int), 보상/데이터이동 구간(Vth/Dtrans) 및 주사/발광 구간(Scan/Emission)으로 구분하여 동작한다. 주사/발광 구간(Scan/Emission)에서는 주사 신호가 각 주사선에 대해 순차적으로 입력되고, 이에 대응하여 각 화소(4)에 데이터 신호가 순차적으로 입력된다. 각 화소(4)에 포함된 구동 트랜지스터의 초기화 및 문턱전압 보상, 데이터 이동, 화소(4)들의 발광 동작은 프레임 별로 동시에 구현된다.
- [0055] 도면을 참조하면, i 프레임 기간의 초반부인 초기화 구간(Int)에서, 제1전원(ELVDD)의 전압이 하이 레벨이 되고, 제2전원(ELVSS)의 전압 및 제1제어선(CL1)의 제1제어신호가 로우레벨이 된다. 이에 따라, 제3트랜지스터(M3)와 제5트랜지스터(M5)가 턴-온 되어, 제2노드(N2)로 제1전원(ELVDD)의 전압이 인가되고 제3노드(N3)로 초기화전원선(Vint)의 초기화전원이 인가된다.
- [0056] 보상/데이터이동 구간(Vth/Dtrans)에서는, 제1전원(ELVDD)의 전압, 제2전원(ELVSS)의 전압 및 제2제어선(CL2)의 제2제어신호가 로우레벨이 된다. 이에 따라 제2트랜지스터(M2)가 턴-온 되어 제1커패시터(C1)에 저장되어 있던 i-1 프레임의 주사 구간 동안 화소(4)에 기입된 데이터 신호(D)에 대응하는 전압이 제2노드(N2), 즉 제6트랜지스터(M6)의 제1전극에 공급된다.
- [0057] 이때, 제3노드(N3)가 데이터신호보다 낮은 초기화전원선(Vint)의 초기화전압으로 초기화되었기 때문에, 다이오드 형태로 접속된 제6트랜지스터(M6)가 턴-온 된. 제6트랜지스터(M6)가 턴-온 되면 제6트랜지스터(M6)의 제1전극에 인가된 전압(제1커패시터(C1)에 저장되어 있던 i-1 프레임의 주사 구간 동안 화소(4)에 기입된 데이터 신호(D)에 대응하는 전압)에서 제6트랜지스터(M6)의 문턱전압만큼 감한 전압이 제3노드(N3)로 공급된다. 이때, 제

2커패시터(C2)는 제3노드(N3)에 인가된 전압에 대응하는 전압을 충전한다. 즉, 제2커패시터(C2)는 제6트랜지스터(M6)의 문턱전압을 보상하면서 $i-1$ 프레임 기간 동안 공급된 데이터신호(D)에 대응하는 전압을 충전한다.

[0058] 주사/발광 구간(Scan/Emission)에서는 주사 및 발광이 동시에 진행된다. 주사/발광 구간(Scan/Emission)에서는 제1전원(ELVDD)의 전압이 하이 레벨이 되고, 제2전원(ELVSS)의 전압 및 발광제어선(E)의 발광제어신호가 로우레벨이 된다. 그리고 로우레벨의 주사 신호(S1 내지 Sn)가 각 주사선에 순차적으로 입력되어 제1트랜지스터(M1)는 턴-온 되고, 각 주사선에 연결된 화소(4)에 i 프레임의 데이터 신호(D)가 순차적으로 입력된다. 이에 따라 제1커패시터(C1)에는 i 프레임의 데이터 신호에 대응하는 전압이 저장된다.

[0059] 한편, 주사/발광 구간(Scan/Emission)에서 제2트랜지스터(M2)는 턴-오프 되어 제1노드(N1)와 제2노드(N2)를 차단한다. 그리고 제7트랜지스터(M7) 및 제8트랜지스터(M8)가 턴-온 되어, 제6트랜지스터(MC6)의 제1전극은 제1전원(ELVDD)에 전기적으로 접속되고 제2전극은 유기발광소자(OLED)의 화소전극에 전기적으로 접속된다. 이때 제6트랜지스터(MC6)는 제3노드(N3)에 인가된 전압에 대응하여 제1전원(ELVDD)으로부터 유기발광소자(OLED)를 경유하여 제2전원(ELVSS)으로 흐르는 전류량을 제어한다. 즉, 제2커패시터(C2)에 저장된 $i-1$ 프레임의 주사 구간 동안 화소(4)에 기입된 데이터 신호에 대응하는 휘도로 유기발광소자(OLED)가 발광되도록 한다. 이때 디스플레이 영역 내 모든 화소(4)가 동시에 발광한다.

[0060] 즉, 주사/발광 구간(Scan/Emission)에서는 i 프레임의 데이터 신호가 주사 신호에 따라 순차적으로 입력되고, 이와 동시에, $i-1$ 프레임의 데이터 신호에 대응하여 디스플레이영역 내 모든 화소(4)가 동시에 발광한다. 한편, 발광 구간(Emission)은 주사 구간(Scan)과 일부 중첩하되, 주사 구간(Scan)보다 짧게 수행될 수 있다.

[0061] 이와 같은 유기발광 디스플레이 장치에 있어서, 제1커패시터(C1)가 접속되는 제3전원(Vhold)은 설계 편의상 전술한 것과 같은 초기화전원선(Vint)에 연결될 수 있다. 이 경우, 제1트랜지스터(M1)가 턴-온 되어 데이터신호(D)가 제1노드(N1)에 공급될 시, 제1커패시터(C1)가 접속된 초기화전원선(Vint)의 전압 안정성이 저하되면 제1노드(N1)에 정확한 데이터신호(D)가 공급되지 않게 될 수 있다.

[0062] 따라서 본 실시예에 따른 유기발광 디스플레이 장치의 경우, 도 1에 도시된 것과 같이 기관의 디스플레이영역(DA) 바깥의 일측에 제1초기화메인선(MVint1)이 위치하고 타측에 제2초기화메인선(MVint2)이 위치하도록 하며, 디스플레이영역(DA)을 가로지르는 초기화전원선(Vint)의 양단이 제1초기화메인선(MVint1)과 제2초기화메인선(MVint2)에 접속되도록 한다. 이에 따라 한 개의 초기화메인선만 위치하고 초기화전원선(Vint)의 일단만이 그 한 개의 초기화메인선에 접속되는 경우에 비해 IR 드롭 등에 의한 영향을 최소화함으로써, 초기화전원선(Vint)에서의 초기화전원 안정성과 균일성을 획기적으로 높일 수 있다.

[0063] 한편, 유기발광 디스플레이 장치의 제조 중 화소전극, 발광층을 포함하는 중간층 및 대향전극을 형성하기에 앞서, 도 1 및 도 3에 도시된 것과 같은 다양한 트랜지스터들이나 선들이 제대로 형성되었는지 여부를 검사하는 과정을 거칠 수 있다. 트랜지스터들이나 선들이 형성했으나 이들 중 일부에 불량 발생 상태에서 유기발광소자(OLED)를 형성하는 공정을 진행하는 것은, 전체적인 제조비용의 상승을 초래하기 때문이다.

[0064] 트랜지스터들이나 선들이 제대로 형성되었는지 여부를 검사하는 것은 다양한 방법으로 이루어질 수 있다. 특히 초기화전원선(Vint)들의 경우에는 초기화전원선(Vint)들 각각의 특정 지점에 검사단자를 접촉하고 이에 따른 전기적 신호값을 측정함으로써, 초기화전원(Vint)들의 단선 등과 같은 불량이 존재하는지를 효과적으로 파악할 수 있다.

[0065] 도 1에 도시된 것과 달리 디스플레이영역(DA)의 타측에만 제2초기화메인선(MVint2)이 존재하고 디스플레이영역(DA)의 일측에는 제1초기화메인선(MVint1)이 존재하지 않도록 하며 초기화전원선(Vint)들이 제2초기화메인선(MVint2)에 전기적으로 연결되도록 할 경우에는 초기화전원선(Vint)들의 단선 불량을 용이하게 확인할 수 있다. 이 경우 초기화전원선(Vint)들 각각의 제2초기화메인선(MVint2) 방향이 아닌 다른 방향의 부분에 검사단자를 접촉하고 이에 따른 전기적 신호값을 측정함으로써, 초기화전원선(Vint)들의 단선 불량을 용이하게 확인할 수 있다. 만일 초기화전원선(Vint)이 단선되어 있다면, 단선되지 않은 경우와 달리 초기화전원선(Vint)의 검사단자가 접촉된 부분이 제2초기화메인선(MVint2)에 전기적으로 연결되지 않아 상이한 전기적 신호값이 측정되기 때문이다.

[0066] 하지만, 도 1에 도시된 것과 같이 디스플레이영역(DA)의 일측에는 제1초기화메인선(MVint1)이 위치하고 디스플레이영역(DA)의 타측에는 제2초기화메인선(MVint2)이 위치하며 초기화전원선(Vint)들 각각의 양단이 제1초기화메인선(MVint1)과 제2초기화메인선(MVint2)에 전기적으로 연결된다면, 초기화전원선(Vint)들의 단선불량 검출이 용이하지 않게 된다. 어느 일 초기화메인선(Vint)이 단선되어 있다고 하더라도, 초기화전원선(Vint)의 검사단자

가 접촉된 부분이 다른 초기화메인선(Vint)들, 제1초기화메인선(MVint1) 및 제2초기화메인선(MVint2)에 전기적으로 연결되어 있기에, 상이한 전기적 신호값이 측정되지 않기 때문이다.

- [0067] 따라서 제1초기화메인선(MVint), 제2초기화메인선(MVint2) 및 초기화전원선(Vint)들에 대해 도 1에 도시된 것과 같은 구성을 취하면서도 초기화전원선(Vint)들의 단선 불량여부를 용이하게 확인할 수 있도록 할 필요가 있다. 이하에서는 이에 대해 자세히 설명한다.
- [0068] 도 5 내지 도 8은 도 1의 유기발광 디스플레이 장치의 제조공정들을 개략적으로 도시하는 단면도들이다.
- [0069] 먼저 도 5에 도시된 것과 같이, 기판(110)의 디스플레이영역(DA) 내에 패터닝된 복수개의 반도체층(130)들과, 기판(110)의 디스플레이영역(DA) 일측에 추가 반도체층(191)을 형성한다. 즉, 추가 반도체층(191)은 기판(110)의 비디스플레이영역(NDA)에 형성되도록 한다. 반도체층(130)들과 추가 반도체층(191)은 실리콘을 포함하도록 동일한 공정으로 동시에 형성될 수 있다. 반도체층(130)들은 추후 도 3에 도시된 트랜지스터들(M1 내지 M8)의 활성층이 될 수 있다.
- [0070] 기판(110)은 글라스재, 금속재 또는 플라스틱재 등과 같은 다양한 재료로 형성된 것일 수 있다. 필요에 따라, 반도체층(130)들과 추가 반도체층(191)의 형성에 앞서, 기판(110) 상에 기판(110)의 면을 평탄화하기 위해 또는 반도체층(130)으로 불순물 등이 침투하는 것을 방지하기 위해, 실리콘옥사이드 또는 실리콘나이트라이드 등으로 형성된 버퍼층(120)을 형성하는 공정을 먼저 거칠 수도 있다.
- [0071] 반도체층(130)들과 추가 반도체층(191)을 형성한 후, 반도체층(130)들과 추가 반도체층(191)을 덮도록 실리콘옥사이드 및/또는 실리콘나이트라이드 등으로 제1절연막(140)을 형성한다. 이 제1절연막(140)은 예컨대 게이트절연막일 수 있다.
- [0072] 그 후, 제1절연막(140) 상에 게이트전극(150)들과 캐핑층(193)을 형성한다. 게이트전극(150)들과 캐핑층(193)은 동일 물질로 동시에 형성할 수 있다. 게이트전극(150)들과 캐핑층(193)은 예컨대 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 중 하나 이상의 물질로 단층 또는 다층으로 형성될 수 있다.
- [0073] 이와 같이 게이트전극(150)들과 캐핑층(193)을 형성한 후, 게이트전극(150)들과 캐핑층(193)을 마스크로 활용하여, 복수개의 반도체층(130)들 각각의 게이트전극(150)들에 대응하지 않는 부분과 추가 반도체층(191)의 캐핑층(193)에 대응하지 않는 부분을 도핑한다. 이에 따라 복수개의 반도체층(130)들 각각의 게이트전극(150)들에 대응하는 부분과 추가 반도체층(191)의 캐핑층(193)에 대응하는 부분은 도핑되지 않아, 전도성을 갖지 않은 채 남아 있게 된다.
- [0074] 이후, 제1절연막(140), 게이트전극(150)들 및 캐핑층(193)을 덮도록 제2절연막(160)을 형성한 후 이를 패터닝한다. 이를 통해, 도 6에 도시된 것과 같이 복수개의 반도체층(130)들 각각의 소스영역 및 드레인영역과, 추가 반도체층(191)의 캐핑층(193)에 대응하지 않는 부분의 적어도 일부와, 캐핑층(193)의 상면이 노출되도록 한다. 이와 같이 형성된 제2절연막(160)은 층간절연막으로 이해될 수 있다. 이러한 제2절연막(160)은 실리콘옥사이드 또는 실리콘나이트라이드 등의 물질로 단층으로 형성되거나 또는 다층으로 형성될 수 있다.
- [0075] 한편, 제2절연막(160)의 패터닝 중 제1절연막(140)의 일부 역시 같이 제거된다. 이에 따라 도시된 것과 같이 추가 반도체층(191)과 캐핑층(193) 사이에는 캐핑층(193)의 형상에 대응하는 아일랜드 형상의 아일랜드 절연층(140')이 개재된다. 이 아일랜드 절연층(140')은 물론 제1절연막(140)이 패터닝된 결과물로 이해될 수 있다.
- [0076] 그 후, 복수개의 반도체층(130)들 및 추가 반도체층(191)의 제1절연막(140) 및 제2절연막(160)에 의해 덮이지 않은 부분과 캐핑층(193)을 덮도록 제2절연막(160) 상에 도전층을 형성하고, 이를 패터닝한다. 패터닝을 통해, 도 7에 도시된 것과 같이, 복수개의 반도체층(130)들 각각의 소스영역 및 드레인영역에 접촉하는 소스/드레인전극(170)들이 형성되고, 캐핑층(193)이 제거되도록 한다. 아울러 추가 반도체층(191)의 일측에서 접촉하는 제1초기화메인선(MVint1)과 추가 반도체층(191)의 타측에서 접촉하는 초기화전원선(Vint)이 형성되도록 한다. 즉, 소스/드레인전극(170)들, 제1초기화메인선(MVint1) 및 초기화전원선(Vint)은 동일 물질로 동시에 형성될 수 있다. 물론 제2초기화메인선(MVint2)도 동시에 형성되도록 할 수 있으며, 이 경우 초기화전원선(Vint)이 제2초기화메인선(MVint2)에 직접 접속되거나 전기적으로 연결되도록 할 수 있다.
- [0077] 이러한 소스/드레인전극(170)들, 제1초기화메인선(MVint1), 초기화전원선(Vint) 및/또는 제2초기화메인선(MVint2)은 예컨대 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 중 하나

이상의 물질로 단층 또는 다층으로 형성될 수 있다.

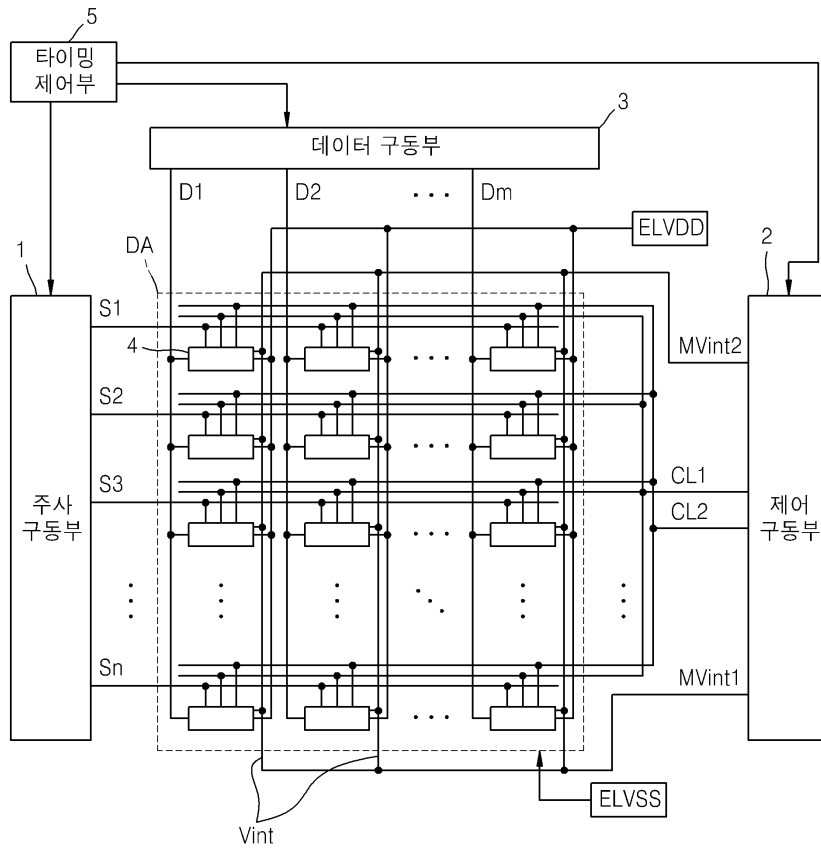
- [0078] 이와 같이 제조된 상황의 경우, 초기화전원선(Vint)의 단선여부를 효과적으로 확인할 수 있다. 즉, 초기화전원선(Vint)은 그 타단이 제2초기화메인선(MVint2)과 전기적으로 연결된 상태이지만, 그 일단은 제1초기화메인선(MVint1)과 전기적으로 연결되지 않은 상태이다. 이는 초기화전원선(Vint)의 일단이 추가 반도체층(191)과 접촉하고 제1초기화메인선(MVint1)도 추가 반도체층(191)과 접촉하고 있지만, 추가 반도체층(191)의 아일랜드 절연층(140')에 대응하는 부분이 도핑되지 않은 상태이기에 전도도가 극히 낮기 때문이다. 따라서 검사단자를 초기화전원선(Vint)들 각각의 제2초기화메인선(MVint2) 방향이 아닌 반대쪽 방향에 접촉함으로써, 초기화전원선(Vint)들 각각의 단선 여부를 효과적으로 확인할 수 있다. 물론 초기화전원선(Vint)들 이외의 다른 선들이나 박막트랜지스터들이 제대로 형성되었는지 여부도 확인할 수 있다.
- [0079] 이후, 도 7에 도시된 것과 같은 상태에서, 추가 반도체층(191)의 도핑되지 않은 부분을 도핑한다. 아일랜드 절연층(140')은 캐핑층(193)과 달리 금속층이 아니기에, 도펀트가 아일랜드 절연층(140')을 통과하여 추가 반도체층(191)에 주입되도록 할 수 있다. 추가 반도체층(191)의 아일랜드 절연층(140')에 대응하지 않는 부분들은 이미 도핑이 된 상태이기에, 결과적으로 추가 반도체층(191)의 아일랜드 절연층(140')에 대응하는 부분에서의 도핑농도보다 추가 반도체층(191)의 아일랜드 절연층(140')에 대응하지 않는 부분에서의 도핑농도가 더 높게 된다. 이와 같은 도핑을 통해, 초기화전원선(Vint)들은 제1초기화메인선(MVint1)에 전기적으로 연결된다.
- [0080] 이후에는, 트랜지스터(TFT) 등을 덮도록 디스플레이영역(DA)과 비디스플레이영역(NDA)에 걸쳐 보호막(181)과 평탄화막(182)을 형성하고, 평탄화막(182) 상에 트랜지스터(TFT)와 전기적으로 연결되는 화소전극(210)을 형성하며, 화소전극(210)의 적어도 중앙부분이 노출되도록 하는 화소정의막(183)을 형성하고, 적어도 화소전극(210) 상에 발광층을 포함하는 중간층(220)을 형성하며, 중간층(220)을 덮도록 디스플레이영역(DA)에 있어서 일체(一體)인 대향전극(230)을 형성함으로써, 도 8에 도시된 것과 같은 유기발광 디스플레이 장치를 제조할 수 있다. 여기서 화소전극(210), 중간층(220) 및 대향전극(230)을 구비하는 구성요소를 유기발광소자(OLED, 200)라 할 수 있다.
- [0081] 도 9 및 도 10은 본 발명의 다른 일 실시예에 따른 유기발광 디스플레이 장치의 제조공정들을 개략적으로 도시하는 단면도들이다. 먼저 도 6을 참조하여 전술한 것과 같이 제1절연막(140) 및 제2절연막(160)을 패터닝한 후, 그 후, 복수개의 반도체층(130)들 및 추가 반도체층(191)의 제1절연막(140) 및 제2절연막(160)에 의해 덮이지 않은 부분과 캐핑층(193)을 덮도록 제2절연막(160) 상에 도전층을 형성하고, 이를 패터닝한다.
- [0082] 패터닝을 통해, 도 9에 도시된 것과 같이, 복수개의 반도체층(130)들 각각의 소스영역 및 드레인영역에 접촉하는 소스/드레인전극(170)들이 형성되고, 캐핑층(193)이 제거되도록 한다. 아울러 기관(110)의 디스플레이영역(DA)에서 디스플레이영역(DA) 바깥의 일측 방향으로 연장된 초기화전원선(Vint)과 디스플레이영역(DA) 바깥의 일측에 위치한 제1초기화메인선(MVint1)이 형성되도록 하며, 추가 반도체층(191)의 제1절연막(140)과 제2절연막(160)에 의해 덮이지 않은 부분이 노출되도록 한다. 도면에서는 초기화전원선(Vint)이 디스플레이영역(DA) 외측에만 존재하는 것으로 도시하였으나 이는 단면도의 편의상 그와 같이 도시한 것일 뿐이며, 도 1 등에서 도시된 것과 같이 초기화전원선(Vint)은 디스플레이영역(DA)에서 그 외측으로 연장된 형상을 가질 수 있다.
- [0083] 이와 같이 소스/드레인전극(170)들, 제1초기화메인선(MVint1) 및 초기화전원선(Vint)은 동일 물질로 동시에 형성될 수 있다. 물론 제2초기화메인선(MVint2)도 동시에 형성되도록 할 수 있으며, 이 경우 초기화전원선(Vint)이 제2초기화메인선(MVint2)에 직접 접촉되거나 전기적으로 연결되도록 할 수 있다.
- [0084] 이와 같이 제조된 상황의 경우, 초기화전원선(Vint)의 단선여부를 효과적으로 확인할 수 있다. 즉, 초기화전원선(Vint)은 그 타단이 제2초기화메인선(MVint2)과 전기적으로 연결된 상태이지만, 그 일단은 제1초기화메인선(MVint1)과 전기적으로 연결되지 않은 상태이다. 따라서 검사단자를 초기화전원선(Vint)들 각각의 제2초기화메인선(MVint2) 방향이 아닌 반대쪽 방향에 접촉함으로써, 초기화전원선(Vint)들 각각의 단선 여부를 효과적으로 확인할 수 있다. 물론 초기화전원선(Vint)들 이외의 다른 선들이나 박막트랜지스터들이 제대로 형성되었는지 여부도 확인할 수 있다.
- [0085] 이후에는, 트랜지스터(TFT) 등을 덮도록 디스플레이영역(DA)과 비디스플레이영역(NDA)에 걸쳐 보호막(181)과 평탄화막(182)을 형성하고, 평탄화막(182) 상에 트랜지스터(TFT)와 전기적으로 연결되는 화소전극(210)을 형성하며, 화소전극(210)의 적어도 중앙부분이 노출되도록 하는 화소정의막(183)을 형성하고, 적어도 화소전극(210) 상에 발광층을 포함하는 중간층(220)을 형성하며, 중간층(220)을 덮도록 디스플레이영역(DA)에 있어서 일체(一體)인 대향전극(230)을 형성함으로써, 도 8에 도시된 것과 같은 유기발광 디스플레이 장치를 제조할 수 있다.

- [0086] 이때 화소전극(210)과 트랜지스터(TFT)를 전기적으로 연결하기 위해 보호막(181)과 평탄화막(182)에 콘택홀을 형성할 시, 보호막(181)과 평탄화막(182)의 추가 반도체층(191) 상부 부분도 함께 제거할 수 있다. 또한, 화소전극(210)의 적어도 중앙부가 노출되도록 화소정의막(183)을 패터닝할 시, 화소정의막(183)의 추가 반도체층(191) 상부 부분도 함께 제거할 수 있다. 그리고 대항전극(230)을 형성할 시 동일물질로 동시에, 추가 반도체층(191)이 위치한 부분에도 초기화전원선(Vint)과 제1초기화메인선(MVint1)에 각각 콘택하는 도전층(195)을 형성한다. 이와 같은 도전층(195)을 통해, 초기화전원선(Vint)들이 제1초기화메인선(MVint1)에 전기적으로 연결되도록 할 수 있다.
- [0087] 물론 도 8에 도시된 것과 같은 상태에서, 필요에 따라 추가 반도체층(191)의 도핑되지 않은 부분을 도핑할 수도 있다. 이 경우 아일랜드 절연층(140')은 캐핑층(193)과 달리 금속층이 아니기에, 도펀트가 아일랜드 절연층(140')을 통과하여 추가 반도체층(191)에 주입되도록 할 수 있다. 추가 반도체층(191)의 아일랜드 절연층(140')에 대응하지 않는 부분들은 이미 도핑이 된 상태이기에, 결과적으로 추가 반도체층(191)의 아일랜드 절연층(140')에 대응하는 부분에서의 도핑농도보다 추가 반도체층(191)의 아일랜드 절연층(140')에 대응하지 않는 부분에서의 도핑농도가 더 높게 된다.
- [0088] 도전층(195)을 형성할 시 제1절연막(140)이나 제2절연막(160) 외에 보호막(181), 평탄화막(182) 및 화소정의막(183)도 존재하기에, 이러한 막들의 개구 내 깊숙한 곳에 위치한 저면(즉 추가 반도체층(191)의 상면) 상에도 도전층(195)이 균일하게 형성되지 않을 수 있으며, 나아가 단선될 수도 있다. 도전층(195)이 단선될 경우, 초기화전원선(Vint)과 제1초기화메인선(MVint)이 전기적으로 연결되지 않을 수 있다.
- [0089] 하지만 추가 반도체층(191)이 도핑되어 전도성을 가진다면, 초기화전원선(Vint)들이 제1초기화메인선(MVint1)에 도전층(195)과 도핑된 추가 반도체층(191)을 통해 전기적으로 확실하게 연결되도록 할 수 있다. 즉, 도전층(195)이 단선된다 하더라도 도전층(195)이 일부가 제1초기화메인선(MVint1)과 추가 반도체층(191)을 전기적으로 연결하고 다른 일부가 초기화전원선(Vint)과 추가 반도체층(191)을 전기적으로 연결한다면, 초기화전원선(Vint)들이 제1초기화메인선(MVint1)에 도전층(195)과 도핑된 추가 반도체층(191)을 통해 전기적으로 연결되도록 할 수 있다.
- [0090] 지금까지 유기발광 디스플레이 장치의 제조방법에 대해 설명하였으나 본 발명이 이에 한정되는 것은 아니며, 유기발광 디스플레이 장치 역시 본 발명의 범위에 속한다.
- [0091] 예컨대, 도 1 내지 도 3 및 도 8에 도시된 것과 같이, 본 발명의 일 실시예에 따른 유기발광 디스플레이 장치는, 기관(110)의 디스플레이영역(DA) 내에 위치하며 주사선들(S1 내지 Sn) 및 데이터선들(D1 내지 Dm)의 교차부에 위치하는 화소(4)들과, 기관(110)의 디스플레이영역(DA) 바깥의 일측에 위치한 제1초기화메인선(MVint1)과 기관(110)의 디스플레이영역(DA) 바깥의 타측에 위치한 제2초기화메인선(MVint2)과, 화소(4)들에 전기적으로 연결되며 제1초기화메인선(MVint1)과 제2초기화메인선(MVint2)에 양단이 전기적으로 연결된 초기화전원선(Vint)들과, 제1초기화메인선(MVint1)과 일측에서 콘택하고 초기화전원선(Vint)과 타측에서 콘택하는 도핑된 추가 반도체층(191)을 포함하여 제1초기화메인선(MVint1)과 초기화전원선(Vint)을 전기적으로 연결하는 제1전기적 연결부를 구비할 수 있다. 도 8의 경우 제1전기적 연결부는 도핑된 추가 반도체층(191)을 의미한다.
- [0092] 이와 같은 본 실시예에 따른 유기발광 디스플레이 장치는 제조 과정에서 초기화전원선(Vint)의 단선 여부를 용이하게 확인할 수 있으면서도, 제조 후 초기화전원선(Vint)을 통해 디스플레이영역(DA)의 화소(4)들에 공급되는 초기화전원의 균일도를 획기적으로 높일 수 있다.
- [0093] 물론 도핑된 추가 반도체층(191)은 화소(4)들이 포함하는 박막트랜지스터의 반도체층(130)과 동일층에 위치할 수 있다. 그리고 초기화전원선(Vint)은 화소(4)들이 포함하는 박막트랜지스터(TFT)의 소스/드레인전극(170)과 동일층에 위치하며, 초기화전원선(Vint)의 하부에 위치한 제2절연막(160)의 도핑된 추가 반도체층(191)의 적어도 일부가 노출되도록 하는 개구를 통해 도핑된 추가 반도체층(191)에 콘택할 수 있다.
- [0094] 경우에 따라서는 초기화전원선(Vint)은 소스/드레인전극(170)과 동일층이 아닌 게이트전극(150) 등과 같은 다른 구성요소와 동일층에 위치할 수도 있으며, 이 경우 소스/드레인전극(170)과 동일층에 위치하며 추가 반도체층(191)에 콘택하는 도전층이 상이한 층에 위치한 초기화전원선(Vint)과 콘택홀 등을 통해 전기적으로 연결되는 구성을 취할 수 있다.
- [0095] 도 8에 도시된 것과 같이, 제1초기화메인선(MVint1)은 제2절연막(160) 상에 위치하며, 제2절연막(160)의 도핑된 추가 반도체층(191)의 적어도 일부가 노출되도록 하는 개구를 통해 도핑된 추가 반도체층(191)에 콘택할 수 있다. 한편, 도핑된 추가 반도체층(191) 상의 일측과 타측 사이 부분에는, 초기화전원선(Vint) 하부의 제2절연막

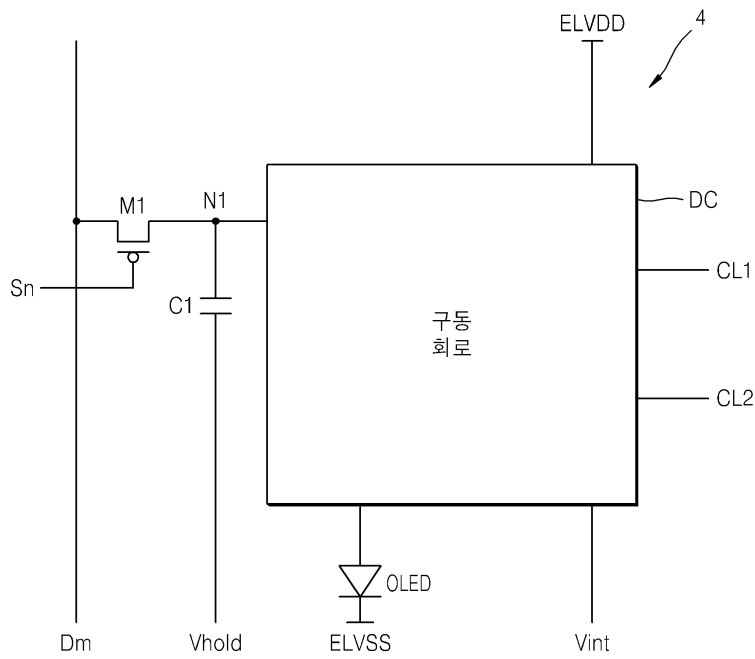
195: 도전층

도면

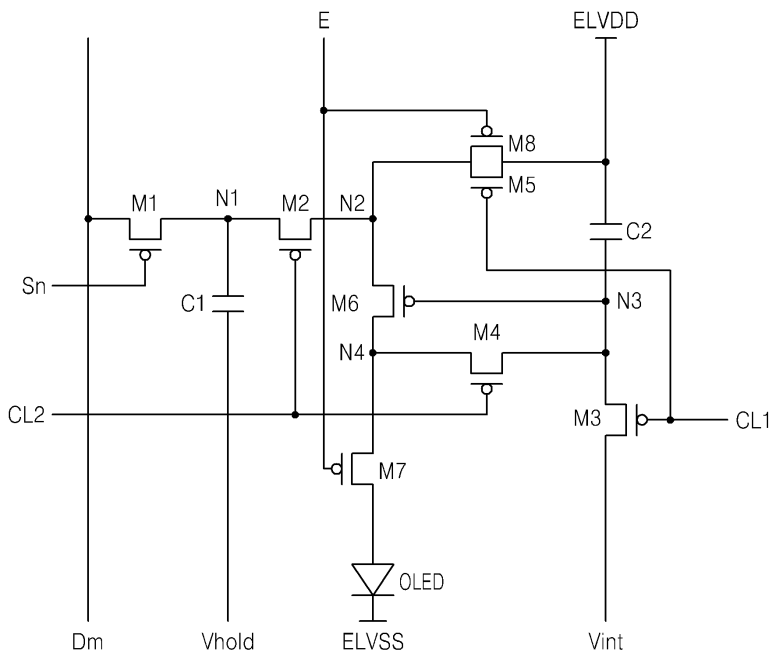
도면1



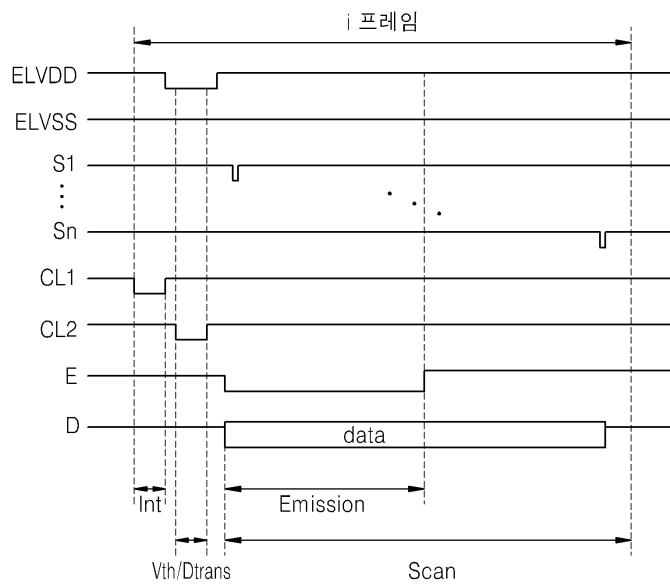
도면2



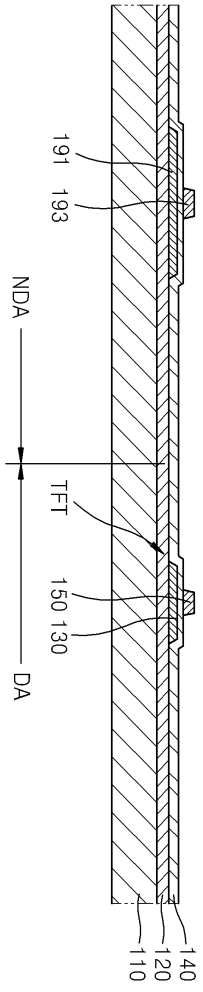
도면3



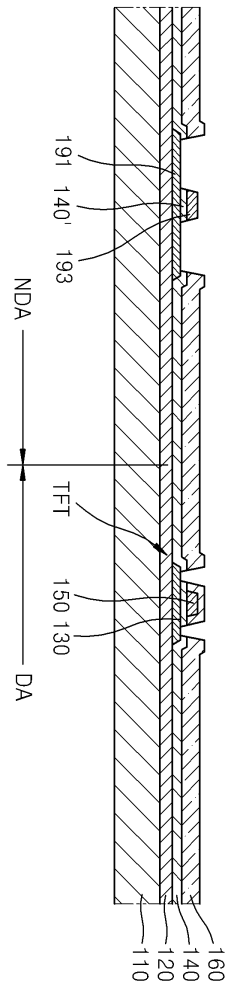
도면4



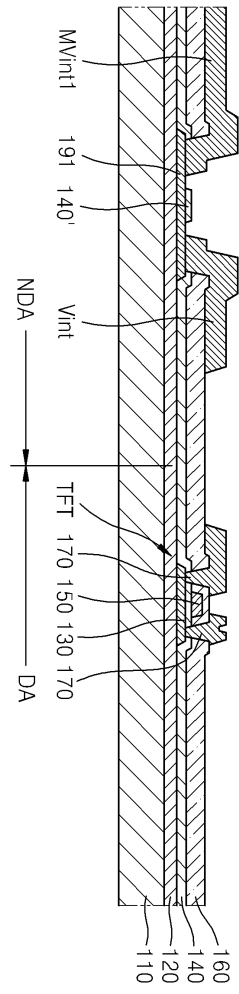
도면5



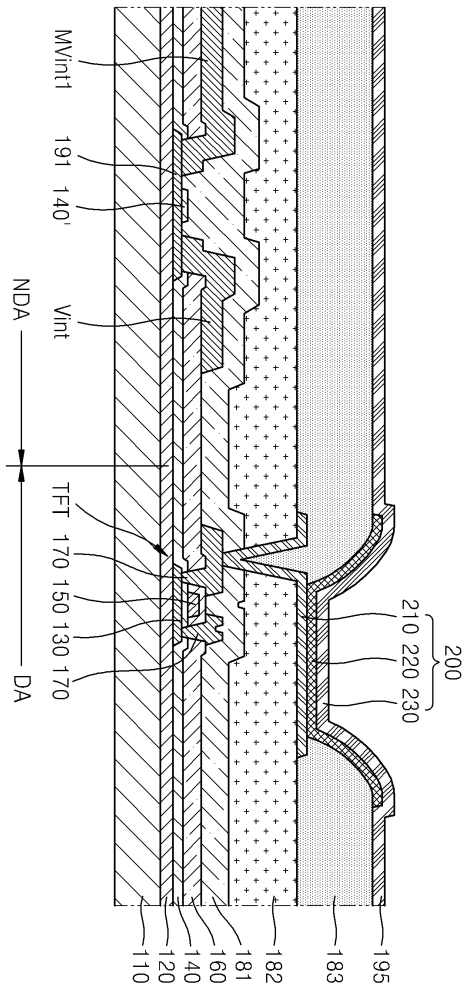
도면6



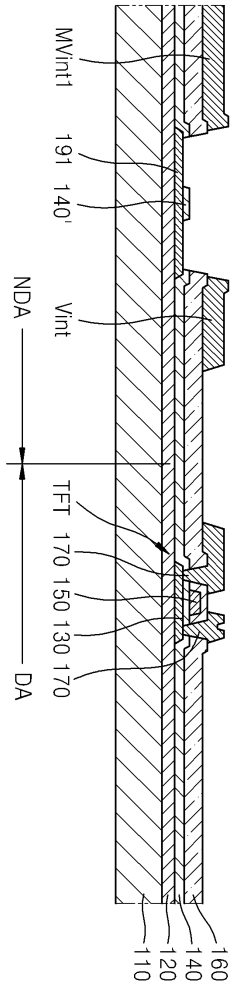
도면7



도면8



도면9



도면10

