

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-113783

(P2012-113783A)

(43) 公開日 平成24年6月14日 (2012.6.14)

(51) Int.Cl. F 1 テーマコード (参考)
G 1 1 C 29/00 (2006.01) G 1 1 C 29/00 6 0 5 C 5 L 1 0 6

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21) 出願番号	特願2010-262152 (P2010-262152)	(71) 出願人	000168285 エヌイーシーコンピュータテクノ株式会社 山梨県甲府市大津町 1 0 8 8 - 3
(22) 出願日	平成22年11月25日 (2010.11.25)	(74) 代理人	100103894 弁理士 冢入 健
		(72) 発明者	田邊 泰彦 山梨県甲府市大津町 1 0 8 8 - 3 エヌイーシーコンピュータテクノ株式会社内
		F ターム (参考)	5L106 AA00 CC05 CC16 CC21 CC32 DD24 DD25 DD26 EE07 FF04 FF05 GG07

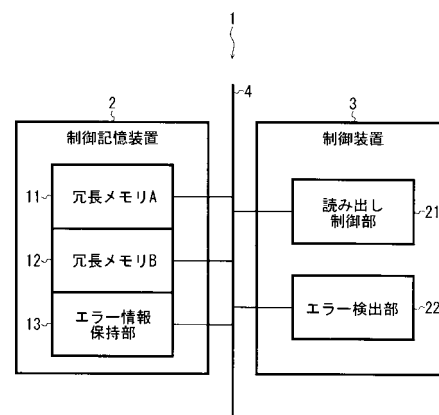
(54) 【発明の名称】 半導体集積回路装置、制御記憶装置の制御方法及びプログラム

(57) 【要約】

【課題】ブロック単位で構築された冗長構成の利点を最大限利用すると共に、制御記憶装置自体にエラーチェック機構が備えられていない場合であっても対処可能にする。

【解決手段】エラー検出部 2 2 は、読み出し制御部 2 1 が通常の運用時における制御装置 3 の動作を規定する通常運用データを冗長メモリ 1 1 , 1 2 から読み出す前に、通常運用データを格納するブロックに対してチェック処理を行う。当該チェック処理によるエラー情報はエラー情報保持部 1 3 に保持させる。読み出し制御部 2 1 は、エラー情報保持部 1 3 に保持されたエラー情報に基づいて、エラーが検出されたブロックに冗長構成的に対応する健全なブロックが存在するか否かを判定し、健全なブロックが存在する場合には、通常運用データの読み出しを行う。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

ファームウェアを格納する制御記憶装置と、前記ファームウェアにより制御される制御装置とを備える半導体集積回路装置であって、

前記制御記憶装置は、

前記ファームウェアを複数のブロックに分割して格納し、前記ブロック単位の冗長性を有する複数の冗長メモリと、

前記各ブロックに格納されたデータの有効性を示すエラー情報を前記ブロック毎に保持するエラー情報保持手段と、

を備え、

10

前記制御装置は、

前記各ブロックに格納されたデータの読み出しを制御する読み出し制御手段と、

前記各ブロックに格納されたデータの有効性を判定し、前記エラー情報を生成するチェック処理を行うエラー検出手段と、

を備え、

前記エラー検出手段は、前記読み出し制御手段が通常の運用時における前記制御装置の動作を規定する通常運用データを読み出す前に、前記通常運用データを格納する前記ブロックに対して前記チェック処理を行い、当該チェック処理により取得された前記エラー情報を前記エラー情報保持手段に保持させ、

前記読み出し制御手段は、前記エラー情報保持手段に保持された前記エラー情報に基づいて、エラーが検出された前記ブロックに冗長構成的に対応する健全な前記ブロックが存在するか否かを判定し、当該健全なブロックが存在する場合には、前記通常運用データの読み出しを行う、

20

半導体集積回路装置。

【請求項 2】

前記通常運用データを読み出す前に行われる前記チェック処理は、当該処理の過程においてエラーが検出されるか否かに関わらず、全ての前記冗長メモリの前記ブロックに対して連続的に行われる、

請求項 1 に記載の半導体集積回路。

30

【請求項 3】

ブロック単位の冗長性を有する複数の冗長メモリを備え、制御装置を制御するファームウェアを前記各ブロックに分割して格納する制御記憶装置の制御方法であって、

通常の運用時における前記制御装置の動作を規定する通常運用データを、前記ブロックから前記制御装置へ読み出すステップと、

前記通常運用データを読み出す前に、前記ブロックに格納された前記通常運用データの有効性を判定するステップと、

前記有効性の判定結果を示す前記エラー情報を前記ブロック毎に保持するステップと、

前記保持されたエラー情報に基づいて、エラーが検出された前記ブロックに冗長構成的に対応する健全な前記ブロックが存在するか否かを判定し、当該健全なブロックが存在する場合には、前記通常運用データの読み出しを行うステップと、

40

を備える制御記憶装置の制御方法。

【請求項 4】

前記通常運用データを読み出す前に行われる前記有効性の判定は、当該判定処理の過程においてエラーが検出されるか否かに関わらず、全ての前記冗長メモリの前記ブロックに対して連続的に行われる、

請求項 3 に記載の制御記憶装置の制御方法。

【請求項 5】

ブロック単位の冗長性を有する複数の冗長メモリを備え、制御装置を制御するファームウェアを前記各ブロックに分割して格納する制御記憶装置の制御プログラムであって、

前記制御装置に、

50

通常の運用時における前記制御装置の動作を規定する通常運用データを、前記ブロックから前記制御装置へ読み出す処理と、

前記通常運用データを読み出す前に、前記ブロックに格納された前記通常運用データの有効性を判定する処理と、

前記有効性の判定結果を示す前記エラー情報を前記ブロック毎に保持する処理と、

前記保持されたエラー情報に基づいて、エラーが検出された前記ブロックに冗長構成的に対応する健全な前記ブロックが存在するか否かを判定し、当該健全なブロックが存在する場合には、前記通常運用データの読み出しを行う処理と、
を実行させる制御記憶装置の制御プログラム。

【請求項 6】

10

前記通常運用データを読み出す前に行われる前記有効性の判定は、当該判定処理の過程においてエラーが検出されるか否かに関わらず、全ての前記冗長メモリの前記ブロックに対して連続的に行われる、

請求項 5 に記載の制御記憶装置の制御プログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、マイクロコード等を格納する制御記憶装置を備える半導体集積回路装置に関し、特に冗長化された制御記憶装置の制御に関するものである。

【背景技術】

20

【0002】

図 4 は、従来の制御記憶装置 101 の構成及び動作を模式的に示している。制御記憶装置 101 は、冗長メモリ A 201 及び冗長メモリ B 202 を備えている。両冗長メモリ 201, 202 には、プロセッサの一部を構成する制御装置を制御するファームウェア等が格納される。両冗長メモリ 201, 202 の記憶領域は、複数のブロックから構成され、上記ファームウェア等のデータは、各ブロックに分割された状態で格納される。

【0003】

図中、データエントリ A 1 ~ A n ~ , B 1 ~ B n ~ は、各ブロックに付された識別情報である。両冗長メモリ 201, 202 は、同一のブロック構成を有している。本例においては、データエントリ A 1 , A 2 , ~ , A n , ~ とデータエントリ B 1 , B 2 , ~ , B n , ~ とが、それぞれ冗長構成的に対応している。

30

【0004】

冗長メモリ A 201 及び冗長メモリ B 202 に格納されるファームウェアには、制御装置の通常の運用時における動作を規定するデータ（通常運用データ）、起動時の動作のみを規定するデータ等、様々なものが含まれる。このような冗長メモリ 201, 202 に格納されるデータは、通常、制御装置に読み出される前にその有効性がチェックされ、エラーのあるデータは制御装置に読み出されないようになされている。

【0005】

上記チェック処理は、ハードウェア（制御記憶装置 101）自身がチェック機構を持たない場合には、ファームウェアにより制御装置を介して行われる。このファームウェアによるチェック処理としては、通常運用データの読み出しを開始する前に、一度だけチェックサムにより行う方法等がある。両冗長メモリ 201, 202 に使用される記憶媒体は、通常、アクセス速度が遅い不揮発性メモリであるため、常時チェックや演算負荷の大きいチェック処理は不向きである。

40

【0006】

図 5 は、上記のような制御記憶装置 101 の動作を例示している。まず、冗長メモリ A 201 の各ブロックを昇順にチェックし（S 101）、エラーがあるか否かを判定する（S 102）。ステップ S 102 において、エラーがないと判定された場合（N）には、当該チェック処理の対象となった冗長メモリ A 201 を使用可能と判定し（S 105）、通常の運用（通常運用データの読み出し等）を開始する（S 106）。

50

【 0 0 0 7 】

一方、ステップ S 1 0 2 において、エラーがあると判定された場合 (Y) には、当該チェック処理の対象を冗長メモリ B 2 0 2 に切り替え (S 1 0 3)、エラーがあるか否かを判定する (S 1 0 4)。ステップ S 1 0 4 において、エラーがないと判定された場合 (N) には、当該チェック処理の対象となった冗長メモリ B 2 0 2 を使用可能と判定し (S 1 0 5)、通常の運用を開始する (S 1 0 6)。一方、ステップ S 1 0 4 において、エラーがあると判定された場合 (Y) には、冗長メモリ A 2 0 1 及び冗長メモリ B 2 0 2 を共に使用不可能と判定し (S 1 0 7)、運用を中止する (S 1 0 8)。

【 0 0 0 8 】

また、他の先行技術として、下記特許文献 1 及び特許文献 2 が開示されている。特許文献 1 に開示される記憶部の冗長化方法は、記憶部への書き込みを制御する制御部に異常が生じた場合でも両系の記憶部 (0 系記憶部と 1 系記憶部) の既存データ (正常データ) が同時に破壊されないようにすることを課題とするものであり、ブロック単位で冗長化された両記憶部に交互にデータを書き込むことにより、両系記憶部に対して同一のタイミングでデータが書き込まれないようにするものである。当該方法においては、各ブロックにユーザデータを書き込む際に、CRC (Cyclic Redundancy Check) 等の検査が行われ、ブロック毎にデータの正常性を示す誤り検出情報が書き込まれる (同文献段落 0 0 3 3 - 0 0 3 6 等参照)。

【 0 0 0 9 】

特許文献 2 に係るディスクアレイ装置は、データを格納する複数のディスク装置、冗長情報として例えばパリティを格納する 1 台のディスク装置、及び予備機として待機状態にある少なくとも 1 台のディスク装置を備えるものである。データ記録用又はパリティ記録用のディスク装置に故障が生ずると、予備のディスク装置が故障したディスク装置の代わりに割り当てられてデータの修復が行われ、予備のディスク装置が本来のデータ記録用ディスク装置として運用される。これにより、故障が修復した段階で予備のディスク装置からデータを書き戻す必要がなくなり、予備のディスク装置に対するデータ修復が完了した段階で通常の処理に戻ることができる。とされている。

【 先行技術文献 】

【 特許文献 】

【 0 0 1 0 】

【 特許文献 1 】特開平 9 - 2 6 3 0 2 6 号公報

【 特許文献 2 】特開平 6 - 1 1 9 1 2 5 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 1 】

上記図 4 , 5 に係る制御記憶装置 1 0 1 においては、上記チェック処理により例えば冗長メモリ A 2 0 1 のデータエントリ A 1 と冗長メモリ B 2 0 2 のデータエントリ B n とにエラーが検出された場合には、両冗長メモリ 2 0 1 , 2 0 2 が使用不可能となる (S 1 0 7)。しかしながら、両冗長メモリ 2 0 1 , 2 0 2 のブロック構成においては、データエントリ A 1 とデータエントリ B 1 とが対応し、データエントリ A n とデータエントリ B n とが対応している。従って、データエントリ A 1 に替わってデータエントリ B 1 を利用すると共に、データエントリ B n に替わってデータエントリ A n を利用することにより、通常の運用を行うことが可能である。このように、上記のような制御記憶装置 1 0 1 は、自らが備える冗長機能を十分に発揮できないものであった。

【 0 0 1 2 】

また、特許文献 1 に係る方法においては、CRC 等のチェック処理がユーザデータの書き込みの際に行われる。しかしながら、上記のような通常運用データの読み出しに先立って行われるチェック処理については、如何なる手段を講じるのか不明である。従って、制御記憶装置自体にエラーチェック機構を備えることが必須になるものと予想される。

【 0 0 1 3 】

そこで、本発明は、ブロック単位で構築された冗長構成の利点を最大限利用すると共に、制御記憶装置自体にエラーチェック機構が備えられていない場合であっても対処可能にすることを課題とする。

【課題を解決するための手段】

【0014】

本発明の第1の態様は、ファームウェアを格納する制御記憶装置と、前記ファームウェアにより制御される制御装置とを備える半導体集積回路装置であって、前記制御記憶装置は、前記ファームウェアを複数のブロックに分割して格納し、前記ブロック単位の冗長性を有する複数の冗長メモリと、前記各ブロックに格納されたデータの有効性を示すエラー情報を前記ブロック毎に保持するエラー情報保持手段とを備え、前記制御装置は、前記各ブロックに格納されたデータの読み出しを制御する読み出し制御手段と、前記各ブロックに格納されたデータの有効性を判定し、前記エラー情報を生成するチェック処理を行うエラー検出手段とを備え、前記エラー検出手段は、前記読み出し制御手段が通常の運用時における前記制御装置の動作を規定する通常運用データを読み出す前に、前記通常運用データを格納する前記ブロックに対して前記チェック処理を行い、当該チェック処理により取得された前記エラー情報を前記エラー情報保持手段に保持させ、前記読み出し制御手段は、前記エラー情報保持手段に保持された前記エラー情報に基づいて、エラーが検出された前記ブロックに冗長構成的に対応する健全な前記ブロックが存在するか否かを判定し、当該健全なブロックが存在する場合には、前記通常運用データの読み出しを行うものである。

10

20

【0015】

本発明の第2の態様は、ブロック単位の冗長性を有する複数の冗長メモリを備え、制御装置を制御するファームウェアを前記各ブロックに分割して格納する制御記憶装置の制御方法であって、通常の運用時における前記制御装置の動作を規定する通常運用データを、前記ブロックから前記制御装置へ読み出すステップと、前記通常運用データを読み出す前に、前記ブロックに格納された前記通常運用データの有効性を判定するステップと、前記有効性の判定結果を示す前記エラー情報を前記ブロック毎に保持するステップと、前記保持されたエラー情報に基づいて、エラーが検出された前記ブロックに冗長構成的に対応する健全な前記ブロックが存在するか否かを判定し、当該健全なブロックが存在する場合には、前記通常運用データの読み出しを行うステップとを備えるものである。

30

【0016】

本発明の第3の態様は、ブロック単位の冗長性を有する複数の冗長メモリを備え、制御装置を制御するファームウェアを前記各ブロックに分割して格納する制御記憶装置の制御プログラムであって、前記制御装置に、通常の運用時における前記制御装置の動作を規定する通常運用データを、前記ブロックから前記制御装置へ読み出す処理と、前記通常運用データを読み出す前に、前記ブロックに格納された前記通常運用データの有効性を判定する処理と、前記有効性の判定結果を示す前記エラー情報を前記ブロック毎に保持する処理と、前記保持されたエラー情報に基づいて、エラーが検出された前記ブロックに冗長構成的に対応する健全な前記ブロックが存在するか否かを判定し、当該健全なブロックが存在する場合には、前記通常運用データの読み出しを行う処理とを実行させるものである。

40

【発明の効果】

【0017】

本発明によれば、冗長メモリから通常運用データが読み出される前に、当該通常運用データを格納する冗長メモリの各ブロックに対してチェック処理が行われ、当該チェック処理の結果がブロック毎に設けられたエラー情報保持部に保持され、当該保持されたエラー情報に応じて通常運用データの読み出しが行われる。これにより、複数の冗長メモリにそれぞれエラーブロックが存在する場合であっても、ブロック単位で読み取り先の転換が可能な状況であれば、運用を続行することが可能となる。

【0018】

また、上記エラー情報保持部に保持されたエラー情報は、通常運用データの読み出し動

50

作を実行するファームウェアにより読み取られるため、上記のようなエラーブロックの転換処理を当該ファームウェアにより行うことが可能となる。これにより、制御記憶装置自体にエラーチェック機構が備えられていない場合であっても、制御装置を制御するファームウェアの調整により対処が可能となる。

【図面の簡単な説明】

【0019】

【図1】本発明の実施の形態1に係る半導体集積回路装置の機能的な構成を示す図である。

【図2】実施の形態1に係る制御記憶装置の構成及び動作を模式的に示す図である。

【図3】実施の形態1に係る制御記憶装置における処理の流れを示すフローチャートである。

10

【図4】従来の制御記憶装置の構成及び動作を模式的に示す図である。

【図5】従来の制御記憶装置における処理の流れを示すフローチャートである。

【発明を実施するための形態】

【0020】

実施の形態1

以下、図面を参照して本発明の実施の形態について説明する。図1は、実施の形態1に係る半導体集積回路装置1の機能的な構成を示している。半導体集積回路装置1は、制御記憶装置2及び制御装置3を有し、いわゆるプロセッサ等に相当するものである。制御記憶装置2、制御装置3、入出力装置（図示せず）等は、バス4を介して接続されている。

20

【0021】

制御記憶装置2は、マスクROM、フラッシュメモリ等の不揮発性メモリにより構成され、冗長メモリA11、冗長メモリB12、及びエラー情報保持部13を有する。両冗長メモリ11, 12は、制御装置3の動作を規定する各種データ（マイクロコードからなるファームウェア）を格納する。両冗長メモリ11, 12の記憶領域は、複数のブロックに分割され、上記データは各ブロックに分割されて格納される。両冗長メモリ11, 12のブロック構成は同一である。即ち、両冗長メモリ11, 12は、ブロック単位で冗長化されている。

【0022】

エラー情報保持部13は、各ブロックに対応して設けられた記憶領域であり、各ブロック内のデータが有効であるか否かを示すエラー情報を保持する。

30

【0023】

制御装置3は、ファームウェアに基づいて各種演算処理を実行するハードウェアであり、読み出し制御部21及びエラー検出部22として機能する。

【0024】

読み出し制御部21は、冗長メモリA11又は冗長メモリB12から、制御装置3が通常の運用時に行う動作を規定するデータ（通常運用データ）の読み出しを制御する。当該読み出し動作は、通常運用データとは異なる（関連するものを含む）ファームウェアにより実行される。

【0025】

エラー検出部22は、冗長メモリA11及び冗長メモリB12に格納されているデータについて、ブロック毎にエラーの存否を検出するチェック処理を実行する。チェック処理としては、チェックサム等が好適である。チェック処理は、読み出し制御部21が通常運用データの読み出しを開始する前に実行される。チェック処理により取得されたエラー情報は、エラー情報保持部13に保持される。エラー情報保持部13に保持されたエラー情報は、通常運用データの読み出しを行うファームウェアにより読み取り可能なものである。読み出し制御部21は、エラー情報保持部13に保持されたエラー情報に基づいて、通常運用データの読み出し方を決定する。

40

【0026】

図2は、制御記憶装置2の構成及び動作を模式的に示している。冗長メモリA11及び

50

冗長メモリ B 1 2 の記憶領域は、複数のブロック 3 1 に分割されている。図中、データエントリ A 1 ~ A n ~ , B 1 ~ B n ~ は、各ブロック 3 1 に付された識別情報である。両冗長メモリ 1 1 , 1 2 は、同一のブロック構成を有している（又は含んでいる）。即ち、データエントリ A 1 , A 2 , ~ , A n , ~ とデータエントリ B 1 , B 2 , ~ , B n , ~ とが、それぞれ冗長構成的に対応している。

【 0 0 2 7 】

図 2 中、矢印 5 1 は、エラー検出部 2 2（図 1 参照）による各ブロック 3 1 に対するチェック処理を概念的に示している。当該チェック処理は、冗長メモリ A 1 1 の先頭のデータエントリ A 1 から昇順に最後のデータエントリまで行われた後、冗長メモリ B 1 2 の先頭のデータエントリ B 1 から昇順に最後のデータエントリまで行われる。この時、途中でエラーが検出されたか否かに関わらず、上記矢印 5 1 で示す流れが保たれる。本例では、データエントリ A 1 とデータエントリ B n とでエラーが検出されている。

10

【 0 0 2 8 】

各ブロック 3 1 には、上記エラー情報保持部 1 3（図 1 参照）としてのエラービットフィールド 4 1 が設けられている。エラービットフィールド 4 1 には、対応するブロック 3 1（データエントリ）にエラーが検出された場合には 1、エラーが検出されなかった場合には 0 が入力される。これらのエラービットフィールド 4 1 に保持される情報は、通常運用データの読み出しを行うファームウェアにより読み取り可能である。本例においては、データエントリ A 1 , B n にエラーが検出されているため、これらに対応するエラービットフィールド 4 1 に 1 が入力され、その他のエラービットフィールド 4 1 には 0 が入力されている。

20

【 0 0 2 9 】

上記チェック処理及びエラービットフィールド 4 1 への書き込みは、読み出し制御部 2 1（図 1 参照）が通常運用データの読み出しを開始する前に行われる。読み出し制御部 2 1 は、エラービットフィールド 4 1 を参照して通常運用データの読み出し方を決定する。本例においては、データエントリ A 1 , B n のエラービットフィールド 4 1 に 1 が記載され、データエントリ A 1 に対応するデータエントリ B 1 のエラービットフィールド 4 1 には 0 が記載され、データエントリ B n に対応するデータエントリ A n のエラービットフィールド 4 1 には 0 が記載されている。従って、読み出し制御部 2 1 は、矢印 5 2 が示すように、データエントリ A 1 に替えてデータエントリ B 1 からデータを読み出すと共に、矢印 5 3 が示すように、データエントリ B n に替えてデータエントリ A n からデータを読み出す。これにより、冗長メモリ A 1 1 及び冗長メモリ B 1 2 の両方にエラーブロックがある場合であっても、エラーブロックに対応するブロックにエラーがなければ、正常な運用が可能となる。

30

【 0 0 3 0 】

図 3 は、上記制御記憶装置 2 における処理の流れを示している。読み出し制御部 2 1 による通常運用データの読み出しに先立ち、エラー検出部 2 2 による冗長メモリ A 1 1 及び冗長メモリ B 1 2 のチェックが行われる。

【 0 0 3 1 】

先ず、冗長メモリ A 1 1 の各データエントリに対して上述のように昇順にチェックを行い（S 1）、エラーの有無を判定する（S 2）。ステップ S 2 において、エラーが発生したと判定された場合（Y）には、対応するエラービットフィールドに 1 をセットする（S 3）。その後、冗長メモリ A 1 1 の全てのデータエントリについてチェックが終了したか否かを判定し（S 4）、終了していない場合（N）には、ステップ S 1 に戻る。また、ステップ S 2 において、エラーが発生していないと判定された場合（N）には、ステップ S 4 へ移行する。

40

【 0 0 3 2 】

ステップ S 4 において、冗長メモリ A 1 1 の全てのデータエントリについてチェックが終了したと判定された場合（Y）には、冗長メモリ B 1 2 のチェックを開始し（S 5）、各データエントリについてエラーの有無を判定する（S 6）。ステップ S 6 において、エ

50

ラーが発生したと判定された場合（Ｙ）には、対応するエラービットフィールド４１に１をセットする（Ｓ７）。その後、冗長メモリＢ１２の全てのデータエントリについてチェックが終了したか否かを判定し（Ｓ８）、終了していない場合（Ｎ）には、ステップＳ５に戻る。また、ステップＳ６において、エラーが発生していないと判定された場合（Ｎ）には、ステップＳ８へ移行する。

【００３３】

ステップＳ８において、冗長メモリＢ１２の全てのデータエントリについてチェックが終了したと判定された場合（Ｙ）には、読み出し制御部２１は、全てのエラービットフィールド４１の中に１が存在するか否かを判定し（Ｓ９）、１が存在しない場合（Ｎ）には、いずれの冗長メモリ１１，１２も使用可能であると判定し（Ｓ１０）、任意の冗長メモリ（通常は冗長メモリＡ１１）により通常運用データの読み出しを開始する（Ｓ１１）。 10

【００３４】

一方、ステップＳ９において、エラービットフィールド４１に１が存在すると判定された場合（Ｙ）には、当該１がセットされたデータエントリに対応するデータエントリのエラービットが１であるか否かを判定する（Ｓ１２）。ステップＳ１２において、当該対応するエラービットが１でない場合（Ｎ）には、当該エラービットが１でないデータエントリをデータの読み出し先に転換し（図２中矢印５２，５３参照）（Ｓ１３）、読み出し先を両方の冗長メモリ１１，１２の間で適宜切り替えることにより使用可能であると判定し（Ｓ１０）、通常運用データの読み出しを開始する（Ｓ１１）。 20

【００３５】

一方、ステップＳ１２において、１がセットされたデータエントリに対応するデータエントリのエラービット１である場合（Ｙ）には、いずれの冗長メモリ１１，１２も使用不可能と判定し（Ｓ１４）、運用を中止する（Ｓ１５）。 30

【００３６】

以上のように、本実施の形態に係る半導体集積回路装置１においては、冗長メモリ１１，１２から通常運用データが読み出される前に、冗長メモリ１１，１２の各ブロック３１に対してチェック処理が行われ、当該チェック処理の結果がブロック３１毎に保持され、当該保持されたエラー情報に応じて通常運用データの読み出しが行われる。これにより、両冗長メモリ１１，１２にそれぞれエラーブロックが存在する場合であっても、ブロック（データエントリ）単位で読み取り先の転換が可能な状況であれば、運用を続行することができる。 40

【００３７】

また、上記エラービットフィールド４１に保持されたエラー情報は、通常運用データの読み出し動作を実行するファームウェアにより読み取られるため、上記のようなエラーブロックの転換処理を当該ファームウェアにより行うことが可能となる。従って、制御記憶装置２自体にエラーチェック機構が備えられていない場合であっても、制御装置３を制御するファームウェアの調整により対処することが可能となる。

【００３８】

尚、本発明は上記実施の形態に限られるものではなく、趣旨を逸脱しない範囲で適宜変更することが可能なものである。例えば、上記実施の形態においては、冗長メモリの数が２つである場合を示したが、３つ以上であっても、本願発明の趣旨に基づいて同様の効果を有する半導体集積回路装置を構成することが可能である。 50

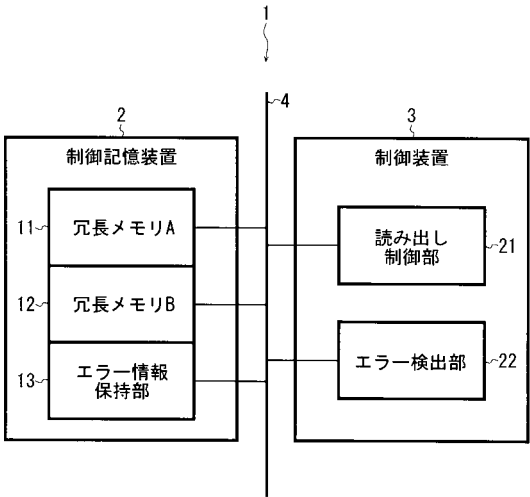
【符号の説明】

【００３９】

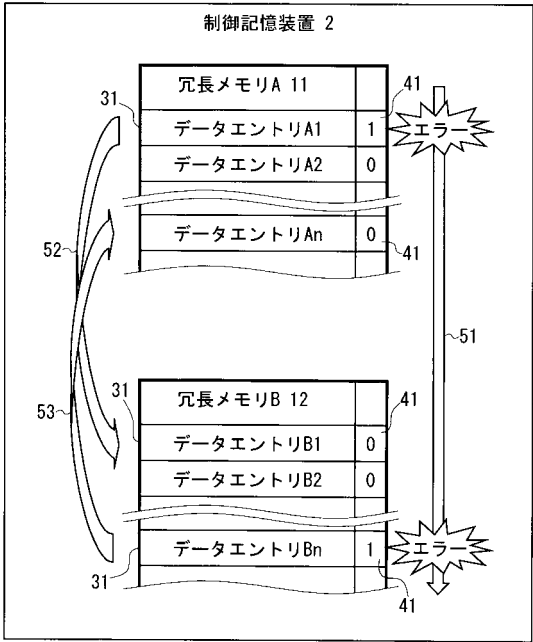
- １ 半導体集積回路装置
- ２ 制御記憶装置
- ３ 制御装置
- ４ バス
- １１ 冗長メモリＡ
- １２ 冗長メモリＢ

- 1 3 エラー情報保持部
- 2 1 読み出し制御部
- 2 2 エラー検出部
- 3 1 ブロック
- 4 1 エラービットフィールド（エラー情報保持部）

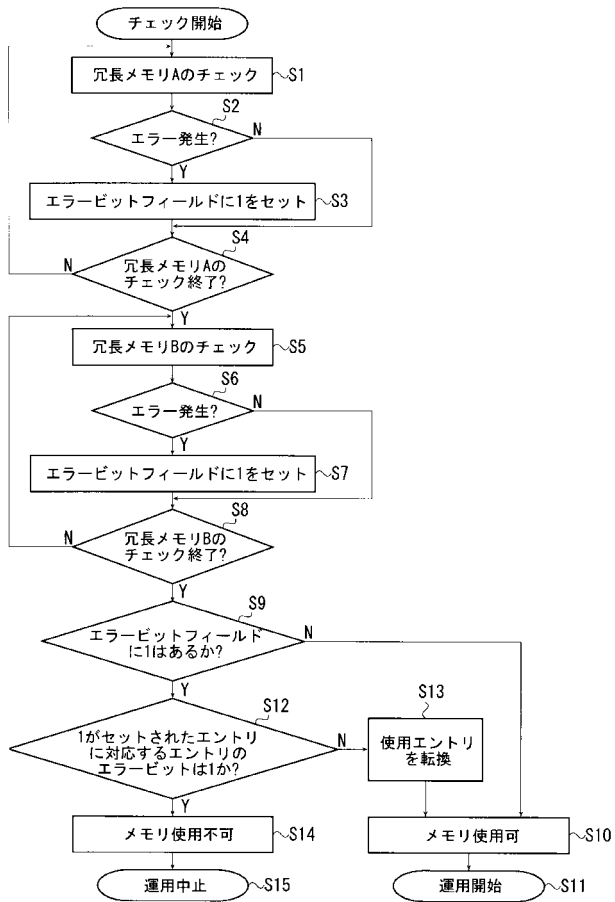
【 図 1 】



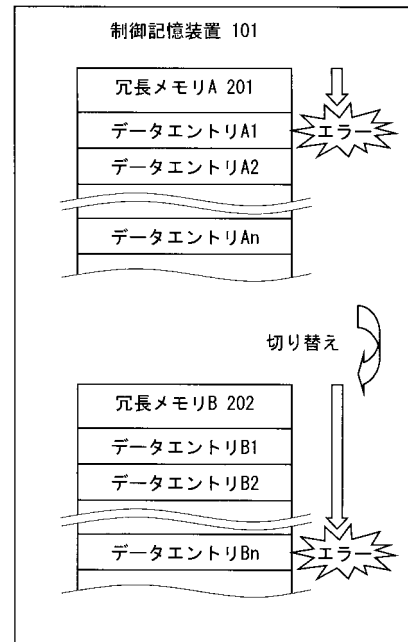
【 図 2 】



【図 3】



【図 4】



【図 5】

