



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0072249
(43) 공개일자 2008년08월06일

(51) Int. Cl.

H01L 27/108 (2006.01)

(21) 출원번호 10-2007-0010745

(22) 출원일자 2007년02월01일

심사청구일자 2007년02월01일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가1 고려대학교 내

(72) 발명자

남산

서울 강남구 대치동 은마아파트 20-1003

정영훈

서울 성북구 안암동2가 55번지 7/3

임종봉

서울 동대문구 용두2동 734-19

(74) 대리인

특허법인아주

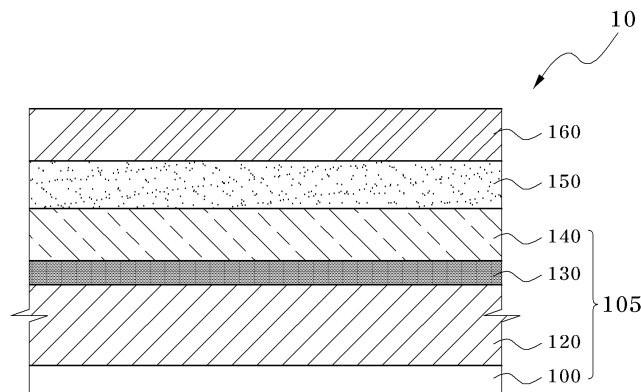
전체 청구항 수 : 총 11 항

(54) BaTi₄O₉를 이용한 MIM 캐패시터 및 그의제조방법

(57) 요약

2010년 ITRS(International Technology Roadmap for Semiconductor)의 요구조건인 4.0 fF/ μm^2 이상의 정전 용량 밀도, 7 fA/pFV 이하의 낮은 누설전류, 100 ppm/V² 이하의 정전용량 전압계수(VCC), 50 이상의 품질계수를 모두 만족시킬 수 있는 MIM 캐패시터가 제공된다. 본 발명에 따른 MIM 캐패시터는 상부전극과 하부전극; 및 상부전극과 하부전극 사이에 50~70 nm의 두께를 가지고 형성되는 BaTi₄O₉ 박막을 포함한다. 또한, MIM 캐패시터의 제조방법도 제공된다.

대표도 - 도1



특허청구의 범위

청구항 1

금속으로 된 상부전극과 하부전극; 및

상기 상부전극과 하부전극 사이에 50~70 nm의 두께를 가지고 형성되는 BaTi_4O_9 박막을 포함하는 MIM 캐패시터.

청구항 2

제 1 항에 있어서,

상기 BaTi_4O_9 은 비정질인 것을 특징으로 하는 MIM 캐패시터.

청구항 3

제 1 항에 있어서,

상기 박막은 결정질 $\text{BaTi}_5\text{O}_{11}$ 을 더 포함하는 것을 특징으로 하는 MIM 캐패시터.

청구항 4

제 1 항에 있어서,

상기 상부전극과 하부전극을 구성하는 금속은 백금(Pt)인 것을 특징으로 하는 MIM 캐패시터.

청구항 5

제 1 항에 있어서,

상기 상부전극과 하부전극을 구성하는 금속은 Al, Ag, Au, Cu, W, Pt, Ti 중 선택되는 하나 또는 이들의 조합으로 이루어지는 것을 특징으로 하는 MIM 캐패시터.

청구항 6

(a) Pt/Ti/ SiO_2 /Si 기판 상에 RF-마그네트론 스퍼터링을 이용하여 BaTi_4O_9 박막을 증착하는 단계;

(b) 상기 BaTi_4O_9 박막 상에 상부 전극을 형성하는 단계; 및

(c) 상기 상부전극을 패터닝하는 단계를 포함하는 MIM 캐패시터의 제조방법.

청구항 7

제 6 항에 있어서,

상기 (a) 단계의 스퍼터링 공정에서 사용되는 타겟은 고상반응을 이용하여 제작된 BaTi_4O_9 타겟인 것을 특징으로 하는 MIM 캐패시터의 제조방법.

청구항 8

제 6 항에 있어서,

상기 (a) 단계에서 사용되는 상기 RF-마그네트론 스퍼터링 챔버의 내부조건은 350℃의 온도, O_2 와 Ar이 2:8로 혼합된 분위기, 전체적으로 8mTorr의 내부 압력을 가지며, 100 W의 파워를 가지는 것을 특징으로 하는 MIM 캐패시터의 제조방법.

청구항 9

제 6 항에 있어서,

증착되는 상기 BaTi_4O_9 박막의 두께는 50~70 nm인 것을 특징으로 하는 MIM 캐패시터의 제조방법.

청구항 10

제 6 항에 있어서,

상기 (a) 단계의 상기 BaTi_4O_9 박막의 증착 시간은 20~40분인 것을 특징으로 하는 MIM 캐패시터의 제조방법.

청구항 11

제 6 항에 있어서,

상기 상부전극은 Pt 또는 Al 인 것을 특징으로 하는 MIM 캐패시터의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <12> 본 발명은 MIM 캐패시터 및 그의 제조방법에 관한 것으로서, 보다 상세하게는 2010년 ITRS(International Technology Roadmap for Semiconductor)의 요구조건인 $4.0 \text{ fF}/\mu\text{m}^2$ 이상의 정전 용량 밀도, 7 fA/pFV 이하의 낮은 누설전류, 100 ppm/V^2 이하의 정전용량 전압계수(VCC), 50 이상의 품질계수를 모두 만족시키기 위하여 BaTi_4O_9 박막을 유전층으로 사용하는 MIM 캐패시터 및 그의 제조방법에 관한 것이다.
- <13> 최근 집적회로(IC)소자의 고집적화를 위하여 정전밀도(capacitance density)를 증가시키고자 고유전상수(k)를 가진 유전체에 대한 연구가 활발히 진행되고 있다.
- <14> MIM 캐패시터(Metal-Insulator-Metal capacitor)란 금속 전극 사이에 유전체(dielectric)가 삽입되어 있는 형태의 캐패시터로서, RF회로나 mixed signal ICs에 사용되는 중요한 소자이다.
- <15> 이러한 MIM 캐패시터가 가져야 할 조건으로는 높은 정전 용량 밀도(capacitance density), 낮은 누설전류(leakage current), 높은 품질계수(Q), 낮은 VCC(Voltage coefficient of capacitance), 및 낮은 TCC(Temperature coefficient of capacitance)가 요구된다.
- <16> 종래의 MIM 캐패시터의 절연체로서 사용되는 유전물질로는 주로 반도체 공정에서 잘 적용될 수 있는 SiO_2 나 Si_3N_4 등과 같은 물질이 많이 이용되었다.
- <17> 그러나, 이러한 유전물질을 박막화할 경우 정전용량이 약 $2 \text{ fF}/\mu\text{m}^2$ 정도로 낮아서 소자의 고집적화에 어려움이 있었다.
- <18> 이러한 문제점을 해결하기 위하여 최근 Al_2O_3 , Ta_2O_5 , TiO_2 , HfO_2 등과 같은 물질의 박막화에 대한 연구가 많이 진행되고 있다.
- <19> 이중 Al_2O_3 박막은 정전용량 밀도가 높고 누설전류 밀도가 낮지만 2차 정전용량 전압계수가 높으며, Al_2O_3 가 첨가된 Ta_2O_5 박막은 비교적 높은 정전용량 밀도를 가지고 낮은 누설전류밀도를 가지나 품질계수(Q)가 40정도의 낮은 값을 가지는 단점이 있었다.
- <20> 그리고, HfO_2 또는 $\text{HfO}_2\text{-Al}_2\text{O}_3$ 의 층상구조(laminate structure)로 된 박막의 경우에는 높은 정전용량 밀도와 낮은 누설전류 밀도를 가지지만 정전용량 전압계수(VCC)가 높고, 고주파 특성에 대한 검증이 이루어지지 않았다는 문제가 있다.

발명이 이루고자 하는 기술적 과제

- <21> 본 발명이 이루고자 하는 기술적 과제는 2010년 ITRS(International Technology Roadmap for Semiconductor)의 요구조건인 $4.0 \text{ fF}/\mu\text{m}^2$ 이상의 정전 용량 밀도, 7 fA/pFV 이하의 낮은 누설전류, 100 ppm/V^2 이하의 정전용량

전압계수(VCC), 50 이상의 품질계수를 모두 만족시킬 수 있는 MIM 캐패시터를 제공하는데 있다.

- <22> 본 발명이 이루고자 하는 다른 기술적 과제는 상기 MIM 캐패시터의 제조방법을 제공하는데 있다.
- <23> 본 발명이 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

발명의 구성 및 작용

- <24> 상기의 기술적 과제를 해결하기 위한 본 발명의 실시예에 따른 MIM 캐패시터는 금속으로 된 상부전극과 하부전극; 및 상부전극과 하부전극 사이에 50~70 nm의 두께를 가지고 형성되는 $BaTi_4O_9$ 박막을 포함한다.
- <25> 상기의 다른 기술적 과제를 해결하기 위한 본 발명의 실시예에 따른 MIM 캐패시터의 제조방법은 (a) Pt/Ti/SiO₂/Si 기판 상에 RF-마그네트론 스퍼터링을 이용하여 $BaTi_4O_9$ 박막을 증착하는 단계; (b) $BaTi_4O_9$ 박막 상에 상부 전극을 형성하는 단계; 및 (c) 상부전극을 패터닝하는 단계를 포함한다.
- <26> 기타 실시예들의 구체적인 사항들은 상세한 설명 및 첨부 도면들에 포함되어 있다.
- <27> 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성요소를 지칭한다.
- <28> 또한, 도면에서 층과 막 또는 영역들의 크기 두께는 명세서의 명확성을 위하여 과장되어 기술된 것이며, 어떤 막 또는 층이 다른 막 또는 층의 "상에" 형성된다고 기재된 경우, 상기 어떤 막 또는 층이 상기 다른 막 또는 층의 위에 직접 존재할 수도 있고, 그 사이에 제3의 다른 막 또는 층이 개재될 수도 있다.
- <29> 도 1은 본 발명에 따른 MIM 캐패시터의 단면구조를 나타내는 단면도이다.
- <30> 도 1에 도시된 바와 같이 본 발명에 따른 MIM 캐패시터(10)는 Pt/Ti/SiO₂/Si의 구조를 가지는 기판(substrate; 105), 유전박막층(150), 및 상부전극층(160)을 포함한다.
- <31> 기판(105)은 Pt/Ti/SiO₂/Si의 구조를 가진 기판이 사용되는데, 이때 Pt(140)는 하부전극으로서의 기능을 하며 약 70 nm의 두께를 가지고 있으며, Ti(130)층은 하부전극 Pt와 SiO₂ 층과의 접착력을 향상시키는 기능을 하는 것으로 수나노 내지 수십나노 정도의 두께를 가지고 있다.
- <32> SiO₂층(120)은 Si층(100)의 표면을 보호하기 위한 층이며, Si층(100)은 기판의 기본이 되는 베이스층으로서 (100)방향으로 성장된 실리콘 기판을 사용하는 것이 바람직하다.
- <33> 상기와 같은 기판(105) 상에 유전박막층(150)이 형성되어 있는데, 본 발명에서는 이러한 유전박막으로서 $BaTi_4O_9$ 박막을 형성하는 것을 특징으로 한다.
- <34> $BaTi_4O_9$ 박막은 비정질(amorphous) 구조를 지니며, 약 50~70 nm의 두께를 가지고 있다.
- <35> 다만, 완전한 화학정량을 만족시키는 균일한 $BaTi_4O_9$ 박막을 얻기는 실제 공정에 있어서 불가능한바, 본 발명의 유전박막층(150)에는 비정질(amorphous) $BaTi_4O_9$ 외에 극히 미량의 결정질 입자(crystallite) $BaTi_5O_{11}$ 성분이 더 포함되어 있을 수도 있다.
- <36> 이때 $BaTi_5O_{11}$ 성분은 몰비를 기준으로 전체 유전박막층(150)에서 0.01 ~ 10 mol%의 범위내에서 포함되어 질 수 있다.
- <37> 유전박막층(150)의 상부에는 MIM 캐패시터의 상부전극으로 사용되는 상부전극층(160)이 형성되어 있다.
- <38> 상부전극층(160)의 두께는 하부전극층(140)의 두께와 같거나 10% 이내의 오차범위를 가지는 정도에서 결정되어 지는 것이 바람직하다.
- <39> 상부전극층(160)과 하부전극층(140)은 모두 금속물질로 이루어져 있는데, 바람직하게는 Pt/I/Pt, Pt/I/Al,

Al/I/Pt의 구조로 해주며, 그 외에 Ag, Au, Zr, Cu, W, Ti 중 선택되는 하나 또는 이들의 조합으로 이루어질 수도 있다.

<40> 도 2는 본 발명의 MIM 캐패시터의 제조방법을 설명하기 위한 공정흐름도이다.

<41> 도 2를 참조하면, 본 발명의 MIM 캐패시터를 제조하기 위해서는 먼저, 기판 상에 BaTi₄O₉ 박막을 증착한다(S220).

<42> 이때 BaTi₄O₉ 박막은 RF-마그네트론(RF-Magnetron) 스퍼터링(sputtering)을 이용하여 증착하며, 이때 증착조건은 아래와 같다.

<43> RF-마그네트론에 사용되는 타겟(target)은 고상반응, 즉 BaO, TiO₂ 파우더를 볼밀가공하여 아주 미세한 분말(powder)형태로 해준 다음, 이를 프레싱(pressing)하여 직경 3 inch, 높이 약 1 cm 정도의 BaTi₄O₉ 타겟을 제조한다.

<44> 그 후 BaTi₄O₉ 타겟과 기판을 RF-마그네트론 스퍼터링 챔버 내부에 로딩하고, 챔버 내부의 온도를 350℃, 분위기를 산소(O₂)와 아르곤(Ar)이 2:8의 비율로 혼합되어 있으며 전체적으로 8mTorr의 압력을 가지도록 해준 뒤, 100 W의 파워를 가하여 플라즈마를 생성한 후, 이를 가속시켜 상기 BaTi₄O₉ 타겟을 가격함으로 기판 상에 BaTi₄O₉ 박막의 증착이 이루어지게 된다.

<45> 상기와 같은 조건에서 약 20~40분, 바람직하게는 30분 정도의 증착을 하게 되면 약 50~70 nm의 두께를 가지는 BaTi₄O₉ 박막이 기판상에 형성되게 된다.

<46> 그 후 BaTi₄O₉ 박막 상에 상기에서 설명한 상부전극을 형성하는데, 이때 상부전극의 형성은 DC 스퍼터링을 이용하여 형성해주는 것이 바람직하다.

<47> 이때, 상부전극을 형성하는 물질은 저주파(75~1000 kHz) 특성을 평가하기 위해서는 Pt 전극을 형성해주고, 고주파(1~6 GHz) 특성을 측정하기 위해서는 Al 전극을 형성해주는 것이 바람직하다.

<48> 그 후, 증착된 상기 상부전극을 패터닝 해주는데, Pt 전극의 경우에는 화학적 안정성이 매우 우수하므로, 별도의 패터닝 공정을 두지 않고 상기 상부전극 증착시 패터닝마스크(pattern mask) 즉 둥근(circular) 형태의 천공(puncture) 패턴이 규칙적으로 배열되어 있는 패터닝마스크를 BaTi₄O₉ 박막 상에 고정시킨 뒤, 상부전극을 증착하게 되면, 상기 패터닝마스크의 천공부에만 Pt 물질이 증착되어, 최종적으로 형성되는 상부전극은 디스크(disk) 형태의 패턴이 규칙적으로 존재하는 형태로 상부전극패턴이 형성된다.

<49> 고주파 특성을 측정하기 위한 Al 전극을 상부전극으로 형성해주는 경우엔 최종적으로 형성되는 캐패시터의 형태가 circular patched 캐패시터가 되도록 해주어야 하는데, 이를 위해선 별도의 식각(etching) 공정을 거쳐야 한다.

<50> 이하에서는 본 발명의 실시예들에 따른 MIM 캐패시터에 의할 경우 정전용량 밀도가 높고, 누설전류가 낮으며, 정전용량 전압계수, 정전용량 온도계수가 매우 우수하다는 것을 구체적인 실험예들을 들어 설명한다.

<51> 다만, 여기에 기재되지 않은 내용은 이 기술 분야에서 숙련된 자이면 충분히 기술적으로 유추할 수 있는 것이므로 그 설명을 생략한다.

<52> 1. 물성의 평가

<53> 상기와 같이 제조된 저주파 특성 평가용 MIM 캐패시터(Pt/BaTi₄O₉/Pt)에 대한 정전용량과 손실은 정밀 LCR meter(Agilent 4285A, USA) 이용하여 측정하였다.

<54> 누설전류는 Source meter(Keithley 24000, USA)를 이용하여 측정하였다.

<55> 상기와 같이 제조된 고주파 특성 평가용 MIM 캐패시터(Al/BaTi₄O₉/Pt)의 고주파(1~6GHz)의 범위에서 유전특성을 측정하기 위하여 Vector Network Analyzer(Hewlett Packard사의 8510C, USA)를 이용하여 정전용량과 손실을 측정하였다.

<56> 정전용량 전압계수(VCC)를 측정하기 위하여 여러 전압범위에서 정전용량이 측정되었고, 정전용량 온도계수(TC

C)를 측정하기 위하여 시편의 온도를 120℃까지 가열한 후 상온까지 냉각하면서 정전용량을 측정하였다.

2. 결과의 분석

도 3은 본 발명에 따른 MIM 캐패시터에 대한 저주파(75~1000 kHz)에서의 정전용량과 손실, 및 누설전류 값을 측정한 결과 그래프이다.

도 3을 참조하면, 본 발명에서와 같이 유전박막으로서 350℃에서 BaTi₄O₉를 약 70 nm 정도 형성한 MIM 캐패시터는 약 100 kHz의 주파수에서 4.58 fF/ μm^2 의 높은 정전용량 밀도 값을 가지고 있으며 주파수 값이 높아짐에 따라 다소(slightly) 증가하고 있음을 알 수 있으며(ITRS 요구 값은 4.0 fF/ μm^2 이상), 손실(dissipation factor) 값도 100 kHz의 주파수에서 0.005 정도의 값을 가지고 주파수 값이 증가함에 따라 점점 증가하여 1 MHz의 주파수에서 0.023 정도의 값을 가짐을 알 수 있다.

도 4는 본 발명에 따른 MIM 캐패시터의 누설전류 값을 측정한 결과 그래프이다.

도 4를 참조하면, 본 발명의 MIM 캐패시터는 약 1.3 V에서 누설전류의 값이 비교적 급격히 증가하는 경향을 보이고 있으며, 1 V에서는 최고 1.07 nA/cm² 정도의 매우 낮은 값을 나타내고 있음을 알 수 있다.

앞서 설명한 바와 같이 2010 ITRS 요구값은 7 fA/pF·V 이하의 값인데, 상기 값의 단위를 변경하면, 2.34 fA/pF·V 정도로서 본 발명의 BaTi₄O₉ 박막으로 형성된 MIM 캐패시터의 누설전류는 2010 ITRS 요구값을 만족시키는 것임을 알 수 있다.

도 5는 본 발명의 실시예에 따른 MIM 캐패시터의 고주파에서의 정전용량 밀도와 손실(dissipation factor)을 측정한 결과 그래프이다.

도 5를 참조하면, 본 발명의 실시예에 따른 MIM 캐패시터는 약 6 GHz의 주파수에서 3.7 fF/ μm^2 이상의 정전용량 밀도 값을 가지며, 약 3 GHz에서의 품질계수 값을 약 80 이상의 값을 가지고 있음을 알 수 있다.

도 6은 본 발명의 실시예에 따른 MIM 캐패시터의 정전용량 전압계수(VCC) 값을 측정한 결과 그래프이다.

도 6을 참조하면, 본 발명의 실시예에 따른 MIM 캐패시터는 1차 및 2차 정전용량 전압계수(VCCs) 값이 100 kHz에서 각각 -44 ppm/V 및 -65.4 ppm/V²의 값을 가지고 있다는 것을 알 수 있다.

도 7은 본 발명의 실시예에 따른 MIM 캐패시터의 정전용량 온도계수(TCC) 값을 측정한 결과 그래프이다.

도 7을 참조하면, 본 발명의 실시예에 따른 MIM 캐패시터는 100 kHz에서 126.6 ppm/℃의 값을 가지고 있다는 것을 알 수 있다.

상기 도 3 내지 도 7에서 측정된 결과 값들은 모두 앞서 설명한 2010년 ITRS(International Technology Roadmap for Semiconductor)에서 요구하는 조건을 모두 만족시키는 값으로, 이를 향후 RF회로나 mixed signal ICs와 같은 정밀 아날로그 부품에 사용할 경우 고집적도를 가진 소형화 제품의 생산이 가능해질 것이다.

이상 첨부된 도면 및 표를 참조하여 본 발명의 실시예들을 설명하였으나, 본 발명은 상기 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 제조될 수 있으며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

발명의 효과

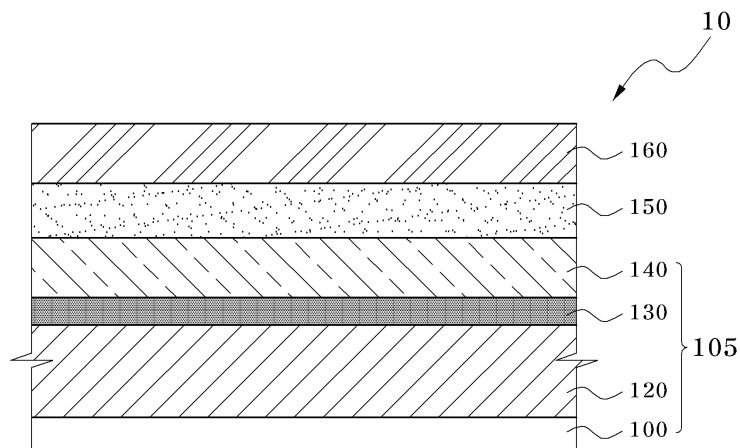
본 발명의 실시예에 MIM 캐패시터에 의하면 2010년 ITRS(International Technology Roadmap for Semiconductor)의 요구조건인 4.0 fF/ μm^2 이상의 정전 용량 밀도, 7fA/pFV 이하의 낮은 누설전류, 100 ppm/V² 이하의 정전용량 전압계수(VCC), 50 이상의 품질계수를 모두 만족시킬 수 있는 MIM 캐패시터의 제조가 가능해진다.

도면의 간단한 설명

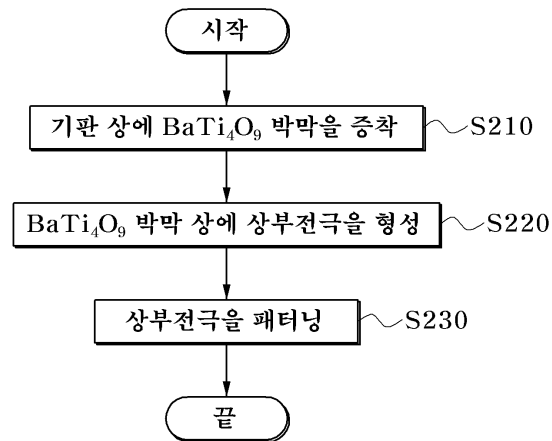
- <1> 도 1은 본 발명에 따른 MIM 캐패시터의 단면구조를 나타내는 단면도이다.
 - <2> 도 2는 본 발명의 MIM 캐패시터의 제조방법을 설명하기 위한 공정흐름도이다.
 - <3> 도 3은 본 발명에 따른 MIM 캐패시터에 대한 저주파 75~1000 kHz에서의 정전용량과 손실, 및 누설전류 값을 측정한 결과 그래프이다.
 - <4> 도 4는 본 발명에 따른 MIM 캐패시터의 누설전류 값을 측정한 결과 그래프이다.
 - <5> 도 5는 본 발명의 실시예에 따른 MIM 캐패시터의 고주파(1~6 GHz)에서의 정전용량 밀도와 손실(dissipation factor)을 측정한 결과 그래프이다.
 - <6> 도 6은 본 발명의 실시예에 따른 MIM 캐패시터의 정전용량 전압계수(VCC) 값을 측정한 결과 그래프이다.
 - <7> 도 7은 본 발명의 실시예에 따른 MIM 캐패시터의 정전용량 온도계수(TCC) 값을 측정한 결과 그래프이다.
 - <8> <도면의 주요 부분에 대한 부호의 설명>
 - <9> 100; Si층 120: SiO₂층
 - <10> 130: Ti층 140: 하부전극
 - <11> 150: 유전박막층 160: 상부전극

도면

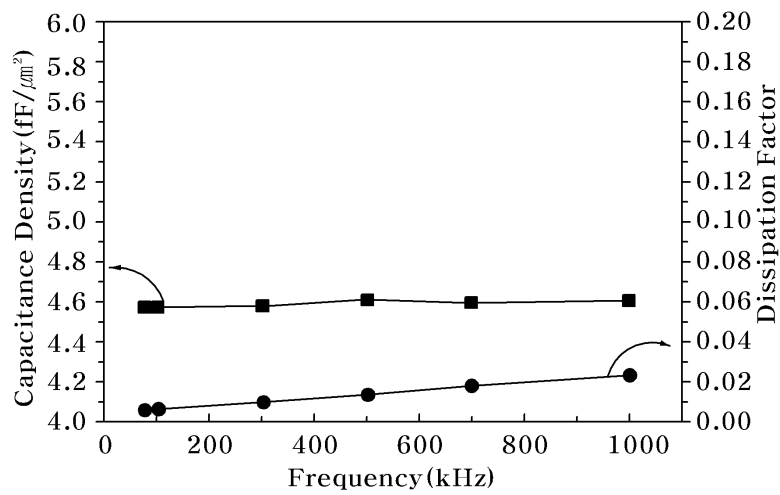
도면1



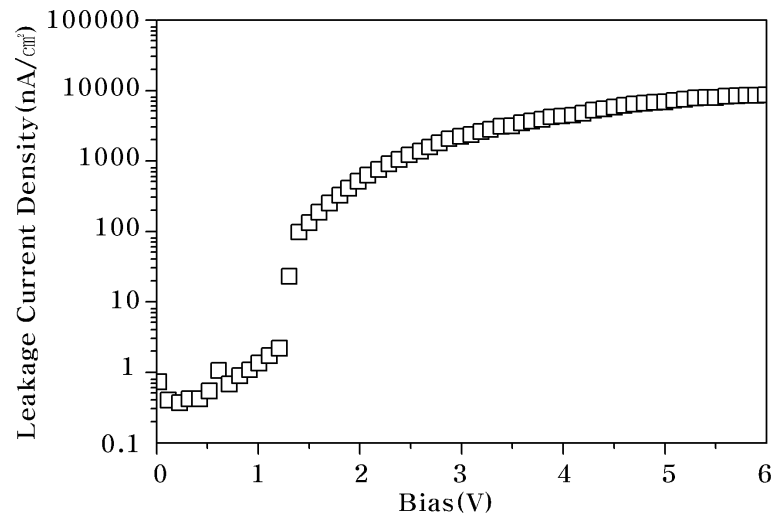
도면2



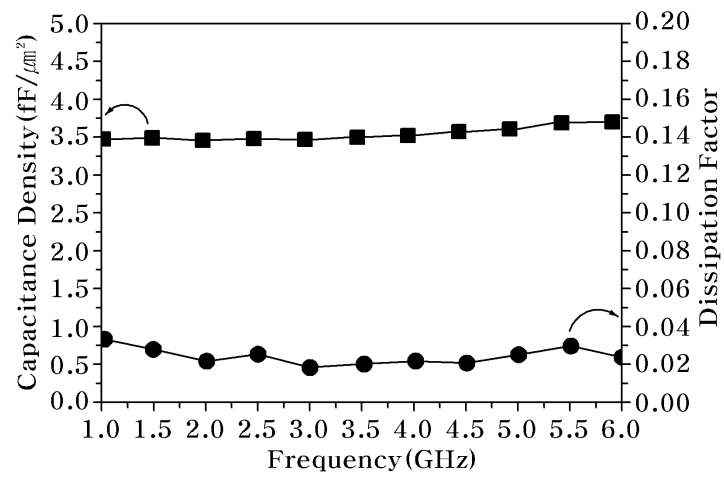
도면3



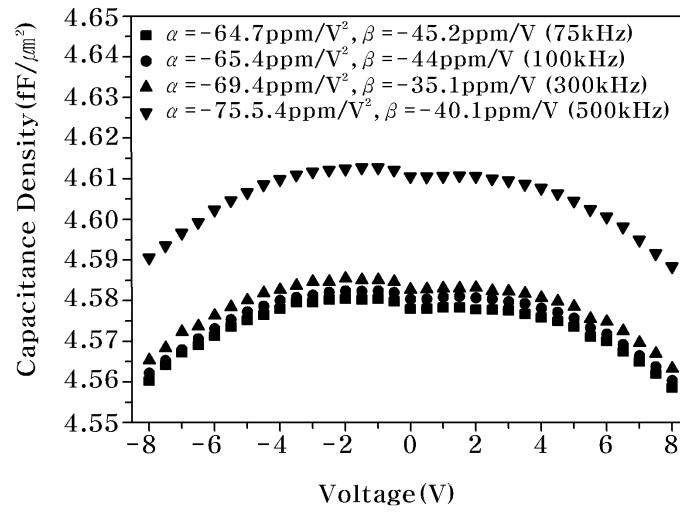
도면4



도면5



도면6



도면7

