

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5107049号
(P5107049)

(45) 発行日 平成24年12月26日 (2012.12.26)

(24) 登録日 平成24年10月12日 (2012.10.12)

(51) Int. Cl.	F I
H O 1 L 27/15 (2006.01)	H O 1 L 27/15 C
G O 2 B 6/13 (2006.01)	G O 2 B 6/12 M
G O 2 B 6/122 (2006.01)	G O 2 B 6/12 B

請求項の数 5 (全 12 頁)

(21) 出願番号	特願2007-541397 (P2007-541397)	(73) 特許権者	504199127
(86) (22) 出願日	平成17年11月14日 (2005.11.14)		フリースケール セミコンダクター イン
(65) 公表番号	特表2008-521216 (P2008-521216A)		コーポレイテッド
(43) 公表日	平成20年6月19日 (2008.6.19)		アメリカ合衆国 テキサス州 78735
(86) 国際出願番号	PCT/US2005/041155		オースティン ウィリアム キャノン
(87) 国際公開番号	W02006/055476		ドライブ ウェスト 6501
(87) 国際公開日	平成18年5月26日 (2006.5.26)	(74) 代理人	100116322
審査請求日	平成20年10月8日 (2008.10.8)		弁理士 桑垣 衛
(31) 優先権主張番号	10/989,940	(72) 発明者	ケイブ、ナイジェル ジー.
(32) 優先日	平成16年11月15日 (2004.11.15)		アメリカ合衆国 78735 テキサス州
(33) 優先権主張国	米国 (US)		オースティン マグダレナ ドライブ
			3815

最終頁に続く

(54) 【発明の名称】 光デバイスと電子デバイスとを集積回路に集積する方法

(57) 【特許請求の範囲】

【請求項 1】

光デバイスと電子デバイスとを半導体基板に集積するための方法であって、
 活性半導体層を有する半導体基板を提供すること、
 前記半導体基板の電子デバイス部に対応する第1領域における活性半導体層に開口を形成し、且つ前記第1領域の活性半導体層に開口を前記形成している間、前記半導体基板の光デバイス部に対応する第2領域における前記活性半導体層を保護すること、
 前記半導体基板の前記電子デバイス部における前記活性半導体層の前記開口を充填物質で充填すること、
 前記半導体基板の前記第2領域における前記活性半導体層の一部を露出し、且つ前記第2領域における前記活性半導体層の露出の間、前記半導体基板の前記第1領域を保護すること、
 前記第2領域における前記露出された活性半導体層を覆う半導体層をエピタキシャル成長させて、光デバイス領域に対応する半導体層を形成すること、
 前記半導体基板の前記電子デバイス部における前記活性半導体層上に電子デバイスのゲート電極を形成すること、
 前記半導体基板の前記光デバイス部の前記エピタキシャル成長した半導体層に、光デバイスの1つ以上の特徴を形成する開口を形成すること、
 前記エピタキシャル成長させた半導体層を形成した後、前記半導体基板の前記電子デバイス部に電子デバイスのソース/ドレイン拡散を形成すること

10

20

を備える方法。

【請求項 2】

前記活性半導体層と前記エピタキシャル成長した半導体層とは、導波管を形成するに十分な組み合わせられた合計の厚さを有する、請求項 1 に記載の方法。

【請求項 3】

前記エピタキシャル成長した半導体層の前記開口を形成することは、前記半導体基板の前記光デバイス部の前記光デバイス領域に光導波管を形成する、請求項 1 に記載の方法。

【請求項 4】

前記半導体基板の前記光デバイス部は、光格子結合器、導波管、波長選択性フィルタ、光変調器又は導波管格子アレイの一つ以上を備える、請求項 1 に記載の方法。

10

【請求項 5】

光デバイスと電子デバイスとを半導体基板に集積するための方法であって、
活性半導体層を有する半導体基板を提供すること、

前記半導体基板の電子デバイス部に対応する第 1 領域における活性半導体層に開口を形成し、且つ前記第 1 領域の活性半導体層に開口を前記形成している間、前記半導体基板の光デバイス部に対応する第 2 領域における前記活性半導体層を保護すること、

前記半導体基板の前記電子デバイス部における前記活性半導体層の前記開口を充填物質で充填すること、

前記半導体基板の前記電子デバイス部における前記活性半導体層に電子デバイスのゲート電極を形成すること、

20

前記半導体基板の前記第 1 及び第 2 領域を覆う第 1 絶縁層と第 2 絶縁層とを堆積すること、

前記第 1 絶縁層及び前記第 2 絶縁層の一部をエッチングして、前記半導体基板の前記第 2 領域における前記活性半導体層の一部を露出し、且つ前記第 2 領域における前記活性半導体層の前記露出の間、前記半導体基板の前記第 1 領域を保護すること、

前記第 2 領域における前記露出された活性半導体層を覆う半導体層をエピタキシャル成長させて、光デバイス領域に対応する半導体層を形成すること、

前記第 2 絶縁層をパターニング及びエッチングして前記ゲート電極の側壁に側壁スペーサを、前記ゲート電極と前記側壁スペーサとの間の前記第 1 絶縁層の一部とともに形成すること、

30

前記半導体基板の前記光デバイス部の前記エピタキシャル成長した半導体層に、光デバイスの 1 つ以上の特徴を形成する開口を形成すること、

前記エピタキシャル成長させた半導体層を形成した後、前記半導体基板の前記電子デバイス部に電子デバイスのソース/ドレイン拡散を形成すること

を備える方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は異なるデバイス・タイプを一つの集積回路に提供することに関し、より詳細には光デバイスを電子デバイスと共に一つの集積回路に集積することに関する。

40

【背景技術】

【0002】

半導体処理及びリソグラフィが改良され続けるに従い、トランジスタのスイッチング速度も改良され続け、その結果高性能の回路機能がもたらされる。回路は他の回路へ自身の出力を提供する。しばしば比較的長いバスがこれらの信号を搬送する。これらのバスは静電容量と抵抗とを固有に有し、その結果 RC 遅延が、バスにより搬送される電気信号に存在する。バスがより大きく作られて抵抗を低減するが、静電容量が増大する。また、多数のバスが存在するので、バスの大きさの増大が集積回路の大きさの増大をもたらす。正味の影響は、信号の搬送波にしばしば重大な速度制限がかかることである。トランジスタのスイッチング速度を更に増大すると全体の動作速度が比較的小さく増大する。

50

【 0 0 0 3 】

1つの困難は集積回路で信号送信のために光相互接続の利益を得る実際の方法を発見することであった。1つの大きな問題は、製造可能で且つトランジスタを製造する対価に見合う方法で光信号をルーティングすることである。対価は2つに対して異なり且つ、1方又は他方はわずかに機能的になるか又は非常に高価になる。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 4 】

従って、光デバイスを電子デバイスと共に一つの集積回路に集積することに関する改良を提供する方法が求められている。

【 課題を解決するための手段 】

【 0 0 0 5 】

一態様において、半導体基板に光デバイスと電子デバイスとを集積する方法は、活性半導体層を有する半導体基板を提供すること、前記半導体基板の電子デバイス部に対応する第1領域における活性半導体層に開口を形成し、且つ前記第1領域の活性半導体層に開口を形成している間、前記半導体基板の光デバイス部に対応する第2領域における前記活性半導体層を保護すること、前記半導体基板の電子デバイス部における前記活性半導体層の開口を充填物質で充填すること、前記半導体基板の前記第2領域における前記活性半導体層の一部を露出し、且つ前記第2領域における前記活性半導体層の露出の間、前記半導体基板の前記第1領域を保護すること、前記第2領域における前記露出された活性半導体層を覆う半導体層をエピタキシャル成長させて、光デバイス領域に対応する半導体層を形成すること、前記半導体基板の前記電子デバイス部における前記活性半導体層上に電子デバイスのゲート電極を形成すること、前記半導体基板の前記光デバイス部の前記エピタキシャル成長した半導体層に、光デバイスの1つ以上の特徴を形成する開口を形成すること、前記エピタキシャル成長された半導体層を形成した後、前記半導体基板の前記電子デバイス部に電子デバイスのソース/ドレイン拡散を形成することを備える。

【 発明を実施するための最良の形態 】

【 0 0 0 6 】

本発明は例示する方法で説明され、添付した図面によって制限されない。図面では、同じ参照番号は同じ要素を示す。

図面の要素は単純性及び明白性を目的として図示されており、縮尺どおりに描かれる必要が無いことに当業者は気づくであろう。例えば、図面におけるいくつかの要素の大きさは他の要素に比べて相対的に誇張されて、本発明の実施形態の理解の向上に役立つ。

【 0 0 0 7 】

一態様において、半導体デバイス構造は一つの集積回路に導波管とトランジスタとの両者を有する。SOIに形成される高性能の電子及び光構造に対する開始物質の厚さの要求は異なる。高性能電子機器と高性能光機器との両者が一つのウェーハ上に所望される場合、エピタキシャルなシリコン成長が、集積回路の一部分又は両部分の厚さを最適化するために必要とされる。活性半導体の厚さが700オングストローム以下程度である高性能SOIと互換であるように選択される開始SOI基板を利用して、トレンチ・アイソレーションがトランジスタの電氣的分離を形成するために利用される。一実施形態では、電子デバイスのトレンチ・アイソレーション終了後に、エピタキシャルなシリコン成長が、高性能導波管を形成するためにより厚いシリコン層が望まれる回路の光領域で実行される。このような実施形態には、高温を伴う導波管領域形成がほとんどのトランジスタを形成する前に完了するという利益がある。

【 0 0 0 8 】

他の実施形態では、電子デバイス形成の間ウェーハの平面性を保つために、エピタキシャル形成がソース/ドレイン拡張形成の後に実行される。いずれの実施形態でも、除去可能なシリコンが光領域の光デバイスを形成するために利用される。このようなデバイスは、導波管、光格子結合器、光変調器、光波長選択ファイバ、又は導波管格子アレイ (a r

10

20

30

40

50

rayed waveguide grating)を含むが、これらには限定されない。サリサイド・ブロックが、導波管の不要な領域へのサリサイド形成を防止するために光デバイスの上方に利用される。

【0009】

図1に示されるものは、分離層12と、分離層12の上の半導体層14と、半導体層14上のパッド酸化物層16と、窒化物層18とを備える半導体デバイス構造10である。半導体デバイス構造10は光デバイス領域20と電子デバイス領域22とに分割される。この例では、光デバイス領域20は導波管を形成するためのものであり、電子デバイス領域22はトランジスタを形成するためのものである。電子デバイス領域22は開口24及び開口26を有する。開口24及び26は分離層12まで伸びる。半導体層14は好適には、約700オングストロームの程度の厚さの単結晶シリコンである。一実施形態では、分離層12は比較的厚いシリコン基板(図示せず)上の約8000オングストローム以上程度の酸化物を含む。正確な厚さは特定の光デバイスの要求によって決定される。ここで記載されたように、分離層12と半導体層14が一緒になったものは、分離(SOI)ウェーハ上の標準的な半導体に類似しているが、この場合、分離層12が従来のSOIウェーハに対応する注入された酸化層よりも厚いという点が異なる。開口24及び26を形成する間、光領域20はマスク化されるので、光領域20には開口が形成されない。開口24及び26のような開口はしばしばトレンチと称される。パッド酸化物16と窒化物18とはトレンチ形成の準備で利用される従来の層である。開口24及び開口26のライナー28, 30, 32及び34の形成後、従来のトレンチ充填が、好適には領域36及び38に示されるように高密度プラズマ(HDP)酸化物で実行される。CMPが実行されて浅トレンチ分離(STI: shallow trench isolation)処理モジュールが完了する。

【0010】

図2に示されているものは、ウェーハ上でフォトリソグラフィを利用して堆積され且つパターン化されたフォトレジストの層40であり、このように光領域20に開口42を作成する。フォトレジストは単一のスピンオン・レジスト又は反射防止膜とフォトレジストとの積層を含む。

【0011】

図3に示されるように、パッド酸化物16及び窒化物18の一部が領域42のエッチング段階で除去されて、光デバイス領域20に開口44が形成される。フォトレジスト40は次に除去される。

【0012】

図4に示されるものは、開口44に選択的にエピタキシャル成長するシリコンであって、選択的成長窓として膜積層18, 16を利用する。エピタキシャル成長によってシリコン層を全体で約3000オングストロームまで厚くすることが意図される。実際の最終的なシリコン膜の厚さは光デバイスの特定のデバイスの要求によって決定される。結果的に成長したシリコンは領域46として描かれる。当業者には公知であるように、エピタキシャル成長は、シリコン表面が清浄で成長前に元々酸化物が無いように注意深い事前処理を必要とする。このような清掃は高温の水素燃焼で行われる。このような熱サイクルは、拡散がトランジスタ工程(transistor flow)で形成された後は望ましくなく、従ってこの実施形態は標準的な電子機器工程の井戸形成の前にエピタキシャル工程を好適に配置する。

【0013】

図5で示されるものは、パッド酸化物16と窒化物18の残留物とが領域22のエッチング段階で除去されたものである。窒化物のエッチングは電子機器領域22の酸化物16と光領域20のシリコンとでドライ・エッチング停止を好適に含む。

【0014】

図6に示されるものは、標準的な半導体処理が続いて、ゲート電極堆積まで電子機器領域22にデバイスを構築することである。説明の単純性を保つために、光領域20から遮

10

20

30

40

50

蔽されるこの領域の井戸注入は図示されない。ゲート絶縁体 48 は全構造に亘って成長又は堆積されて、次にゲート物質 50 がゲート絶縁体に堆積される。ゲート絶縁体 48 は帯又はパターン化された帯に従う第 1 の厚いゲート熱酸化物のいずれかによって形成され、次に、特定の電子機器又は光デバイスの必要性に応じてゲート酸化の次の又は複数の繰り返しが続けられる。

【0015】

図 7 で示されるものは、領域 22 のゲート電極物質 50 のパターニング及びエッチングに続いて、ゲート電極 52 を形成する構造である。ゲート電極物質が光領域 20 の上から完全に除去されることに留意されたい。

【0016】

図 8 で示されるものは、従来の手段を利用する電子機器領域にスペーサ形成 (spacer formation) 介する半導体デバイス構造 10 である。トランジスタは、半導体層 14 上のゲート絶縁体 48 と、ゲート絶縁体上のエッチングされたゲート電極 52 とを備える。ソース/ドレイン拡張 54 はイオン注入を経て形成される。スペーサ・ライナー (spacer liner) 56 はあらゆる場所に堆積され、側壁スペーサ 58 はゲート 52 の周りにスペーサ物質 58 をエッチングすることにより形成されて、スペーサ・ライナーで停止する。

【0017】

図 9 に示されるものは、光領域 20 のエピタキシャル成長したシリコン 46 にトレンチ 60 及び 62 を形成した後の半導体デバイス構造 10 である。標準的なフォトリソグラフィ技術を利用して、エピタキシャル・シリコン 46 の領域が開放されて、ライナー 56 とシリコン層 46 とが従来の時限シリコン・エッチング (timed silicon etch) を利用して次にエッチングされる。エッチングの深さは特定の光デバイスの要求に従って選択されるが、この実施形態では約 1500 オングストロームである。

【0018】

図 10 に示されるものは、電子機器領域 22 においてソース・ドレイン拡散 64 及び 66 を形成し、光デバイス領域 20 において光接触拡散 68 及び 70 とを形成し、次にアニールした後の半導体デバイス構造 10 である。このような特徴はイオン注入によって形成され、好適な高速熱アニールを伴う任意の熱処理でアニールされる。

【0019】

図 11 に示されるものは、サリサイド・ブロック層になることが意図される絶縁層 72 を堆積した後の半導体デバイス構造 10 である。

図 12 に示されるものは、堆積された活性領域 14 とゲート絶縁体領域 52 との上のサリサイド・ブロック膜 72 とスペーサ・ライナー酸化物 56 を選択的に除去した後の半導体デバイス構造 10 である。添付した図面では、単純化するために膜の残留物 72 は光デバイス領域 20 全体に存在するように示されるが、接触拡散が上方のメタライゼーション (metalization: 図 12 には図示されない) に接続される光領域の一部で除去される。

【0020】

図 13 に示されるものは、サリサイド処理 74 と次の中間絶縁堆積 76 及び平坦化を形成した後の半導体デバイス構造 10 である。サリサイド処理は、好適には TiN キャップの Ti を有するコバルト又はニッケルのような金属を堆積すること、金属と金属に接するシリコン 14 との間の反応を形成するアニールをすることと、反応しない金属を除去するエッチングとによる標準的な手段で形成される。更に熱サイクルがこの処理で利用される。膜 72 はこのようなサリサイドを、そうでなければ受け入れることができない光損失を含む光領域で形成することから特に保護する。中間層絶縁膜 76 又は膜の積層は堆積され、光デバイス部 20 の光デバイス用に横と上方の被覆層を同時に形成する。この段階の次に、コンタクトとメタライゼーションとが従来の電子技術の処理に従って形成される。

【0021】

図 14 に示されるものは本発明の他の実施形態におけるデバイス 10 であり、電子デバ

10

20

30

40

50

イスのスペーサ堆積後までエピタキシャル成長が形成されない。この実施形態は、ゲート電極がパターニングされる前に平坦な表面を有する高性能CMOSの必要性に動機付けられ、従って、厳しい設計規則及び意欲的な限界寸法を達成する。前の実施形態では、大きな排他的領域がチップの光及び電子部の間に必要とされたことに留意されたい。しかし本実施形態では、大きな排他的領域は必要とされない。高性能電子機器を形成するための標準的な電子技術処理がスペーサ堆積に続く。電子機器部22は、図8で示されるスペーサ・エッチングの直前のものに類似する。光部分は活性シリコンのままである。とりわけ、ライナー絶縁56は全構造を覆うように図示され、好適には窒化物であるスペーサ物質はライナー絶縁56を覆うように図示される。

【0022】

10

図15に示されているものは、開口がフォトリソグラフィとエッチング技術とを利用してデバイスの光領域20のライナー56とスペーサ膜57とがパターニングされていることである。電子機器部22の全体はフォトレジストによってこのエッチングから保護されている。層56及び57の除去に続いて、フォトレジストがあらゆる場所から除去され、層56と57との残留物ハードマスクを形成して選択的にエピタキシャル成長をするために回路の光領域20上の領域を形成する。近似的に2300オングストロームのシリコンが層56及び57の開口に成長して、領域80のように全体で約3000オングストロームを形成する。シリコン80の正確で最終的な厚さは光デバイスの特定のデバイスの要求により決定される。

【0023】

20

図16に示されるものは、スペーサ物質57がエッチングされてデバイスの電子部に側壁スペーサ58を形成したものである。このエッチングはフォトレジスト・マスクを選択的に利用して実行され、デバイスの光部分を保護する。次の処理は図9に示されるものに続くが、ライナー膜56がデバイスの光部分に存在せず、ライナーとスペーサ物質56及び57との残留物が、エピタキシャル物質（実施形態1の46及び実施形態2の80）がその内側で成長する窓の境界として存在する、という点が異なる。同様にして、残りの過程が、図面の同じ修正を有して図10～13に続く。

【0024】

これまでの詳細で、本発明は特定の実施形態を参照して記載されてきた。しかし、様々な修正及び変更が以下の請求項に説明される本発明の範囲から乖離せずに成され得ることは、当業者には明らかであろう。例えば、集積化されたデバイスは任意の多数のアーキテクチャを有する。従って、詳細及び図面は制限という意味よりは説明として見なされるべきであり、このような修正の全ては本発明の範囲に入ることが意図される。

30

【0025】

利益、他の優位性及び問題の解法は特定の実施形態に関して上に記載されてきた。しかし、利益、他の優位性、問題の解法及び利益、他の優位性又は問題の解法を生じさせる又はより明白となる任意の要素は、任意又は全ての請求項の決定的に重大である、必要とされる、又は本質的な特徴又は要素として構成されるべきではない。本明細書で利用されるように、用語「備える」、「備えている」又はこれらの任意の他の活用形は、非排他的包含を含むことが意図されており、要素のリストを備える工程、方法、物件、又は装置はこれらの要素を含むだけでなく、明白にリストアップされていない又はこのような工程、方法、物件、又は装置に固有な他の要素を含んでもよい。

40

【図面の簡単な説明】

【0026】

【図1】本発明の第1実施形態の処理の段階に従う方法の理解に便利な半導体デバイス構造の断面図。

【図2】図1の処理の次の段階の半導体デバイス構造の断面図。

【図3】図2の処理の次の段階の半導体デバイス構造の断面図。

【図4】図3の処理の次の段階の半導体デバイス構造の断面図。

【図5】図4の処理の次の段階の半導体デバイス構造の断面図。

50

【図 6】図 5 の処理の次の段階の半導体デバイス構造の断面図。

【図 7】図 6 の処理の次の段階の半導体デバイス構造の断面図。

【図 8】図 7 の処理の次の段階の半導体デバイス構造の断面図。

【図 9】図 8 の処理の次の段階の半導体デバイス構造の断面図。

【図 10】図 9 の処理の次の段階の半導体デバイス構造の断面図。

【図 11】図 10 の処理の次の段階の半導体デバイス構造の断面図。

【図 12】図 11 の処理の次の段階の半導体デバイス構造の断面図。

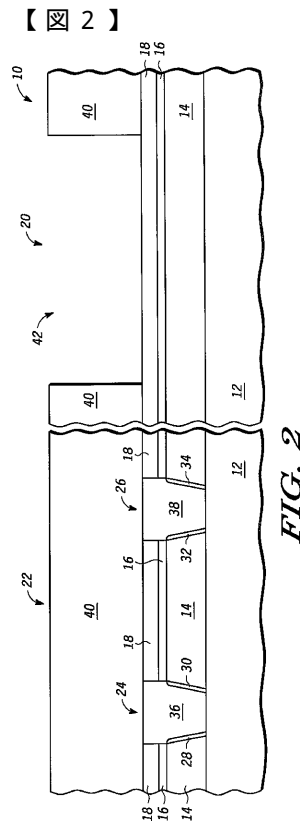
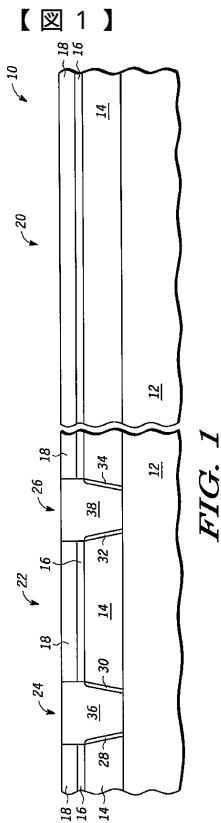
【図 13】図 12 の処理の次の段階の半導体デバイス構造の断面図。

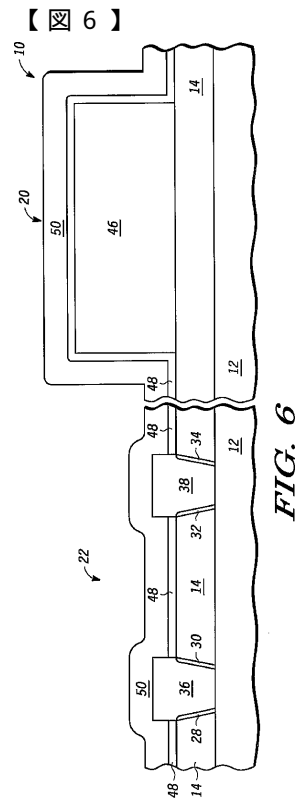
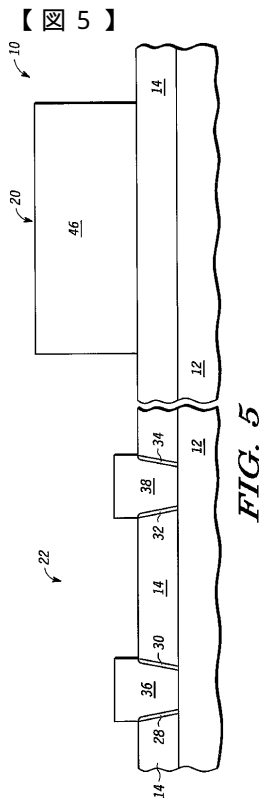
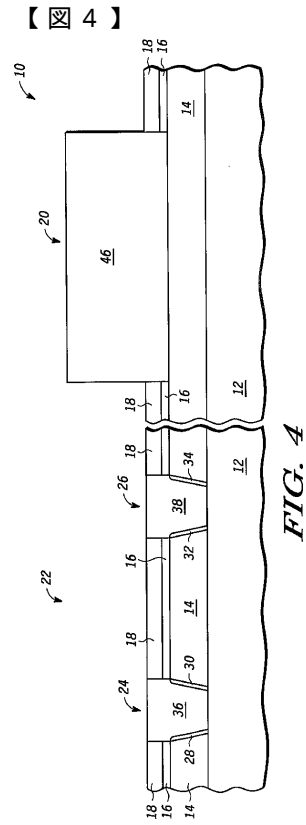
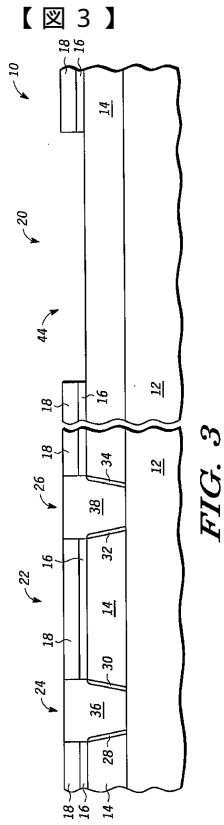
【図 14】本発明の第 2 実施形態の処理の段階に従う方法の理解に便利な半導体デバイスの断面図。

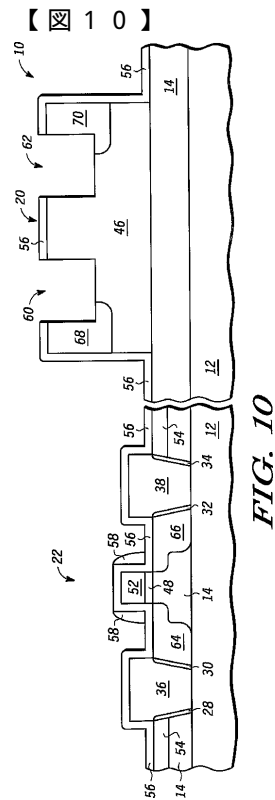
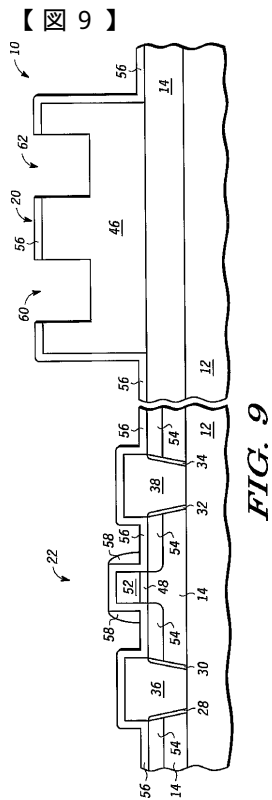
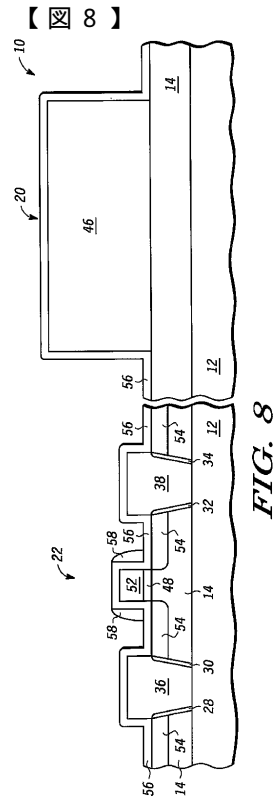
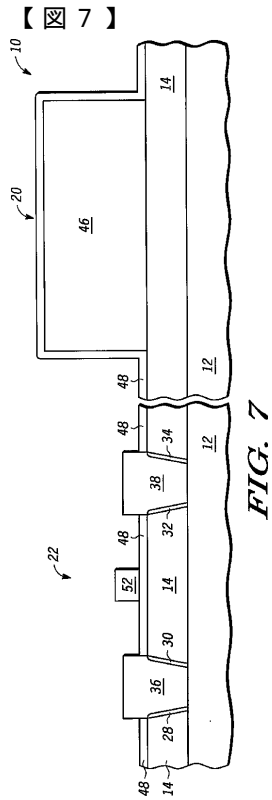
10

【図 15】図 14 の処理の次の段階の半導体デバイス構造の断面図。

【図 16】図 15 の処理の次の段階の半導体デバイス構造の断面図。







【図 1 1】

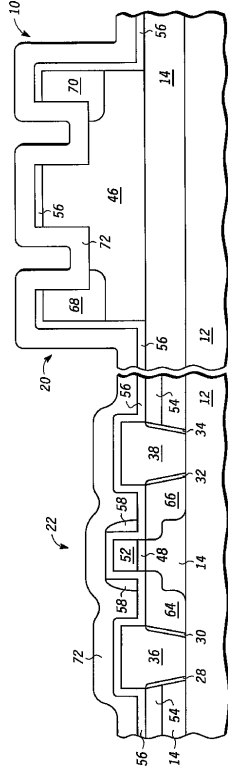


FIG. 11

【図 1 2】

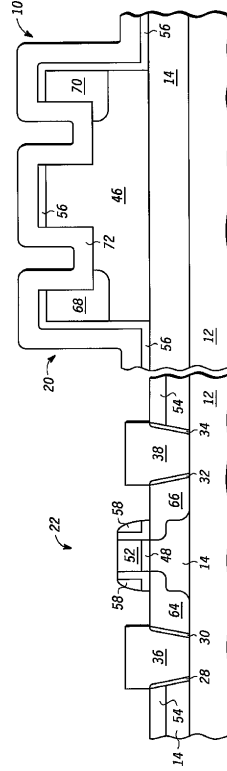


FIG. 12

【図 1 3】

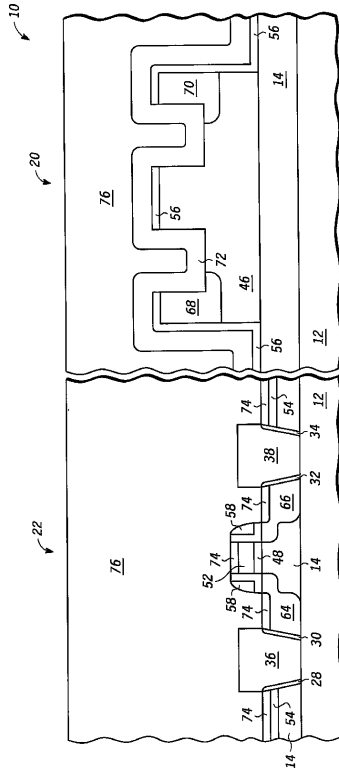


FIG. 13

【図 1 4】

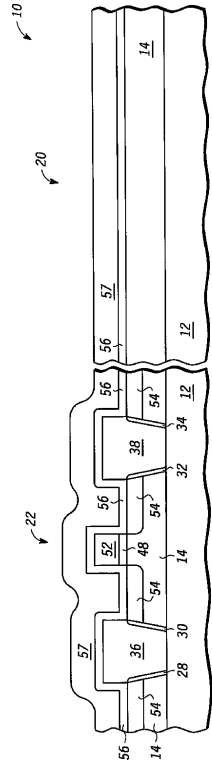


FIG. 14

【 15 】

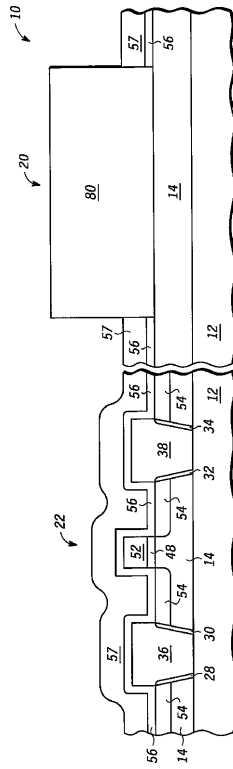


FIG. 15

【 16 】

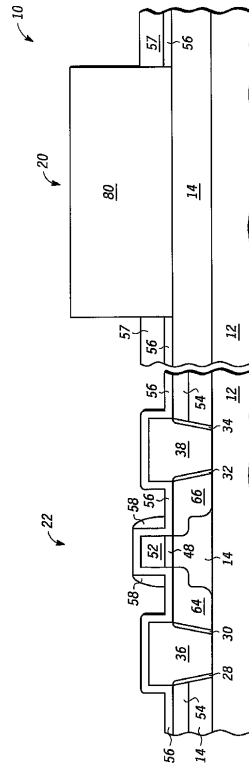


FIG. 16

フロントページの続き

(72)発明者 ジア、オマール

アメリカ合衆国 7 8 7 5 1 テキサス州 オースティン イー・フォーティーサード ストリート 6 0 5

審査官 瀧内 健夫

(56)参考文献 国際公開第 2 0 0 4 / 0 9 5 1 1 2 (W O , A 2)

特開 2 0 0 1 - 2 1 0 8 6 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 27/15

G02B 6/12-6/138