

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4984828号
(P4984828)

(45) 発行日 平成24年7月25日 (2012. 7. 25)

(24) 登録日 平成24年5月11日 (2012. 5. 11)

(51) Int. Cl.	F I
G 1 1 C 11/413 (2006. 01)	G 1 1 C 11/34 K
G 1 1 C 11/412 (2006. 01)	G 1 1 C 11/40 3 O 1

請求項の数 1 (全 10 頁)

(21) 出願番号	特願2006-296196 (P2006-296196)	(73) 特許権者	000004260
(22) 出願日	平成18年10月31日 (2006. 10. 31)		株式会社デンソー
(65) 公開番号	特開2008-112537 (P2008-112537A)		愛知県刈谷市昭和町 1 丁目 1 番地
(43) 公開日	平成20年5月15日 (2008. 5. 15)	(74) 代理人	100100022
審査請求日	平成20年11月18日 (2008. 11. 18)		弁理士 伊藤 洋二
		(74) 代理人	100108198
			弁理士 三浦 高広
		(74) 代理人	100111578
			弁理士 水野 史博
		(72) 発明者	小林 千佳良
			愛知県刈谷市昭和町 1 丁目 1 番地 株式会
			社デンソー内
		(72) 発明者	見澤 勝豊
			愛知県刈谷市昭和町 1 丁目 1 番地 株式会
			社デンソー内

最終頁に続く

(54) 【発明の名称】 半導体メモリ回路装置

(57) 【特許請求の範囲】

【請求項 1】

複数のメモリセルを備え、2つのポートにそれぞれ接続された第1ビット線（41）および第2ビット線（42）を介して前記複数のメモリセルへのデータの書き込み、または前記複数のメモリセルからデータの読み出しが行われるデュアルポートRAMを構成する半導体メモリ回路装置であって、

前記第2ビット線には、前記第1ビット線に入力されるデータ信号が反転したデータ信号が入力されると共に、前記第2ビット線に入力されるデータ信号は当該データ信号を反転する出力用反転回路部（90）を介して前記ポートに出力されるようになっており、

前記メモリセルそれぞれは、

外部からデータ信号が入力されると共に、前記データ信号を記憶保持する記憶保持回路部（10）と、

前記記憶保持回路部と前記第1ビット線とを接続し、第1ワード線（51）を介して入力される許可信号に基づいて前記第1ビット線に入力されたデータ信号を前記記憶保持回路部に記憶保持させるか、または前記第1ビット線を介して前記記憶保持回路部に記憶保持されたデータ信号を外部に出力する第1ワードスイッチ（20）と、

前記記憶保持回路部と前記第2ビット線とを接続し、第2ワード線（52）を介して入力される許可信号に基づいて前記第2ビット線に入力されたデータ信号を前記記憶保持回路部に記憶保持させるか、または前記第2ビット線を介して前記記憶保持回路部に記憶保持されたデータ信号を外部に出力する第2ワードスイッチ（30）と、を備え、

10

20

前記各ワードスイッチは、N c h型のトランジスタ（2 1、3 1）とP c h型のトランジスタ（2 2、3 2）とが組み合わされてそれぞれ構成されており、

さらに、前記メモリセルそれぞれは、

前記記憶保持回路部にデータを記憶保持させる際、前記記憶保持回路部に記憶保持させるデータのデータ信号を前記第1ビット線に入力するデータ入力用回路部（7 1、7 2）と、

前記第1ビット線と前記第2ビット線とを接続すると共に、前記データ入力用回路部が前記第1ビット線に前記データ信号を入力したときにオンするようになっており、前記第1ビット線に入力されたデータ信号の反転信号を前記第2ビット線に入力する書き込み用反転回路部（7 3）と、

前記記憶保持回路部に記憶保持されたデータ信号を前記第1ビット線および前記第2ビット線それぞれを介して外部に同時に読み出す際に同時に読み出し用信号を出力する同時読み出し用回路部（8 1）と、

前記第1ビット線と前記第2ビット線とを接続すると共に、前記同時読み出し用回路部から前記同時読み出し用信号を入力したときにオンすることで、前記第1ビット線に入力されたデータ信号の反転信号を前記第2ビット線に入力する状態保持用反転回路部（8 2）と、を備えていることを特徴とする半導体メモリ回路装置。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、半導体メモリ回路装置に関し、特にデュアルポートRAMに関するものである。

【背景技術】

【0 0 0 2】

従来より、データが格納される記憶媒体としてのデュアルポートRAMが、例えば特許文献1で提案されている。具体的に、特許文献1では、データを保持する記憶保持回路と、記憶保持回路の第1入出力ノードとビット線B I T 1との間に接続されたNMOSTランジスタと、記憶保持回路の第1入出力ノードとビット線B I T 2との間に接続されたPMOSTランジスタと、記憶保持回路の第2入出力ノードとビット線／B I T 1との間に接続されたNMOSTランジスタと、記憶保持回路の第2入出力ノードとビット線／B I T 2との間に接続されたPMOSTランジスタと、を有するメモリセル回路を備えたデュアルポートRAMが提案されている。

【0 0 0 3】

これら各トランジスタは、記憶保持回路にデータを入出力するためのスイッチとしての役割を果たすものである。このようなデュアルポートRAMのメモリセル回路において、記憶保持回路に保持されたデータは、各トランジスタをオン／オフするワード線に信号が入力されることで各トランジスタがオンすることにより、例えばビット線B I T 1とビット線／B I T 1と間に記憶保持回路内にストアされたデータに基づく電位差が生じ、その電位差が増幅されて読み出される。こうして読み出されたデータは、ポートを介して論理回路等に入力されるようになっている。

【特許文献1】特開平5－2 9 9 2 6 1号公報

【発明の開示】

【発明が解決しようとする課題】

【0 0 0 4】

しかしながら、上記従来の技術では、ビット線を使用していないときにビット線の状態を固定するためのプリチャージ回路が接続されておらず、RAMとして動作しない可能性がある。すなわち、記憶保持回路とビット線との間にNMOSTランジスタが接続されている場合、ビット線にプリチャージ回路としてPMOSTランジスタが接続されていなければならない。同様に、記憶保持回路とビット線との間にPMOSTランジスタが接続されている場合、プリチャージ回路としてNMOSTランジスタが接続されていなければな

10

20

30

40

50

らない。

【0005】

そこで、プリチャージ回路を付加することが考えられるが、そのための回路領域が必要になるため、プリチャージ回路の回路面積が必要になってしまう。例えば、ゲートアレイを用いる場合では、そのためのゲートセルを用いることになるため、各メモリセルに対応させたプリチャージ回路の面積の増加に応じてRAMのチップ面積が増加してしまう。

【0006】

また、記憶保持回路とビット線との間にPMOSトランジスタを接続した場合、PMOSトランジスタは応答速度がNMOSトランジスタよりも遅いため、データの書き込み、読み出しが遅れるという問題もある。

10

【0007】

本発明は、上記点に鑑み、デュアルポートRAMとして構成される半導体メモリ回路装置を提供するに際し、確実に動作する半導体メモリ回路装置を提供することを第1の目的とし、チップ面積を低減できる半導体メモリ回路装置を提供することを第2の目的とし、データの読み出しの遅れを低減することを第3の目的とする。

【課題を解決するための手段】

【0008】

上記目的を達成するため、本発明の第1の特徴では、デュアルポートRAMを構成する半導体メモリ回路装置において、まず、第2ビット線(42)には、第1ビット線(41)に入力されるデータ信号が反転したデータ信号が入力されるようにし、第2ビット線に入力されたデータ信号は当該データ信号を反転する出力用反転回路部(90)を介してポートに出力されるようにする。

20

【0009】

また、デュアルポートRAMを構成する複数のメモリセルそれぞれは、外部からデータ信号が入力されると共に、データ信号を記憶保持する記憶保持回路部(10)と、記憶保持回路部と第1ビット線とを接続し、第1ワード線(51)を介して入力される許可信号に基づいて第1ビット線に入力されたデータ信号を記憶保持回路部に記憶保持させるか、または第1ビット線を介して記憶保持回路部に記憶保持されたデータ信号を外部に出力する第1ワードスイッチ(20)と、記憶保持回路部と第2ビット線とを接続し、第2ワード線(52)を介して入力される許可信号に基づいて第2ビット線に入力されたデータ信号を記憶保持回路部に記憶保持させるか、または第2ビット線を介して記憶保持回路部に記憶保持されたデータ信号を外部に出力する第2ワードスイッチ(30)と、を備えた構成とする。

30

【0010】

そして、各ワードスイッチを、Nch型のトランジスタ(21、31)とPch型のトランジスタ(22、32)とが組み合わされてそれぞれ構成する。

【0011】

これにより、各ビット線を介して記憶保持回路部に記憶保持されたデータ信号を入出力する場合、ワードSWとしての各ワードスイッチをNch型のものとPch型のものの組み合わせにより構成することで、各ビット線の各状態をそれぞれ固定するためのプリチャージ回路を不要とすることができる。

40

【0012】

このように、プリチャージ回路をなくした回路構成としても、各ワードスイッチを許可信号によりそれぞれ駆動することで、各メモリセルにおけるデータ信号の入出力を確実に行うことができ、記憶保持回路部に保持されたデータの読み出しを確実に行うことができるデュアルポートRAMを実現することができる。

【0013】

さらに、各ビット線にデータを出力する場合、ワードスイッチにてNch型のMOSトランジスタとPch型のMOSトランジスタとを組み合わせた構成としている。これにより、ワードSWをPch型のMOSトランジスタのみで構成した場合よりも、データの読

50

み出しの遅れを低減することができる。

【0014】

また、メモリセルを構成する上でプリチャージ回路を不要とすることができるので、半導体メモリ回路装置をなす半導体チップのチップ面積を低減することができる。

【0015】

上記のようにメモリセルを構成する場合、メモリセルそれぞれを、記憶保持回路部にデータを記憶保持させる際、記憶保持回路部に記憶保持させるデータのデータ信号を第1ビット線に入力するデータ入力用回路部(71、72)と、第1ビット線と第2ビット線とを接続すると共に、データ入力用回路部が第1ビット線にデータ信号を入力したときにオンするようになっており、第1ビット線に入力されたデータ信号の反転信号を第2ビット線に入力する書き込み用反転回路部(73)と、を備えた構成とすることもできる。

10

【0016】

これにより、各ビット線にデータ信号を入力し、記憶保持回路部にデータ信号を記憶保持させるようにすることができる。

【0017】

さらに、メモリセルそれぞれを、記憶保持回路部に記憶保持されたデータ信号を第1ビット線および第2ビット線それぞれを介して外部に同時に読み出す際に同時読み出し用信号を出力する同時読み出し用回路部(81)と、第1ビット線と第2ビット線とを接続すると共に、同時読み出し用回路部から同時読み出し用信号を入力したときにオンすることで、第1ビット線に入力されたデータ信号の反転信号を第2ビット線に入力する状態保持用反転回路部(82)と、を備えた構成とすることもできる。

20

【0018】

これにより、各ビット線にデータ信号を同時に入力する場合では、各ビット線それぞれの状態が確実に反転状態となるようにすることができる。

【0019】

なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。

【発明を実施するための最良の形態】

【0020】

(第1実施形態)

30

以下、本発明の第1実施形態について図を参照して説明する。本実施形態では、半導体メモリ回路装置としてデュアルポートRAMが採用される。

【0021】

図1は、本発明の一実施形態に係る半導体メモリ回路装置を構成する1つのメモリセルの回路図である。この図に示されるように、半導体メモリ回路装置は、記憶保持回路部10と、当該記憶保持回路部10を挟み込むように配置された2つのワードスイッチ20、30(本発明の第1、第2ワードスイッチに相当)と、を備えた構成となっている。

【0022】

記憶保持回路部10は、データのデータ信号を記憶保持する機能を有するものであり、2つのインバータ11、12を備えて構成されている。これらインバータ11、12は、入力されたデジタル信号を反転して出力するものであり、それぞれNMOSトランジスタ11a、12aおよびPMOSトランジスタ11b、12bが直列接続されて構成されている。そして、各インバータ11、12にてループ回路が構成され、当該ループ回路内にデータが保持されるようになっている。

40

【0023】

ワードスイッチ20、30は、上記記憶保持回路部10へのデータ信号の入出力(データの書き込み、または読み出し)を行うためのスイッチの役割を果たすものであり、いわゆるワードスイッチである。これら各ワードスイッチ20、30は、それぞれNMOSトランジスタ21、31およびPMOSトランジスタ22、32により構成される。

【0024】

50

そして、ワードスイッチ20はBIT1線41（本発明の第1ビット線に相当）と記憶保持回路部10との間に接続され、ワードスイッチ30は記憶保持回路部10とBIT2線42（本発明の第2ビット線に相当）との間に接続されている。これらBIT1線41およびBIT2線42は、それぞれデータの書き込み、またはデータの読み出しを行うための配線である。

【0025】

なお、BIT2線42にて示される「－」記号は、BIT2線を伝達する信号の反転データを意味している。以下では、反転データを示す記号として「－」を用いる。本実施形態では、BIT1線41およびBIT2線42それぞれが1ポートに対応している。したがって、2本のビット線のうち、1本は反転データとなり、本実施形態ではBIT2線42が反転データを扱う配線となっている。

10

【0026】

また、ワードスイッチ20のNMOSトランジスタ21のゲートにWL1線51（本発明の第1ワード線に相当）が接続され、PMOSトランジスタ22のゲートにインバータ61を介してWL1線51が接続されている。すなわち、ワードスイッチ20は、WL1線51に入力される信号に応じてBIT1線41と記憶保持回路部10とを接続または切断する。

【0027】

さらに、ワードスイッチ30のNMOSトランジスタ31のゲートにWL2線52（本発明の第2ワード線に相当）が接続され、PMOSトランジスタ32のゲートにインバータ62を介してWL2線52が接続されている。これにより、ワードスイッチ30は、WL2線52に入力される信号に応じてBIT2線42と記憶保持回路部10とを接続または切断する。

20

【0028】

これらWL1線51およびWL2線52は、記憶保持回路部10にデータを書き込む際に各ワードスイッチ20、30を作動させるための配線であり、WL1線51にワードスイッチ20をオン／オフさせる許可信号としてのWL1信号が入力され、WL2線52にワードスイッチ30をオン／オフさせる許可信号としてのWL2信号が入力されるようになっている。

【0029】

30

また、上記記憶保持回路部10にデータを書き込むためのNAND回路71がインバータ72を介してBIT1線41に接続されている。このNAND回路71には書き込むべきデータ信号（WDATA信号）と、書き込みの許可を示すWE信号とが入力されるようになっており、両者がNAND回路71に入力されるとLo信号が出力され、インバータ72を介してデータがBIT1線41に入力されるようになっている。なお、NAND回路71およびインバータ72は、データ入力用回路部に相当する。

【0030】

さらに、BIT1線41とBIT2線42との間にインバータ73（本発明の書き込み用反転回路部に相当）が接続されている。このインバータ73は、記憶保持回路部10からデータを読み出す際にデータを壊さないようにするため、記憶保持回路部10にデータを書き込む際にBIT1線41、BIT2線42の各状態を確実に固定するために設けられている。上記インバータ72、73は、NAND回路71にWE信号が入力されるとオンするものである。

40

【0031】

AND回路81（本発明の同時読み出し用回路部に相当する）は、記憶保持回路部10に保持されたデータを同時読み出しする場合に用いられるものである。このAND回路81にはデータ同時読みだしを示す信号（WL1 & WL2信号）と読み出しを許可するRE信号とが入力されるようになっており、これら各信号がAND回路81に両方入力される際、AND回路81からHi信号（同時読み出し用信号）が出力される。

【0032】

50

また、B I T 1 線 4 1 と B I T 2 ー 線 4 2 との間にインバータ 8 2（本発明の状態保持用反転回路部に相当）が接続されている。このインバータ 8 2 は、A N D 回路 8 1 から H i 信号が入力されるとオンするようになっており、データの同時読みだしの際に B I T 1 線 4 1、B I T 2 ー 線 4 2 の各信号の状態をそれぞれ固定する役割を果たすものである。

【0033】

記憶保持回路部 1 0 に保持されたデータを同時読み出しする場合、各ワードスイッチ 2 0、3 0 がオンする。この場合、記憶保持回路部 1 0 のループ回路でデータの保持が弱くなる（電位を保持できなくなる）。これを防止するため、インバータ 8 2 によって B I T 1 線 4 1 の状態と B I T 2 ー 線 4 2 の状態とが必ず反転状態になるように各状態を維持する。

10

【0034】

そして、B I T 2 ー 線 4 2 には、信号の状態を非反転に戻すためのインバータ 9 0（本発明の出力用反転回路部に相当）が接続されている。このインバータ 9 0 は、B I T 2 ー 線 4 2 に接続されるインバータ 7 3 よりも下流側に接続されている。

【0035】

以上が、1つのメモリセルの回路構成である。すなわち、図 1 に示されるメモリセルが B I T 1 線 4 1 および B I T 2 ー 線 4 2 の間に多数設けられ、W L 1 線 5 1、W L 2 線 5 2、N A N D 回路 7 1、A N D 回路 8 1 にそれぞれ信号が入力されることで、デュアルポート R A M にデータが格納されるようになっている。このようなデュアルポート R A M は、周知の半導体プロセスにより、半導体チップに形成される。

20

【0036】

次に、上記メモリセルにデータを書き込む、またはメモリセルからデータを読み出す作動について説明する。以下では、1つのメモリセルに対するデータの書き込み、読み出しについて説明する。

【0037】

まず、メモリセルにデータを書き込む場合、書き込むべきデータを示す W D A T A 信号を N A N D 回路 7 1 に入力する。そして、H i を示す W E 信号を N A N D 回路 7 1 に入力することにより、インバータ 7 2、7 3 がオンする。これにより、W D A T A 信号をインバータ 7 2 を介して B I T 1 線 4 1 および B I T 2 ー 線 4 2 にそれぞれ入力する。B I T 2 ー 線 4 2 には、W D A T A 信号の反転データを書き込む。

30

【0038】

また、W L 1 線 5 1、W L 2 線 5 2 それぞれに各ワードスイッチ 2 0、3 0（各ワード S W）をオンする信号を入力することにより、B I T 1 線 4 1 および B I T 2 ー 線 4 2 と記憶保持回路部 1 0 とを導通させて、B I T 1 線 4 1、B I T 2 ー 線 4 2 に入力された W D A T A 信号を記憶保持回路部 1 0 に入力する。この後、各ワードスイッチ 2 0、3 0 をオフすることで、記憶保持回路部 1 0 にデータを格納する。

【0039】

このようにして記憶保持回路部 1 0 にデータが格納された後、B I T 1 線 4 1、B I T 2 ー 線 4 2 がデータの読み出しに用いられる場合と競合しないように、L o を示す W E 信号を N A N D 回路 7 1 に入力する。以上のようにして、データをメモリセルに書き込む。

40

【0040】

本実施形態では、各ワードスイッチ 2 0、3 0 が N c h 型のものと P c h 型のものとが組み合わされて構成されているので、P c h 型のもののみによる電荷の通しにくさを解消し、データの書き込みの遅れを低減することができる。また、N c h 型、P c h 型のものを組み合わせたことで、ワード S W に対するプリチャージ回路を不要とすることができる。これにより、デュアルポート R A M を備えた半導体チップにおいてプリチャージ回路のための面積を削減することができ、チップ面積を低減することができる。

【0041】

一方、メモリセルからデータを読み出す際であって、B I T 1 線 4 1 に対応したポートからデータを出力させたい場合、W L 1 線 5 1 にワードスイッチ 2 0 をオンさせる W L 1

50

信号を入力し、記憶保持回路部10とBIT1線41とを導通させる。これにより、記憶保持回路部10に保持されていたデータをBIT1線41を介して読み出す。

【0042】

同様に、メモリセルからデータを読み出す際に、BIT2線42に対応したポートからデータを出力させたい場合、WL2線52にワードスイッチ30をオンさせるWL2信号を入力し、記憶保持回路部10に保持されていたデータをBIT2線42を介して読み出す。このように、BIT2線42のポートが選択された場合、記憶保持回路部10に格納されたデータが反転されて出力されるため、BIT2線42の後段に設けられたインバータ90を介して出力されることとなる。

【0043】

図1に示されるように、本実施形態では、ビット線をBIT1線41、BIT2線42の2本で構成できるので、従来のように多数の配線を必要とせず、少ない配線数で半導体メモリ回路装置を構成することができる。

【0044】

また、BIT1線41、BIT2線42にそれぞれ対応した各ポートからデータを同時に出力させたい場合、WL1線51およびWL2線52にそれぞれWL1信号およびWL2信号を入力し、各ワードスイッチ20、30をオンする。これにより、記憶保持回路部10に格納されたデータをBIT1線41、BIT2線42それぞれに出力する。

【0045】

さらに、AND回路81にデータ同時読みだしを示す信号(WL1&WL2信号)、Hiを示すRE信号を入力し、AND回路81からHiを出力し、インバータ82をオンする。これにより、BIT1線41、BIT2線42それぞれの状態が確実に反転状態となるようにする。このようにして、記憶保持回路部10に格納されたデータをBIT1線41、BIT2線42それぞれを介して読み出す。

【0046】

以上が、1つのメモリセルにおけるデータの書き込み、読み出しの作動である。実際のデュアルポートRAMは、多数のメモリセルにより構成されており、各メモリセルに対して上記のようにしてデータの書き込み、読み出しが行われることとなる。

【0047】

上記のようなメモリセルを備えたデュアルポートRAMをCPUに備えることができる。図2は、CPUのブロック図である。この図に示されるように、CPUを構成するレジスタファイル100に上記図1で示された複数のメモリセルで構成されるデュアルポートRAM110を適用することができる。

【0048】

すなわち、データバスを介して1本のポートでレジスタファイル100のデュアルポートRAM110に書き込みができ、かつ、2本のポートでデュアルポートRAM110からデータを読み出し、四則演算や論理演算を行うALU200に入力することができる。

【0049】

このように、メモリセルをCPUのレジスタファイル100に適用することにより、上述のようにプリチャージ回路が不要となることから、CPUのトータルゲート数を大幅に減らすことができる。以上のように、メモリセルをCPUのレジスタファイル100のデータ格納手段として用いることができる。

【0050】

以上説明したように、本実施形態では、記憶保持回路部10にデータを書き込む、または記憶保持回路部10からデータを読み出すワードSWとしてのワードスイッチ20、30をNch型のMOSトランジスタ21、31とPch型のMOSトランジスタ22、32で構成していることが特徴となっている。

【0051】

このように、Nch型のものとPch型のものとを組み合わせることにより、BIT1線41、BIT2線42の各状態をそれぞれ固定するためのプリチャージ回路を不要と

10

20

30

40

50

することができる。したがって、プリチャージ回路を不要としても、メモリセルを機能させ、確実に動作するデュアルポートRAMを実現することができる。

【0052】

また、プリチャージ回路を不要とすることができるので、デュアルポートRAMが形成された半導体チップのチップ面積を低減することができる。この際、ゲートアレイによってデュアルポートRAMを構成する場合は特にゲートアレイを有効に利用した回路レイアウトを構成することができ、さらにチップ面積の低減を図ることができる。

【0053】

さらに、BIT1線41、BIT2線42にデータを出力する場合、Pch型のMOSトランジスタのみを介してデータを出力する構成をとらずに、図1に示されるようにNch型のトランジスタ21、31とPch型のトランジスタ22、32を組み合わせたワードSWを構成している。これにより、ワードSWをPch型のもののみで構成した場合におけるデータの書き込みおよび読み出しの遅れを低減することができる。

10

【0054】

(他の実施形態)

記憶保持回路部10に格納されたデータをBIT1線41、BIT2線42それぞれ同時に読み出す場合、ワードスイッチ30をオンせず、ワードスイッチ20のみをオンするようにしても構わない。この場合、WL1線51およびAND回路81にデータ同時読みだしを示す信号(WL1&WL2信号)をそれぞれ入力する。これにより、AND回路81がオンしてインバータ82が機能し、BIT1線41のデータを反転してBIT2線42に入力することができる。

20

【0055】

デュアルポートRAM110は、上記CPUに限定されることなく、他の記憶手段として用いても構わない。例えば、フリップフロップを多数用いる回路を上記メモリセルで構成した回路で置き換えることができる。フリップフロップを用いた回路では、各フリップフロップを選択するための選択回路が必要になりその分のチップ面積も必要となるが、その選択回路は上記メモリセルで構成する回路では不要である。また、メモリセルを例えばCANコントローラに採用することもできる。

【0056】

他の回路構成において記憶手段としてメモリセルを用いる場合、ゲートアレイを用いて回路レイアウトを構成する場合には、チップ面積の観点から有効である。

30

【図面の簡単な説明】

【0057】

【図1】本発明の一実施形態に係る半導体メモリ回路装置を構成する1つのメモリセルの回路図である。

【図2】図1に示されるメモリセルで構成したデュアルポートRAMを適用したCPUのブロック図である。

【符号の説明】

【0058】

10…記憶保持回路部、20、30…ワードスイッチ、21、31…Nch型のトランジスタ、22、32…Pch型のトランジスタ、41…BIT1線、42…BIT2線、51…WL1線、52…WL2線、71…NAND回路、81…AND回路、72、73、82、90…インバータ。

40

フロントページの続き

(72)発明者 石原 秀昭
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

審査官 園田 康弘

(56)参考文献 特開昭54-107228 (JP, A)
特開平04-153992 (JP, A)
特開平06-243686 (JP, A)
特開2003-108056 (JP, A)
特開平10-011969 (JP, A)
特開昭60-242581 (JP, A)
特開平09-022987 (JP, A)
特開平08-180682 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G11C 11/41
G11C 11/412
G11C 11/413
G11C 11/419