(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.[6]
H01L 21/60

(45) 공고일자 1997년06월30일
(11) 공고번호 특1997-0010766
(24) 등록일자 1997년06월30일

(21) 출원번호 특1993-0026005
(22) 출원일자 1993년12월01일
(65) 공개번호 특1994-0016640
(43) 공개일자 1994년07월23일
(30) 우선권주장 92-323861 1992년12월03일 일본(JP)

(73) 특허권자 가부시키가이샤 도시바 사토 후미오
일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지
(72) 발명자 나카오 미츠히로
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 다마가와공장내
(74) 대리인 김윤배, 이범일

심사관 : 김용정 (책자공보 제5094호)

(54) 와이어본딩장치

요약

내용없음

대표도

도1

명세서

[발명의 명칭]

와이어본딩장치

[도면의 간단한 설명]

제1도는 본 발명의 제1 및 제2실시예에 따른 와이어본딩장치의 주요부를 나타낸 단면도,

제2도는 본 발명의 제1도에 도시한 와이어본딩장치에 의해 와이어본딩된 반도체장치의 주요부를 나타낸 단면도,

제3도는 본 발명의 제1 및 제2실시예에 따른 와이어본딩장치를 나타낸 구성도,

제4도는 본 발명의 제1실시예에 따른 와이어본딩장치에 의해 와이어본딩한 때의 본딩와이어에서의 루프길이와 루프높이의 관계를 나타낸 도면,

제5도는 본 발명의 제2실시예에 따른 와이어본딩장치에 의해 와이어본딩된 반도체장치의 주요부를 나타낸 단면도,

제6도는 종래의 와이어본딩장치에 의해 와이어본딩한 때의 본딩와이어에서의 루프길이와 루프높이의 관계를 나타낸 도면이다.

* 도면의 주요부분에 대한 부호의 설명

1 : 반도체칩 2 : 제1본딩위치
3 : 제1이동경로 4 : 제1위치
5 : 제2이동경로 6 : 제2위치
7 : 제2본딩위치 8 : 제3위치
9 : 제3이동경로 10 : 화살표
11 : 제4이동경로 12 : 리드프레임
12a : 베드 12b : 내부리드
14 : 본딩와이어 31 : 설계데이터부
32 : 인식부 33 : 제1연산부
34 : 제2연산부 35 : 자동연산부

36 : 제어부 37 : 캐필러리

L : 루프길이 D : 본딩단차

h : 루프높이 Θ_R : 리버스각도

W_1 : 삼각루프의 경사변의 길이 Θ_1, Θ_2 : 각도

R : 리버스량 R_L : 리버스높이

Z : 캐필러리 상승량 D_L : 사다리꼴 루프의 상변의 길이

W_2 : 사디리꼴 루프의 경사변의 길이

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 와이어본딩(wire-bonding)장치에 관한 것으로, 특히 박(薄)형, 고밀도 패케이지에 사용되는 와이어본딩장치에 관한 것이다.

[종래의 기술 및 그 문제점]

종래의 와이어본딩장치에 의해 반도체장치를 와이어본딩하는 공정에 대하여 이하에 설명한다.

리드프레임(lead frame)에서의 베드(bed)상에는 반도체칩이 배치되어 있다. 이 반도체칩의 표면에는 본딩패드(bonding pad)가 설치되어 있는데, 이 본딩패드가 제1본딩위치로 되고, 상기 리드프레임에서의 내부리드의 선단근처가 제2본딩위치로 된다.

상기 구성에 있어서, 먼저 제1본딩위치로 캐필러리(capillary)가 이동된다. 이 캐필러리로부터 본딩와이어의 일단이 나오고, 이 본딩와이어의 일단이 제1본딩위치에 있어서 본딩패드와 전기적으로 접속된다. 이후, 상기 캐필러리는 반도체칩의 표면에 대하여 수직방향으로 제1거리만큼 이동되고, 그 다음에 상기 캐필러리는 반도체칩의 표면에 대하여 평행하게 상기 제2본딩위치에 대하여 반대측으로 제2거리만큼 이동되며, 이후 킷는 반도체칩의 표면에 대하여 수식방향으로 제3거리만큼 이동되고, 이어서 상기 캐필러리는 제2본딩위치로 이동된다. 이때의 캐필러리의 이동궤적은 호(弧)를 그리고 있으며, 상기 제2본딩위치에 있어서 본딩와이어의 타단이 내부리드와 전기적으로 접속된다.

그런데, 상기 종래의 와이어본딩장치에서는 게1본딩위치와 제2본딩위치 사이의 거리인 루프길이의 조정을 상기 제3거리에 의해 행하고 있다. 즉, 상기 제1 및 제2거리는 소정의 값으로 고정되고, 상기 제3거리만을 변화시킴으로써 루프길이를 조정하고 있다. 이와 같이 루프길이를 조정한 경우, 루프길이와 루프높이의 관계는 제6도에 나타낸 바와 같은 종류로 된다. 이 도면으로부터 루프길이가 짧아짐에 따라 루프높이가 낮아짐을 알 수 있다. 따라서 반도체장치에의 루프길이는 각각 다르기 때문에, 종래의 와이어본딩장치에 의해 반도체장치를 와이어본딩하면 본딩와이어의 루프높이가 일정하지 않게 된다. 즉, 가 본딩와이어에 있어서 최적의 높이로 할 수 없게 된다. 특히, 다수의 본딩와이어를 필요로 하고, 루프높이의 제약이 엄밀한 패케이지 예컨대 박형, 고밀도 패케이지에 있어서 종래의 와이어본딩장치에 의해 와이어본딩하는 것으로는 문제가 있었다.

또한, 베드본딩 즉 반도체칩과 리드프레임에서의 베드를 와이어본딩할 때 상기 베드의 높이가 내부리드의 높이보다 낮기 때문에, 이 본딩와어만 다른 본딩와이어에 비해서 극단적으로 루프높이가 낮아지게 된다. 즉, 제2본딩위치중 그 높이가 다른 것보다 낮은 제2본딩위치에 와이어본딩하면 이 본딩와이어의 루프높이만 다른 것의 높이보다 낮아지게 된다. 그 결과, 상기 본딩와이어와 상기 반도체칩의 에지(edge)가 접촉하는 에지 터치(touch)불량 및 본딩와이어의 네크(neck)부에 데미지(demage)가 걸림데 따른 본딩불량이 발생하게 된다.

[발명의 목적]

이에 본 발명은 상기와 같은 사정을 고려하여 이루어진 것으로, 본딩와이어에서의 루프높이 및 루프형상을 최적으로 함과 더불어 에지터치불량 및 본딩불량이 발생하지 않는 와이어본딩장치를 제공하고자 함에 그 목적이 있다.

[발명의 구성]

상기 과제를 해결하기 위해 본 발명의 와이어본딩장치는, 인식부에 의해 인식된 반도체칩에서의 본딩패드의 위치 및 리드프레임에서의 내부리드의 본딩위치로부터 본딩단차 및 본딩와이어의 루프길이를 산출하는 제1연산부와, 캐필러리를 상기 본딩패드의 위치로부터 윗쪽으로 이동시킬 때의 높이인 리버스(reverse)높이, 이 리버스높이까지 이동시킨 상기 캐필러리를 상기 본딩위치의 반대측으로 이동시킬 때의 길이인 러버스량 및 이 리버스량만큼 이동시킨 상기 캐필러리를 최고의 위치까지 이동시킬 때의 상기 반도체칩의 상면으로부터의 높이인 캐필러리 상승량을 상기 본딩단차 및 상기 루프길이로부터 산출하는 제2연산부를 구비한 것을 특징으로 하고 있다.

(작용)

상기와 같이 구성된 본 발명은, 제1연산부에 있어서 본딩단차 및 본딩와이어의 루프길이를 본딩패드의 위치 및 내부리드의 본딩위치에 의해 산출하고, 제2연산부에 있어서 캐필러리를 상기 본딩패드의 위치로부터 위쪽으로 이동시킬 때의 높이인 리버스높이, 이 리버스높이까지 이동시킨 상기 캐필러리를 상기 본딩위치의 반대측으로 이동시킬 때의 길이인 리버스량 및 이 리버스량만큼 이동시킨 상기 캐필러리를 최고의 위치까기 이동시킬 때의 상기 반도체칩의 상면으로부터의 높이인 캐필러리상승량을 상기 본딩단차 및 상기 루프길이에 의해 산출하고 있다. 이 때문에, 본딩와이어에서의 루프높이 및 루프형상을 최적으로 할

수 있다. 그 결과, 에지터치불량 및 본딩불량의 발생을 방지할 수 있게 된다.

(실시예)

이하, 도면을 참조해서 본 발명을 실시예에 따라 설명한다.

제1도는 본 발명의 제1실시예에 따른 와이어본딩장치의 주요부를 나타냄과 더불어, 이 와이어본딩장치에 의해 반도체장치를 와이어본딩하는 공정을 모식적으로 나타낸 단면도로, 동도면중 리드프레임(12)에서의 베드(12a)상에는 반도체칩(1)이 배치되어 있다. 이 반도체칩(1)의 표면에서의 도시하지 않은 본딩패드상에는 도시하지 않은 캐필러리가 이동된다. 이 캐필러리로부터 도시하지 않은 본딩와이어의 일단이 나오고, 이 본딩와이어의 일단이 상기 본딩패드에서의 제1본딩위치(2)와 전기적으로 접속된다. 이후, 상기 캐필러리는 제1이동경로(3)를 따라 이동된다. 즉, 반도체칩(1)의 표면에 대하여 수직방향으로 이동된다 이에 따라, 상기 캐필러리는 반도체칩(1)의 표면으로부터의 높이 즉 리버스높이가 R_L인 제1위치(4)까지 이동되게 된다.

그 다음에, 상기 캐필러리는 거리 소위 리버스량이 R인 제2이동경로(5)를 따라 상기 제1위치(4)로부터 제2위치(6)로 이동된다. 즉 상기 제1이동경로(3) 및, 상기 제1본디위치(2)와 내부리드(12b)에서의 제2본딩위치(7)를 결합하는 직선을 포함하는 면에 있어서, 상기 캐필러리는 제1이동경로(3)에 대하여 직각방향인 제2이동경로(5)를 따라 이동된다. 여기서, 상기 캐필러리는 상기 면을 따라 이동되는 것이다.

이후, 상기 캐필러리는 상기 제2위치(6)로부터 제3위치(8)로 제3이동경로(9)를 따라 이동된다. 이 제3이동경로(9)는 상기 제2이동경로(5)에 대하여 직각방향을 향하고 있다. 상기 반도체칩 표면으로부터의 제3위치(8)의 높이 즉 캐필러리 상승량은 Z으로 되어 있는데, 이 캐필러리 상승량(Z)이 제1이동경로(3)의 거리와 제3이동경로(9)의 거리의 합이다.

이어서, 상기 개필러리는 화살표 10의 방향으로 곡선으로 이루어진 제4이동경로(11)를 따라 상기 제3위치(8)로부터 제2본딩위치(7)로 이동된다. 이후, 상기 제2본딩위치(7)에 있어서 상기 본딩와이어의 타단은 상기 내부리드(12b)와 전기적으로 접속된다.

따라서, 상기 와이어본딩에 있어서는 상기 캐필러리를 상술한 바와 같이 이동시킴으로써 반도체칩(1)과 내부리드(12b)가 본딩와이어에 의해 전기적으로 접속되게 된다. 이때 참조부호 L은 상기 본딩와이어의 루프길이이다. 이 루프길이 L은 본딩와이어 자신의 길이가 아니라, 본딩와이어를 위로부터 본 때의 와이어의 일단과 타단 사이의 길이이다. 또한, 참조부호 D는 반도체칩(1)의 표면에 대하여 수직방향에서의 제1본딩위치(2)와 제2본딩위치(7)의 높이의 차 즉 본딩단차이고, h는 제1본디위치(2)와 제2위치(6) 사이의 길이로 이 길이 h가 루프높이로 된다. 또, 참조부호 Θ_R은 제1본딩위치(2)와 제2위치(6)를 결합하는 직선 및 제1이동경로(3)에 의해 형성되는 각도, 즉 리버스각도이다.

제2도는 제1도에 나타낸 와이어본딩장치에 의해 와이어본딩된 반도체장치의 주요부를 나타낸 단면도로, 본딩와이어의 삼각루프형상을 간략적으로 나타낸 것이다.

이 제2도에 있어서의 제1도와 동일 부부네는 동일한 참조부호를 병기한다. 리드프레임(12)에서의 베드(12a)사에는 반도체칩(1)이 배치되어 있고, 이 반도체칩(1)의 표면에는 도시하지 않은 본딩패드가 설치되어있다. 이 본딩패드에는 본딩와이어(14)의 일단이 접속되어 있고, 이 본딩와이어(14)의 타단이 리드프레임(12)에서의 내부리드(12b)의 선단근처에 접속되어 있다.

참조부호 h는 상기 본딩와이어(14)에서의 루프높이이고, W_1은 상기 본딩와이어(14)에서의 삼각루프의 경사변의 길이이며, Θ_1은 상기 경사변 W_1 및 내부리드(12b)와 베드(12a)를 결합하는 직선에 의해 형성되는 각도이고, D는 본딩단차이며, L은 상기 본딩와이어(14)의 루프길이이다.

상기와 같은 본딩와이어(14)의 루프형상으로 할 수 있는 바와 같은 와이어본딩공정을 이하에 설명한다.

제3도는 본 발명의 제1실시예에 따른 와이어본딩장치를 나타낸 구성도이다. 먼저 예컨대 메모리로 구성된 설계 데이터부(31)에는 제2도에 나타낸 루프높이 h의 데이터가 입력된다.

이후, 인식부(32)에 있어서는, 실제로 리드프레임(12)의 베드(12a)상에 배치된 반도체칩(1)에서의 본딩패드의 위치 즉 제1도에 나타낸 제1본딩위치(2)가 인식되고 내부리드(12b)에서의 제2본딩위치(7)가 인식된다.

그 다음에, 상기 인식된 제1 및 제2본딩위치의 데이터는 제1연산부(33)로 전송되고, 이 제1연산부(33)에 이써서는 상기 제1, 제2본딩위치로부터 본딩단차 D 및 루프길이 L이 계산된다.

이후, 상기 본딩단차 D, 루프길이 L 및 루프높이 h 각각의 데이터는 제2연산부(34)로 전송되고, 이 제2연산부(34)에 있어서는 상기 본딩단차 D, 루프길이 L, 루프높이 h를 이용하여 하기 식(1), (2)에 의해 제2도에 나타낸 Θ_1 및 W_1 각각의 값이 산출된다.

$$\Theta_1 = \tan^{-1}\{(h+D)/L\} \cdots\cdots (1)$$

$$W_1 = L/\cos\Theta_1 \cdots\cdots (2)$$

이어서, 상기 산출된 Θ_1, W_1의 데이터 및 루프높이 h 각각의 데이터는 자동연산부(35)로 전송되고, 이 자동연산부(35)에 있어서는 상기 Θ_1, W_1, h의 데이터를 이용하여 하기 식(3)~(6)에 의해 리버스각도 Θ_R, 리버스량 R, 리버스높이 R_L 및 캐필러리 상승량 Z이 산출된다.

$$\Theta_R = \alpha \cdot \Theta_1 \cdots\cdots (3)$$

$$R = h \cdot \sin\Theta_R \cdots\cdots (4)$$

$R_L=h \cdot \cos \theta_R$ ……(5)

$Z=W_1+R_L$ ……(6)

여기서, 상기 α는 소정의 계수이다.

이후, 상기 리버스각도 θ_R, 리버스량 R, 리버스높이 R_L 및 캐필러리 상승량 Z 각각의 값은 캐필러리(37)에 접속되어 있는 제어부(36)로 전송되고 이 제어부(36)에 의해 상기 캐필러리(37)의 동작이 제어된다. 이에 따라, 반도체장치에 있어서는 와이어본딩이 이루어져서 이 본딩와이어에서의 루프높이를 상기 설계데이터부(31)에서 입력한 루프높이 h로 할 수 있게 된다.

제4도는 상술한 바와 같이 와이어본딩한 경우의 본딩와이어에서의 루프길이와 루프높이의 관계를 나타낸 도면으로, 이것으로부터 루프길이가 변화되어도 일정한 루프높이가 얻어질 수 있음을 알 수 있다.

상기 제1실시예에 의하면, 인식부(32)에 있어서 제1본딩위치 및 제2본딩위치를 인식하고, 이들 본딩위치(2,7)로부터 본딩와이어(14)에서의 본딩단차 D 및 루프길이 L을 제1연산부(33)에 있어서 계산한다. 상기 본딩단차 D, 루프길이 L 및 설계데이터부(31)에 입력된 루프높이 h로부터 θ_1 및 W_1 각각의 값을 제2연산부(34)에 있어서 산출하고, 이들 θ_1, W_1 및 루프높이 h로부터 리버스각도 θ_R, 리버스량 R, 리버스높이 R_L 및 캐필러리 상승량 Z을 자동연산부(35)에 있어서 산출하고 있다. 따라서, 반도체장치에서의 각 루프길이 L이 각각 다르더라도 각 루프길이 L에 대응한 리버스각도, θ_R, 리버스량 R, 리버스높이 R_L 및 캐필러리 상승량 Z을 산출함으로써 반도체장치에서의 모든 본딩와이어(14)의 루프높이 L을 일정하게 할 수 있게 된다. 즉 취적의 루프높이 L에서 와이어본딩을 행할 수 있음과 더불어, 본딩와이어의 루프형상을 삼각루프로 제어할 수 있게 된다. 즉 본딩와이어의 루프형상을 최적의 것으로 할 수 있게 된다.

또한, 인식부(32)에 있어서 제1본딩위치(2) 및 제2본딩위치(7)를 인식하여 리버스각도 θ_R, 리버스량 R, 리버스높이 R_L 및 캐필러리 상승량 Z을 산출하고 있다. 이 때문에, 반도체칩(1)과 리드프레임(12)에서의 베드(12a)를 와이어본딩하는 경우와 같이 제2본딩위치(7)의 높이가 다른 것보다 낮은 경우라도 이 본딩와이어(14)의 루프높이 h를 다른 것과 동일한 높이로 할 수 있게 된다. 따라서, 본딩와이어(14)와 반도체칩(1)의 에지가 접촉하는 에지터치불량 및 본딩와이어(14)의 네크(neck)부에 데미지가 걸림에 따른 본딩불량 각각의 발생을 방지할 수 있게 된다.

또한, 본 발명의 와이어본딩장치는 박형, 고밀도 패케이지와 같은 루프길이가 랜덤하게 루프높이를 낮게 안정시킨 반도체장치에 대단히 유효하다.

제5도는 본 발명의 제2실시예에 따른 와이어본딩장치에 의해 와이어본딩된 반도체장치의 주요부를 나타낸 단면도로, 제2도와 동일한 부분에 대해서는 동일한 참조부호를 병기하고 따른 부분에 대해서만 설명한다.

본딩와이어(14)의 루프는 사다리꼴루프형상으로 되어 있다.

참조부호 D_L은 상기 본딩와이어(14)에서의 사다리꼴루프의 상변의 길이이고, W_2는 상기 본딩와이어(14)에서의 사다리꼴루프의 경사변의 길이이며, θ_2는 상기 경사변 W_2 및, 내부리드(12b)와 베드(12a)를 결합하는 직선에 의해 형성되는 각도이다.

상기와 같은 본딩와이어(14)의 루프형상으로 할 수가 있는 와이어공정을 이하에 설명한다. 이때, 제1실시예와 동일 부분에 대한 설명은 생략한다.

제3도에 나타낸 설계데이터부(31)에는, 제5도에 나타낸 루프높이 h의 데이터가 입력된다.

제2연산부(34)에 있어서는 본딩단차 D, 루프길이 L 및 루프높이 h 각각의 데이터를 이용하여 하기 식(87), (8)에 의해 제5도에 나타낸 θ_2 및 W_2 각각의 값이 산출된다.

$\theta_2 = \tan^{-1}\{(h+D)/(L-D_L)\}$ ……(7)

$W_2=(L-D2)/\cos \theta_2$ ……(8)

그 다음에, 상기 산출된 θ_2, W_2의 데이터 및 루프높이는 h는 자동연산부(35)로 전송된다.

상기 제2실시예에 있어서도 제1실시예와 동일한 효과를 얻을 수 있게 된다.

여기서, 본 발명의 와이어본딩장치는 상기 실시예에 한정되지 않고, 제1, 제2연산부(33, 34) 및 자동연산부(35) 각각에서의 연산방법은 여러가지로의 변경이 가능하다. 더욱이, 상기 연산방법을 변경함으로써 본딩와이어의 루프형상을 다른 형상으로 할 수도 있다.

한편, 본 발명의 특허청구범위의 각 구성요건에 병기한 도명의 참조부호는, 본원 발명의 이해를 용이하게 하기 위한 것으로, 본원 발명의 기술적 범위를 도면에 도시한 실시예에 한정할 의도로 병기한 것은 아니다.

[발명의 효과]

이상 설명한 바와 같이 본 발명에 의하면, 제2연산부에 있어서 리버스높이, 리버스량 및 캐필러리 상승량을 산출하고 있다. 따라서 본딩와이어에서의 루프높이, 루프형상을 최적으로 할 수가 있음과 더불어 에지터치 불량 및 본딩불량의 발생을 방지할 수 있게 된다.

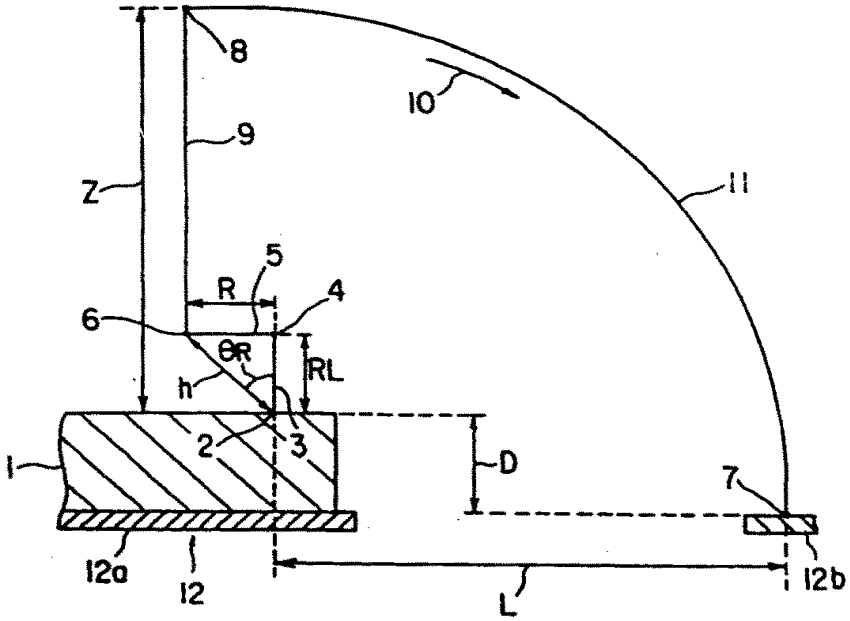
(57) 청구의 범위

청구항 1

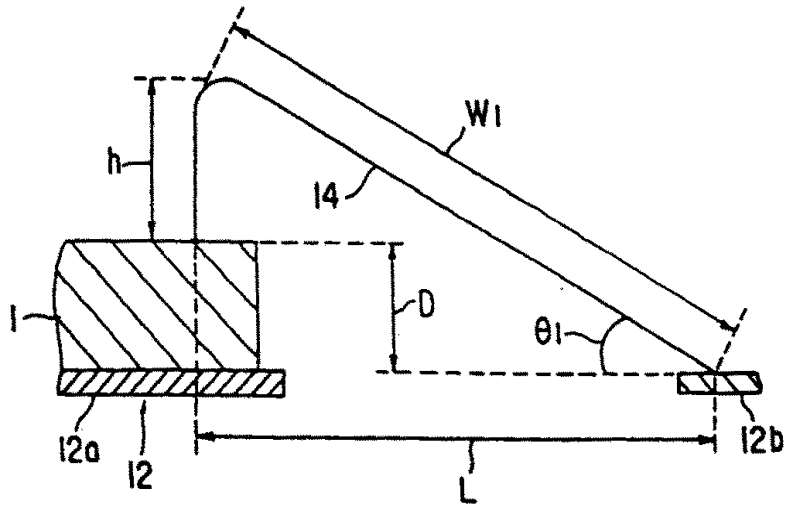
인식부(32)에 의해 인식된 반도체칩에서의 본딩패드의 위치 및 리드프레임에서의 내부리드의 본딩위치로부터 본딩단차 및 본딩와이어의 루프길이를 산출하는 제1연산부(33)와, 캐필러리를 상기 본딩패드의 위치로부터 윗쪽으로 이동시킬 때의 높이인 리버스높이, 이 리버스높이까지 이동시킨 상기 캐필러리를 상기 본딩위치의 반대측으로 이동시킬 때의 길이인 리버스량 및 이 리버스량만큼 이동시킨 상기 캐필러리를 최고의 위치까지 이동시킬 때의 상기 반도체칩의 상면으로부터의 높이인 캐필러리 상승량을 상기 본딩단차 및 상기 루프길이로부터 산출하는 제2연산부(3)를 구비한 것을 특징으로 하는 와이어본딩장치.

도면

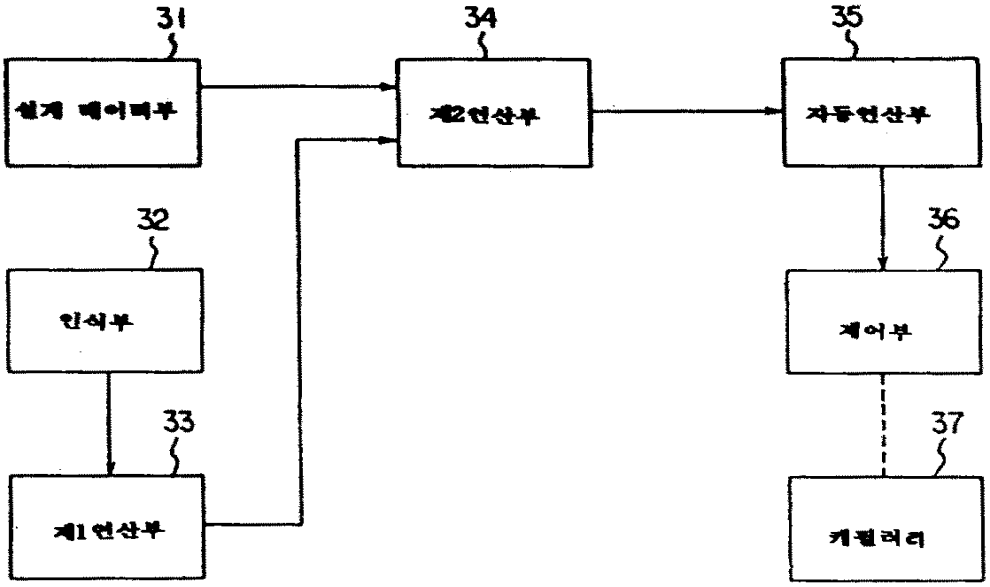
도면1



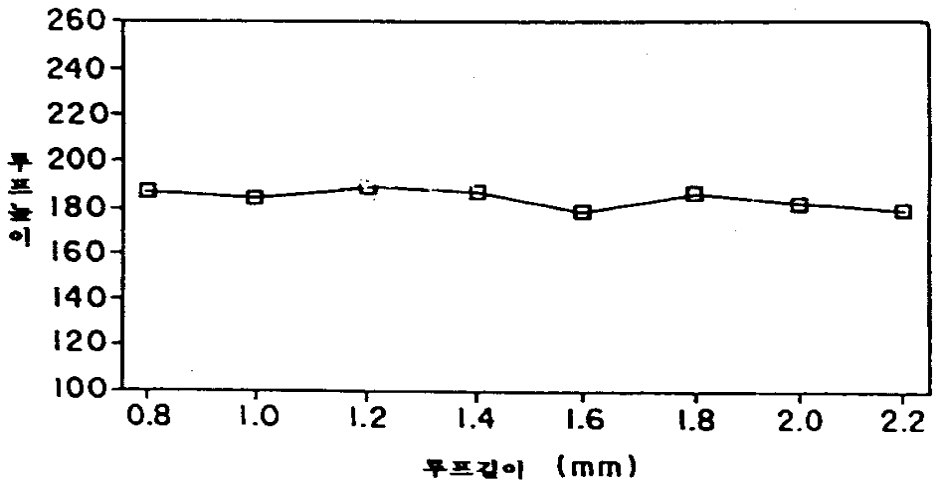
도면2



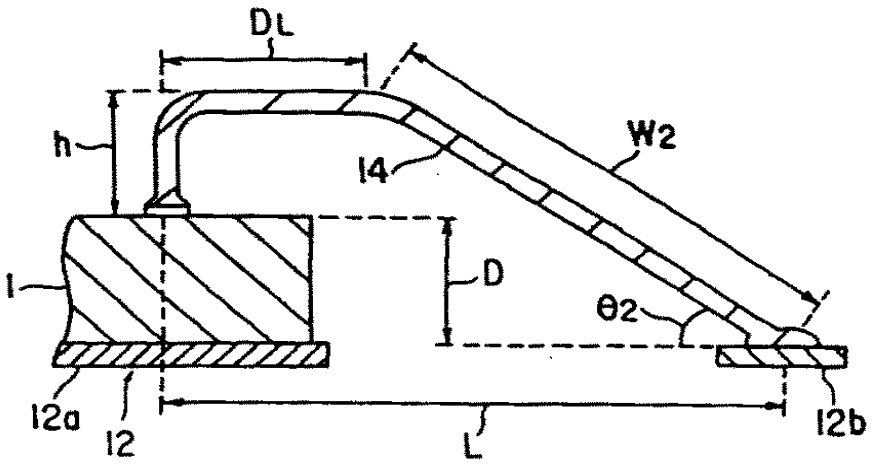
도면3


31
34
35
32
36
33
37
제1연산부
제2연산부
자동연산부
제어부

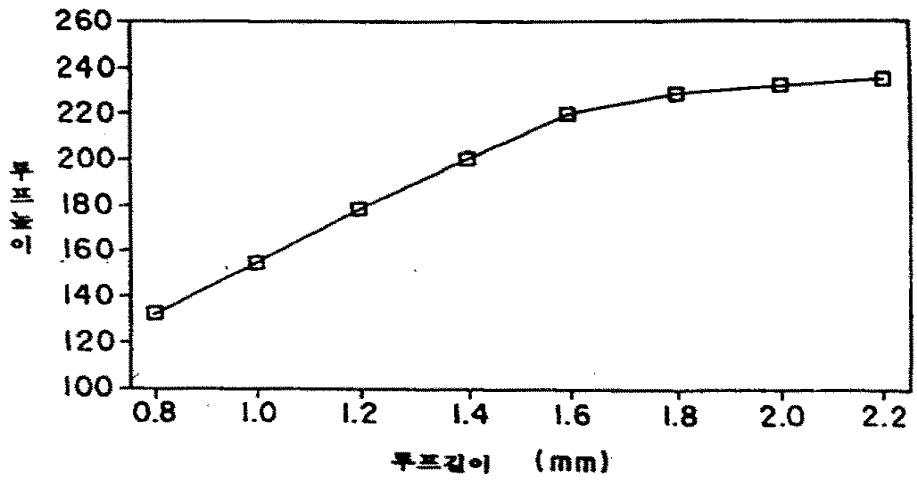
도면4


260
240
220
200
180
160
140
120
100
0.8
1.0
1.2
1.4
1.6
1.8
2.0
2.2
(mm)

도면5


DL
h
W2
14
D
θ2
12a
12
L
12b

도면6


260
240
220
200
180
160
140
120
100
루프높이
0.8
1.0
1.2
1.4
1.6
1.8
2.0
2.2
루프길이 (mm)