



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 95121508.6

[45] 授权公告日 2003 年 11 月 26 日

[11] 授权公告号 CN 1129065C

[22] 申请日 1995. 10. 27 [21] 申请号 95121508. 6

[30] 优先权

[32] 1994. 10. 28 [33] JP [31] 265038/1994

[32] 1995. 1. 31 [33] JP [31] 14096/1995

[71] 专利权人 佳能株式会社

地址 日本东京

[72] 发明人 市川武史 光地哲伸

审查员 陈 炜

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

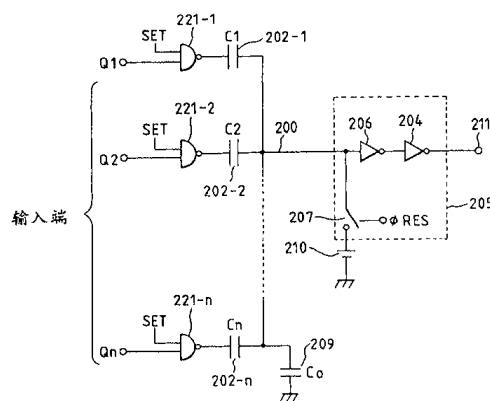
代理人 王以平

权利要求书 9 页 说明书 51 页 附图 33 页

[54] 发明名称 一种半导体器件、算术逻辑及使用
它们的信号处理系统

[57] 摘要

一种半导体器件，其中电容器 201 - 1 至 201 - n 与多输入端 Q1 至 Qn 相连，并且每个电容器的一端与传感放大器 205 公共连接，该半导体器件包括用于复位公共连接电容端的复位单元 207 或位于电容器和开关之间的复位单元，和一输入复位驱动信号的反相信号的结构，用以减小电路尺寸、提高处理速度和降低功耗。



1.一种半导体器件，包括多个输入端，多个电容器，其中每个电容器的一端与所述输入端相连，一个传感放大器，在其中所述电容器的另一端与一输入部分公共连接，一个与所述电容器的另一端公共连接的复位装置，所述复位装置包括输入复位信号的 MOS 晶体管以及输入反相复位信号的 MOS 结构，所述 MOS 晶体管与所述 MOS 结构具有相同的导电性类型，并且响应于施加复位信号和反相复位信号，将所述多个电容器的另一端设置在一个预定电平上。

2.如权利要求 1 所述的一种半导体器件，其特征在于所述输入反相复位信号的 MOS 结构具有一与所述半导体基底不同的导通半导体掺杂层，它是通过一提供所述反相序列脉冲的电极，在半导体基底上形成的，并且所述半导体掺杂层与所述电容器端电相连。

3.如权利要求 2 所述的一种半导体器件，其特征在于，所述输入复位信号的 MOS 晶体管的栅电容几乎是所述输入反相复位信号的 MOS 结构的栅电容的二倍。

4.如权利要求 2 所述的一种半导体器件，其特征在于，所述输入复位信号的 MOS 晶体管的栅极宽度 W 几乎是所述输入反相复位信号的 MOS 结构的栅宽度的二倍。

5.如权利要求 1 所述的一种半导体器件，其特征在于，所述

输入反相复位信号的 MOS 结构具有一电容器。

6.如权利要求 1 所述的一种半导体器件，其特征在于，所述输入反相复位信号的 MOS 结构具有一晶体管。

7.如权利要求 1 所述的一种半导体，其特征在于，所述复位装置具有输入复位信号的多个 MOS 晶体管。

8.如权利要求 7 所述的一种半导体器件，其特征在于，所述输入复位信号的多个 MOS 晶体管的栅电容的总和几乎是所述输入反相复位信号的 MOS 结构栅电容的二倍。

9.如权利要求 7 所述的一种半导体器件，其特征在于，所述输入复位信号的多个 MOS 晶体管栅宽度的总和几乎是所述输入反相复位信号的 MOS 结构栅电容宽度的二倍。

10.如权利要求 7 所述的一种半导体器件，其特征在于，所述输入复位信号的多个 MOS 晶体管具有二个同一类型的 MOS 晶体管，并且所述输入反相复位信号的 MOS 结构的半导体掺杂层的类型实质上与用于所述输入复位信号的 MOS 晶体管的类型一致。

11.如权利要求 10 所述的一种半导体器件，其特征在于，输入复位信号的两个 MOS 晶体管的栅宽度 W 和长度 L 实质上相等，并且实质上它们与所述输入反相复位信号的 MOS 结构的栅宽度和长度相等。

12.如权利要求 1 所述的一种半导体器件，具有位于输入端和所述电容器间的一个开关装置，复位所述电容器和所述开关装置之间电压的一个第二复位装置，所述第二复位装置连接在所述

开关装置和所述电容器之间，并且包括输入复位信号的 MOS 晶体管 and 输入反相复位信号的 MOS 结构，所述 MOS 晶体管与所述 MOS 结构具有相同的导电性类型。

13.如权利要求 12 所述的一种半导体器件，其特征在于，所述输入反相复位信号的 MOS 结构具有一与所述半导体基底不同的导通半导体掺杂层，它是通过一提供所述反相序列脉冲的电极，在半导体基底上形成的，并且所述半导体掺杂层与所述电容器输入端电相连。

14.如权利要求 13 所述的一种半导体器件，其特征在于，所述输入复位信号的 MOS 晶体管的栅电容几乎是所述输入反相复位信号的 MOS 结构的栅电容的二倍。

15.如权利要求 13 所述的一种半导体器件，其特征在于，所述输入复位信号的 MOS 晶体管的栅极宽度 W 几乎是所述输入反相复位信号的 MOS 结构的栅宽度的二倍。

16.如权利要求 12 所述的一种半导体器件，其特征在于，所述输入反相复位信号的 MOS 结构具有一电容器。

17.如权利要求 12 所述的一种半导体器件，其特征在于，所述输入反相复位信号的 MOS 结构具有一晶体管。

18.如权利要求 12 所述的一种半导体器件，其特征在于，所述复位装置具有输入复位信号的多个 MOS 晶体管。

19.如权利要求 18 所述的一种半导体器件，其特征在于，所述输入复位信号的多个 MOS 晶体管的栅电容的总和几乎是所述输入反相复位信号的 MOS 结构的栅电容的二倍。

20.如权利要求 18 所述的一种半导体器件，其特征在于，所述输入复位信号的多个 MOS 晶体管的栅宽度的总和几乎是所述输入反相复位信号的 MOS 结构的栅宽度的二倍。

21.如权利要求 18 所述的一种半导体器件，其特征在于，所述输入复位信号的多个 MOS 晶体管具有二个同一类型的 MOS 晶体管，并且所述输入反相复位信号的 MOS 结构的半导体掺杂层的类型实质上与用于所述输入复位信号的 MOS 晶体管的类型一致。

22.如权利要求 21 所述的一种半导体器件，其特征在于，输入复位信号的两个 MOS 晶体管的栅宽度 W 和长度 L 实质上相等，并且实质上它们与所述输入反相复位信号的 MOS 结构的栅宽度和长度相等。

23.如权利要求 1 所述的一种半导体器件，其特征在于，所述反相序列信号的上升或下降同时或落后于驱动信号。

24.如权利要求 1 所述的一种半导体器件，其特征在于，通过一包含一个反相器的电路，所述输入复位信号的 MOS 晶体管的驱动信号输入部分与所述输入反相复位信号的 MOS 结构的输入端相连。

25.如权利要求 24 所述的一种半导体器件，其特征在于，所述反相器包括一延迟电路。

26.如权利要求 1 所述的一种半导体器件，包括多个半导体器件，其特征在于，所述多个半导体器件的第一半导体器件的输出和/或该半导体器件输出的反相输出输入至第二半导体器件。

27.如权利要求 1 所述的一种半导体器件，其特征在于，响应于所述多输入端的电容装置，当最小电容值是 C 时，公共连接电容装置的总电容值实质上是该最小电容值 C 的奇数倍。

28.一种相关算术单元，它使用如权利要求 26 所述的半导体器件以执行相关运算，输入输入信号和相关系数的比较器设置在所述第一半导体器件的输入端，并且所述比较器的一个输出被输入到所述第一半导体器件的输入端。

29.一种 AD 转换器，它包括如权利要求 26 所述的一半导体器件，一输入模拟信号至所述半导体器件和响应于所述模拟信号输出数字信号的一个信号转换器，多个根据权利要求 1 的半导体器件输入并行模拟信号，设置输入端设置在除输出对应于最高有效位的信号的半导体器件之外的各半导体器件处。

30.一种信号处理系统，包括如权利要求 28 所述的一相关算术单元，包括一输入图象信号的图象输入装置，所述图像输入装置包括按二维排列的多个像素，提供用于存储对水平方向上的像素求和的结果的两个线路存储器以及用于存储对垂直方向上的像素求和的结果的两个线路存储器，用于对存储行方向上的求和结果的两个线路存储器进行相关的相关算术运算器件，以及用于对存储垂直方向上的求和结果的两个线路存储器进行相关的相关算术运算器件。

31.一种信号处理系统，包括如权利要求 28 所述的相关算术单元，包括用于存储信息的存储器，包括用于存储输入到相关算术运算器件的数据的参考数据存储器 and 标准数据存储器，用于对

所述相关算术运算器件的算术运算结果进行重新评估的求和算术运算单元，用于存储相关算术运算结果中的最大值的电阻器，以及用于将求和算术运算结果与电阻器中的结果相比较的比较存储单元。

32.一种半导体器件，包括多个输入端，多个电容器，其中每个电容器的一端通过开关装置与所述每个输入端相连，一个传感放大器，在其中所述每个电容器的另一端与一输入部分公共连接，一个复位所述电容和所述开关装置之间电压的复位装置，所述复位装置包括输入复位信号的 MOS 晶体管以及输入反相复位信号的 MOS 结构，所述 MOS 晶体管与所述 MOS 结构具有相同的导电性类型，并且响应于施加复位信号和反相复位信号，将所述多个电容器的另一端设置在一个预定电平上。

33.如权利要求 32 所述的一种半导体器件，其特征在于，所述输入反相复位信号的 MOS 结构具有一与所述半导体基底不同的导通半导体掺杂层，它是通过一提供所述反相信号的电极，在半导体基底上形成的，并且与所述基底不同的所述半导体掺杂层与所述输入端上的电容端相连。

34.如权利要求 33 所述的一种半导体器件，其特征在于，所述输入复位信号的 MOS 晶体管的栅电容实质是所述输入反相复位信号的 MOS 结构栅电容的二倍。

35.如权利要求 33 所述的一种半导体器件，其特征在于，所述输入复位信号的 MOS 晶体管的栅宽度实质上是所述输入反相复位信号的 MOS 结构的栅宽度的二倍。

36.如权利要求 33 所述的一种半导体,其特征在于,所述复位装置具有输入复位信号的多个 MOS 晶体管。

37.如权利要求 32 所述的一种半导体器件,其特征在于,所述输入反相复位信号的 MOS 结构具有一与所述半导体基底不同的导通半导体掺杂层,它是通过一提供所述反相信号的电极,在半导体上形成的,并且不同于所述基底的所述半导体掺杂层与所述输入端上的所述电容器端电相连。

38.如权利要求 37 所述的一种半导体器件,其特征在于,所述输入复位信号的多个 MOS 晶体管的栅电容的总和实质上是所述输入反相复位信号的 MOS 结构的栅电容的二倍。

39.如权利要求 37 所述的一种半导体器件,其特征在于,所述输入复位信号的多个 MOS 晶体管的栅宽度的总和实质上是所述输入反相复位信号的 MOS 结构栅宽度的二倍。

40.如权利要求 39 所述的一种半导体器件,其特征在于,所述输入复位信号的多个 MOS 晶体管具有二个同一类型的 MOS 晶体管,并且所述输入反相复位信号的 MOS 结构的半导体掺杂层的类型实质上与用于所述输入复位信号的多个 MOS 晶体管的类型一致。

41.如权利要求 40 所述的一种半导体器件,其特征在于,输入复位信号的两个 MOS 晶体管的栅宽度 W 和长度 L 实质上相等,并且实质上它们与所述输入反相复位信号的 MOS 结构的栅宽度和长度相等。

42.如权利要求 32 所述的一种半导体器件,其特征在于,所

述反相信号的上升或下降同时或落后于驱动信号。

43.如权利要求 32 所述的一种半导体器件，其特征在于，通过一包含一个反相器的电路，所述输入复位信号的 MOS 晶体管的驱动信号输入部分与所述输入反相复位信号的 MOS 结构的反相信号的输入部分相连。

44.如权利要求 32 所述的一种半导体器件，其特征在于，所述输入反相复位信号的 MOS 结构具有一电容器。

45.如权利要求 32 所述的一种半导体器件，其特征在于，所述输入反相复位信号的 MOS 结构具有一晶体管。

46.如权利要求 43 所述的一种半导体器件，其特征在于，所述反相器包括一延迟电路。

47.如权利要求 32 的一种半导体器件，其特征在于，所述多个半导体器件的第一半导体器件的输出和/或该半导体器件输出的反相信号输入至第二半导体器件。

48.一种使用如权利要求 32 所述半导体器件的半导体电路，其特征在于，响应于所述多输入端的电容装置，当最小电容值是 C 时，公共连接电容装置的总电容值实质上是该最小电容值 C 的奇数倍。

49.一种相关算术单元，它使用如权利要求 47 所述的半导体电路以执行相关运算，输入输入信号和相关系数的比较器设置在所述第一半导体器件的输入端，并且所述比较器的一个输出被输入到所述第一半导体器件的输入端。

50.一种 AD 转换器，它包括一如权利要求 47 所述的一半导

体器件，一输入模拟信号至所述半导体器件和响应于所述模拟信号输出数字信号的一个信号转换器，多个根据权利要求 32 的半导体器件输入并行模拟信号，设置输入端设置在除输出对应于最高有效位的信号的半导体器件之外的各半导体器件处。

51.一种信号处理系统，包括如权利要求 49 所述的一种相关算术单元，包括一输入图象信号的图象输入装置，所述图像输入装置包括按二维排列的多个像素，提供用于存储对水平方向上的像素求和的结果的两个线路存储器以及用于存储对垂直方向上的像素求和的结果的两个线路存储器，用于对存储行方向上的求和结果的两个线路存储器进行相关的相关算术运算器件，以及用于对存储垂直方向上的求和结果的两个线路存储器进行相关的相关算术运算器件。

52.一种信号处理系统，包括如权利要求 49 所述的一种相关算术单元，包括用于存储信息的存储器，包括用于存储输入到相关算术运算器件的数据的参考数据存储器 and 标准数据存储器，用于对所述相关算术运算器件的算术运算结果进行重新评估的求和算术运算单元，用于存储相关算术运算结果中的最大值的电阻器，以及用于将求和算术运算结果与电阻器中的结果相比较的比较存储单元。

一种半导体器件、算术逻辑及使用它们的信号处理系统

本发明涉及一种半导体器件、算术逻辑单元、信号变换器及使用它们的一种信号处理系统,更具体地说,涉及一种能并行地执行算术运算的半导体器件,比如,一种能运行相关运算的算术逻辑单元、一种能进行模数或数模信号变换的信号变换器和使用它们的一种信号处理系统。

执行并行处理的半导体器件通常存在这样的问题,即随着并行处理信号数量的增加,电路的大小相应地增大,引起造价上升、产量下降。还存在另外一个问题,由于线路延迟的增加等,以及电路大小所要求的电路内的运算数量的增加,处理速度下降并且功耗大大地增加。

如图1所示的固态成象传感器中,按纵轴和横轴安排图像读取单元41,通过AD变换器40,来自传感单元60的时序模拟信号被转换为数字信号,并存储在帧存储器39内。算术逻辑电路38处理这些信号,并从算术逻辑输出电路50输出。具体地,在不同的时间,通过数据的相关运算,可以输出一个目标移动量($\Delta X, \Delta Y$)。

然而当处理一个实时动态图象时,由于运算处理数量很大,为了得到一个更真实的图像,电路的大小增加很大,这就降低了处理速度。例如,正在开发一个能真正处理MPEG2系统的设备,作为一

个动态图像压缩/解压缩系统。因此,在并行处理中,由于电路大小的增加和功耗的增大,存在着处理速度降低的问题。另外,由于电路大小的增加,还引起造价上升及产量降低。

还有,在1973年11月5日出版的"*Nikkei Electronics*"的132至144页的文章"*An Economical Majority Logic IC Materialized by the CMOS*"中,介绍了用于运算处理电路的多数逻辑电路。在那里,多数逻辑电路作为一个数字信号处理电路,还有,它是由CMOS做成的。从而CMOS的元件数增加,并且运算处理步骤增加。仍存在着相似的问题,因此,电路大小和功耗增加,处理速度下降。

考虑通常存在的问题,本发明的目的就是提供一种半导体器件,它能降低电路大小和功耗,并能提高处理速度。

还有,本发明的另一个目的是提供一种半导体器件,它能通过复位脉冲,降低开/关的效果,来缩短复位时间,并得到高敏感、高精度和高速的数据输出,而没有噪音在信号上的不良影响。

还有,本发明的另一个目的是提供一种半导体器件,由于逻辑电路的晶体管数量很小,故它能提高对微信号的敏感性。

还有,本发明的另一个目的是提供一种半导体器件,它具有多个输入端,连接至输入端的多个电容,一个连接至输入部分的电容另一侧的传感放大器,一个连接到电容另一端的复位装置和一个输入复位信号和反相信号的结构,其中复位信号输入到复位装置。

还有,本发明的另一个目的是提供一种半导体器件,它具有多个输入端,通过开关装置连接到输入端的多个电容,一个连接到输入部分的电容另一侧的传感放大器,复位电容和开关装置之间电压的一个复位装置,和一个输入复位信号和反相信号的结构,其中复

位信号输入到复位装置。

本发明的另一个目的是提供使用该半导体器件的一个算术逻辑单元,一个信号变换器和一个信号处理系统。

还有,本发明的另一个目的是提供使用该半导体器件的一个算术逻辑单元,一个信号变换器和一个信号处理系统,它能降低电路大小和功耗,提高处理速度,并能普遍地降低造价和提高产量。

具有多个输入端,连接到输入端的多个电容,一个连接到输入部分的电容另一侧的传感放大器,一个连接到电容另一端的复位装置和一个输入复位信号和反相信号的结构的一种半导体器件能达到上述目的。

还有,具有多个输入端,通过开关装置连接到输入端的多个电容,一个连接到输入部分的电容另一侧的传感放大器,复位电容和开关装置之间电压的一个复位装置,和一个输入复位信号和反相信号结构的一种半导体器件能达到上述目的。

这种结构能更精确地设定公共连接端至复位电势。结果,可以得到相应于在公共连接端上发生的信号的极其微小的变化的输出。换句话说,敏感度提高了,这对高速响应有着极大的影响,因此,能使功耗降低。

还有,在复位装置中采用 *MOSFET*,并且用不同与半导体基底的导通半导体掺杂层组成该结构,也能更精确地设定公共连接端至复位电势,该结构是通过在半导体基底上挤压提供反相序列脉冲的电极并且使半导体掺杂层与公共连接电容的另一端连在一起而形成的。

还有,通过设定复位装置 *MOSFET* 的栅极电容为该结构的栅

极电容二倍或近二倍,可以更精确地设定公共连接端至复位电势。

另外,通过设定复位装置 *MOSFET* 的栅极宽度 W 为该结构的栅极宽度二倍或近二倍,可以更精确地设定公共连接端至复位电势。

还有,通过使第二开关位于多输入端和电容器之间,使第二复位装置复位位于电容器和开关装置之间的电压,使输入有第二复位装置驱动信号(脉冲)输入和反相序列信号的第二结构位于第二复位装置和电容之间,可以更精确地设定位于第二开关和电容器之间的电势。结果,通过更精确地分隔电容,可以更精确地设定发生在公共连接端上电压的微小变化的绝对值。换言之,敏感度提高,这就大大提高了响应速度,因此可以降低功耗。

还有,在第二复位装置中采用 *MOSFET*,并且用不同与半导体基底的通导半导体掺杂层组成该结构,也能更精确地复位第二开关和电容器之间的电势,该结构是通过在半导体基底上挤压提供反相序列脉冲的电极并且使半导体掺杂层与公共连接电容的另一端连在一起而形成的。

还有,通过设定第二复位装置 *MOSFET* 的栅极电容为该第二结构的栅极电容的二倍或近二倍,可以更精确地复位位于第二开关和电容之间的电势。

还有,通过设定第二复位装置 *MOSFET* 的栅极宽度 W 为该结构的栅极宽度的二倍或近二倍,也可以更精确地复位位于第二开关和电容之间的电势。

在上述说明中,通过使反相脉冲(反转信号)的上升沿或下降沿同时或滞后于驱动脉冲(驱动信号),由于有很大的设计余量,可

以更精确地设定每个端口至复位电势。

通过一个包含反相电路的电路,使该结构连接到复位装置驱动脉冲的输入端,由于有很大的设计余量,因此可以更精确地设定每一端口和线路至复位电势。

通过使用一个反相电路组成一个延迟电路,由于有很大的设计余量,可以更精确地设定每一端口和线路至复位电势。

另外,可以提供多个半导体器件,从而多个半导体器件的第一半导体器件的输出和或该半导体器件的反相输出输入到第二半导体器件。还有,当 C 是相应于半导体器件的多个输入端的最小电容值时,则公共连接电容器的总电容可能是一个奇数值或是最小电容值 C 的奇数倍。

还有,有半导体器件内复位元件可分为多个 *MOSFET*。

通过这样一种结构,可以更精确地把公共连接端设定为复位电势。结果,可以得到相应于发生在公共连接端信号的极小变化量的输出。也就是敏感度提高了,这对提高响应速度,功耗降低具有很大的作用。

还有即使在这种半导体器件内,该结构可以半导体基底,它是通过挤压提供有反相脉冲的电极而形成,和不同导电型的半导体掺杂层,其中该半导体掺杂层公共电连接至电容端。这样,可以更精确地设定公共连接端至复位电势。

还有,在这种半导体器件中,复位元件的 *MOSFET* 的总栅电容可以是该结构的栅电容的二倍或近二倍。在那种情况下,可以更精确地设定公共连接端至复位电势。

还有,在这种半导体器件中,复位元件的 *MOSFET* 的总栅宽

度 W 可以是该结构的栅宽度的二倍或近二倍。在那种情况下,可以更精确地设定公共连接端至复位电势。

还有,复位元件 *MOSFET* 被分成同一类型的二个 *MOSFET*,并且该结构的半导体掺杂层的类型可以是与用在复位单元的同一类型。

还有,复位元件的 *MOSFET* 的栅宽度 W 和栅长度 L 可以相同,并且可以几乎等于该结构的栅宽度和长度。

更进一步,可以分别提供位于输入端和电容器之间的第二开关和位于电容器和第二开关之间的用于复位电压的第二复位元件,从而在复位元件中采用 *MOSFET*,并把它分为多个 *MOSFET*,并且使输入有复位元件驱动脉冲和反相序列脉冲的第二结构位于第二开关装置和电容之间。这样,可以更精确且高速地复位位于第二开关和电容之间的电势。结果,通过更精确地划分电容,可以精确地设定发生在公共连接端相对端上电压微小变化的绝对值。换句话说,敏感度提高,这对高速度响应有很大效果,从而使功耗降低。

还有,第二结构可以包括一不同于半导体基底的导通半导体掺杂层,它是通过在半导体基底上挤压提供反相序列脉冲的电极形成的,并且使不同于基底的导通掺杂层与输入端上电容端相连。这样,可以更精确地复位第二开关和电容之间的电势。

另外,第二复位元件的 *MOSFET* 的栅电容总和可以是第二结构的栅电容的二倍或近二倍。这样,可以更精确地设定位于第二开关和电容之间的电势。

还有,第二复位元件的 *MOSFET* 的栅宽度 W 的总和可以是第二结构的栅宽度的二倍或近二倍。这样,可以更精确地设定位于第

二开关和电容之间的电势。

还有,第二复位元件的 *MOSFET* 可以分为同一类型的两个 *MOSFET*,并且可以使第二结构的半导体掺杂层的类型与用在复位装置的类型一样。

进一步,在半导体器件中,通过安排反相序列脉冲的上升沿和下降沿同时或落后于驱动脉冲,由于有很大的设计余量,所以可更精确地设定每一端口至复位电势。

还有,通过一包含反相电路的电路,使第二结构的输入部分与第二复位装置驱动脉冲的输入部分相连,由于有很大的设计余量,所以可更精确地设定每一端口至复位电势。

通过包括一使用反相电路的延迟电路,由于有很大的设计余量,所以可更精确地设定每一端口至复位电势。

进一步,提供了多个半导体器件,从而多个半导体器件的第一半导体器件的输出和或该半导体器件的反相输出被输入到第二半导体器件。当 C 是相应于输入端电容器的最小电容时,公共连接电容器的总电容值是一个奇数或者是最小电容 C 的奇数倍。

另外,能运行相关运算和其他运算的算术和逻辑单元可以包含该半导体器件。

进一步,包含该半导体器件的 *AD* 变换器输入模拟信号至该半导体器件,并输出相应于该模拟信号的数字信号。还有,还可以提供一个包含该半导体器件的 *AD* 变换器。该 *AD* 变换器输入数字信号至该半导体器件,并输出相应于该数字信号的模拟信号。

还有,在本发明中,信号处理系统可以包含任何一种能执行相关运算等的算术逻辑单元,以及是一个 *AD* 变换器或是一个 *DA* 变

换器的信号变换器。

顺便说说,本发明的信号处理系统可以包含图像输入设备,输入图像信号或存放存储信息。它可应用于多种信号处理中,如图像信号压缩/解压缩以及运算处理。

图 1 是一示意框图,说明固态成像传感器结构的一个例子;

图 2,8,11,28,33,38 和 39 是等效电路图,说明本发明半导体器件的各个例子;

图 3A 至 3J,9A 至 9C,12A 至 12B,18A 至 18C,29A 至 29C,32A 至 32B 和 40A 至 40C 是典型的时序图,说明本发明运行时序的各个例子;

图 4,5,6,7,10,13,14,16,17,22,24,25,27,30,31,34B,35 和 36 是部分等效电路图,说明本发明半导体器件的各个例子;

图 15,19,37 和 41 是示意性等效电路图,说明使用本发明半导体器件的算术逻辑单元的各个例子;

图 20 和 42 是典型框图,说明本发明半导体器件的总体构成和使用它的一个器件的各个例子;

图 21A 和 43A 是示意框图,说明使用本发明半导体器件的各个信号处理系统;

图 21B 和 43B 是示意等效电路图,说明象素部分结构的各个例子;

图 21C 和 43C 是说明各个运行内容的解释框图;

图 23A,23B 和 26A 是典型的设计图,说明 MOS 晶体管结构的各个例子;

图 26B 是沿线 26B—26B 的一典型剖面图,说明 MOS 晶体管

结构的一个例子;以及

图 34A 是一曲线图,说明复位电压和 *MOS* 晶体管馈通量相互关系的一个例子。

实施例

下面参照附图说明本发明的几个实施例。

实施例 1

图 2 是一示意性电路框图,用以说明实施例 1 的半导体器件。图中, $Q1-Qn$ 表示输入端。提供了 n 个输入端。221 在这里表示一 *NAND* 电路。可以用希望的电压值分别从输入端 Qi 输出。202—1 至 202— n 分别表示电容器。它们的值可以彼此相同或不同。205 表示传感放大器,206 为传感放大器 205 的反相器,204 表示传感放大器的第二反相器,207 表示反相复位开关,210 为复位电源,211 为输出端,并且 209 为包括在电容器 202 的公共连接端寄生电容的电容。

参照图 3A 至 3J,说明本实施例的运行。首先,输入一低电位信号至 *NAND* 电路 221 的“设置”端,并且每个电容器 202 的输入端被设定为一确定值,如,2.5V 或 5V。然后,通过复位脉冲 ΦRES 的复位开关 207,传感放大器 205 的反相器 206 的输入端被复位为电源 210 的电压。当复位脉冲 ΦRES 被关掉时,电容器 202 公共连接端 200 保持该复位电势。然后,输入信号分别输入到输入端 $Q1-$

Q_n ，并且一个高电平信号输入至 $NAND$ 电路 221 的“设置”端。在本实施例中，信号从 Q_1, Q_2 输入至 C_1, C_2 ，从而在电容器 C_1 的电压 V_1 发生变化，在电容器 C_2 的电压 V_2 发生变化，在 C_n 处电压不变。现在使 C_i 等于电容器 202 的电容， C_0 为寄生电容值，并假设 n 个电容器 202 彼此并联，对于一个输入，电容器 202 的公共连接端的电压从复位电势变化为下式：

$$C_i \times V / (C_0 + (C_1 + C_2 + \dots + C_n))$$

V 表示在电容输入端电势的变化量。

因多输入使电压发生变化，因此，一旦设定端变为高电压时，比如， $NAND$ 电路 221，执行反相输出，并且 $C_i \times V = C_1 \times V_1 + C_2 \times V_2$ 的电势，并提供给传感放大器 205 的输入端。

如果反相器 206 的输入端电压变化量超过反相器 206 的逻辑反转电压，反相器 206 的输出端电压相应地反转。如果信号分别输入到 n 个输入端， n 个电容输出端的电压之和 (VP) 输入到反相器 206 的输入端。总之，按照输入到每个电容的输入端电势的变化，向传感放大器 205 的输出端 211 输出一高电位信号或一低电位信号。在这里，低信号输出到输出端 211。

按照上述结构，可以构成这样一个电路，当特定多个可变信号输入到多个输入端时，高速地执行并行算术运算。还有，在这种结构中，晶体管的数量少于常规的逻辑电路，从而在增加速度的同时，可以降低功耗。还有，在这里，尽管用 $NAND$ 电路 221 进行输入，但不限于此。如果取消 $NAND$ 电路 221，直接进行输入，其实质是一样

的。如果采用另外的方法,也可能存在问题。在直接输入的例子中,比如,可以有输入的三种方式,即,使电压从一常量电势向正的方向改变,向负的方向改变以及不发生电压变化,并且可能有输入的其他方式,且可能这样执行几个变量的并行运算,并相应地输出。下面,参照图 4 详细地说明复位公共连接电容端口的装置。图 4 详细地示出了从图 2 的电容器 $C(202)$,通过公共连接端至传感放大器的一个例子。在本例中, $NMOS$ 晶体管 400 作为一个通过电源 210 使公共连接端复位的装置,复位的驱动脉冲 ΦRES 输入至 $NMOS$ 晶体管 400 的栅极。由于在这儿里使用 $NMOS$ 晶体管 400,当信号脉冲是高电平时,通过电源 210 复公共连接端,然后信号变为低电平,关断 $NMOS$ 晶体管 400,使公共连接端变为稳定状态。同时,通过电容 401, ΦRES 信号的反相序列脉冲 $\overline{\Phi RES}$ 输入至公共连接端。

通过连接这样一种结构,可以补偿在公共连接端电压的变化,该电压的变化是由于分开晶体管栅漏(公共连接端)的叠加电容和当 ΦRES 关断晶体管 400 时所产生的用 209 表示的电容所引起的,从而可以更精确地复位公共连接端至电源 210 的电势。如果设定公共连接端电压接近反相器的逻辑电压,比如,越接近反相器的逻辑反相电压,越可能输出相应于发生在公共连接端的信号的微小变化。也就是敏感度提高,毫无疑问,增强了响应速度,因此降低了功耗。尽管在这里所使用的电容 401 的值,越接近 $NMOS$ 晶体管 400 的栅漏叠加电容,对复位接近电源 210 的电势越好。但并不限于此,毫无疑问,即使是不同的值,比如,此值的一半,也能取得很好的效果。

图 5 示出了使用 *PMOS* 晶体管作为该结构的一个例子。图 5 中,用 *PMOS* 晶体管 402 替代电容器 401,当漏极端连接至公共连接端,且源极端连接至电源 210 时, $\overline{\Phi RES}$ 输入至 *PMOS* 晶体管 402 的栅极。该结果与图 4 所述的电容的效果一样。还有,它并不限于作为一个复位装置。比如,使用 *PMOS* 晶体管也毫无问题。在那种情况下,参照上述例子,需要这种校正,用 *NMOS* 晶体管替代图 4 中用 402 表示的 *PMOS* 晶体管,改变 ΦRES 信号(实质上也是 $\overline{\Phi RES}$)的极性。

实施例 2

在实施例 2 中,能更精确地复位公共连接端至电源 210 的电势。参照 6 说明实施例 2 的半导体器件。与图 4 和 5 一样,图 6 示出了从图 2 的电容器 *C*(202),经过公共连接端,至传感放大器输出的部分示意等效电路图的一个例子。在本例中,用 *NMOS* 晶体管 400 作为通过电源 210 复位公共连接端的一个装置。复位的驱动脉冲 ΦRES 输入至晶体管 400 的栅极。由于在这儿使用的是 *NMOS* 晶体管 400,当信号脉冲是高电平时,通过电源 210 复位公共连接端,然后信号变为低电平,关断 *NMOS* 晶体管 400,使公共连接端变为稳定状态。同时使用用 403 表示的作为该结构,以输入 ΦRES 信号的反相序列脉冲 $\overline{\Phi RES}$ 。该结构具有一不同与半导体基底的通导半导体掺杂层,它是通过在半导体基底上挤压提供反相序列脉冲的电极并且使半导体掺杂层与公共连接电容的另一端连在一起而形成的。

图 6 中,该结构用 *NMOS* 晶体管的漏和源作为公共端,并连接至电容公共连接的电容端。尽管 *NMOS* 晶体管 400 的电容主要是晶体管栅极和漏极(公共连接端)叠加电容,它的电容值基于源/漏掺杂量、晶体管形成热滞后等。因此,很难精确地设计和生成。另外,还有栅极电压依存关系。图 6 示出了被认为具有同一电容的包括该电压依存关系作为一个晶体管的一个结构。可以设定这样一种结构的电容值,使它基本上等于包括用作为复位装置的 *NMOS* 晶体管 400 的电压依存关系的值。因此,通过分开 209(图 4)所表示的电容,可以补偿在公共连接端的电压变化,使得能更精确地复位公共连接端至电源 210 的电势。

例如,如果设定公共连接端电压接近反相器的逻辑反相电压,越接近反相器逻辑反转电压,越可能相应于发生在公共连接端的信号的微小变化进行输出。也就是敏感度提高,毫无疑问,增强了响应速度,因此降低了功耗。然而,如果复位装置的 *MOS* 晶体管的栅极电容值是该结构的栅极电容的二倍或近二倍,由于在该结构中源极和漏极是连接在一起的,总电容值变得基本相等。还有,每个栅极都施加有反相序列脉冲,从而可以更精确地将公共连接端复位至电源 210 的电势。还有,如果作为复位装置的 *MOS* 晶体管的栅极宽度设定为该结构栅极的二倍或近二倍,由于在该结构中源极和漏极是连接在一起的,总栅极叠加电容值将变得基本相等。还有,每个栅极都施加有反相序列脉冲,从而可以更精确地将公共连接端复位至电源 210 的电势。

顺便说说,尽管图 6 中示出了一个 *NMOS* 晶体管连接成复位装置或者作为施加有反相序列脉冲的结构,作为一个例子,毫无疑

问并不限于此。如果复位装置和施加有反相序列脉冲的该结构都是 *PMOS* 晶体管,或连接多个晶体管,用 *NMOS* 和 *PMOS* 晶体管作为复位装置和施加有反相序列脉冲的该结构,也没有问题。并且带有反相序列脉冲的该结构可以是 *PMOS* 晶体管或者相反。

实施例 3

在实施例 3 中,参照图 7 说明该复位装置。与图 4 和 5 一样,图 7 示出了从图 2 的电容器 *C*(202),经过公共连接端,至传感放大器输出的部分示意等效电路图的一个例子。这里的传感放大器并不简单地是实施例 1 和实施例 2 所示的反相器。而是通过复位装置(开关),彼此相连的反相器的输入和输出。400 表示的 *NMOS* 晶体管是复位装置,反相器的输入端和输出端连接在一起,并且当晶体管接通时,反相器的输入和输出端等于反相器逻辑反相电压。如果反相器的输入端和输出端没连接在一起,对发生在公共连接电容端微小电压变化具有很高敏感度的传感放大器的电压值,将按照实际的输入值 *Q* 发生变化。

404 表示的结构是实施例 2 中说明的源漏相连的 *NMOS* 晶体管。它的栅极施加有至复位装置的脉冲和反相序列脉冲。通过使用这种结构,靠反相器的逻辑反相电压,可以使反相器的输入电压变得更精确地平稳。结果,敏感度提高,毫无疑问,增强了响应速度,因此降低了功耗。尽管本实施例中示出了一个 *NMOS* 晶体管连接成复位装置或者作为施加有反相序列脉冲的结构,作为一个例子,毫无疑问并不限于此。还可以使用实施例 1 和实施例 2 所说明的其他

结构。还有,毫无疑问,连接复位装置或输入有复位装置驱动脉冲和反相序列脉冲结构的电路构成不限于本实施例的结构,或实施例1和实施例2的那些结构。

实施例4

参照图8至12B说明实施例4。在本实施例中,详细地说明了位于多个输入端和电容之间的开关装置及复位电容和开关装置之间电压的复位装置。图8中, $Q1-QN$ 表示 N 个多输入端,201表示复位开关,202是电容器,203信号传输开关,205是传感放大器,206是传感放大器的反相器,204是传感放大器的第二反相器,207是用于复位反相器的第二复位开关,208是复位电源,211是输出端,并且209是电容器202公共连接端上的寄生电容。然而并不限于此。

图9A至9C是说明本实施例运行的说明性时序图。下面参照同一图形说明本实施例的运行。首先,复位脉冲 ΦRES 复位电容器202的一端。对于复位电压,如果电压是以5为基数,则使用,比如,2.5V或它的一半。该复位电压不限于此,它也可以是其他的电压值。在那种情况下,通过复位开关,几乎同时地复位传感放大器205的反相器206的输入端。毫无疑问,该时序并不限于同时。在本例中,选择一个接近逻辑反相电压的值作为复位电压,反转反相器206的输出。如果关断复位脉冲 ΦRES ,在电容器202上保持每一个复位电势。然后,如果传输脉冲 ΦT 接通传输开关203,传输该信号至电容器202的一端,并且电容器202一端的电势改变,比如,从

2.5V 的复位电压变为相应于低电平 0V,或相应于高电平 5V。后面的运行同实施例 1 所述的过程一样。

图 10 是一示意性等效电路图,示出了图 8 所示的从输入端至电容器 C(202)的电路的一个例子。图 10 中,202 表示电容,203 表示信号传输开关,且 208 表示如图 8 所示复位电源。还有,NMOS 晶体管 407 用作通过电源 208,复位信号传输开关 203 和电容器 202 之间端口的一装置。用于复位的驱动脉冲 ΦRES 输入至 NMOS 晶体管 407 的栅极。由于这里使用 NMOS 晶体管 407,信号脉冲如图 9A 至 9C 所示的时序进行输入,比如,在高平时,用电源 210 复位开关和电容之间的端口,然后,位于开关和电容之间的端口转变为平稳状态。同时, ΦRES 信号的反相序列脉冲 $\overline{\Phi RES}$ 输入至结构 408。该结构具有一不同于半导体基底的导通半导体掺杂层,它是通过挤压提供反相序列脉冲的电极至半导体基底上形成的,并且该半导体掺杂层与公共连接电容端彼此电连接。

图 10 中,该结构连接至开关和电容间的端口,用 NMOS 晶体管的漏极和源极作为公共端。通过连接这样一种结构,可以补偿在公共连接端电压的变化,该电压的变化是由于分开晶体管栅漏(公共连接端)的电容和当 ΦRES 关断晶体管 400 时所产生的用 212 表示的电容所引起的,从而可以更精确地复位公共连接端至电源 208 的电势。结果,通过电容器 202,更精确地分开电容,可以设定发生在相反端公共连接端上的电压微小变化的绝对值。也就是敏感度提高,毫无疑问,增强了响应速度,因此降低了功耗。

还有,毫无疑问,用在本实施例的结构和复位装置并不限于实施例 1 至 3 所描述那种形式,很明显,信号传输开关也不限于此。还

有,在本发明中还包括图 11 所示的那种结构。图 11 中,在多输入端和电容间提供了开关装置 230。它既可以用作复位装置,也可用作开关装置。也就是,可以容易地区分,通过使输入变为复位电势而打开开关的复位状态的周期和使输入变为信息信号而打开开关的周期。如图 12A 和 12B 所示的时序图。在那种情况下,可以连接输入有复位装置的脉冲和反相序列脉冲的结构 231 至电容的输入端。上面已经描述了它的运行。毫无疑问,本发明也包括这样一种结构。

实施例 5

下面参照图 13 和 14 说明实施例 5。图 13 和 14 示出了从输入端至图 8 的电容器 $C(202)$ 电路的一个例子。考虑分别输入至图 10 中作为复位装置的 $NMOS$ 晶体管 407 和结构 408 的脉冲,如果输入至复位装置的脉冲 ΦRES 滞后于 $\overline{\Phi RES}$,在这种延迟期间,作为复位装置的 $NMOS$ 晶体管 407 处于接通状态,从而,即使 $\overline{\Phi RES}$ 变化,开关和电容间的端口也保持在复位电源 208 的电势。因此 408 表示的结构的作用减小。考虑这一点,在图 13 中,通过反相器, $\overline{\Phi RES}$ 输入的比 ΦRES 晚。这样,可以毫无损失地消除结构 408 的影响。

图 14 中,通过多个反相器,几乎同时输入 ΦRES 和 $\overline{\Phi RES}$ 。在这种情况下,即使 ΦRES 和 $\overline{\Phi RES}$ 改变时,也可以使电压的变化很小。这一例子并不限于在本实施例所说明的那一点。同样适于实施例 1 至 3 所示的公共连接端的实施例中。毫无疑问,包括实施例 1 至 4 所说明的其他结构的本实施例的结构并不受限制。

实施例 6

下面说明本发明的半导体器件应用于相关器的一个实施例。图 15 是一个示例性框图,它能最好表示本发明的 7—输入相关器。图中,1001A、1001B 和 1001C 表示多数逻辑运算电路,1002 表示反相器,1003 表示比较器。与输入端 1012 相似的信号也输入至 1004 和 1005 端。1006、1007 和 1008 这样的端口,以输入来自多数逻辑运算电路的输出信号,并且 1009、1010 和 1011 表示当 C 等于连接至普通输入端的电容时,分别相应于 1006、1007 和 1008 的电容值。图 15 中,首先每个信号与相关系数一起输入至比较器 1003。如果每个信号与相关系数一至时,比较器 1003 输出高电平,反之,输出低电平。比较器 1003 的输出输入至多数逻辑运算电路 1001。

比如,比较器 1003 的输出输入至 7—输入多数逻辑运算电路 1001A,如果高电平数为多数,即如果 7 个输入中有 4 个或 4 个以上的输入为高电平,则运算电路 1001A 输出高电平。同样,11—输入多数逻辑运算电路中,如果 6 个或多于 6 个的输入为高电平;或者 13—输入多数逻辑运算电路中,如果 7 个或多于 7 个的输入为高电平,也输出高电平。表 1 的 S3 示出了输入高电平时,7—输入多数运算电路 1001A 的输出值。然后,如图 15 所示,7—输入多数逻辑运算电路 1001A 的输出,经一反相器 1002,传送至多数逻辑运算电路 1001B 的加权输入端。

图 16 示出了多数逻辑运算电路 1001B 的电路结构。它示出了一个可以加权的电路。图中,1212 表示电容器,它的电容值是连接至其他输入端的电容值的 4 倍。该电路可以作为一个 11—输入多

数逻辑运算电路,使 C 等于连接至输入端路径上的电容值,共同连接 11 个电容 C ,其中 4 个 C 施加有加权输入端的信号,其他 7 个施加与输入至 1001A 一样的信号。接着,如果 7—输入端口的 7 个输入中有 4 个或更多的是高电平(即第一步的结果是高电平时),如上所述,向加权输入端施加低电平信号。还有,在下一步,如果施加至加权输入端以外的输入端的 7 个信号中 6 个或更多的为高电平时,11 输入多数逻辑运算电路判断多数为高电平,并且在下一步输出高电平。还有,如果 7 输入中有 5 个或更少的输入为高电平,由于它不是多数,则在下一步输出低电平。同时,由于在第一步骤 11—输入多数逻辑运算电路输出低电平,如果 7 个输入中 3 个或更少的输入为高电平,在下一步,加权输入端被施加高电平。如果 7 个输入中有多于 2 个的输入为高电平,由于 $4+2$ 或 $4+3$ 大于等于 6,即高电平为多数,所以下一步输出高电平。如果少于 1 个的输入为高电平,由于 $4+0$ 或 $4+1$ 小于等于 5,所以下一步输出低电平。

表 1 的 S2 示出了输入为高电平时,多数逻辑运算电路 1001B 的输出值。表 1 的 S1 示出了,通过施加多数逻辑运算电路 1001A 的反相信号至多数逻辑运算电路 1001C,并且多数逻辑运算电路 1001B 分别向二个具有 2 倍和 4 倍电容值的二个加权端输出,所得到的输出。通过如上构成,把它转换为如表 1 所示的 3 位二进制数,可以输出多个输入中相关系数与信号一致的输入数。

图 17 是多数逻辑运算电路 1001A 的一个典型电路图。它示出了一个不使用加权的电路。图中,1201 典型地表示复位开关,1202 为电容器,1203 为信号传输开关,1205 为传感放大器,1206 为传感放大器 1205 的反相器,1204 为传感放大器 1205 的第二反相器,

1207 为用于复位反相器的第二复位开关,1208 为复位电源,1210 为第二复位电源,1211 为输出端,并且 1209 为在电容器 1202 公共端上的寄生电容。然而,并不限于此。

图 18A 至 18C 示出了本实施例的运行时序的一个例子。参照同一示图说明它的运行。首先,用复位脉冲 ΦRES 复位电容器 1202 的一端。如果提供的电压是以 5V 为基数的,则复位电压为 2.5V 或它的一半。但复位电压并不限于此,它也可以是其他的电压。在那种情况下,通过复位开关 1207,几乎同时地复位传感放大器 1205 的反相器 1206 的输入端。在那种情况下,选择一个接近反转反相器 1206 输出的逻辑反相电压值作为复位电压。如果复位脉冲 ΦRES 关断,则在电容器 1202 上保持每个复位电势。

然后,如果传输脉冲 ΦT 打开传输开关 1203,信号传输到电容器 1202 的一端,并且电容器 1202 一端的电势改变,比如,从 2.5V 的复位电势变到相应于低电平的 0V,或变到相应于高电平的 5V。现在使 C 等于电容器 1202 的电容和 C_0 等于寄生电容的电容值,并假设并联 N 个电容器 1202,对于一个输入,电容器 1202 的公共连接端的电压由下式表示:

$$\pm [C \times 2.5 / (C_0 + N \times C)] \cdot |V|$$

如果反相器 1206 的输入端电压从逻辑反相电压改变,反相器 1206 的输出端电压相应地改变。如果对于 N 个输入端,分别输入信号, N 个输入的总和输入反相器 1206 的输入端。

表 1

输入 :	S3	S2	S1
0/7	0	0	0
1/7	0	0	1
2/7	0	1	0
3/7	0	1	1
4/7	1	0	0
5/7	1	0	1
6/7	1	1	0
7/7	1	1	1

总之,如果 N 个输入的高电平信号数为多数,反相器 1206 的输入端变为高电势,然后,高电平逻辑反相电压输出到传感放大器 1205 的输出端 1211。如果低电平信号为多数,向它输出低电平。通过上述结构,图 17 的电路用作多数逻辑运算电路,输出多个输入的主要逻辑值。尽管图 15 示出了 7—输入相关运算电路作为一个例子,毫无疑问,它不限于此,并且可以很容易地扩展为其他多输入。

实施例 7

下面说明本发明的半导体器件应用于 AD 转换器的一个实施例。图 19 是本发明的一个 3 位 AD 转换器的典型例子。图中,2001A、2001B 和 2001C 分别表示 1 输入、2 输入和 3 输入算术逻辑电路,并且 2002 表示反相器。2003、2004 和 2005 分别表示输入端,用于输入上述步骤中多数逻辑运算电路所输出的信号。2006、2007 和 2008 表示当 C 等于普通输入端的电容时,分别相应于 2003、2004 和 2005 的电容。2009 表示模拟信号输入端,2010 表示设定输入端,2011 和 2012 表示相应的电容值。

下面说明用 5V 电源的一个例子。首先,对于 2001A,算术逻辑电路的传感放大器的输入被设定为 0V,对于 2001B 和 2001C,设定为 2.5V。还有,设定信号输入端 2003、2004 和 2005 及设置输入端 2010 为 5V。在这种情况下,信号输入端 2009 为 0V。接着,设定设置输入端 2010 为 0V,并且输入从 0V 变为模拟信号电压。当模拟输入信号在算术逻辑电路 2001A 内大于或等于 2.5V 时,由于算术逻辑电路的传感放大器输入电势超过逻辑反相电压(假设这里为 2.5V),因此输出高电平。表 2 的 S3 示出了这个结果。当模拟输入信号大于等于 2.5V 时,输入端 2003 从复位电势的 5V 变为 0V。这种情况下,算术逻辑电路传感放大器输入端的电势如下式进行改变,其中 V_A 等于模拟输入信号电势。

$$[C \cdot V_A - 5 \times (C/2) - 5 \times (C/4)] / (C + C/2 + C/4)$$

从上式知,当模拟信号电压 V_A 大于等于 3.75V 时,算术逻辑电路 2001B 输出高电平,当模拟信号电压 V_A 大于 2.5V 小于 3.75V 时,算术逻辑电路 2001B 输出低电平。表 2 的 S2 示出了这一结果,同样,表 2 的 S1 示出了算术逻辑电路 2001C 的输出。通过上述构成,可以实现一个 AD 转换器,通过把它转换为如表 2 所示的 3 位数字信号,输出该模拟信号电压,还有,可以实现高速处理,并降低功耗。尽管本实施例中说明了一个 3 位的 AD 转换器,毫无疑问,它不限于此,并且它很容易地扩展到更多的位。还有,尽管在本实施例中说明了一个用电容的嵌入型 AD 转换器,毫无疑问,本发明并不限于这种系统,比如,如果运用到编码电路等,也可取得相似的效果。

表 2

模拟输入信号电压	S3	S2	S1
$0.0 \leq V_A < 0.625$	0	0	0
$0.625 \leq V_A < 1.25$	0	0	1
$1.25 \leq V_A < 1.875$	0	1	0
$1.875 \leq V_A < 2.5$	0	1	1
$2.5 \leq V_A < 3.125$	1	0	0
$3.125 \leq V_A < 3.75$	1	0	1
$3.75 \leq V_A < 4.375$	1	1	0
$4.375 \leq V_A < 5.0$	1	1	1

还有,尽管在上述实施例中描述了相关运算器和 *AD* 转换器的例子,但本发明并不仅限制于它们。毫无疑问,如果它应用于诸如 *DA* 转换器和加法器的其他各种逻辑电路时,可以取得相似的效果。特别是组成一个 *DA* 转换器时,通过使 *C* 等于输入 *LSB* 数据的大小,并随着位数的上升,顺序为 $2C$ 、 $4C$ 和 $8C$,可以实现二进制数模转换。在那种情况下,完全可以构成这样一种结构,用源跟随放大器接收公共连接端电容。

还有,如上所述,当 *C* 等于连接至多输入端的电容装置的最小电容时,电容器的总电容值几乎为 *C* 的奇数倍。

在相关器中,如果没有控制输入端,它完全由最小值组成。如果有控制输入端,连接至控制输入端的电容是一偶数,为 $2C$ 、 $4C$,并且如上所述,奇数输入端的总和几乎是 *C* 的奇数倍。这样一种结构,

由于能分清是否比希望的标准值大或小,故能提高处理速度。

已经说明了相关器,在二进制数模转换器中,如果使 C 等于最低位 LSB 信号的输入电容,下一位将是 $2C$,再一位是 $4C$,等等。结果,多输入端的总电容是 C 的奇数倍,从而能实现高精度数模转换。还有,在 AD 转换器中,可以设定连接至每个多输入端的总电容为一个奇数,或者一个奇数乘以最小电容值(设定除数为一奇数),如,除数为 1,以清楚地判断模拟信号电平是否为满范围,即 $1/2$,或低于或高于满范围 $1/2$;如除数为 3,以判断是否为 $1/4, 2/4, 3/4$,或 $4/4$ 。这样一种结构能高精度地运行,从而可以实现低功耗、高速度运行,而不需要提供一大的电容装置。

实施例 8

参照图 20 说明本发明的实施例 8。实施例 8 中,本发明的半导体器件用常规的电路技术,以实现一个运动检测芯片。图中,3001 和 3002 表示分别存储标准数据和参考数据的存储单元,3003 表示相关处理部分,3004 为控制整个芯片的控制单元,3005 为相关处理结果加法处理部分,3006 为存储 3005 相加结果最小值的寄存器,3007 为比较器,并部分存放最小值的地址,3008 为输出缓冲器,并存放输出结果。从端口 3010 输入与标准数据相比较的参考数据的同时,标准数据输入至端口 3009。

包括 $SRAM$ 的存储单元 3001 和 3002 是由普通的 $CMOS$ 电路组成。传送至相关处理部分 3003 的数据,通过本发明的相关器并行地处理。不但实现高速度,并且这种结构需要少量的元件,从而芯片

尺寸减小,造价降低。相关运算结果存放在加法处理部分 3005。在输出缓冲器内它与寄存器 3006 相比较,并输出存放在 3008 的结果。

这时,如果直至最后时刻运算结果还小于最小值,该结果重新存放在寄存器 3006 内。如果至最后时刻结果还较小,保持该结果。通过执行这样一种运算,最大相关运算结果存储在寄存器 3006 内。尽管控制单元 3004,加法处理部分 3005,寄存器 3006,3007 和 3008 都是由普通的 *CMOS* 电路组成,通过使用本发明的电路,加法处理部分 3005 可以进行并行处理,以实现高速处理。如上所述,由于在一个电容中执行运算,不但可以实现高速、低价,还可以实现小的源极电流和低功耗。因此,本发明还可以用于便携式设备,如 8—*mm VTR* 摄像机等中。

实施例 9

参照图 21A 至 21C 说明本发明的实施例 9。图 9 中,示出了将本发明的半导体器件用于光传感器(固态成象传感器),在读取图像数据之前,执行高速图像处理的一个芯片(高速图像处理器)。图 21A 为总体框图,图 21B 为像素部分图,图 21C 是一个显示运行内容的框图。图 21A 至 21C 中,4001 表示传感单元,4002,4005,4007 和 4009 表示存储单元,4004 和 4008 表示相关处理部分,4010 表示运算输出部分,4011 和 4012 表示连接至光信号输出端和电容装置,4002 和 4006 表示输出总线,4013 表示双极晶体管,4014 表示连接至双极晶体管基极的电容装置,4015 表示开关晶体管。输入至

图像数据传感单元 4020 的图像数据在双极晶体管 4013 的基区被光电转换。

相应于光电转换光载流子的输出被读至双极晶体管 4013 的发射极,并经电容 4011 和 4012 传输至输出总线。通过上述运行,垂直方向上像素的相加结果被读至存储器 4007,同时水平方向上的像素相加被读至存储器 4003。换言之,通过像素部分电容器 4014 等,依靠解码器(图中未示出)如果选择提高双极晶体管电势的区域,可以在传感单元 4020 的任何区域的 X 和 Y 方向上输出该相加结果。比如,如图 21C 所示,在 t_1 时输入 4016 表示的一个图像,在 t_2 时输入 4017 表示的另一图像,在 Y 方向上相加的输出结果分别用 4018 和 4019 表示。这些数据分别存储在图 21A 中的存储器 4007 和 4009。还有,从图 21C 的 4018 和 4019 可知,相应于图像移动的而移动的二数据,如果在相关处理部分 4008 内计算这样一种移动,可以在二维平面上以非常简单的方式检测一个目标的位置。顺便提一下,存储在传感单元 4020 的数据可以很容易地传输至存储器 4003 和 4005。

可以安装本发明的相关运算设备至图 21A 所示的 4004 和 4008 中,元件的数量少于普通电路。特别地,在传感器像素读取上可以安排元件。尽管上述结构用于操作传感器的模拟信号,毫无疑问,通过在存储单元和输出总线之间安装本发明的 AD 转换器,它也可以用于数字相关。还有,尽管在本发明的传感器中使用了双极型,毫无疑问,即使用于代替放大器晶体管的光电二极管的 MOS 型也一样有效。进一步,尽管在本实施例中不同时间内执行了数据序列间的相关运算,如果要被识别的多个图像数据 X 和 Y 投影结

果事先被存储在存储单元 1 中,它还可以实现图像识别。

如上所述,通过运用本发明于像素输入部分:

(1)由于并行读取的数据经过并行处理,而不是通过普通的传感器串行读取后再处理,所以可以高速地实现运动检测和图形识别。

(2)由于可以使用 1 个传感器芯片而不需增加外围电路就可实现图象处理,可以低造价实现高性能产品。换句话,可以直接控制面向用户的 TV 屏幕,可以直接控制风向朝向用户的空调机和 8—mm VTR 摄像机,以及如工厂内的标记识别设备,自动图形识别装置和可接收的机器人,和车与车距离控制设备等高性能产品。

尽管上面说明了图象输入部分,毫无疑问,本发明不仅对于图象识别,对于声音识别一样有效。

实施例 10

下面,参照附图说明实施例 10。

参照图 22 详细描述复位公共连接端 200 的一个装置。图 22 示出了经过公共连接端 200,从图 2 的电容器 C(202)至传感放大器 205 的一个例子。在本例中,使用二个 NMOS 晶体管 400 作为通过电源 210 复位(图 2 的开关 207)公共连接端 200 的装置。用于复位的驱动脉冲 ΦRES 输入至每一个 NMOS 晶体管 400 的栅极。由于这里使用 NMOS 晶体管 400,比如,当控制信号脉冲为高电平时,通过电源 210 复位公共连接端 200,然后,控制信号脉冲变为低电平,以关断 NMOS 400,使公共连接端 200 转变为稳定状态。同时,通

过电容器 401, 输入 ΦRES 信号的反相序列脉冲 $\overline{\Phi RES}$ (反相信号) 至公共连接端 200。

这样连接的一个结果是, 控制信号脉冲 ΦRES 接通或断开 $NMOS$ 晶体管 400 时发生的, $NMOS$ 晶体管栅极和漏极(公共连接端)叠加电容所引起的电压变化, 和输入有控制信号脉冲 ΦRES 反相序列 $\overline{\Phi RES}$ 的电容器 401 所引起的电压变化彼此互相补偿。因此, 可以互相地补偿公共连接端 200 上的电压变化, 以高速地、精确地复位公共连接端 200 至电源 210 的复位电势。比如, 如果用从 0V 至 5V 的信号脉冲 ΦRES 和它的从 5V 至 0V 反相序列 $\overline{\Phi RES}$ 控制复位, 由于通过 $NMOSFET$ 400 和电容器 401, 可以抑制它们作为互相反相的序列, 所以可消除这样一种变化。还有, 如果公共连接端 200 的电压被设定接近反相器 206 的逻辑反相电压, 越接近反相器 206 的逻辑反相电压, 越可以按照发生在公共连接端 200 上的信号的微小变化量进行输出。换言之, 很显然, 敏感度提高, 允许高速响应, 因此, 降低了功耗。尽管希望 $NMOS$ 晶体管 400 栅漏叠加电容接近用在这里的电容器 401 的值。但并不限于此, 毫无疑问, 即使值不同, 比如为一半, 也可取得很好的效果。

图 22 中, 并联用作复位装置的二个 $NMOS$ 晶体管。分成多个晶体管比用 1 个 $NMOS$ 晶体管产生如下优点。

图 23A 和 23B 分别示出了具有相同宽度 W 的一个 $NMOS$ 晶体管 and 二个 $NMOS$ 晶体管了简单布局图。图 23A 中, 1 和 2 表示源漏区, 3 表示栅极区, 8 和 9 表示连接点。还有, 在图 23B 中, 尽管图形的尺寸不同, 5, 6 和 7 表示源漏区, 4 表示栅极区, 10, 11 和 12 表示连接点。如果分成多个, 可以使源极区 1 如图 23B 所示的源极区

6 那样公用,使得具有沟道长度为 $L=1\mu\text{m}$ 和 C 沟道宽度 $W=4\mu\text{m}$ 的复位 *MOSFET* 的有效区减小 20%。

图 24 示出了使用 *PMOS* 晶体管的一个例子。图 24 中,使用二个 *PMOS* 晶体管 402 以替代图 22 所示的电容器 401。 $\overline{\Phi RES}$ 输入至 *PMOS* 晶体管 402 的栅极,并且在源极与复位电 210 相连的同时,漏极与公共连接端 200 相连。该效果与图 22 所说明的电容的一样。控制信号脉冲 ΦRES 接通或关断的 *NMOS* 400 和 $\overline{\Phi RES}$ 接通或关断的 *PMOS* 402 同时补偿公共连接端 200 中的变化。结果,敏感度提高,从而允许高速响应,因此,降低了功耗。换句话,可以高速、精确地设定公共连接端 200 上电容器 C_0 209 上的复位电压。

实施例 11

实施例 11 是一个能更精确地复位公共连接端 200 至复位电源 210 电势的例子。参照附图 25 说明实施例 11 的半导体器件。如图 22 和 24 一样,图 25 示出了经过公共连接端 200,从图 2 的电容器 $C(202)$ 至传感放大器 205 的输出 211 的一个例子。本例中,*NMOS* 晶体管 400 分成二个部分,用作通过电源 210 复位公共连接端 200 的一个装置。用于复位装置的驱动控制信号脉冲 ΦRES 分别输入至 *NMOS* 晶体管 400 的栅极。由于这里使用 *NMOS* 晶体管 400,当控制信号脉冲 ΦRES 为高电平时,用电源 210 复位公共连接端 200,然后,控制信号脉冲 ΦRES 变为低电平,从而分别地关断 *NMOS* 晶体管 400,使公共连接端 200 转为稳定状态。同时,*NMOS* 晶体管 403 用作输入 ΦRES 信号的反相序列脉冲 $\overline{\Phi RES}$ 结构。该

结构具有一导通半导体掺杂层,它不同于通过挤压输入有反相序列脉冲 $\overline{\Phi_{RES}}$ 电极至半导体基底所形成的半导体基底,并且半导体掺杂层一同电连接至公共连接端 200。换言之,*NMOS* 晶体管 403 的源极和漏极连接在一起,从施加有反相序列脉冲 $\overline{\Phi_{RES}}$ 的栅极至公共连接端 200 的电容为栅漏电容的二倍,以与施加有正相序列脉冲 Φ_{RES} 的二个 *NMOS* 晶体管 400 彼此互相补偿。

图 25 中,示出的结构将其 *NMOS* 晶体管漏极和源极彼此相连,并且其栅漏电容连接至公共连接端 200。*NMOS* 晶体管 400 的电容主要是晶体管栅漏(公共连接端 200)叠加电容,它的电容值依赖于源漏掺杂量,晶体管形成热滞后等。因此,很难精确地设计和形成。另外,对栅极电压还具有依赖性。一种具有同样电容的结构还包括如图 25 所示 *NMOS* 晶体管 400 的电压依赖性。可以设定这样一种结构的电容等于包括复位装置中使用的, *NMOS* 晶体管 400 的电容依赖性的电容值。因此,通过除以图 22 所示的电容器 209 的电容,可以补偿公共连接端 200 上的电压变化,使得能更精确地复位公共连接端 200 至电源 210 的电势。

比如,如果公共连接端 200 的电压接近反相器逻辑反相电压,越接近反相器逻辑反相电压,越能按照发生在公共连接端 200 上的微小的信号变化进行输出。换言之,敏感度明显提高,毫无疑问,能高速响应,因此,降低了功耗。进一步,如果作为复位装置的 *MOS* 晶体管的栅电容值的总和为这样一种栅电容的二倍或近二倍,由于在该结构中源和漏连在一起,总电容值变得几乎相等。还有,施加反相序列脉冲至每个栅电极,所以可更精确地设定公共连接端 200 至电源 210 的电势。还有,如果作为复位装置的 *MOS* 晶体管的总栅

极宽度为这种结构栅极宽度的二倍或近二倍,因在该结构中源和漏连在一起,总的栅极叠加电容值变得几乎相等。还有,每个栅电极施加有反相序列脉冲,从而可更精确地设定公共连接端 200 至电源 210 的电势。

还有,如果复位装置的 *MOSFET* 是 *P* 型的,最好把它分为同一类型的二个 *MOSFET*,如果是 *N* 型,则分为 *N* 型,并且如果该结构的半导体掺杂层同用于上述复位装置的类型一样,将更好。当关断作为复位装置的 *MOSFET* 时,公共连接端 200 的反馈电压,依赖于如前所述的 *MOSFET* 栅漏叠加电容。下面参照图 26A 和 26B 说明这种叠加电容。图中,1 和 2 表示源和漏,8 和 9 表示连接,14 表示栅电极,15 为源或漏电极,并且 16 为半导体基底。图中示出了一个 *NMOS* 晶体管。上述叠加电容部分被表述为用于栅极 14 下的漏极区的元件 *A* 之和,边沿效应 *B* 部分依赖于沟道宽度 *W*,并且在垂直于沟道宽度 *W* 方向上的漏极边缘,边缘效应 *C* 部分如图 26A 和 26B 所示。如果符合作为复位装置的 *MOSFET* 和施加有反相序列脉冲的结构,以及栅极沟道宽度 *W* 的总和,可以设定那些用 *A* 和 *B* 表示的电容相等。同时,为了符合边缘效应 *C* 部分的电容值,需要符合 *MOSFET* 的类型和做为 *MOSFET* 的边缘数以及施加有反相序列脉冲的该结构。换句话,由于作为该结构的漏和源连在一起的一个 *MOSFET* 总共有四个漏极边缘,同样需要通过把作为复位装置的 *MOSFET* 分为二个,以生成四个漏极边缘。如果不分,就有二个漏极边缘,从而电容值就小。因此,当关断作为复位装置的 *MOSFET* 时,电容反馈量之差 ΔC 施加到公共连接电容端 200,影响精确度,使 C_r 等于 *MOSFET* 和栅极至漏极的电容, C_r'

为该结构的栅电容, C_0 是寄生在公共连接电容端 200 上的电容, 并且 V_{DD} 是输入至栅极的控制信号电压, 在上述反馈量是:

$$\begin{aligned}\Delta V &= (C_{r'} - C_r)V_{DD}/(C_r + C_{r'} + C_0) \\ &= \Delta C V_{DD}/(C_r + C_{r'} + C_0)\end{aligned}$$

其中 ΔC 等于 $C_{r'} - C_r$ 。

由于漏极边缘电容不依赖于沟道宽度 W 的值, 沟道宽度越小, 这样一个电容值就相对地越大, 从而存在着一定问题。

还有, 即使被分为二的 *MOSFET* 的栅沟道宽度 W 不相等, 原理上也不存在着任何问题。比如, 如果该结构 C 沟道宽度为是 $10\mu M$, 复位元件 *MOSFET* 的沟道宽度 W 分别可以是 $15\mu M$ 和 $5\mu M$ 。毫无疑问, 希望 *MOSFET* 的类型和大小完全一样。对于沟道宽度 W 大于 $10\mu M$ 的一个结构, 最好使用 $W=10\mu M$ 的二个同类型和尺寸的 *MOSFET* 作为复位装置。随便提一下, 尽管在图 25 中示出了作为复位装置或施加有反相序列脉冲的结构, 所连接的所有 *NMOS* 晶体管的一个例子, 毫无疑问并不限于此。如果复位装置和施加有反相序列脉冲的结构都是 *PMOS* 晶体管, 或者连接多个晶体管, 不但使用 *NMOS* 晶体管而且使用 *PMOS* 晶体管作为复位装置和施加有反相序列脉冲的结构, 也毫无问题。如果复位装置是 *NMOS* 晶体管, 施加有反相脉冲的该结构可以是 *PMOS* 晶体管, 反之依然。

实施例 12

参照图 27 详细描述按照本发明实施例 12 的复位装置。如图 22 和 24 所示那样,图 27 中详细地示出了相应于图 2 的多输入端的与电容器 $C(202)$ 公共连接的端口 200 到传感放大器 205 的输出端 211。这里所描述的传感放大器 205 并不仅仅是实施例 1 和 2 所给出的反相器 206,而是通过复位装置(一开关)连接的反相器 206 的输出和输入。标有 400 的 $NMOS$ 晶体管是复位装置。当该晶体管是“接通”时,反相器 206 的输入和输出端 200 是连接在一起的,并等于反相器 206 的逻辑反相电压。如果在这种情况下分开反相器 206 的输入端和输出端,传感放大器将对来自其电容器公共连接的端口 200 的实际输入值 Q 的电压的微小变化极敏感。

结构 404 是如实施例 11 所描述具有公共源极/漏极的一个 $NMOS$ 晶体管,其中漏-栅电容和源-栅电容并联地加在一起,以产生基本上等于 $NMOS400$ 的电容,并且在栅极处施加一个与复位装置脉冲相反的一个反相序列脉冲 $\overline{\Phi RES}$ 。使用这种结构可以应用正相序列脉冲 ΦRES ,并能控制用反相序列脉冲 $\overline{\Phi RES}$ 至它们各自的 $NMOS$ 晶体管,这能消除电容器在脉冲的接通和断开时所引起电压的变化,能利用反相器的逻辑反相电压,使得反相器的输入电压为一稳定值。结果,增强了敏感度,反应速度加快,从而明显地降低了功耗。这些是显著的改进。在本实施例中,示出了二个 $NMOS$ 晶体管连接在一起作为复位装置,并且一个 $NMOS$ 晶体管作为施加反相序列脉冲的一个结构。然而,这并不是绝对的情况,还可以选择实施例 1 和 2 所描述的其他结构。另外,复位装置和复位装置驱动序列脉冲和反相序列脉冲输入的结构用同一端口相连,很明显,它不限于本实施例和实施例 10 和实施例 11 所描述的。

实施例 13

参照图 28 至 32B 详细描述按照本发明的实施例 13。在本实施例中,详细描述了带有位于多输入端和每个电容器间的开关装置的,并用以复位电容器和传感放大器 205 之间电压的一个复位装置。图 28 中, $Q1$ 至 Qn 是包括 n 个端口的多个输入端。201 是一个复位开关,202 是一个电容器,203 是一个信号转换开关,205 是一个传感放大器,206 一个在传感放大器内的反相器,207 是用以复位反相器的一个第二复位开关,208 是一个复位电源,210 是一个第二复位电源,211 是一个输出端,并且 209 是一个电容,它典型地示出了在电容器 202 的公共连接端上产生的寄生电容。该电容并不限于此。

图 29A 至 29C 是时序图,显示了本实施例的运行。参照这些图形,描述本实施例的运行。首先,通过复位序列脉冲 ΦRES ,电容器 202 的一端与复位电源 208 相连。如果电源电压是,比如,5V,复位电压将被调整为该电压的一半,即 2.5V。该复位电压并不限于此,并且可以选择其它的电压值。几乎在同一时间,通过接通复位开关 207,形成传感放大器 205 一部分的反相器 206 的输入端 200 与第二复位电源 210 相连。很明显,该时序是同时的。此时,在本实施例中,选择一个其值接近于逻辑反相电压的一个复位电压,在这时反相器 206 的输出被反相。当关断复位序列脉冲 ΦRES 时,电容器 202 的两端分别保持它们的复位电势。当通过转移序列脉冲 ΦT ,接通转移开关时,该信号被转移到电容器 202 的一端,并且电容器 202 一端的电势,比如,从 2.5V 的复位电压变为 0V 的低电

压,或5V的高电压。随后的运行与实施例1所述一致,并且依据输入至多个输入端的输入信号,在传感放大器205的输出端211,输出一个低或高电平输出信号。图30是一图形,示出了图28所示的从多个输入端到电容器C的一个电路的例子。图28中,与图26A和26B中相同的标号具有相同的功能,因此,略去对它们的详细描述。图中,202是一个相应于多个输入端的电容器,203是一个信号传输开关,用于传输输入信号至相应于多个输入端的电容器202,208为一复位电源,用于复位相应于多个输入端的电容器202的输入端,并且212是在电容器202的输入端寄生电容的电容器C0'。另外,通过电源208,作为复位信号传输端开关203和电容器202间端口的一个装置,NMOS被分为二个NMOS晶体管407和一个与先前NMOS晶体管407串联的晶体管408。复位驱动序列脉冲 ΦRES 输入至二个NMOS晶体管407的栅极。

这里使用NMOS晶体管407,比如按照图10的时序输入信号序列脉冲 ΦRES ,并且当电势为高电平时,通过电源210,复位开关和电容器之间的端口,然后电势降为低电平,并且开关和电容器之间的端口保持稳定。另一方面,输入 ΦRES 信号和反相序列脉冲 $\overline{\Phi RES}$ 信号至结构408。结构408具有一半导体基底和一不同于半导体基底的导通半导体掺杂层,它是通过挤压用以在半导体基底上提供反相序列脉冲电极而形成,并且该结构408与电容器202的输入端相连,这样半导体掺杂层也公共地电连接着。

图30中,NMOS晶体管的漏极和源极作为公共端的该结构与开关和电容器之间的端口相连。该结构的这种连接,可以消除因叠加晶体管栅源(公共连接端200的一侧)电容,分开212所示的电容

器 $C0'$ 而引起的,位于开关和电容器之间端口上的电压的变化,并且更精确地使开关和电容器间端口的电压位于复位电源 208 的电势上。因此,可以更精确地设定微小电压变化的绝对值。这样,增强了敏感度,加快了响应速度,并且能降低功耗,取得了很好的显著效果。

应注意,用在这里的结构和复位装置并不限于如实施例 10 至 12 所述的那样。并且很明显,信号传输开关也不特定地受限制。

另外,可以采用图 31 所示的那种结构。图 31 所示的位于多输入端和电容器之间的开关装置 230 既可以作为一开关装置,也可以作为一复位装置。换句话,当开关打开且保持复位电势时,输入按时序被分为复位条件周期;在输入 IN 被转换为信息信号后,当打开开关时,输入进入这样一个周期,在这些周期时,开关 230 可以接通至高电位或低电位(图 32A 至图 32B 是这一目的的时序图)。还有,在这种情况下,为了复位电容器的输入端,可以连接一个结构 231,用于输入服务于复位装置的序列脉冲和反相序列脉冲。结构 231 和形成图 30 所示电路结构一样,并串连一个 $NMOS$ 晶体管。它如上述运行,并且很明显,本发明包括这种结构。

实施例 14

参照图 33,34A 和 34B 描述按照本发明的实施例 14。

图 33 与图 28 大体相同,复位电压 208 是一变量,当复位电压 208 是固定值($V0$)时,相应于输入值 Q 和固定值之间差的信号改变量被分开,并传送到与电容器连在一起的端口 200。另一方面,当

输入信号 Q 的反相时序信号作为复位电压时,通过电源,可以使信号满幅度变化。比如,如果 $VDD=5V$, $VO=2.5V$,当复位电压是固定时,信号变化量为 $5-2.5=2.5V$ 或 $0-2.5V=-2.5V$,包含在 $\pm 2.5V$ 的范围内。另一方,当所选择的复位电压是输入信号的反相序列信号时,信号变化量为 $5-0=5V$ 或 $0-5=-5V$,位于 $\pm 5V$ 的范围内。

在这种情况下,复位装置 201 必须是一个允许电源电压和 $0V$ 通道的一个开关,对于这种开关,著名的有构成 *NMOSFET* 和 *PMOSFET* 的发射型 *MOSFET*。

测量这种发射型 *MOSFET* 的场效应特性揭示,它依赖于复位电压。在图 34A 复位电压与场效应值的关系中用曲线(A)示出了该试验值,并且在图 34B 中示出了所使用的电路图。复位电压正方向值越大, *PMOSFET* 所引起的正方向上场通量就越大,并且复位电压越接近于 $0V$, *NMOSFET*410 所引起的负方向上场通量就越大。当复位电压接近于 $5V$ 时, *PMOSFET*409 所引起的场通量变得更大。

换句话说,为了用发射型 *MOSFET* 控制场通量,当固定复位电压时,它是有效的。当如本实施例复位电压是变量时,反相序列脉冲施加到每一个 *PMOSFET* 和 *NMOSFET* 的这种结构的组合是有效的。图 34A 直线(B)给出了它的结果,并且图 34B 的电路(B)特别地示出了它的电路图。电路(B)中,在电容器 202 的输入端,两个 *NMOSFET* 413,一个 *NMOSFET* 414 的结构,两个 *PMOSFET* 411 和一个 *PMOSFET* 412 的结构一同连接到复位电源 208。

采用这种结构,可以消除因晶体管栅极和漏极(公共连接端一

边)所引起位于开关和电容器之间的电压的变化。它还允许更精确地复位开关和电容器之间的端口至电源 208 的电压。相应地,可以更精确地设定微小电压变化的绝对值。这样,敏感度增强,响应速度加快,降低了功耗。

应注意,用在这里的结构和复位装置并不限于如实施例 10 至 12 所述。另外,很明显信号传输开关也不特别地限定。更进一步,当通过如实施例 10 至 12 所示的一个电容器,使用上述的发射型 *MOSFET* 以复位端口 200 的公共连接端时,同样适用。

另一方面,考虑到分开用作复位装置的 *MOSFET*,很明显它毫无疑问地适用发射型 *MOSFET*。

实施例 15

参照图 35 和 36 描述了按照本发明的实施例 15。图 35 和 36 都示出了从输入端至图 26A 和 26B 的电容器 C(202)的电路的一个例子。在图 35 和 36 的例子中,考虑至输入至作为复位装置的用 407 表示的 *NMOS* 晶体管和 408 表示的每一结构的序列脉冲,当至复位装置的序列脉冲 Φ_{RES} 低于反相序列脉冲 $\overline{\Phi_{RES}}$,在延迟期间,用作复位装置的 *NMOS* 晶体管接通。因此,即使反相序列脉冲 $\overline{\Phi_{RES}}$ 改变,开关和电容器之间的端口保持在复位电源 208 的电势。因此,408 所示结构的效果被减小了 图 35 中, Φ_{RES} 经过反相器 409,使得 $\overline{\Phi_{RES}}$ 相应于信号传输中的延迟滞后输入,这样,可以有效地消除结构 408 的影响。图 36 中,输入反相序列脉冲 $\overline{\Phi_{RES}}$ 和序列脉冲 Φ_{RES} ,使它们通过多个反相器,从而可以多少

使它们同时。在这一点,即使 ΦRES 和 $\overline{\Phi RES}$ 改变,也可以保持电压的稳定。这样一种情况并不限制于本实施例所描述的,它也适用于实施例 10 至 13 所描述的公共连接端 200。很明显,它也不限制于本实施例所描述的结构,并包括实施例 10 至 14 所描述的结构。

实施例 16

现在,参照图 37 描述上述半导体器件应用于相关运算电路的实施例 16。图 37 中,具有 7 个输入端的 21-A,21-B 和 21-C 构成多数逻辑运算电路,22 是一反相器,且 23 是一比较器。24 和 25 是一组输入端,输入与进入多数逻辑运算 21-A 的 7 个输入信号相似的信号。26,27 和 28 是输入端,用以输入先前主运算电路输出的信号。29,30 和 31 示出了,当与普通输入端相连的电容是 C 时,相应于输入端 26,27 和 28 的连接电容值分别为 $4C$, $2C$ 和 $4C$ 。

图 37 中,每个输入信号首先与相关系数 33 一起输入至每个比较器 23。当输入信号与相关系数一致时,比较器 23 输出高电平,不一致时,输出低电平。比较器的输出再输入至多数逻辑运算电路 21-A 至 21-C。比如,当比较器 23 用 7 个输入信号输入至主运算电路块时,在高电平输入为多数的情况下,也就是说 7 个输入中有多于 4 个是高电平时,多数逻辑运算电路 21-A 输出高电平信号,表 3 的 S3 示出了输出的这种状态。

相似地,比如,具有 11 个输入端的多数逻辑运算电路 21-B,当有多于 6 个输入是高电平,并且 $4C$ 相当于输入端 26 的 4 个输入

时,其输出高电平信号。表3的S2示出了这种输出状态。同样,具有13个输入端的多数逻辑运算电路21—C,当有多于7个输入是高电平,并且4C相当于输入端28的4个输入,2C相当于输入端的2个输入时,其输出高电平信号。表3的S1示出了这种输出状态。

为了更精确地描述,对于每个高电平输入,具有7个输入的多数逻辑运算电路的输出值如表3的S3所示。然后,如图37所示,通过反相器22,具有7个输入的多数逻辑运算电路21—A的输出被反相,并施加到多数逻辑运算电路21—B的加权输入端26。

图38示出了多数逻辑运算电路21—B的一个电路结构。这是一个加权电路。图38中,29是电容器,它的容值约是与其他输入路径相连的电容器C的4倍。图38的电路是一个具有11个输入的多数逻辑运算电路,其中,假设与输入端路径相连的电容器的容值为C,共连接11个C,其中,4个C接收加权输入端的信号,其他7个端口接收与输入至多数逻辑运算电路21—A一样的信号。比如,如上所述,如果7个中有多于4个输入为高电平,低电平输入施加至加权输入端。另外,如果7输入信号中,有多于6个被施加至输入端而不是加权输入端信号是高电平时,具有11个输入的多数逻辑运算电路认为它本身为多数,从而输出高电平信号。如果7个输入中有4至5个为高电平时,没有达到多数,输出低电平。另一方面,如果7个输入中少于3个为高电平,高电平信号施加至加权输入端。如果7个输入中2到3个为高电平,4+2或4+3大于或等于6,确定为多数,输出高电平信号。如果少于1个输入为高电平,4+0或4+1小于6,输出低电平信号。表2的S2示出了对于每个高电平输入多数逻辑运算电路21—B的输出值。

按照本发明,图 38 中,使用 *NMOS* 和 *PMOS* 和实施例 10 至 15 所述的各种结构用作开关单元,与控制序列脉冲 ΦRES 一起,确保数据的精度和高速度,并能减小电路的尺寸。

另外,对于多数逻辑运算电路 21-C,将多数逻辑运算电路 21-A 和 21-B 输出的反相信号施加到二个加权端,其中一个加权端的容值为 $4C$,是输入端 28 的 4 倍,另一个加权端的容值 $2C$,是输入端 27 的 2 倍,以运行该电路,可以得到如表 1 的 S1 所示输出。如图 3A 至 3J 所示,该电路可以使与相关系数一致输入信号从多个输入中转变为 3 位二进制数,并输出它们。

图 39 是一个多数逻辑运算电路的典型电路图。这是一个非加权电路。图 39 中,41 是一个复位开关,42 是一个电容器,43 是一个信号传输开关,205 是一个传感放大器,46 是传感放大器 205 的第一反相器,44 是传感放大器 205 的第二反相器,47 是复位反相器 46 输入端的第二复位开关,48 是复位电源,50 是一个第二复位电源,51 是输出端,49 表示在电容器 42 的一个公共连接端上形成的寄生电容,但这并不是绝对的。

图 40A 至 40C 是本发明多数逻辑运算电路 B 的运行时序图。下面参照该图描述它的运行。首先,通过复位序列脉冲 ΦRES ,复位电容器 42 的一端。选择复位电压为 2.5V,大约是 5V 的电源电压的一半。复位电压并不限于此,可以是不同的。这时,通过复位开关 47 的接通,几乎同时地复位传感放大器 205 内的反相器 46 的输入端。这时所选择的复位电压接近反相器 46 的输出反转的逻辑反相电压。

表 3

输入	S3	S2	S1
0/7	0	0	0
1/7	0	0	1
2/7	0	1	0
3/7	0	1	1
4/7	1	0	0
5/7	1	0	1
6/7	1	1	0
7/7	1	1	1

然后,当关断复位序列脉冲 ΦRES 时,电容器 42 的两端将保持它们各自的复位电压。接着,当通过传输序列脉冲 ΦT 接通传输开关 42 时,传输输入信号至电容器 42 的一端,并且电容器 42 一端的电势从复位电压,比如 2.5V,变化至 0V 低电平或者 5V 高电平。假设电容器 42 的电容是 C_i ,寄生电容的容值是 C_o ,并且 n 个电容器 42 是并联的,相应一个输入,由于电容的分隔,公共连接的电容器 42 一端电压从其他数据变为反相器 46 的逻辑电压:

$$(C_i \times V) / (C_o + N \times C_i) \quad [V]$$

$$(C_i \times 2.5) / (C_o + N \times C_i) \quad [V]$$

当反相器 46 的输入端电压从逻辑反相电压改变时,反相器 46 输出端的电压相应地反转。当信号输入至每个输入端时, n 个输出之和除以容值输入至反相器 46 的输入端。总之,如果高电平信号为 n 个输入的多数,反相器 46 的输入端从逻辑反相电压变为高电势,并且在传感放大器 205 的输出端 51 输出高电平,如果低电平信号

为多数,输出低电平信号。

图 39 所描述的电路用作一输出逻辑值的多数逻辑运算电路 B , 它用以计数多个输入中的多数。换言之,该实施例还可以用作一个多数逻辑运算电路 B 。还有,如上所述,按照本发明,使用 $NMOS$ 和 $PMOS$ 以及图 39 所示的用在开关 41 和 47 的如实施例 1 至 6 所描述的结构,可以保证数据的精度和高速度,并且能减小多数逻辑运算电路的总体电路尺寸。

实施例 17

参照图 41 和表 4 描述实施例 17。本实施例是一个 3 位精密模数变换器(下面称 A/D 变换器)。特别是复位装置用在各种运算模块的情况下,其他输入端和传感放大器的输入端最好应用上述复位装置。图 41 中,121— A , B 和 C 分别是 1 输入,2 输入和 3 输入的计算机电路。123,124 和 125 是输入先前计算机电路输出信号的输入端。126,127 和 128 表示当与普通输入端相连电容为 C 时,相应于 123, 124 和 125 的容值分别为 $C/2$, $C/2$ 和 $C/4$ 。129 是一个模拟输入端。130 是一个设定输入端。并且 131 和 132 分别表示相应的连接电容值为 $C/4$ 和 $C/8$ 。 $S1$, $S2$ 和 $S3$ 是数字信号输出端。

现在描述用于本实施例中的 5V 电源系统。首先,图 41 中,计算机电路 121— A 的传感放大器输入端被复位为 0V,计算机电路 121— B 和 121— C 的传感放大器输入端被置位为大约 2.5V。并且设定信号输入端 123,124 和 125 以及设定输入端 130 的输入电容 202 的输入端为 5V。这时,信号输入端 129 为 0V。然后,设定输入端 130

被复位为 0V，并且当输入端 129 的输入电压从 0V 变为模拟信号电压，计算电路 121-A 的模拟输入升至大约 2.5V 或更大，计算电路 121-A 的传感放大器的输入电压升至逻辑反相电压（这里假设为 2.5V），并输出高电平信号。表 4 的 S3 示出了该结果。

当模拟输入信号等于或大于 2.5V 时，输入端 123 的电势从 5V 的复位电压变为 0V。这时，如果假设模拟输入信号电压为 V_A ，则计算电路 121-B 内的传感放大器的输入端电势为下式表示：

$$V_A \cdot \{C \times V_A - (C/2) \times 5 - (C/4) \times 5\} / (C + C/2 + C/4) [V]$$

这个公式显示出，当模拟信号电压大于或等于 3.75V 时，计算电路 121-B 输出高电平信号，并且当模拟信号电压在 2.5V 至 3.75V 之间时，它输出低电平信号。

相似地，表 4 的 S1 示出了计算电路 121-C 的输出。

如表 4 所示，本实施例可以在一很小的电路上实现模数转换，能将模拟信号电压转换为 3 位的数字信号，并高速和低功耗地输出。

在本实施例，描述了一个 3 位的模数转换器。然而，并不限于此，它还可容易地扩展至更多位的电路中。

描述了一个带有电容器的嵌入型模数转换器。然而，本发明并不限于这种处理，即使本发明应用于模数转换器的编码电路部分，比如，用比较器比较输入至电阻的序列信号与参考信号，并用解码器解码该结果，很明显，可以得到与上述一样的效果。

如上所述，相应于每个多输入端的电容装置的一端被公共连

接,以输入至一传感放大器,如果连接至多输入端电容器的最小电容是 C ,上述电容器装置的总和大约为 C 的奇数倍。

在没有控制输入端的相关电路的情况下,所有的由最小值组成,即使如图 37 所示的实施例 16 有控制输入端的情况下,连接至控制输入端的电容器是偶数 $2C$ 和 $4C$,并且将它们与奇数输入信号端相加,所得的总和是 C 的奇数倍。这样一种结构可以突出较小或较大值与希望的参考值的区别,并能增强运算的精确度。

表 4.

模拟输入信号电压	S3	S2	S1
$0.0 \leq VA < 0.625$	0	0	0
$0.625 \leq VA < 1.25$	0	0	1
$1.25 \leq VA < 1.875$	0	1	0
$1.875 \leq VA < 2.5$	0	1	1
$2.5 \leq VA < 3.125$	1	0	0
$3.125 \leq VA < 3.75$	1	0	1
$3.75 \leq VA < 4.375$	1	1	0
$4.375 \leq VA < 5.0$	1	1	1

上述涉及一相关电路,并且当二进制 DA 转换器用 C 作为最低位 LSB 信号输入电容器的容值时,下一位需要为 $2C$,并且再下一位呈几何级数增长,为 $4C$,并且多输入端的总电容器之和将为 C 的

奇数倍。这样,可以实现高精度的数模转换。

进一步,如图 41 所示考虑 *AD* 转换器的实施例 17 中,不管模拟信号的电平是否超过满范围的一半,或小于等于它的一半,除数被清楚地确定,对于 121-A,是 $1C$,对于 121-B,是 $1/4, 2/4, 3/4$ 和 $4/4$ 。

这样一种结构,不需要提供大的电容器,就可实现高精度运算,从而降低功耗,提高处理速度。

前面的文章中,描述了相关处理器和 *AD* 转换器的例子。然而,本发明并不限于这种设备,很明显,可同样地运用于 *DA* 转换器,加法器,减法器和其他逻辑电路。

特别是在 *DA* 转换器中,当 C 作为用于输入 *LSB* 数据电容器的基本单位时,随着数字的增长,电容从 $2C$ 至 $4C$ 至 $8C$ 成倍增长,从而实现二进制 *DA* 转换。在这种情况下,可以采用电容器的公共连接端与一个 *MOS* 型源跟随放大器相连的这种结构。

实施例 18

按照本发明的实施例 18 示于图 42 中。实施例 18 结合了本发明实施例 10 的技术与先有技术,以实现动态图象和其他运动检测。图 42 中,62 和 62 分别是存放标准和参考数据的存储部分,63 是相关计算部分,64 是控制整个芯片的控制部分,65 是一个加法处理部分,用于相关计算部分 63 的相关结果,66 是存放加法处理部分 65 的相加结果的最小值的一个寄存器部分,67 是一个比较和存储部分,68 是一个输出缓冲器和输出结果的存储部分。当输入总线 70

读取与标准数据序列相比较的参考数据序列时,输入总线 69 读取标准数据序列。存储部分 61 和 62 组成 *SRAM*,它们是有普通的 *CMOS* 电路构成的。

按照本发明通过相关处理电路,参考数据存储器 62 和标准数据存储器 61 的输入数据送至相关计算部分 63 以执行相关处理,其特征在于能进行并行高速处理。该相关计算电路不仅能进行相关计算处理,还能减少元件数量及降低造价,通过加法处理部分 65 评价相关计算的结果;并且通过比较和存储部分 67,在上述相关计算之前它们与存储最大相关结果(相加值变为最小值)的寄存部分 66 相比较。如果新相关处理结果小于直到最后一次处理所得的最小值,该结果将重新存储在寄存部分 66,并且当最后一次处理之前所得结果较小时,将保持该结果。这样,在寄存器 66 经常存储最大相关结果,处理完所有数据序列后,将从输出总线,比如,以 16 位信号的方式输出该结果。

控制部分 64,加法处理部分 65,寄存器 66,比较和存储部分 67 以及输出结果存储部分 68 这时是用普通的 *MOS* 电路做成。特别是在加法处理部分 65 和其它部分使用包括本发明的复位装置的电路可以实现传感放大器的精确和高增益运算,并且能实现高速处理。如上所述,不但提高了速度,降低了造价,实现了复位装置,并且可基于电容高速地进行处理。因此,功耗降低,适应于低功耗。从而,本发明适用于 8mm VTR 摄象机和其他便携式设备。

实施例 19

参照图 43A 至 43C 描述按照本发明的实施例 19。实施例 19 组合了在实施例 10 所描述的本发明的技术，以及到达一个芯片的光传感器(固态成象传感器)的技术，该芯片能在读取图象数据之前高速处理图象数据。

图 43A 是一个示出应用本发明的芯片结构的总体框图，图 43B 是一电路图，示出了应用本发明的一个 C 芯片象素部分结构，并且图 43 是一个描述应用本发明芯片计算内容的全视图。

图中 141 是一个包括光电转换元件的传感单元，143，145，147 和 149 是线路存储部分，144，148 是相关计算部分，并且 150 是一个算术运算输出部分。还有，图 43B 所示传感单元内的 151 和 152 是连接光信号输出端 142 和 146 所示的输出总线的连接电容，153 是双极晶体管，154 是连接至双极晶体管 153 基极的电容，并且 155 是一个开关 MOS 晶体管。图象数据投影至图象数据传感单元 160 的图象数据在双极晶体管 153 的基极被转换为光电信号。

双极晶体管 153 的发射极读取相应于光电转换器的光载流子的输出，并且通过连接电容 151 和 152 相应于输入存储充电信号，它们升高输出总线 142 和 146 的电势。上述运行结果，线路存储器 147 读取垂直象素相加结果，线路存储器 143 读取平行象素相加结果。通过象素部分电容器 154 的一个解码器(图 43A 至 43C 未示出)选择用于升高双极晶体管 153 基本电势的区域，可以在传感单元 160 的任何区域输出 X 和 Y 方向上的相加结果。

比如图 43 所示，假设 156 内的一个图象在 t_1 时输入，并且 157 内的一个图象在 t_2 时输入，Y 方向上相加输出结果将是一个图象信号，该图象信号表示 158 和 159 所示的汽车运动状态，并且

在线路存储器 147 和 149 分别存放这些数据, 同样对于水平方向, 这些数据将存储在线路存储器 143 和 145 内。

从图 43C 的图象数据 158 和 159 数据序列的输出可以明白, 二数据改变以响应图象的移动, 并且通过相关计算单元 148 计算它们的移动, 同样用相关计算单元 144 计算水平数据, 在一个二维平面上以非常简单的方式检测物体的运动。

本发明的相关计算电路可以运用到相关计算单元 144 和 148。它比先前的电路具有更少的元件, 并且这些元件可以用传感器象素的间距进行安排, 该结构的设计允许基于传感器的模拟信号进行计算。还有, 位于线路存储单元和输出总线的 AD 转换器明显地可以访问数字相关计算。

描述了做为本发明传感器元件的一个双极型晶体管。然而, 使用 MOS 型传感器元件和光电二极管, 而不需要放大器晶体管, 同样是一有效的方法。

还有在本实施例中, 在不同的时间里, 执行了不同点的数据序列的相关计算。在一个存储单元存储多个图象数据的 X 和 Y 投影的结果, 可以实现图象识别。

如上所述, 组合象素输出单元与按照本发明相关计算电路可以产生如下效果:

(1) 并行的处理所读取的数据以代替先前的串行读传感器, 然后再处理这些数据。因此, 高速地执行全部的操作, 这样可以执行检测和图象识别操作。

(2) 可以实现包括传感器的一个半导体器件, 这种设备在不增加外围电路的情况下, 可以处理图象。因此, 它在较小电路大小和

低造价的情况下,可以实现下列产品。本发明可应用于:(a)控制面向用户的TV屏幕的一控制装置;(b)控制空调机空气流向的一控制装置;(c)用于8—mm VTR摄像机的跟踪控制装置;(d)工厂内的标记识别设备;(e)能自动人类的可接收的机器人;以及(f)车与车距离控制设备等。

很好,上面描述了图象输入单元。毫无疑问,它不但适用于处理图象数据,对运行声音识别和其他相似的操作同样有效。

发明效果

如上所述,与普通逻辑电路相比,本发明可以构成这样一种电路,它以较少数量的晶体管并行处理多参数信号。并且由于对微信号具有高敏感度,它还能进一步增加处理速度和降低功耗。

特别地,由于使多输入端、相应于所述多输入端上的电容器、传感放大器的输入端和所述电容器输入端上的复位序列脉冲的接通和关断的效果降为最低,所以可减少复位时间,避免信号上任何噪音和不良影响,并且获得高敏感度,正确和高速的输出数据。结果可以降低电路尺寸,增加处理速度,降低功耗。

另外,与普通的CMOS型逻辑电路相比,可以用较少数量的晶体管,用该半导体器件构成并行处理电路,并且对微信号具有高敏感度。

应用本发明于半导体电路和使用该半导体器件的相关计算电路,AD转换器或DA转换器及其它信号转换器,以及使用这些器件的信号处理系统,可以降低它们的电路尺寸,增加它们的处理速度以及减少它们的功耗。另外,还可以降低造价,并提高产量。

进一步,本发明并不限于上述描述、实施例和图形,在不脱离本发明的精神范围内,随着情况的需要可以进行各种变化。

比如,随着情况的需要,除了 *MOS* 晶体管,可以使用任何晶体管。在上述实施例所使用的图形中,比如在图 8, 11, 16, 17, 28, 31, 33, 38, 39 中,仅仅示出了输入有 ΦRES 信号的复位装置。毫无疑问,省略了与复位装置相连的输入有 ΦRES 信号的结构,并且按照需要提供了这种结构。

图 1

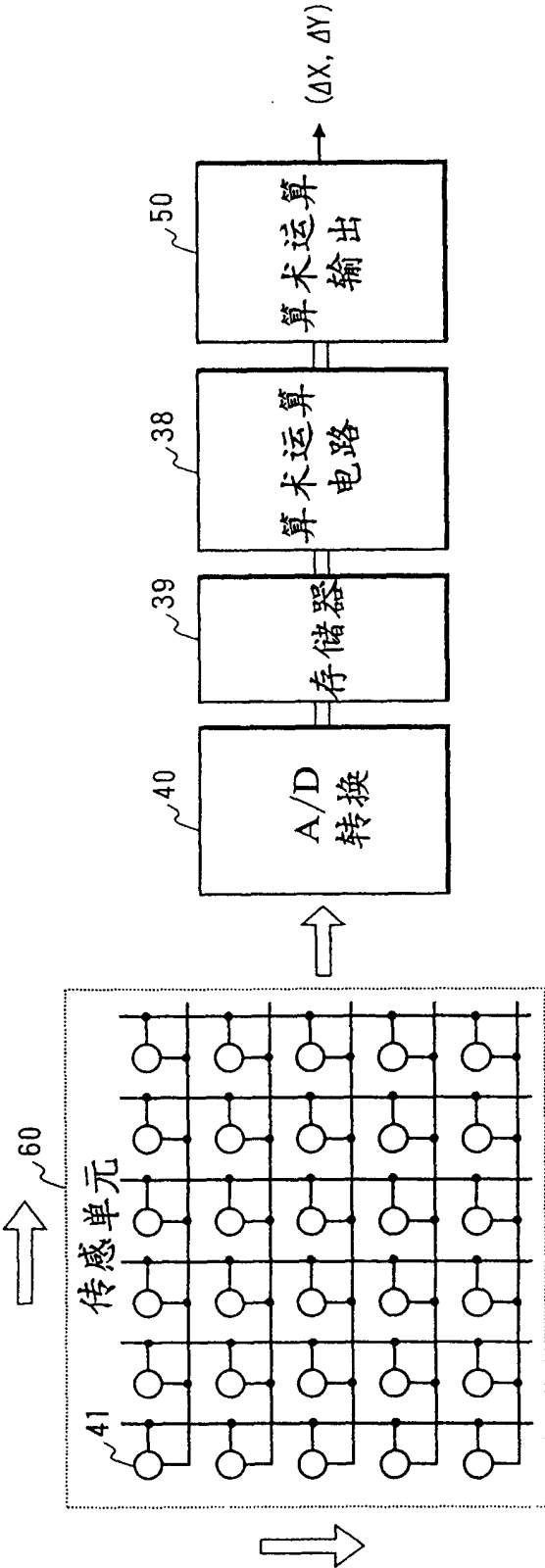
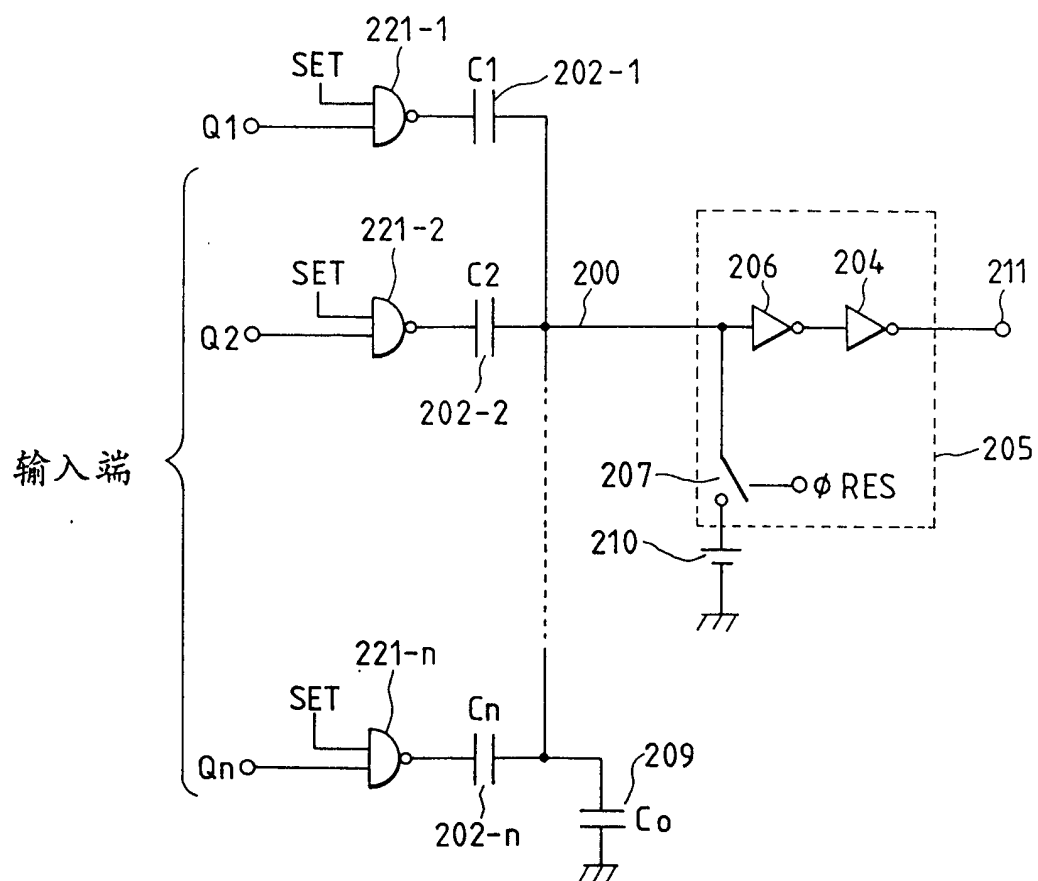


图 2



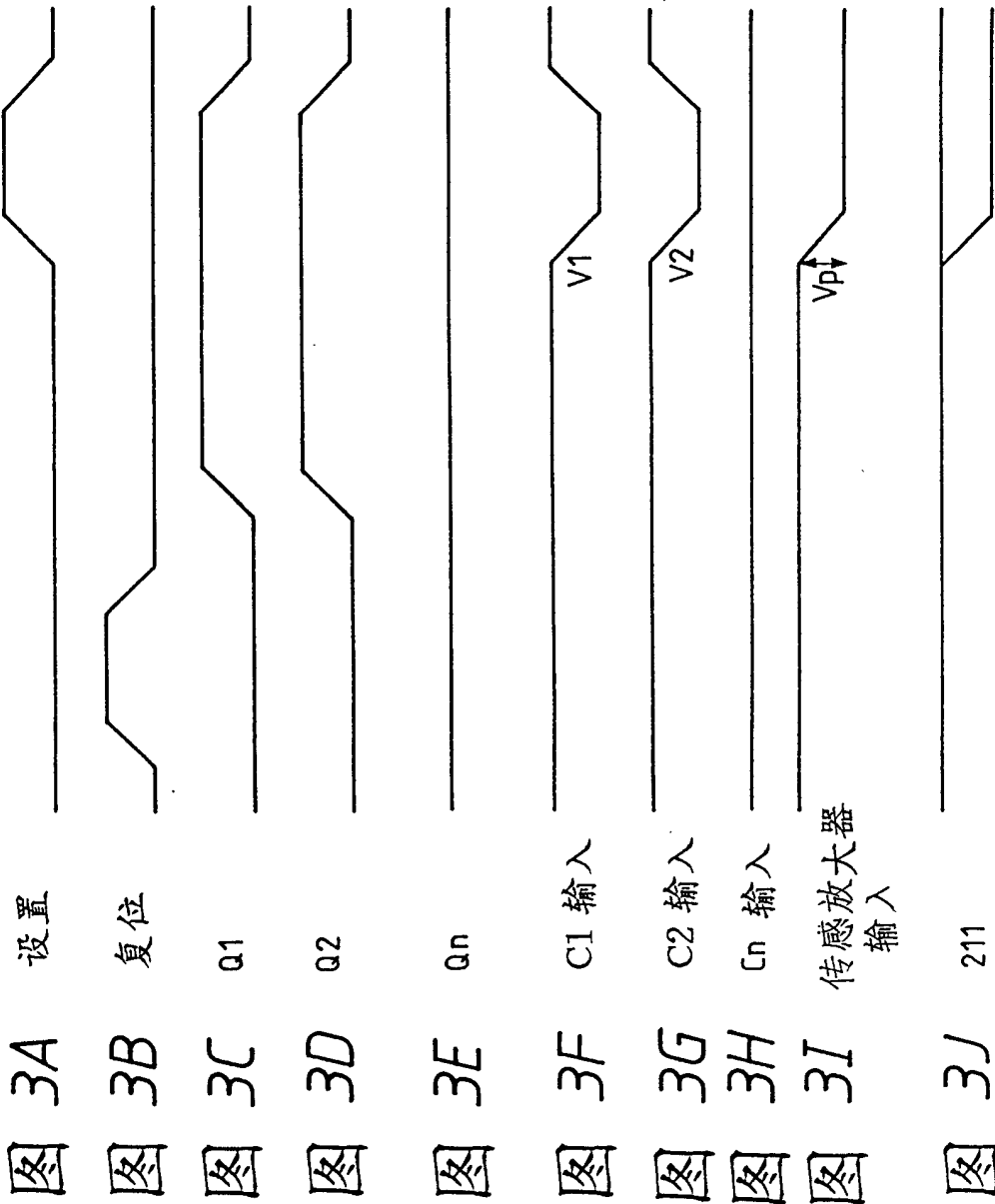


图 4

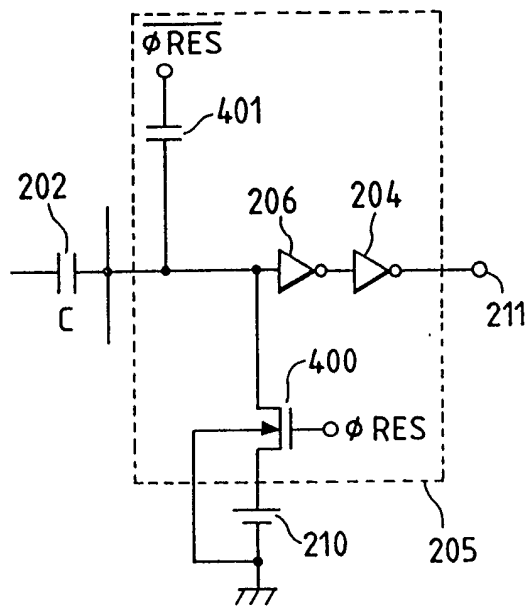


图 5

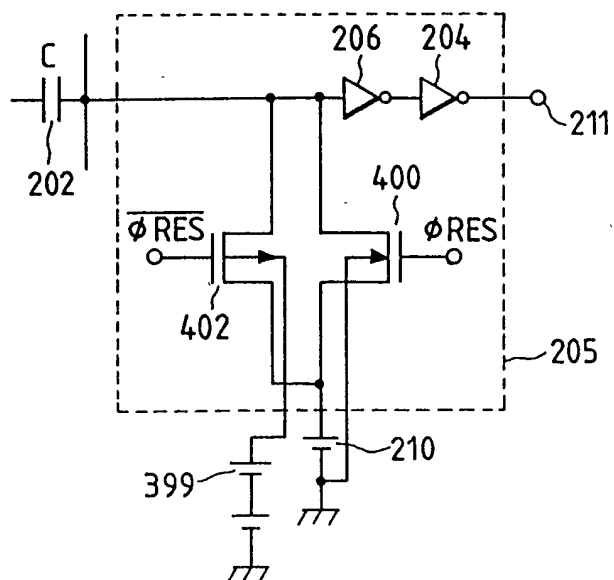


图 6

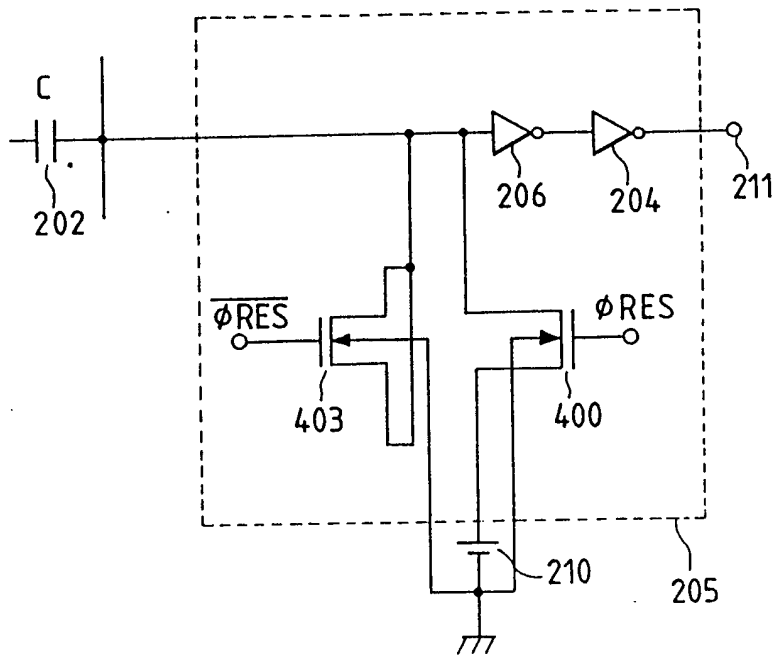
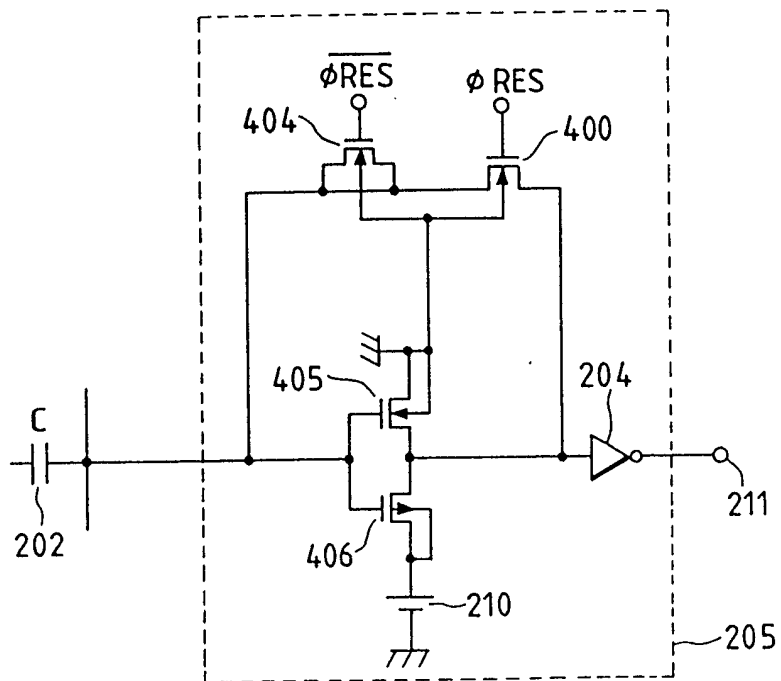


图 7



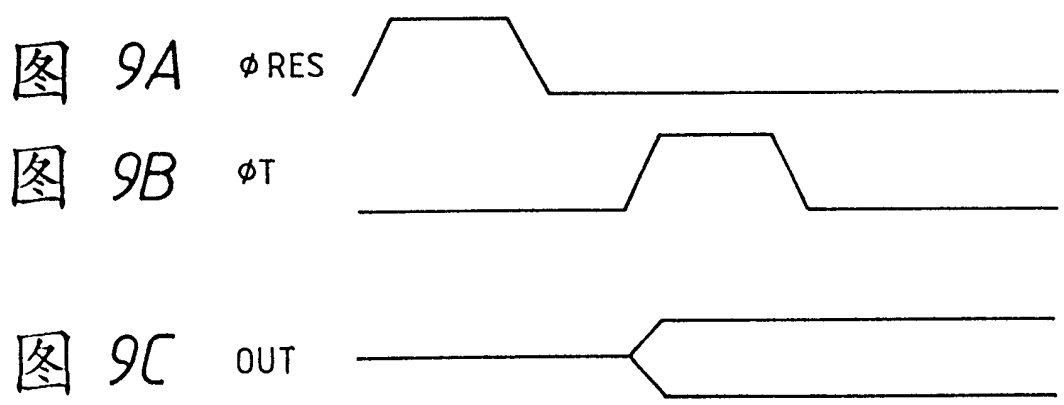
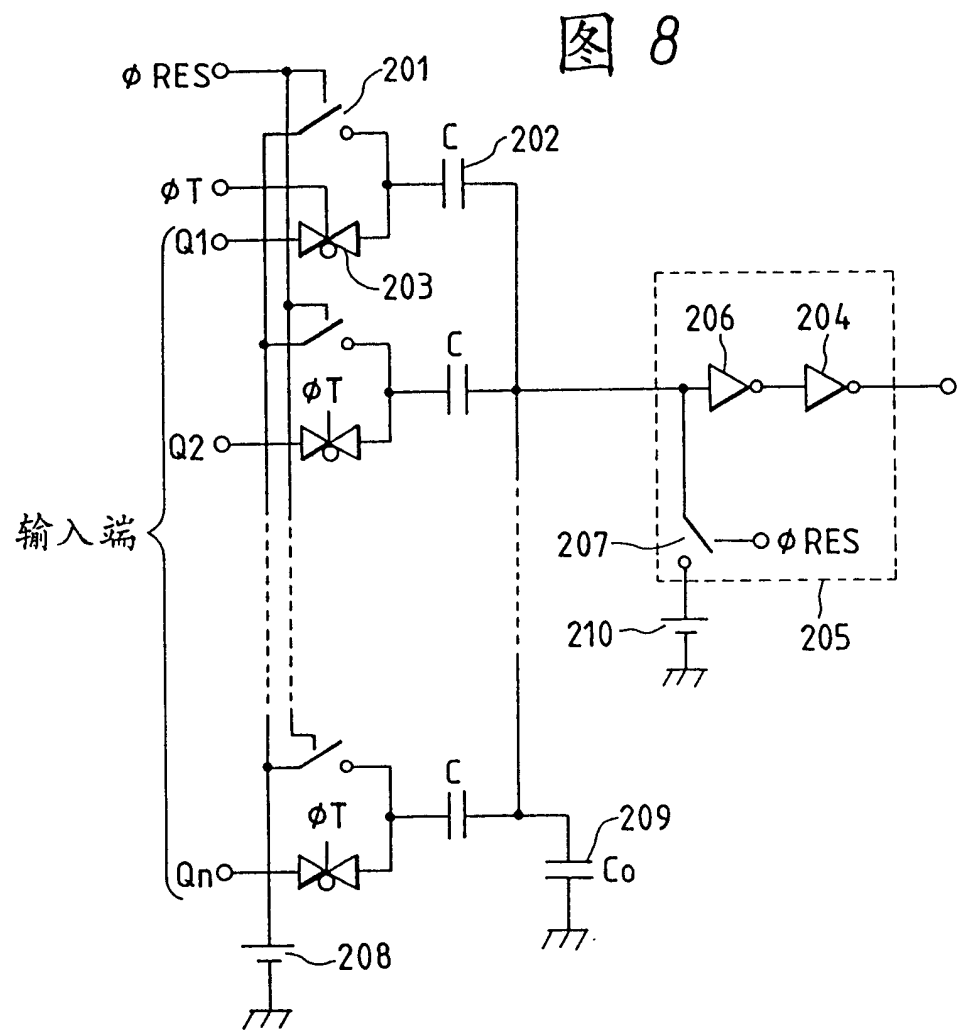


图 10

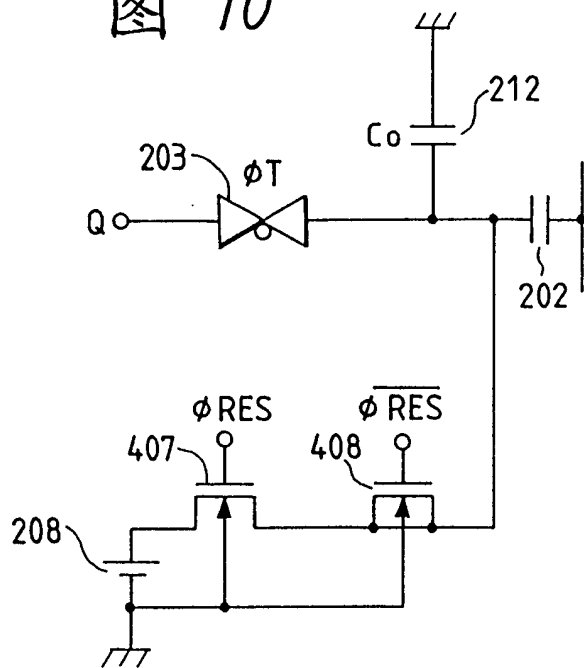
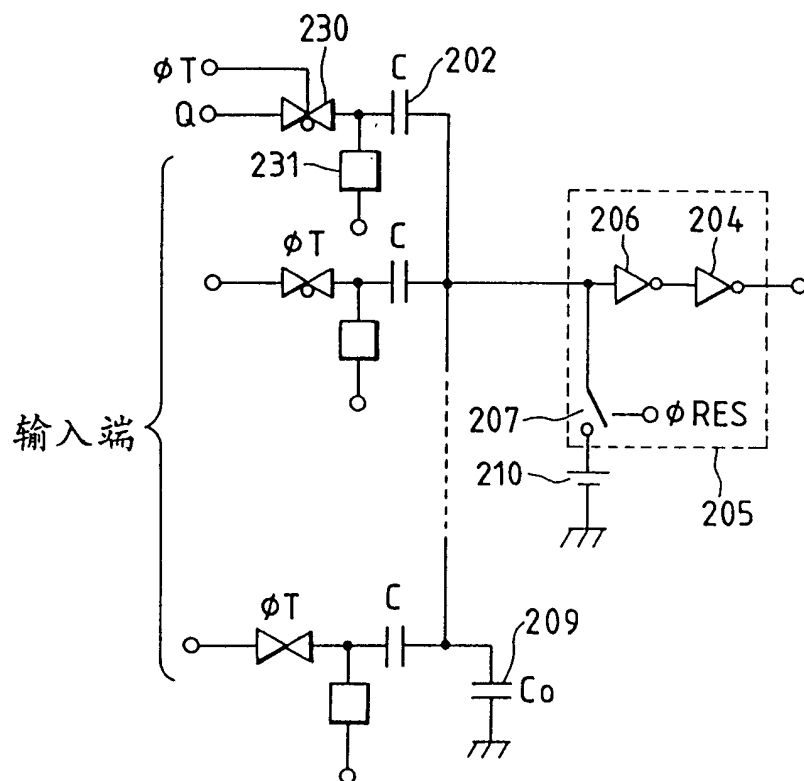


图 11



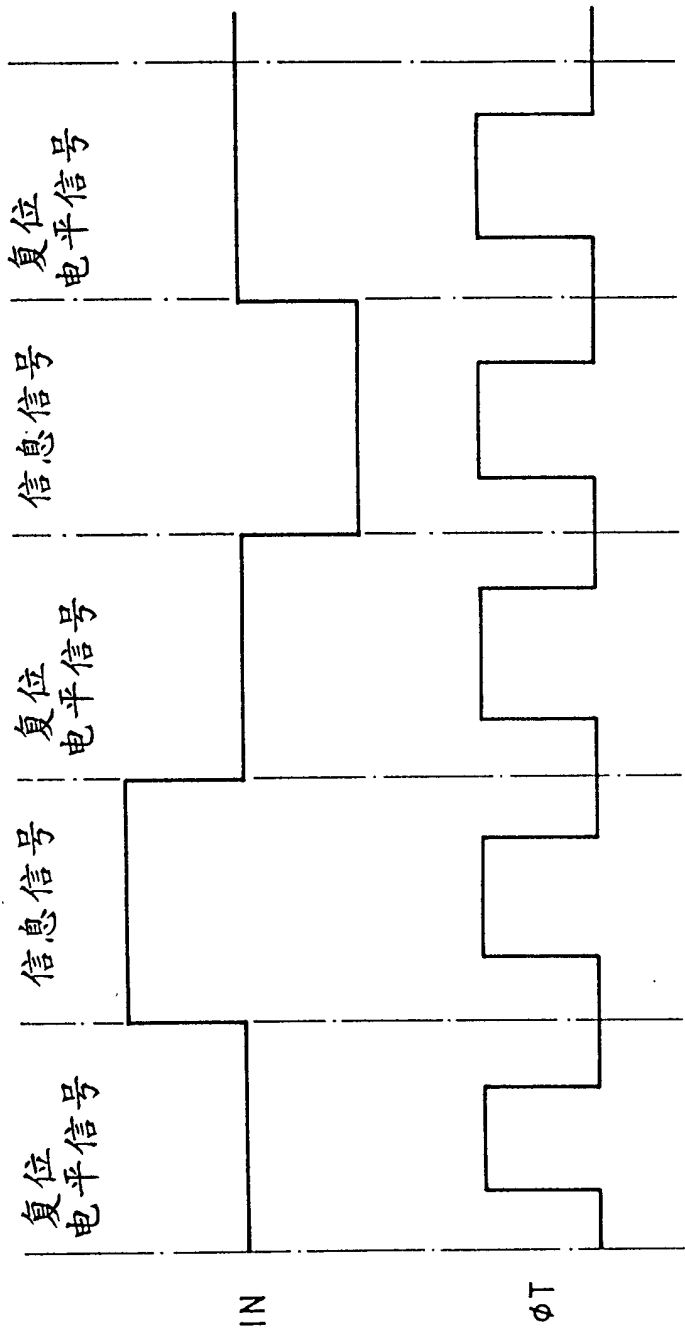


图 12A

图 12B

图 13

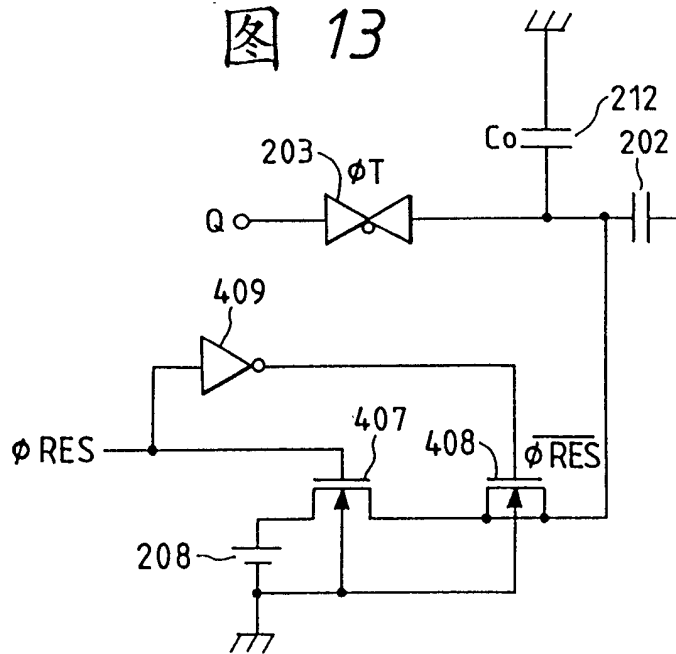


图 14

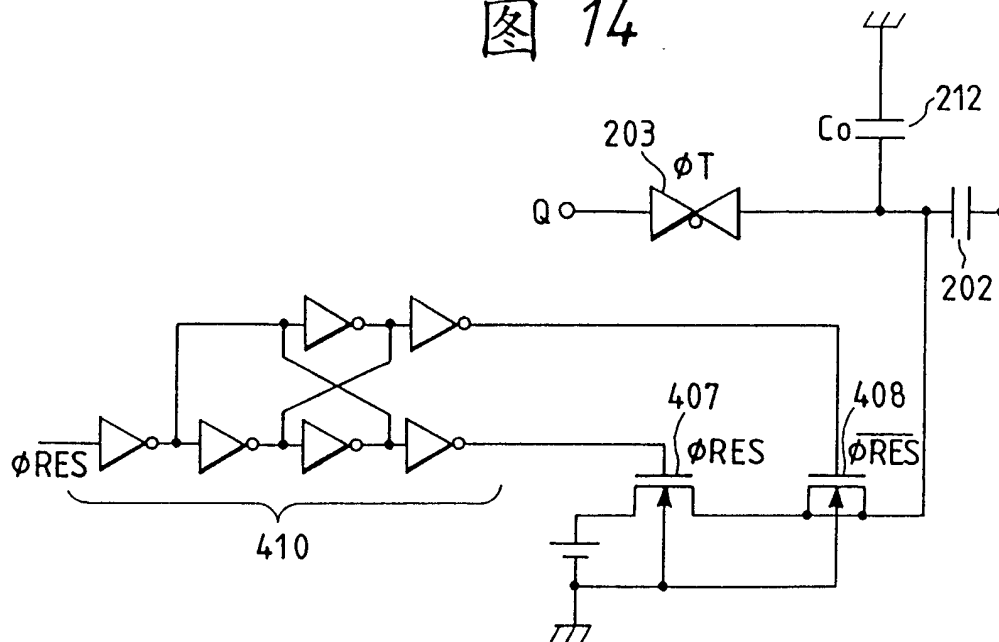


图 15

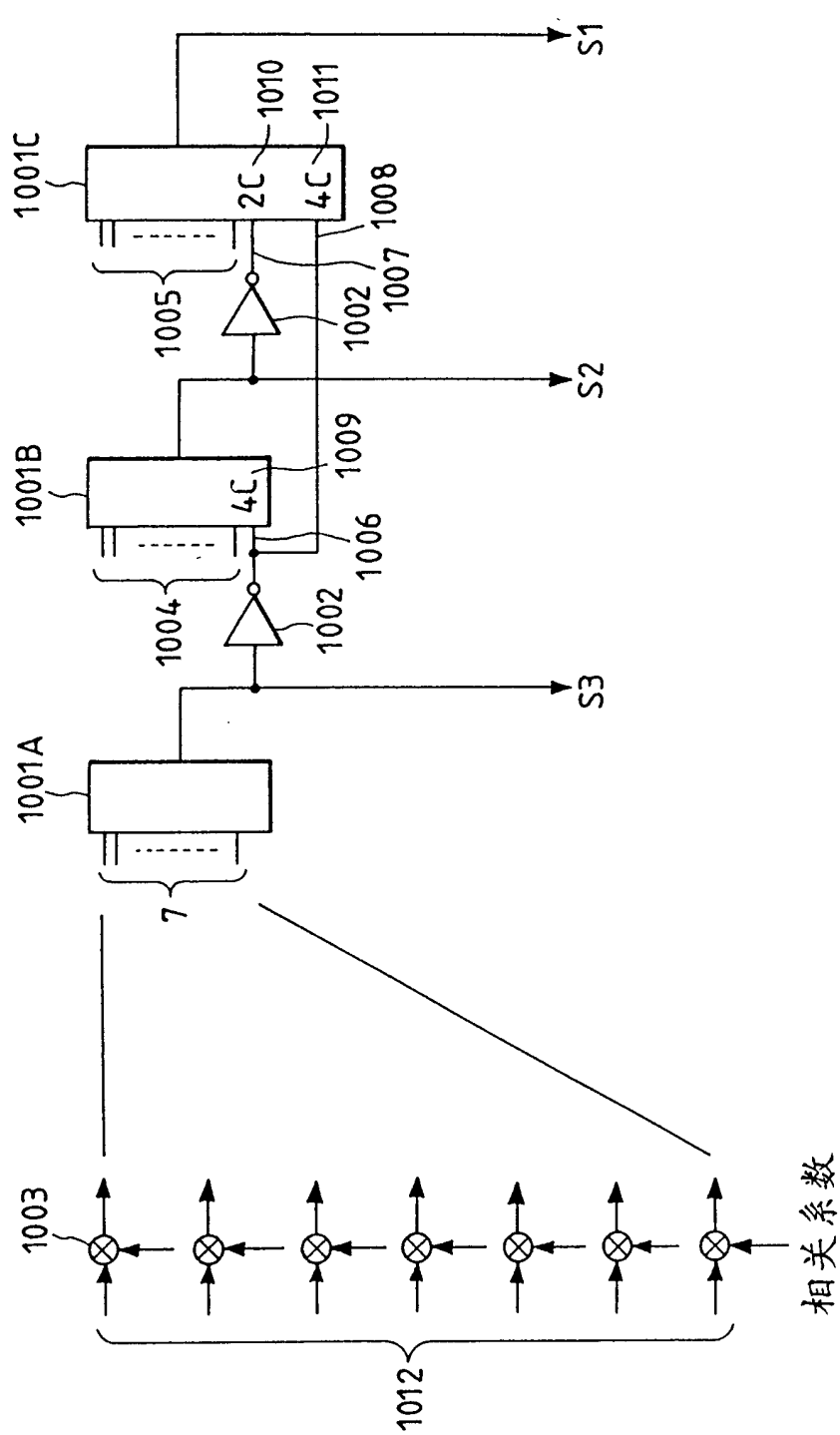


图 16

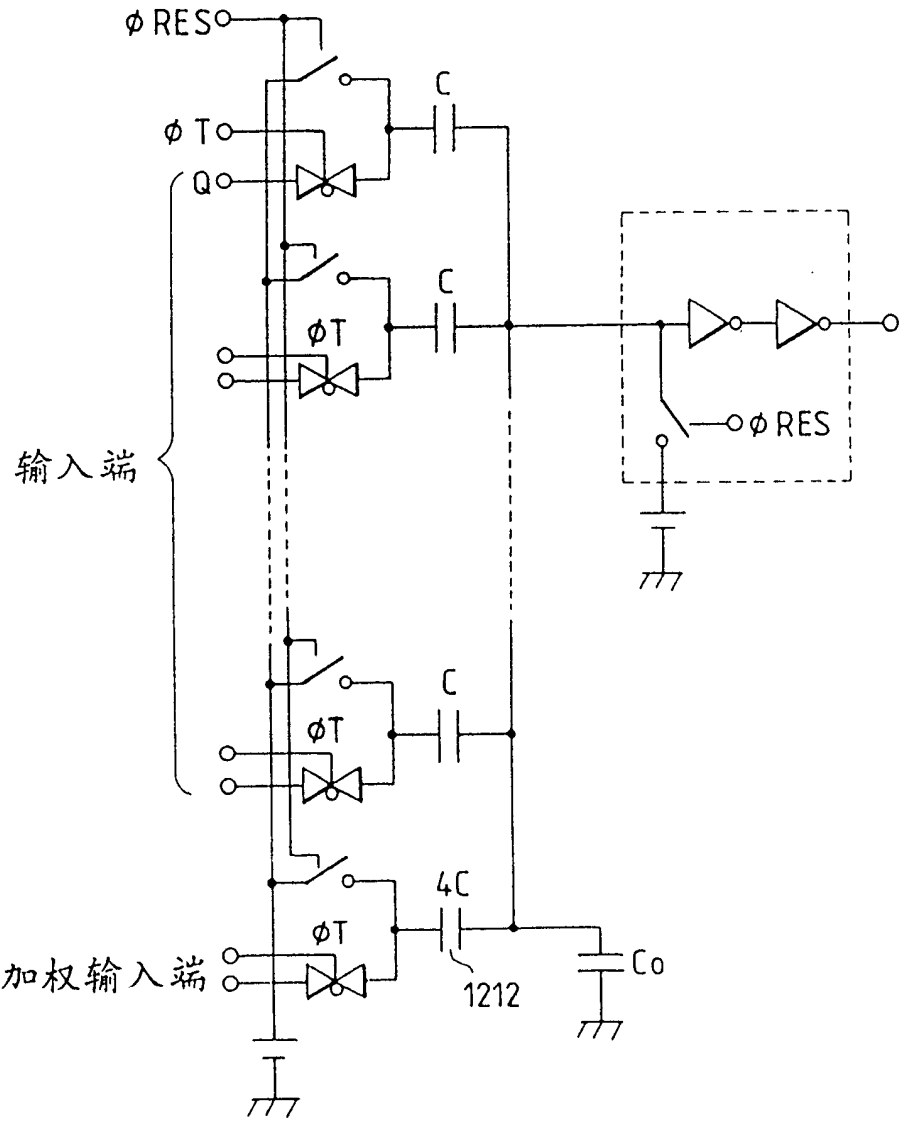
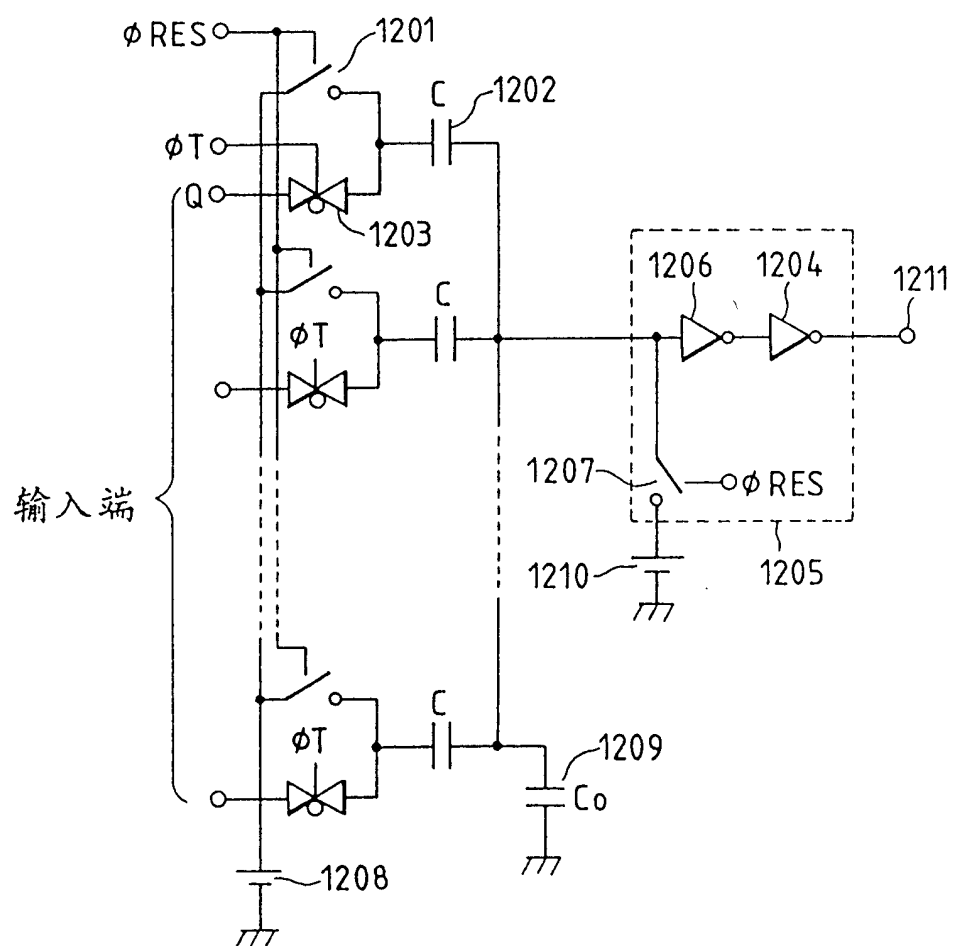


图 17



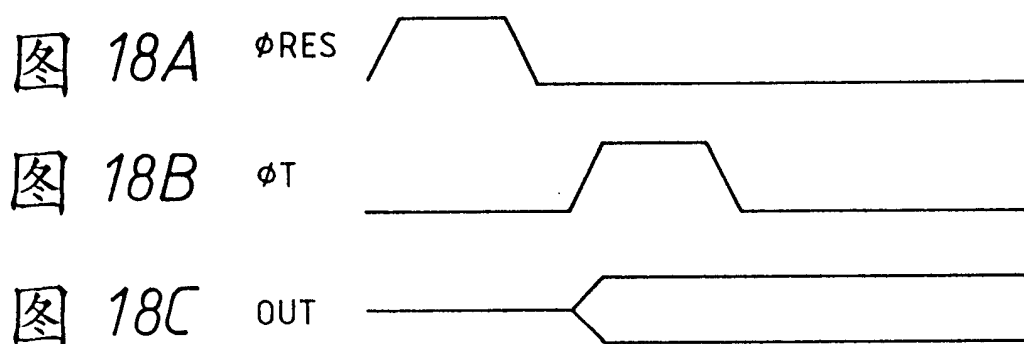


图 19

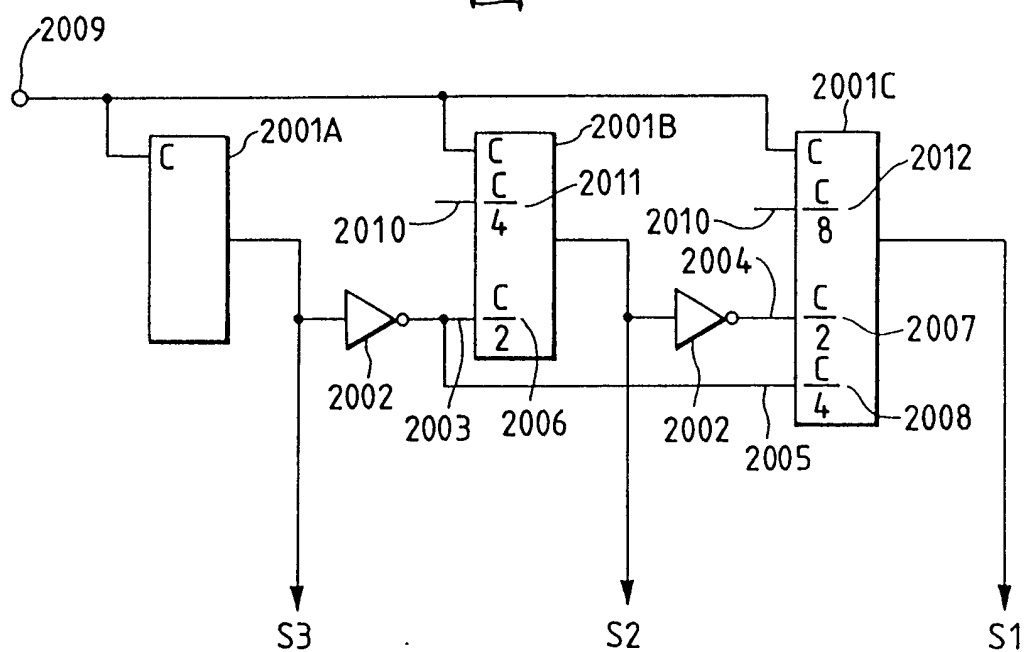


图 20

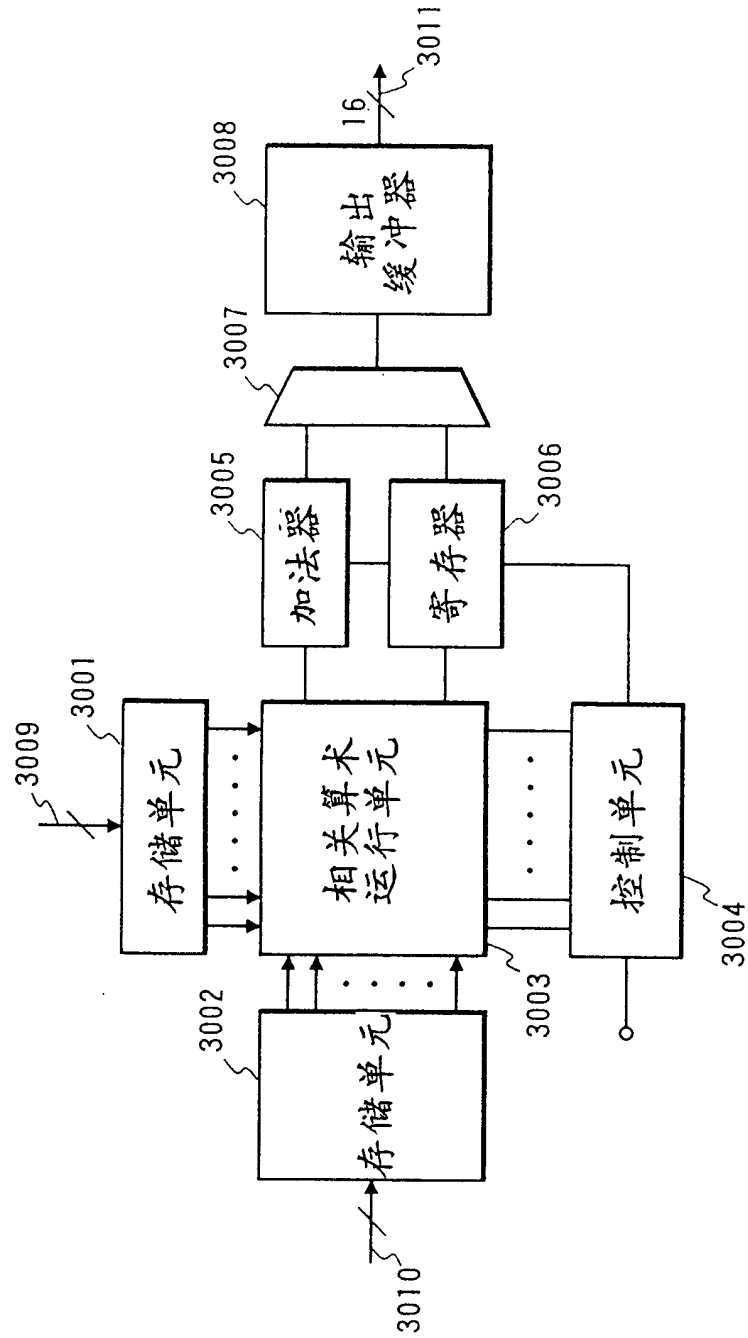


图 2 1 A

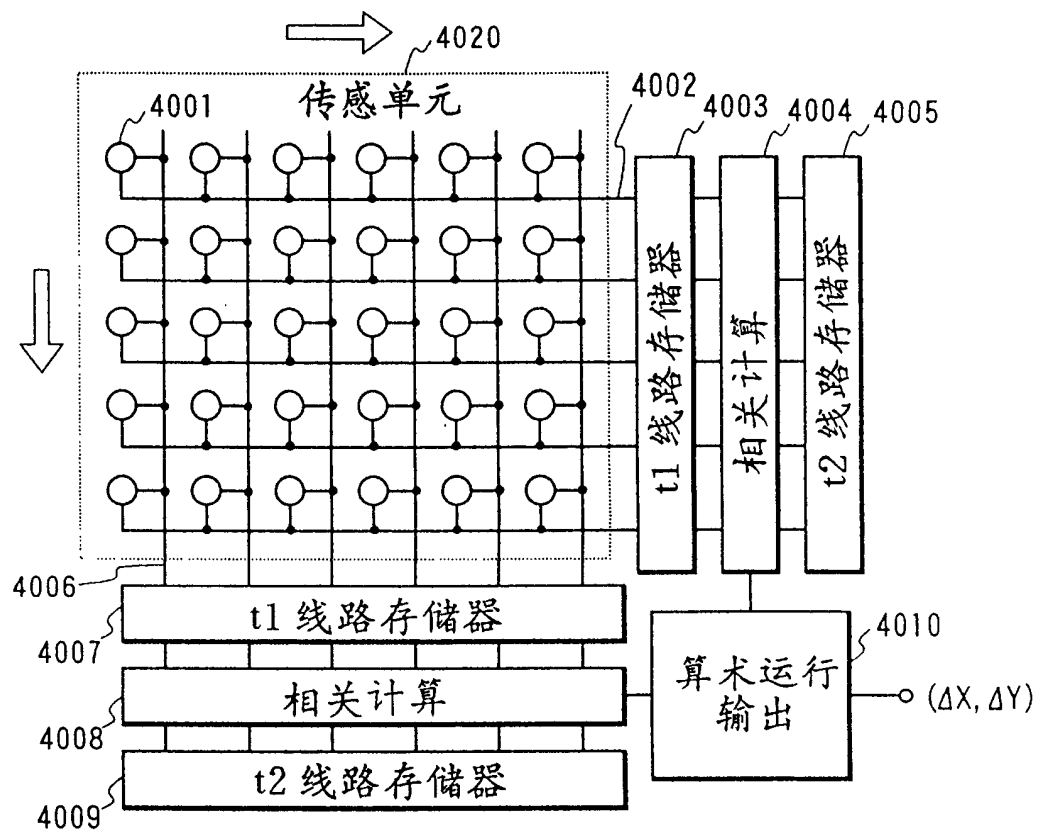


图 2 1 B

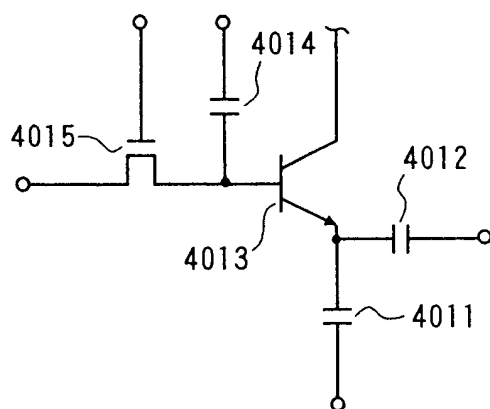


图 2 1 C

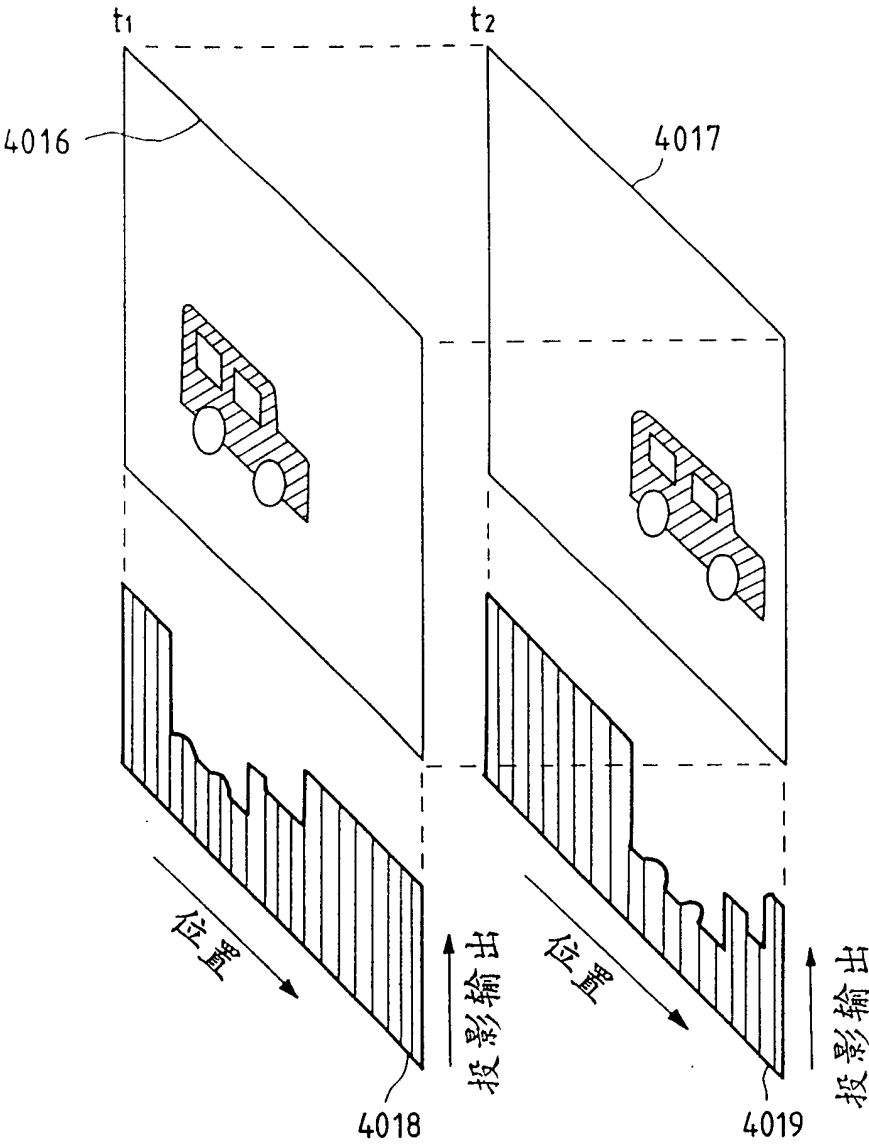


图 22

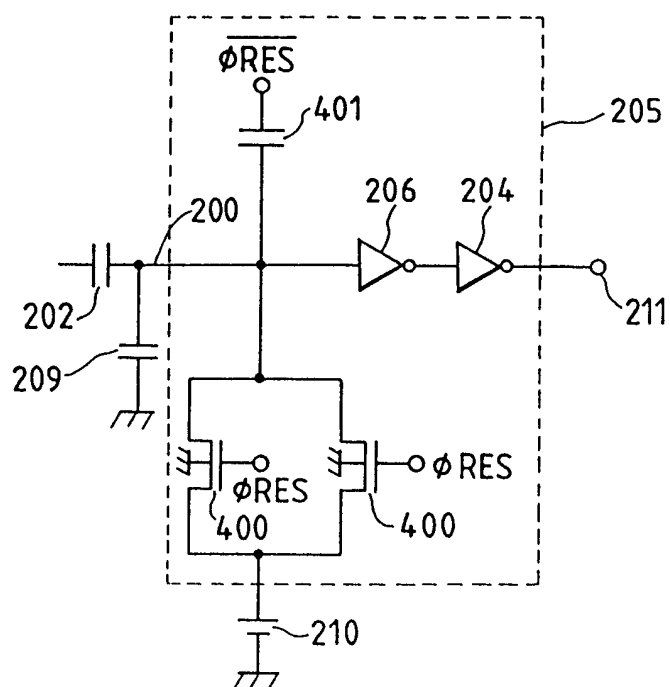


图 23A

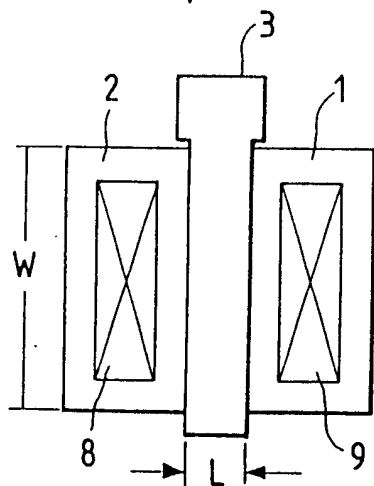


图 23B

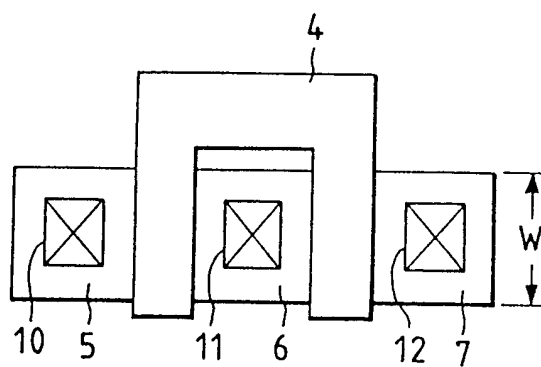


图 24

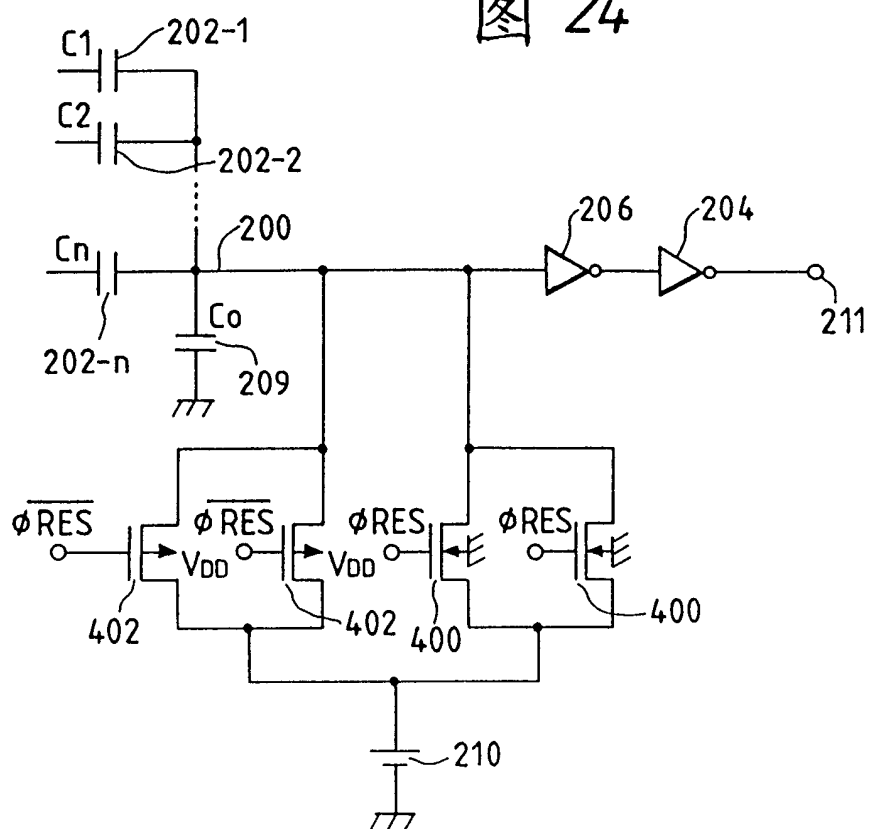


图 25

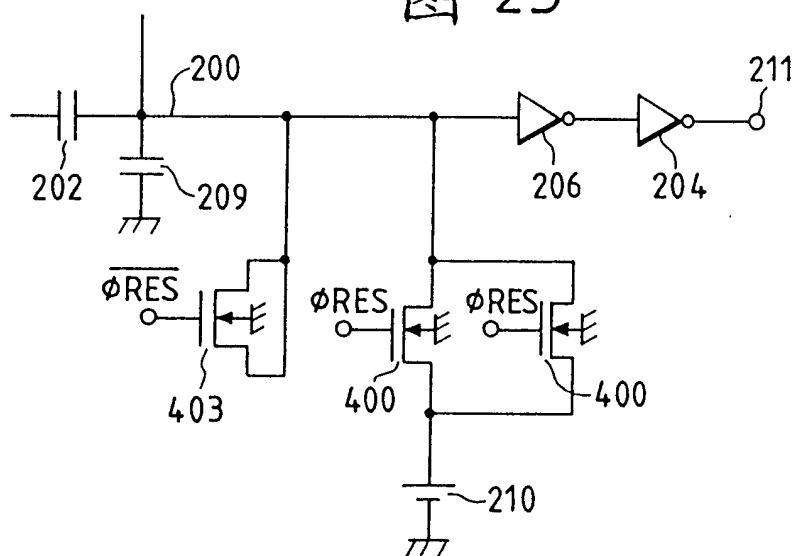


图 26A

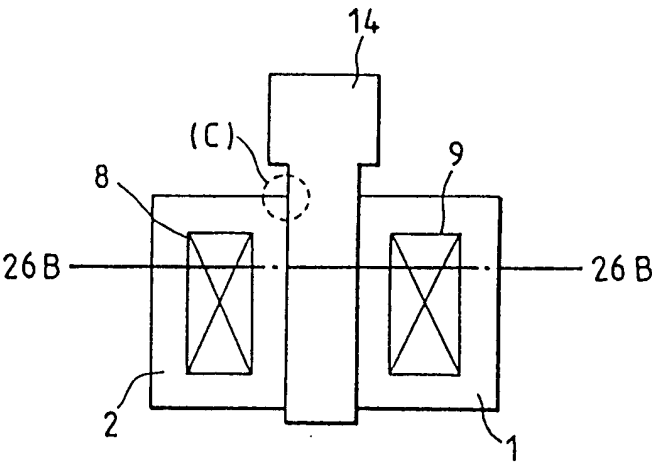


图 26B

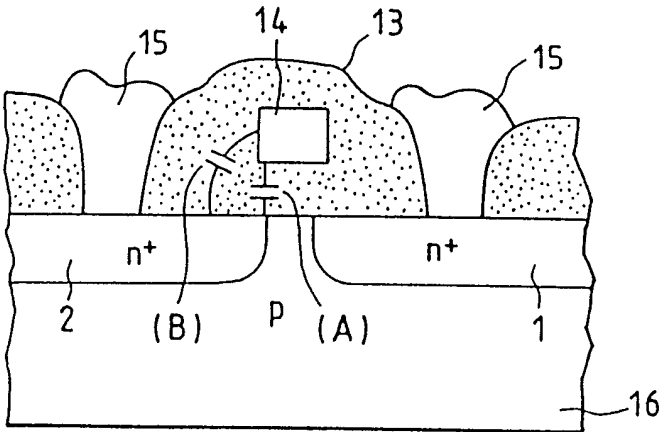


图 27

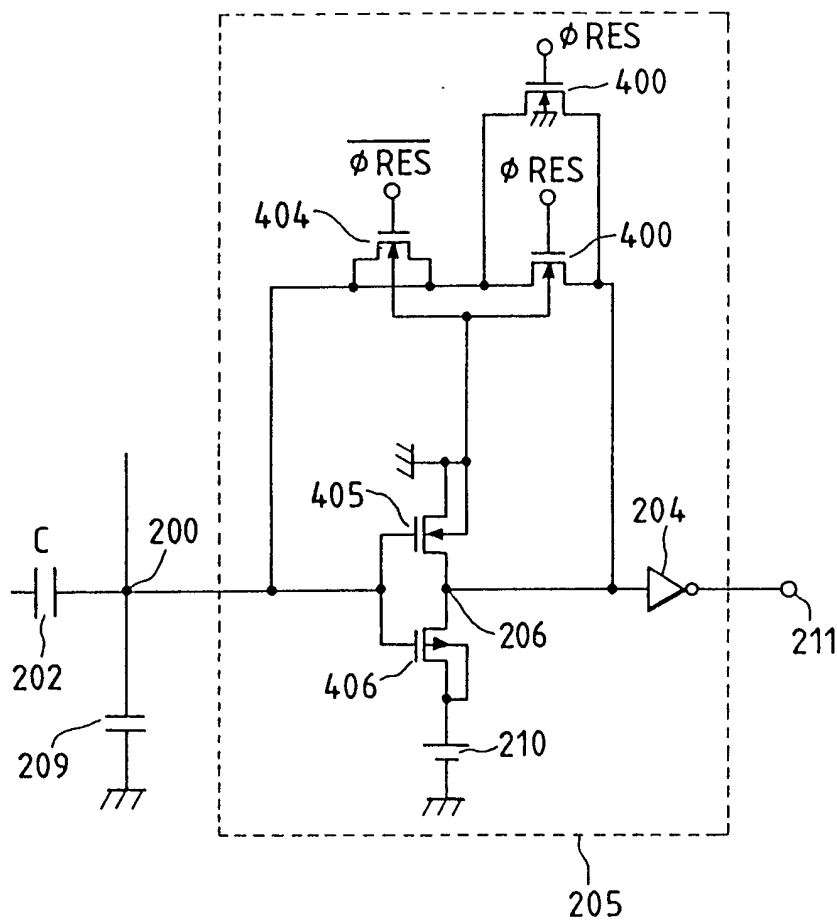
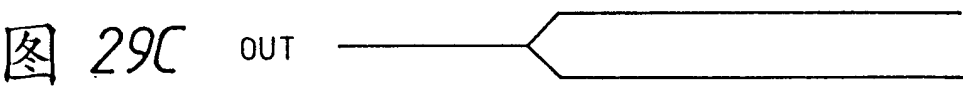
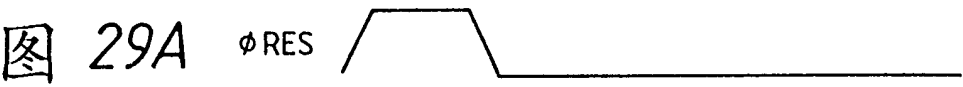
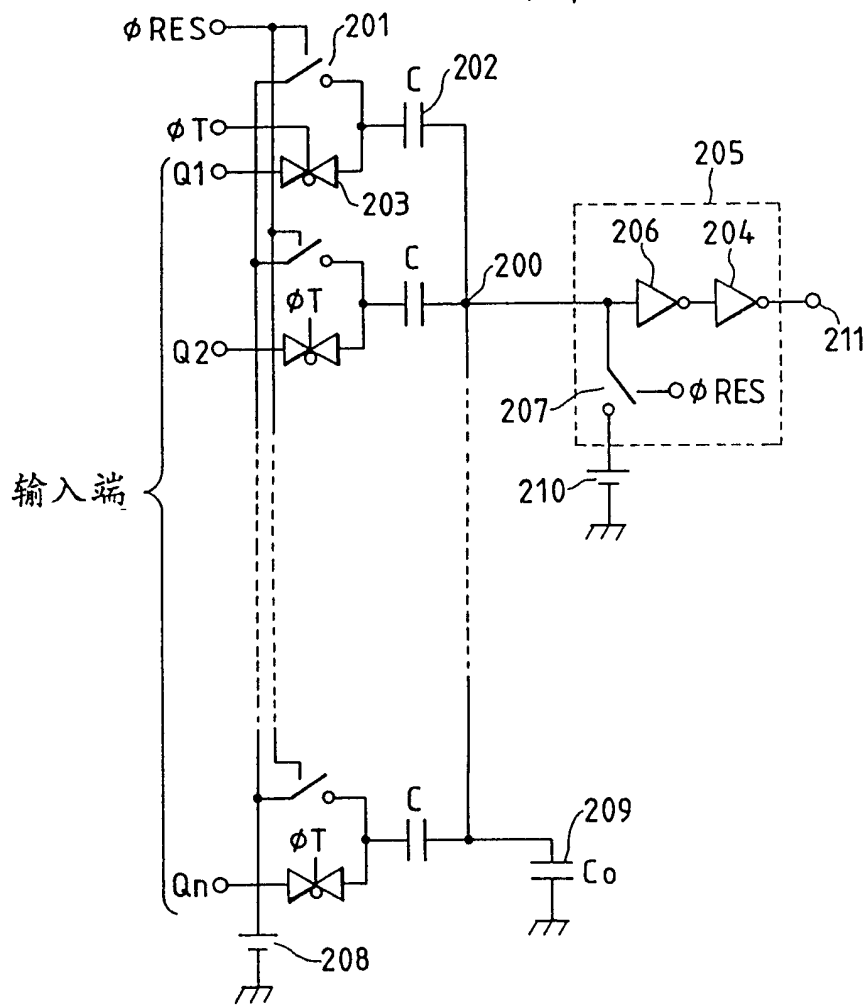


图 28



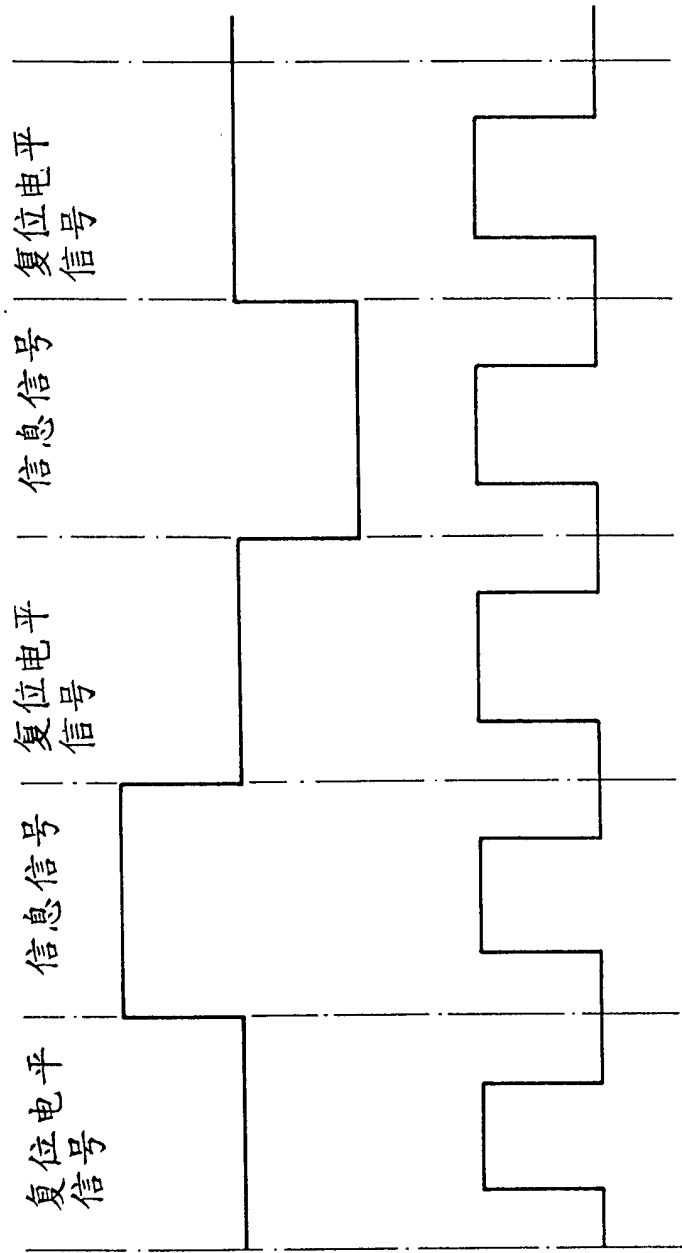


图 3 2 A IN

ϕT

图 3 2 B

图 33

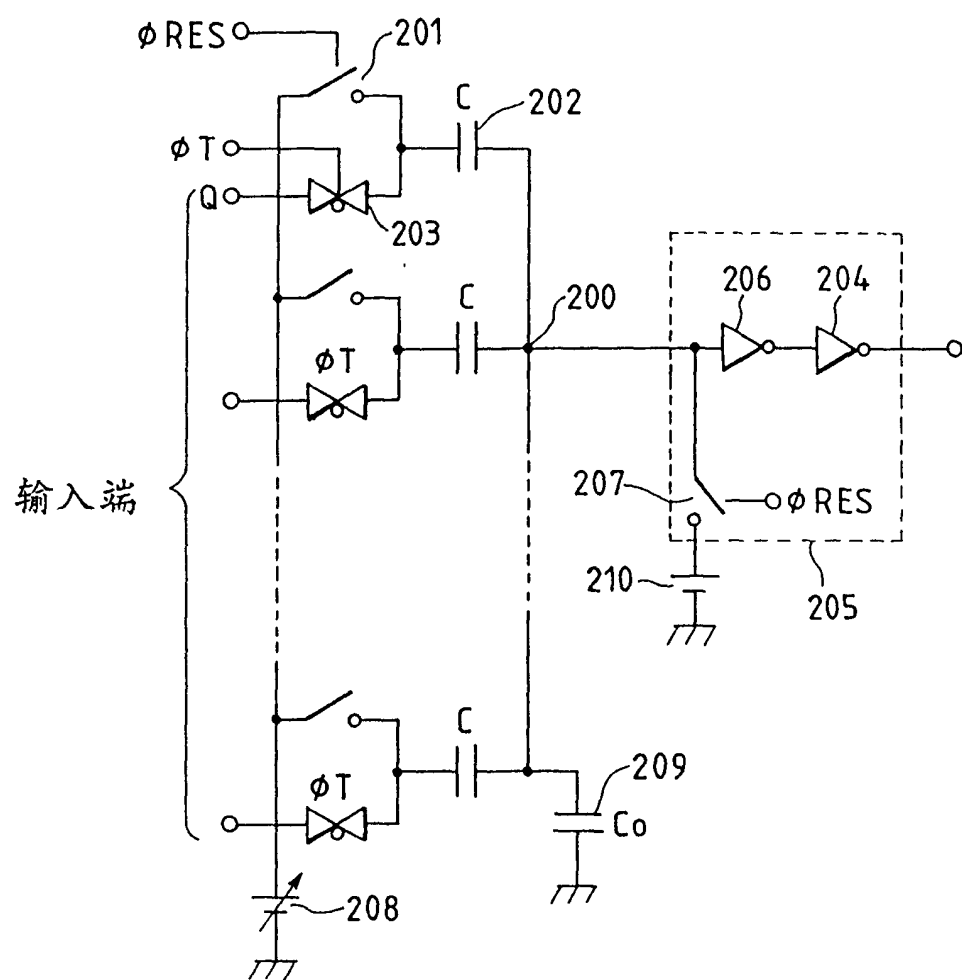


图 34A

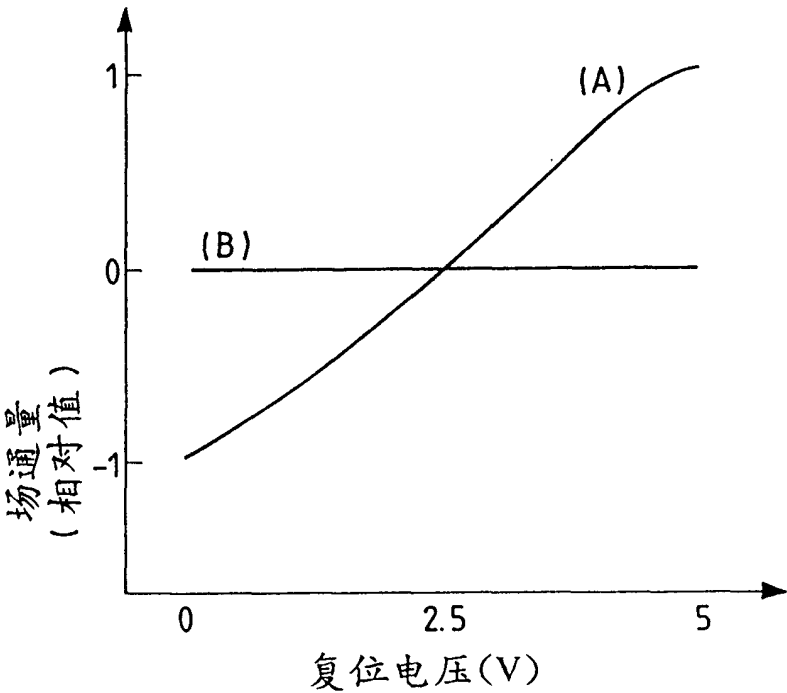
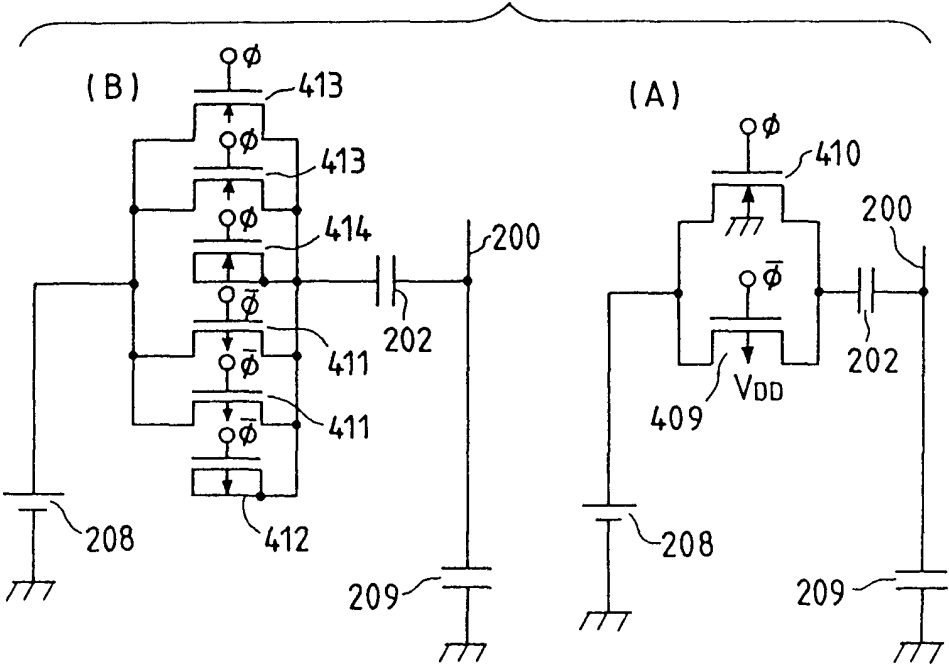


图 34B



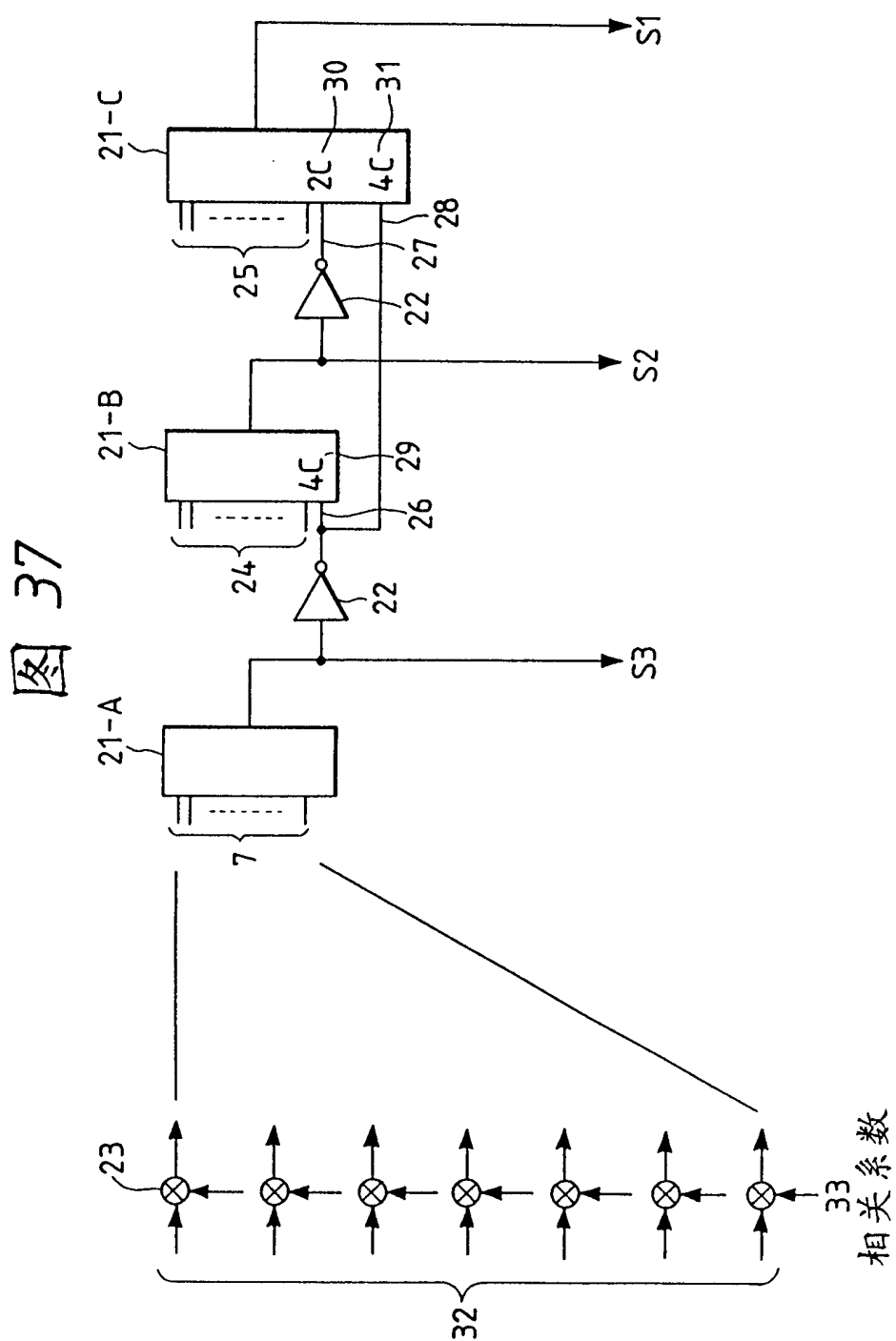


图 38

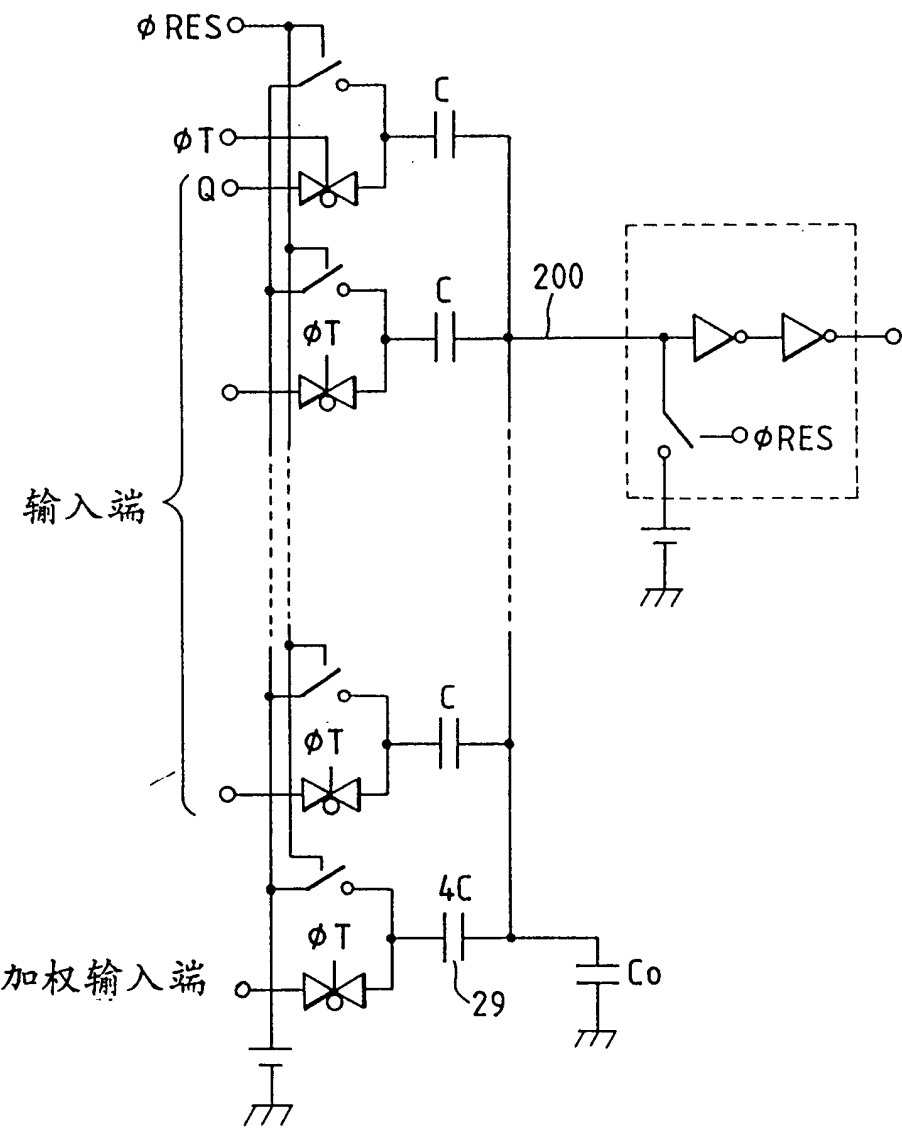


图 39

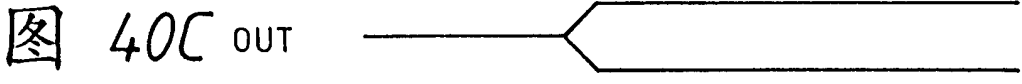
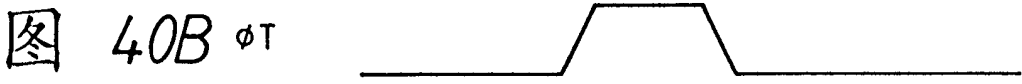
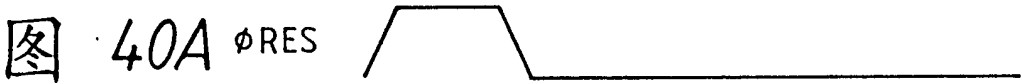
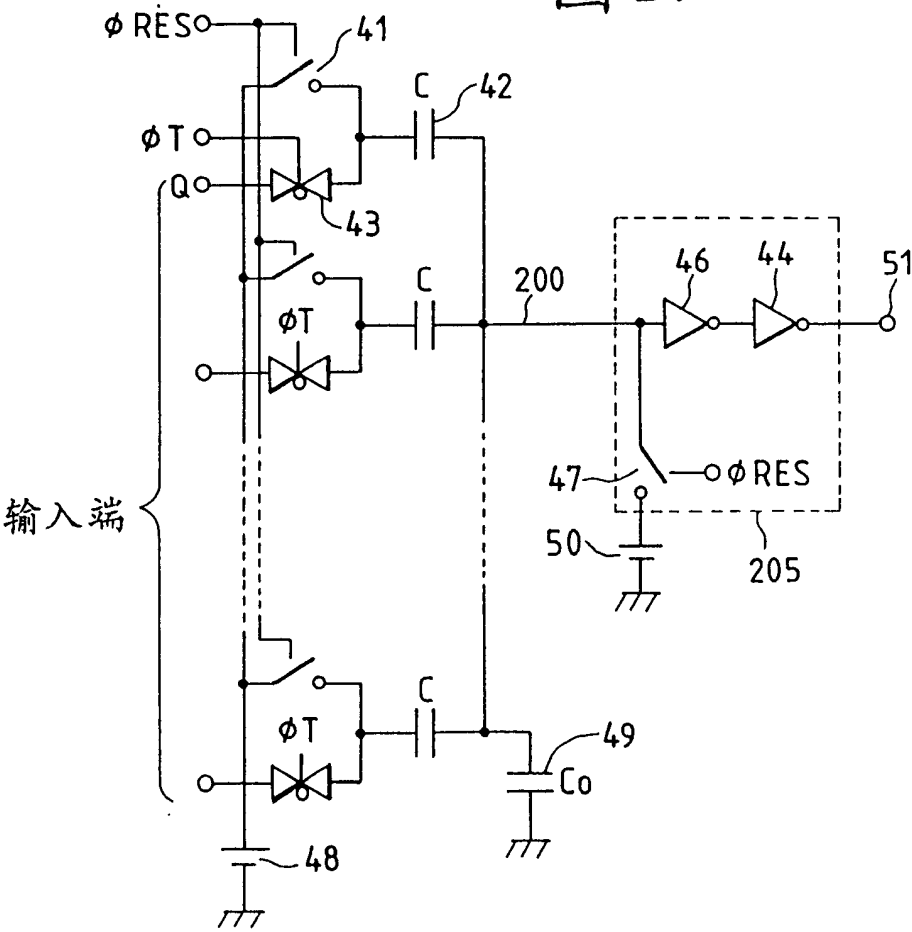


图 41

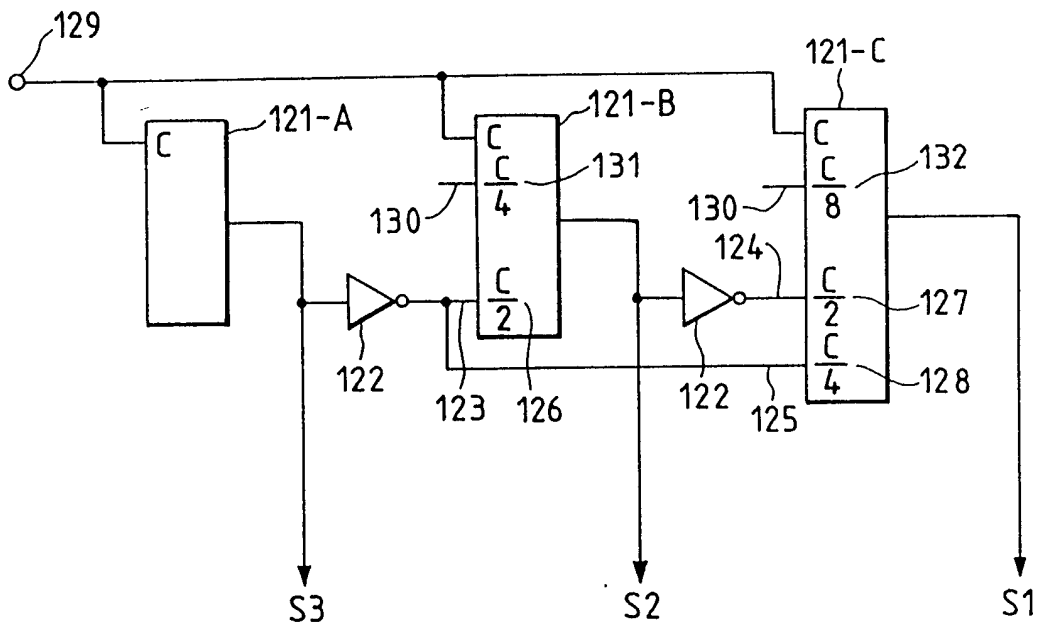


图 4 2

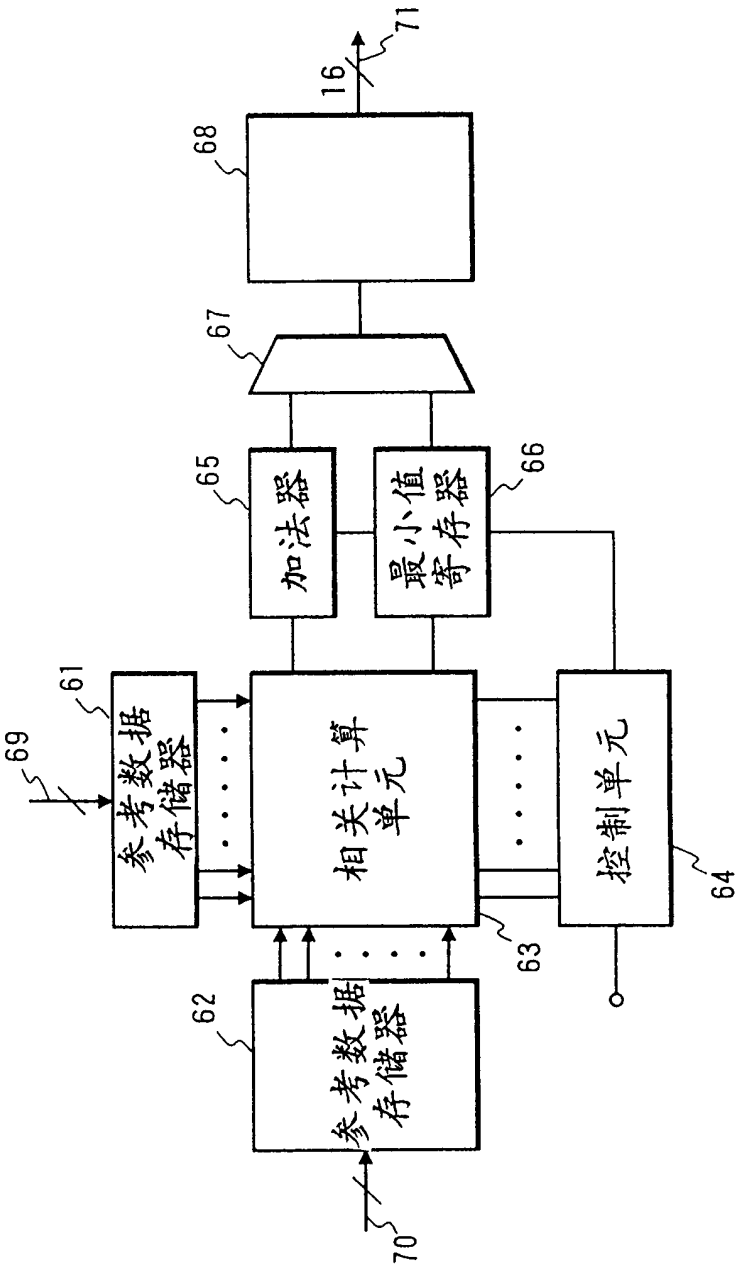


图 4 3 A

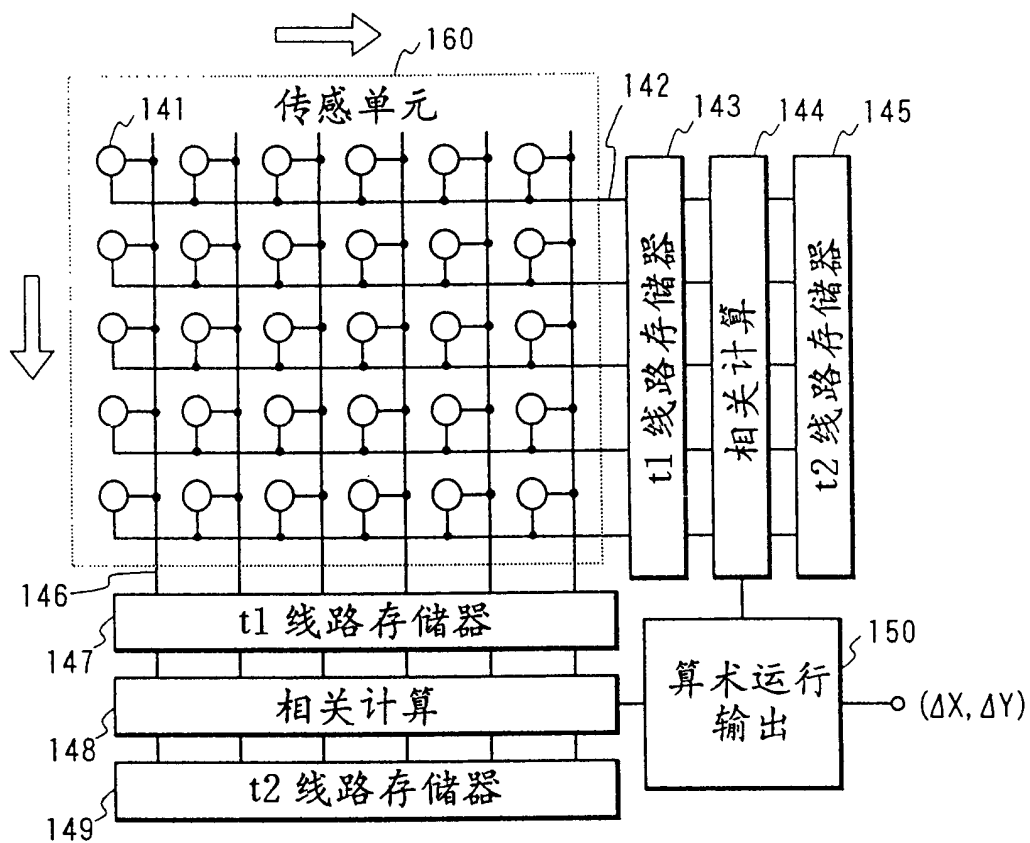


图 4 3 B

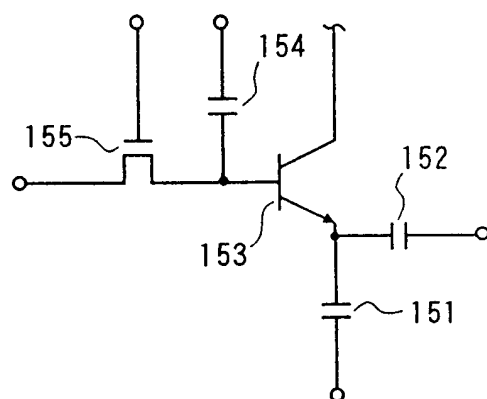


图 43C

