(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4068146号
(P4068146)
(45)発行日　平成20年3月26日(2008.3.26)　(24)登録日　平成20年1月18日(2008.1.18)

(51)Int.Cl.　F I
H03K 5/1252 (2006.01)　H03K 5/01 G

請求項の数 17 (全 8 頁)

(21)出願番号	特願平9-529098
(86)(22)出願日	平成9年2月14日(1997.2.14)
(65)公表番号	特表2000-510660(P2000-510660A)
(43)公表日	平成12年8月15日(2000.8.15)
(86)国際出願番号	PCT/GB1997/000405
(87)国際公開番号	WO1997/030516
(87)国際公開日	平成9年8月21日(1997.8.21)
審査請求日	平成16年2月9日(2004.2.9)
(31)優先権主張番号	9603223.0
(32)優先日	平成8年2月15日(1996.2.15)
(33)優先権主張国	英国(GB)

(73)特許権者
トリック　リミティド
イギリス国，ロンドン　エヌダブリュ１６エーディー，クラレンス　ゲート　ガーデンズ　１９０
(74)代理人
弁理士　青木　篤
(74)代理人
弁理士　鶴田　準一
(74)代理人
弁理士　島田　哲郎
(74)代理人
弁理士　水谷　好男
(74)代理人
弁理士　伊坪　公一

最終頁に続く

(54)【発明の名称】位相ノイズ軽減回路

(57)【特許請求の範囲】

【請求項１】

位相ノイズが存在しない公称パルス繰返し周波数ｆを有するパルスからなる入力パルス列の位相ノイズを軽減するための位相ノイズ軽減回路において、

前記入力パルス列から全てが同一長さを有するとともに前記入力パルス列を形成するパルスの負から正への転移または正から負への転移によってトリガーされるパルスからなる修正されたパルス列を得るためのパルス発生手段（１０）と、

前記修正パルス列からＤＣレベルを除去するＤＣ除去手段（２１）と、

積分パルス列（ＩＮＴ）を生成するため前記ＤＣ除去手段（２１）により前記修正パルス列からＤＣレベルが除去された後に前記修正パルス列を積分する積分手段（２２）と、

前記積分されたパルス列（ＩＮＴ）を基準レベルと比較し前記公称周波数ｆで現れる周期的な転移を含む出力パルス列（Ｏ）を生成する比較回路（２３）と、を備えたことを特徴とする位相ノイズ軽減回路。

【請求項２】

前記パルス発生手段（１０）は、前記入力パルス列中の負から正への転移または正から負への転移によってトリガーされる単安定回路（１０）を備える、請求の範囲１に記載の位相ノイズ軽減回路。

【請求項３】

前記単安定回路は、調整自在な遅延を有し、プリセットされた長さのパルスを形成する、請求の範囲２に記載の位相ノイズ軽減回路。

【請求項４】
前記出力パルス列（Ｏ）から前記公称周波数の１／２の周波数（ｆ／２）で現れる周期的な出力パルス列（Ｐ）を抽出する出力回路（３０）を備える、請求の範囲１乃至３の何れか一つに記載の位相ノイズ軽減回路。
【請求項５】
前記出力回路（３０）は、二等分回路（３０）を備える、請求の範囲４に記載の位相ノイズ軽減回路。
【請求項６】
前記周波数ｆ／２の前記出力パルス列（Ｐ）を前記公称周波数ｆの周期的パルス列に変換する周波数二倍器を備える、請求の範囲４または５に記載の位相ノイズ軽減回路。
【請求項７】
前記比較回路（２３）は、２進出力を発生し、前記積分されたパルス列（ＩＮＴ）のレベルが前記基準レベル（ＲＥＦ）と交差する度に、一方の２進状態から反対の２進状態に切換えるよう設けられた、請求の範囲１に記載の位相ノイズ軽減回路。
【請求項８】
位相ノイズが存在しない公称パルス繰返し周波数ｆを有するパルスからなる入力パルス列の位相ノイズを軽減するための位相ノイズ軽減回路において、
全てが前記入力パルス列の負から正への転移によってトリガーされるパルスからなる前記修正された第１のパルス列から前記第１出力パルス列を得るための請求の範囲１に記載された第１位相ノイズ軽減回路（２０’）と、
全てが前記入力パルス列の正から負への転移によってトリガーされるパルスからなる前記修正された第２のパルス列から前記第２出力パルス列を得るための請求の範囲１に記載された第２位相ノイズ軽減回路（２０"）と、
前記第１および第２出力パルス列からそれぞれ第１および第２周期的パルス列（Ｐ’、Ｐ"）を得る第１および第２出力回路（３０’、３０"）と、
前記第１および第２の周期的パルス列（Ｐ’、Ｐ"）を合成して前記公称周波数ｆの合成出力パルス列（Ｐ’"）を得る合成手段（５０）と、
を備えたことを特徴とする位相ノイズ軽減回路。
【請求項９】
前記入力パルス列は、インバータ回路（４０）を介して前記第１および第２の位相ノイズ軽減回路（２０’、２０"）のいずれか一方に供給される、請求の範囲８に記載の位相ノイズ軽減回路。
【請求項１０】
前記第１位相ノイズ軽減回路（２０’）のパルス発生手段（１０’）および前記第２位相ノイズ軽減回路（２０"）のパルス発生手段（１０"）は、単安定回路である、請求の範囲８または９に記載の位相ノイズ軽減回路。
【請求項１１】
前記単安定回路（１０’、１０"）は、調整自在な遅延を有し、プリセットされた長さのパルスを形成する、請求の範囲１０に記載の位相ノイズ軽減回路。
【請求項１２】
前記第１位相ノイズ軽減回路（２０’）の比較回路は、該第１位相ノイズ軽減回路（２０’）の前記積分手段により出力された前記積分パルス列が前記基準レベルを交差する度に、第１の２進出力を発生し、一方の２進状態から反対の２進状態に該第１の２進出力を切換えるよう設けられ、
前記第２位相ノイズ軽減回路（２０"）の比較回路は、該第２位相ノイズ軽減回路（２０"）の前記積分手段により出力された前記積分パルス列が前記基準レベルを交差する度に、第２の２進出力を発生し、一方の２進状態から反対の２進状態に該第２の２進出力を切換えるよう設けられた、請求の範囲８乃至１１の何れか一つに記載の位相ノイズ軽減回路。
【請求項１３】
前記合成手段（５０）は、排他論理和素子（５０）である、請求の範囲８乃至１２の何れ

か一つに記載の位相ノイズ軽減回路。
【請求項１４】
前記第１および第２の位相ノイズ軽減回路（２０’、２０"）のＤＣ除去手段は、前記第１および第２のパルス発生手段（１０’、１０"）の少なくとも一方から出力されるＤＣ成分にそれぞれ応答し、前記入力パルス列の公称周波数ｆの変化に伴って起こるＤＣレベルのステップ変化の影響を軽減する、請求の範囲８乃至１３の何れか一つに記載の位相ノイズ軽減回路。
【請求項１５】
前記第１および第２の位相ノイズ軽減回路（２０’、２０"）のＤＣ除去手段は、該第１および第２の位相ノイズ軽減回路（２０’、２０"）の積分手段からのフィードバック信号にそれぞれ応答して、前記入力パルス列の公称周波数ｆが変化するのに伴って起こるＤＣレベルのステップの変化の影響を軽減する、請求の範囲８乃至１４の何れか一つに記載の位相ノイズ軽減回路。
【請求項１６】
前記プリセットされた長さを切換えることにより、周波数が変化する過程においてマークスペース比をほぼ一定に維持する、請求の範囲３または１１に記載の位相ノイズ軽減回路。
【請求項１７】
複数の位相ノイズ軽減回路がカスケード接続されている、請求の範囲１乃至１６の何れか一つに記載の位相ノイズ軽減回路。
【発明の詳細な説明】
技術分野
本発明は位相ノイズ軽減回路に関する。
背景技術
発振器や周波数合成器のような周波数源からの出力は広帯域ノイズやディスクリート（個別）部品ノイズの形式の位相ノイズを常に含んでいる。位相ノイズは周波数源を含む（例えば、通信またはレーダーシステムのような）システムの性能を制限するという点で望ましくない現象である。従って、低位相ノイズ周波数源は発生する可能性がある位相ノイズの程度を制限するように構成されたなんらかの形の補償回路を組込む場合が多い。しかし、補償回路には、周波数源全体を複雑にし、コストを増大させるという欠点がある。
例えば、EP－Ａ－0089721は位相ロックループ及びこのループに接続されて、位相ジッターを軽減する補償回路を含む可変周波数合成器を開示している。この補償回路は積分器及び位相変調器を含む。積分器からの出力は位相ロックループ中の位相ノイズ量を表わし、この出力は位相変調器を制御するのに利用される。位相変調器は位相ロックループに供給される基準パルスの相対位相を調整して位相ノイズ量を軽減することによって積分器出力に応答する。
発明の開示
本願の第１の発明は、すべてが同じ長さを有し、位相ノイズが存在しなければ、公称周波数ｆを有するパルスから成る入力パルス列中の位相ノイズを軽減するための位相ノイズ軽減回路において、入力パルス列からDCレベルを除去するDC除去手段と、DC除去手段によってDCを除去された入力パルス列を積分する積分手段と、積分されたパルス列から、前記公称周波数の１／２の周波数１／２ｆで現われる周期的な転移を含む出力パルス列を得る処理手段と、を備えることを特徴とする位相ノイズ軽減回路を提供する。
本願の第２の発明は、周波数源によって形成され、位相ノイズが存在しなければ、公称周波数ｆを有する入力パルス列中に含まれる位相ノイズを軽減するための位相ノイズ軽減回路において、入力パルス列から、すべてが同じ長さを有し、入力パルス列を形成するパルスの負から正への転移（または正から負への転移）によってトリガーされるパルスから成る修正パルス列を得るためのパルス発生手段と、修正パルス列からDCレベルを除去するDC除去手段、DC除去手段によってDCレベルを除去された修正パルス列を積分する積分手段、及び積分されたパルス列から、前記公称周波数の１／２の周波数１／２ｆで現われる周期

的な転移を含む出力パルス列を得るための処理手段を含む補償手段と、を備えることを特徴とする位相ノイズ軽減回路を提供する。
本願の第３の発明は、周波数源によって形成され、位相ノイズが存在しなければ公称周波数ｆを有する入力パルス列中に含まれる位相ノイズを軽減するための位相ノイズ軽減回路において、入力パルス列から、すべてが同じ長さを有し、入力パルス列を形成するパルスの負から正への転移によってトリガーされる第１修正パルス列を得るための第１パルス発生手段と、入力パルス列から、すべてが同じ長さを有し、入力パルス列を形成するパルスの正から負への転移によってトリガーされる第２修正パルス列を得るための第２パルス発生手段と、第１修正パルス列からDCレベルを除去する第１DC除去手段、第１DC除去手段によってDCレベルを除去された第１修正パルス列を積分する第１積分手段及び第１積分手段によって出力される積分されたパルス列から、周期的であり、かつ周波数１／２ｆで現われる転移を含む第１出力パルス列を得るための第１処理手段を含む第１補償手段と、第２修正パルス列からDCレベルを除去する第２DC除去手段、第２DC除去手段によってDCレベルを除去された第２修正パルス列を積分する第２積分手段及び第２積分手段によって出力される積分されたパルス列から、周期的であり、かつ周波数１／２ｆで現われる転移を含む第２出力パルス列を得るための第２処理手段を含む第２補償手段と、第１及び第２パルス列から第１及び第２周期パルス列をそれぞれ抽出する第１及び第２出力回路と、第１及び第２周期パルス列を合成することにより、前記公称周波数ｆの合成出力パルス列を形成する合成手段と、を備えることを特徴とする位相ノイズ軽減回路を提供する。
本発明の位相ノイズ軽減回路は周波数源の出力において形成されるパルス列に対して作用することができ、周波数源そのものの一部を形成する必要がない。
【図面の簡単な説明】
添付の図面に沿って本発明の実施例を以下に説明する。添付の図面において、
図１は本発明の第１の位相ノイズ軽減回路を示すブロックダイヤグラムである。
図２（ａ）～２（ｄ）は図１に示す位相ノイズ軽減回路の動作を説明するための波形図である。
図３は図１に示した位相ノイズ軽減回路の一部を形成するSADC回路を示すブロックダイヤグラムである。
図４は本発明の第２の位相ノイズ軽減回路を示すブロックダイヤグラムである。
図５は図３に示すSADC回路の具体的な構成を示す回路図である。
発明を実施するための最良の形態
図１に示す位相ノイズ軽減回路は単安定回路10、自己調整遅延補償（SADC）回路20及び二等分回路30を直列に配列した構成である。
位相ノイズ軽減回路への入力Ｉ／Ｐを介して単安定回路10に入力パルス列Ｉが供給される。例えば発振器や周波数合成器のような適当な周波数源から発生する入力パルス列Ｉは理論上の、または公称のパルス繰返し周波数ｆを有するが、例えば時間ジッターのような位相ノイズの影響を受ける可能性もある。位相ノイズ軽減回路はこのような位相ノイズを軽減または解消するように構成されている。
この実施例では、単安定回路10が入力パルス列Ｉにおける負から正への転移（正から負への転移を利用することも可能である）によってトリガーされ、トリガーされると、すべてが同じ一定の長さを有するパルスから成る修正パルス列Ｍを出力する。位相ノイズ軽減回路が最適条件で動作するためには、単安定回路10から出力されるパルスが可能な最も高い入力パルス繰返し周波数ｆに相当する、入力パルス列Ｉ中の最短パルス間隔または周期よりも短くなければならない。具体的には、所与のパルス長さと単安定回路の回復時間との和が入力パルス列Ｉ中の最短パルス間隔よりも短くなければならない。
図２（ａ）は単安定回路10によって出力される修正パルス列Ｍからの短いシーケンスを示し、位相ノイズの影響を示唆している。この波形図から明らかなように、シーケンス中の第４パルスが欠落しており、その結果、平均パルス繰返し周波数ｆは公称パルス繰返し周波数ｆの３／４となる。欠落パルスは入力パルス列Ｉ中の位相ノイズに起因し、入力パルス列における位相の負方向２πジャンプ、または公称パルス繰返し周波数の１サイクルに

相当する時間Ｔ（＝１／ｆ）の負周波数パルスまたは負時間ジッター・ステップであると解釈できる。
図３に示すように、直列に配列されたDC除去回路21、積分器22及びコンパレータ23から成るSADC回路20に修正パルス列Ｍが供給される。
先ず、DC除去回路21が修正パルス列ＭからDC成分を除去する。その結果得られたパルス列は積分器22によって積分され、積分器出力INTがコンパレータ23に供給され、基準レベルREFと比較される。
図２（ｂ）は、図２（ａ）の修正パルス列Ｍから得られる積分器出力INTを示すとともに、積分器出力INTの振幅と比較される基準レベルREFをも示す。
コンパレータ23は２進出力を有し、積分器出力INTが基準レベルREFと交差すると、この出力を一方の２進状態（論理“１”）から他方の２進状態（論理“０”）に切換えるように構成されている。こうして、コンパレータ23はパルス列Ｏを出力する。図２（ｃ）は図２（ｂ）の積分器出力に応答してコンパレータ23が出力するパルス列Ｏの波形図であり、図２（ｃ）から明らかなように、出力パルス列Ｏ中の各転移は積分器出力INTと基準レベルREFとの各交差点と一致する。積分器出力INTは修正パルス列Ｍにまたがる位相の変化を表わし、コンパレータ23が出力パルス列Ｏ中の転移タイミングを自動的に調節することにより、転移がすべて基準レベルREFによって決定される、同じ相対位相において起こるようにする。その結果、SADC回路20が作用して入力パルス列Ｉ中に存在する位相ノイズを補償する。しかし、（積分器出力INTの前提となる）修正パルス列Ｍを形成するパルスは（この実施例の場合）いずれも入力パルス列Ｉ中の負から正への転移によってトリガーされるから、この実施例の場合、回路20が補償できるのは負から正への転移を起こさせる位相ノイズだけであり、正から負への転移を起こさせる位相ノイズを補償することはできない。従って、図２（ｃ）の出力パルス列Ｏ中の（ノイズを補償された）負から正へ転移するパルスは公称パルス繰返し周波数の１／２、即ち、１／２ｆで周期的に現われる。
位相ノイズの影響が排除されたあと、周期的な負から正への転移は入力パルス列Ｉにおける負から正への転移に対応し、図２（ｄ）は図２（ｃ）の出力パルス列Ｏを図１に示す二等分回路30に通すことによって周期的な負から正への転移から得られる対応のノイズ補償ずみ出力パルス列Ｐを示す。
SADC回路20は入力パルス列Ｉ中の一方向転移（即ち、負から正への転移または正から負への転移）を引き起す位相ノイズの補償だけに使用できるが、パルス列Ｐ（図２（ｄ））を周波数二倍器に通すことによって、ノイズを補償された公称パルス繰返し周波数ｆの出力パルス列を得ることができる。
上記実施態様とは異なるアプローチとして、それぞれが図１～３に沿って述べた構成を有する２つの全く同じノイズ軽減回路を使用し、図４に示すように組合わせることができる。
図４において、第１位相ノイズ軽減回路（NRC１）は直列に配列された第１単安定回路10’、第１SADC回路20’及び第１二等分回路30’から成り；第２位相ノイズ軽減回路（NRC２）は直列に配列された第２単安定回路10’’、第２SADC回路20’’及び第２二等分回路30’’から成る。第１及び第２位相ノイズ軽減回路NRC１，NRC２は互いに並列に接続されており、（公称パルス繰返し周波数ｆを有する）入力パルス列Ｉが第１単安定回路10’に直接供給され、インバータ40を介して第２単安定回路10’’に供給される。
図１～３に沿って述べた実施例の場合と同様に、第１単安定回路10’は入力パルス列Ｉ中の負から正への転移によってトリガーされる。従って、第１位相ノイズ軽減回路（NRC１）は入力パルス列Ｉ中の負から正への転移だけを引き起す位相ノイズの補償に有効であり、公称パルス繰返し周波数の１／２の周波数、即ち、１／２ｆを有する図２（ｄ）に示す波形の第１の周期的パルス列Ｐ’を出力する。
第２単安定回路10’’も負から正への転移によってトリガーされる。ただし、これらの転移はインバータ40を介して受信されるから、第２位相ノイズ軽減回路NRC２は入力パルス列Ｉ中の正から負への転移だけを引き起す位相ノイズの補償に有効である。従って、第２位相ノイズ軽減回路NRC２は図２（ｄ）に示す波形の、ただし、第１位相ノイズ軽減回路N

RC１から出力される第１パルス列Ｐ’とは直角位相関係にある第２の周期的なパルス列Ｐ’’を出力する。この２つのパルス列Ｐ’，Ｐ’’は排他的論理和素子50によって合成されて、入力パルス列Ｉに対応する、公称パルス繰返し周波数ｆを有する位相補償ずみ出力パルス列Ｐ’’’を形成する。

図５は図３に示すSADC回路の典型的な実施態様を示す。この実施態様においては、DC除去回路21がコンデンサＣ１から成り、積分器22が抵抗器Ｒ、演算増幅器Ａ１及び第２コンデンサＣ２の組合わせから成り、コンパレータ23が基準レベルREFを得るための基準入力を有する第２演算増幅器Ａ２から成る。

実際には、積分器ドリフトを防止または軽減するため回路構成を補足することができる。例えば、第１演算増幅器Ａ１からの出力とこの第１演算増幅器Ａ１への入力との間に少量の、詳しくは積分器22のDC周波数応答に実質的影響を及ぼすには不充分な量の抵抗性DCフィードバックを設けることによってこの目的を達成することができる。

図１～５に沿って述べた実施例の変更実施態様においては、すべての、またはそれぞれの単安定回路10；10’，10’’の出力に現われるDC成分からフィードフォワード信号を得る。フィードフォワード信号は、公称パルス繰返し周波数ｆが新しい周波数に変化すると、すべての、またはそれぞれのSADC回路20；20’，20’’への入力に現われるDCレベルのステップ変化を相殺または実質的に解消するのに利用され、DCレベルのステップ変化のサイズは周波数の変化のサイズに応じて異なる。すべての、またはそれぞれの積分器出力中のDC成分から得られるフィードバックによっても同様の相殺効果を達成でき、前記フィードフォワード信号と併用して相殺効果を補足することもできる。もしこの対策を講じなければ、すべての、またはそれぞれのSADC回路が大きい周波数ステップ変化のあとに望ましくない長いセトリング時間を必要とすることになる。

さらに異なる実施態様としては、それぞれの単安定回路の出力に現われる周波帯のマークスペース比を一定値にプリセットするのにフィードフォワード信号を利用する。この実施態様は（大きい）周波数ステップが指令された時、DC除去回路へのDCレベルのシフトを防止または最小限に抑制するのに有効である。

本発明のさらに他の実施態様として、図１～５に沿って述べたような位相ノイズ軽減回路を２つ以上直列に接続することによって、カスケード構造を形成することができる。これによって位相ノイズ軽減を段階的に進行させることができ、各段階の設計上の許容度をゆるめることができる。

以上の説明から明らかなように、本発明の位相ノイズ軽減回路は周波数源からの出力において発生するパルス列に対して動作することができ、周波数源そのものの一部を形成する必要はない。電力消費が比較的少ないから、応用範囲が広いことも本発明の回路の長所である。

【図１】

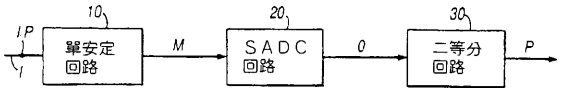


Fig. 1

【図２ａ】

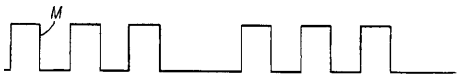


Fig. 2a

【図２ｂ】

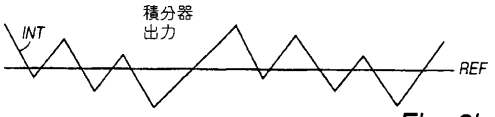


Fig. 2b

【図２ｃ】

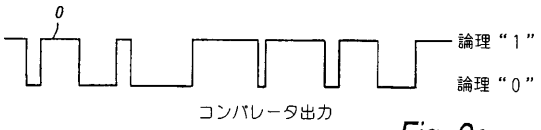


Fig. 2c

【図２ｄ】

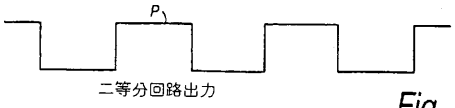


Fig. 2d

【図３】

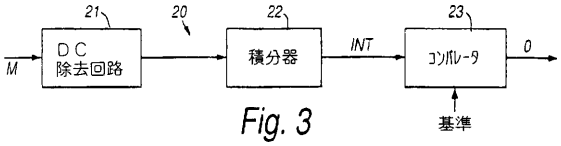


Fig. 3

【図４】

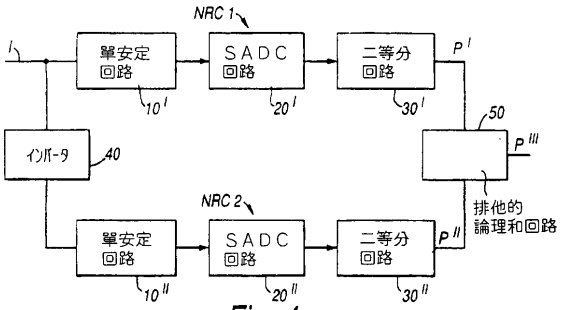


Fig. 4

【図５】

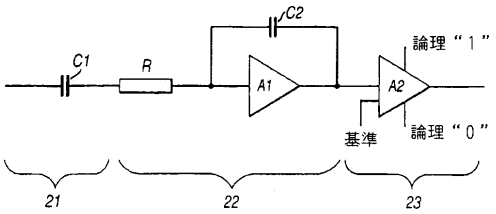


Fig. 5

フロントページの続き

(74)代理人
弁理士　西山　雅也
(72)発明者　アンダーヒル，マイケル，ジェイムズ
イギリス国，サリー　アールエイチ７　６エルエル，リングフィールド，タンドリッジ　レーン，ハッチゲート

審査官　石田　勝

(56)参考文献　特開平０４－２３１８８０（ＪＰ，Ａ）
特開平０１－２７６８１６（ＪＰ，Ａ）
特開平０１－１４６４２２（ＪＰ，Ａ）
特開平０３－２０６７０８（ＪＰ，Ａ）
特開平０４－０８７４１７（ＪＰ，Ａ）
特開平０１－３１７０４３（ＪＰ，Ａ）
特開平０７－３３６２０１（ＪＰ，Ａ）
特開平０３－２２８４２４（ＪＰ，Ａ）
特開平０４－１８３１０９（ＪＰ，Ａ）
特開平０４－０６８７１０（ＪＰ，Ａ）
特開平０７－３２１６１２（ＪＰ，Ａ）
特開昭６２－０４８１１６（ＪＰ，Ａ）
特開昭５６－１４６３２３（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H03K　5/00 - 5/02,5/08 - 5/12,5/15 - 5/26