



(12)发明专利申请

(10)申请公布号 CN 107408573 A

(43)申请公布日 2017. 11. 28

(21)申请号 201580076556.1

M·乌阿利耶 S·德拉热

(22)申请日 2015.12.29

(74)专利代理机构 北京戈程知识产权代理有限公司 11314

(30)优先权数据

代理人 程伟 王锦阳

1403025 2014.12.30 FR

(85)PCT国际申请进入国家阶段日

(51)Int. Cl.

2017.08.18

H01L 29/778(2006.01)

(86)PCT国际申请的申请数据

H01L 29/20(2006.01)

PCT/EP2015/081346 2015.12.29

(87)PCT国际申请的公布数据

W02016/107870 FR 2016.07.07

(71)申请人 泰勒斯公司

地址 法国库尔布瓦

申请人 原子能和能源替代品委员会

(72)发明人 R·奥布里 J-C·雅凯

O·帕塔尔 N·米歇尔

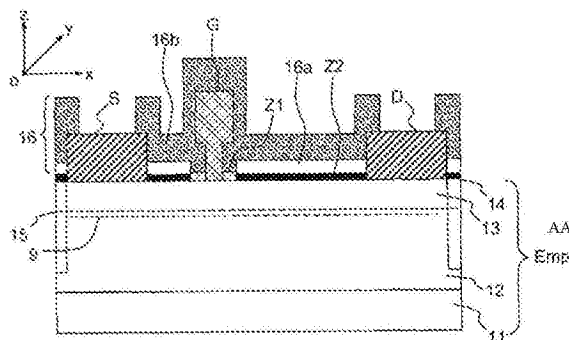
权利要求书2页 说明书8页 附图6页

(54)发明名称

场效应晶体管的半导体材料堆叠的上表面的多层钝化

(57)摘要

本发明涉及一种场效应晶体管,其包括半导体材料的堆叠(Emp),该堆叠的上表面(14)被包括两个子层的钝化层(16)覆盖,两个子层为:第一子层(16a),其在第二低强度区域(Z2)上延伸,所述第一子层(16a)包括具有电击穿电场 E_{c11} 的第一材料,所述第一子层(16a)的负载严格小于堆叠的所述上表面(14)的负载;以及第二子层(16b),其在第一高强度区域(Z1)上延伸并且覆盖所述第一子层(16a),所述第二子层(16b)包括第二材料,所述第二材料的电击穿电场 E_{c12} 严格大于 E_{c11} 。



AA堆叠

1. 一种场效应晶体管,包括:
 - o 半导体材料的堆叠 (Emp),其沿着z轴包括二元、三元或四元氮化合物;
 - o 漏极 (D)、源极 (S) 和栅极 (G);
 - o 钝化层 (16),其设置在所述堆叠 (Emp) 的上表面 (14) 的顶部上,所述钝化层 (16) 包括两个子层 (16a;16b);其特征在于,所述漏极 (D),所述源极 (S) 和所述栅极 (G) 限定:
 - o 高电场强度的第一区域 (Z1),当电压差 (V_{bs} , V_{gs} 分别地) 施加在漏极 (D) 和源极 (S) 之间或栅极 (G) 和源极 (S) 之间时,所述第一区域限定在栅极 (G) 和漏极 (D) 之间或栅极 (G) 和源极 (S) 之间的栅极 (G) 的基部处,以及
 - o 低电场强度的第二区域 (Z2);并且其特征在于:
 - o 所述第一子层 (16a) 在第二区域 (Z2) 上延伸,包括具有电击穿电场 E_{c11} 的第一材料 (Mat1),所述第一子层 (16a) 的电荷严格少于堆叠 (Emp) 的所述上表面 (14) 的电荷,
 - o 所述第二子层 (16b) 在所述第一区域 (Z1) 上延伸,覆盖所述第一子层 (16a) 并且包括具有严格大于 E_{c11} 的电击穿电场 E_{c12} 的第二材料 (Mat2)。
2. 根据权利要求1所述的晶体管,其中,所述第一子层 (16a) 的电荷少于或等于所述上表面 (14) 的电荷的1%。
3. 根据权利要求1或2所述的晶体管,其中,所述第一子层 (16a) 在z轴方向上的厚度大于或等于20nm。
4. 根据前述权利要求中的任一项所述的晶体管,其中,第一材料 (Mat1) 包括氮化硅或氧化铝 (Al_2O_3)。
5. 根据权利要求4所述的晶体管,其中,通过感应耦合等离子体化学气相沉积 (ICP-CVD) 或原子层沉积 (ALD) 来制造第一材料 (Mat1)。
6. 根据前述权利要求中的任一项所述的晶体管,其中,第二材料 (Mat2) 包括氮化硅 (SiN)、氧化硅 (SiO_2) 或氮化铝 (AlN)。
7. 根据权利要求6所述的晶体管,其中,通过等离子体增强化学气相沉积 (PECVD)、通过阴极溅射或通过带有热处理的原子层沉积 (ALD) 来获得第二材料。
8. 根据前述权利要求中的任一项所述的晶体管,其中,所述第二子层 (16b) 在z轴方向上的厚度大于或等于50nm。
9. 一种在如前述权利要求中任一项所述的晶体管的堆叠 (Emp) 上制造钝化层 (16) 的方法,包括:
 - 第一步骤,合成第一子层 (16a),所述第一子层 (16a) 包含第二区域 (Z2) 上的第一材料 (Mat1),
 - 第二步骤,合成第二子层 (16b),所述第二子层 (16b) 包括在子层 (16a) 和第一区域 (Z1) 上的第二材料 (Mat2)。
10. 根据权利要求9所述的方法,其中,通过仅修改堆叠 (Emp) 的上表面 (14) 的第一原子层和第二原子层的方法来合成第一材料 (Mat1)。
11. 根据权利要求10所述的方法,其中,通过感应耦合等离子体化学气相沉积 (ICP-CVD) 或原子层沉积 (ALD) 来合成第一材料 (Mat1)。

12. 根据权利要求9至11中任一项所述的方法, 其中, 第二材料 (Mat2) 的合成温度 (T_{synth}) 高于当晶体管工作时在第一区域 (Z1) 上观察到的最高温度。

13. 根据权利要求12所述的晶体管, 其中, 通过等离子体增强化学气相沉积 (PECVD) 方法、通过阴极溅射或通过带有热处理的原子层沉积 (ALD) 来合成第二材料 (Mat2)。

场效应晶体管的半导体材料堆叠的上表面的多层钝化

技术领域

[0001] 本发明涉及高电子迁移率晶体管 (HEMT) 类型的场效应晶体管。

[0002] 更确切而言,本发明涉及这样的堆叠:由该堆叠制造HMET,该HMET用作低噪声放大器或功率放大器,用作开关或者用作振荡器,并且覆盖通常在1MHz和100GHz之间(包含1MHz和100GHz)的频率范围。且更具体而言,涉及保护堆叠的上表面的被称为“钝化层”的层。

背景技术

[0003] “钝化层”是指设置在堆叠的上表面上的材料层,其旨在保护元件免受腐蚀、机械磨损和化学侵蚀,以及调节表面电荷的状态。

[0004] 图1示出了在衬底11上制造的经典的基本HEMT系统的结构在平面xOz上的截面视图。通常使用绝缘或半导体衬底11,其包括例如硅(Si),碳化硅(SiC)或蓝宝石(Al_2O_3),在其上制造至少两个半导体层的堆叠Emp,所述至少两个半导体层沿着z轴在平面xOy上延伸。

[0005] 第一或缓冲层12具有宽的禁带带隙,并且由公知的宽带隙半导体材料组成。缓冲层12例如包括下述材料,所述材料包括例如GaN的二元氮化合物,或例如AlGaN(或更准确地为 $Al_xGa_{1-x}N$)的III族元素的三元氮化物(称为III-N)。沿z轴的缓冲层12的厚度通常在 $0.2\mu m$ 和 $3\mu m$ 之间(包含 $0.2\mu m$ 和 $3\mu m$)。

[0006] 称为阻挡层的第二层13具有比缓冲层12更宽的禁带带隙。

[0007] 该阻挡层13包括基于Al、Ga、In或B的III族元素的四元,三元或二元氮化合物(称为III-N)的材料。阻挡层13的厚度通常在5nm和40nm之间(包含5nm和40nm)。

[0008] 例如,对于GaN缓冲层12,阻挡层13可以包括 $Al_xGa_{1-x}N$ 或 $In_{1-x}Al_xN$,或者 $In_{1-x}Al_xN/AlN$ 序列或 $Al_xGa_{1-x}N/AlN$ 序列。根据铝的含量x, $Al_xGa_{1-x}N$ 和 $In_{1-x}Al_xN$ 的禁带带隙宽度分别在3.4eV(GaN)和6.2eV(AlN)之间以及0.7eV(InN)和6.2eV(AlN)之间变化。可以以示例的方式列举这样的基于GaN的缓冲层12:其阻挡层基于AlGaN或InAlN,并且更准确而言,基于 $Al_xGa_{1-x}N$ 或 $In_zAl_{1-z}N$,其中x通常在15%和35%之间(包含15%和35%),而z通常在15%和25%之间(包含15%和25%)。

[0009] 缓冲层12和阻挡层13通常通过金属有机气相外延(MOCVD)或分子束外延(MBE)制造。

[0010] 在堆叠Emp的上表面14上可以存在附加层,特别是钝化层16。

[0011] 缓冲层12和阻挡层13之间的结形成同样在平面xOy中延伸的异质结15,在该平面中选择轴(0,x,y,z)系统的原点O。

[0012] HEMT通常包括沉积在堆叠Emp的上表面14上的源极S,漏极D和栅极G。栅极G设置在源极S和漏极D之间,并用于控制晶体管。

[0013] 源极S和漏极D之间的电导通过栅极G(通常为肖特基或MIS(金属/绝缘体/半导体)类型)的静电作用而受到调制,而施加在栅极G和源极S之间的电压 V_{GS} 控制晶体管。

[0014] 二维电子气(2DEG)9位于异质结15附近。这些电子在平面xOy中是可移动的并且具有高的电子迁移率 μ_e ;电子迁移率 μ_e 通常大于 $1000cm^2/Vs$ 。

[0015] 在晶体管的正常操作中,这些电子不能在z方向流动,这是因为它们在异质结15附近被限制在平面xOy中形成的势阱中。因此,限制在被称作品体管的沟道中的电子气9能够传输在漏极D和源极S之间流动的电流 I_{DS} 。

[0016] 通常,在源极S和漏极D之间施加电势差 V_{DS} ,一般使用接地源极S,而电流 I_{DS} 的值是施加在栅极G和源极S之间的电压 V_{GS} 的函数。

[0017] 晶体管效应是基于控制电极G的静电作用对源极S和漏极D的接触部之间的电导 g_m 的调制。该电导的变化与沟道中的自由载流子数成比例,且因此与源极S和漏极D之间的电流成比例。

[0018] 晶体管放大效应使得可以将施加到栅极G的弱信号变换为在漏极D处获得的更强的信号。

[0019] 图2示出了在异质结15附近的电荷分布。

[0020] 这里,缓冲层12和阻挡层13包含来自III-N族的强电负性材料。当来自这个族的两个不同的化合物接触时,固定电荷出现在它们的界面处,所述电荷可以是正的 σ^+ (如图2所示),或负的 σ^- 。该固定电荷吸引移动电荷:当固定电荷为正时吸引电子(如图2所示),而当固定电荷为负时则吸引空穴。正是这些移动电荷 e_m 在漏极D和源极S之间被施加电压时产生电流。

[0021] 事实上,(特别是包括GaN型缓冲层12的)HEMT结构具有这样的特有特征:使二维气体9靠近堆叠 E_{mp} 的上表面14,通常是以在2和30nm之间(包含2和30nm)的距离。

[0022] 这种二维气体9是通过堆叠 E_{mp} 中的电荷的平衡而产生的。因此,其完全取决于存在于堆叠 E_{mp} 的上表面14上的电荷,并且更准确地说,取决于存在于堆叠 E_{mp} 的上表面14与钝化层16之间的界面17处的电荷。

[0023] 换句话说,二维气体9包括电荷(在此为电子),且这些电荷在某种程度上说是存在于堆叠 E_{mp} 表面上的电荷的映像(1' image)。这里,二维气体9的表面电荷密度为 10^{13} 电子 \cdot cm $^{-2}$,其同样对应于堆叠 E_{mp} 的上表面的表面电荷密度。

[0024] 此外,钝化层16的一个功能是在使深电性中心中的陷阱最小化的配置中,固定在堆叠 E_{mp} 的上表面14上的表面态,而不受晶体管的使用条件以及施加在源极S和栅极G之间的电压的影响,以在晶体管的整体操作期间内获得接近最大电流的电流。

[0025] 深能级中心是这样的杂质,其能级比导带最小值高2至3倍的热激活能($3/2k_b*T$) (对于N型杂质而言),或者比价带的最大值高2至3倍的热激活能($3/2k_b*T$) (对于P型杂质而言)。在室温下,热激活能约为40meV。因此,当中心位于距离这些极值之一超过100meV处时,该中心将被认为是深能级的,这是掺杂有受主型杂质的GaN的情形。当对晶体管供电时,这些中心会带负电的,并且由于它们是深能级的,因此它们不会在高于1兆赫兹的工作频率下放电。这样的结果是减少了存在于导电沟道中的移动电荷 e_m 的数量,从而降低了电流。

[0026] 因此,该方案还具有产生弥散(dispersion)、降低晶体管的效率和晶体管可输出的功率的主要缺点。随着晶体管的工作电压 V_{DS} 的增加(通常高于20V),性能下降加剧。

[0027] 目前,钝化层16包括通常包含氮化硅(SiN)或氧化硅(SiO $_2$)的单层材料,使得可以减小在堆叠 E_{mp} 的上表面14和钝化层16之间的界面17处的陷阱的影响。这种钝化保护半导体材料的堆叠 E_{mp} ,以用于激进的工作条件,例如大于 6×10^6 V/cm的高电场和大于300°C的高工作温度。

[0028] 图3a示出了现有技术的晶体管的剖面,其包括在堆叠Emp的上表面14的表面上单个钝化层16,而图3b是在图3a的方框内的栅极G的基部(也被称作栅极基部)的更大尺度的视图。

[0029] 堆叠的上表面14包括源S,栅极G和漏极D。

[0030] 这里,根据现有技术,堆叠Emp的上表面14被连续的单个钝化层16覆盖,所述单个钝化层16通常包括氮化硅SiN。

[0031] 图4a对应于当施加20V的电压 V_{DS} 并且在栅极长度 L_g 的每毫米测量出为200mA的漏极电流 I_{DS} 时,对在栅极基部G附近的在图3b所示的剖面上的电场强度的绘制。换句话说,当二维气体9流动时。

[0032] 这里,电场强度的值由灰度等级表示,电场强度高的区域以浅灰色表示,而较低电场强度的区域以深灰色表示。换句话说,电场强度越高,相关的区域越浅。

[0033] 这里,可以关注两个区域Z1、Z2:设置在栅极G和漏极D之间的栅极G的基部处,在距栅极G的基部大约 $0.15\mu\text{m}$ 的距离上的高电场强度的第一区域Z1,在高电强度的第一区域Z1上的电场强度在 $3.75 \times 10^6\text{V} \cdot \text{cm}^{-1}$ 和 $5 \times 10^6\text{V} \cdot \text{cm}^{-1}$ 之间;以及从高强度的第一区域Z1延伸并且在上表面14的其余部分上延伸的较低电场强度的第二区域Z2,在第二区域Z2上的电场强度小于 $1 \times 10^6\text{V} \cdot \text{cm}^{-1}$ 。

[0034] 图4b是突出显示当对栅极G施加负偏压而阻止二维气体9流动时的电场强度的对图3b的绘制。这里,栅极G和源极之间的电势差 V_{GS} 为 -6V 。如在图4a中一样,同样可以区分出分别具有高和低电场强度的第一区域Z1和第二区域Z2。

[0035] 高强度的第一区域Z1比之前更宽;其从栅极G的基部开始并延伸 $0.25\mu\text{m}$ 的距离。与栅极G直接接触的高强度的第一区域Z1的部分具有大于 $5 \times 10^6\text{V} \cdot \text{cm}^{-1}$ 的电场强度。电场的强度随后在远离栅极G的基部的距离时逐渐减小,从而在距离栅极G的基部 $0.12\mu\text{m}$ 的距离处达到小于 $2.5 \times 10^6\text{V} \cdot \text{cm}^{-1}$ 的值。钝化层16的其余部分的电场强度小于 $2.5 \times 10^6\text{V} \cdot \text{cm}^{-1}$ 。

[0036] 高电场强度的第一区域Z1还经受可能高达 400°C 的高的温度提升。

[0037] 图5是对根据相对于栅极基部G的距离的电场的演变的模拟。

[0038] 图5a示出了分别对于不允许二维气体9的移动电荷流动的夹断晶体管以及允许电子流动的导通晶体管的,在距离堆叠Emp表面5nm处(即,现有技术的单个钝化层内部)的,根据相对于栅极基部的距离的模拟电场强度曲线31和32。

[0039] 曲线31是对于零电压 V_{DS} 和等于 -5V 的电压 V_{GS} 的,根据距离的电场强度的模拟图形表示。换句话说,这涉及对当晶体管夹断时(即当在栅极下方的二维气体减少时)的电场的估计。电场强度(曲线31)在远离栅极G的方向上减小。其在栅极基部附近急剧下降,而然后更加缓慢地降低。实际上,与栅极G接触时,电场强度为 $7.2 \times 10^6\text{V}/\text{cm}$,而在相对于栅极基部G $0.025\mu\text{m}$ 的距离处,强度减小了一半。在距离栅极基部 $0.3\mu\text{m}$ 的距离处,电场强度只有 $10^6\text{V}/\text{cm}$ 。

[0040] 曲线32是对于零电压 V_{DS} 和零电压 V_{GS} 的根据距离的电场强度的模拟图形表示,测量的电流 I_{DS} 为 $200\text{mA}/\text{mm}$ 。换句话说,二维气体9在沟道中流动。曲线32与曲线31相似。与栅极基部接触时,电场强度为 $5 \times 10^6\text{V}/\text{cm}$,然后在远离栅极基部的方向迅速减小。

[0041] 图5b示出了在沟道内部的根据相对于栅极基部G的距离的电场强度的模拟曲线33和34。

[0042] 与图5b中的曲线31和32的情况形成对照,曲线33是沟道内部(即在埋藏于堆叠中的平面中)的电场强度的模拟图形表示。当晶体管夹断时,该电场的模拟是对于零电压 V_{DS} 和等于 $-5V$ 的电压 V_{GS} 的关于距栅极基部G的距离的函数。

[0043] 面临栅极基部的沟道中的电场强度达到 $3.5 \times 10^6 V/cm$ 的值。该值是最外表面处的估计值(图5a)的一半。该值随距离而迅速减小。

[0044] 以与之前相同的方式,曲线33是对当二维气体流动时在沟道中的电场强度的估计。面临栅极基部的沟道中的电场强度达到 $2.5 \times 10^6 V/cm$ 的值。

[0045] 这些模拟表明,紧邻栅极基部附近(即在第一区域Z1上)的电场强度非常高,并且可以达到 $7 \times 10^6 V/cm$,并且在远离栅极基部的方向上非常快速地减小。堆叠Emp的上表面14的其余部分构成较低强度的第二区域Z2。

[0046] 这些激进条件(大于 $7MV/cm$ 的高电场,高于 $350^\circ C$ 的高温)会劣化现有技术的钝化层16。

[0047] 特别是,随后可能由于存在于周围大气中的氢氧根离子而改变堆叠Emp的上表面14的表面态。

发明内容

[0048] 因此,本发明的一个目的是提出一种尤其可以改善晶体管的性能的钝化层。

[0049] 根据本发明的一个方面,提出一种场效应晶体管,其包括:

[0050] ○半导体材料的堆叠(Emp),其沿着z轴包括二元、三元或四元氮化合物;

[0051] ○漏极(D)、源极(S)和栅极(G);

[0052] ○钝化层(16),其设置在所述堆叠(Emp)的上表面(14)的顶部上,所述钝化层(16)包括两个子层(16a;16b);

[0053] 其特征在于,所述漏极(D)、所述源极(S)和所述栅极(G)限定:

[0054] ○当电压差(V_{DS} , V_{GS} 分别地(respectivement))施加在漏极(D)和源极(S)之间或栅极(G)和源极(S)之间时,在栅极(G)和漏极(D)之间或栅极(G)和源极(S)之间的栅极(G)的基部处的高电场强度的第一区域(Z1),以及

[0055] ○低电场强度的第二区域(Z2);

[0056] 并且其特征在于:

[0057] ○所述第一子层(16a)在第二区域(Z2)上延伸,包括具有电击穿电场 E_{c11} 的第一材料(Mat1),所述第一子层(16a)的电荷严格少于堆叠(Emp)的所述上表面(14)的电荷,

[0058] ○所述第二子层(16b)在所述第一区域(Z1)上延伸,覆盖所述第一子层(16a)并且包括具有严格大于 E_{c11} 的电击穿电场 E_{c12} 的第二材料(Mat2)。

[0059] 第二材料Mat2的电击穿电场有利地大于在栅极基部处的最大电场。

[0060] 第二材料Mat2的合成温度 T_{synth} 有利地高于当晶体管工作时在第一区域Z1上达到的最高温度 T_{Z1} 。

[0061] 晶体管的所述第一子层16a的电荷有利地少于或等于所述上表面14的电荷的1%。

[0062] 第二材料的合成温度是指当制造该材料时所达到的温度。

[0063] 包括至少两个子层的钝化层的制造使得可以实现稳定表面态和保护堆叠表面抵抗诸如高电场或高温的激进使用条件的功能。

- [0064] 第一材料的剩余电荷密度有利地小于或等于上表面每单位面积的电荷密度的1%。
- [0065] 第一子层在z轴方向上的厚度有利地大于或等于20nm。
- [0066] 第一材料有利地包括氮化硅(SiN)或氧化铝(Al₂O₃)。优选地通过感应耦合等离子体化学气相沉积(ICP-CVD)或原子层沉积(ALD)来制造第一材料。
- [0067] 该制造方法能够原子层接原子层地沉积氮化硅,这能够实现高纯度的(特别是几乎不含氧的)材料的制造,这限制了第一子层的表面反应性。以这种方式形成的第一子层随着时间的推移是稳定的。
- [0068] 第二材料有利地包括通过等离子体增强化学气相沉积(PECVD)、通过阴极溅射或通过原子层沉积(ALD)而获得的氮化硅SiN、氧化硅或氮化铝。
- [0069] 上述方法可以制造出耐受高于阈值 $10^5\text{V}\cdot\text{cm}^{-1}$ 的高电场,和高于300°C的温度的材料。
- [0070] 第二子层在z轴方向上的厚度有利地大于或等于50nm,以便包封第一子层并使第一子层的表面与周围大气保持距离。
- [0071] 根据本发明的另一方面,提出了一种在前述权利要求中任一项所述的晶体管的堆叠上制造钝化层的方法,所述方法包括:
- [0072] -第一步骤,合成第一子层,所述第一子层包含第二区域上的第一材料,
- [0073] -第二步骤,合成第二子层,所述第二子层包括在子层上和第一区域上的第二材料。
- [0074] 有利地通过仅修改堆叠的上表面的第一原子层和第二原子层的方法来合成第一材料。
- [0075] 有利地通过感应耦合等离子体化学气相沉积(ICP-CVD)或原子层沉积(ALD)来合成第一材料。
- [0076] 第二材料的合成温度有利地高于当晶体管工作时在第一区域上观察到的最高温度。
- [0077] 有利地通过等离子体增强化学气相沉积(PECVD)方法来合成第二材料。

附图说明

- [0078] 通过阅读以非限制性示例给出的以下描述且借助于所附附图,本发明将得到更好的理解并且其它优点将变得明显,所述附图中:
- [0079] -已经引用的图1示意性地表示了经典HEMT结构的一部分,
- [0080] -已经引用的图2表示经典HEMT的异质结附近的电荷分布,
- [0081] -图3a示意性地示出了堆叠Emp的剖面,并且图3b以更大的尺度显示位于栅极的基部处的图3a中的方框区域,
- [0082] -图4a和图4b分别是对当晶体管工作时(曲线32和34)和晶体管夹断时(曲线31和33)的栅极基部处的电场强度的绘制,
- [0083] -图5a和图5b表示根据距离的电场强度的模拟曲线,
- [0084] -图6是根据本发明的钝化层的示意表示,
- [0085] -图7a和图7b表示了分别具有现有技术的钝化层和根据本发明的钝化层的晶体管

的特性曲线。

具体实施方式

[0086] 图6是包括根据本发明的钝化层的堆叠的剖面的示意图。

[0087] 堆叠Emp包括叠加的半导体材料的层。堆叠Emp特别包括衬底11,缓冲层12和阻挡层13。在堆叠Emp的上表面14上设置有源极S,栅极G和漏极D。上表面14,栅极G,源极S和漏极D由根据本发明的钝化层16覆盖。这里,阻挡层13可以包括InAlGa_N,AlGa_N或AlN。现在,镉,镓和氮的原子特别不稳定,并且可以容易地与周围大气的分子反应,这会改变堆叠Emp的上表面14的表面态,从而改变了二维气体9在沟道内的流动。事实上,如已经提到的那样,二维气体9尤其取决于堆叠Emp的上表面14的表面态。

[0088] 因此,本发明的构思在于将钝化层设置在上表面14的表面上。钝化层16包括两种不同的材料,以便实现钝化层的两个不同功能。

[0089] 钝化层16包括两个子层16a和16b:第一子层16a包括第一材料Mat 1,第一材料Mat 1设置在堆叠Emp的上表面14的第二区域Z2上,用于包封堆叠的表面以固定表面态;而第二子层16b设置在堆叠Emp的上表面14的第一区域Z1上以及第一子层16a上,第二子层16b包括第二材料Mat 2,其特别地用于保护堆叠的上表面14免受高电场强度影响。

[0090] 这里,第一材料Mat 1包括通过例如原子层沉积(ALD)的沉积方法制造的氮化硅SiN或Al₂O₃的氮化物。

[0091] 该方法尤其能够通过原子层接原子层地制造沉积物,从而能够制造第一材料Mat1的致密且弱反应性沉积物。然而,ALD的使用并不意味着制造致密且弱反应性的材料:这些特性可能随着沉积参数的变化而变化,在本发明的实施方案中对这些沉积参数进行选择,以适于制造致密且弱反应性的材料。

[0092] 然而,可以设想能够制造致密且弱反应性沉积物的其它所谓的“软”沉积方法,例如感应耦合等离子体化学气相沉积(ICP-CVD)。

[0093] 软沉积法是指最多改变沉积物制造所在的材料的最外表面的方法。最外表面通常对应于一层或甚至两层原子层。优选地,软沉积方法不改变沉积物制造所在的材料的表面。

[0094] 上述方法通常不包括对沉积物制造所在的表面的电子或离子轰击的步骤。可以以示例的方式举出旋涂沉积法。

[0095] 以这种方式制造子层16a具有的电荷(即每单位面积的电荷)严格少于堆叠Emp的上表面14的电荷,并且更准确地说,与所述子层16a接触的上表面14的电荷。子层16a的电荷有利地少于二维气体9的电荷的数个百分比,并且更准确地说,小于或等于二维气体9的电荷的10%,并且优选地小于二维气体9的电荷的1%。二维气体9的电荷是上表面14的电荷的函数,并且基本上等于上表面14的电荷。所述第一子层的电荷有利地少于或等于所述上表面14的电荷的10%,并且优选地少于或等于所述上表面14的电荷的1%。因此,通过如对待表面一样对待子层16a,子层16a的表面电荷密度 δ_{mat1} 优选地为在 10^{10} 与 10^{12} 电荷·cm⁻²之间(包含 10^{10} 与 10^{12} 电荷·cm⁻²)。

[0096] 堆叠Emp方向上的第一子层16a的厚度有利地大于20nm,以固定堆叠Emp的上表面14的表面态。

[0097] 这里,第二子层16b包括耐受高电场强度和高于200℃的高温的第二材料Mat2,第

二子层16b设置在高强度的第一区域Z1上以及在第一子层16a上。

[0098] 第二材料Mat2有利地包括通过等离子体增强化学气相沉积 (PECVD)、通过阴极溅射或通过原子层沉积 (ALD) 和热处理而制造的氮化硅SiN, 氧化硅SiO₂或氮化铝AlN。材料Mat2的层的ALD沉积的参数与可能用于沉积材料Mat1的层的沉积的参数不同。

[0099] 以这种方式制造的这些材料更加耐受高温和高电场强度。在本发明的实施方案中, 第二子层16b的击穿电场E_{c12}严格地大于第一子层16a的击穿电场E_{c11}。在其它事项中选择沉积子层16的方法以允许这种不同。

[0100] 堆叠Emp方向上的在第一子层16a上方的第二子层16b的厚度有利地大于50nm, 以使第一子层16a的表面与周围大气保持距离。

[0101] 图7a和7b表示分别对于包括现有技术的单个钝化层和根据本发明的钝化层的晶体管而言, 针对不同栅极电压值的晶体管特性曲线。

[0102] 图7a表示包括现有技术的单个钝化层的晶体管的特性曲线。对于不同的静态点 (points de repos) 而产生的脉冲测量使得能够量化电荷效应。

[0103] 粗线曲线41a、42a、43a、44a、45a、46a和47a表示对于静态点V_{GS}=0V和V_{DS}=0V以及对于+1V到-5V的不同的栅极电压的, 根据施加在漏极和源极之间的脉冲电压V_{DS}的漏极电流I_D。

[0104] 这些曲线对应于当晶体管第一次使用时, 或者换句话说, 当预先未对晶体管施加偏压时的标称模式V_{GS}=0V和V_{DS}=0V。

[0105] 单线曲线41b、42b、43b、44b、45b、46b和47b表示对于静态点V_{GS}=-V_p和V_{DS}=0V以及对于+1V至-5V的不同的栅极电压的, 根据施加在漏极D和源极S之间的电压V_{DS}的漏极电流I_D。

[0106] 虚线曲线41c、42c、43c、44c、45c、46c和47c表示对于静态点V_{GS}=-V_p和V_{DS}=25V以及对于+1V至-5V的不同的栅极电压的, 根据施加在漏极D和源极S之间的脉冲电压的漏极电流I_D。

[0107] 对应于静态点V_{GS}=-V_p和V_{DS}=0V与V_{GS}=-V_p和V_{DS}=25V的条件等效于当晶体管在微波频率下工作时晶体管的偏置条件。

[0108] 在第一次使用期间, 对于为+1V的栅极电压 (曲线41a), 即对于允许电子通过的电压, 电流在达到1.1A/mm的值的稳定水平之前以线性方式增大。随后的V_{DS}=25V和V_{GS}=-V_p (曲线41c) 的偏压, 且对于+1V的栅极电压而言, 电流值到达0.75A/mm的值的稳定水平。

[0109] 这里, 在对包括现有技术的单个钝化层的晶体管的漏极电流I_D的测量之间观察到最大电流的较大下降: 一方面在利用静态点V_{GS}=0和V_{DS}=0 (曲线41a) 而进行使用期间, 以及另一方面在利用模拟在V_{GS}=-V_p和V_{DS}=25V (曲线41c) 工作的晶体管的静态点而进行使用期间。电流的下降估计为约37%, 并且可能归因于深能级中心对电子em的捕获。

[0110] 对于其他组的曲线 (42a; 42b; 42c) 至 (47a; 47b; 47c), 在针对第一次使用的晶体管的曲线42a至47a和模拟工作中的晶体管的曲线42c到47c之间同样存在最大漏极电流I_D的下降。

[0111] 此外, 如果栅极电压V_{GS}下降到具有较高绝对值的负值, 则最大漏极电流I_D减小。事实上, 可以认为这样的栅极电压与沟道的夹断电压或沟道的关断电压相似。换句话说, 栅极电压的绝对值增大得越大, 沟道中流动的电子就越少, 因此漏极电流I_D越低, 直到其对于等

于夹断电压的栅极电压而达到基本上等于零的值。这里,这样的栅极电压 V_G 为 $-5V$ 。

[0112] 图7b表示包括根据本发明的多层钝化层的晶体管的特性曲线。

[0113] 曲线51a、52a、53a、54a、55a、56a和57a表示对于静态点 $V_{GS}=0V$ 和 $V_{DS}=0V$ 以及对于从 $+1V$ 到 $-5V$ 的不同的栅极电压的,根据施加在漏极和源极之间的脉冲电压 V_{DS} 的漏极电流 I_D 。

[0114] 曲线51a、52a、53a、54a、55a、56a和57a对应于当晶体管第一次使用时,或者换句话说,当预先未对晶体管施加偏压时的第一次使用 $V_{GS}=0V$ 和 $V_{DS}=0V$ 。

[0115] 曲线51b、52b、53b、54b、55b、56b和57b表示对于静态点 $V_{GS}=-V_p$ 和 $V_{DS}=0V$ 以及对于从 $+1V$ 到 $-5V$ 的不同的栅极电压的,根据施加在漏极和源极之间的脉冲电压的漏极电流。

[0116] 曲线51c、52c、53c、54c、55c、56c和57c表示对于静态点 $V_{GS}=-V_p$ 和 $V_{DS}=25V$ 以及对于从 $+1V$ 到 $-5V$ 的不同的栅极电压的,根据施加在漏极和源极之间的脉冲电压 V_{DS} 的漏极电流 I_D 。

[0117] 对应于静态点 $V_{GS}=-V_p$ 和 $V_{DS}=0V$ 以及 $V_{GS}=-V_p$ 和 $V_{DS}=25V$ 的条件等效于当晶体管在微波频率下工作时晶体管的偏置条件。

[0118] 在标称模式下,即在预先偏置而第一次使用期间,对于为 $+1V$ 的栅极电压(曲线51a),即对于允许电子通过的栅极电压 V_{GS} ,电流在达到 $1.6A/mm$ 的值的稳定水平之前以线性方式增大。

[0119] 在没有预先偏置而第一次使用期间,包括根据本发明的多层钝化层的晶体管的漏极电流 I_D 高于包括现有技术的单个钝化层的晶体管的漏极电流。

[0120] 因此可以得出下述结论:即使在标称模式下,一些电子 e_m 在堆叠中被捕获,而使用根据本发明的多层钝化层16能够限制对电子的捕获。

[0121] 此外,对于静态点 $V_{GS}=V_p$ 和 $V_{DS}=25V$,且对于为 $+1V$ 的栅极电压,电流 I_D 的值达到 $1.5A/mm$ 的值的稳定水平,即大约7%的电流下降。

[0122] 因此,根据本发明的钝化层的制造使得堆叠的上表面的表面态能够固定,并且因此通过避免在深中心处的电子的捕获而将二维气体限制在沟道中。

[0123] 此外,根据本发明的钝化层能够保护堆叠而免受高电场强度和高温的影响。因此,提高了包括根据本发明的钝化层的晶体管的性能。

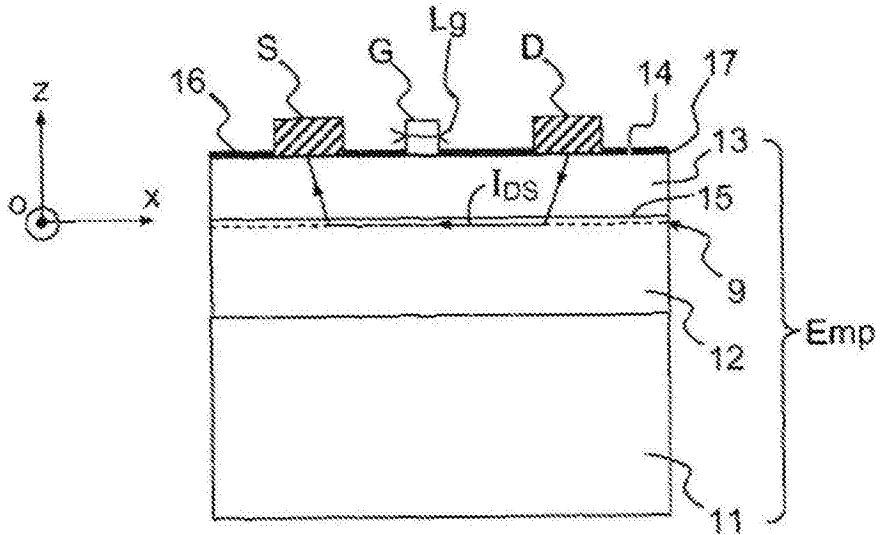


图1

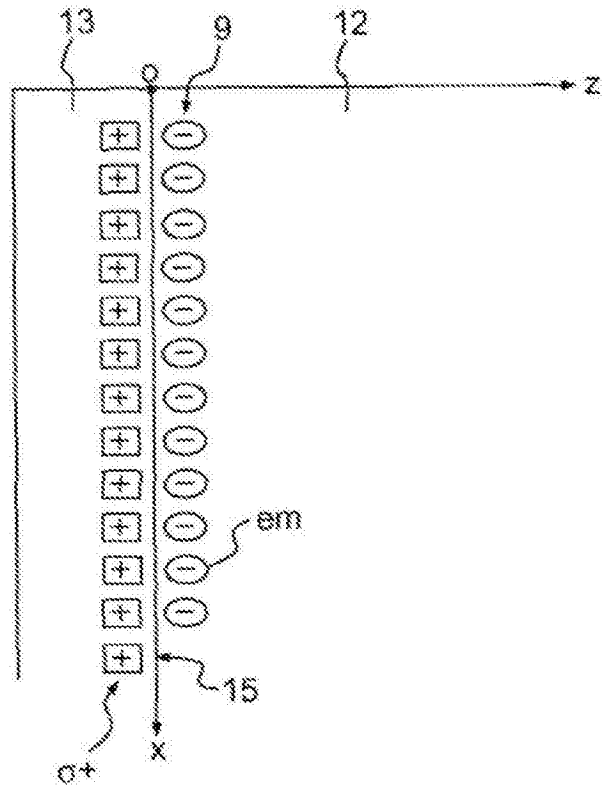


图2

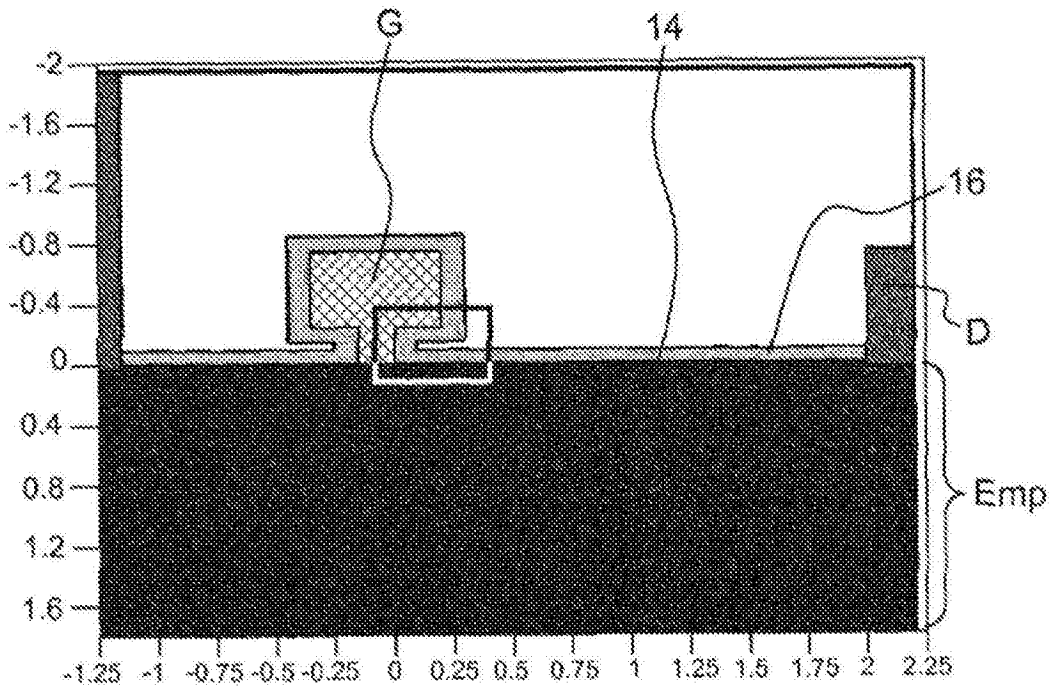


图3a

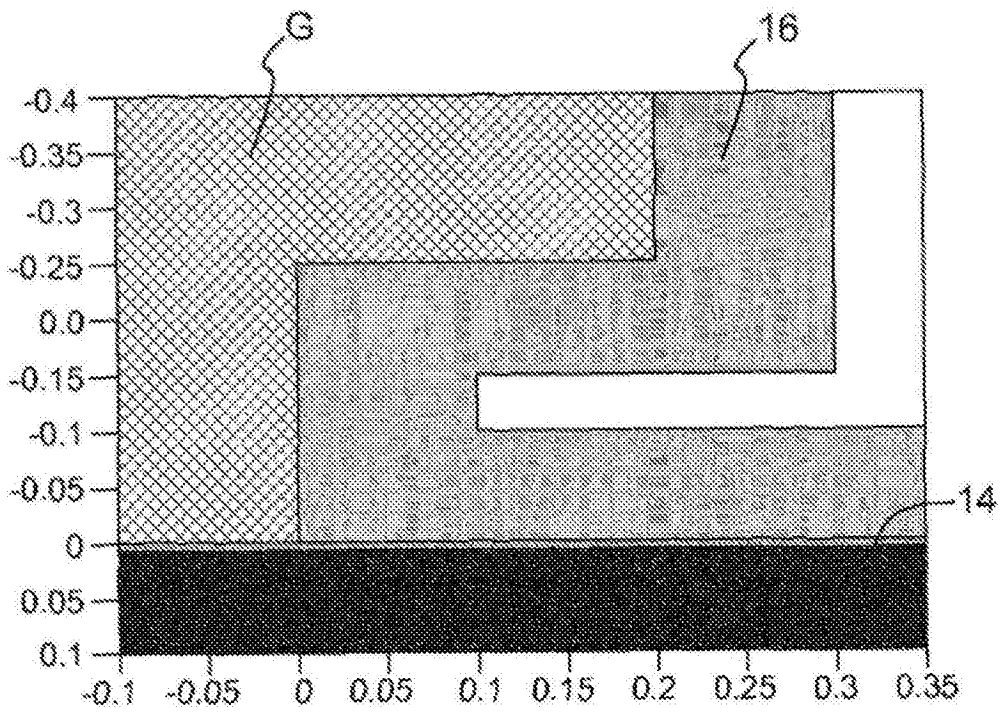


图3b

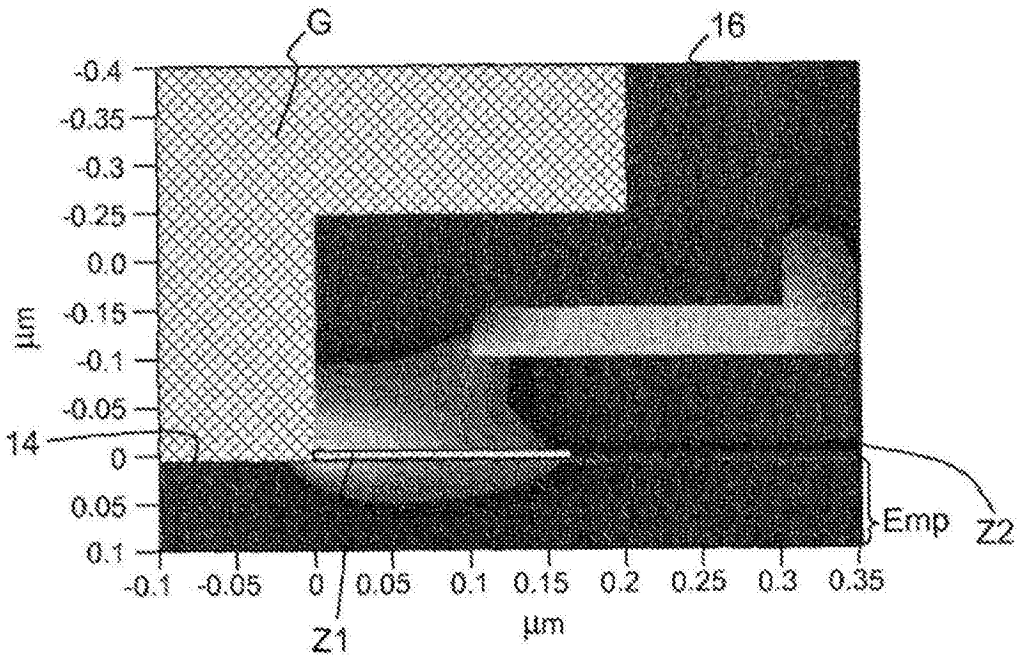


图4a

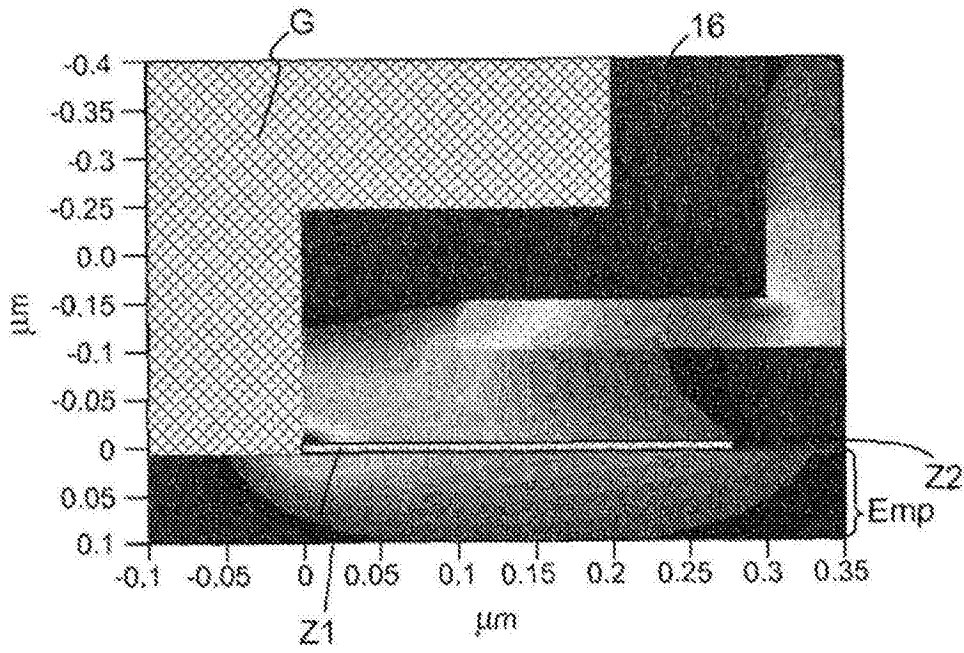


图4b

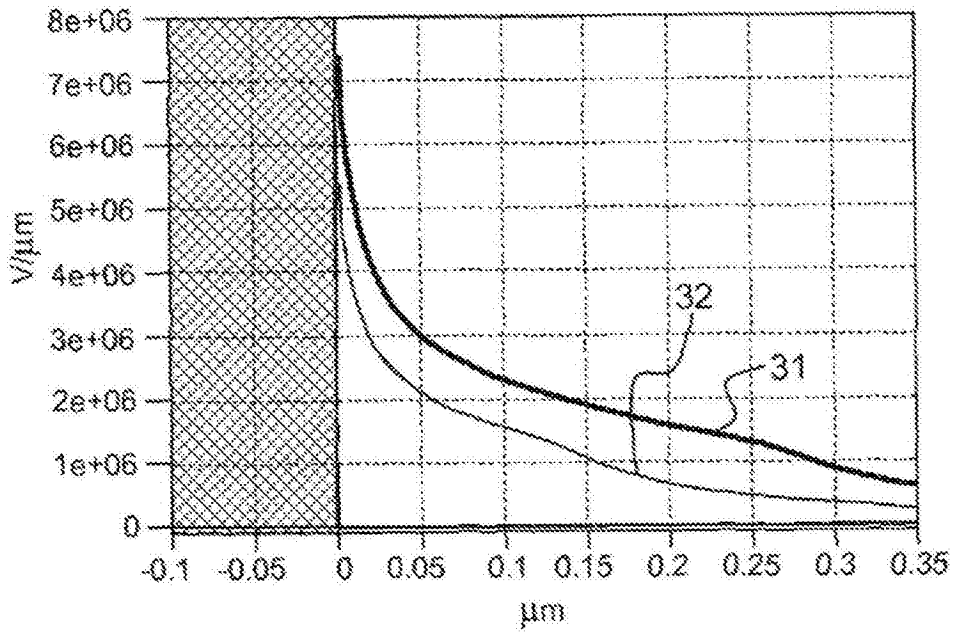


图5a

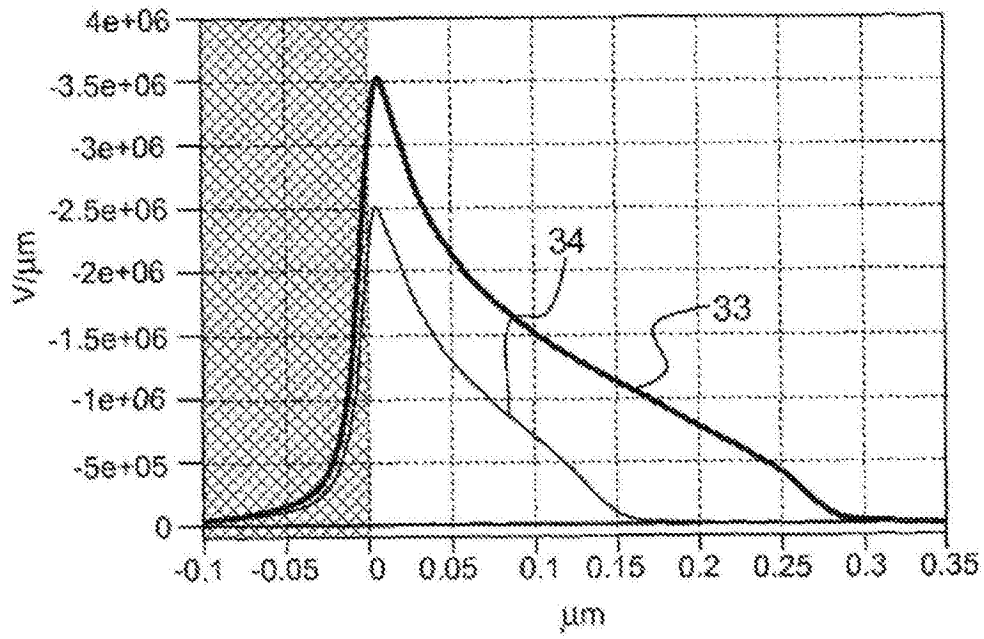


图5b

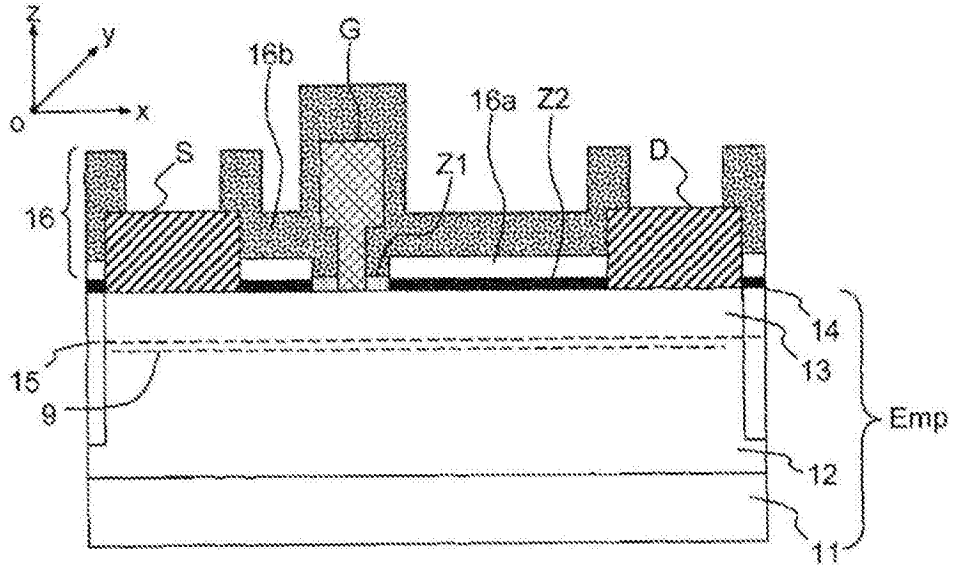


图6

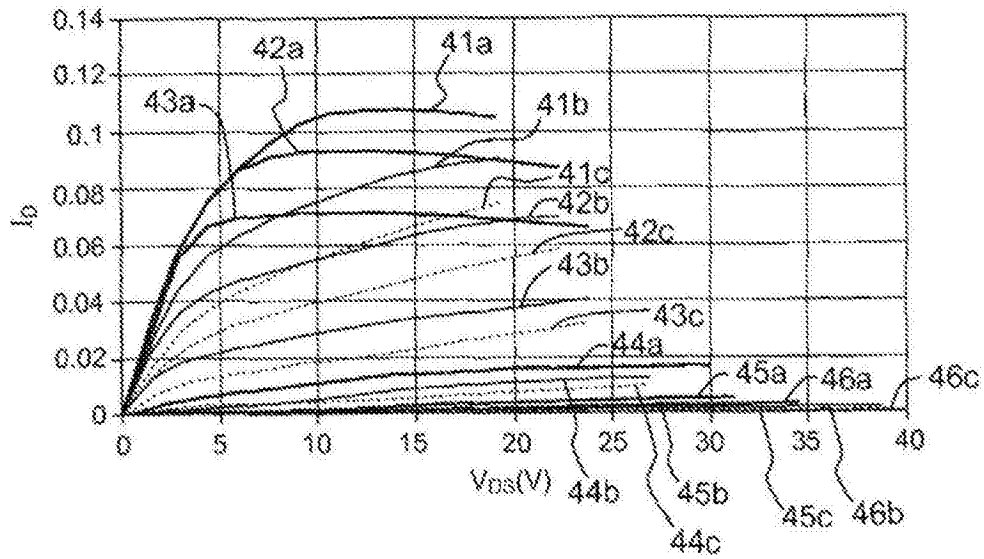


图7a

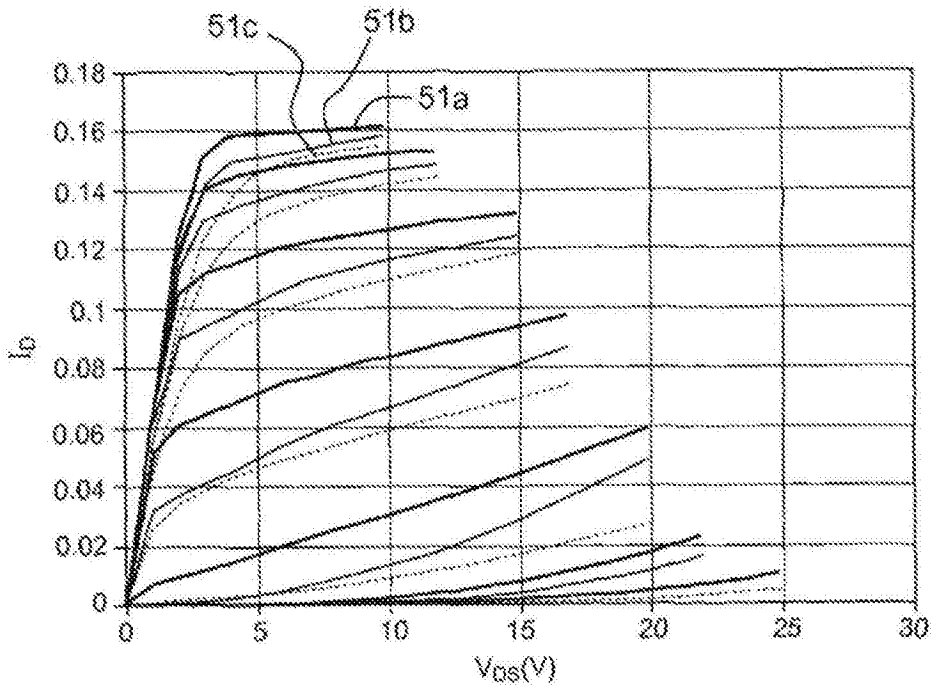


图7b