

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷
H02H 3/08

(45) 공고일자 2005년03월10일
(11) 등록번호 10-0472719
(24) 등록일자 2005년02월11일

(21) 출원번호 10-2002-0040316 (65) 공개번호 10-2003-0007123
(22) 출원일자 2002년07월11일 (43) 공개일자 2003년01월23일

(30) 우선권주장 JP-P-2001-00214411 2001년07월13일 일본(JP)

(73) 특허권자 세이코 인스트루 가부시기가이샤
일본국 치바켄 치바시 미하마구 나카세 1쵸메 8반지

(72) 발명자 후쿠이아즈오
일본국치바켄치바시미하마구나카세1쵸메8반지세이코인스트루먼트
가부시기가이샤내

(74) 대리인 한양특허법인

심사관 : 서진원

(54) 전압 레귤레이터의 과전류 보호 회로

요약

과전류 보호 회로의 비정상 동작이 방지되는 전압 레귤레이터가 제공된다. 전압 레귤레이터는, PMOS 출력 드라이버 트랜지스터와 제1 PMOS 센스 트랜지스터의 동작 상태를 항상 동일하게 하여 양 트랜지스터에 흐르는 전류의 비를 그 트랜지스터 크기 비와 동일하게 설정함으로써, 입력 전압(VIN)과 출력 전압(VOUT)의 차가 작은 경우의 과전류 보호 회로의 비정상 동작에 기인하는 출력 전압의 저하와 입력 전압(VIN)과 출력 전압(VOUT)의 차가 큰 경우의 채널 길이 변조의 영향에 의해 과전류 보호가 동작하는 부하 전류가 부정확하게 되는 문제를 해결하고 있다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 제1 실시예의 과전류 보호 회로를 갖는 전압 레귤레이터의 회로도,

도 2는 본 발명의 제2 실시예의 과전류 보호 회로를 갖는 전압 레귤레이터의 회로도,

도 3은 종래의 과전류 보호 회로를 갖는 전압 레귤레이터의 회로도,

도 4는 부하 전류와 출력 전압간의 관계를 나타내는 그래프,

도 5는 본 발명의 제1 실시예 또는 제2 실시예의 과전류 보호 회로를 갖는 전압 레귤레이터의 입력 전압과 출력 전압간의 관계를 나타내고, 또한 종래의 과전류 보호 회로를 갖는 전압 레귤레이터의 입력 전압과 출력 전압 간의 관계를 나타내는 그래프이다.

<도면의 주요부분에 대한 부호의 설명>

- 101 : 기준 전압원 102 : 오차 증폭기
- 103 : 과전류 보호 회로 104 : 전압 분할 회로
- 105 : PMOS 출력 드라이버 트랜지스터
- 106 : 제1 PMOS 센스 트랜지스터 107 : PMOS 트랜지스터
- 108, 116, 117 : NMOS 트랜지스터 109, 110, 111, 112 : 저항기
- 113 : 콘덴서 114 : 부하 저항기
- 115 : 제2 PMOS 센스 트랜지스터 118 : 제3 PMOS 레벨 시프터
- 119 : 제2 PMOS 레벨 시프터 120 : 제1 PMOS 레벨 시프터
- 121, 122 : 정전류원

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전압 레귤레이터의 과전류 보호 회로에 관한 것이다.

도 3은 종래의 전압 레귤레이터의 과전류 보호 회로의 구성을 도시한다. 기준 전압원(101)은 일정 전압(Vref)을 오차 증폭기(102)의 반전 입력 단자에 공급하고 있다. 오차 증폭기(102)의 출력은 PMOS 출력 드라이버 트랜지스터(105)의 게이트에 접속되고, 과전류 보호 회로(103)의 제1 PMOS 센스 트랜지스터(106)의 게이트 및 PMOS 트랜지스터(107)의 드레인에도 접속된다. PMOS 출력 드라이버 트랜지스터(105)의 소스는 입력 단자(IN)에 접속되고 그 드레인은 출력 단자(OUT)에 접속되어 있다. 부하 저항기(114), 콘덴서(113) 및 저항기(111 및 112)로 구성되는 전압 분할 회로(104)가 출력 단자(OUT)에 접속되어 있다. 전압 분할 회로(104)는 출력 전압(VOUT)의 분할된 전압을 오차 증폭기(102)의 비반전 입력 단자에 공급하고 있다.

과전류 보호 회로(103)는, 제1 PMOS 센스 트랜지스터(106), PMOS 트랜지스터(107), NMOS 트랜지스터(108) 및 저항기(109 및 110)로 구성되어 있다. PMOS 출력 드라이버 트랜지스터(105)와 제1 PMOS 센스 트랜지스터(106)가 모두 포화 상태에서 동작하는 경우에, 제1 PMOS 센스 트랜지스터(106)에는 PMOS 출력 드라이버 트랜지스터(105)에 흐르는 전류에 비례하는 전류가 흐른다. 이 경우, 그 비는 양 트랜지스터의 트랜지스터 크기 비와 거의 동일하다.

PMOS 출력 드라이버 트랜지스터(105)와 제1 PMOS 센스 트랜지스터(106)가 포화 상태에서 동작하는 경우가 고려된다. 부하(114)에 PMOS 출력 드라이버 트랜지스터(105)에 의해 공급되는 전류의 양이 작으면, 이에 비례하여 제1 PMOS 센스 트랜지스터(106)에 흐르는 전류는 작다. 그러므로, 저항기(109)의 양단에 발생하는 전압차도 작고 NMOS 트랜지스터(108)는 비전도 상태이다. 따라서, NMOS 트랜지스터(108)에 전류가 흐르지 않기 때문에, 저항기(110)의 양단에 전압차가 발생되지 않아 PMOS 트랜지스터도 비전도 상태이다.

그러나, 부하(114)에 PMOS 출력 드라이버 트랜지스터(105)에 의해 공급되는 전류가 증가하면, 이에 비례하여 제1 PMOS 센스 트랜지스터(106)에 흐르는 전류도 증가하고 저항기(109)의 양단에 발생하는 전압도 증가한다. 따라서, NMOS 트랜지스터(108)는 전도 상태이다. NMOS 트랜지스터(108)가 전도 상태가 되고 저항기(110)의 양단에 발생하는 전압차가 증가하면, PMOS 트랜지스터(107)는 PMOS 출력 드라이버 트랜지스터(105)의 게이트 전압을 증가시킨다. 따라서, PMOS 출력 드라이버 트랜지스터(105)의 구동 능력이 감소하고 출력 전압(OUT)이 저하한다. 도 4는 이 상태를 도시한다. 이와 같이, 과부하 전류에 의해 소자들이 파괴되는 것이 방지되고 있다.

도 3에 도시된 회로에서는, 입력 전압(VIN)과 출력 전압(VOUT)간의 차가 작으면, PMOS 출력 드라이버 트랜지스터(105)는 포화되지 않는다. 그러나, 제1 PMOS 센스 트랜지스터(106)는 포화 상태에서 동작하고 있다. 따라서, PMOS 출력 드라이버 트랜지스터(105)와 제1 PMOS 센스 트랜지스터(106)의 동작 상태가 다르므로, 양 트랜지스터에 흐르는 전류의 비는 그 트랜지스터 크기 비와 다르다. 제1 PMOS 센스 트랜지스터(106)에 흐르는 전류는 PMOS 출력 드라이버 트랜지스터(105)와 제1 PMOS 센스 트랜지스터(106)의 트랜지스터 크기 비와 PMOS 출력 드라이버 트랜지스터(105)에 흐르는 전류로부터 얻어지는 전류값보다 크다.

즉, PMOS 출력 드라이버 트랜지스터가 포화되지 않으면, 부하 전류가 작더라도 제1 PMOS 센스 트랜지스터(106)에 흐르는 전류가 증가한다. 이 때, 전술한 바와 같이, PMOS 트랜지스터(107)는 PMOS 출력 드라이버 트랜지스터(105)의 게이트 전압을 증가시킨다. 따라서, PMOS 출력 드라이버 트랜지스터(105)의 구동 능력을 감소시키는 것과 같은 과전류 보호 회로(103)에 비정상 동작이 발생하고, 과전류 보호 회로(103)가 제공되지 않는 경우와 비교해서 출력 전압(OUT)의 저하가 보다 현저하다는 결점이 있다. 도 5는 이 상태를 나타내고 있다.

또한, 입력 전압(VIN)과 출력 전압(VOUT)간의 차가 크고 PMOS 출력 드라이버 트랜지스터(105)와 제1 PMOS 센스 트랜지스터(106) 모두 포화 상태에서 동작하는 경우라도, 양 트랜지스터의 소스-드레인간 전압이 서로 다르므로, 채널 길이 변조의 영향에 기인하여 이들에 흐르는 전류의 비는 그 트랜지스터 크기 비와 다르다. 그 결과, 과전류 보호가 동작하는 부하 전류가 부정확하게 되는 결점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명에서는, PMOS 출력 드라이버 트랜지스터와 제1 PMOS 센스 트랜지스터의 동작 상태가 항상 동일하게 되어, 양 트랜지스터에 흐르는 전류의 비를 트랜지스터 크기 비와 동일하게 설정한다. 따라서, 본 발명은, 입력 전압(VIN)과 출력 전압(VOUT)의 차가 작은 경우의 과전류 보호 회로의 비정상 동작에 기인하는 출력 전압의 감소와, 입력 전압(VIN)과 출력 전압(VOUT)의 차가 큰 경우의 채널 길이 변조의 영향에 기인하여, 과전류 보호가 동작하는 부하 전류가 부정확하게 되는 문제를 해결하고 있다.

발명의 구성 및 작용

본 발명에서는, 제1 PMOS 센스 트랜지스터의 드레인 전압은 항상 출력 전압(VOUT)과 동일하게 설정되고, 이것에 의해 PMOS 출력 드라이버 트랜지스터와 제1 PMOS 센스 트랜지스터의 동작 상태는 동일하게 된다. 따라서, 양 트랜지스터에 흐르는 전류의 비는 그 트랜지스터 크기 비와 동일하다.

(실시예)

이하, 본 발명의 실시예가 도면을 참조하여 설명된다.

도 1은 본 발명의 제1 실시예의 전압 레귤레이터를 도시한다. 전압 레귤레이터의 회로는 과전류 보호 회로(103)의 구성이 다르다는 점 이외는 도 3에 도시된 종래 회로와 동일하다.

본 실시예의 과전류 보호 회로(103)에는, 제2 PMOS 센스 트랜지스터(115), 제1 PMOS 레벨 시프터(level shifter)(120), 제2 PMOS 레벨 시프터(119), 제3 PMOS 레벨 시프터(118) 및 전류 미러 회로를 형성하는 NMOS 트랜지스터(116 및 117)가 도 3에 도시된 종래의 과전류 보호 회로(103)에 더 제공되어 있다. 제1 PMOS 레벨 시프터(120)의 소스는 제1 센스 트랜지스터(106)의 드레인에 접속되어 있고, 제1 PMOS 레벨 시프터(120)의 드레인은 저항기(109)의 일단과 NMOS 트랜지스터(108)의 게이트에 접속되어 있다. 제2 PMOS 센스 트랜지스터(115)의 드레인은 제2 PMOS 레벨 시프터(119)의 소스에 접속되어 있고, 제2 PMOS 레벨 시프터(119)의 드레인은 전류 미러 회로를 형성하고 있는 NMOS 트랜지스터(116)의 게이트와 드레인 및 NMOS 트랜지스터(117)의 게이트에 접속되어 있다. NMOS 트랜지스터(117)의 드레인은 제3 PMOS 레벨 시프터(118)의 게이트와 드레인 및 제1 PMOS 레벨 시프터(120)와 제2 PMOS 레벨 시프터(119)의 게이트에 접속되어 있다. 제3 PMOS 레벨 시프터(118)의 소스는 출력 단자(OUT)에 접속되어 있다.

간단하게 하기 위해, 제1 PMOS 센스 트랜지스터(106)와 제2 PMOS 센스 트랜지스터(115)가 동일한 트랜지스터 크기를 갖는 경우가 설명된다. 제1 PMOS 센스 트랜지스터(106)와 제2 PMOS 센스 트랜지스터(115)가 동일한 트랜지스터 크기를 가지면, 양 트랜지스터의 게이트-소스간 전압이 동일하고 A점와 B점의 전압이 후술되는 바와 같이 동일하므로, 그 소스-드레인간 전압도 동일하게 된다. 따라서, 양 트랜지스터에 흐르는 전류는 동일하게 된다. 제2 PMOS 센스 트랜지스터(115)에 흐르는 전류가, NMOS 트랜지스터(116 및 117)에 의해 형성되는 전류 미러에 의해 바이어스되므로, NMOS 트랜지스터(117)에 흐르는 전류는 제2 PMOS 센스 트랜지스터(115)에 흐르는 전류와 동일하게 된다. 따라서, 제1 센스 트랜지스터(106), 제2 PMOS 센스 트랜지스터(115) 및 NMOS 트랜지스터(117)에 흐르는 전류가 동일하고, 따라서 제1 PMOS 레벨 시프터(120), 제2 PMOS 레벨 시프터(119) 및 제3 PMOS 레벨 시프터(118)에 흐르는 전류도 동일하게 된다. 따라서, 제1 PMOS 레벨 시프터(120)의 게이트-소스간 전압, 제2 PMOS 레벨 시프터(119)의 게이트-소스간 전압 및 제3 PMOS 레벨 시프터(118)의 게이트-소스간 전압은 서로 동일하게 된다. 또한, 제3 PMOS 레벨 시프터(118)의 소스가 출력 단자(OUT)에 접속되므로, 제3 PMOS 레벨 시프터(118)의 소스 전압은 출력 전압(VOUT)과 동일하다. 전술한 바와 같이, 제1, 제2 및 제3 PMOS 레벨 시프터의 게이트-소스간 전압이 동일하므로, A점와 B점의 전압은 출력 전압(VOUT)과 거의 동일하게 된다.

제1 PMOS 센스 트랜지스터(106)와 제2 PMOS 센스 트랜지스터의 트랜지스터 크기가 서로 다르더라도, 제1, 제2 및 제3 PMOS 레벨 시프터의 게이트-소스간 전압은 동일하게 설정될 수 있다는 것은 명백하다. 따라서, 제1 PMOS 센스 트랜지스터(106)와 제2 PMOS 센스 트랜지스터(115)의 트랜지스터 크기가 다르더라도, A점와 B점의 전압을 출력 전압(VOUT)과 거의 동일하게 설정할 수 있다.

전술한 바와 같이, PMOS 출력 드라이버 트랜지스터(105)와 제1 PMOS 센스 트랜지스터(106)의 소스-드레인간 전압이 거의 동일하고 그 소스-게이트간 전압도 동일하므로, 양 트랜지스터의 동작 상태는 입력 전압(VIN)과 출력 전압(VOUT)간의 차의 크기에 상관없이 동일하게 된다. 즉, PMOS 출력 드라이버 트랜지스터(105)와 제1 PMOS 센스 트랜지스터(106)에 흐르는 전류의 비는 그 트랜지스터 크기 비와 동일하다. 양 트랜지스터의 소스-드레인간 전압은 서로 동일하기 때문에 채널 길이 변조의 영향이 없다는 것은 말할 필요도 없다.

보다 구체적으로, 입력 전압(VIN)과 출력 전압(VOUT)간의 차가 작은 경우가 고려된다. 입력 전압(VIN)과 출력 전압(VOUT)간의 차가 작기 때문에, PMOS 출력 드라이버 트랜지스터(105)는 비포화 상태에서 동작한다. 그러나, 제1 PMOS 센스 트랜지스터(106)도 비포화되고 양 트랜지스터의 소스-드레인간 전압이 동일하므로, PMOS 출력 드라이버 트랜지스터(105)와 제1 PMOS 센스 트랜지스터(106)에 흐르는 전류의 비는 그 트랜지스터 크기 비에 거의 의존한다. 따라서, 입력 전압(VIN)과 출력 전압(VOUT)간의 차가 작을 때 비정상적으로 동작하는 과전류 보호 회로에 의해 출력 전압(VOUT)이 저하하는 현상을 회피할 수 있다. 도 5는 이 상태를 나타내고 있다.

또한, 입력 전압(VIN)과 출력 전압(VOUT)간의 차가 크고 PMOS 출력 드라이버 트랜지스터(105)가 포화 상태에서 동작하면, 제1 PMOS 센스 트랜지스터(106)도 포화 상태에서 동작하고 양 트랜지스터의 소스-드레인간 전압은 동일하다. 따라서, 채널 길이 변조의 영향이 포함되지 않는 것이 명백하고 PMOS 출력 드라이버 트랜지스터(105)와 제1 PMOS 센스 트랜지스터(106)에 흐르는 전류의 비가 그 트랜지스터 크기 비에 의존하므로, 과전류 보호가 가능하는 부하 전류가 정확히 설정될 수 있다.

과전류가 부하 저항기(114)에 흐르면, 제1 PMOS 센스 트랜지스터(106)에 흐르는 전류도 증가하고, 저항기(109)의 양단에 발생하는 전압차가 크게 되며 NMOS 트랜지스터(108)가 전도 상태가 된다. NMOS 트랜지스터(108)가 전도 상태가 되고 저항기(110)의 양단에 발생하는 전압차가 크게 되면, PMOS 트랜지스터(107)는 PMOS 출력 드라이버 트랜지스터(105)의 게이트 전압을 증가시킨다. 그러므로, PMOS 출력 드라이버 트랜지스터(105)의 구동 능력은 감소한다. 따라서, 출력 전압(VOUT)은 저하하고 부하의 과전류에 대한 보호가 종래의 과전류 보호 회로에서와 같이 수행된다. 도 4는 이 상태를 나타내고 있다.

도 2는 본 발명의 제2 실시예의 전압 레귤레이터를 도시한다. 제2 실시예에서, 정전류원(constant-current source)(121 및 122)이 제1 실시예의 과전류 보호 회로에 추가된다. 제2 레벨 시프터(119)와 제3 레벨 시프터(118)에 흐르는 전류는 정전류원(121 및 122)이 추가되더라도 제1 실시예에서와 같이 동일하므로, 제1 실시예와 동일한 효과가 얻어질 수 있는 것은 명백하다.

이와 같이, 전압 레귤레이터의 과전류 보호 회로가 제공되는 것을 알 수 있다. 당해 기술분야의 숙련된 자는 본 발명이 한정되어 있는 예시의 목적으로 제공되는 양호한 실시예 이외에 의해 실행될 수 있으며, 본 발명이 첨부하는 특허 청구범위로만 한정되는 것을 이해할 것이다.

발명의 효과

본 발명에서는, PMOS 출력 드라이버 트랜지스터와 제1 PMOS 센스 트랜지스터의 동작 상태가 항상 동일하게 되어 양 트랜지스터에 흐르는 전류의 비를 그 트랜지스터 크기 비와 동일하게 설정한다. 따라서, 본 발명은, 입력 전압(VIN)과 출력 전압(VOUT)의 차가 작은 경우의 과전류 보호 회로의 비정상 동작에 기인하는 출력 전압의 감소와, 입력 전압(VIN)과 출력 전압(VOUT)의 차가 큰 경우의 채널 길이 변조의 영향을 방지함으로써 과전류 보호가 동작하는 부하 전류가 정확히 설정될 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

전압 레귤레이터에 사용되는 과전류 보호 회로에 있어서,

부하에 전류를 공급하기 위한 출력 드라이버 트랜지스터; 및

상기 부하에 공급되는 전류를 검출하기 위한 센스 트랜지스터를 포함하고,

상기 출력 드라이버 트랜지스터와 상기 센스 트랜지스터의 동작 상태가 동일한 것을 특징으로 하는 전압 레귤레이터의 과전류 보호 회로.

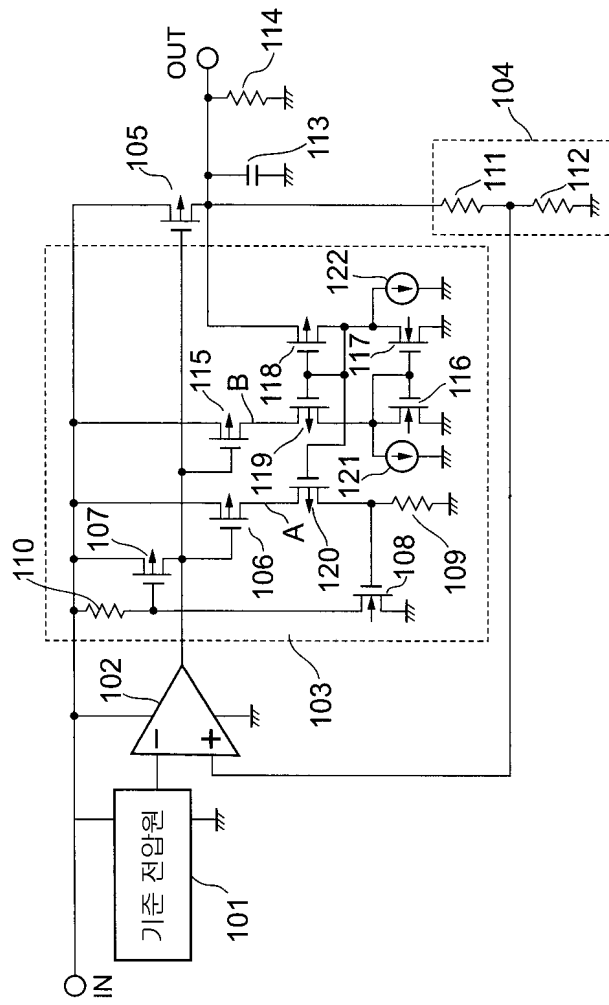
청구항 2.

제1항에 있어서,

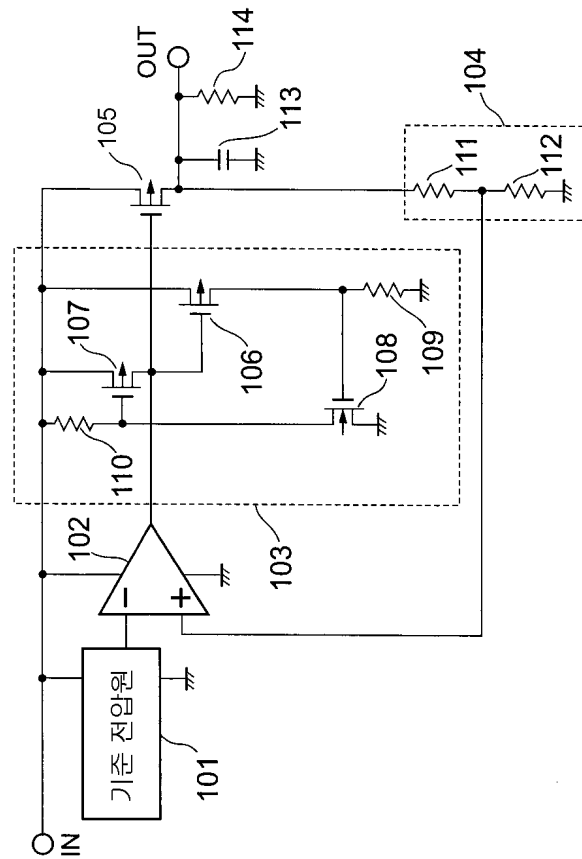
상기 센스 트랜지스터의 드레인 전압은 상기 전압 레귤레이터의 출력 전압과 동일하게 설정되어, 상기 드라이버 트랜지스터의 소스-드레인간 전압과 상기 센스 트랜지스터의 소스-드레인간 전압을 동일하게 설정하여 상기 양 트랜지스터의 동작 상태를 동일하게 하는 것을 특징으로 하는 전압 레귤레이터의 과전류 보호 회로.

도면

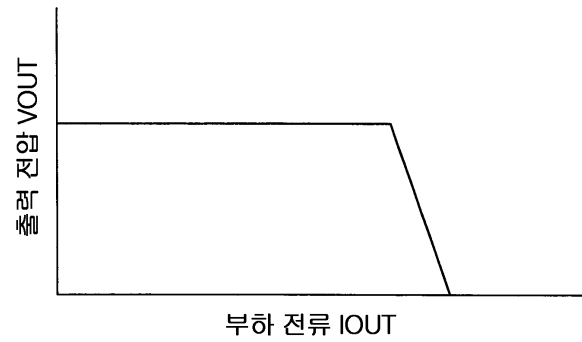
도면2



도면3



도면4



도면5

전압 레귤레이터가 본 발명의 과전류 보호 회로를 가지는 경우 또는 전압 레귤레이터가 과전류 보호 회로를 가지지 않는 경우

