



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2013년07월26일  
(11) 등록번호 10-1287809  
(24) 등록일자 2013년07월15일

(51) 국제특허분류(Int. C1..)  
*HO4N 7/01* (2006.01)  
(21) 출원번호 10-2006-0079483  
(22) 출원일자 2006년08월22일  
심사청구일자 2011년08월19일  
(65) 공개번호 10-2007-0022618  
(43) 공개일자 2007년02월27일  
(30) 우선권주장  
JP-P-2005-00240506 2005년08월22일 일본(JP)

(56) 선행기술조사문헌  
JP09045060 A\*  
JP2002229522 A\*  
JP2004021054 A\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
가부시키가이샤 한도오따이 에네루기 켄큐쇼  
일본국 가나가와Ken 아쓰기시 하세 398  
(72) 발명자  
고야마 준  
일본, 가나가와Ken 243-0036, 아쓰기시, 하세,  
398, 가부시키가이샤 한도오따이 에네루기 켄큐쇼  
내  
【**emento 히로키**】  
일본, 가나가와Ken 243-0036, 아쓰기시, 하세,  
398, 가부시키가이샤 한도오따이 에네루기 켄큐쇼  
내  
【**기무라 하지메**】  
일본, 가나가와Ken 243-0036, 아쓰기시, 하세,  
398, 가부시키가이샤 한도오따이 에네루기 켄큐쇼  
내

(74) 대리인  
장훈

전체 청구항 수 : 총 8 항

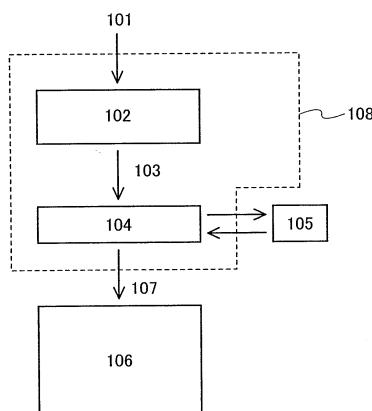
심사관 : 정성태

(54) 발명의 명칭 표시 장치 및 그 구동 방법

### (57) 요 약

본 발명의 목적은 휴대 신호 및 색상 신호, 또는 R, G 및 B의 3가지-주요 색 신호가 비디오 신호로서 입력되는지의 여부와 무관하게 정확한 비디오 신호가 디스플레이로 입력되고, 디지털 비디오 신호의 경우에 적용되는 반도체 장치 및 이의 구동 방법을 제공하는데 있다. 표시 장치는 표시 패널 및 비디오 포맷 변환 회로를 포함한다.

**대 표 도** - 도1



## 특허청구의 범위

### 청구항 1

상이한 발광 색을 각각 발광하는 복수의 서브-화소들을 가진 화소를 포함하는 표시 패널;

컴포넌트 신호 변환 회로;

이미지 확장 회로;

입력 스위칭 회로; 및

비디오 포맷 변환 회로를 포함하고,

회도 신호 및 색차 신호로 구성된 컴포지트 신호가 상기 컴포넌트 신호 변환 회로에 입력되고, 상기 컴포넌트 신호 변환 회로는 상기 컴포지트 신호를 컴포넌트 신호로 변환하며,

압축된 신호가 상기 이미지 확장 회로에 입력되고, 상기 이미지 확장 회로는 압축된 파일을 원상태로 복구하여 회도 색차 신호를 출력하는 동작을 수행하며,

상기 컴포넌트 신호 및 상기 회도 색차 신호는 상기 입력 스위칭 회로에 입력되고, 상기 입력 스위칭 회로는 상기 컴포넌트 신호 및 상기 회도 색차 신호 중 하나를 상기 비디오 포맷 변환 회로에 출력하며,

상기 비디오 포맷 변환 회로는 상기 서브-화소의 발광 색에 응답하여 상기 컴포넌트 신호 및 상기 회도 색차 신호 중 상기 하나를 상기 표시 패널용 RGB 신호로 변환하는, 표시 장치.

### 청구항 2

상이한 발광 색을 각각 발광하는 복수의 서브-화소들을 가진 화소를 포함하는 표시 패널;

컴포넌트 신호 변환 회로;

이미지 확장 회로;

입력 스위칭 회로;

비디오 포맷 변환 회로; 및

D/A 변환 회로를 포함하고,

회도 신호 및 색차 신호로 구성된 컴포지트 신호가 상기 컴포넌트 신호 변환 회로에 입력되고, 상기 컴포넌트 신호 변환 회로는 상기 컴포지트 신호를 컴포넌트 신호로 변환하며,

압축된 신호가 상기 이미지 확장 회로에 입력되고, 상기 이미지 확장 회로는 압축된 파일을 원상태로 복구하여 회도 색차 신호를 출력하는 동작을 수행하며,

상기 컴포넌트 신호 및 상기 회도 색차 신호는 상기 입력 스위칭 회로에 입력되고, 상기 입력 스위칭 회로는 상기 컴포넌트 신호 및 상기 회도 색차 신호 중 하나를 상기 비디오 포맷 변환 회로에 출력하며,

상기 비디오 포맷 변환 회로는 상기 서브-화소의 발광 색에 응답하여 상기 컴포넌트 신호 및 상기 회도 색차 신호 중 상기 하나를 디지털 RGB 신호로 변환하고,

상기 D/A 변환 회로는 상기 디지털 RGB 신호를 상기 표시 패널용 아날로그 RGB 신호로 변환하는, 표시 장치.

### 청구항 3

삭제

### 청구항 4

삭제

### 청구항 5

삭제

**청구항 6**

삭제

**청구항 7**

상이한 빌광 색을 각각 빌광하는 복수의 서브-화소들을 가진 화소를 포함하는 표시 패널을 가진 표시 장치의 구동 방법으로서,

회도 신호 및 색차 신호로 구성된 컴포지트 신호를 컴포넌트 신호 변환 회로에 입력하는 단계;

상기 컴포지트 신호로부터 변환된 컴포넌트 신호를 상기 컴포넌트 신호 변환 회로로부터 출력하는 단계;

압축된 신호를 이미지 확장 회로에 입력하는 단계;

압축된 파일을 상기 압축된 신호를 이용하여 상기 이미지 확장 회로에서 원상태로 복구하는 동작을 수행하는 단계;

회도 색차 신호를 상기 이미지 확장 회로로부터 출력하는 단계;

상기 컴포넌트 신호 및 상기 회도 색차 신호를 제 1 입력 스위칭 회로에 입력하는 단계;

상기 컴포넌트 신호 및 상기 회도 색차 신호 중 하나를 상기 제 1 입력 스위칭 회로로부터 비디오 포맷 변환 회로로 출력하는 단계;

회도 정보 및 색차 정보를 포함하는 상기 회도 색차 신호를 상기 비디오 포맷 변환 회로에 입력할 때, 상기 비디오 포맷 변환 회로에서 화상 신호가 RGB 신호인지 또는 회도 색차 신호인지의 여부를 나타내는 모드 신호에 응답하여, 상기 회도 색차 신호를 상기 서브-화소의 빌광 색에 응답한 RGB 신호로 변환하는 단계;

상기 모드 신호 및, 상기 RGB 신호 또는 상기 비디오 포맷 변환 회로로부터 출력된 RGB 신호를 제 2 입력 스위칭 회로에 입력하는 단계; 및

상기 모드 신호에 응답하여 상기 RGB 신호 또는 상기 회도 색차 신호로부터 변환된 RGB 신호 중 하나를 상기 제 2 입력 스위칭 회로부터 상기 표시 패널에 출력하는 단계를 포함하는, 표시 장치의 구동 방법.

**청구항 8**

삭제

**청구항 9**

제 1 항에 있어서,

컨트롤러를 더 포함하고,

상기 RGB 신호는 상기 비디오 포맷 변환 회로로부터 상기 컨트롤러에 입력되고, 상기 컨트롤러는 상기 RGB 신호를 상기 표시 패널에 출력하는, 표시 장치.

**청구항 10**

제 2 항에 있어서,

컨트롤러를 더 포함하고,

상기 아날로그 RGB 신호는 상기 컨트롤러에 입력되고, 상기 컨트롤러는 상기 아날로그 RGB 신호를 상기 표시 패널에 출력하는, 표시 장치.

**청구항 11**

삭제

**청구항 12**

삭제

**청구항 13**

삭제

**청구항 14**

삭제

**청구항 15**

제 1 항 또는 제 2 항에 있어서,

상기 비디오 포맷 변환 회로는 하나의 IC 칩 상에 배치되는, 표시 장치.

**청구항 16**

삭제

**청구항 17**

삭제

**청구항 18**

삭제

**청구항 19**

삭제

**청구항 20**

삭제

**청구항 21**

제 1 항에 있어서,

상기 표시 패널은 디지털 계조(階調) 방법으로 표시를 수행하는, 표시 장치.

**청구항 22**

삭제

**청구항 23**

삭제

**청구항 24**

제 1 항에 있어서,

상기 휘도 색차 신호 및 상기 RGB 신호는 디지털 신호들인, 표시 장치.

**청구항 25**

삭제

**청구항 26**

삭제

**명세서**

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

- [0062] 본 발명은 칼라 표시를 수행하는 표시 장치, 특히 색 공간 변환 기능이 제공된 표시 장치에 관한 것이다.
- [0063] 스캐닝 신호와 동기되는 비디오 신호는 액정 또는 전계발광 표시 패널상에 이미지를 표시할 때 요구된다. 비디오 신호는 휘도 정보 및 색 정보를 가진다. 비디오 신호와 관련하여, 인코딩되지 않은 비디오 신호 뿐만 아니라 인코딩된 신호가 사용되는 경우가 존재한다. 이러한 비디오 신호는 휘도 신호 및 색차 신호로 구성된다. 인코딩되지 않은 이미지 데이터가 비디오 신호로서 입력되는 경우에, 이미지 데이터는 적색(R), 녹색(G) 및 청색(B)의 3가지 주요 색 신호로 변환된다. 인코딩된 이미지 데이터가 비디오 신호로서 입력되는 경우에, 인코딩된 이미지 데이터는 컴포지트 유닛으로 합성된 후 적색(R), 녹색(G) 및 청색(B)의 3가지 주요 색 신호로 변환된다(예컨대, 참조문헌 1: 일본특허 공개번호 Hei 5-197353).
- [0064] 더욱이, CRT에 대하여 화상 신호를 사용함으로서 액정 표시 장치(LCD)상에 표시를 수행하는 것이 고려된다. 이 경우에, 휘도 신호 및 색차 신호로 구성되고 CRT에 대한 감마 계수로 보정되는 비디오 신호가 입력되며 R, G 및 B의 3가지 주요 색신호로 변환되며, 역 감마 변환이 수행된다. 더욱이, 센서에 의하여 획득된 외부 광의 색 온도에 응답하여, 액정 패널에 가장 바람직한 색 밸런스 조절은 역 감마 변환이 수행된 후에 비디오 신호에 대하여 수행되며, 비디오 신호는 아날로그 구동기 회로를 통해 액정 패널에 출력된다(예컨대, 참조문헌 2: 일본특허 공개공보 Hei 7-255063).

#### 발명이 이루고자 하는 기술적 과제

- [0065] 본 발명의 목적은 휘도 신호 및 색차 신호 또는 RGB 신호가 비디오 신호로서 입력되는지의 여부와 무관하게 이미지를 표시할 수 있는 표시 장치를 제공하는데 있다.

### 발명의 구성 및 작용

- [0066] 휘도 신호 및 색차 신호가 표시 장치에 입력되는 비디오 신호로서 해석되는 것이 종래 기술로부터 추정된다. 그러나, 비디오 신호는 휘도 신호 및 색차 신호에 제한되지 않고, 적색(R), 녹색(G), 및 청색(B)의 3가지-주요 색신호(RGB 신호)의 경우가 존재한다. 이 경우에, 이미지는 표시 장치의 신호 처리 회로가 비디오 신호의 포맷에 대응하지 않는 경우에 표시될 수 없다. 더욱이, 표시가 아날로그 계조 방법을 사용하여 수행되는 것이 추정 되기 때문에, 아날로그 신호는 잡음에 의하여 영향을 받는다.
- [0067] 앞서 언급된 문제점들과 관련하여, 본 발명은 휘도 신호 및 색차 신호가 입력되거나 또는 RGB 신호가 비디오 신호로서 입력되는지의 여부와 무관하게 이미지를 표시할 수 있는 표시 장치를 제공하는 목적을 가진다.
- [0068] 본 발명은 비디오 신호들의 탑입에 응답하여 포맷을 변환시킴으로서 이미지 표시를 수행할 수 있는 표시 장치, 즉 RGB 신호 및 휘도 색차 신호간을 스위칭함으로서 이미지 표시를 수행할 수 있는 표시 장치에 관한 것이다. 더욱이, 본 발명은 디지털 휘도 색차 신호를 사용하여 디지털 계조 방법에 의하여 이미지를 수행하는 표시 장치에 관한 것이다.
- [0069] 본 발명의 일 양상은 다른 발광 색들을 가진 복수의 서브-화소들을 가진 화소를 포함하는 표시 패널, 휘도 정보 및 색차 정보를 포함하는 휘도 색차 신호가 입력되며 휘도 색차 신호가 서브-화소의 발광 색에 응답하여 RGB 신호로 변환되는 비디오 포맷 변환 회로, 및 RGB 신호가 입력되고 RGB 신호가 구동 타이밍에 따라 표시 패널에 출력되는 컨트롤러를 포함하는 표시 장치에 관한 것이다.
- [0070] 본 발명의 일 양상은 다른 발광 색들을 가진 복수의 서브-화소들을 가진 화소를 포함하는 표시 패널, 휘도 정보 및 색차 정보를 포함하는 휘도 색차신호가 입력되고 휘도 색차 신호가 서브-화소의 발광 색에 응답하여 디지털 RGB 신호로 변환되는 비디오 포맷 변환 회로, 디지털 RGB 신호를 아날로그 RGB 신호로 변환하는 D/A 변환 회로, 및 아날로그 RGB 신호가 입력되고 아날로그 RGB 신호가 구동 타이밍에 따라 출력되는 컨트롤러를 포함하는 표시 장치에 관한 것이다.
- [0071] 본 발명에 따르면, 비디오 포맷 변환 회로가 제공되기 때문에, RGB 신호 및 휘도 색차 신호는 이미지를 표시하도록 스위칭될 수 있다. 따라서, 콘트라스트가 개선되며, 보다 양호한 이미지 품질이 제공될 수 있다.

더욱이, 비디오 신호 처리 시스템은 완전하게 디지털화될 수 있으며, 이는 회로 구조가 잡음에 저항하도록 한다. 게다가, 표시 장치가 소형화될 수 있기 때문에, 전력 소비가 감소될 수 있다.

[0072] 실시예 모드

[0073] 이하에서, 본 발명은 첨부 도면들을 참조하여 실시예 모드들에 의하여 완전하게 기술될 것이다. 다양한 변화들 및 수정들이 당업자에게 명백하다는 것이 이해되어야 한다. 따라서, 만일 이러한 변화들 및 수정들이 본 발명의 범위로부터 벗어나지 않는 경우에, 이들 변화들 및 수정들은 본 발명의 범위내에 포함되는 것으로 구성되어야 한다.

[0074] 실시예 모드 1

[0075] 본 실시예 모드는 입력 신호로서 휘도 색차 신호를 사용함으로서 표시를 수행할 수 있는 표시 장치를 기술한다.

[0076] 비디오 포맷에 대하여, 컴포넌트로서 광들의 3가지 주요 색들에 응답하여 적색(R), 녹색(G) 및 청색(B)의 각각의 색 신호를 포함하는 RGB 시스템, 및 휘도 신호 및 색차 신호를 사용하는 휘도 색차 시스템이 존재한다. RGB 시스템의 경우에, 이미지 품질은 유사한 처리가 모든 색 컴포넌트들에 대하여 수행되기 때문에 우수하다. 그러나, 대량의 신호가 비례하여 요구된다. 따라서, 신호의 전송 및 신호 처리의 부하가 증가된다.

[0077] 다른 한편으로, 휘도 색차 시스템의 경우에, 예컨대 색차 정보량을 절반 감소시킴으로서 처리는 RGB 시스템의 처리의 2/3로 수행될 수 있다. 이러한 경우에, 이미지 품질은 상당히 악화되나, 실제적인 문제가 존재하지 않는다. 이는 인간의 시야감각이 휘도 변화에 민감하나 색차, 즉 색 변화에 민감하지 않는다는 사실에 기초한다.

[0078] 이러한 방식으로, 휘도 색차 신호를 사용하여 표시를 수행함으로서, 신호량은 신호 트래픽량이 감소되고 신호의 처리 및 전송이 용이하게 수행될 수 있도록 감소될 수 있다.

[0079] 도 1은 이러한 실시예 모드의 표시 장치에 대한 구조를 도시한다. 이러한 표시 장치는 디스플레이(106)를 가진다. 디스플레이(106)는 표시가 RGB 신호에 따라 제어되는 사양을 가진다. 휘도 색차 신호(101)는 표시 장치로의 비디오 신호로서 비디오 포맷 변환 회로(102)에 입력된다. 비디오 포맷 변환 회로(102)에서, 휘도 색차 신호(101)는 RGB 신호(103)로 변환된다. RGB 신호(103)는 컨트롤러(104)에 입력된다. 컨트롤러(104)는 신호를 메모리(105)에 입력한다. 시간 계조 방법을 사용하는 경우에, 메모리(105)는 하나의 프레임 주기를 다수의 서브-프레임 주기들로 분할하는 것이 필요하기 때문에 제공된다. 메모리(105)에 저장된 신호는 컨트롤러(104)에 의한 구동 타이밍에 따라 화상 신호(107)로서 디스플레이(106)에 입력된다. 컨트롤러(104)는 디스플레이(106)상에 표시하는데 필요한 신호(예컨대, 클럭 신호 또는 시작 펄스 신호 또는 제어 신호와 같은 동기 신호)를 생성하고 화상 신호(107)와 함께 신호를 디스플레이(106)에 출력한다. 표시는 화상 신호(107), 동기 신호 또는 제어 신호에 응답하여 화상 신호(107)가 입력되는 디스플레이(106)상에서 수행된다.

[0080] 이 경우에, 디스플레이(106)가 디지털 계조 방법으로 표시를 수행할 때, 휘도 색차 신호(101)로부터 화상 신호(107)까지의 모든 신호들은 디지털 신호들로서 처리될 수 있다. 따라서, 잡음에 저항하는 회로 구조가 형성될 수 있다. 더욱이, 표시 장치의 소형화 및 저전력 소비가 수행될 수 있다.

[0081] 도 2는 표시 장치가 아날로그 계조 방법으로 표시를 수행하는 경우의 구조를 도시한 도면이다. 이러한 경우에, 디스플레이(106)가 아날로그 계조 방법으로서 표시하기 때문에, 아날로그 신호는 RGB 신호(103)로서 입력되는 것이 요구된다. 하나의 프레임 주기를 다수의 서브-프레임 주기들로 분할하는 동작 등이 아날로그 계조 방법의 경우에서 요구되지 않기 때문에, 컨트롤러(114)의 신호를 임시적으로 저장하는 메모리가 생략될 수 있다. 비디오 포맷 변환 회로(102)로부터 출력된 RGB 신호(103)는 D/A 변환 회로(110)에 입력되며 아날로그 RGB 신호(112)로 변환된다. RGB 신호(112)는 컨트롤러(114)에 입력되며, 구동 타이밍에 따라 화상 신호(116)로서 디스플레이(106)에 입력된다. 컨트롤러(114)는 디스플레이(106)상에 표시하는데 필요한 신호(예컨대, 클록 신호 또는 시작 펄스 신호 또는 제어 신호와 같은 동기 신호)를 생성하며 화상 신호(116)와 함께 신호를 디스플레이(106)에 출력한다. 표시는 화상 신호(116)가 입력되는 디스플레이(106)상에 화상 신호(116), 동기 신호 또는 제어 신호에 응답하여 수행된다.

[0082] 도 1에서 비디오 포맷 변환 회로(102) 및 컨트롤러(104)는 다른 블록들로 도시되나, 컨트롤러(108)로서 비디오 포맷 변환 회로의 기능은 도면에서 점선 프레임으로 도시된 바와같이 컨트롤러(108)내에 포함될 수 있다는 것을 유의해야 한다. 유사하게, 컨트롤러(118)로서, 비디오 포맷 변환 회로 및 D/A 변환 회로의 기능들은 도 2에서 점선 프레임으로 도시된 바와같이 컨트롤러(118)내에 포함될 수 있다.

[0083] 표시 장치의 구조로서 컨트롤러는 하나의 IC 칩에 제공될 수 있으며, 비디오 포맷 변환 회로는 동일하게 제공될

수 있다. 유사하게, 메모리(105)는 컨트롤러내에 형성될 수 있다. 이러한 경우에, IC 칩은 COG(유리상 칩) 등에 의하여 디스플레이(106)상에 장착될 수 있다. 이러한 방식으로 IC 칩의 장착은 패널을 소형화하는데 기여한다.

[0084] 도 3에 도시된 표시 장치는 휘도 색차 신호(101) 및 RGB 신호(103)가 외부 회로부터 입력되고 신호들 둘다가 이미지를 표시하기 위하여 적절하게 스위칭되는 구조를 가진다. 비디오 포맷 변환 회로(122) 및 입력 스위칭 회로(124)에 입력된 모드 신호(120)는 휘도 색차 신호(101) 및 RGB 신호(103)간의 입력을 선택하기 위한 신호이다. 예컨대, 모드 신호(120)는 RGB 신호(103)가 입력되는 경우에 L 신호이며, 모드 신호(120)는 휘도 색차 신호(101)가 입력되는 경우에 H 신호이다. 비디오 포맷 변환 회로(122)는 모드 신호(120)가 H 신호인 경우에 입력된 휘도 색차 신호(101)의 처리를 수행한다. 다른 한편으로, 비디오 포맷 변환 회로(122)는 모드 신호(120)가 L 신호인 경우에 변환 동작을 수행하지 않는다. 따라서, 표시 장치의 전력 소비는 감소될 수 있다.

[0085] 비디오 포맷 변환 회로(122)로부터 출력된 모드 신호(120), 및 RGB 신호(103) 또는 RGB 신호(103)는 입력 스위칭 회로(124)에 입력된다. 입력 스위칭 회로(124)는 모드 신호(120)의 값에 따라 컨트롤러(104)에 RGB 신호들(103)중 한 신호를 출력한다. 입력 스위칭 회로(124)는 모드 신호(120)의 값에 따라 컨트롤러(104)에 RGB 신호들(103)중 한 신호를 출력한다. 예컨대, RGB 신호(103)가 입력되기 때문에, RGB 신호(103)는 모드 신호(120)가 L 신호인 경우에 컨트롤러(104)에 출력된다. 다른 한편으로, 모드 신호(120)가 H 신호인 경우에, 휘도 색차 신호(101)가 입력되기 때문에, 휘도 색차 신호(101)는 비디오 포맷 회로(122)에서 RGB 신호로 변환된 후 컨트롤러(104)에 출력된다. 컨트롤러(104)는 신호를 메모리(105)에 입력한다. 메모리(105)에 저장된 신호는 컨트롤러(104)에 의한 구동 타이밍에 따라 화상 신호(107)로서 디스플레이(106)에 입력된다. 컨트롤러(104)는 디스플레이(106)상에 표시하는데 필요한 신호(예컨대, 클록 신호 또는 시작 펄스 신호 또는 제어 신호와 같은 동기 신호)를 생성하며 화상 신호(107)와 함께 신호를 디스플레이(106)에 출력한다. 표시는 화상 신호(107), 동기 신호 또는 제어 신호에 응답하여 화상 신호(107)가 입력되는 디스플레이(106)상에서 수행된다. 이러한 경우에, 디스플레이(106)가 디지털 계조 방법으로서 표시를 수행할 때, 휘도 색차 신호(101), RGB 신호(103) 및 화상 신호(107)는 디지털 신호들로서 처리될 수 있다. 따라서, 잡음에 저항하는 회로 구조가 형성될 수 있다. 더욱이, 표시 장치의 소형화 및 저전력 소비가 달성될 수 있다.

[0086] 도 4는 입력 스위칭 회로(124)의 구조예를 도시하며, 출력 신호는 스위치(128) 및 스위치(130)에 의하여 스위칭될 수 있으며, 이 스위치들의 각각의 온/오프 동작은 모드 신호(120)에 의하여 수행된다. 도 4에서, 모드 신호(120)가 인버터를 통해 스위치(128)에 공급되기 때문에, 구조는 스위치(128)가 스위치(130)의 타이밍에 역인 타이밍에서 온/오프 동조되도록 형성된다.

[0087] 도 3에서 비디오 포맷 변환 회로(122), 입력 스위칭 회로(124) 및 컨트롤러(104)는 다른 블록들로 도시되나, 컨트롤러(126)로서 비디오 포맷 변환 회로 및 입력 스위칭 회로의 기능들은 도면에서 점선 프레임으로 도시된 바와 같이 컨트롤러(126)내에 포함될 수 있다.

[0088] 표시 장치의 구조로서, 컨트롤러는 하나의 IC 칩에 제공될 수 있으며, 비디오 포맷 변환 회로 및 입력 스위칭 회로는 동일하게 제공된다. 유사하게, 메모리(105)는 또한 컨트롤러내에 포함될 수 있다. 이러한 경우에, IC 칩은 COG(유리상 칩) 등에 의하여 디스플레이(106)상에 장착될 수 있다. 이러한 방식으로 IC 칩의 장착은 패널을 소형화에 기여한다.

[0089] 도 3은 RGB 신호(103) 및 휘도 색차 신호(101)가 다른 버스 라인들을 사용하여 표시 장치에 입력되는 구조를 도시한다. 다른 한편으로, 도 5는 RGB 신호(103) 및 휘도 색차 신호(101)가 동일한 버스 라인으로 입력되는 구조를 도시한다. 도 5에서, RGB 신호 또는 휘도 색차 신호는 입력 신호(132)로서 표시된다. 버스 라인을 사용하여 신호를 전송하는데 필요한 신호 라인들의 수는 RGB 신호 및 휘도 색차 신호 사이에서 다르며, 일반적으로 휘도 색차 신호의 경우에 필요한 신호 라인들의 수는 RGB 신호의 경우에서 보다 적다. 즉, 입력 신호(132)가 휘도 색차 신호일 때, 신호는 동일한 버스 라인이 물리적으로 사용되는 한 여러 신호 라인들로 입력되지 않는다. 이러한 특성을 이용함으로서, 입력 신호(132)가 신호 판별 회로(134)에서 RGB 신호인지 또는 휘도 색차 신호인지가 판별될 수 있다. 예컨대, 입력 신호(132)의 종류는 버스 라인의 특정 신호 라인에 대한 신호가 존재하는지를 모니터링함으로서 판별될 수 있다. 더욱이, 신호 판별 회로(134)는 식별 결과를 사용하여 모드 신호(120)를 생성하며, 비디오 포맷 변환 회로(122) 및 입력 스위칭 회로(124)에 모드 신호를 출력한다.

[0090] 도 6은 신호 판별 회로(134)의 구조를 도시한다. 이러한 도면에서, 입력 신호(132)는 다수의 신호 라인들을 가진 버스 라인으로 입력된다. RGB 신호(103) 및 휘도 색차 신호(101)중 어느 하나는 입력 신호(132)로서 선택될 수 있으나, 이러한 경우에 신호들을 전송하는데 필요한 버스 라인들의 각각의 수는 서로 다르다. 도 6에서,

RGB 신호가 전송될 때만 사용되는 신호 라인은 판별 회로(138)에 입력된다. RGB 신호가 전송될 때만 사용되는 신호 라인은 판별 회로(138)에 입력된다. 판별 회로(138)는 입력 신호(132)가 신호의 존재 또는 부재에 기초하여 RGB 신호 또는 휘도 색차 신호이며, 이 결과에 응답하여 모드 신호(120)를 출력한다.

[0091] 도 6에서, 모드 신호(120)의 값에 무관하게, RGB 신호(103) 및 휘도 색차 신호(101)가 출력되나, 본 발명은 이에 제한되지 않는다. RGB 신호(103) 또는 휘도 색차 신호(101)는 모드 신호(120)의 값에 응답하여 출력될 수 있다.

[0092] 도 5에서 컨트롤러(104), 비디오 포맷 변환 회로(122), 입력 스위칭 회로(124) 및 신호 판별 회로(134)는 다른 블록들로 도시되나, 컨트롤러(136)로서 비디오 포맷 변환 회로 및 입력 스위칭 회로의 기능들은 도면에서 점선 프레임으로 도시된 바와 같이 컨트롤러(136)내에 포함될 수 있다. 유사하게, 메모리(105)는 또한 메모리내에 포함될 수 있다. 이 경우에, IC 칩은 COG(유리상 칩) 등에 의하여 디스플레이(106)상에 장착될 수 있다. 이러한 방식으로 IC 칩의 장착은 패널을 소형화하는데 기여한다.

[0093] 도 5에서, 휘도 색차 신호(101), RGB 신호(103) 및 화상 신호(107)는 디지털 신호들로서 처리될 수 있다. 도 3 및 도 5는 디지털 계조 방법의 경우를 단순화하고 있으나, 아날로그 계조 방법은 도 2에 기술된 바와 같이 D/A 변환 회로를 제공함으로서 사용될 수 있다.

[0094] 다음으로, 압축된 이미지 입력의 조절은 도 7를 참조하여 기술된다. 압축된 파일은 하드 디스크 또는 반도체 메모리와 같은 기록 매체(144)에 저장된다. 이러한 파일은 MPEG 시스템, JPEG 시스템, 또는 디지털 비디오 표준인 DV 시스템과 같은 이미지 파일 또는 이미지 파일이다. 이들 압축된 파일들은 휘도 색차 신호의 상태로 압축된다. 이러한 파일은 판독되며, 압축된 화상 신호(140)는 이미지 확장 회로(142)에 입력된다. 이미지 확장 회로(142)는 압축된 파일을 원래의 상태로 복구하는 동작을 수행한다. 이 때에, 신호는 휘도 색차 신호로서 이미지 확장 회로(142)로부터 출력된다. 원래, 신호가 압축된 상태에서 휘도 색차 신호가 되기 때문에, 이미지 확장은 휘도 색차 신호의 상태로서 수행된다. 결과로서, 이미지 확장 회로(142)의 부하는 완화될 수 있다. 즉, 이미지 확장 회로(142)의 회로 스케일은 감소될 수 있으며 처리 속도를 높이는데 필요치 않다. 휘도 색차 신호는 도 1 내지 6에 도시된 바와 같이 비디오 포맷 변환 회로(102), 신호 판별 회로(134) 등에 입력될 수 있다.

[0095] 표시 부분이 제공된 전자 장치에 있어서, 하드 디스크 또는 반도체 메모리 장치에 압축되어 저장된 이미지 또는 이미지 파일이 표시 부분상에 표시되는 경우에, 도 7에 도시된 구조는 이미지 확장 회로의 구조가 단순화될 수 있기 때문에 적절하다. 이동 전화에 의하여 표현되고 전자 장치를 위하여 제공된 표시 부분에서는 동작 메뉴 스크린과 같은 특정 이미지가 표시되고 압축된 임의의 이미지 정보가 표시되는 경우들이 존재한다. 특정 이미지를 표시하는 경우에, RGB 시스템이 여러 경우에 사용되기 때문에, RGB 시스템 및 휘도 색차 시스템이 도 3 및 도 5에 도시된 바와 같이 스위치될 수 있는 것이 바람직하다.

[0096] 비디오 신호로서, 휘도 신호 및 색차 신호로 구성된 컴포지트 신호 및 색차 신호가 청색 색차 신호 및 적색 색차 신호로 분리되는 컴포넌트 신호가 존재한다. 정규 텔레비전 방송은 컴포지트 신호로 수행된다. 컴포지트 신호를 처리하는 경우들에서, 컴포넌트 신호 변환 회로(146)를 사용함으로써 컴포지트 신호(150)는 도 8에 도시된 바와 같이 컴포넌트 신호로 변환된다. 그 다음에, 신호가 출력될 입력 스위칭 회로(148)에 의하여 스위칭되기 때문에, 텔레비전 등과 같은 컴포지트 신호가 표시될 수 있다.

[0097] 도 8에 도시된 컴포넌트 신호 변환 회로(146)를 제공함으로써, 이미지 또는 이미지 파일 및 텔레비전 방송을 스위칭함으로서 하드 디스크 또는 반도체 메모리에 압축되어 저장되는 이미지 또는 이미지 파일 및 텔레비전 방송을 표시하는 표시 장치가 제공될 수 있다. 더욱이, 동작 메뉴 스크린과 같은 특정 이미지가 표시되는 경우에, RGB 시스템은 여러 경우에 사용된다. 따라서, 도 3 및 도 5에 도시된 바와 같이, RGB 시스템 및 휘도 색차 시스템간의 스위칭은 표시 장치의 운용도 측면에서 유리한 효과를 가진다.

[0098] 휘도 색차 신호는 ITU-R BT. 601 포맷, BTA S-001B 포맷, YCbCr 포맷, YPbPr 포맷, YUV 포맷, YIQ 포맷, 또는 YCC 포맷과 같은 다양한 포맷들에 대응할 수 있다.

[0099] 비록 휘도 색차 신호가 입력될지라도, 일부 신호 뿐만 아니라 휘도 색차 신호는 신호가 RGB 신호와 다른 경우에 사용될 수 있다. 예컨대, CMYK 또는 HSV 데이터의 경우에서 조차, 구조는 휘도 색차 신호의 경우와 유사하게 형성될 수 있다. CMYK가 청록색, 자홍색, 황색 및 흑색에 대한 약어인 것에 유의해야 한다(K는 주요 색에 대한 약어이다). 더욱이, HSV는 색조, 포화 및 값을 의미한다.

[0100] 이러한 실시예 모드의 표시 장치에서는 표시 부분에서 화소 구조의 특정 제한이 존재하지 않는다. 이러한 실시

예 모드의 구조는 표시 장치가 디지털 계조 방법을 사용하는 동안 다양한 표시 장치들에 적용될 수 있다. 예컨대, 화소가 표시 부분에서 EL 소자로 형성된 EL 디스플레이, PDP(플라즈마 디스플레이) 또는 DMD(디지털 마이크로미러 장치)를 사용하는 DLP(디지털 광 처리)가 사용될 수 있다.

[0101] 이러한 실시예 모드에 따르면, 비디오 포맷 변환 회로를 제공함으로서, RGB 신호 및 휘도 색차 신호는 이미지를 표시하기 위하여 스위칭될 수 있다. 따라서, 콘트라스트가 개선되고 보다 양호한 이미지 품질이 제공될 수 있다. 더욱이, 비디오 신호 처리 시스템은 완전하게 디지털화될 수 있으며, 이는 회로 구조가 잡음에 저항하도록 한다. 게다가, 표시 장치가 소형화될 수 있기 때문에, 전력 소비가 감소될 수 있다.

[0102] 실시예 모드 2

[0103] 표시 장치를 형성하는 표시 구조 및 계조를 표현하는 방법이 이러한 실시예 모드에서 기술된다.

[0104] 표시 장치는 비디오 신호 등을 표시 패널에 입력하는 구동기 회로 및 표시 패널을 포함한다. 도 9는 이러한 표시 패널의 구조 예를 기술한다. 디스플레이(200)는 소스 신호 라인 구동기 회로(202), 게이트 신호 라인 구동기 회로(204) 및 화소 부분(206)을 포함한다. 화소 부분은 매트릭스로 배치된 화소들을 포함한다.

[0105] 스위칭 소자가 화소 부분(206)의 전형적인 구조로서 각각의 화소로 배치되는 능동 매트릭스 방법이 존재한다. 이하에서는 두개의 박막 트랜지스터들(TFT)이 각각의 화소로 배치되고 각각의 화소의 발광 소자의 발광이 제어되는 방법에 대한 설명이 제공된다.

[0106] 표시 패널의 화소 부분에 대한 구조가 도 10에 도시된다. 화소 부분(209)에서, 소스 신호 라인(S1 내지 Sx), 게이트 신호 라인들(G1 내지 Gy), 및 전력 공급 라인들(V1 내지 Vx)이 배치되며, x 열들(여기서, x는 자연수이다) 및 y 행들(여기서, y는 자연수이다)의 화소들이 배치된다. 화소(207)는 선택 TFT(208), 구동 TFT(210), 저장 커패시터(212) 및 발광 소자(214)를 가진다.

[0107] 도 10의 화소(207)에 대한 상세한 설명이 도 11에 도시되어 있다. 선택 TFT(208)의 게이트 전극은 게이트 신호 라인(G)에 접속된다. 선택 TFT(208)의 소스 영역 또는 드레인 영역 중 한 영역은 소스 신호 라인(S)에 접속되는 반면에, 다른 영역은 구동 TFT(210)의 게이트 전극 및 저장 커패시터(212)의 전극에 접속된다. 구동 TFT(210)의 소스 영역 또는 드레인 영역 중 하나는 전력 공급 라인(V)에 접속되는 반면에, 다른 영역은 발광 소자(214)의 애노드 또는 캐소드에 접속된다. 구동 TFT(210) 및 선택 TFT(208)에 접속되지 않은 저장 커패시터(212)의 두개의 전극 중 다른 전극은 전력 공급 라인(V)에 접속된다.

[0108] 본 명세서에서, 발광 소자(214)의 애노드는 화소 전극으로서 언급되는 반면에, 발광 소자(214)의 캐소드는 구동 TFT(210)의 소스 영역 또는 드레인 영역이 발광 소자(214)의 애노드에 접속되는 경우에 반대 전극으로서 언급된다. 다른 한편으로, 구동 TFT(210)의 소스 영역 또는 드레인 영역이 발광 소자(214)의 캐소드에 접속되는 경우에, 발광 소자(214)의 캐소드는 화소 전극으로서 언급되는 반면에, 발광 소자(214)의 애노드는 반대 전극으로서 언급된다. 더욱이, 전력 공급 라인(V)에 공급된 전위는 전력 공급 전위로서 언급되는 반면에, 반대 전극에 공급된 전위는 반대 전위로서 언급된다.

[0109] 선택 TFT(208) 및 구동 TFT(210)는 P-채널 TFT 및 N-채널 TFT로부터 선택될 수 있다. 저장 커패시터는 필요한 경우에 적절하게 배치될 수 있다. 예컨대, 구동 TFT(210)로서 사용된 N-채널 TFT가 게이트 절연막을 통해 게이트 전극과 중첩되도록 형성된 LDD 영역을 가질 때, 게이트 커패시터라 불리는 기생 커패시턴스는 중첩 영역에 형성된다. 구동 TFT(210)의 게이트 전극에 공급된 전압을 저장하는 저장 커패시터로서 기생 커패시턴스를 사용하는 것이 가능하다.

[0110] 앞서 언급된 구조를 가진 화소를 사용하여 이미지를 표시하는 경우의 구동 방법이 이하에 기술된다.

[0111] 스캐닝 신호가 게이트 신호 라인(G)에 입력될 때, 선택 TFT(208)의 게이트 전극의 전위는 변화되며 선택 TFT(208)는 턴온되며, 즉 도전상태로 된다. 따라서, 비디오 신호는 이러한 화소로 입력된다. 이는 비디오 신호에 기초한 전위가 소스 신호 라인(S)으로부터 선택 TFT(208)를 통해 구동 TFT(210)의 게이트 전극에 공급되는 상태이다. 더욱이, 비디오 신호에 응답하여 동시에 저장 커패시터(212)에 전하가 유지된다. 구동 TFT(210)의 게이트 전극에 공급된 전압에 의하여, 구동 TFT(210)는 도전 상태로 되며, 전력 공급 라인(V)의 전위는 구동 TFT(210)를 통해 발광 소자(214)의 화소 전극에 공급된다. 따라서, 발광 소자(214)는 발광한다.

[0112] 다음으로, 이러한 구조를 가진 화소들을 사용하여 이미지를 표시할 때 계조를 표현하는 방법이 기술된다.

[0113] 계조를 표현하는 방법들이 아날로그 방법 및 디지털 방법으로 개략적으로 분류되는 것이 공지되어 있다. 아날

로그 방법과 비교하여, 디지털 방법은 화소를 형성하는 TFT의 변형에 의하여 영향을 받지 않는 특성을 가진다. 더욱이, 디지털 방법은 다중 계조 표시에 적합하다.

- [0114] 계조를 표현하는 디지털 방법의 예로서, 시간 계조 방법이 공지되어 있다. 이러한 시간 계조 구동 방법은 표시 장치의 각각의 화소가 발광하는 기간을 제어함으로서 계조를 표현하는 방법이다.
- [0115] 시간 계조 방법에서, 하나의 프레임 주기가 다수의 서브-프레임 주기들로 분할된다. 그 다음에, 발광 또는 비발광은 각각의 서브-프레임 주기동안 선택되며, 발광 소자가 한 프레임 주기에서 발광하는 주기는 계조가 표현되도록 제어된다.
- [0116] 이러한 시간 계조 구동 방법은 도 12a 및 도 12b에서 타이밍 채트를 사용하여 더 상세히 기술된다. 4-비트 디지털 비디오 신호를 사용하여 계조를 표현하는 예는 도 12a 및 도 12b에 도시된다. 도 10 및 도 11은 화소의 구조 및 이의 화소 부분으로서 언급된다. 여기서, 외부에 접속된 전력 소스에 의하여, 발광 소자(214)가 발광하는 정도까지 전력 공급 라인(V1 내지 Vx)(전력 공급 전위)의 각 라인의 전위 또는 전력 공급 라인들(V1 내지 Vx)의 각 라인의 전위와 대략 동일한 레벨의 전위 및 반대 전위간의 전위차가 존재하도록 반대 전위가 스위칭될 수 있다.
- [0117] 하나의 프레임 주기 F1은 도 12a에서 다수의 서브-프레임 주기들 SF1 내지 SF4로 분할된다. 게이트 신호 라인 (G1)은 우선 제 1 서브-프레임 주기 SF4에서 선택된다. 그 다음에, 디지털 비디오 신호는 게이트 신호 라인 (G1)에 접속된 게이트 전극들을 가진 선택 TFT들(208)을 구비한 각각의 화소들에서 소스 신호 라인들(S1 내지 Sx)로부터 입력된다. 각각의 화소의 구동 TFT(210)는 입력된 디지털 비디오 신호에 의하여 턴온 또는 턴오프된다.
- [0118] 여기서, 용어 "TFT가 턴온된다는 것"은 소스 및 드레인의 게이트 전압을 공급함으로서 서로 전기적으로 접속된다는 것을 의미한다. 게다가, 용어 "TFT가 턴오프된다는 것"은 소스 및 드레인의 게이트 전압을 공급함으로서 전기적으로 서로 접속되지 않는다는 것을 의미한다.
- [0119] 이 때에, 발광 소자(214)의 반대 전위는 전력 공급 라인(V1 내지 Vx)(전력 공급 전위)의 각 라인의 전위와 거의 동일하게 세팅되며, 이에 따라 발광 소자(214)는 구동 TFT(210)가 턴온되는 화소에서 조차 광을 발광하지 않는다.
- [0120] 도 12b는 각각의 화소의 구동 TFT(210)에 디지털 비디오 신호를 입력하는 동작을 도시한 타이밍 채트이다. 도 12b에서, 소스 신호 라인 구동기 회로가 각각의 소스 신호 라인들에 대응하는 신호들을 샘플링하는 주기들은 S1 내지 Sx로 표시된다. 샘플링된 신호들은 도면에 도시된 블랭킹 주기에서 소스 신호 라인들의 모드에 동시에 출력된다. 이와같이 출력된 신호들은 게이트 신호 라인에 의하여 선택된 화소들의 구동 TFT들(210)의 게이트 전극들에 입력된다.
- [0121] 전술한 동작은 게이트 신호 라인들(G1 내지 Gy)의 모드에 대하여 반복되며, 기록 주기 Ta1은 완료된다. 제 1서브-프레임 주기 SF1의 기록 주기는 Ta1으로 언급된다는 것에 유의해야 한다. 일반적으로, j-번째 서브-프레임 주기(여기서, j는 자연수임)의 기록 주기는 Taj로서 언급된다.
- [0122] 기록 주기 Ta1이 완료될 때, 반대 전위는 발광 소자(214)가 발광하는 정도까지 전력 공급 전위로부터 전위차를 가지도록 변화한다. 따라서, 발광 주기 Ts1가 시작된다. 제 1서브-프레임 주기 SF1의 발광 주기가 Ts1으로서 언급된다는 것에 유의해야 한다. j-번째 서브-프레임 주기(여기서, j는 자연수임)의 발광 주기는 Tsj로서 언급된다. 발광 주기 Ts1에서, 각 화소의 발광 소자(214)는 입력된 신호에 응답하여 발광하거나 또는 발광하지 않는다.
- [0123] 앞의 동작은 서브-프레임 주기들 SF1 내지 SF4의 모두에 대하여 반복되며 이에 따라 하나의 프레임 주기 F1에서 완료된다. 서브-프레임 주기들 SF1 내지 SF4의 발광 주기들 Ts1 내지 Ts4의 길이는 개략적으로 세팅되며, 계조는 프레임 주기 F1마다 서브-프레임 주기의 발광 소자(214)가 발광하는 발광 주기의 전체 합으로 표현된다. 즉, 계조는 하나의 프레임 주기내에서 발광 시간의 전체 합만큼 표현된다.
- [0124] n-비트 디지털 화상 신호를 입력함으로서  $2n$  계조들을 표현하는 방법이 기술된다. 예컨대, 하나의 프레임 주기는 n 서브-프레임 주기들 SF1 내지 SFn로 분할되며, 서브-프레임 주기들 SF1 내지 SFn의 발광 주기들 Ts1 내지 Tsn의 길이의 비는  $Ts1:Ts2:\dots:Ts(n-1):Tsn=2^0:2^{-1}:\dots:2^{-(n-2)}:2^{-(n-1)}$ 인 것으로 세팅된다. 기록 주기들 Ta1 내지 Tan의 길이들이 동일하다는 것에 유의해야 한다.

- [0125] 발광 상태가 하나의 프레임 주기내에서 발광 소자(214)에서 선택되는 발광 주기 Ts의 전체 합을 계산함으로서, 프레임 주기에서 화소의 계조 레벨이 판별된다. 예컨대, n이 8이고 화소가 모든 발광 주기들에서 발광할때 휘도가 100%인 것을 가정하면, 1%의 휘도는 화소가 Ts8 및 Ts7에서 발광할때 표현될 수 있으며 60%의 휘도는 Ts6, Ts4 및 Ts1이 선택될때 표현될 수 있다.
- [0126] 하나의 서브-프레임 주기가 다수의 서브-프레임 주기들로 분할될 수 있다는 것에 유의해야 한다.
- [0127] 계조가 시간 계조 방법을 사용하여 표현되는 경우에, 서브-프레임의 수는 임의적으로 세팅될 수 있다. 더욱이, 서브-프레임이 발광할때 선택되는 각각이 서브-프레임 주기의 발광 주기에 대한 길이, 즉 서브-프레임을 선택하는 방법은 특히 제한되지 않는다.
- [0128] 예컨대, 16 계조들을 표현하는 경우는 도 13에 도시된다. 하나의 프레임 주기는 4개의 서브-프레임들(SF1 내지 SF4)로 분할될 수 있으며, SF1 내지 SF4의 발광 주기들 Ts1:Ts2:Ts3:Ts4의 비는  $2^0:2^1:2^2:2^3$ 일 수 있다.
- [0129] 더욱이, 계조를 표현하는 방법에 있어서, 계조는 하나의 프레임을 분할함으로서 형성된 서브-프레임들의 모두 또는 부분의 각각에 포함된 발광 주기를 순차적으로 가산함으로서 표현될 수 있다. 즉, 발광을 위한 서브-프레임들의 수는 계조가 증가될때 증가될 수 있다. 이러한 경우에, 낮은 계조 레벨에서 발광을 위한 서브-프레임은 높은 계조 레벨에서 발광하기 위하여 사용된다. 이러한 계조 방법은 본 명세서에서 "중첩된 시간 계조 방법"이라 불린다. 예컨대, 16개의 계조들이 표현되는 경우에 중첩된 시간 계조 방법이 적용되는 예들은 도 14a 및 도 14b에 도시된다.
- [0130] 도 14a에서, 하나의 프레임 주기는 5개의 서브-프레임들(SF1 내지 SF5)로 분할되며, 서브-프레임들 SF1 내지 SF5의 발광주기 Ts1:Ts2:Ts3:Ts4:Ts5의 비는  $2^0:2^1:2^2:2^3:2^2$ 이며, 중첩된 시간 계조 방법은 발광 주기들의 길이가 동일한 서브-프레임들 SF3 내지 SF5에 적용된다. 도 14b에서, 하나의 프레임 주기는 5개의 서브-프레임들 (SF1 내지 SF5)로 분할되며, 서브-프레임들 SF1 내지 SF5의 발광주기 Ts1:Ts2:Ts3:Ts4:Ts5의 비는  $2^2:2^1:2^0:2^2:2^2$ 이며, 중첩된 시간 계조 방법은 발광 주기들의 길이가 동일한 서브-프레임들 SF1, SF4 및 SF5에 적용된다. 중첩된 그시간 계조 방법을 적용함으로서 의사 윤곽이 감소될 수 있다.
- [0131] 중첩된 시간 계조 방법이 적용되는 서브-프레임들은 발광 주기들의 길이들이 동일한 서브-프레임들에 제한되지 않는다는 것을 유의해야 한다. 더욱이, 서브-프레임들이 출현 순서는 전술한 것에 제한되지 않는다.
- [0132] 본 발명의 표시 장치의 디스플레이에 포함된 화소 부분의 구조로서, 공지된 구조를 가진 화소 뿐만아니라 도 10에 도시된 구조의 화소가 자유롭게 사용될 수 있다. 더욱이, 본 발명의 표시 장치의 디스플레이에 포함된 게이트 신호 라인 구동기 회로 및 소스 신호 라인 구동기 회로로서, 공지된 구조를 가진 회로가 자유롭게 사용될 수 있다. 게다가, 본 발명은 발광 소자로서 발광 소자를 사용하는 표시 장치에 적용될 수 있을 뿐만아니라 FED 또는 PDP와 같은 자체 발광 타입 표시 장치에 적용될 수 있다.
- [0133] 이러한 실시예 모드에 따르면, 시간 계조 방법을 사용하는 경우에, 비디오 포맷 변환 회로를 제공함으로서, RGB 신호 및 휘도 색차 신호는 이미지를 표시하도록 스위칭될 수 있다. 따라서, 콘트라스트는 개선되며, 보다 양호한 이미지 품질이 제공될 수 있다. 더욱이, 비디오 신호 처리 시스템은 완전하게 디지털화될 수 있으며, 이는 회로 구조가 잡음에 저항하도록 한다. 게다가, 표시 장치가 소형화될 수 있기 때문에, 전력 소비가 감소될 수 있다.
- [0134] 실시예 모드 3
- [0135] 이러한 실시예 모드에서, 디스플레이의 소스 신호 라인 구동기 회로 및 게이트 신호 라인 구동기 회로로 시간 계조 구동 방법을 수행하는 신호들을 입력하는 회로에 대한 설명이 도 15를 참조로하여 이루어진다. 이러한 실시예 모드에서, 4-비트 디지털 화상 신호를 표시 장치에 입력함으로서 이미지를 표시하는 표시 장치의 예에 대한 설명이 이루어진다.
- [0136] 신호 제어 회로(312)는 디지털 화상 신호(디스플레이에 입력된 비디오 신호라 불림)로 판독되며 디스플레이(300)에 디지털 비디오 신호(VD)를 출력한다. 신호 제어 회로(312)의 디스플레이내에 입력될 신호로 디지털 화상 신호를 변환함으로서 획득된 신호는 여기에서 "디지털 비디오 신호"라 불린다.
- [0137] 디스플레이(300)에서 소스 신호 라인 구동기 회로(302) 및 게이트 신호 라인 구동기 회로(304)를 구동시키는 신호들 및 구동 전압들은 표시 컨트롤러(310)에 의하여 입력된다. 디스플레이(300)의 소스 신호 라인 구동기 회로(302)는 시프트 레지스터(307), LAT(A)(308) 및 LAT(B)(309)를 포함한다. 더욱이, 레벨 시프터, 버퍼 등은

소스 신호 라인 구동기 회로(302)에 제공될 수 있다.

- [0138] 신호 제어 회로(312)는 CPU(313), 메모리(A)(314), 메모리(B)(315) 및 메모리 컨트롤러(316)를 포함한다.
- [0139] 신호 제어 회로(312)에 입력된 디지털 이미지 데이터는 메모리 컨트롤러(316)에 의하여 제어되며, 메모리(A)(314)에 입력된다. 여기서, 메모리(A)(314)는 디스플레이(300)의 화소 부분(306)의 전체 화소들에 대한 4-비트 디지털 화상 신호들을 저장하기에 충분한 용량을 가진다. 하나의 프레임 주기동안의 신호들이 메모리(A)(314)에 저장될 때, 각각의 비트의 신호는 메모리 컨트롤러(316)에 의하여 판독되며, 이는 디지털 비디오 신호(VD로서 소스 신호 라인 드라이버 회로(302)에 입력된다.
- [0140] 메모리(A)(314)에 저장된 신호들의 판독 동작이 시작될 때, 다음 프레임 주기에 대응하는 디지털 화상 신호는 메모리 컨트롤러(316)를 통해 입력되며 메모리(B)(315)에 저장되기 시작한다. 메모리(B)(315)는, 메모리(A)(314)와 유사하게, 표시 장치의 전체 화소들에 대한 4-비트 디지털 화상 신호들을 저장하기에 충분한 용량을 가진다.
- [0141] 신호 제어 회로(312)는 메모리(A)(314) 및 메모리(B)(315)를 가지며, 이 메모리의 각각은 하나의 프레임 주기동안 4-비트 디지털 화상 신호들을 저장할 수 있다. 메모리(A)(314) 및 메모리(B)(315)를 교번하여 사용함으로서, 디지털 화상 신호들은 샘플링된다.
- [0142] 신호 제어 회로(312)가 다수의 프레임들의 데이터를 저장할 수 있는 메모리 용량 및 앞서 기술된 모든 하나의 프레임 주기동안 비디오 신호들의 저장 및 판독을 수행하는 기능을 가지는 한, 본 발명은 도 15의 구조에 제한되지 않는다.
- [0143] 도 16은 전술한 동작을 수행하는 표시 장치의 블록도이다. 표시 장치는 신호 제어 회로(312), 표시 컨트롤러(310) 및 디스플레이(300)를 포함한다.
- [0144] 표시 컨트롤러(310)는 시작 펄스(SP), 클록 펄스(CLK) 및 구동 전압을 디스플레이(300)에 공급한다.
- [0145] 도 16은 4-비트 디지털 화상 신호가 입력되고 계조가 제 1 표시 모드에서 4-비트 디지털 비디오 신호를 사용하여 표현되는 예를 도시한다. 메모리(A)(314)는 디지털 화상 신호의 제 1 내지 제 4 비트들의 데이터를 각각 저장하는 메모리들(A)(314a 내지 314d)을 포함한다. 유사하게, 메모리(B)(315)는 디지털 화상 신호의 제 1 내지 제 4 비트들의 데이터를 각각 저장하는 메모리들(B)(315a 내지 315d)을 포함한다. 각각의 비트에 대응하는 메모리는 하나의 스크린을 구성하는 화소들의 수에 대응하는 수에서 신호의 1비트를 저장하는 메모리 소자들을 가진다.
- [0146] 일반적으로, n-비트 디지털 비디오 신호를 사용하여 계조를 표현할 수 있는 표시 장치에서, 메모리(A)(314)는 제 1 내지 제 n 비트의 데이터를 저장하는 메모리들(B)(315a 내지 315d)을 포함한다. 유사하게, 메모리(B)(315)는 제 1 내지 제 n 비트들의 데이터를 각각 저장하는 메모리들(B)(315a 내지 315d)을 포함한다. 각각의 비트에 대응하는 메모리는 하나의 스크린을 구성하는 화소들의 수에 대응하는 수에서 신호의 1비트를 저장하기에 충분한 용량을 가진다.
- [0147] 도 17은 메모리 컨트롤러(316)의 구조를 도시한다. 도 17에서, 메모리 컨트롤러(316)는 계조 제한 회로(318), 메모리 제어 회로(319), 기준 발진기 회로(320), 가변 주파수 분할 회로(321), x 카운터(322a), y 카운터(322b), x 디코더(323a) 및 y 디코더(323b)를 포함한다.
- [0148] 도 15, 도 16 등에 도시된 메모리(A)(314) 및 메모리(B)(315) 등은 포괄적으로 메모리로서 언급된다. 더욱이, 메모리는 다수의 메모리 소자들을 포함한다. 메모리 소자들은 어드레스(x,y)에 의하여 선택된다.
- [0149] CPU(313)으로부터의 신호는 계조 제한 회로(318)를 통해 메모리 제어 회로(319)에 입력된다. 계조 제한 회로(318)는 제 1 표시 모드 또는 제 2 표시 모드에 따라 메모리 제어 회로(319)에 신호를 입력한다. 메모리 제어 회로(319)는 계조 제한 회로(318)로부터의 신호에 따라 각각의 비트에 대응하는 디지털 화상 신호를 메모리에 기록하는지의 여부를 선택한다. 유사하게, 메모리에 기록된 디지털 비디오 데이터를 판독하는 동작이 선택된다.
- [0150] CPU(313)로부터의 신호는 기준 발진 회로(320)에 입력된다. 기준 발진 회로(320)로부터의 신호는 가변 주파수 분할 회로(321)에 입력되며 적절한 주파수를 가진 신호로 변환된다. 여기에서, 계조 제한 회로(318)로부터의 신호는 제 1 표시 모드 또는 제 2 표시 모드에 따라 가변 주파수 분할 회로(321)로 입력된다. 이러한 신호에 기초하여, 가변 주파수 분할 회로(321)로부터의 신호는 x-카운터(322a) 및 x-디코더(323a)를 통해 메모리의 x-어

드레스를 선택한다. 유사하게, 가변 주파수 분할 회로로부터의 신호는 y-카운터(322b) 및 y-디코더(323b)에 입력되며, 메모리의 y 어드레스를 선택한다.

- [0151] 앞서 기술된 구성을 가진 메모리 컨트롤러(316)를 사용함으로서, 신호 제어 회로에 입력된 디지털 화상 신호로 메모리로 기록되고 메모리로부터 판독될 신호의 데이터량은 높은 계조 표시가 요구되지 않을 때 억제될 수 있다. 게다가, 메모리로부터 신호를 판독하는 주파수는 변경될 수 있다.
- [0152] 표시 컨트롤러(310)의 구조가 이하에 기술된다. 도 18은 본 발명의 표시 컨트롤러의 구조를 도시한 도면이다. 표시 컨트롤러(310)는 기준 클록 생성 회로(328), 가변 주파수 분할 회로(329), 수평 클록 생성 회로(330), 수직 클록 생성 회로(331), 발광 소자(332)에 대한 전력 소스 제어 회로, 및 구동기 회로(333)에 대한 전력 공급 제어 회로를 포함한다.
- [0153] CPU(313)로부터 입력된 클록 신호(324)는 기준 클록 생성 회로(328)에 입력되며 기준 클록을 생성한다. 이러한 기준 클록은 가변 주파수 분할 회로(329)를 통해 수평 클록 생성 유닛(330) 및 수직 클록 생성 회로(331)에 입력된다. 계조 제어 신호(327)는 가변 주파수 분할 회로(329)에 입력된다. 기준 클록의 주파수는 이러한 신호에 의하여 변경된다.
- [0154] 기준 클록의 주파수가 가변 주파수 분할 회로(329)에서 변경되는 범위는 임의적으로 판별될 수 있다.
- [0155] 게다가, 수평 주기를 결정하는 수평 동기 신호(325)는 CPU(313)로부터 수평 클록 생성 회로(330)로 입력되며, 소스 신호 라인 구동기 회로에 대한 클록 펄스 S\_CLK 및 시작 펄스 S\_SP가 출력된다. 유사하게, 수직 주기를 결정하는 수직 주기 신호(326)는 CPU(313)으로부터 수직 클록 생성 회로(331)에 입력되며, 게이트 신호 라인 구동기 회로에 대한 클록 펄스 G\_CLK 및 시작 펄스 G\_SP가 출력된다.
- [0156] 이러한 방식에서, 메모리로부터 낮은 비트 신호의 판독은 수행되지 않으며 메모리로부터 신호를 판독하기 위한 주파수는 신호 제어 회로의 메모리 컨트롤러에서 감소된다. 이러한 동작에 응답하여, 표시 컨트롤러는 구동기 회로들(소스 신호 라인 구동기 회로 및 게이트 신호 라인 구동기 회로)의 각각에 입력될 클록 펄스 CLK 및 샘플링 펄스 SP의 주파수들을 감소시키며 이미지를 표현하는 서브-프레임 주기의 기록 주기 및 발광 주기를 길게 세팅될 수 있다.
- [0157] 이러한 실시예 모드에서, 하나의 프레임 주기는 4개의 서브-프레임 주기들로 분할되며  $2^4$  계조는 4비트 디지털 비디오 신호를 사용함으로서 표현되나, 하나의 서브-프레임 주기는 다수의 서브-프레임 주기들로 분할될 수 없다. 예컨대, 하나의 프레임 주기는 6개의 서브-프레임 주기들로 분할될 수 있다.
- [0158] 발광 소자(332)에 대한 전력 소스 제어 회로는 그것이 기록 주기동안 전력 소스 전위와 거의 동일한 전력으로 유지되는 반면에 발광 소자가 발광 주기에서 발광하는 정도까지 전력 소스 전위로부터 전위차를 가지도록 발광 소자의 반대 전극(반대 전위)의 전위를 제어한다. 여기서, 계조 제어 신호(327)는 발광 소자(332)에 대한 전력 소스 제어 회로에 입력된다. 이에 의하여, 발광 상태가 선택되는 화소에서, 발광 소자의 반대 전극의 전위는 발광 소자의 발광 주기의 증가량만큼 발광 소자의 양 전극들사이에 공급된 전압을 감소시키기 위하여 변경된다.
- [0159] 구동기 회로(333)에 대한 전력 공급 제어 회로는 각각의 구동기 회로에 입력될 전력 소스 전압을 제어한다. 여기서, 계조 제어 신호(327)는 구동기 회로(333)에 대한 전력 공급 제어 회로에 입력되며, 이에 따라 출력될 구동기 회로에 대한 전력 소스 전압은 변경된다.
- [0160] 구동기 회로(333)에 대한 전력 공급 제어 회로는 일본특허번호 제3110257호(일본특허공개번호 Hei8-69690)에 개시된 기술과 같은 공지된 구조에 적합할 수 있다는 것에 유의해야 한다.
- [0161] 앞서 언급된 신호 제어 회로(312), 메모리 컨트롤러(316), CPU(313), 메모리(A)(314), 메모리(B)(315) 및 표시 컨트롤러(310)는 화소들로서 동일한 기판위에 형성될 수 있거나, 또는 LSI 칩들에 의하여 형성될 수 있으며 COG에 의하여 디스플레이(300)의 기판상에 부착될 수 있거나 또는 TAB를 사용하여 기판상에 부착될 수 있거나 또는 디스플레이의 기판과 다른 기판위에 형성될 수 있고 또한 전기 와이어를 사용하여 접속될 수 있다.
- [0162] 실시예 모드 1 또는 실시예 모드 2와 본 실시예의 표시 장치를 결합함으로서 유사한 효과가 얻어질 수 있다.
- [0163] 실시예 모드 4
- [0164] 표시 장치의 구동기 회로는 이러한 실시예 모드에 기술된다. 시간 계조를 사용함으로서 표시를 수행하기 위하여, 신호들을 시간 계조에 대한 신호들로 변환하는 회로가 요구된다. 신호들을 시간 계조에 대한 신호들로 변환하는 회로로서, 도 19에 도시된 제어 회로는 예컨대 표시된 바와같이 수행될 수 있다. 제어 회로(402)는 데

이터를 저장하는 메모리들(A)(405) 및 (B)(406), 메모리로부터 데이터를 판독하고 이 메모리에 데이터를 기록하는 논리 회로(W-논리장치(403))를 포함한다.

[0165] 도 20은 이러한 실시예 모드의 제어 회로의 타이밍 챕트이다. 데이터는 W-논리장치(403)에 입력되는 디지털 데이터가 시간 계조 방법에 적용되도록 하기 위하여 메모리들(A)(405) 및 (B)(406)을 사용하여 교번으로 기록 및 판독된다.

[0166] R-논리장치(404)가 메모리(A)(405)에 저장된 신호들을 판독할 때, 다음 프레임 주기동안 사용될 수 있는 디지털 화상 신호들은 W-논리장치(403)를 통해 메모리(B)(406)에 동시에 입력되며 저장되기 시작한다.

[0167] 따라서, 제어회로(402)는 1 프레임 주기의 디지털 화상 신호들을 각각 저장할 수 있는 메모리들(A)(405) 및 (B)(406)을 포함하며 메모리들(A)(405) 및 (B)(406)을 교번하여 사용함으로서 디지털 화상 신호들을 샘플링한다.

[0168] 이 때에, 제어 회로는 다음 판독 신호가 메모리(A)(405) 또는 (B)(406)에 기록된 후에 주어질 때까지 대기(스탠바이) 상태로 전환된다. 게다가, 메모리들(A)(405) 및 (B)(406)의 역할들은 시간이 더 걸리는 판독과 동시에 기록으로부터 판독으로 그리고 판독으로부터 기록으로 스위칭된다.

[0169] 더욱이, 두 개의 메모리들의 할당은 기록 신호들의 사이클마다 결정될 수 있으며, 판독의 시작은 기록을 위한 시작 신호들 및 수평 동기 신호들을 통해 결정될 수 있다. 따라서, 프레임 주파수가 감소하는 문제가 감소될 수 있다.

[0170] 도 21은 이러한 실시예 모드에서 다른 구조를 도시한 블록도이다.

[0171] 제어회로(422)는 메모리들(A)(425) 및 (B)(426), 메모리에 대한 기록 또는 판독 기능을 선택하는 선택기들(A)(427) 및 (B)(428), 메모리에 기록하기 위한 논리회로(W-논리장치(423), 메모리로부터 판독하여 디스플레이(420)에 출력하는 논리회로(R-논리장치(424)) 및 수직 동기 신호들(SYNC)(TOP 429)의 시작 포인트를 결정하는 회로를 포함한다.

[0172] SYNC, G\_CK, RAM\_SELECTOR 및 READ\_ENABLE의 신호들은 동기를 달성하기 위하여 새로이 적용된다.

[0173] RAM\_SELECTOR는 SYNC 신호가 입력될 때마다 반전되며, 메모리들(A)(425) 및 (B)(426)의 기록 및 판독 역할들은 선택기들(A)(427) 및 (B)(428)에 의하여 결정된다.

[0174] 도 22는 TOP(429), W-논리장치(423) 및 R-논리장치(424)의 동작들에 대한 타이밍 챕트이다. RAM\_SELECTOR는 SYNC 신호가 입력될 때 반전되며, 메모리들(A)(425) 및 (B)(426)의 역할들은 기록로부터/로 판독으로/로부터 스위칭된다. 동시에, W-논리장치는 기록을 수행하며, R-논리장치는 판독을 시작하며, READ\_ENABLE 신호는 H 레벨(또는 L 레벨)이 된다.

[0175] 도 23은 기록 및 판독 타이밍과 동기화에 관한 타이밍 챕트이다. RAM\_SELECTOR는 수직 동기 신호들(SYNC)에 의하여 반전되며, 메모리들의 역할들은 기록으로부터/으로 판독으로/로부터 스위칭된다. 따라서, W-논리장치는 데이터를 기록하기 위하여 도 21에 도시된 메모리들(A)(425) 및 (B)(426)을 교번으로 사용한다.

[0176] READ\_ENABLE은 R-논리장치가 H 레벨의 시간에 판독 가능 상태에 있다는 것을 지시하고 R-논리장치가 L-레벨의 시간에 스탠바이 상태(대기 상태)에 있다는 것을 지시하는 신호들일 것이다.

[0177] 게다가, READ\_ENABLE은 RAM\_SELECTOR가 반전된 후에 수평 동기 신호들(G\_CK)의 시작 포인트(하이(high))로부터 기록 가능 상태(하이)로 전환되며, R-논리장치는 판독을 위한 스탠바이 상태(대기 상태)로부터 판독 가능 상태로 전환된다. R-논리장치의 판독을 위한 스탠바이 상태(대기 상태)가 판독 사이클 종료 후에 자동적으로 판독을 위한 스탠바이 상태(대기 상태)가 된다는 것에 유의해야 한다. 다시 말해서, RAM\_SELECTOR는 수직 동기화 신호들에 의하여 반전되며, 판독을 위한 스탠바이 상태(대기 상태)의 주기는 G\_CK 및 READ\_ENABLE 신호들의 각각의 상태로부터 변화된다. 수평 동기 신호들(G\_CK) 및 판독 가능 상태 또는 대기 상태의 시작을 지시하는 READ\_ENABLE이 H 레벨 또는 L 레벨일 수 있다는 것에 유의해야 한다.

[0178] 따라서, 다른 기록 및 판독 사이클들은 R-논리장치의 스탠바이 상태(대기 상태)의 주기를 조절함으로서 동기된다.

[0179] 이러한 실시예 모드는 도 21의 블록도에 제한되지 않으며, 도 24에 도시된 블록도가 사용될 수 있다. 비록 도 24에서 동일한 도면부호들이 도 21의 도면부호들로서 사용될지라도, 선택기들(A)(427) 및 (B)(428)의 기능들은

다르다. 선택기(A)(427)는 R-논리장치(424)에 데이터를 기록할 수 있으며, 선택기(B)(428)는 W-논리장치로부터 데이터를 판독할 수 있다. 따라서, 데이터의 판독 및 기록 기능들은 메모리들(A)(425) 및 (B)(426)의 둘다와 관련하여 서로 교환될 수 있다.

- [0180] 다음으로, 발광 소자들을 사용하여 신호들을 표시 패널에 출력하는 제어 회로의 구조에 대한 예가 도 24를 참조하여 기술된다.
- [0181] 18-비트(6비트×RGB) 비디오\_데이터 및 제어 신호들은 제어 회로인 FPGA(442)에 입력된다. 비디오\_데이터의 입력으로부터 디스플레이(440)에 대한 출력으로의 동작들이 기술된다.
- [0182] 각각의 행의 판독은 VCLK에 의하여 제어된다(사이클은 68.8  $\mu$ sec이다). 첫째, 비디오\_데이터가 SYNC 신호의 입력에 의하여 입력되기 시작한다. SYNC 신호가 입력되고 임의의 오프 주기가 경과된후에, 비디오\_데이터는 W-논리장치(443)에 입력되기 시작한다. 비디오\_데이터의 하나의 행은 VCLK의 절반 사이클마다 판독된다. 200개의 행들이 입력되고 임의의 오프 주기가 경과되면, SYNC 신호는 다시 입력되며 비디오\_데이터는 입력된다. 전체 스크린에 대한 입력 사이클은 16.6698 msec(VCLK의 243 사이클, 초당 60 사이클)이다.
- [0183] 하나의 행에서 각각의 블록의 판독은 HCLK에 의하여 제어된다(사이클은 400nsec이다). HCLK는 비디오\_인에이블이 하이인 주기동안 비디오\_데이터를 판독한다. 하나의 행의 데이터후에, 176 블록들의 더 많은 데이터가 판독되며 임의의 오프 주기(비디오\_인에이블이 L 레벨에 있다)가 경과된후에, 비디오\_데이터의 다음 행이 판독된다. 220 행들에 대하여 상기 동작을 반복함으로서 하나의 스크린에 대한 데이터가 완료된다.
- [0184] 다른 한편으로, 메모리들(A)(445) 및 (B)(446)은 FPGA(442)에 접속되며, RAM-SELECTOR 갑은 SYNC 신호의 입력마다 반전된다.
- [0185] FPGA로부터의 RAM-SELECT 신호는 선택기들 (A)(447) 및 (B)(448)을 동작시키고 어느 메모리가 기록 및 판독되는지를 결정한다.
- [0186] 각각의 FPGA는 144(6×8×3) 플립-플롭들을 포함한다. 각각의 플립-플롭은 임의의 포인트에서 하나의 색에 대한 데이터(6비트)를 저장할 수 있다. 데이터는 HCLK에 의하여 다음 플립-플롭에 순차적으로 출력된다. 플립-플롭이 데이터의 8개의 블록들을 가질때, 데이터는 144개의 레지스터들에 저장되며 RAM-SELECT에 의하여 선택된 메모리에 기록된다.
- [0187] 디스플레이(440)가 시간 계조를 사용하여 이미지들을 표시할때, 메모리(A)(445) 또는 (B)(446)에 기록된 데이터는 디스플레이에 출력하도록 배치되며 디스플레이(440)에 순차적으로 출력된다. R-논리장치(444)는 메모리(A)(445) 또는 (B)(446)로부터 디스플레이에 출력하기 위하여 배치된 전체 스크린에 대한 데이터를 판독하며 디스플레이(440)에 이 데이터를 출력한다.
- [0188] 디스플레이(440)상에 이미지들을 표시할때, 비디오 신호 데이터는 12 비트(4(어드레스)×RGB(3가지 색))으로 처리된다. G1\_CK, G2\_CK, G1\_CKB 및 G2\_CKB는 사이클들이 각각 12  $\mu$ s인 클록 신호들이다. G1\_CK 및 G1\_CKB의 상승 에지 또는 하강 에지의 타이밍시에, 비디오 신호 데이터가 입력되는 행은 이동한다.
- [0189] G1\_SP가 하강한후에 두개의 사이클들(24  $\mu$  sec)은 시퀀스의 상부 행으로부터 순차적으로 수행된다. 220개의 행들에 대한 기록은 하나의 스크린에 대한 디스플레이를 만들며, 4개의 더미 사이클들(48  $\mu$  sec)은 대기를 지연시키기 위하여 다음 이미지를 표시하기전에 도달한다. 더욱이, G2\_SP는 필요에 따라 기록된 데이터를 소거할때 상승한다.
- [0190] S\_CK 및 S\_CKB는 사이클들이 각각 200nsec인 클록 사이클들이다. S\_CK 및 S\_CKB의 상승 에지 또는 하강 에지의 타이밍시에, 비디오\_데이터가 입력되는 블록이 이동한다. G1\_CLK가 상승 또는 하강한후 4개의 사이클(800 nsec)은 전하를 저장하기 위하여 하이가 되며, S\_SP가 H 레벨에서 L 레벨로 변화할때 비디오 신호 데이터는 입력되기 시작한다. 데이터가 4개의 어드레스마다 입력되면, 이를 44번 반복하여 하나의 행에 대한 기록을 완료한다.
- [0191] W-논리장치(443) 및 R-논리장치(444)는 PLL(451)를 통해 발진 소자(450)로부터 클록 신호들을 입력함으로서 동작된다. 더욱이, 메모리들 (A)(445) 및 (B)(446)에 대한 기록 및 판독 타이밍은 TOP(449)를 통해 클록 신호들의 상승 에지 및 하강 에지에 따라 제어된다.
- [0192] LSI 뿐만아니라 FPGA는 W-논리장치(443) 및 R-논리장치(444)의 각각을 위하여 사용될 수 있다.
- [0193] 다음으로, 도 26을 참조하면, 제어회로에 의하여 발광 소자를 사용하는 표시 장치의 예가 도시된다.

- [0194] 표시 장치는 제어 회로(462), 소스 신호 라인 구동기 회로(464), 게이트 신호 라인 구동기 회로들(466, 467), 표시 부분(468), 메모리(470), FPC(474) 및 커넥터(472)를 포함한다. 표시 장치의 각각의 회로는 패널(460)위에 형성되거나 또는 외부적으로 부착된다.
- [0195] FPC(474)로부터 커넥터(472)를 통해 전송된 데이터 및 제어 신호들은 제어 회로(462)에 입력되며, 데이터는 메모리(470)에 출력하기 위하여 재배치되며 제어 회로(462)에 다시 전송된다. 제어 회로(462)는 소스 신호 라인 구동기 회로(464) 및 게이트 신호 라인 구동기 회로들(466, 467)에 표시하기 위하여 사용되는 데이터 및 신호들을 전송하며, 이미지은 발광 소자들을 사용하여 표시 부분(468)에 표시된다.
- [0196] 소스 신호 라인 구동기 회로(464) 및 게이트 신호 라인 구동기 회로들(466, 467)은 공지된 회로들로 교체될 수 있다. 게다가, 게이트 신호 라인 구동기 회로들의 수는 회로 구조에 따라 1개로 감소될 수 있다.
- [0197] 다음으로, 도 27를 참조하면, 제어 회로에 의하여 발광 소자를 사용하는 표시 장치의 다른 예가 도시되어 있다.
- [0198] 표시 장치는 제어 회로(462), 소스 신호 라인 구동기 회로(464), 게이트 신호 라인 구동기 회로들(466, 467), 표시 부분(468), 메모리(470), 및 FPC(474)를 포함하는 커넥터(472)를 포함한다. 표시 장치의 각각의 회로는 패널(460)상에 형성되거나 또는 외부에 부착된다.
- [0199] 표시 장치의 동작을이 지금 기술된다. FPC(474)로부터 커넥터(472)를 통해 전송된 데이터 및 제어 신호들은 제어 회로(462)에 입력되며, 데이터는 FPC(474)의 메모리(470)로 리턴되고 이후에 출력을 위하여 재배치되고 다시 제어 회로(462)에 전송된다. 제어회로(462)는 소스 신호 라인 구동기 회로(464) 및 게이트 신호 라인 구동기 회로들(466, 467)에 표시하기 위하여 사용된 데이터 및 신호들을 전송하며, 이후에 이미지은 발광 소자들을 사용하여 표시 부분(468)에 표시된다.
- [0200] 소스 신호 라인 구동기 회로(464) 및 게이트 신호 라인 구동기 회로들(466, 467)이 공지된 회로들로 교체될 수 있다는 것에 유의해야 한다. 게다가, 게이트 신호 라인 구동기 회로들의 수는 회로 구조에 따라 1로 감소될 수 있다.
- [0201] 메모리(470)는 표시 장치가 소형화될 수 있도록 도 27에 도시된 바와같이 FPC(474)에 통합된다.
- [0202] 다음으로, 다른 구조를 가진 발광 소자들을 사용하여 디스플레이에 출력하는 제어 회로의 구조에 대한 예가 도 28을 참조하여 기술된다.
- [0203] 시간 계조 표시는 본래 아날로그 표시와 비교하여 높은 동작 주파수를 가진다. 적어도 하나의 서브-프레임은 계조들의 수를 1씩 증가시키기 위하여 추가되며, 8개 이상의 서브-프레임들은 8-비트 계조를 획득하기 위하여 요구된다. 게다가, 어두운 공간의 계조들의 수를 증가시킴으로서 자연 이미지를 획득하는 감마 보정을 수행하기 위하여, 서브-프레임들의 수는 추가로 증가될 필요가 있으며 10개 이상의 서브-프레임들이 임의의 경우에 요구된다. 따라서, 동작 주파수는 10배 이상으로 될 필요가 있다.
- [0204] 동작 주파수를 사용하여 장치를 구동시키기 위하여, 사용될 SRAM은 고속 동작을 필요로하며, 고속 동작을 위한 SRAM-IC가 사용될 필요가 있다.
- [0205] 그러나, 고속 동작을 위한 SRAM은 저장시 대용량의 전력을 소비하며 이에 따라 이동 장치에 적합하지 않다. 더욱이, 저전력 소비 SRAM을 사용하기 위하여, 주파수가 추가로 감소될 필요가 있다.
- [0206] 도 28에 도시된 바와같이, 디지털 비디오 신호들(481)은 디지털 비디오 신호들(481)을 SRAM들(1)(486) 및 (2)(487)을 기록하기전에 직렬-병렬 변환 회로(482)를 사용하여 직렬에서 병렬로 변환된다. 그 다음에, 스위치들(484, 488)을 통해 디스플레이(480)에 대하여 기록이 수행된다.
- [0207] 이러한 방법을 채택함으로서, 병렬 호출이 저주파수로 이루어질 수 있다. 그러므로, 저전력 소비 SRAM은 이동 장치들의 저전력 소비를 달성하기 위하여 저주파수로 사용될 수 있다.
- [0208] 실시예 모드 5
- [0209] 이러한 모드에서는 본 발명의 표시 장치의 소스 신호 선형 구동기 회로의 구조적 예가 기술된다. 소스 신호 라인 구동기 회로의 구조 예가 도 29에 도시된다.
- [0210] 소스 신호 라인 구동기 회로는 시프트 레지스터(501), 스캐닝 방향 스위칭 회로, LAT(A)(502) 및 LAT(B)(503)을 포함한다. 도 29에서, 비록 시프트 레지스터(501)로부터의 출력들중 하나에 대응하는 LAT(A)(502)의 부분 및 LAT(B)(503)의 부분만이 기술될지라도, 각각의 동일한 구조들을 가진 LAT(A)(502) 및 LAT(B)(503)은 시프트 레

지스터(501)로부터의 각각의 출력에 대응한다.

- [0211] 시프트 레지스터(501)는 클록 인버터, 인버터 및 NAND 회로를 포함한다. 소스 신호 라인 구동기 회로에 대한 시작 펄스 S\_SP는 시프트 레지스터(501)에 입력된다. 소스 신호 라인 구동기 회로에 대한 클록 펄스 S\_CLK 및 극성이 클럭 펄스 S\_SLK의 극성으로부터 반전된 신호인 소프 신호 라인 구동기 회로에 대한 반전된 클록 펄스 S\_CLKB에 따라 도전 상태 및 비도전 상태사이에서 클록 인버터의 상태를 변경함으로서, 샘플링 펄스는 NAND 회로부터 LAT(A)(502)로 순차적으로 출력된다.
- [0212] 더욱이, 스캐닝 방향 스위칭 회로는 스위치를 포함하며, 좌측 및 우측 방향사이에서 시프트 레지스터(501)의 스캐닝 방향을 스위칭하는 기능을 한다. 도 29에서, 시프트 레지스터(501)는 스캐닝 방향 스위칭 신호 L/R이 Lo 신호에 대응하는 경우에 좌측으로부터 우측으로 샘플링 펄스를 순차적으로 출력한다. 다른 한편으로, 스캐닝 방향 스위칭 신호 L/R이 H 레벨 신호와 대응하는 경우에, 샘플링 펄스는 우측으로부터 좌측으로 순차적으로 출력된다.
- [0213] LAT(A)(502)의 각각의 스테이지는 클록 인버터 및 인버터에 의한 래치 회로(504)를 포함한다. 여기서, "LAT(A)(502)의 각각의 스테이지"는 하나의 소스 신호 라인에 입력될 화상 신호를 선택하는 LAT(A)(502)를 의미한다.
- [0214] 신호 제어 회로로부터 출력된 디지털 비디오 신호(VD)는 p(여기서 p는 자연수)개로 분할되어 입력된다. 즉, p 소스 신호 라인들에 대한 각각의 출력들에 대응하는 신호들은 병렬로 입력된다. 샘플링 펄스가 버퍼들을 통해 LAT(A)(502)의 p 스테이지들의 클록 인버터들에 동시에 입력될 때, p로 분할된 후에 각각의 입력된 신호들은 LAT(A)(502)의 p 스테이지들에서 동시에 샘플링된다.
- [0215] 이러한 실시예 모드에서, x 소스 신호 라인들에 신호 전압을 출력하는 소스 신호 라인 구동기 회로는 예로서 기술되며, 따라서 x/p 샘플링 펄스들은 수평 주기마다 시프트 레지스터로부터 순차적으로 출력된다. 각각의 샘플링 펄스에 따르면, LAT(A)(502)의 p 스테이지들은 p 소스 신호 라인들에 대한 출력들에 대응하는 각각의 디지털 비디오 신호들을 동시에 샘플링한다.
- [0216] 본 명세서에서, 소스 신호 라인 구동기 회로에 입력된 디지털 비디오 신호가 p-위상 병렬 신호들로 분할되고 p 디지털 비디오 신호들이 하나의 샘플링 펄스를 사용하여 동시에 선택되는 방법은 p-분할 드라이브라 불린다. 4-분할 드라이브는 도 29에서 수행된다.
- [0217] 앞서 기술된 분할 드라이브를 수행함으로서, 소스 신호 라인 구동기 회로의 시프트 레지스터의 샘플링에 대한 마진이 존재할 수 있다. 따라서, 표시 장치의 신뢰성이 증가될 수 있다.
- [0218] 하나의 수평 주기동안의 신호들의 모두가 LAT(A)(502)의 각각의 스테이지들에 입력될 때, 래치 펄스(LS) 및 래치 펄스(LS)의 극성으로부터 극성이 반전된 반전형 래치 펄스(LSB)가 입력되며, LAT(A)(502)의 스테이지들에 입력된 각각의 신호들은 모두 LAT(B)(503)의 각각의 스테이지들에 모두 출력된다.
- [0219] "LAT(B)(503)의 각각의 스테이지"는 LAT(A)(502)의 각각의 스테이지로부터의 신호가 입력되는 LAT(B)(503)를 의미한다는 것에 유의해야 한다.
- [0220] LAT(B)(503)의 각각의 스테이지는 클록 인버터 및 인버터를 포함한다. LAT(A)(502)의 스테이지들로부터 출력된 각각의 신호들은 LAT(B)(503)에 저장되며 소스 신호 라인들 S1 내지 Sx에 동시에 출력된다. 레벨 시프터, 버퍼 등은 비록 여기에 기술되지 않았을지라도 임의적으로 제공될 수 있다는 것을 유의해야 한다.
- [0221] 시프트 레지스터(501), LAT(A)(502) 및 LAT(B)(503)으로 입력될 시작 펄스 S\_SP, 클록 펄스 S\_CLK 등은 본 발명의 실시예 모드에 기술된 표시 컨트롤러로부터 입력된다.
- [0222] 이러한 실시예 모드에서, 소스 신호 라인 구동기 회로의 LAT(A)에 소수의 비트를 가진 디지털 비디오 신호를 입력하는 동작은 신호 제어 회로에 의하여 수행된다. 반면에, 소스 신호 라인 구동기 회로의 시프트 레지스터에 입력된 클록 펄스 S\_CLK, 시작 펄스 S\_SP 등의 주파수를 감소시키고, 소스 신호 라인 구동기 회로를 동작시키는 구동 전압을 감소시키는 동작은 표시 컨트롤러에 의하여 수행된다.
- [0223] 이러한 방식에서, 소스 신호 라인 구동기 회로에 의하여 디지털 비디오 신호를 샘플링하는 동작은 표시 장치의 전력 소비가 억제될 수 있도록 제 2 표시 모드에서 감소된다.
- [0224] 이러한 실시예 모드의 표시 장치는 공지된 구조를 가진 소스 신호 라인 구동기 회로 뿐만아니라 이러한 실시예 모드의 구조를 가진 소스 신호 라인 구동기 회로에 자유롭게 적용될 수 있다. 더욱이, 소스 신호 라인 구동기

회로의 구조에 따르면, 표시 컨트롤러로부터 소스 신호 라인 구동기 회로에 입력될 신호 라인들의 수 및 구동 전압의 전력 공급 라인들의 수가 변화된다.

- [0225] 이러한 실시예 모드는 실시예 모드 1 내지 4와 자유롭게 결합되어 구현될 수 있다.
- [0226] 실시예 모드 6
- [0227] 본 실시예 모드에서는 본 발명의 표시 장치의 게이트 신호 라인 구동기 회로의 구조 예가 기술된다.
- [0228] 게이트 신호 라인 구동기 회로는 시프트 레지스터, 스캐닝 방향 스위칭 회로 등을 포함한다. 레벨 시프터, 버퍼 등은 여기에 기술되지 않았을지라도 임의적으로 제공될 수 있다는 것에 유의해야 한다.
- [0229] 시작 펄스 G\_SP, 클록 펄스 G\_CLK, 구동 전압 등을 시프트 레지스터에 입력되며, 게이트 신호 라인 선택 신호가 출력된다.
- [0230] 게이트 신호 라인 구동기 회로의 구조는 도 30을 참조하여 기술된다. 시프트 레지스터(505)는 클록 인버터(506, 507), 인버터(508) 및 NAND 회로(511)를 포함한다. 시작 펄스 G\_SP는 시프트 레지스터(505)에 입력된다. 클록 펄스 G\_CLK 및 극성이 클럭 펄스 G\_SLK의 극성으로부터 반전된 신호인 반전된 클록 펄스 G\_CLKB에 따라 도전 상태 및 비도전 상태사이에서 클록 인버터들(506, 507)의 상태를 변경함으로서, 샘플링 펄스들은 NAND 회로(511)부터 순차적으로 출력된다.
- [0231] 더욱이, 스캐닝 방향 스위칭 회로는 스위치(509, 510)를 포함하며, 좌측 및 우측 방향사이에서 시프트 레지스터의 스캐닝 방향을 스위칭하는 기능을 한다. 도 30에서, 시프트 레지스터는 스캐닝 방향 스위칭 신호 U/D이 Lo 신호에 대응하는 경우에 좌측으로부터 우측으로 샘플링 펄스를 순차적으로 출력한다. 다른 한편으로, 스캐닝 방향 스위칭 신호 U/D이 H 레벨 신호와 대응하는 경우에, 샘플링 펄스는 우측으로부터 좌측으로 순차적으로 출력된다.
- [0232] 시프트 레지스터로부터 출력된 샘플링 펄스는 NOR 회로(512)에 입력되며, 이의 동작은 인에이블 신호(ENB)로 수행된다. 이러한 동작은 인접 게이트 신호 라인들이 샘플링 펄스들의 비활성화로 인하여 동시에 선택되는 조건을 방지하기 위하여 수행된다. 레벨 시프터, 버퍼 등이 비록 여기에 기술되지 않을지라도 임의적으로 제공될 수 있다는 것에 유의해야 한다. NOR 회로(513)로부터 출력된 신호는 버퍼들(513, 514)을 통해 게이트 신호 라인들(G1-Gy)중 각각의 라인에 출력된다는 것에 유의해야 한다.
- [0233] 시프트 레지스터에 입력될 시작 펄스 G\_SP, 클록 펄스 G\_CLK, 구동 전압 등을 실시예 모드에 기술된 표시 컨트롤러로부터 입력된다.
- [0234] 이러한 실시예 모드의 표시 장치는 도 30의 구조를 가진 게이트 신호 라인 구동기 회로 뿐만아니라 공지된 구조를 가진 게이트 신호 라인 구동기 회로에 자유롭게 적용될 수 있다는 것에 유의해야 한다. 게이트 라인 구동기 회로의 구조에 따르면, 표시 컨트롤러로부터 게이트 신호 라인 구동기 회로에 입력된 신호 라인들의 수 및 구동 전압의 전력 공급 라인들의 수는 변경된다.
- [0235] 실시예 모드는 실시예 모드들 1 내지 5와 자유롭게 결합되어 구현될 수 있다.
- [0236] 실시예 모드 7
- [0237] 시간 계조 방법을 사용하는 표시 장치와 관련하여, 어드레스 주기 및 발광 주기가 분리되는 전술한 방법외에, 기록 및 표시를 동시에 수행하는 구동 방법이 제안되었다. 예컨대, 이는 일본특허공개번호 2001-343933에 개시되어 있다. 이 방법에 따르면, 종래의 선택 TFT 및 구동 TFT외에, 소거 TFT는 다수의 계조들이 증가될 수 있도록 제공된다.
- [0238] 특히, 다수의 게이트 시노 라인 구동 회로들이 제공되며, 기록은 제 1 게이트 신호 라인 구동 회로에 의하여 수행되며, 소거는 기록이 모든 라인들에 대하여 완료되기전에 제 2 게이트 신호 라인 구동 회로에 의하여 수행된다. 약 4비트의 경우에, 이는 더 영향을 미치지 않으나, 계조들의 수가 6비트 이상인 경우 또는 의사 윤곽에 대한 측정을 위하여 서브-프레임들의 수를 증가시킬 필요가 있는 경우에, 이는 매우 효과적인 방법이다. 본 발명은 또한 이러한 구동 방법을 사용하여 표시 장치에 적용될 수 있다.
- [0239] 도 31은 4-비트 계조 표시가 수행되는 경우에 있어서의 타이밍 챕트이다. 도 31에서, 소거는 발광 주기를 단축하기 위하여 제 4비트에서 제 2 게이트 신호 라인 구동기 회로에 의하여 수행된다.
- [0240] 이러한 구동 방법을 실현하기 위한 화소 구조는 도 32, 도 33 및 도 34에 도시된다. 도 32는 소거 TFT가 제공

되는 예를 도시한다. 신호를 기록할 때, 제 1 게이트 신호 라인(601)의 전위가 높게 만들어지며, 따라서 제 1 게이트 신호 라인(601)이 선택되며, 선택 TFT(605)는 턴온되며, 신호는 소스 신호 라인(603)으로부터 저장 커패시터(606)로 입력된다. 그 다음에, 신호에 따르면, 구동 TFT(607)의 전류는 제어되며, 전력 공급 라인(604)으로부터 전류는 발광 소자(608)로 흐른다.

[0241] 신호를 소거할 때, 제 2 게이트 신호 라인(602)의 전위는 높게 되며, 이에 따라 제 2 게이트 신호 라인(602)이 선택되며, 소거 TFT(609)는 턴온되며, 구동 TFT(607)은 턴오프된다. 그 다음에, 전류를 전력 공급 라인(604)으로부터 발광 소자(608)로 흐르는 것이 방지된다. 따라서, 발광 주기는 발광 주기의 길이가 자유롭게 제어될 수 있도록 형성될 수 있다.

[0242] 도 32에서, 비록 소거 TFT(609)가 사용될지라도, 다른 방법이 사용될 수 있다. 이는 전류가 발광 소자(608)로 공급되는 것을 방지함으로서 강제적으로 형성될 수 있다. 따라서, 비발광 주기는 전류가 전력 공급 라인(604)으로부터 발광 소자(608)로 흐르는 경로에 스위치를 배치하고 스위치의 온/오프를 제어함으로서 형성될 수 있다. 선택적으로, 구동 TFT(607)의 게이트-소스 전압은 구동 TFT(607)를 강제로 턴오프시킴으로서 제어될 수 있다.

[0243] 도 33은 구동 TFT가 강제적으로 턴오프되는 경우에 있어서의 예를 도시한다. 선택 TFT(605), 구동 TFT(607), 소거 다이오드(610) 및 발광 소자(608)가 배치된다. 선택 TFT(605)의 소스 및 드레인은 소스 신호 라인(603) 및 구동 TFT(607)의 게이트에 접속된다. 선택 TFT(605)의 게이트는 제 1 게이트 신호 라인(601)에 접속된다. 구동 TFT(607)의 소스 및 드레인은 전력 공급 라인(604) 및 발광 소자(608)에 접속된다. 소거 다이오드(610)는 구동 TFT(607)의 게이트 및 제 2 게이트 신호 라인(602)에 접속된다.

[0244] 저장 커패시터(606)는 구동 TFT(607)의 게이트 전위를 저장하는 기능을 가진다. 따라서, 저장 커패시터는 구동 TFT(607) 및 전력 공급 라인(604) 사이에 접속된다. 이는 구동 TFT(607)의 게이트 전위를 저장하도록 배치될 수 있다. 더욱이, 구동 TFT(607)의 게이트 전위가 구동 TFT(607)의 게이트 커패시터 등을 사용함으로서 저장될 수 있으며, 저장 커패시터(606)는 생략될 수 있다.

[0245] 동작 방법으로서, 제 1 게이트 신호 라인(601)의 전위가 높게 만들어질 때, 제 1 게이트 신호 라인(601)이 선택되며, 선택 TFT(605)가 턴온되며, 신호는 소스 신호 라인(603)으로부터 저장 커패시터(606)에 입력된다. 그 다음에, 신호에 따르면, 구동 TFT(607)의 전류가 제어되며, 전류는 전력 공급 라인(604)으로부터 발광 소자(608)로 흐른다.

[0246] 신호를 소거할 때, 제 2 게이트 신호 라인(602)의 전위는 높게 만들어지며, 제 2 게이트 신호 라인(602)이 선택되며, 소거 다이오드(610)가 턴온되며, 전류가 제 2 게이트 신호 라인(602)으로부터 구동 TFT(607)의 게이트로 흐른다. 따라서, 구동 TFT(607)는 턴오프된다. 그 다음에, 전류는 전력 공급 라인(604)로부터 발광 소자(608)로 흐르는 것이 방지된다. 따라서, 비발광 주기는 발광 주기의 길이가 자유롭게 제어될 수 있도록 형성될 수 있다.

[0247] 신호를 저장할 때, 제 2 게이트 신호 라인(602)이 선택되지 않는다. 그 다음에, 소거 다이오드(610)는 구동 트랜지스터(607)의 게이트 전위가 저장되도록 턴오프된다.

[0248] 구동 TFT(607)는 정류 특성을 가지는 소자일 수 있다. PN 다이오드, PIN 다이오드, 쇼트키 다이오드 또는 제너레이터 다이오드와 같은 다양한 정류 소자들이 사용될 수 있다.

[0249] 더욱이, 소거 다이오드는 다이오드 접속 트랜지스터(게이트 및 드레인이 접속됨)일 수 있다. 도 34는 이 경우의 회로도이다. 소거 다이오드(611)로서, 다이오드 접속 트랜지스터가 사용된다. 여기서, 비록 N-채널 트랜지스터가 사용될지라도, 본 발명은 이에 제한되지 않는다. P-채널 트랜지스터가 사용될 수 있다.

[0250] 본 실시예 모드는 실시예 모드 1 내지 6과 자유롭게 결합될 수 있다.

[0251] 실시예 모드 8

[0252] 게다가, 실시예 모드 7과 유사하게 어드레스 주기 및 발광 주기를 동시에 수행하는 다른 방법이 본 실시예 모드에 기술된다. 이 경우에 있어서의 타이밍 채트는 도 35에 도시된다. 화소 구조는 도 11에 도시된 것과 동일하다.

[0253] 도 36에 도시된 바와같이, 하나의 게이트 선택 주기는 다수의 서브-게이트 선택 주기들로 분할된다(도 36의 경우에 하나의 게이트 선택 주기는 3개의 서브-게이트 선택 주기로 분할된다). 그 다음에, 각각의 서브-게이트

선택 주기에서, 각각의 게이트 신호 라인의 전위는 높게 만들어지며, 따라서, 각각의 게이트 신호 라인이 선택되며, 대응 신호가 소스 신호 라인에 입력된다. 예컨대, 하나의 게이트 선택 주기에서, i-번째 행은 제 1서브-게이트 선택 주기에서 선택되며, j-번째 행은 제 2 서브-게이트 선택 주기에서 선택되며, k-번째 행은 제 3 서브-게이트 선택 주기에서 선택된다. 그 다음에, 다음 하나의 게이트 선택 주기에서, (i+1)-번째 행은 제 2 서브-게이트 선택 주기에서 선택되며, (k+1)-번째 행은 제 3 서브-게이트 선택 주기에서 선택된다. 이를 따르면, 3개의 행들이 하나의 게이트 선택 주기에서 동시에 선택되는 것으로 보이는 이러한 동작이 실현될 수 있다.

[0254] 이러한 구동 방법을 구현할 때 게이트 신호 라인 구동기 회로의 구조 예가 도 37에 도시되어 있다. 하나의 게이트 선택 주기가 3개의 서브-게이트 선택 주기들로 분할되는 경우에, 제 1시프트 레지스터(621), 제 2 시프트 레지스터(622) 및 제 3 시프트 레지스터(623)가 준비된다. 시프트 레지스터와 관련하여 예컨대 실시예 모드 6에서 기술된 게이트 신호 라인 선택 회로(도 30)에 도시된 시프트 레지스터(505)가 사용될 수 있다. 제 1 시프트 레지스터(621), 제 2 시프트 레지스터(622) 및 제 3 시프트 레지스터(623)는 각각 시작 펄스들 G\_SP1, G\_SP2, 및 G\_SP3에 의하여 동작되며 각각 샘플링 펄스들을 출력한다. 다음으로, 하나의 게이트 선택 주기 G\_CP1, G\_CP2, 및 G\_CP3를 분할하기 위한 각각의 샘플링 펄스들 및 신호들은 논리 AND 동작이 수행되도록 각각 AND 회로들(624, 625, 626)에 입력된다. 최종적으로, AND 회로들(624, 625, 626)의 각각의 출력들은 논리 OR 동작이 수행되도록 OR 회로(627)에 입력된다. 그 다음에, OR 회로(627)의 출력 신호가 H 레벨인 주기에서만, 게이트 신호 라인이 선택된다.

[0255] 시작 펄스들 G\_SP1, G\_SP2, 및 G\_SP3 및 하나의 게이트 선택 주기 G\_CP1, G\_CP2, 및 G\_CP3를 분할하는 신호들은 표시 컨트롤러로부터 전송된다. 본 실시예 모드에서 표시 컨트롤러의 구조 예가 도 38에 도시된다. 도 38에 도시된 예에서, 각각의 시프트 레지스터들에 대한 하나의 게이트 선택 주기를 분할하는 각각의 신호들 및 각각의 시작 펄스들을 생성하는 수직 클록 생성 회로(334a, 334b, 334c)가 제공된다. 이에 따르면, 각각의 시프트 레지스터들이 개별적으로 동작될 수 있다.

[0256] 다음으로, 본 실시예 모드의 게이트 신호 라인 선택 회로의 타이밍 채트들이 도 39에 도시된다. 도 39는 제 1 시프트 레지스터(621)를 사용함으로서 i-번째 행의 게이트 라인을 선택하는 경우를 도시한다.

[0257] 하나의 게이트 선택 주기를 분할하기 위한 신호는 하나의 사이클이 하나의 게이트 선택 주기인 신호이며, 하나의 게이트 선택 주기 G\_CP1을 분할하기 위한 신호는 하나의 게이트 선택 주기의 제 1 1/3 주기에서의 H 레벨 신호이며 하나의 게이트 선택 주기의 나머지 2/3 주기에서의 Lo 신호이다. 유사하게, 하나의 게이트 선택 주기 G\_CP2를 분할하는 신호는 하나의 게이트 선택 주기의 중간 1/3 주기에서의 H 레벨 신호이며 하나의 게이트 선택 주기의 나머지 2/3 주기에서의 Lo 신호이다. 하나의 게이트 선택 주기 G\_CP3를 분할하는 신호는 하나의 게이트 선택 주기의 마지막 1/3 주기에서의 H 레벨 신호이며 하나의 게이트 선택 주기의 나머지 2/3 주기에서의 Lo 신호이다.

[0258] 예컨대, 제 1시프트 레지스터(621)의 i-번째 행의 샘플링 펄스가 단지 H 레벨 신호인 경우가 고려된다. 여기서, 하나의 게이트 선택 주기를 분할하는 신호들 및 시프트 레지스터들의 i-번째 행들의 샘플링 펄스들에 관한 AND 회로들의 각각의 출력 신호들은 AND1\_i, AND2\_i 및 AND3\_i로 표시된다. 제 1시프트 레지스터(621)의 i-번째 행의 샘플링 펄스만이 H 레벨 신호이기 때문에, 하나의 게이트 선택 주기 G\_CP1을 분할하는 신호를 사용하여 논리적 AND 동작을 수행할 때, 하나의 게이트 선택 주기의 제 1 1/3 주기에서만 H 레벨인 신호가 획득될 수 있다. 더욱이, 제 2 시프트 레지스터(622) 및 제 3 시프트 레지스터(623)의 i-번째 행들의 각각의 샘플링 펄스들이 Lo 신호들이기 때문에, 하나의 게이트 선택 주기를 분할하는 각각의 신호들을 사용하여 논리적 AND 동작들을 수행할 때, 하나의 게이트 선택 주기동안 Lo인 신호들이 획득될 수 있다. 최종적으로, AND1\_i, AND2\_i 및 AND3\_i의 논리적 OR 동작은 하나의 게이트 선택 주기의 제 1 1/3 주기에서만 H 레벨인 신호가 획득될 수 있도록 수행된다. 따라서, i-번째 행의 게이트 신호 라인은 하나의 게이트 선택 주기의 제 1 1/3 주기에서만 선택된다.

[0259] 유사하게, 제 2 시프트 레지스터(622)의 j-번째 행의 샘플링 펄스만이 H 레벨 신호인 경우에, 하나의 게이트 선택 주기 G\_CP2를 분할하는 신호를 사용함으로서, 하나의 게이트 선택 주기의 중간 1/3 주기에서의 j-번째 행의 게이트 신호 라인이 선택될 수 있다. 더욱이, 예컨대, 제 3 시프트 레지스터(623)의 k-번째 행의 샘플링 펄스만이 H 레벨 신호인 경우에, 하나의 게이트 선택 주기 G\_CP3를 분할하는 신호를 사용함으로서, 하나의 게이트 선택 주기의 마지막 1/3 주기에서의 k-번째 행의 게이트 신호 라인이 선택될 수 있다.

[0260] 게이트 신호 라인 선택 회로의 다른 구조적 예는 도 40에 도시된다. 하나의 게이트 선택 주기가 3개의 서브-게이트 선택 주기들로 분할되는 경우에, 제 1 시프트 레지스터(631), 제 2 시프트 레지스터(632) 및 제 3 시프트

레지스터(633)는 반복되며, 제 1 시프트 레지스터(631)는 하소 부분(630)의 한 측면상에 배치되며, 제 2 시프트 레지스터(632) 및 제 3 시프트 레지스터(633)는 화소 부분(630)의 다른 측면상에 배치된다. 제 1 시프트 레지스터(631)는 시프트 레지스터(631)의 출력인 샘플링 펄스 및 하나의 게이트 선택 주기 G\_CP1을 분할하는 신호를 AND 회로(634)에 입력한다. 그 다음에, 단지 AND 회로(634)의 출력 신호가 H 레벨인 주기에서만, 게이트 신호 라인이 선택된다. 반면에, 제 2 시프트 레지스터(632) 및 제 3 시프트 레지스터(633)는 각각의 시프트 레지스터들로부터 출력된 샘플링 펄스들 및 하나의 게이트 선택 주기 G\_CP2 및 G\_CP3를 분할하는 신호들을 AND 회로(635) 및 AND 회로(636)에 각각 입력하며, 이의 출력은 OR 회로(637)에 입력된다. 그 다음에, OR 회로(637)의 출력 신호가 H 레벨인 주기에서만, 게이트 신호 라인이 선택된다. 스위치들(638, 639)은 AND 회로(634)의 출력 라인 및 게이트 신호 라인사이 그리고 OR 회로(637)의 출력 라인 및 게이트 신호 라인사이에 각각 접속된다. 이들 스위치들은 표시 컨트롤러로부터 전송된 스위치 제어 신호 G\_SW에 의하여 제어되며, AND 회로(634) 및 OR 회로(637)의 각각의 출력 신호들이 H 레벨들에 있는 게이트 신호 라인에 접속된 스위치들을 턴온하며, 이에 따라 게이트 신호 라인이 선택된다.

- [0261] 각각의 게이트 신호 라인의 양 측면들에 접속된 스위치들(638, 639)의 쌍은 배타적으로 동작하도록 제어된다. i-번째 행의 게이트 신호 라인이 제 1 시프트 레지스터(631)를 사용함으로서 선택될 때, 스위치(638)는 턴온되며, 스위치(639)는 i-번째 행의 게이트 신호 라인에 접속된 스위치들로 턴오프된다. 이의 결과로서, 제 1 시프트 레지스터(631)의 출력만이 i-번째 행의 게이트 신호 라인에 입력된다. j-번째 행의 게이트 신호 라인은 제 2 시프트 레지스터(632)를 사용하여 선택될 때, 스위치(639)는 턴온되며, 스위치(638)는 j-번째 행의 게이트 신호 라인에 접속된 스위치들로 턴오프된다. 이의 결과로서, 제 2 시프트 레지스터(632)의 출력만이 j-번째 행의 게이트 신호 라인에 입력된다.
- [0262] 앞서 기술된 바와같이, 이러한 실시예 모드의 게이트 신호 라인 선택 회로를 사용함으로서, 3개의 행들의 게이트 신호 라인들은 하나의 게이트 선택 주기동안 선택될 수 있다.
- [0263] 하나의 게이트 선택 주기가 "a" 서브-게이트 선택 주기들(여기서 "a"는 2와 동일하거나 또는 큰 자연수)로 분할되는 경우에 시프트 레지스터들의 "a" 스테이지들이 준비되고 게이트 신호 라인 선택 회로는 이러한 실시예 모드에서 동일한 방식을 포함할 수 있다.
- [0264] 다음으로, 이러한 구동 방법을 구현할 때 소스 신호 라인 구동기 회로의 구조 예가 도 41에 도시된다. 도 41은 i-번째 열의 소스 신호 라인 구동기 회로를 기술한다. 하나의 게이트 선택 주기가 3개의 서브-게이트 선택 주기들로 분할되는 경우에, 제 1 래치 회로 및 제 2 래치 회로의 3개의 쌍들은 시프트 레지스터(641)의 다음 스테이지에서 준비된다. 제 1 래치 회로 및 제 2 래치 회로의 각각의 쌍은 다른 행들의 비디오 신호를 저장한다. 예컨대, 비디오 신호 라인(A)(649)으로부터 입력된 i-번째 행의 비디오 신호는 제 1 래치 회로(A)(642) 및 제 2 래치 회로(A)(643)에 저장된다. 비디오 신호 라인(B)(650)으로부터 입력된 j-번째 행의 비디오 신호는 제 1 래치 회로(B)(644) 및 제 2 래치 회로(B)(645)에 저장된다. 비디오 신호 라인(C)(651)으로부터 입력된 k-번째 행의 비디오 신호는 제 1 래치 회로(C)(646) 및 제 2 래치 회로(C)(647)에 저장된다. 래치 제어 라인(A)(652), 래치 제어 라인(B)(653) 및 래치 제어 회로(C)(654)는 제 2 래치 회로(A)(643), 제 2 래치 회로(B)(645), 및 제 2 래치 회로(C)(647)를 각각 제어한다. 그 다음에, i-번째 열의 소스 신호 라인으로 입력될 행의 비디오 신호는 스위칭 스위치(655)에 의하여 선택되며 레벨 시프터(648)를 통해 입력된다. 스위칭 스위치의 동작은 3개의 서브-게이트 선택 주기들의 각각에 대하여 다른 스위치가 턴온되도록 제어될 수 있다는 것에 유의해야 한다. 예컨대, 도 37에 도시된 게이트 신호 라인 구동기 회로에서 사용된 하나의 게이트 선택 주기 G\_CP를 분할하는 신호를 사용하면, 제 1 래치 회로(A)(642) 및 제 2 래치 회로(A)(643)에 저장되는 i-번째 행의 비디오 신호만이 하나의 게이트 선택 주기의 제 1 1/3 주기에서 소스 신호 라인으로 입력될 수 있다. 유사하게, 제 1 래치 회로(B)(644) 및 제 2 래치 회로(B)(645)에 저장된 j-번째 행의 비디오 신호만이 하나의 게이트 선택 주기의 중간 1/3 주기에서 소스 신호 라인에 입력될 수 있으며, 제 1 래치 회로(C)(646) 및 제 2 래치 회로(C)(647)에 저장되는 k-번째 행의 비디오 신호만이 하나의 게이트 선택 주기의 1/3 주기에서 소스 신호 라인에 입력될 수 있다.
- [0265] 소스 신호 라인 구동기 회로를 사용함으로서, 3개의 행들의 비디오 신호들은 하나의 게이트 선택 주기동안 소스 신호 라인에 입력될 수 있다. 도 37에 도시된 소스 신호 라인 구동기 회로 및 게이트 신호 라인 구동기 회로를 사용함으로서, 다수의 게이트 신호 라인들이 하나의 게이트 선택 주기동안 선택되는 구동 방법이 구현될 수 있다.
- [0266] 앞서 기술된 구동 방법을 사용함으로서, 프레임 주기당 발광 소자의 발광 주기는 휘도가 개선될 수 있도록 증가

될 수 있다. 더욱이, 클록 펄스, 시작 펄스 또는 각각의 구동기 회로(소스 신호 라인 구동기 훨 및 게이트 신호 라인 구동기 훈)의 시프트 레지스터에 입력되는 펄스의 각각의 주파수들은 감소될 수 있으며, 각각의 구동기 회로를 동작시키는 구동전압이 감소될 수 있다. 게다가, 회로 구조가 단순화될 수 있기 때문에, 회로 구조는 저가의 표시 장치에 적용될 수 있다.

[0267] 이러한 구동 방법의 상세한 설명은 일본특허공개공보 제2001-324958(미국특허출원번호 2001/0022565) 등에 개시되어 있으며, 이 특허출원의 내용은 본 출원과 결합될 수 있다.

[0268] 이러한 실시예 모드는 실시예 모드 1 내지 8과 자유롭게 결합될 수 있다는 것에 유의해야 한다.

[0269] 실시예 모드 9

[0270] 본 실시예 모드에서는 구동 TFT가 전류 소스로서 사용될 수 있도록 화소의 구동 TFT가 포화 영역에서 동작되는 정전류 구동 방법에 대한 설명이 제공된다. 구동 TFT의 동작 포인트들(226, 228, 230)이 도 42에 도시된다. 정전류 구동이 수행될 때, 구동 TFT는 동작 포인트(228)가 존재하는 포화 영역에서 동작된다. 정전압 구동이 수행될 때, 구동 TFT는 동작 포인트(230)가 존재하는 선형 영역에서 동작된다.

[0271] 정전류 구동 방법에서 조차, 구동 TFT의 동작 주기를 제어함으로서, 시간 계조가 수행될 수 있다. 이는 일본특허공개공보 2002-108285(미국특허출원 2002/0047568)에 개시되어 있다. 본 발명은 이러한 정전류 시간 계조에 적용될 수 있다. 즉, 실시예 모드 1 내지 8에 기술된 화소를 사용함으로서, 계조 표시는 정전류 구동 방법에 의하여 시간 계조로 수행될 수 있다. 정전류 구동 방법을 사용함으로서, 발광 소자가 악화되고 발광 특성이 변화할 때, 이미지 품질의 악화가 억제될 수 있다.

[0272] 실시예 모드 10

[0273] 실시예 모드 1 내지 9는 시간 계조 방법이 사용되는 표시 장치를 기술하나, 본 발명의 표시 장치는 다른 계조 표현 방법의 경우에 적용될 수 있다. 예컨대, 본 발명은 영역 계조 방법을 사용하는 구동 방법의 경우에 조차 적용될 수 있다. 도 43 및 도 44는 영역 계조 방법을 적용하는 경우의 화소 구조의 예들을 도시한다. 영역 계조 방법이 수행되는 화소는 하나의 화소가 다수의 발광 소자를 포함하는 특징을 가지며, 다수의 발광 소자의 각각은 독립적으로 제어될 수 있다. 도 43 및 도 44에 도시된 발광 소자(671) 및 발광 소자(691)의 각각은 3개의 소자들을 포함하며, 이들 중 두개의 소자는 독립적으로 제어될 수 있다. 상대적으로, 독립적으로 제어될 수 있는 두개의 발광 소자 중 한 소자는 1의 휘도로 발광하는 반면에 다른 소자는 2의 휘도로 발광할 수 있다. 이에 따르면, 0, 1, 2, 및 3의 휘도는 발광 소자가 발광 비발광의 2진으로 구동될 때 하나의 화소에서 표현될 수 있다.

[0274] 도 43은 다수의 소스 신호 라인들이 제공되는 경우의 구조 예와, 발광하는 발광 소자들의 수가 계조를 표현하기 위하여 변화되도록 신호가 입력되고 신호가 제어되는 소스 신호 라인을 도시한다. 도 43에서, 게이트 신호 라인(661)의 전위를 증가시킴으로서, 게이트 신호 라인(661)이 선택되며, 제 1선택 TFT(665) 및 제 2 선택 TFT(666)이 턴온되며, 제 1 소스 신호 라인(662) 및 제 2 소스 신호 라인(663)의 각각의 신호들이 제 1 저장 소스 커패시터(667) 및 제 2 저장 커패시터(668)에 각각 입력된다. 결과적으로, 각각의 신호들에 따르면, 제 1 구동 TFT(669) 및 제 2 구동 TFT(670)의 전류들이 제어되며, 전류는 전력 공급 라인(664)으로부터 발광 소자(671)로 흐른다.

[0275] 이 때에, 제 1 및 제 2 소스 신호 라인들에 입력된 신호들에 따르면, 발광하는 발광 소자(671)의 수가 변화된다. 예컨대, H 레벨 신호는 제 1 소스 신호 라인(662)에 입력되는 반면에, Lo 신호는 제 2 소스 신호 라인(663)에 입력되며, 단지 제 1 구동 TFT(669)만이 턴온되며, 이에 따라 두개의 발광 소자가 발광한다. 다른 한편으로, Lo 신호가 제 1 소스 신호 라인(662)에 입력되나 H 레벨 신호가 제 2 소스 신호 라인(663)에 입력될 때, 단지 제 2 구동 TFT(670)만이 턴온되며, 이에 따라 하나의 발광 소자가 발광한다. 게다가, H 레벨 신호가 제 1 소스 신호 라인(662) 및 제 2 소스 신호 라인(663)에 입력될 때, 제 1 구동 TFT(669) 및 제 2 구동 TFT(670)이 턴온되며, 이에 따라 3개의 발광 소자가 발광한다.

[0276] 도 44는 다수의 소스 신호 라인들이 제공되는 경우의 구조 예와, 발광하는 발광 소자들의 수가 계조를 표현하기 위하여 변화되도록 신호가 입력되고 신호가 제어되는 게이트 신호 라인을 도시한다. 도 44에서, 제 1 게이트 신호 라인(681) 및 제 2 게이트 신호 라인(682)의 각각의 전위를 증가시킴으로서, 제 1 게이트 신호 라인(681) 및 제 2 게이트 신호 라인(682)이 선택되며, 제 1 선택 TFT(685) 및 제 2 선택 TFT(686)이 턴온되며, 소스 신호 라인(683)의 신호가 제 1 저장 커패시터(687) 및 제 2 저장 커패시터(688)에 입력된다. 결과적으로, 신호에 따르면, 제 1 구동 TFT(689) 및 제 2 구동 TFT(690)의 전류들이 제어되며, 전류는 전력 공급 라인(684)으로부터 발

광 소자(691)로 흐른다.

- [0277] 이 때에, 제 1 및 제 2 게이트 신호 라인들사이에서 선택된 신호들에 따르면, 발광하는 발광 소자(691)의 수가 변화된다. 예컨대, 단지 제 1 게이트 신호 라인(681)이 선택될 때, 단지 제 1 선택 TFT(685)만이 턴온되며, 제 1 구동 TFT(689)의 전류만이 제어되며, 이에 따라 두개의 발광 소자가 발광한다. 다시 말해서, 단지 제 2 게이트 신호 라인(682)만이 선택될 때, 단지 제 2 스위칭 TFT(682)만이 턴온되며, 제 2 구동 TFT(690)의 전류만이 제어되며, 이에 따라 하나의 발광 소자가 발광한다. 게다가, 제 1 게이트 신호 라인(681) 및 제 2 게이트 신호 라인(682)가 선택될 때, 제 1 선택 TFT(685) 및 제 2 선택 TFT(686)은 턴온되며, 제 1구동 TFT(689) 및 제 2 구동 TFT(690)의 각각의 전류들이 제어되며, 이에 따라 3가지 발광 소자들이 발광한다.
- [0278] 이러한 화소 회로를 사용함으로서, 본 발명은 영역 계조 방법에 적용될 수 있다.
- [0279] 본 실시예 모드는 실시예 모드 1 내지 9와 자유롭게 결합되어 구현될 수 있다.
- [0280] 실시예 모드 11
- [0281] 본 명세서에서, 발광 소자는 애노드 및 캐소드사이에 EL층이 삽입되는 구조를 가진 소자가다. EL층은 전기장이 발생될 때 발광한다. 더욱이, 본 명세서에서, 발광 소자는 단일항 여기 상태로부터 기본 상태로의 전이를 형성 할 때 발광되는 광(형광)을 이용하는 소자 및 삼중항 여기 상태로부터 접지 상태로의 전이를 형성 할 때 발광된 광(인광)을 이용하는 소자를 포함한다.
- [0282] EL 층으로서, 홀 주입층, 홀 투과층, 발광층, 전자 투과층, 전자 주입층 등이 존재한다. 발광 소자의 기본 구조는 애노드, 발광층 및 캐소드 순서의 적층이다. 이와 다르게, 애노드, 홀 주입층, 발광층, 전자 주입층, 및 캐소드의 순서로 적층한 구조, 애노드, 홀 주입층, 홀 이송층, 발광층, 전자 이송층, 전자 주입층 및 캐소드의 순서로 적층한 구조 등이 존재한다.
- [0283] EL층이 홀 주입층, 홀 이송층, 발광층, 전자 이송층, 전자 주입층 등이 명확하게 구별되는 적층 구조를 가진 층에 제한되지 않는다. 즉, EL 층은 홀 주입층, 홀 이송층, 발광층, 전자 이송층, 전자 주입층 등으로 이루어진 각각의 재료들이 혼합된 층을 포함하는 구조를 가질 수 있다. 게다가, 무기 재료가 또한 혼합될 수 있다.
- [0284] 게다가, 저분자 유기재료, 고분자 유기재료 및 중간 분자 재료 중 일부 재료는 발광 소자의 EL 층을 위하여 사용될 수 있다. 게다가, 유기-무기 화합물 재료가 포함될 수 있다. 본 명세서에서 중간 분자 재료는 승화 특성을 가지지 않으며, 이의 분자들의 수는 20 이하이거나 또는 분자 체인 길이는  $10 \mu\text{m}$  이하이다.
- [0285] 발광층은 유기 재료에 제한되지 않으며 무기재료를 사용하여 형성될 수 있다. 발광층을 형성하기 위한 호스트 재료로서, 무기재료가 사용될 수 있다. 무기 재료로서, 아연, 카드뮴, 및 갈륨과 같은 금속 재료의 황화물, 산화물 또는 질화물을 사용하는 것이 바람직하다. 예컨대, 황화물로서, 아연 황화물(ZnS), 카드뮴 황화물(CdS), 칼슘 황화물(CaS), 이트륨 황화물( $\text{Y}_2\text{S}_3$ ), 갈륨 황화물( $\text{Ga}_2\text{S}_3$ ), 스트론튬 황화물(SrS), 바륨 단황화물(BaS) 등이 사용될 수 있다. 산화물로서, 아연 산화물(ZnO), 이트륨 산화물( $\text{Y}_2\text{O}_3$ ) 등이 사용될 수 있다. 더욱이, 질화물로서, 알루미늄 질화물(AlN), 갈륨 질화물(GaN), 인듐 질화물(InN) 등이 사용될 수 있다. 게다가, 아연 셀렌(ZnSe), 아연 텔루라이드(ZnTe) 등이 또한 사용될 수 있다. 선택적으로, 칼슘 황화물-갈륨( $\text{GaGa}_2\text{S}_4$ ), 스트론튬 황화물-갈륨( $\text{SrGa}_2\text{S}_4$ ) 또는 바륨 황화물-갈륨( $\text{BaGa}_2\text{S}_4$ )와 같은 3원계 혼합 수정이 사용될 수 있다.
- [0286] 불순물 소자로서, 망간(Mn), 구리(Cu), 사마륨(Sm), 테르븀(Tb), 에르븀(Er), 틸륨(Tm), 유로퓸(Eu), 세륨(Ce), 또는 프라세오디뮴(Pr)과 같은 금속 소자가 금속 이온의 셀간 전자 전이를 사용하여 발광 센터를 형성하기 위하여 사용될 수 있다. 전하 보상으로서, 불소(F) 또는 염소(Cl)와 같은 할로겐 소자가 사용될 수 있다.
- [0287] 더욱이, 도너-억셉터 재결합을 사용하는 발광으로서, 제 1 불순물 소자 및 제 2 불순물 소자를 포함하는 발광 재료가 사용될 수 있다. 예컨대, 제 1 불순물 소자로서, 구리(Cu), 은(Ag), 금(Au), 및 백금(Pt) 또는 실리콘(Si)과 같은 금속 소자들이 사용될 수 있다. 제 2 불순물 소자는 예컨대 불소(F), 염소(Cl), 브롬(Br), 이오딘(I), 봉소(B), 알루미늄(Al), 갈륨(Ga), 인듐(Indium), 탈륨(Tl) 등일 수 있다.
- [0288] 발광 재료는 고체 단계 반응에 의하여 획득되며, 즉 호스트 재료 및 불순물 소자를 가중하고, 이들을 모르타르에 혼합하며 이를 전기노에서 가열하여 불순물 소자가 호스트 재료에 포함되도록 함으로서 획득된다. 예컨대, 호스트 재료 및 제 1 불순물 소자 또는 제 1 불순물 소자 및 제 2 불순물 소자를 포함하는 화합물 또는 제 2 불순물 소자를 포함하는 화합물이 가중된다. 이들을 모르타르에서 혼합한 후에, 이는 전기 노에서 가열 및 베이킹 된다. 베이킹 온도는 바람직하게 700 내지 1500°C이다. 온도가 너무 낮으면, 고체 단계 반응은 진행되지 않는

반면에 호스트 재료는 온도가 너무 높을 때 분해된다. 조성물이 분말 상태로 베이킹될 수 있으나, 펠릿 상태에서 베이킹을 수행하는 것이 바람직하다.

[0289] 게다가, 고체 단계 반응을 이용하는 경우에 있어서의 불순물 소자로서, 제 1불순물 소자 및 제 2 불순물 소자로 형성된 화합물은 결합하여 사용될 수 있다. 이러한 경우에, 고체 단계 반응은 불순물 소자들이 용이하게 분산되기 때문에 용이하게 진행한다. 따라서, 균일한 발광 재료가 획득될 수 있다. 더욱이, 불필요한 불순물 소자들이 혼합되지 않기 때문에, 고순도를 가진 발광 재료가 획득될 수 있다. 제 1 불순물 소자 및 제 2불순물 소자로 형성된 화합물로서, 예컨대 구리 불화물( $\text{CuF}_2$ ), 구리 염소( $\text{CuCl}$ ), 구리 요오드화물( $\text{CuI}$ ), 구리 브로마이드( $\text{CuBr}$ ), 구리 질화물( $\text{Cu}_3\text{N}$ ), 구리 바로마이드( $\text{CuBr}$ ), 금 염소( $\text{AuCl}_3$ ), 금속 바로마이드( $\text{AuBr}_3$ ), 백금 염소( $\text{PtCl}^2$ ), 은 염소( $\text{CuBr}$ ), 금 바로마이드( $\text{AuBr}_3$ ), 백금 염소( $\text{PtCl}_2$ ) 등이 사용될 수 있다. 더욱이, 제 2 불순물 소자의 제 3 불순물 소자를 포함하는 발광 재료가 사용될 있다.

[0290] 예컨대, 제 3 불순물 소자는 리튬(Li), 나트륨(Na), 포타슘(K), 루비듐(Rb), 세슘(Cs), 질소(N), 인(P), 비소(As), 안티모니(Sb), 비스무트(Bi) 등일 수 있다. 이들 불순물 소자들은 바람직하게 0.01 내지 10 mol%, 호스트 재료에서 바람직하게 0.1 내지 5mod%의 농도로 포함된다.

[0291] 높은 전기 도전성을 가진 발광 재료로서, 앞서 기술된 재료는 호스트 재료로서 사용되며, 이에 따라 제 1 불순물 소자, 제 2불순물 소자 및 제 3 불순물 소자를 포함하는 발광 재료가 추가된 발광 재료가 사용될 수 있다. 이들 불순물 소자들은 바람직하게 0.01 내지 10 mol%, 호스트 재료에서 바람직하게 0.1 내지 5mod%의 농도로 포함된다.

[0292] 제 2불순물 소자 및 제 3 불순물 소자로 형성된 화합물로서, 예컨대 리튬 불화물( $\text{LiF}$ ), 리튬 염소( $\text{LiCl}$ ), 리튬 요오드화물( $\text{LiI}$ ), 구리 브로마이드( $\text{CuBr}$ ), 및 나트륨 염소( $\text{NaCl}$ ), 붕소 질화물(BN), 알루미늄 질화물(AlN), 알루미늄 안티모나이드( $\text{AlSb}$ ), 갈륨 인(GaP), 갈륨 비화물(GaAs), 인듐 인( $\text{InP}$ ), 인듐 비화물( $\text{InAs}$ ), 인듐 안티모나이드( $\text{InSb}$ ) 등과 같은 알칼리 할로젠화물이 사용될 수 있다.

[0293] 호스트 재료로서 전술한 재료를 사용함으로서, 전술한 제 1 불순물 소자, 제 2 불순물 소자 및 제 3 불순물 소자를 포함하는 발광 재료를 사용함으로서 형성된 발광층은 높은 전기장에 의하여 가속되는 열전자없이 발광할 수 있다. 즉, 발광 소자에 고전압을 공급하는 것이 필요치 않으며 이에 따라 낮은 구동 전압으로 동작할 수 있는 발광 소자가 획득될 수 있다. 더욱이, 발광 소자가 낮은 구동 전압으로 발광할 수 있기 때문에, 발광 소자의 전력 소비가 감소될 수 있다. 더욱이, 다른 발광 센터가 되는 소자가 더 포함될 수 있다.

[0294] 더욱이, 호스트 재료를 사용함으로서, 제 2불순물 소자 및 제 3 불순물 소자 및 전술한 금속 이온의 셀간 전자 전이를 사용하는 발광 센터를 포함하는 발광 재료가 사용될 수 있다. 이러한 경우에, 발광 센터가 되는 금속 이온이 호스트 재료에서 0.05 내지 5 원자%의 농도로 포함되는 것이 바람직하다. 더욱이, 제 2 불순물 소자의 농도가 호스트 재료에서 0.05 내지 5 원자%가 되는 것이 바람직하다. 이러한 구조를 가진 발광 재료는 낮은 전압으로 발광할 수 있다. 따라서, 낮은 구동 전압으로 발광하여 전력 소비가 감소된 발광 소자가 획득될 수 있다. 더욱이, 다른 발광 센터가 되는 소자가 추가로 포함될 수 있다. 발광 소자의 휘도 봉고는 발광 재료를 사용함으로서 억제될 수 있다. 더욱이, 발광 소자는 트랜지스터를 사용함으로서 저전력으로 구동될 수 있다.

[0295] 이러한 실시예 모드에서 기술된 발광 소자는 본 발명의 표시 장치에 적용되며 이에 따라 콘트라스트 및 이미지 품질이 개선된다. 게다가, 전력이 감소된다.

[0296] 본 실시예 모드는 실시예 모드 1 내지 10과 자유롭게 결합될 수 있다.

[0297] 실시예 모드 12

[0298] 본 실시예 모드는 표시 장치의 부분을 구성하는 트랜지스터의 구조를 기술한다. 다음으로, 트랜지스터의 반도체 층을 위하여 비결정 실리콘(a-Si:H) 막을 사용하는 경우가 기술된다. 도 45a 및 도 45b는 상부-케이트 트랜지스터들의 예들을 도시하며, 도 46a 및 도 46b와 도 47a 및 도 47b는 하부-케이트 트랜지스터들의 예들을 도시한다.

[0299] 도 45a는 반도체층으로서 비결정 실리콘을 사용하는 상부-케이트 트랜지스터의 단면도이다. 도 45a에 도시된 바와 같이, 기본 절연막(702)은 기판(701)위에 형성된다. 게다가, 화소 전극(703)은 기본 절연막(702)위에 형성된다. 더욱이, 제 1전극(704)은 화소 전극(703)과 동일한 재료 및 동일한 층으로 형성된다.

- [0300] 기판은 유리 기판, 석영 기판, 세라믹 기판 등일 수 있다. 더욱이, 기본 절연막(702)은 단층 또는 다층으로서 알루미늄 질화물(AlN), 실리콘 산화물(SiO<sub>2</sub>), 및/또는 옥시니트라이드 실리콘(SiO<sub>x</sub>N<sub>y</sub>)으로 형성될 수 있다.
- [0301] 더욱이, 와이어(705) 및 와이어(706)은 기본 절연막(702)위에 형성되며, 화소 전극(703)의 단부는 와이어(705)로 커버된다. 와이어(705) 및 와이어(706)위에서, N-형 도전형을 각각 가진 N-형 반도체층(707) 및 N-형 반도체층(708)이 형성된다. 반도체층(709)은 와이어(706) 및 와이어(705)사이에 그리고 기본 절연막(702)위에 형성된다.
- [0302] 반도체층(709)의 부분은 N-형 반도체층(707) 및 N-형 반도체층(708)위에 연장된다. 반도체층(709)은 비결정 실리콘(a-Si:H) 또는 마이크로결정 반도체( $\mu$ c-Si:H)와 같은 비결정 반도체막으로 형성된다. 게이트 절연막(710)은 반도체층(709)위에 형성된다. 더욱이, 절연막(711)은 제 1전극(704)위에서 게이트 절연막(710)과 동일한 재료 및 동일한 층으로 형성된다. 게이트 절연막(710)이 실리콘 산화물 막, 실리콘 질화물 막 등으로 형성된다는 것에 유의해야 한다.
- [0303] 게이트 전극(712)은 게이트 절연막(710)위에 형성된다. 더욱이, 제 2전극(713)은 제 1전극(704)위에서 게이트 전극(712)과 동일한 재료 및 동일한 층으로 형성되며, 이 전극들사이에는 절연막(711)이 삽입된다. 따라서, 절연막(711)이 제 1전극(704) 및 제 2전극(713)사이에 삽입된 커패시터(719)가 형성된다. 층간 절연막(714)은 화소 전극(703), 구동 트랜지스터(718) 및 커패시터(719)의 단부를 커버하도록 형성된다.
- [0304] 발광층(715) 및 반대 전극(716)은 층간 절연막(714)의 개방부에 배치된 화소 전극(703) 및 층간 절연막(714)위에 형성된다. 따라서, 발광 소자(717)는 발광층(715)이 화소 전극(703) 및 반대 전극(716)사이에 삽입되는 영역에 형성된다.
- [0305] 도 45a에 도시된 제 1전극(704)은 도 45b에 도시된 제 1전극(720)에 의하여 교체될 수 있다. 제 1전극(720)은 와이어들(705, 706)과 동일한 재료 및 동일한 층으로 형성된다.
- [0306] 도 46a 및 도 46b는 반도체층에 대한 비결정 실리콘을 사용하여 하부-게이트 트랜지스터를 가진 표시 장치의 패널에 대한 부분 단면도를 도시한다. 절연막(722)은 기판(721)위에 형성된다. 게다가, 게이트 전극(723)은 절연막(722)위에 형성된다. 더욱이, 제 1전극(724)은 게이트 전극(723)과 동일한 층 및 동일한 재료로 형성된다. 게이트 전극(723)의 재료로서, 인으로 도핑된 다결정 실리콘이 사용될 수 있다. 다결정 실리콘 뿐만아니라 금 속 및 실리콘의 화합물인 실리사이드가 또한 사용될 수 있다.
- [0307] 더욱이, 게이트 절연막(725)은 게이트 전극(723) 및 제 1전극(724)를 커버하도록 형성된다. 게이트 절연막(725)은 실리콘 산화물막, 실리콘 질화물막 등을 사용하여 형성된다.
- [0308] 반도체층(726)은 게이트 절연막(725)위에 형성된다. 더욱이, 반도체층(727)은 반도체층(726)과 동일한 재료 및 동일한 층으로 형성된다.
- [0309] 기판은 유리 기판, 석영 기판, 세라믹 기판 등일 수 있다. 더욱이, 절연막(722)은 단층 또는 다층으로서 알루미늄 질화물(AlN), 실리콘 산화물(SiO<sub>2</sub>) 및/또는 옥시니트라이드 실리콘(SiO<sub>x</sub>N<sub>y</sub>)으로 형성될 수 있다.
- [0310] N-형 도전형을 각각 가진 N-형 반도체층들(728, 729)은 반도체층(726)위에 형성되는 반면에, N-형 반도체층(730)은 반도체층(727)위에 형성된다. 와이어들(731, 732)은 각각 N-형 반도체층들(728, 729)위에 형성되며, 와이어들(731, 732)과 동일한 재료로 형성된 도전층(733)은 N-형 반도체층(730)위에 형성된다.
- [0311] 반도체층(727), N-형 반도체층(730) 및 도전층(733)을 포함하는 제 2전극이 형성된다. 게이트 절연막(725)이 제 2전극 및 제 1전극(724)에 의하여 삽입된 커패시터가 형성된다는 것에 유의해야 한다.
- [0312] 더욱이, 와이어(731)의 부분은 연장되며, 화소 전극(734)은 와이어(731)의 확장된 부분의 상부면과 접촉하도록 형성된다. 절연막(735)은 화소 전극(734), 구동 트랜지스터(739) 및 커패시터(740)를 커버하도록 형성된다.
- [0313] 발광층(736) 및 반대 전극(737)은 화소 전극(734) 및 절연층(735)위에 형성되며, 발광 소자(738)는 발광층(736)이 화소 전극(734) 및 반대 전극(737)사이에 삽입되는 영역에 형성된다.
- [0314] 커패시터의 제 2전극으로서 부분적으로 기능을 하는 N-형 반도체층(730) 및 반도체층(727)은 반드시 제공되지 않는다. 즉, 도전층(733)은 게이트 절연막이 제 1전극(724) 및 도전층(733)사이에 삽입되는 구조를 가진 커패시터를 제공하기 위하여 제 2전극으로서 사용될 수 있다.
- [0315] 도 46a에 도시된 와이어(731)를 형성하기전에 화소 전극(734)을 형성함으로서 도 46b에 도시된 커패시터(742)가

형성될 수 있으며, 이는 게이트 절연막(725)이 화소 전극(734) 및 제 1전극(724)와 동일한 재료로 형성된 제 2전극(741)사이에 삽입되는 구조를 가진다.

- [0316] 채널-보호 구조를 가진 트랜지스터의 경우는 도 47a 및 도 47b를 참조하여 기술된다. 도 47a에 도시된 채널-보호 구조를 가진 트랜지스터는 절연층(743)이 채널-에칭 구조를 가진 구조 트랜지스터(739)의 반도체층(726)의 채널이 되는 영역위에 제공된다는 점에서 도 46a에 도시된 트랜지스터와 다르다. 절연층(743)은 소스 및 드레인을 에칭하기 위한 마스크로서 사용된다. 도 47a 및 도 46a간의 공통 부분들은 공통 도면부호들로 표시된다.
- [0317] 도 47b에 도시된 채널-보호 구조를 가진 트랜지스터는 절연층(743)이 채널-에칭 구조를 가진 구동 트랜지스터(739)의 반도체층(726)의 채널이 되는 영역위에 제공된다는 점에서 도 46b에 도시된 트랜지스터와 다르다. 절연층(743)은 소스 및 드레인을 에칭하는 마스크로서 사용된다. 도 47b 및 도 46b간의 공통 부분들은 공통 도면부호들로 표시된다.
- [0318] 본 발명의 화소를 구성하는 트랜지스터의 반도체층(예컨대, 채널 형성 영역, 소스 영역 또는 드레인 영역)에 대하여 비결정 실리콘을 사용함으로서, 제조 비용이 감소될 수 있다.
- [0319] 본 발명의 화소 구조가 적용될 수 있는 트랜지스터들 또는 커패시터들의 구조들이 앞서 기술된 구조들에 제한되지 않고 트랜지스터들 또는 커패시터들의 다양한 구조들이 사용될 수 있다는 것에 유의해야 한다.
- [0320] 본 실시예 모드는 실시예 모드 1 내지 11과 자유롭게 결합될 수 있다.
- [0321] 실시예 모드 13
- [0322] 본 실시예 모드는 실시예 모드 1 내지 10에 기술된 표시 장치의 주 컴포넌트인 트랜지스터를 제조하는 방법을 기술한다. 특히, 플라즈마 처리를 사용하여 트랜지스터를 제조하는 방법이 기술된다.
- [0323] 도 48a 내지 도 48c는 트랜지스터의 구조 예를 각각 도시한 도면들이다. 도 48a 내지 도 48c에서 도 48b는 도 48a의 a-b를 따라 취해진 단면도에 대응하며 도 48c는 도 48a의 c-d를 따라 취한 단면도에 대응한다는 것에 유의해야 한다.
- [0324] 도 48a 내지 도 48c에서, 반도체막들(803a, 803b)은 절연막(802)을 가진 기판(801)위에 제공된다. 게이트 전극(805)은 반도체막들(803a, 803b)위에 제공되며, 이 막들사이에는 게이트 절연막(804)이 삽입된다. 절연막들(806, 807)은 게이트 전극(805)을 커버하도록 제공된다. 소스 및 드레인 영역들은 반도체막들(803a, 803b)에 형성되며, 절연막(807)내에 형성된 접촉 홀을 통해 도전막(808)에 접속된다.
- [0325] 도 48a 내지 도 48c는 채널 영역으로서 반도체막(803a)의 부분을 사용하는 N-채널 트랜지스터(810a) 및 채널 영역으로서 반도체막(803b)의 부분을 사용하는 P-채널 트랜지스터(810b)를 제공하는 경우를 각각 도시한다는 것에 유의해야 한다. 예컨대, 비록 도 48a 내지 도 48c에서 LDD 영역이 P-채널 트랜지스터(810b)이 아니라 N-채널 트랜지스터(810a)내에 제공될지라도, LDD 영역이 트랜지스터들에 제공될 수 있는 구조 또는 LDD 영역이 트랜지스터들에 제공되지 않는 구조가 사용될 수 있다.
- [0326] 이러한 실시예 모드에서 기판(801), 절연막(802), 반도체막들(803a, 803b), 게이트 절연막(804), 절연막(806), 및 절연막(807)중 적어도 하나를 플라즈마 처리에 의하여 산화 또는 질화시키는 단계가 포함되어 반도체막 또는 절연막이 산화 또는 질화된다는 것에 유의해야 한다. 이러한 방식에서, 반도체막 또는 절연막을 플라즈마 처리에 의하여 산화 또는 질화시킴으로서, 반도체막 또는 절연막의 표면은 막 품질이 강화된다. 결과적으로, 조밀한 절연막은 CVD 방법 또는 스퍼터링 방법에 의하여 형성된 절연막과 비교하여 형성될 수 있다. 따라서, 핀홀과 같은 결함은 억제될 수 있으며, 트랜지스터의 특징등이 개선될 수 있다.
- [0327] 이러한 실시예 모드에 있어서, 도 48a 내지 도 48c에서 반도체막(803a), 반도체막(803b) 또는 게이트 절연막(804)에 대하여 플라즈마 처리를 수행하여 트랜지스터를 제조하고 반도체막(803a), 반도체막(803b) 또는 게이트 절연막(804)을 산화 또는 질화하는 방법이 도면들을 참조하여 설명된다.
- [0328] 초기에, 기판위에 제공된 섬형 반도체막의 단부들은 거의 수직으로 형성된다.
- [0329] 첫째, 섬형 반도체막들(803a, 803b)은 기판(801)위에 형성된다(도 49a). 섬형 반도체막들(803a, 803b)은 스퍼터링 방법, LPCVD 방법, 플라즈마 CVD 방법 등을 사용하여 기판(801)위에 미리 형성된 절연막(802)위의 주 컴포넌트(예컨대,  $Si_xGe_{1-x}$  등)로서 실리콘(Si)를 포함하는 재료를 사용하여 비결정 반도체막을 형성하고, 비결정 반도체막을 결정화하여 이를 선택적으로 에칭함으로서 형성된다. 비결정 반도체막이 레이저 결정화 방법, RTA 및 어닐링 노를 사용하는 열 결정화 방법, 결정화를 촉진하는 금속 소자를 사용하는 열 결정화 방법, 또는 이들의

결합을 사용하는 방법과 같은 결정화 방법에 의하여 결정화될 수 있다. 도 49a 내지 도 49d에서 섬형 반도체막들(803a, 803b)의 단부들이 거의 수직으로( $\Theta=85^\circ$  내지  $100^\circ$ ) 형성된다는 것에 유의해야 한다.

[0330] 다음으로, 반도체막들(803a, 803b)은 반도체막들(803a, 803b)의 표면들상에 산화물막들, 질화물막들 등(이후, 절연막들(821a, 821b)로서 언급됨)을 형성하기 위하여 플라즈마 처리에 의하여 산화 또는 질화된다(도 49b). 반도체막들(803a, 803b)에 대하여 Si를 사용하는 경우에, 예컨대 실리콘 산화물( $\text{SiO}_x$ ) 또는 실리콘 질화물( $\text{SiN}_x$ )은 절연막들(821a, 821b)로서 형성된다. 더욱이, 플라즈마 처리에 의하여 반도체막들(803a, 803b)을 산화한 후에, 반도체막들은 플라즈마 처리에 의하여 다시 질화될 수 있다. 이 경우에, 실리콘 산화물( $\text{SiO}_x$ )은 반도체막들(803a, 803b)과 접촉하도록 형성되며 실리콘 질화물( $\text{SiN}_x\text{O}_y$ )( $x>y$ )은 실리콘 산화물의 표면상에 형성된다. 플라즈마 처리에 의하여 반도체막을 산화하는 경우에 플라즈마 처리는 산소 분위기(예컨대, 산소( $\text{O}_2$ ) 및 희가스( $\text{H}_2$ )( $\text{He}$ ,  $\text{Ne}$ ,  $\text{Ar}$ ,  $\text{Kr}$ ,  $\text{Xe}$ 중 적어도 하나)를 포함하는 분위기, 산소, 수소( $\text{H}_2$ ) 및 희가스를 포함하는 분위기, 또는 비질소 단산화물 및 희가스를 포함하는 분위기)하에서 수행된다. 다른 한편으로, 플라즈마 처리에 의하여 반도체막들을 질화시키는 경우에, 플라즈마 처리는 질소 분위기(예컨대, 질소( $\text{N}_2$ ) 및 희가스( $\text{H}_2$ )( $\text{He}$ ,  $\text{Ne}$ ,  $\text{Ar}$ ,  $\text{Kr}$ ,  $\text{Xe}$ 중 적어도 하나)를 포함하는 분위기, 질소, 수소 및 희가스를 포함하는 분위기, 또는  $\text{NH}_3$  및 희가스를 포함하는 분위기)하에서 수행된다. 희가스로서, 예컨대  $\text{Ar}$ 이 사용될 수 있다.  $\text{Ar}$  및  $\text{Kr}$ 이 혼합되는 가스가 또한 사용될 수 있다. 따라서, 절연막들(821a, 821b)은 플라즈마 처리를 위하여 희가스( $\text{He}$ ,  $\text{Ne}$ ,  $\text{Ar}$ ,  $\text{Kr}$ ,  $\text{Xe}$ 중 적어도 하나를 포함)를 포함한다.  $\text{Ar}$ 이 사용될 때, 절연막들(821a, 821b)은  $\text{Ar}$ 을 포함한다.

[0331] 더욱이, 플라즈마 처리는 앞서 기술된 가스를 포함하는 분위기에서  $1\times 10^{11}$  내지  $1\times 10^{13} \text{ cm}^{-3}$ 의 전자 밀도 및 0.5 내지 1.5eV의 플라즈마의 전자 온도로 수행된다. 플라즈마의 전자 밀도는 높으며, 기판(801)위에 형성된 객체(여기서, 반도체막들(803a, 803b)) 둘레의 전자 온도는 낮다. 따라서, 객체에 대한 플라즈마 손상이 방지된다. 더욱이, 플라즈마의 전자 밀도가  $1\times 10^{11} \text{ cm}^{-3}$  이상이기 때문에, 플라즈마 처리에 의하여 객체를 산화 또는 질화함으로서 형성된 질화막 또는 산화막은 CVD 방법, 스퍼터링 방법 등에 의하여 형성된 막과 비교하여 막 두께 등에 대하여 우수한 균일성을 가지며 이에 따라 조밀한 막일 생성될 수 있다. 더욱이, 플라즈마의 전자 온도가 1eV 이하이기 때문에, 산화 처리 또는 질화 처리는 종래의 플라즈마 처리 또는 열 산화 방법보다 낮은 온도로 수행될 수 있다. 예컨대, 산화 처리 또는 질화 처리는 플라즈마 처리가 유리 기판의 왜곡 포인트보다 적어도 100°C정도 낮은 온도로 수행된다. 플라즈마를 발생시키는 주파수로서, 마이크로파(2.45GHz)와 같은 고주파수 파가 사용될 수 있다. 이 이후에, 플라즈마 처리는 특별하게 언급하지 않는 한 앞의 조건들로 수행된다.

[0332] 다음으로, 게이트 절연막(804)은 절연막들(821a, 821b)을 커버하도록 형성된다(도 49c). 게이트 절연막(804)은 스퍼터링 방법, LPCVD 방법, 플라즈마 CVD 방법 등에 의하여 실리콘 산화물( $\text{SiO}_x$ ), 실리콘 질화물( $\text{SiN}_x$ ), 실리콘 옥시니트라이드( $\text{SiO}_x\text{N}_y$ )( $x>y$ ) 또는 실리콘 질화물 산화물( $\text{SiN}_x\text{O}_y$ )( $x>y$ )와 같은, 질소 또는 산소를 포함하는 절연막들의 단층 구조 또는 다층구조를 가지도록 형성될 수 있다. 예컨대, Si가 반도체막들(803a, 803b)을 위하여 사용되고 Si가 플라즈마 처리를 위하여 산화될 때, 실리콘 산화물은 반도체막들(803a, 803b)의 표면들상에서 절연막들(821a, 821b)로서 형성된다. 이러한 경우에, 실리콘 산화물( $\text{SiO}_x$ )은 절연막들(821a, 821b)상에서 게이트 절연막으로 형성된다. 더욱이, 도 49b에서, 플라즈마 처리에 의하여 반도체막들(803a, 803b)을 산화 또는 질화시킴으로서 형성된 절연막들(821a, 821b)의 두께가 충분히 두꺼울 때, 절연막들(821a, 821b)은 게이트 절연막들로서 사용될 수 있다.

[0333] 그 다음에, 게이트 절연막(804)위에 게이트 전극(805) 등을 형성함으로서, 채널 영역들로서 섬형 반도체막들(803a, 803b)을 사용하여 N-채널 트랜지스터(810a) 및 P-채널 트랜지스터(810b)를 제조하는 것이 가능하다(도 49d).

[0334] 반도체막들(803a, 803b)위에 게이트 절연막(804)을 형성하기 전에, 반도체막들(803a, 803b)의 각각의 표면은 플라즈마 처리에 의하여 산화 또는 질화된다. 결과적으로, 채널 영역들의 단부들(851a, 851b) 등에 있는 게이트 절연막(804)의 커버리지 결합으로 인하여 게이트 전극 및 반도체막간의 단락 등이 방지될 수 있다. 다시 말해서, 섬형 반도체막들의 단부들의 각도들이 거의 수직( $\Theta=85^\circ$  내지  $100^\circ$ )이도록 형성되는 경우에, 게이트 절연막이 CVD 방법, 스퍼터링 방법 등에 의하여 반도체막들을 커버하도록 형성될 때, 반도체 막들의 단부들에서 게이트 절연막 등의 파손으로 인하여 커버리지 결합 위험이 존재한다. 그러나, 플라즈마 처리가 표면을 산화 또는 질화하기 위하여 반도체막의 표면상에서 형성될 때, 반도체막의 단부에 있는 게이트 절연막의 커버리지 결합들

등이 방지될 수 있다.

[0335] 도 49a 내지 도 49d에서, 게이트 절연막(804)은 게이트 절연막(804)을 형성한후에 플라즈마 처리를 수행함으로서 산화 또는 질화될 수 있다. 이러한 경우에, 게이트 절연막(804)은 반도체막들(803a, 803b)을 커버하도록 형성되며(도 50a), 플라즈마 처리는 게이트 절연막(804)을 산화 또는 질화시키기 위하여 게이트 절연막(804)에 대하여 수행되며, 이에 따라 산화물막 또는 질화물막(이후에 절연막(823)으로서 언급됨)은 게이트 절연막(804)의 표면상에 형성된다(도 50b). 플라즈마 처리의 조건들은 도 49b의 조건들과 유사할 수 있다. 더욱이, 절연막(823)은 플라즈마 처리시에 사용되는 희가스를 포함하며, 예컨대 Ar를 사용하는 경우에 Ar은 절연막(823)에 포함된다.

[0336] 도 50b에서, 플라즈마 처리가 게이트 절연막(804)를 산화시키기 위하여 산소를 포함하는 분위기에서 한번 수행된후에, 플라즈마 처리는 게이트 절연막(80)을 질화시키기 위하여 질소를 포함하는 분위기에서 다시 수행될 수 있다. 이러한 경우에, 실리콘 산화물( $\text{SiO}_x$ ) 또는 실리콘 옥시나트라이드( $\text{SiO}_x\text{N}_y$ )( $x>y$ )는 반도체막들(803a, 803b)위에 형성되며, 실리콘 질화물 산화물( $\text{SiN}_x\text{O}_y$ )( $x>y$ )은 게이트 전극(805)와 접촉하도록 형성된다. 이 이후에, 절연막(802)위에 게이트 전극(805) 등을 형성함으로서, 채널 영역들로서 섬형 반도체막들(803a, 803b)을 사용하여 N-채널 트랜지스터(810a) 및 P-채널 트랜지스터(810b)를 제조하는 것이 가능하다. 이러한 방식에서, 게이트 절연막을 플라즈마 처리를 수행함으로서, 게이트 절연막의 표면은 막품질이 강화되도록 산화 또는 질화된다. 따라서, 조밀한 막이 획득될 수 있다. 플라즈마 처리에 의하여 획득되는 절연막은 더 조밀하며, CVD 방법 또는 스퍼터링 방법에 의하여 형성된 절연막과 비교하여 핀홀들과 같은 소수의 결함들을 가지며, 이에 따라 트랜지스터의 특징이 강화된다.

[0337] 도 50a 내지 도 50c에서, 플라즈마 처리가 반도체막들(803a, 803b)에 대하여 미리 수행되고 반도체막들(803a, 803b)의 표면들이 산화 또는 질화되는 경우가 기술된다. 그러나, 반도체막들(803a, 803b)에 대하여 플라즈마 처리를 수행하지 않고 게이트 절연막(804)를 형성한후에 플라즈마 처리가 수행되는 방법이 사용될 수 있다. 이러한 방식으로, 게이트 전극을 형성하기전에 플라즈마 처리를 수행함으로서, 게이트 절연막의 파손으로 인한 커버리지 결함들이 반도체막들의 단부들에서 발생할때 조차, 커버리지 결함들로 인하여 노출된 반도체막들은 산화 또는 질화될 수 있으며, 이에 따라 반도체막 등의 단부들에 있는 게이트 절연막의 커버리지 결함에 의하여 유발된 반도체막 및 게이트 전극간의 단락이 방지될 수 있다.

[0338] 섬형 반도체막들의 단부들이 거의 수직으로 형성될때조차, 플라즈마 처리는 반도체막 또는 게이트 절연막을 산화 또는 질화시키기 위하여 반도체막 또는 게이트 절연막에 대하여 수행되며, 이에 따라 반도체막들의 단부들에 있는 게이트 절연막의 커버리지 결함들에 의하여 유발된 반도체막들 및 게이트 전극간의 단락이 방지된다.

[0339] 다음으로, 섬형 반도체막들의 단부들이 기판위에 제공된 섬형 반도체 막들에서 테이퍼진 형상들( $\Theta=30^\circ$  내지  $85^\circ$ )을 가지는 경우가 기술된다.

[0340] 첫째, 섬형 반도체막들(803a, 803b)은 기판(801)위에 형성된다(도 51a). 섬형 반도체막들(803a, 803b)의 형성과 관련하여, 비결정 반도체막은 스퍼터링 방법, LPCVD 방법, 플라즈마 CVD 방법 등에 의하여 기판(801)위에 미리 형성된 절연막(802)위에 실리콘(Si)을 주로 포함하는 재료(예컨대,  $\text{Si}_x\text{Ge}_y$  등)를 사용하여 형성된다. 그 다음에, 비결정 반도체막은 레이저 결정화 방법, RTA 또는 어닐링 노를 사용하는 열 결정화 방법, 또는 금속 소자 촉진 결정화를 사용하는 열 결정화 방법과 같은 결정화 방법에 의하여 결정화된다. 그 다음에, 반도체막은 선택적으로 예칭 및 제거된다. 도 51a 내지 도 51d에서, 섬형 반도체막들(803a, 803b)의 단부들은 테이퍼진다( $\Theta=30^\circ$  내지  $85^\circ$ ).

[0341] 다음으로, 게이트 절연막(804)은 반도체막들(803a, 803b)을 커버하도록 형성된다(도 51b). 게이트 절연막(804)은 스퍼터링 방법, LPCVD 방법, 플라즈마 CVD 방법 등에 의하여 실리콘 산화물( $\text{SiO}_x$ ), 실리콘 질화물( $\text{SiN}_x$ ), 실리콘 옥시나트라이드( $\text{SiO}_x\text{N}_y$ )( $x>y$ ), 또는 실리콘 질화물 산화물( $\text{SiN}_x\text{O}_y$ )과 같이 질소 또는 산소를 포함하는 절연막들의 단층 구조 또는 다층구조를 가지고도록 형성될 수 있다.

[0342] 그 다음에, 게이트 절연막(804)은 플라즈마 처리에 의하여 산화 또는 질화되며, 이에 따라 산화물막 또는 질화물막(이후, 절연막(824)으로서 언급됨)이 게이트 절연막(804)의 표면상에 형성된다(도 51c). 더욱이, 플라즈마 처리에 대한 조건들은 앞서 기술된 조건들과 유사할 수 있다. 예컨대, 실리콘 산화물( $\text{SiO}_x$ ) 또는 실리콘 옥시나트라이드( $\text{SiO}_x\text{N}_y$ )( $x>y$ )가 게이트 절연막(804)로서 사용될 때, 플라즈마 처리는 게이트 절연막(804)을 산화시키

기 위하여 산소를 포함하는 분위기에서 수행된다. 플라즈마 처리에 의하여 게이트 절연막의 표면상에 포함된 막은 조밀할 수 있으며, CVD 방법, 스퍼터링 방법 등에 의하여 형성된 게이트 절연막과 비교하여 펀홀들과 같은 소수의 결함들을 가진다. 다시 말해서, 플라즈마 처리는 게이트 절연막(804)을 질화시키기 위하여 질소를 포함하는 분위기에서 수행되며, 실리콘 질화물 산화물( $\text{SiN}_x\text{O}_y$ )( $x>y$ )은 게이트 절연막(804)의 표면상에서 절연막(824)로서 제공될 수 있다. 더욱이, 플라즈마 처리가 게이트 절연막(804)을 질화시키기 위하여 산소를 포함하는 분위기에서 수행된 후에, 플라즈마 처리는 게이트 절연막(804)을 질화시키기 위하여 질소를 포함하는 분위기에서 다시 수행될 수 있다. 더욱이, 절연막(824)은 플라즈마 처리에서 사용된 희가스를 포함하며, Ar을 사용하는 경우에 Ar은 절연막(824)에서 포함된다.

[0343] 다음으로, 게이트 절연막(804) 위에 게이트 전극(805) 등을 형성함으로서, 채널 영역들로서 섬형 반도체막들(803a, 803b)을 각각 사용하여 N-채널 트랜지스터(810a) 및 P-채널 트랜지스터(810b)를 제조하는 것이 가능하다.

[0344] 이러한 방식에서, 게이트 절연막에 대하여 플라즈마 처리를 수행함으로서, 산화물막 또는 질화물막으로 형성된 절연막은 게이트 절연막의 표면상에 형성되며, 게이트 절연막의 표면은 막품질이 강화될 수 있다. 플라즈마 처리에 의하여 산화 또는 질화된 절연막은 조밀하게 되며, CVD 방법 또는 스퍼터링 방법에 의하여 형성된 게이트 절연막과 비교하여 펀홀들과 같은 소수의 결함들을 가지며, 이에 따라 트랜지스터의 특징이 강화될 수 있다. 게다가, 반도체막의 단부를 테이퍼진 형상으로 형성함으로서 반도체막의 단부에서 게이트 절연막 등의 커버리지 결함에 의하여 유발된 반도체막 및 게이트 전극간의 단락을 방지하는 것이 가능하다. 그러나, 게이트 절연막을 형성한 후에 플라즈마 처리를 수행함으로서, 게이트 전극 및 반도체막 간의 단락 등이 추가로 방지될 수 있다.

[0345] 도 51a 내지 도 51d의 트랜지스터와 다른 트랜지스터의 제조 방법은 도면들을 참조로하여 설명된다. 특히, 플라즈마 처리가 테이퍼진 형상을 가진 반도체막의 단부에 대하여 선택적으로 수행되는 경우가 기술된다.

[0346] 첫째, 섬형 반도체막들(803a, 803b)은 기판(801) 위에 형성된다(도 52a). 섬형 반도체막들(803a, 803b)의 형성과 관련하여, 비결정 반도체막은 스퍼터링 방법, LPCVD 방법, 플라즈마 CVD 방법 등에 의하여 기판(801) 위에 미리 형성된 절연막(802) 위에서 실리콘(Si)을 주로 포함하는 재료(예컨대,  $\text{Si}_x\text{Ge}_y$  등)를 사용하여 형성된다. 그 다음에, 비결정 반도체막은 결정화되며, 반도체막은 마스크들로서 레지스트들(825a, 825b)을 사용하여 선택적으로 에칭된다. 레이저 결정화 방법, RTA 또는 어닐링 노를 사용하는 열 결정화 방법, 금속 소자 촉진 결정화를 사용하는 열 결정화 방법 또는 이들의 결합과 같은 결정화 방법은 비결정 반도체막을 결정화하기 위하여 사용될 수 있다.

[0347] 다음으로, 반도체막을 에칭하기 위하여 사용된 레지스트들(825a, 825b)을 제거하기 전에, 플라즈마 처리는 섬형 반도체막들(803a, 803b)의 단부를 선택적으로 산화 또는 질화하기 위하여 수행된다. 산화막 또는 질화막(이후에, 절연막(826)으로서 언급됨)은 반도체막들(803a, 803b)의 각각의 단부에서 형성된다(도 52b). 플라즈마 처리는 앞의 조건들과 함께 수행된다. 더욱이, 절연막(826)은 플라즈마 처리시에 사용되는 희가스를 포함한다.

[0348] 그 다음에, 게이트 절연막(804)은 반도체막들(803a, 803b)을 커버하도록 형성된다(도 52c). 게이트 절연막(804)은 앞서 기술된 바와 같이 유사하게 형성될 수 있다.

[0349] 다음으로, 게이트 절연막(804) 위에 게이트 전극(805) 등을 형성함으로서, 채널 영역들로서 섬형 반도체막들(803a, 803b)을 사용하여 N-채널 트랜지스터(810a) 및 P-채널 트랜지스터(810b)를 제조하는 것이 가능하다(도 52d).

[0350] 반도체막들(803a, 803b)의 단부들이 테이퍼질 때, 반도체막들(803a, 803b)의 부분들에 형성된 채널 영역들의 단부들(852a, 852b)이 테이퍼진다. 따라서, 반도체막 또는 게이트 절연막의 두께는 중심 부분과 비교하여 변화하며, 트랜지스터의 특징이 영향을 받는 위험성이 존재한다. 따라서, 플라즈마 처리에 의하여 채널 영역들의 단부들을 선택적으로 산화 또는 질화시킴으로서, 절연막은 채널 영역의 단부들이 되는 반도체막상에 형성된다. 따라서, 채널 영역의 단부들로 인한 트랜지스터에 대한 영향이 감소될 수 있다.

[0351] 도 52a 내지 도 52d는 산화 또는 질화를 위하여 반도체막들(803a, 803b)의 단부들만에 대하여 수행되는 예를 기술한다. 말할 필요 없이, 플라즈마 처리는 도 51a 내지 도 51d에 도시된 바와 같이 산화 또는 질화시키기 위하여 게이트 절연막(804)에 대하여 수행될 수 있다(도 54a).

[0352] 다음으로, 트랜지스터의 제조 방법은 도면들을 참조로하여 설명된다. 본 방법은 앞서 기술된 방법과 다르다.

특히, 플라즈마 처리는 테이퍼진 형상을 가진 반도체막에 대하여 적용된다.

[0353] 첫째, 섬형 반도체막들(803a, 803b)은 앞서 기술된 바와같이 기판(801)위에 유사하게 형성된다(도 53a).

[0354] 다음으로, 플라즈마 처리는 반도체막들(803a, 803b)을 산화 또는 질화시키기 위하여 반도체막들(803a, 803b)에 대하여 수행되며, 이에 따라 산화물막들 또는 질화물막들(이후에, 절연막들(827a, 827b)로서 언급됨)은 반도체막들(803a, 803b)의 표면들상에 형성된다(도 53b). 플라즈마 처리는 앞의 조건들과 함께 수행될 수 있다. 예컨대, Si가 반도체막들(803a, 803b)을 위하여 사용될때, 실리콘 산화물( $\text{SiO}_x$ ) 또는 실리콘 질화물( $\text{SiN}_x$ )은 절연막들(827a, 827b)로서 형성된다. 더욱이, 플라즈마 처리에 의하여 반도체막들(803a, 803b)을 산화한후에, 플라즈마 처리는 반도체막들(803a, 803b)을 질화시키기 위하여 다시 수행될 수 있다. 이러한 경우에, 실리콘 산화물( $\text{SiO}_x$ ) 또는 실리콘 옥시니트라이드( $\text{SiO}_x\text{N}_y$ )( $x>y$ )는 실리콘 산화물의 표면상에 형성된다. 따라서, 절연막들(827a, 827b)은 플라즈마 처리에서 사용된 희가스를 포함한다. 플라즈마 처리에 의하여, 반도체막들(803a, 803b)의 단부들은 동시에 산화 또는 질화된다.

[0355] 그 다음에, 게이트 절연막(804)은 절연막들(827a, 827b)을 커버하도록 형성된다(도 53c). 게이트 절연막(804)로서, 실리콘 산화물( $\text{SiO}_x$ ), 실리콘 질화물( $\text{SiN}_x$ ), 실리콘 옥시니트라이드( $\text{SiO}_x\text{N}_y$ )( $x>y$ ) 또는 실리콘 질화물 산화물( $\text{SiN}_x\text{O}_y$ )( $x>y$ )와 같이 질소 또는 산소를 포함하는 절연막들의 단층구조 또는 다층구조는 스퍼터링 방법, LPCVD 방법, 플라즈마 CVD 방법 등에 의하여 사용될 수 있다. 예컨대, Si를 사용하는 반도체막들(803a, 803b)이 반도체막들(803a, 803b)의 표면들상에 절연막들(827a, 827b)로서 실리콘 산화물을 형성하기 위하여 플라즈마 처리에 의하여 산화되는 경우에, 실리콘 산화물( $\text{SiO}_x$ )은 절연막들(827a, 827b)위에 게이트 절연막으로서 형성된다.

[0356] 다음으로, 게이트 절연막(804)위에 게이트 전극(805) 등을 형성함으로서, 채널 영역들로서 섬형 반도체막들(803a, 803b)을 사용하여 N-채널 트랜지스터(819a) 및 P-채널 트랜지스터(810b)을 제조하는 것이 가능하다(도 53d).

[0357] 반도체막들의 단부들이 테이퍼질때, 반도체막들(803a, 803b)의 부분들에서 형성된 채널 영역들의 단부들이 테이퍼진다. 따라서, 반도체 소자의 특징들이 영향을 받는 위험이 존재한다. 플라즈마 처리에 의하여 반도체막들을 산화 또는 질화시키는 결과로서 채널영역들의 단부들을 산화 또는 질화함으로서, 반도체 소자에 대한 영향이 감소될 수 있다.

[0358] 도 53a 내지 도 53d에서, 플라즈마 처리에 의하여 산화 또는 질화시키기 위하여 반도체막들(803a, 803b)만이 사용되는 예가 기술되나, 플라즈마 처리는 도 51a 내지 도 51d에 도시된 바와같이 산화 또는 질화시키기 위하여 게이트 절연막(804)에 대하여 플라즈마 처리가 수행될 수 있다(도 54b). 이러한 경우에, 플라즈마 처리가 게이트 절연막(804)을 산화시키기 위하여 산소를 포함하는 분위기에서 한번 수행된후에, 플라즈마 처리는 게이트 절연막(804)을 질화시키기 위하여 질소를 포함하는 분위기에서 다시 수행될 수 있다. 이러한 경우에, 실리콘 산화물( $\text{SiO}_x$ ) 또는 실리콘 옥시니트라이드( $\text{SiO}_x\text{N}_y$ )( $x>y$ )는 반도체막들(803a, 803b)상에 형성되며, 실리콘 질화물 산화물( $\text{SiN}_x\text{O}_y$ )( $x>y$ )은 게이트 전극(805)과 접촉하도록 형성된다.

[0359] 이러한 방식으로 플라즈마 처리를 수행함으로서, 반도체막 또는 절연막에 부착된 먼지들과 같은 불순물들은 용이하게 제거될 수 있다. 일반적으로, 일부의 경우들에, 먼지들(또한 입자들로서 언급됨)은 CVD 방법, 스퍼터링 방법 등에 의하여 형성된 막에 부착된다. 예컨대, 도 55a에 도시된 바와같이, 먼지(833)는 CVD 방법, 스퍼터링 방법 등에 의하여 형성된 절연막(832)위에 형성되어 절연막, 도전막, 또는 반도체막과 같은 막(831)위에 형성되는 경우가 존재한다. 이러한 경우에, 절연막(832)은 플라즈마 처리에 의하여 산화 또는 질화되며, 산화막 또는 질화막(이후에, 절연막(832)로서 언급됨)은 절연막(832)의 표면상에 형성된다. 절연막(832)과 관련하여, 먼지(833) 아래의 부분 뿐만아니라 먼지(833)가 존재하지 않는 부분은 산화되거나 또는 질화되며, 이에 따라 절연막(834)의 체적이 증가된다. 다른 한편으로, 먼지(833)의 표면은 절연막(835)을 형성하기 위하여 플라즈마 처리에 의하여 산화 또는 질화되며, 결과로서 먼지(833)의 체적은 증가된다(도 55b).

[0360] 동시에, 먼지(833)는 브러시 세척과 같은 단순한 세척에 의하여 절연막(834)의 표면으로부터 용이하게 제거될 수 있다. 이러한 방식으로, 플라즈마 처리에 의하여, 절연막 또는 반도체막에 부착된 미소한 먼지는 용이하게 제거될 수 있다. 이는 플라즈마 처리를 수행함으로서 얻어진 효과이며 다른 실시예 모드들 뿐만아니라 본 실시예 모드에서 중요하다는 것에 유의해야 한다.

- [0361] 앞서 기술된 바와같이, 플라즈마 처리에 의한 산화 또는 질화시킴으로서 반도체막 또는 게이트 절연막의 표면에 대한 막 품질을 개선함으로서, 양호한 막 품질을 가진 조밀한 절연막이 형성될 수 있다. 더욱이, 절연막의 표면에 부착된 먼지 등은 세척에 의하여 용이하게 제거될 수 있다. 결과적으로, 절연막이 얇게 형성될때조차, 핀홀들과 같은 결함들이 방지될 수 있으며, 트랜지스터와 같은 반도체 소자의 고성능이 실현될 수 있다.
- [0362] 이러한 실시예 모드에서 반도체막들(803a, 803b) 또는 게이트 절연막(804)을 산화 또는 질화시키기 위하여 앞의 도 48a 내지 도 48c의 게이트 절연막(804) 또는 반도체막들(803a, 803b)에 대하여 플라즈마 처리가 수행되나, 플라즈마 처리에 의하여 산화 또는 질화되는 층이 이에 제한되지 않는다는 것에 유의해야 한다. 예컨대, 기판(801) 또는 절연막(802)에 대하여 플라즈마 처리가 수행될 수 있거나 또는 절연막(806 또는 807)에 대하여 플라즈마 처리가 수행될 수 있다.
- [0363] 이러한 실시예 모드는 기판위의 트랜지스터의 제조방법을 기술한다. 트랜지스터를 사용함으로서, 실시예 모드 1 내지 10에 기술된 표시 장치가 제조될 수 있다. 다시 말해서, 이러한 실시예 모드는 실시예 모드 1 내지 10과 자유롭게 결합될 수 있다.
- [0364] 실시예 모드 14
- [0365] 이러한 실시예 모드는 실시예 모드 1 내지 10에 도시된 표시 장치의 주 컴포넌트인 트랜지스터를 제조하는 방법을 기술한다. 특히, 트랜지스터를 제조하는 프로세서로서 절반-톤 노출 방법이 기술된다.
- [0366] 도 56은 동일한 프로세스에서 형성될 수 있는 트랜지스터, 커패시터, 및 저항기 소자의 단면 구조를 도시한 도면이다. 도 56은 N-채널 트랜지스터들(951, 952), 커패시터(954), 저항기 소자(955) 및 P-채널 트랜지스터(953)를 도시한다. 각각의 트랜지스터는 반도체층(905), 절연층(908) 및 게이트 전극(909)을 포함한다. 게이트 전극(909)은 제 1 및 제 2도전층들(903, 902)의 적층 구조를 가지고도록 형성된다. 더욱이, 도 57a 내지 도 57e는 도 56에 도시된 트랜지스터들, 커패시터 및 저항기 소자에 대응하는 평면도를 각각 도시한다.
- [0367] 도 56에서, N-채널 트랜지스터(951)는 채널 길이 방향(전류가 흐르는 방향)에서 채널 형성 영역의 양 측면상의 반도체층(905)내에 형성된 불순물 영역들(907)을 가지며, 이는 저도핑 드레인들(LDD)로서 언급되고 와이어들(904)과 접촉하는 소스 및 드레인 영역들을 형성하는 불순물 영역들(906)의 불순물 농도보다 낮은 농도로 도핑이 수행된다. N-채널 트랜지스터(951)를 배치하는 경우에, 불순물 영역들(906, 907)은 N-형 도전성을 전달하는 불순물로서 인 등으로 도핑된다. LDD들은 열전자 저하 및 얇은 채널 효과를 억제하는 수단으로서 형성된다.
- [0368] 도 57a에 도시된 바와같이, N-채널 트랜지스터(51)의 게이트 전극(909)은 제 2 도전층(902)의 양 측면상에서 연장하도록 형성된 제 1도전층(903)을 가진다. 이러한 경우에, 제 1도전층(903)은 제 2도전층보다 얇은 막 두께를 가지고도록 형성된다. 제 1도전층(903)은 10 내지 100kV에 의하여 가속된 이온 종들이 통과되도록 하는 두께를 가지고도록 형성된다. 불순물 영역들(907)은 게이트 전극(909)의 제 1도전층(903)과 중첩하고, 즉 게이트 전극(909)과 중첩하는 LDD 영역들을 형성하도록 형성된다. 이러한 구조에서, 불순물 영역들(907)은 게이트 전극(909)에서 마스크로서 제 2도전층(902)을 사용하여 제 1도전층(903)을 통해 하나의 도전형 불순물을 첨가함으로서 자체 정렬된 방식으로 형성된다. 다시 말해서, 게이트 전극과 중첩하는 LDD는 자체 정렬된 방식으로 형성된다.
- [0369] 도 56에서, N-채널 트랜지스터(952)는 불순물 농도보다 낮은 농도를 가지고도록 도핑이 수행되는 게이트 전극의 한 측면상의 반도체층(905)내에 형성된 불순물 영역(907)을 가진다. 도 57b에 도시된 바와같이, N-채널 트랜지스터(952)의 게이트 전극(909)은 제 2도전층(902)의 한 측면상에서 연장하도록 형성된 제 1도전층(903)을 가진다. 또한, 이러한 경우에, LDD는 마스크로서 제 2도전층(902)을 사용하여 제 1도전층(903)을 통해 하나의 도전형 불순물을 첨가함으로서 자체 정렬된 방식으로 형성될 수 있다.
- [0370] 한 측면상에서 LDD를 가진 트랜지스터는 단지 양의 전압 또는 음의 전압이 소스 및 드레인 전극들사이에 공급되는 트랜지스터에 적용될 수 있고, 특히 인버터 회로, NAND 회로, NOR 회로 또는 래치 회로와 같은 논리 게이트를 구성하는 트랜지스터 또는 센스 증폭기, 정전압 생성 회로 또는 VCO와 같은 아날로그 회로를 구성하는 트랜지스터에 적용될 수 있다.
- [0371] 도 56에서, 커패시터(54)는 제 1도전층(903) 및 반도체층(905)사이에 삽입된 절연층(908)을 가지고도록 형성된다. 커패시터(954)를 형성하는 반도체층(905)은 불순물 영역들(910) 및 불순물 영역(911)을 포함한다. 불순물 영역(911)은 반도체층(905)에서 제 1도전층(903)와 중첩한 위치에 형성된다. 더욱이, 불순물 영역들(910)은 와이어들(904)과 접촉한다. 불순물 영역(911)이 제 1도전층(903)을 통해 하나의 도전형 불순물로 도핑될 수 있기 때

문에, 불순물 영역들(910)에 포함된 불순물의 농도는 불순물 영역(911)에 포함된 불순물의 농도와 동일하거나 또는 다를 수 있다. 임의의 경우에, 반도체층(905)이 커패시터(954)의 전극으로서 기능하도록 형성되기 때문에, 반도체층(905)이 저항을 낮추기 위하여 하나의 도전형 불순물로 도핑되는 것이 바람직하다. 더욱이, 제 1도전층(03)은 도 57c에 기술된 바와같이 보조 전극으로서 제 2도전층(902)을 사용함으로서 전극으로서 충분한 기능을 하도록 형성될 수 있다. 이러한 방식에서, 커패시터(954)는 제 1 및 제 2 도전층들(903, 902)이 결합되는 컴포지트 전극 구조를 사용함으로서 자체 정렬 방식으로 형성될 수 있다.

[0372] 도 56에서, 저항기 소자(955)는 제 1도전층(903)으로 형성된다. 제 1도전층(903)이 대략 30 내지 150nm의 두께를 가지도록 형성되기 때문에, 이의 폭 및 길이는 대략 저항기 소자를 배치하도록 세팅될 수 있다.

[0373] 저항기 소자는 박막 두께를 가진 금속층 또는 고농도로 불순물 소자를 포함하는 반도체층을 사용하여 형성될 수 있다. 반도체층의 저항은 막 두께, 막 품질, 불순물 농도, 활성화율 등에 따른다. 대조적으로, 금속층은 금속층의 저항이 막 두께 및 막 품질에 의하여 결정되고 덜 가변적이기 때문에 바람직하다. 도 57d는 저항기 소자(955)의 평면도이다.

[0374] 도 56에서, P-채널 저항기(953)는 불순물 영역들(912)을 포함하는 반도체층(905)을 가진다. 불순물 영역들(912)은 와이어들(904)과 접촉하는 소스 및 드레인 영역들을 형성한다. 게이트 전극(909)은 제 1 및 제 2도전층들(903, 902)이 서로 중첩되는 구조를 가진다. P-채널 저항기(953)는 LDD없이 단일 드레인 구조를 가지는 트랜지스터이다. P-채널 트랜지스터(953)를 형성하는 경우에, 불순물 영역들(912)은 P-형 도전성을 전달하는 불순물로서 봉소 등으로 도핑된다. 다른 한편으로, 불순물 영역들(912)이 인으로 도핑되기 때문에, 단일 드레인 구조를 가진 N-채널 트랜지스터가 형성될 수 있다. 도 57e는 P-채널 트랜지스터(953)의 평면도이다.

[0375] 반도체층(905) 및 게이트 절연층(908)중 하나 또는 둘다 2eV 이하의 전자 온도, 5eV 이하의 이온 에너지 및  $10^{11}$  내지  $10^{13}/\text{cm}^3$  정도의 전자 밀도를 가진 마이크로파 여기 고밀도 플라즈마 처리에 의하여 산화 또는 질화 처리될 수 있다. 이러한 경우에, 반도체층(905) 및 게이트 절연층(908)간의 인터페이스의 결함 레벨은 산화 분위기( $\text{O}_2$ ,  $\text{N}_2\text{O}$  등) 또는 질화 분위기( $\text{N}_2$ ,  $\text{NH}_3$  등)에서 300 내지 450°C의 기판 온도로 처리를 수행함으로서 감소될 수 있다. 게이트 절연층(908)의 처리를 수행함으로서, 이러한 절연층은 조밀하게 형성될 수 있다. 다시 말해서, 하전 결함의 생성은 트랜지스터의 임계 전압의 변화를 방지하도록 억제될 수 있다. 더욱이, 3V 이하의 전압으로 트랜지스터를 구동시키는 경우에, 이러한 플라즈마 처리에 의하여 산화 또는 질화된 절연층은 게이트 절연층(908)으로서 공급될 수 있다. 선택적으로, 트랜지스터의 구동 전압이 3V 이상인 경우에, CVD 방법(플라즈마 CVD 방법 또는 열 CVD 방법)에 의하여 증착된 절연층 및 반도체층(905)의 표면에 대하여 플라즈마 처리함으로서 형성된 절연층은 게이트 절연층(908)을 형성하기 위하여 결합될 수 있다. 또한, 이러한 절연층은 커패시터(954)의 유전체층으로서 사용될 수 있다. 이러한 경우에, 큰 정전 용량을 가진 커패시터는 플라즈마 처리에 의하여 형성된 절연층이 1 내지 10의 두께를 가지고 조밀한 막이기 때문에 형성될 수 있다.

[0376] 도 56 및 도 57a 내지 도 57e를 참조하여 설명한 바와같이, 다양한 구조들을 가진 소자들은 막 두께가 다른 도전층들을 결합함으로서 형성될 수 있다. 단지 제 1도전층이 형성되는 영역 및 제 1도전층 및 제 2도전층이 적층되는 영역은 반-투명막으로 구성되고 광민감도를 감소시키는 기능을 가진 지원 패턴 또는 회절 격자 패턴을 가진 레티를 또는 포트마스크를 사용함으로서 형성될 수 있다. 다시 말해서, 포토레지스트가 포토리소그라파 프로세스에서 광으로 노출될 때, 포토마스크를 통과하는 광량은 레지스트 마스크에 대한 두께가 다르게 현상하도록 제어된다. 이러한 경우에, 분해능 제한치 이하를 가진 슬릿들을 가진 포토마스크 또는 레티를은 앞서 기술된 복잡한 형상을 가진 레지스트를 형성하기 위하여 사용될 수 있다. 더욱이, 약 200°C에서의 베이킹은 포토레지스트 재료로부터 형성된 마스크 패턴의 형상을 변화시키기 위하여 현상후에 수행될 수 있다.

[0377] 더욱이, 제 1도전층만이 형성되는 영역 및 제 1도전층 및 제 2도전층이 적층되는 영역은 반-투명 막으로 구성되고 광 민감도를 감소시키는 기능을 가진 지원 패턴 또는 회절 격자 패턴을 가진 레티를 또는 포토마스크를 사용함으로서 연속적으로 형성될 수 있다. 도 57a에 도시된 바와같이, 단지 제 1도전층이 형성되는 영역은 반도체층위에 선택적으로 형성될 수 있다. 이러한 영역은 반도체층위에서 효과적이거나 이와 다른 영역(게이트 전극으로부터 연속된 와이어 영역)에서 필수적이지 않다. 단지 제 1도전층이 형성되는 영역이 포트마스크 또는 레티의 사용 결과로서 와이어 부분내에 형성되는 것이 요구되지 않기 때문에, 와이어 밀도는 실질적으로 증가될 수 있다.

[0378] 도 56 및 도 57a 내지 도 57e의 경우에, 제 1도전층은 텅스텐(W), 크롬(Cr), 탄탈(Ta), 탄탈 질화물(TaN), 또는 몰리브덴(Mo), 또는 주 컴포넌트로서 고용융점 금속을 포함하는 합금 또는 화합물과 같은 고용융점 금속을

사용함으로서 30 내지 50nm의 두께를 가지도록 형성된다. 더욱이, 제 2 도전층은 텉스텐(W), 크롬(Cr), 탄탈(Ta), 탄탈 질화물(TaN), 또는 몰리브덴(Mo), 또는 주 컴포넌트로서 고용융점 금속을 포함하는 합금 또는 화합물과 같은 고용융점 금속을 사용함으로서 300 내지 600nm의 두께를 가지도록 형성된다. 예컨대, 다른 도전재료들은 이후에 수행될 에칭 프로세스의 에칭율의 차이를 야기하기 위하여 제 1도전층 및 제 2도전층에 대하여 사용된다. 예로서, TaN은 제 1도전층을 위하여 사용될 수 있으며, 텉스텐막은 제 2 도전층으로서 사용될 수 있다.

- [0379] 이러한 실시예 모드는 다른 전극 구조들을 가진 트랜지스터들, 커패시터 및 저항 소자가 반-투명막으로 구성되고 광민감도를 감소시키는 기능을 가진 지원 패턴 또는 회절 격자 패턴을 가진 레터를 또는 포트마스크를 사용함으로서 동일한 패터닝 프로세스로 분리되도록 형성될 수 있다는 것을 기술한다. 이는 다른 모드들을 가진 소자들이 스텝들의 수를 증가시키지 않고 회로 특징들에 기초하여 통합되도록 한다.
- [0380] 이러한 실시예 모드는 기판상에 트랜지스터를 형성하기 위한 제조방법을 기술한다. 트랜지스터를 사용함으로서, 실시예 모드 1 내지 10에 기술된 표시 장치가 제조될 수 있다. 다시 말해서, 이러한 실시예 모드는 실시예 모드 1 내지 10과 자유롭게 결합될 수 있다.
- [0381] 실시예 모드 15
- [0382] 본 실시예 모드는 도 58a 및 도 58b, 도 59a 및 도 59b 및 도 60a 및 도 60b를 참조하여 트랜지스터를 제조할 때 마스크 패턴의 예를 기술한다.
- [0383] 주요 컴포넌트로서 실리콘을 포함하는 반도체 또는 실리콘을 사용하여 도 58a에 도시된 반도체층들(920, 921)을 형성하는 것이 바람직하다. 예컨대, 레이저 어닐링 등에 의하여 결정화된 실리콘막인 다결정 실리콘, 단결정 실리콘 등이 사용된다. 이외에, 반도체 특징을 나타내는 금속-산화물 반도체, 비결정 실리콘 또는 유기 반도체를 사용하는 것이 가능하다.
- [0384] 반도체층들(920, 921)은 포토리소그라피 프로세스 및 에칭 프로세스로 기판위에 형성된 반도체층을 적용시킴으로서 형성된다. 포토리소그라피 프로세스에 의하여, 마스크 패턴은 반도체층위에 형성될 수 있다. 에칭 프로세스에 의하여, 기판위에 형성된 반도체층은 마스크 패턴을 사용하여 선택적으로 제거된다. 반도체층들(920, 921)의 형상들은 제조될 트랜지스터들의 특징들 또는 회로의 레이아웃을 고려하여 결정된다.
- [0385] 도 58a에 도시된 반도체층들(920, 921)을 형성하기 위한 포토마스크는 도 58b에 도시된 마스크 패턴(940)을 포함한다. 마스크 패턴(940)은 포토리소그라피 프로세스를 위하여 사용된 레지스트의 타입, 즉 양의 타입 또는 음의 타입에 따라 다르다. 양의 레지스트가 사용되는 경우에, 도 58b에 도시된 마스크 패턴(940)은 광 차폐부로서 제조된다. 마스크 패턴(940)은 상부 부분(A)이 제거되는 다각형 형상을 가진다. 더욱이, 구부러진 부분(B)은 코너 부분이 직각을 이루지 않도록 다수의 레벨들로 구부러지는 형상을 가진다.
- [0386] 도 58b에 도시된 마스크 패턴(940)의 형상은 도 58a에 도시된 반도체층들(920, 921)에 반영된다. 이러한 경우에, 마스크 패턴(940)과 유사한 형상은 마스크 패턴(940)의 코너 부분이 더 라운딩되도록 전달될 수 있다. 다시 말해서, 패턴 형상은 라운딩을 가진 마스크 패턴(940)보다 스무스하게 형성될 수 있다.
- [0387] 적어도 실리콘 산화물 또는 실리콘 질화물을 부분적으로 포함하는 절연층은 반도체층들(920, 921)위에 형성된다. 절연층을 형성하기 위한 목적들중 한 목적은 게이트 절연층으로서 사용된다는 것이다. 그 다음에, 도 59a에 도시된 바와같이, 게이트 와이어들(922, 923, 924)은 반도체층들과 부분적으로 중첩되도록 형성된다. 게이트 와이어(922)는 반도체층(920)에 대응하도록 형성된다. 게이트 와이어(923)는 반도체층들(920, 921)에 대응하도록 형성된다. 더욱이, 게이트 와이어(924)는 반도체층들(920, 921)에 대응하도록 형성된다. 고도전성을 가진 반도체층 또는 금속층을 형성함으로서, 게이트 와이어들의 형상들은 포토리소그라피 기술에 의하여 절연층위에 형성된다.
- [0388] 이들 게이트 와이어들(922, 923, 924)을 형성하는 포토마스크 패턴은 도 59b에 도시된다. 마스크 패턴(941)의 형상에서, 코너 위치들의 외부 측면들은 직각으로 구부러지지 않도록 절단된다. 더욱이, 코너 위치들의 내부 측면들은 직각으로 구부러지지 않도록 다수의 레벨들로 구부러진다. 절단 부분의 크기는 와이어 폭에 기초하여 결정될 수 있다. 예컨대, 절단 부분은 라인폭의 1/5 내지 1/2인 길이를 가지도록 코너 부분의 외부 상부에 형성될 수 있다. 도 59b에 도시된 마스크 패턴(941)의 형상은 도 59a에 도시된 게이트 와이어들(922, 923, 924)에 반영된다. 이러한 경우에, 마스크 패턴(941)과 유사한 형상은 마스크 패턴(941)의 코너가 추가로 라운딩되도록 전달될 수 있다. 다시 말해서, 패턴 형상은 라운딩을 가지도록 마스크 패턴(941)보다 더 스무스하게 만들 수 있다. 코너 부분들에 라운딩을 형성하기 위하여, 과방전으로 인한 정밀 입자들의 생성은 건식 에칭이 플라

즈마에 의하여 형성될때 억제될 수 있다. 오목 부분들의 코너 부분들에 라운딩을 형성함으로서, 세척과 동시에 생성되고 코너들에 용이하게 남는 정밀 입자들이 세척될 수 있다. 결과적으로, 수율이 크게 개선될 수 있는 효과가 존재한다.

- [0389] 층간 절연층은 게이트 와이어들(922, 923, 924)후에 형성된 층이다. 층간 절연층은 폴리이미드 또는 아크릴 수지와 같은 유기 절연재료 또는 실리콘 산화물과 같은 무기 절연재료를 사용하여 형성된다. 실리콘 질화물 또는 실리콘 질화물 산화물과 같은 절연층은 층간 절연층 및 게이트 와이어들(922, 923, 924)사이에 삽입될 수 있다. 더욱이, 실리콘 질화물 또는 실리콘 질화물 산화물과 같은 절연층은 층간 절연층위에 제공될 수 있다. 절연층은 트랜지스터에 대하여 바람직하지 않은 외생 금속 이온들 또는 습기와 같은 불순물들로 반도체층 및 게이트 절연층이 오염되는 것을 방지할 수 있다.
- [0390] 층간 절연층의 미리 결정된 위치에 개구부가 형성된다. 예컨대, 하부층의 반도체층 또는 게이트 와이어에 대응하는 개구부가 제공된다. 하나의 층 또는 금속 또는 금속 화합물의 다수의 층들로부터 형성된 와이어층에서, 마스크 패턴은 포토리소그라피 기술에 의하여 형성되며 미리 결정된 패턴은 에칭 프로세스에 의하여 형성된다. 그 다음에, 도 60a에 도시된 바와같이, 와이어들(925 내지 930)은 반도체층들과 부분적으로 중첩되도록 형성된다. 특정 소자들이 와이어들에 의하여 접속된다. 와이어들은 직선으로 특정 소자들을 접속할 수 있으나 레이아웃의 제한 결과로서 구부러진 부분을 가지도록 특정 소자들을 접속한다. 더욱이, 와이어들의 폭들은 각각 접촉 부분 또는 다른 영역들에서 변화된다. 접촉 홀의 크기가 와이어의 폭과 동일하거나 또는 클때, 와이어의 폭은 접촉 부분에서 크게된다.
- [0391] 이들 와이어들(925 내지 930)을 형성하기 위한 포토마스크 패턴이 도 60b에 도시된다. 마스크 패턴(939)의 형상에서, 코너 부분들의 외부 측면들은 직각으로 구부러지지 않도록 절단된다. 더욱이, 코너 부분들의 내부 측면들은 직각으로 구부러지지 않도록 다수의 레벨로 구부러진다. 절단 부분의 크기는 와이어 폭에 기초하여 결정될 수 있다. 예컨대, 절단 부분은 폭의 1/5 내지 1/2인 길이를 가지도록 코너 부분의 외부 상부 부분에 형성될 수 있다. 도 60b에 도시된 마스크 패턴(939)의 형상은 도 60a에 도시된 와이어들(925 내지 930)에 반영된다. 이러한 경우에, 마스크 패턴(939)과 유사한 형상은 마스크 패턴(939)의 코너가 추가로 라운딩되도록 전달될 수 있다. 다시 말해서, 패턴 형상은 라운딩을 가지도록 마스크 패턴(939)보다 스무스하게 형성될 수 있다. 코너 부분들에서 라운딩을 형성함으로서, 과방전에 의한 정밀 입자들의 생성은 건식 에칭이 플라즈마에 의하여 수행될때 억제될 수 있다. 오목한 부분들의 코너 부분들에 라운딩을 형성함으로서, 세척과 동시에 생성되어 코너들에 계속해서 남아있는 초정밀 입자들이 세척될 수 있다. 결과적으로, 수율이 현저하게 개선될 수 있는 효과가 존재한다.
- [0392] 도 60a에서, N-채널 트랜지스터들(931, 932, 933) 및 P-채널 트랜지스터들(935, 936)이 형성된다. N-채널 트랜지스터(933) 및 P-채널 트랜지스터(935)는 인버터(937)를 구성하며, N-채널 트랜지스터(939) 및 P-채널 트랜지스터(936)는 인버터(938)를 구성한다. 이들 6개의 트랜지스터들을 포함하는 회로는 SRAM을 형성한다. 실리콘 질화물 또는 실리콘 산화물과 같은 절연층은 이들 트랜지스터들의 상부층에 형성될 수 있다.
- [0393] 본 실시예 모드가 실시예 모드 1 내지 14와 자유롭게 결합될 수 있다는 것에 유의해야 한다.
- [0394] 실시예 모드 16
- [0395] 본 실시예 모드는 도 61a 내지 도 61g를 참조하여 본 발명의 표시 장치를 사용하는 전자장치들을 기술한다.
- [0396] 도 61a는 본 발명의 표시 장치를 사용하는 휴대용 정보 단말의 개략도이다. 휴대용 정보 단말은 주 몸체(10), 동작 스위치들(11), 전력 스위치(12), 안테나(13), 표시 부분(14), 및 외부 입력 포트(15)에 의하여 구성된다. 본 발명의 표시 장치는 표시 부분(14)에서 사용될 수 있다.
- [0397] 도 61b는 본 발명의 표시 장치를 사용하는 퍼스널 컴퓨터의 개략도이다. 퍼스널 컴퓨터는 주 몸체(20), 하우징(21), 표시 부분(22), 동작 스위치들(23), 전력 스위치(24) 및 외부 입력 포트(25)에 의하여 구성된다. 본 발명의 표시 장치는 표시 부분(22)에서 사용될 수 있다.
- [0398] 도 61c는 본 발명의 표시 장치를 사용하는 이미지 재생장치의 개략도이다. 이미지 재생 장치는 주 몸체(30), 하우징(31), 기록 매체(32), 표시 부분(33), 오디오 출력 부분(34) 및 동작 스위치들(35)에 의하여 구성된다. 본 발명의 표시 장치는 표시 부분(33)에서 사용될 수 있다.
- [0399] 도 61d는 본 발명의 표시 장치를 사용하는 텔레비전의 개략도이다. 텔레비전은 주 몸체(40), 하우징(41), 표시 부분(42) 및 동작 스위치들(43)에 의하여 구성된다. 본 발명의 표시 장치는 표시 부분(42)에서 사용될 수 있다.

있다.

- [0400] 도 61e는 본 발명의 표시 장치를 사용하는 헤드 장착 디스플레이의 개략도이다. 헤드 장착 디스플레이는 주 몸체(50), 모니터 부분(51), 헤드상에 그를 고정하는 밴드(52), 표시 부분(53) 및 광학 시스템(54)에 의하여 구성된다. 본 발명의 표시 장치는 표시 부분(53)에서 사용될 수 있다.
- [0401] 도 61f는 본 발명의 표시 장치를 사용하는 비디오 카메라의 개략도이다. 비디오 카메라는 주 몸체(60), 하우징(61), 접속부(62), 이미지 수신부(63), 눈쪽렌즈 부분(64), 배터리(65), 오디오 입력부(66) 및 표시부(67)에 의하여 구성된다. 본 발명의 표시 장치는 표시 부분(67)에서 사용될 수 있다.
- [0402] 도 61g는 본 발명의 표시 장치를 사용하는 휴대용 이미지 재생장치의 개략도이다. 휴대용 이미지 재생장치는 주 몸체(70), 표시부(71), 전력 스위치(72), 동작 버튼들(73), 외부 입력 포트(74), 외부 출력 포트(75) 등에 의하여 구성된다. 더욱이, 하드 디스크 드라이브가 내부에 설치된다. 본 발명의 표시 장치는 표시부(71)에 사용될 수 있다.
- [0403] 본 발명은 앞서 기술된 적용된 전자장치들외에 다양한 전자장치들에 적용될 수 있다.
- [0404] 본 실시예 모드가 실시예 모드 1 내지 16과 자유롭게 결합될 수 있다는 것에 유의해야 한다.
- [0405] 추가 특징
- [0406] 전술한 바와같이, 본 발명은 다음과 같은 구성을 포함한다.
- [0407] 표시 장치는 다른 발광 색을 발광하는 복수의 서브-화소들을 가진 화소를 포함하는 표시 패널, 휘도 정보 및 색차 정보를 포함하는 휘도 색차 신호가 입력되고 휘도 색차 정보를 서브-화소의 발광 색에 응답하여 RGB로 변환하는 비디오 포맷 변환 회로, 및 RGB 신호가 입력되고 구동 타이밍에 따라 RGB 신호를 표시 패널에 출력하는 컨트롤러를 포함한다.
- [0408] 표시 장치는 다른 발광 색을 발광하는 복수의 서브-화소들을 가진 화소를 포함하는 표시 패널, 휘도 정보 및 색차 정보를 포함하는 휘도 색차 신호가 입력되고 휘도 색차 정보를 서브-화소의 발광 색에 응답하여 RGB로 변환하는 비디오 포맷 변환 회로, 디지털 RGB 신호를 아날로그 RGB 신호로 변환하는 D/A 변환회로, 및 RGB 신호가 입력되고 구동 타이밍에 따라 아날로그 RGB 신호를 출력하는 컨트롤러를 포함한다.
- [0409] 표시 장치는 다른 발광 색을 발광하는 복수의 서브-화소들을 가진 화소를 포함하는 표시 패널, 휘도 정보 및 색차 정보를 포함하는 휘도 색차 신호를 입력할 때 화상 신호가 RGB 신호 또는 휘도 색차 신호인지의 여부를 나타내는 모드 신호에 응답하여 휘도 색차 정보를 서브-화소의 발광 색에 응답한 RGB 신호로 변환하는 비디오 포맷 변환 회로, 모드 신호 및 RGB 신호 또는 비디오 포맷 변환 회로로부터 출력된 RGB 신호가 입력되는 입력 스위칭 회로, 및 RGB 신호 또는 휘도 색차 신호로부터 변환된 RGB 신호가 입력되고 구동 타이밍에 따라 표시 패널에 RGB 신호를 출력하는 컨트롤러를 포함하며, 상기 입력 스위칭 회로는 RGB 신호 또는 휘도 색차 신호로부터 변환된 RGB 신호중 한 신호를 모드 신호에 응답하여 컨트롤러에 출력한다.
- [0410] 표시 장치는 다른 발광 색을 발광하는 복수의 서브-화소들을 가진 화소를 포함하는 표시 패널, 입력 신호가 입력 신호를 전송하는 버스 라인들의 수에 의하여 휘도 정보 및 색차 정보를 포함하는 휘도 색차 신호 또는 RGB 신호인지의 여부를 판별하고 모드 신호를 생성하는 신호 판별 회로, 모드 신호에 응답하여 휘도 색차 신호를 RGB 신호로 변환하는 비디오 포맷 변환 회로, 모드 신호 및 RGB 신호 또는 비디오 포맷 변환 회로로부터 출력된 RGB 신호가 입력되는 입력 스위칭 회로, 및 RGB 신호 또는 휘도 색차 신호로부터 변환된 RGB 신호가 입력되고 구동 타이밍에 따라 표시 패널에 RGB 신호를 출력하는 컨트롤러를 포함하며, 상기 입력 스위칭 회로는 RGB 신호 또는 휘도 색차 신호로부터 변환된 RGB 신호중 한 신호를 모드 신호에 응답하여 컨트롤러에 출력한다.
- [0411] 표시 장치는 하나의 IC 칩상에 배치된 비디오 포맷 변환 회로, 입력 스위칭 회로 및 컨트롤러를 포함한다.
- [0412] 본 출원은 2005년 8월 22일에 일본특허청에 출원된 일본특허출원번호 2005-240506에 기초하며, 이 출원은 여기에 참조문헌으로서 통합된다.

### 발명의 효과

- [0413] 본 발명은 휘도 신호 및 색차 신호 또는 RGB 신호가 비디오 신호로서 입력되는지의 여부와 무관하게 이미지를 표시할 수 있는 표시 장치를 제공할 수 있는 효과를 가진다.

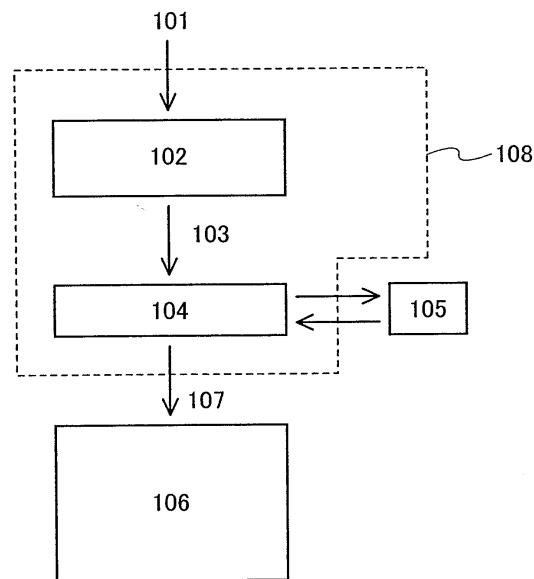
## 도면의 간단한 설명

- [0001] 도 1은 본 발명의 표시 장치의 구조를 도시한 도면.
- [0002] 도 2은 본 발명의 표시 장치의 구조를 도시한 도면.
- [0003] 도 3은 본 발명의 표시 장치의 구조를 도시한 도면.
- [0004] 도 4는 본 발명의 표시 장치의 구조를 도시한 도면.
- [0005] 도 5는 본 발명의 표시 장치의 구조를 도시한 도면.
- [0006] 도 6은 본 발명의 표시 장치의 구조를 도시한 도면.
- [0007] 도 7은 본 발명의 표시 장치의 구조를 도시한 도면.
- [0008] 도 8은 본 발명의 표시 장치의 구조를 도시한 도면.
- [0009] 도 9는 본 발명의 표시 장치의 구조를 도시한 블록도.
- [0010] 도 10은 본 발명의 표시 장치의 화소 부분의 구조를 도시한 도면.
- [0011] 도 11은 본 발명의 표시 장치의 화소 구조를 도시한 도면.
- [0012] 도 12a 및 도 12b는 본 발명의 시간 계조(階調) 시스템의 구동 방법을 기술한 타이밍도를 도시한 도면들.
- [0013] 도 13은 본 발명의 표시 장치의 구동 방법을 도시한 도면.
- [0014] 도 14a 및 도 14b는 본 발명의 표시 장치의 구동 방법을 도시한 도면들.
- [0015] 도 15는 본 발명의 표시 장치의 구조를 도시한 블록도.
- [0016] 도 16은 본 발명의 표시 장치의 구조를 도시한 블록도.
- [0017] 도 17은 본 발명의 표시 장치의 메모리 컨트롤러의 구조를 도시한 도면.
- [0018] 도 18은 본 발명의 표시 장치의 표시 컨트롤러의 구조를 도시한 도면.
- [0019] 도 19는 제어 회로의 블록도의 예를 기술한 도면.
- [0020] 도 20은 도 19의 동작에 대한 타이밍 챕트를 도시한 도면.
- [0021] 도 21은 제어 회로의 블록도의 예를 기술한 도면.
- [0022] 도 22은 도 21의 동작의 타이밍 챕트를 기술한 도면.
- [0023] 도 23은 기록 및 판독의 타이밍을 도시하고 동기화에 관한 타이밍 챕트를 도시한 도면.
- [0024] 도 24은 제어 회로의 블록도의 예를 기술한 도면.
- [0025] 도 25는 본 발명을 사용하는 표시 장치의 예를 도시한 도면.
- [0026] 도 26은 본 발명을 사용하는 표시 장치의 예를 도시한 도면.
- [0027] 도 27은 본 발명을 사용하는 표시 장치의 예를 도시한 도면.
- [0028] 도 28은 본 발명을 사용하는 표시 장치의 예를 도시한 도면.
- [0029] 도 29은 본 발명의 표시 장치의 소스 신호 라인 구동기 회로의 구조를 도시한 도면.
- [0030] 도 30은 본 발명의 표시 장치의 게이트 신호 라인 구동기 회로의 구조를 도시한 도면.
- [0031] 도 31은 본 발명의 표시 장치의 구동 방법을 기술한 타이밍 챕트를 기술한 도면.
- [0032] 도 32는 본 발명의 표시 장치의 화소 구조를 도시한 도면.
- [0033] 도 33은 본 발명의 표시 장치의 화소 구조를 도시한 도면.

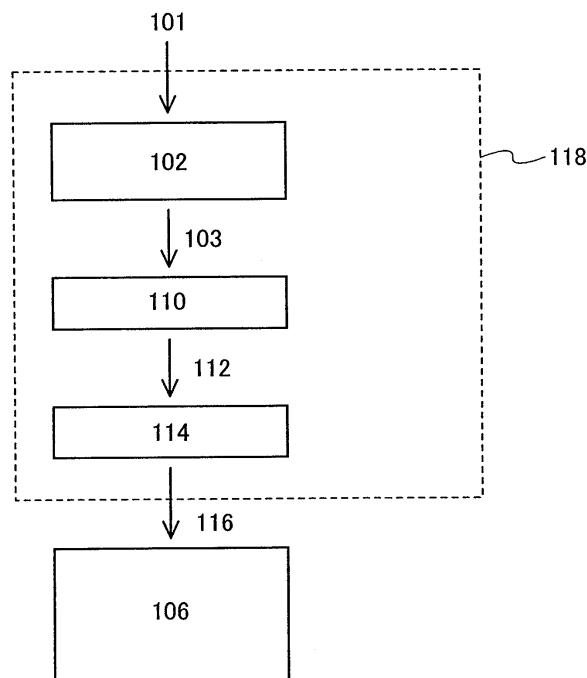
- [0034] 도 34는 본 발명의 표시 장치의 화소 구조를 도시한 도면.
- [0035] 도 35는 본 발명의 표시 장치의 구동 방법을 기술한 타이밍 챕트를 도시한 도면.
- [0036] 도 36은 본 발명의 표시 장치의 구동 방법을 기술한 타이밍 챕트를 기술한 도면.
- [0037] 도 37은 본 발명의 표시 장치의 게이트 신호라인 구동기 회로의 구조를 도시한 도면.
- [0038] 도 38은 본 발명의 표시 장치의 표시 컨트롤러의 구조를 도시한 도면.
- [0039] 도 39는 본 발명의 표시 장치의 구동 방법을 기술한 타이밍 챕트를 도시한 도면.
- [0040] 도 40은 본 발명의 표시 장치의 게이트 신호 라인 구동기 회로의 구조를 도시한 도면.
- [0041] 도 41은 본 발명의 표시 장치의 소스 신호 라인 구동기 회로의 구조를 도시한 도면.
- [0042] 도 42는 본 발명의 구동 TFT의 동작 조건을 도시한 도면.
- [0043] 도 43은 본 발명의 표시 장치의 화소 구조를 도시한 도면.
- [0044] 도 44는 본 발명의 표시 장치의 화소 구조를 도시한 도면.
- [0045] 도 45a 및 도 45b는 본 발명의 표시 장치에 사용된 트랜지스터의 구조를 도시한 도면들.
- [0046] 도 46a 및 도 46b는 본 발명의 표시 장치에 사용된 트랜지스터의 구조를 도시한 도면들.
- [0047] 도 47a 및 도 47b는 본 발명의 표시 장치에 사용된 트랜지스터의 구조를 도시한 도면들.
- [0048] 도 48a 내지 도 48c는 본 발명의 표시 장치에 사용된 트랜지스터의 구조를 도시한 도면들.
- [0049] 도 49a 내지 도 49d는 본 발명의 표시 장치에 사용된 트랜지스터의 제조 방법을 기술한 도면들.
- [0050] 도 50a 내지 도 50c는 본 발명의 표시 장치에 사용된 트랜지스터의 제조 방법을 기술한 도면들.
- [0051] 도 51a 내지 도 51d는 본 발명의 표시 장치에 사용된 트랜지스터의 제조 방법을 기술한 도면들.
- [0052] 도 52a 내지 도 52d는 본 발명의 표시 장치에 사용된 트랜지스터의 제조 방법을 기술한 도면들.
- [0053] 도 53a 내지 도 53d는 본 발명의 표시 장치에 사용된 제조 방법을 기술한 도면들.
- [0054] 도 54a 및 도 54b는 본 발명의 표시 장치에 사용된 트랜지스터의 제조 방법을 기술한 도면들.
- [0055] 도 55a 및 도 55b는 본 발명의 표시 장치에 사용된 트랜지스터의 제조 방법을 기술한 도면들.
- [0056] 도 56은 본 발명의 표시 장치에 사용된 트랜지스터의 단면 구조를 도시한 도면.
- [0057] 도 57a 내지 도 57e는 본 발명의 표시 장치에 사용된 트랜지스터의 평면도들.
- [0058] 도 58a 및 도 58b는 본 발명의 표시 장치에 사용된 트랜지스터의 마스크 패턴의 예를 기술한 도면들.
- [0059] 도 59a 및 도 59b는 본 발명의 표시 장치에 사용된 트랜지스터의 마스크 패턴의 예를 기술한 도면들.
- [0060] 도 60a 및 도 60b는 본 발명의 표시 장치에 사용된 트랜지스터의 마스크 패턴의 예를 기술한 도면들.
- [0061] 도 61a 내지 도 61g는 본 발명의 전자 장치를 각각 도시한 도면들.

## 도면

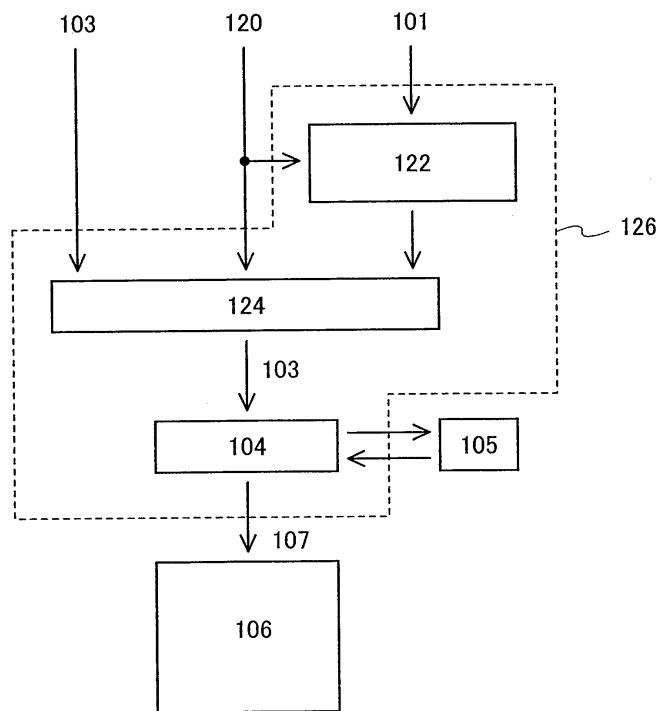
## 도면1



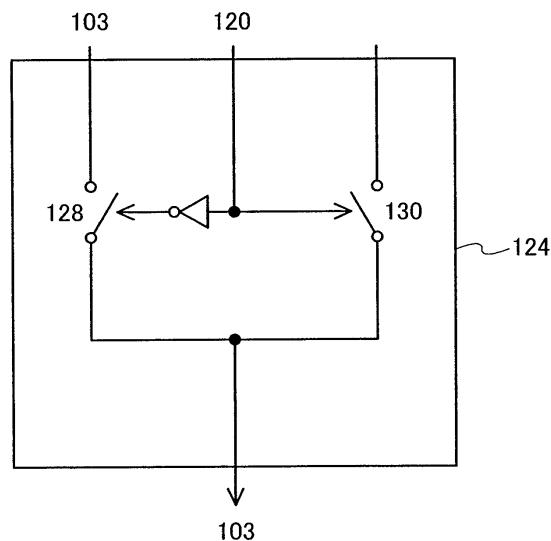
## 도면2



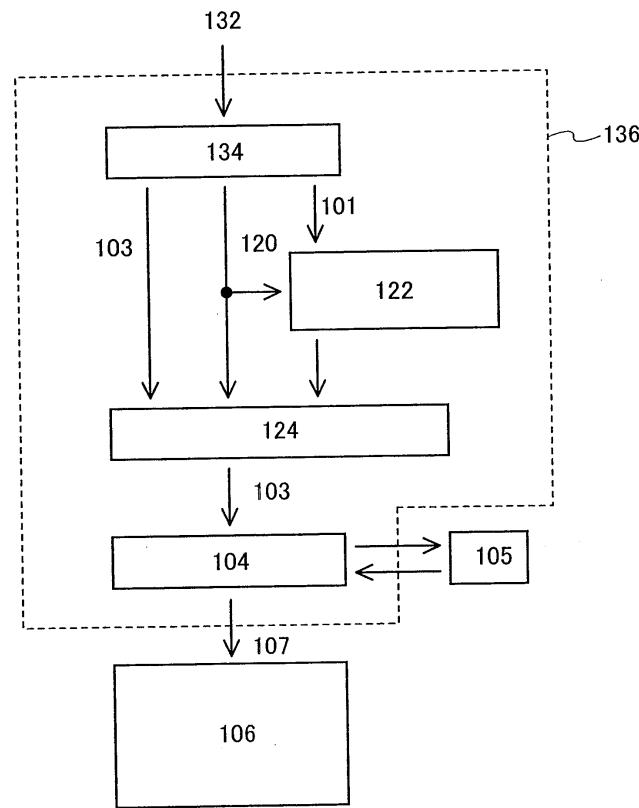
## 도면3



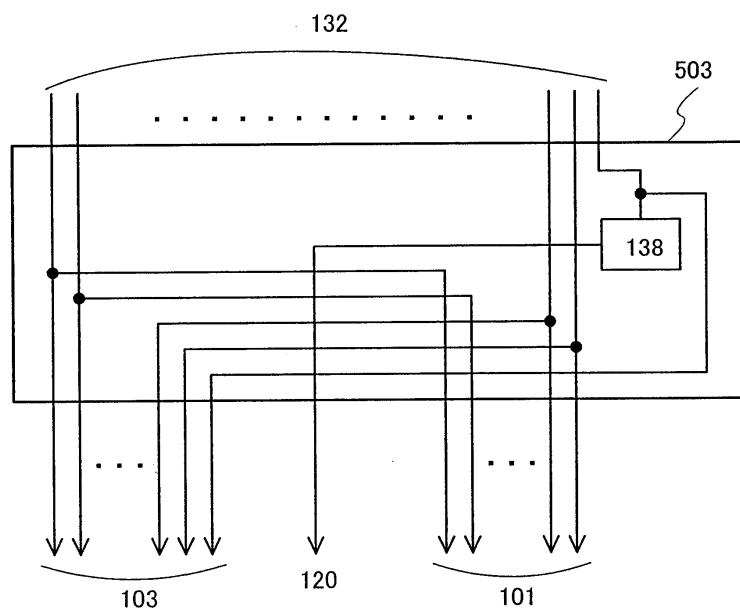
## 도면4



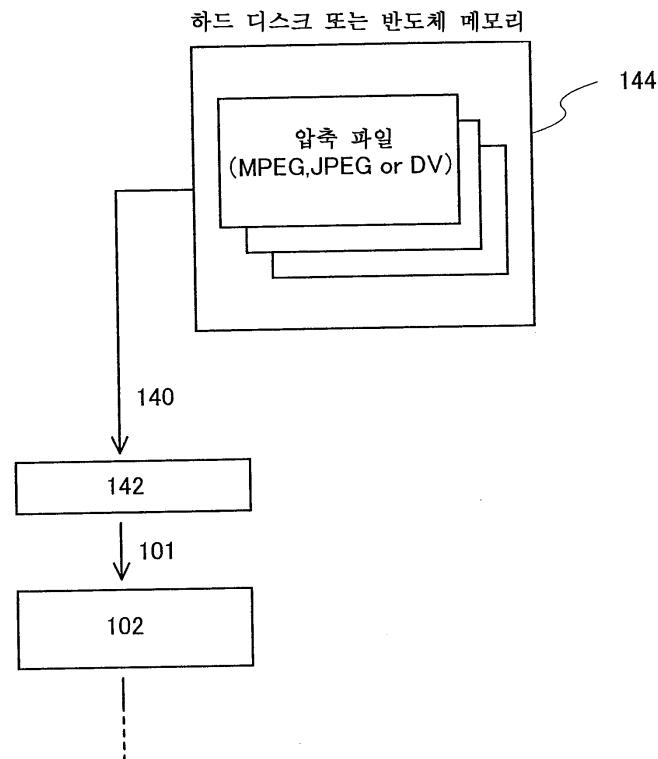
도면5



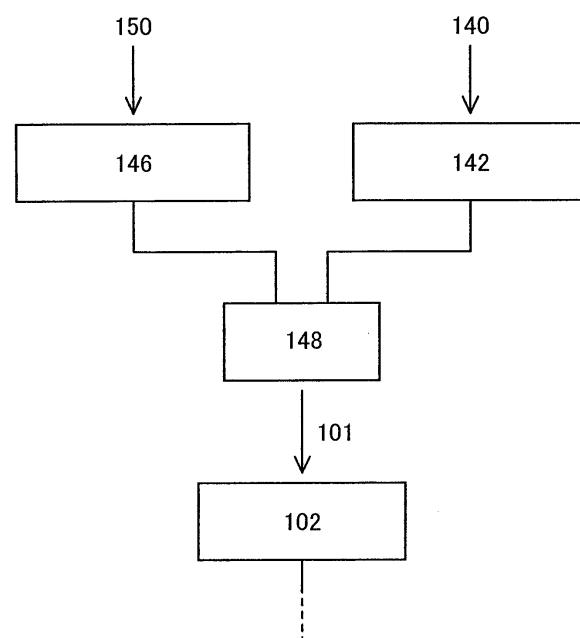
도면6



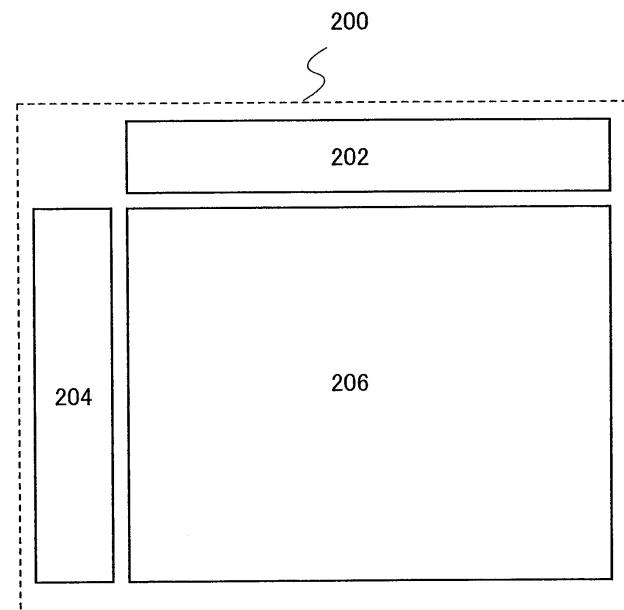
## 도면7



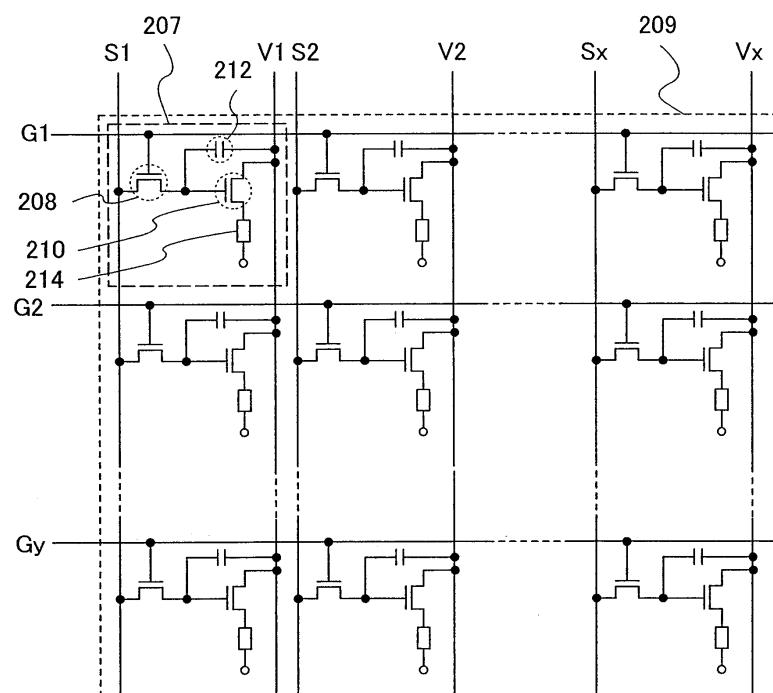
## 도면8



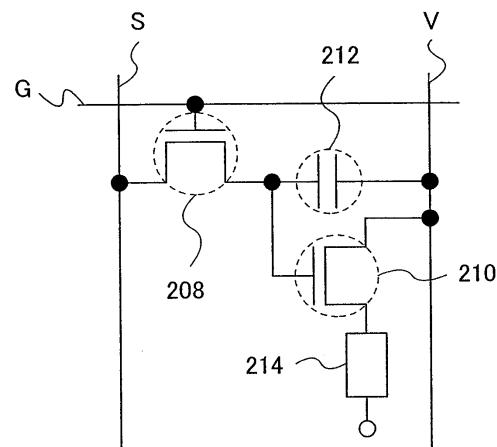
도면9



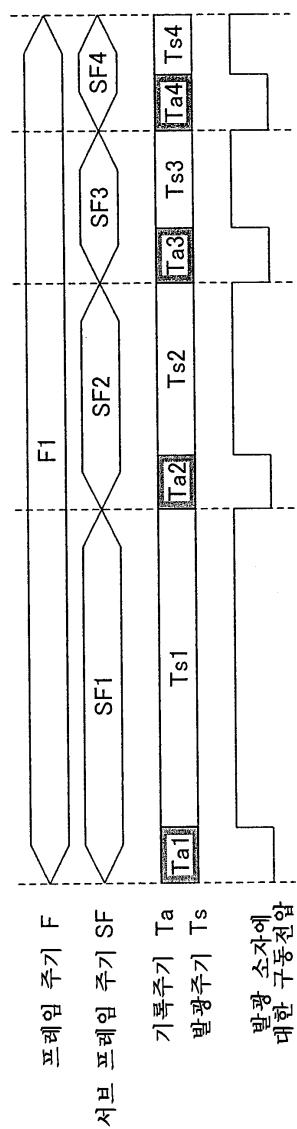
도면10



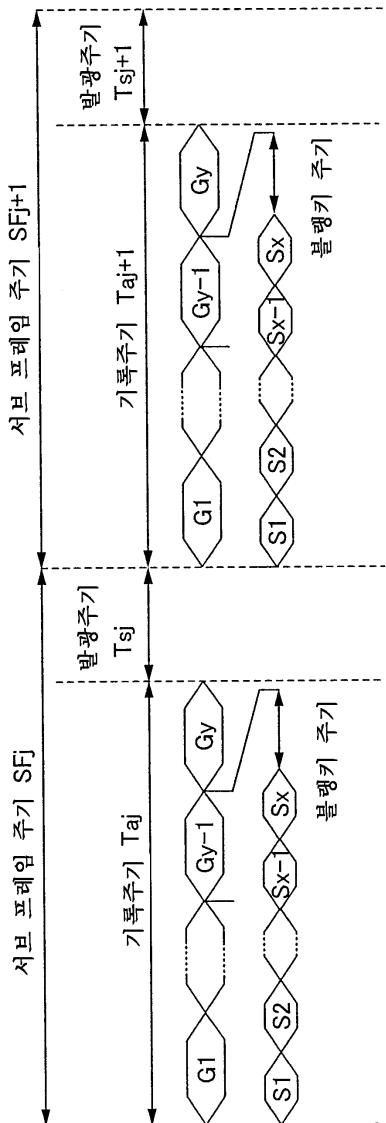
도면11



도면12a



도면 12b



## 도면13

P Q	SF1	SF2	SF3	SF4
	1	2	4	8
0	X	X	X	X
1	O	X	X	X
2	X	O	X	X
3	O	O	X	X
4	X	X	O	X
5	O	X	O	X
6	X	O	O	X
7	O	O	O	X
8	X	X	X	O
9	O	X	X	O
10	X	O	X	O
11	O	O	X	O
12	X	X	O	O
13	O	X	O	O
14	X	O	O	O
15	O	O	O	O

P: 계조들의 수

O: 발광

Q: 발광주기

X : 비발광

## 도면14a

P Q	SF1	SF2	SF3	SF4	SF5
	1	2	4	4	4
0	X	X	X	X	X
1	O	X	X	X	X
2	X	O	X	X	X
3	O	O	X	X	X
4	X	X	O	X	X
5	O	X	O	X	X
6	X	O	O	X	X
7	O	O	O	X	X
8	X	X	O	O	X
9	O	X	O	O	X
10	X	O	O	O	X
11	O	O	O	O	X
12	X	X	O	O	O
13	O	X	O	O	O
14	X	O	O	O	O
15	O	O	O	O	O

## 도면14b

P	Q	SF1	SF2	SF3	SF4	SF5
		4	2	1	4	4
0	×	×	×	×	×	×
1	×	×	○	×	×	×
2	×	○	×	×	×	×
3	×	○	○	×	×	×
4	×	×	×	○	×	×
5	×	×	○	○	×	×
6	×	○	×	○	×	×
7	×	○	○	○	×	×
8	○	×	×	○	×	×
9	○	×	○	○	×	×
10	○	○	×	○	×	×
11	○	○	○	○	×	×
12	○	×	×	○	○	○
13	○	×	○	○	○	○
14	○	○	×	○	○	○
15	○	○	○	○	○	○

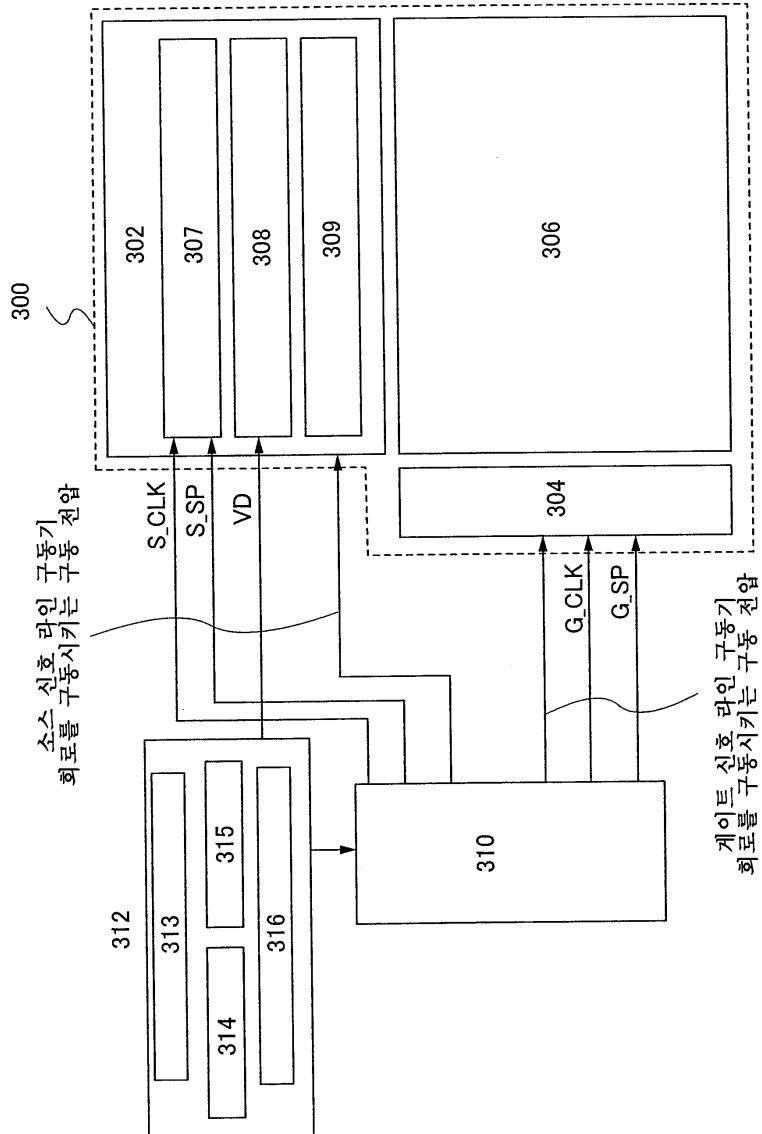
P: 그레이 스케일들의 수

○: 발광

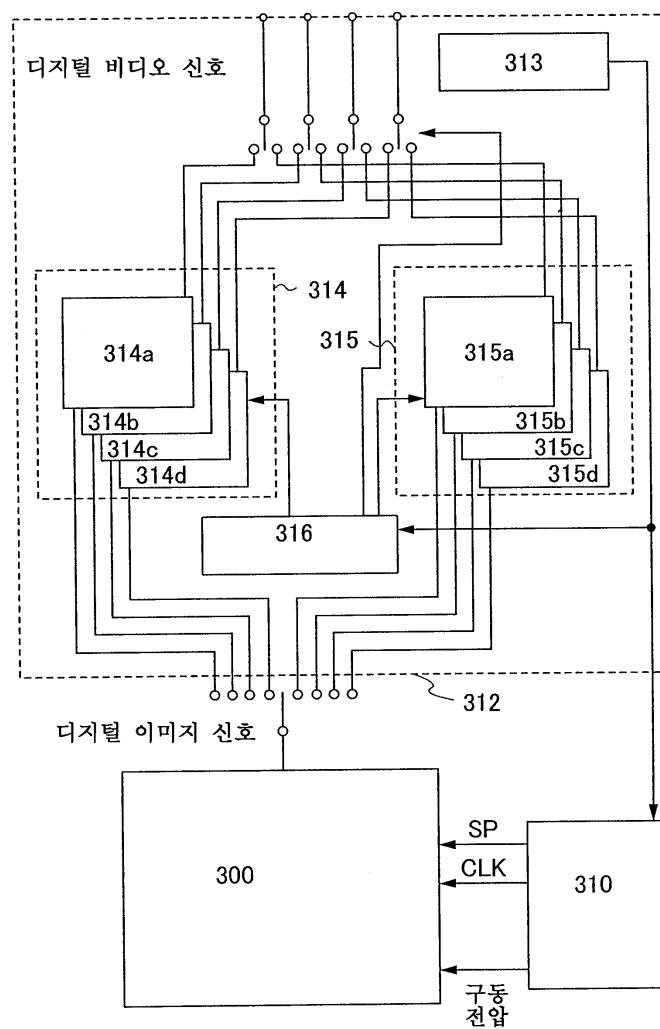
Q: 발광주기

× : 비발광

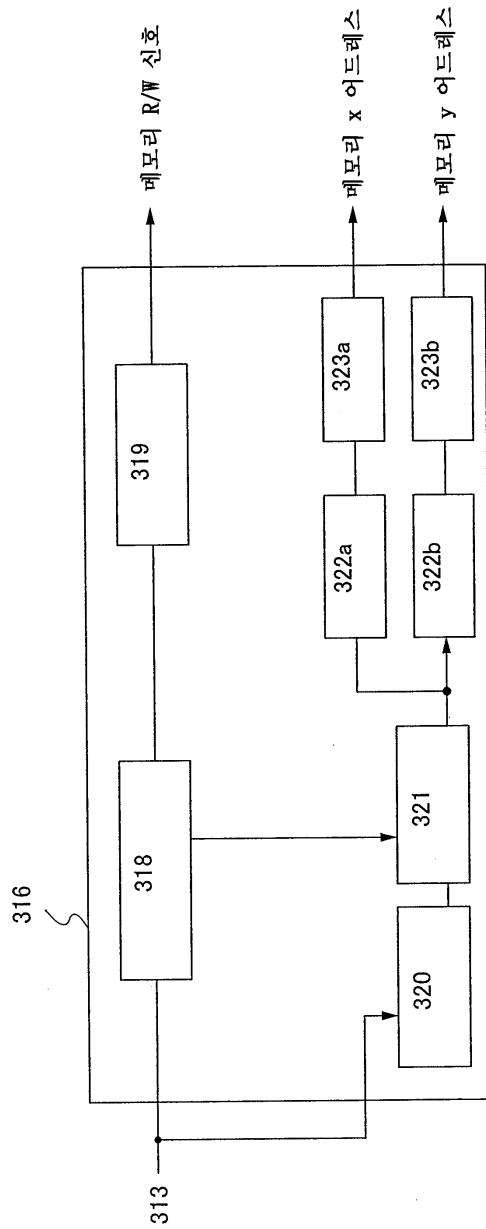
도면15



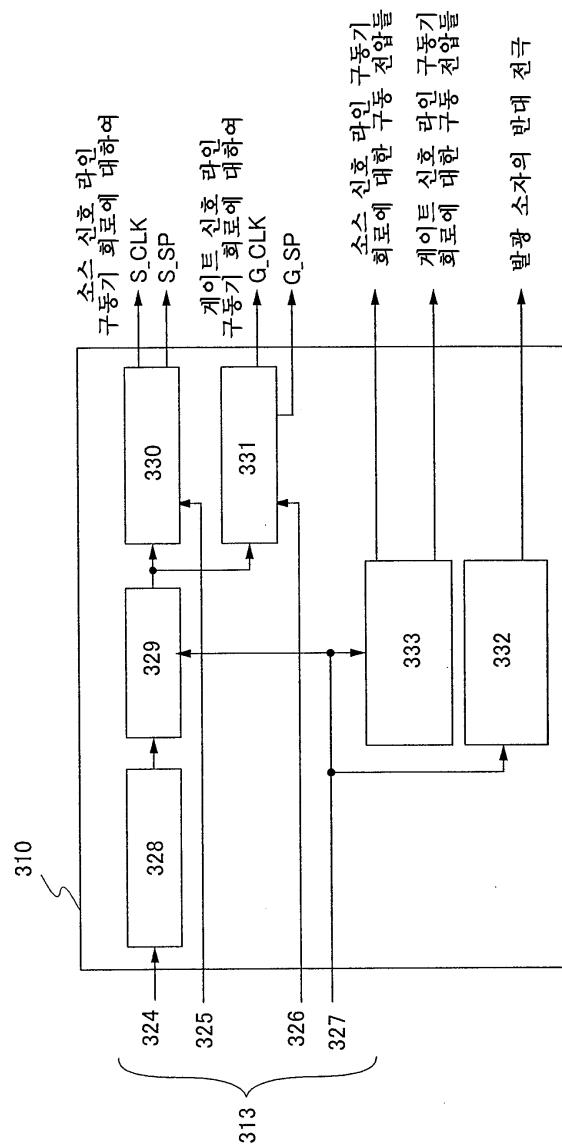
도면16



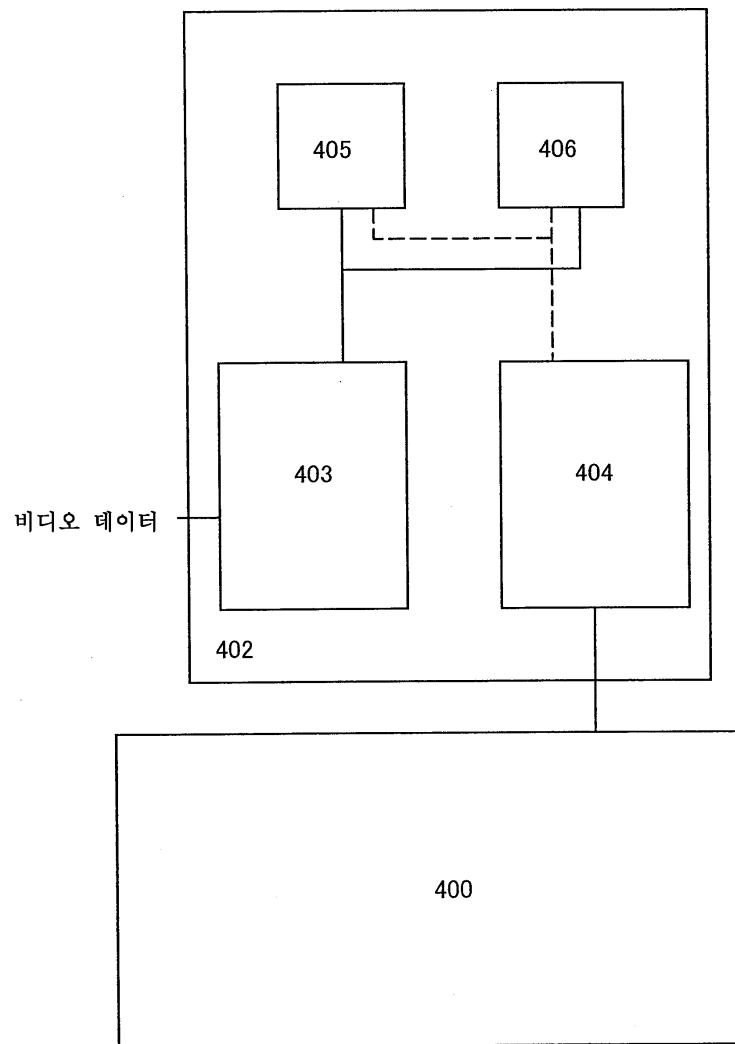
도면17



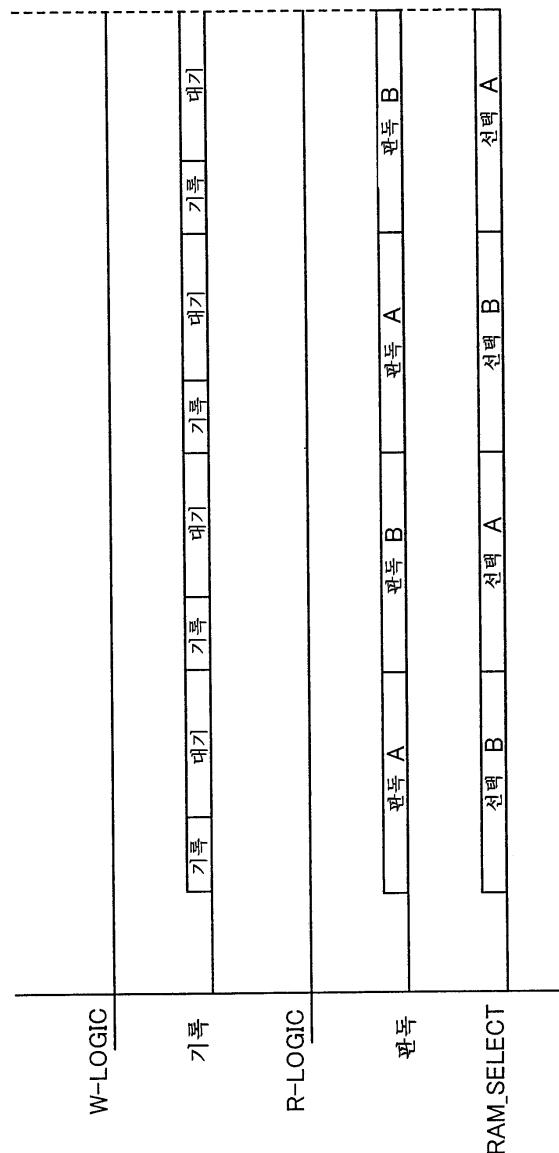
도면18



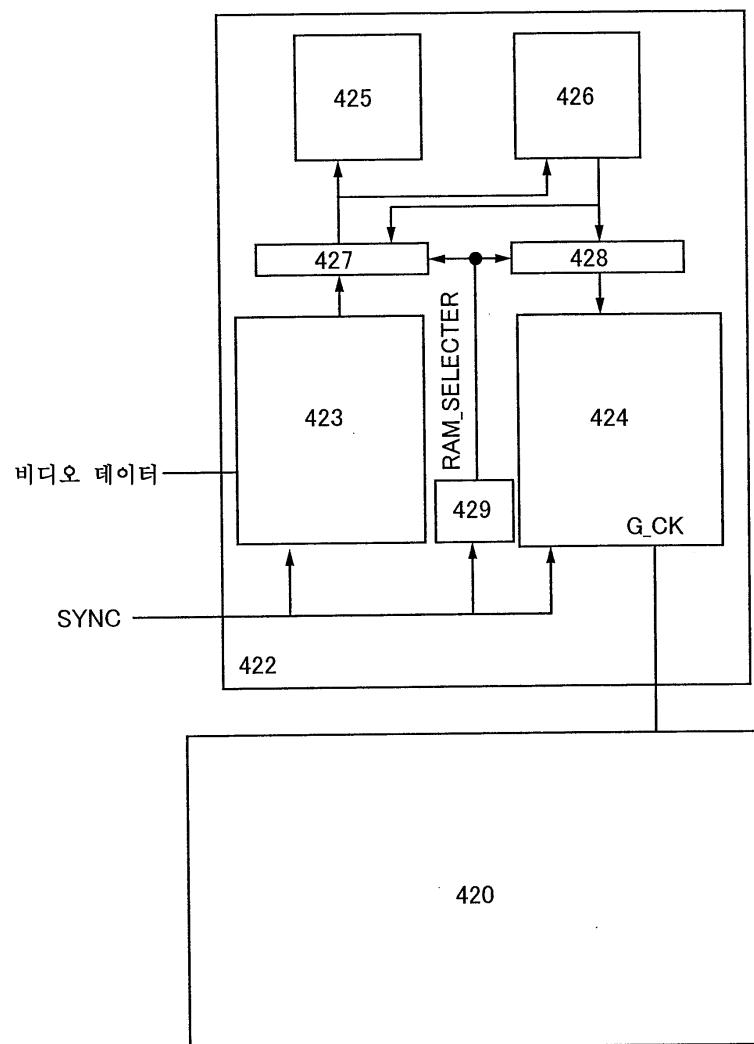
도면19



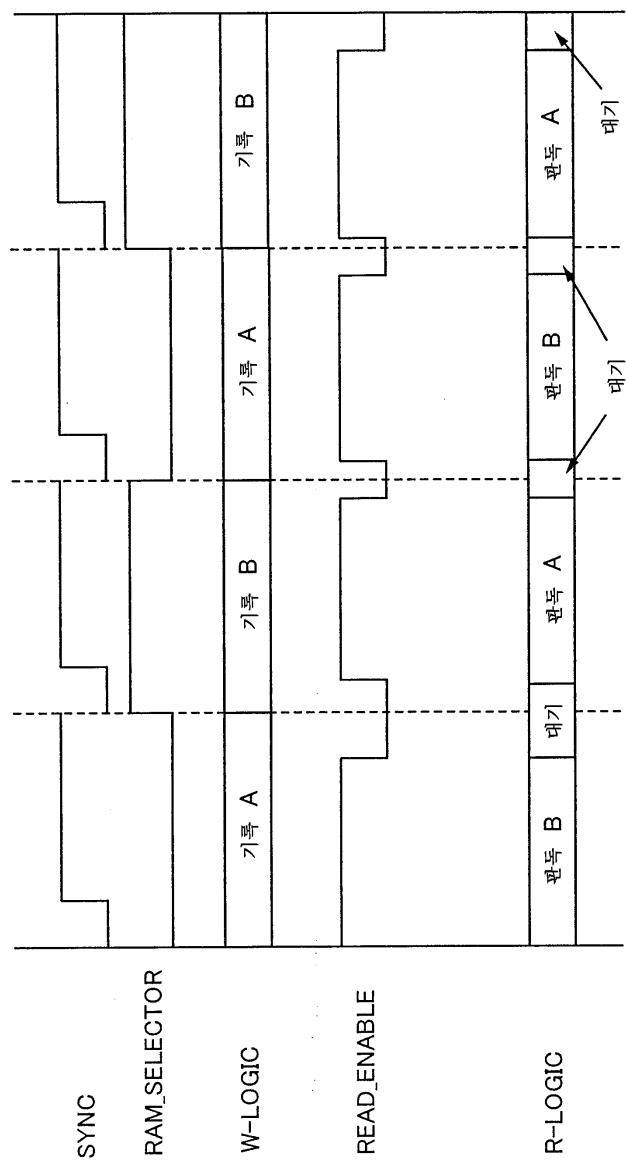
## 도면20



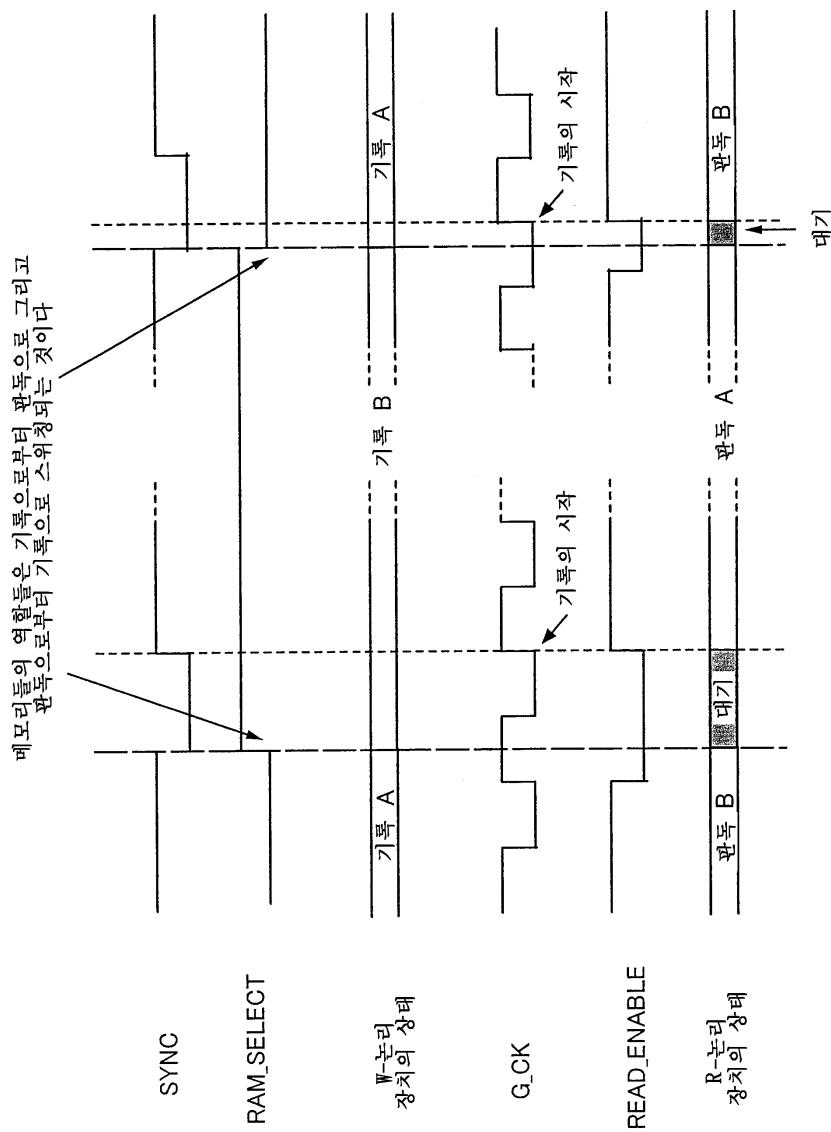
도면21



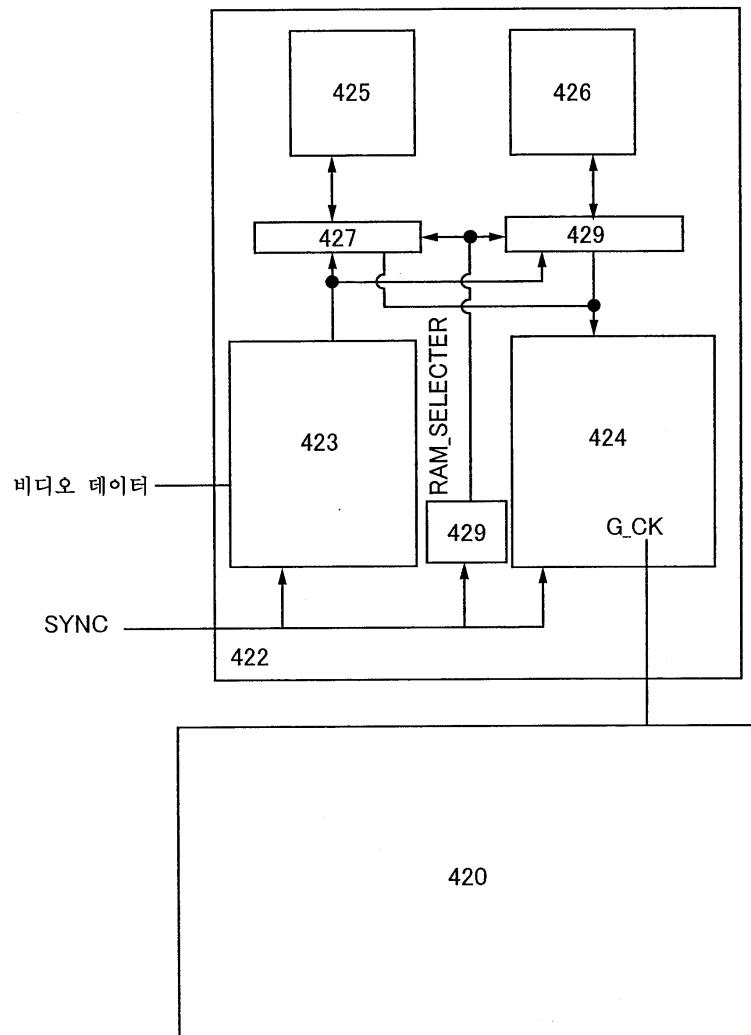
## 도면22



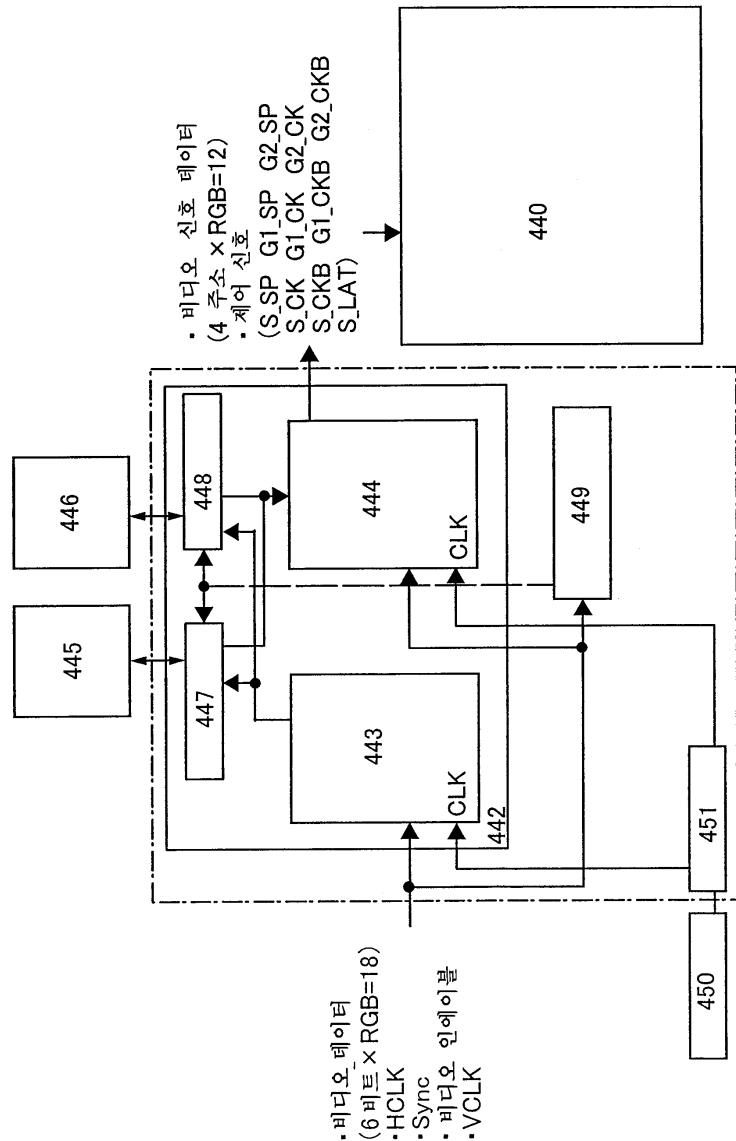
## 도면23



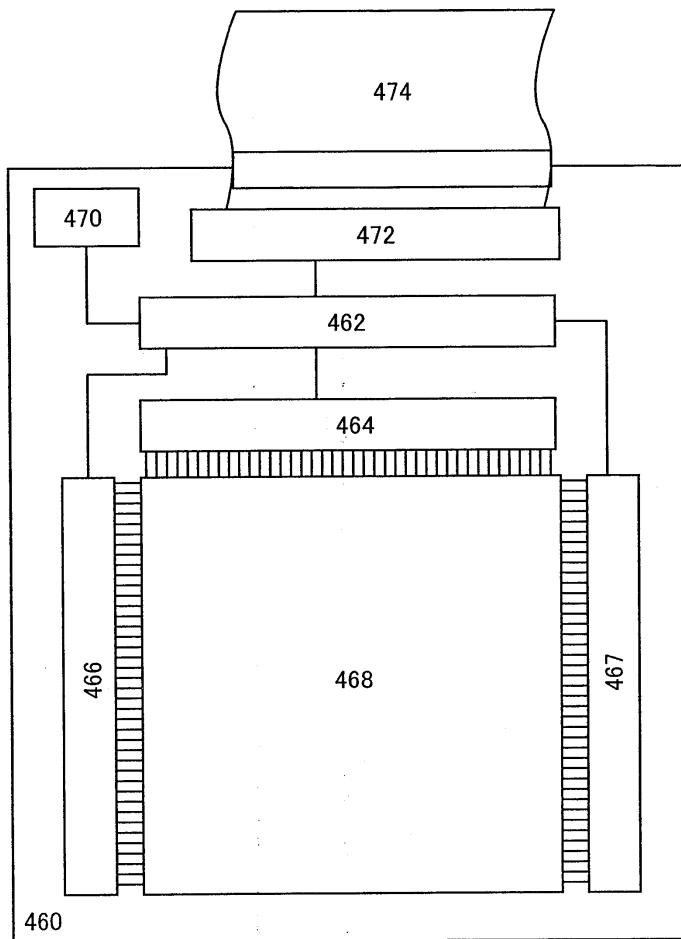
도면24



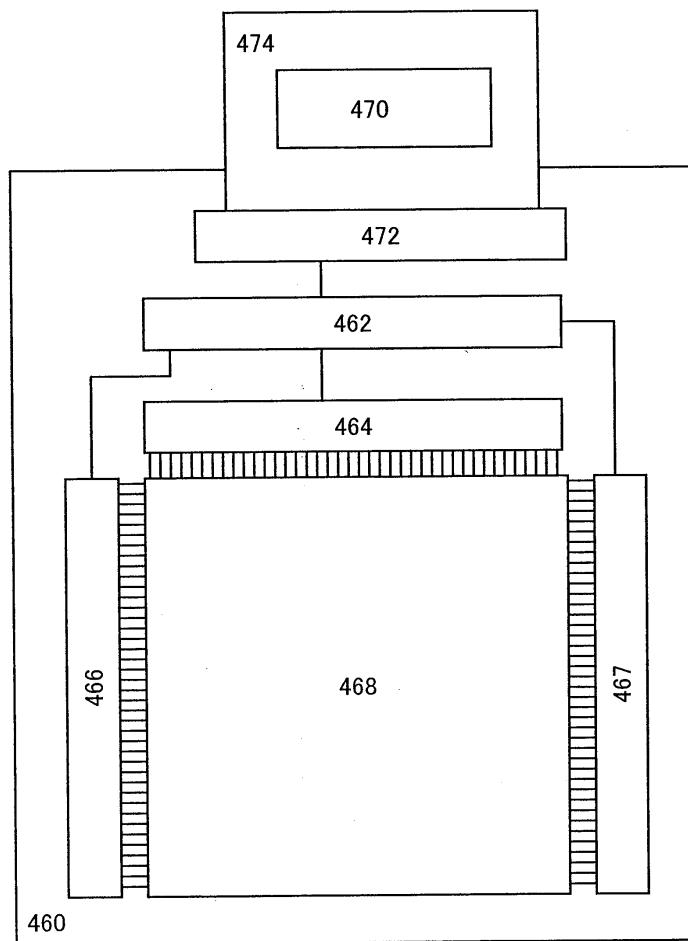
도면25



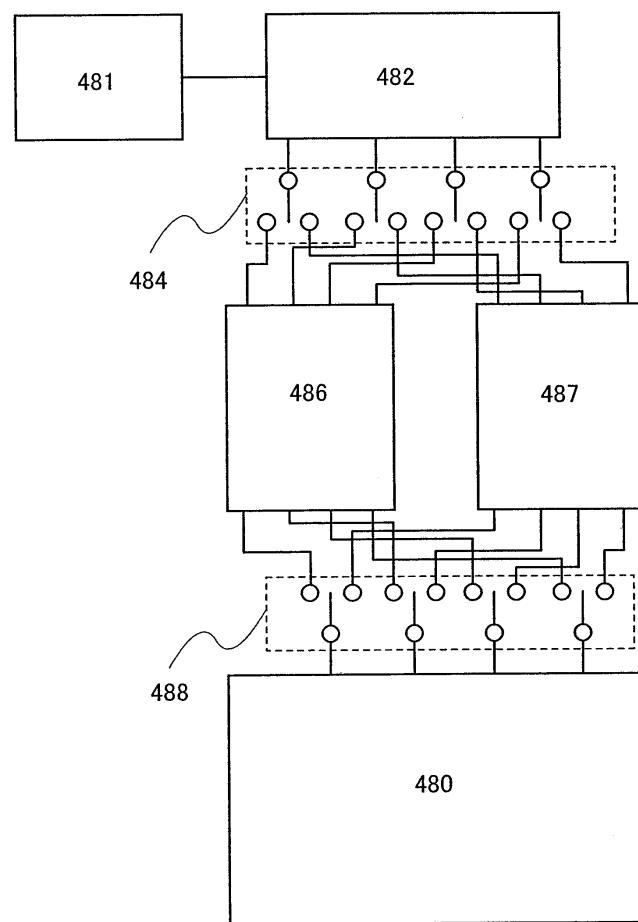
도면26



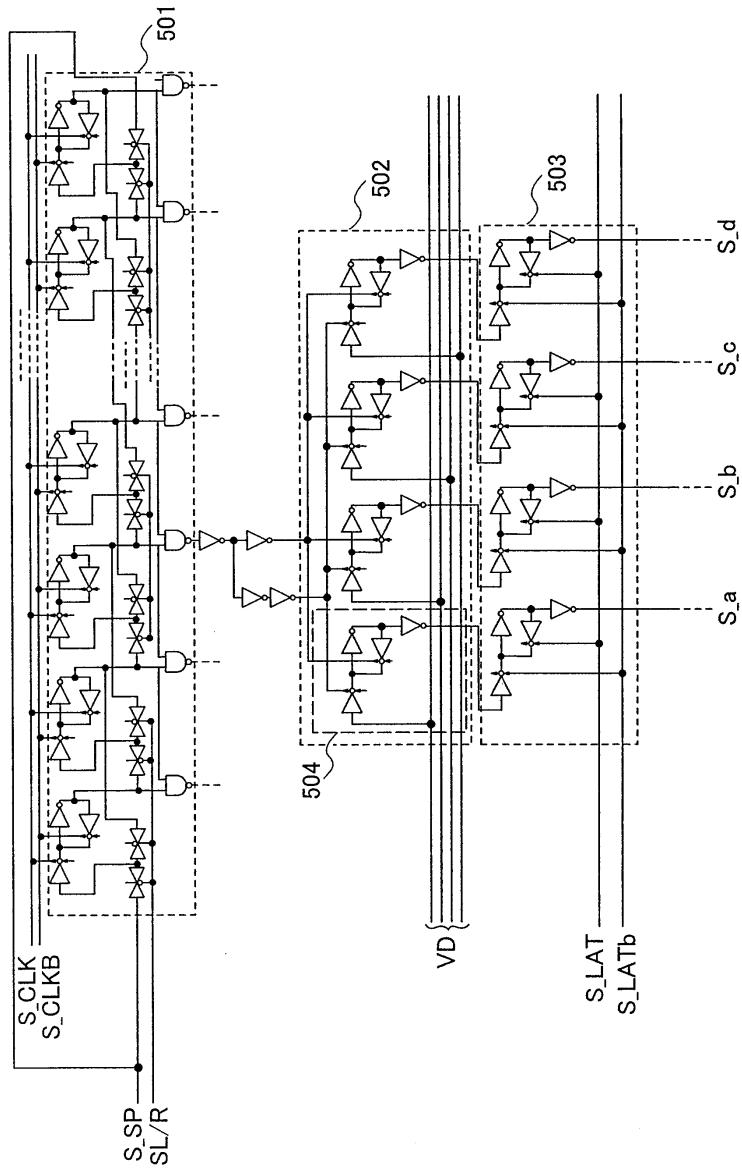
도면27



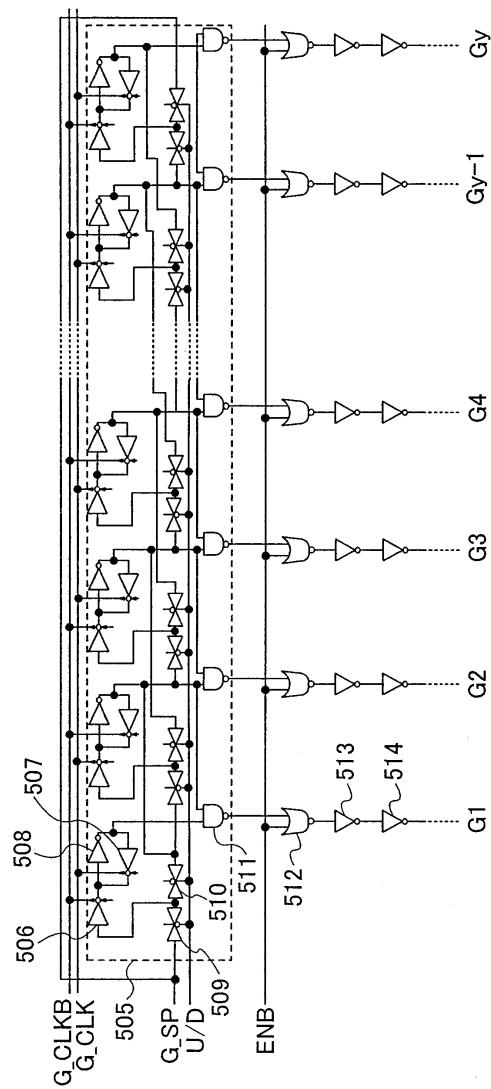
도면28



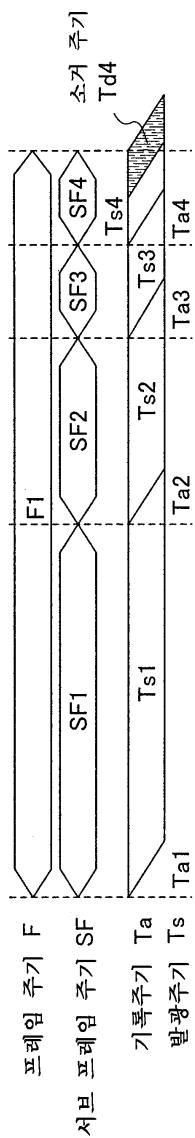
도면29



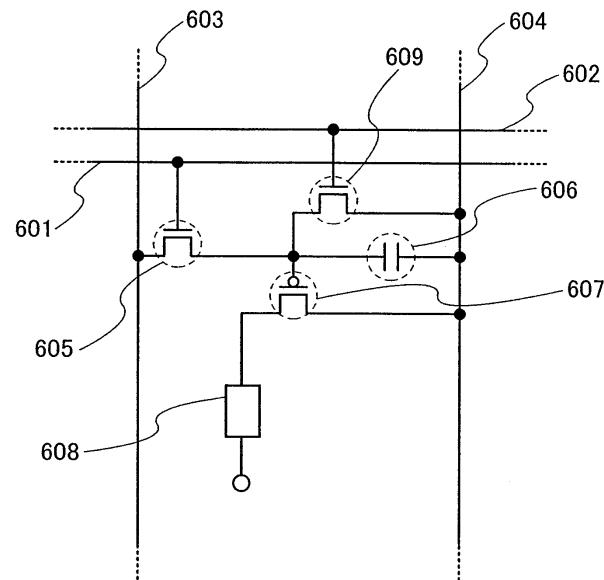
도면30



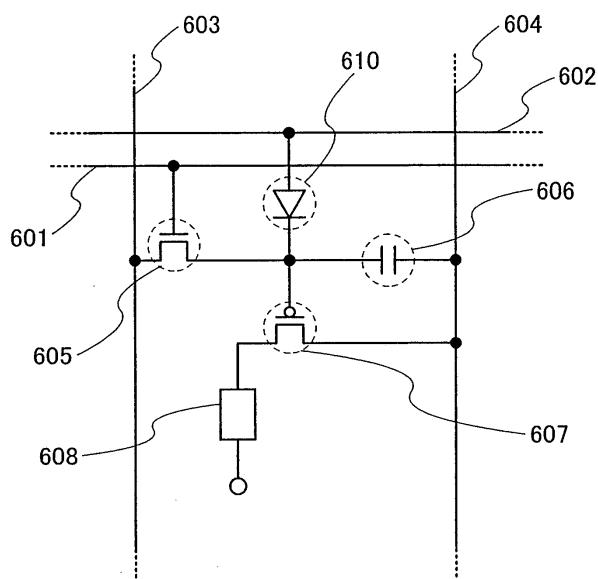
도면31



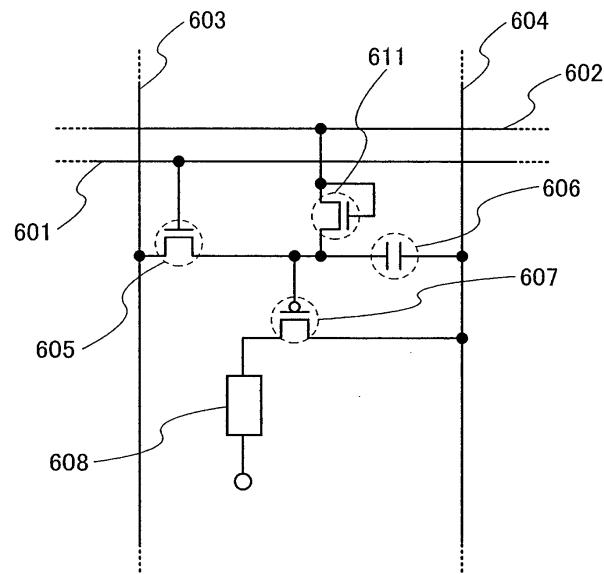
도면32



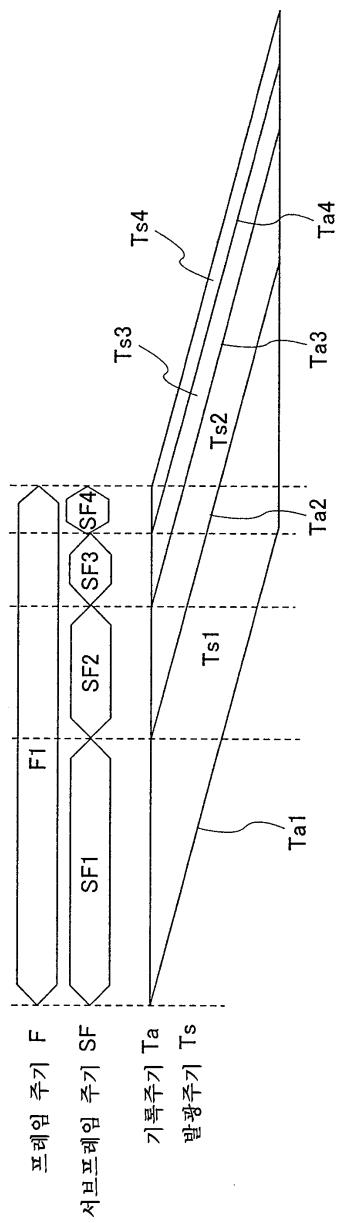
도면33



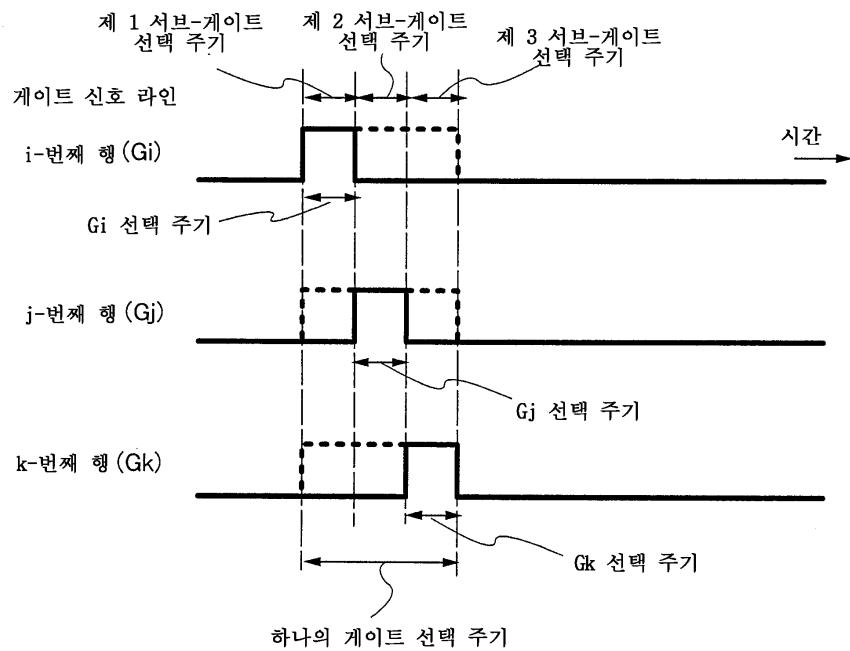
## 도면34



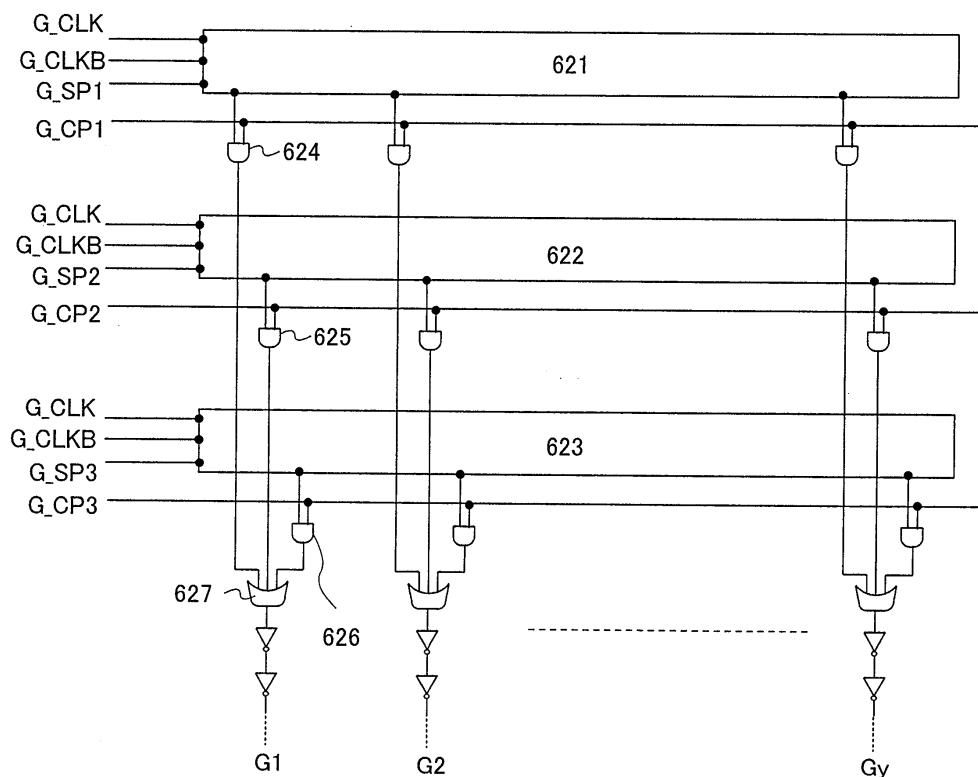
도면35



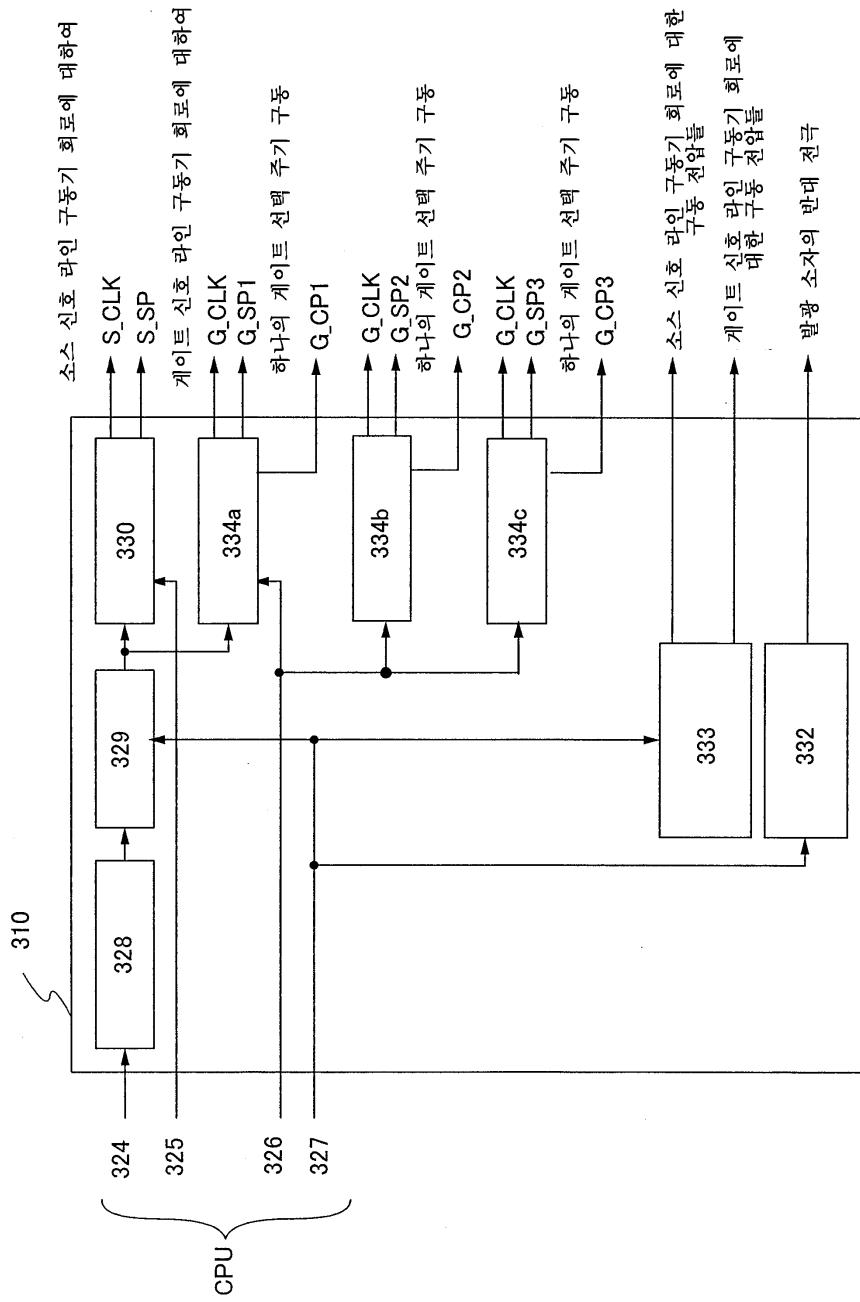
도면36



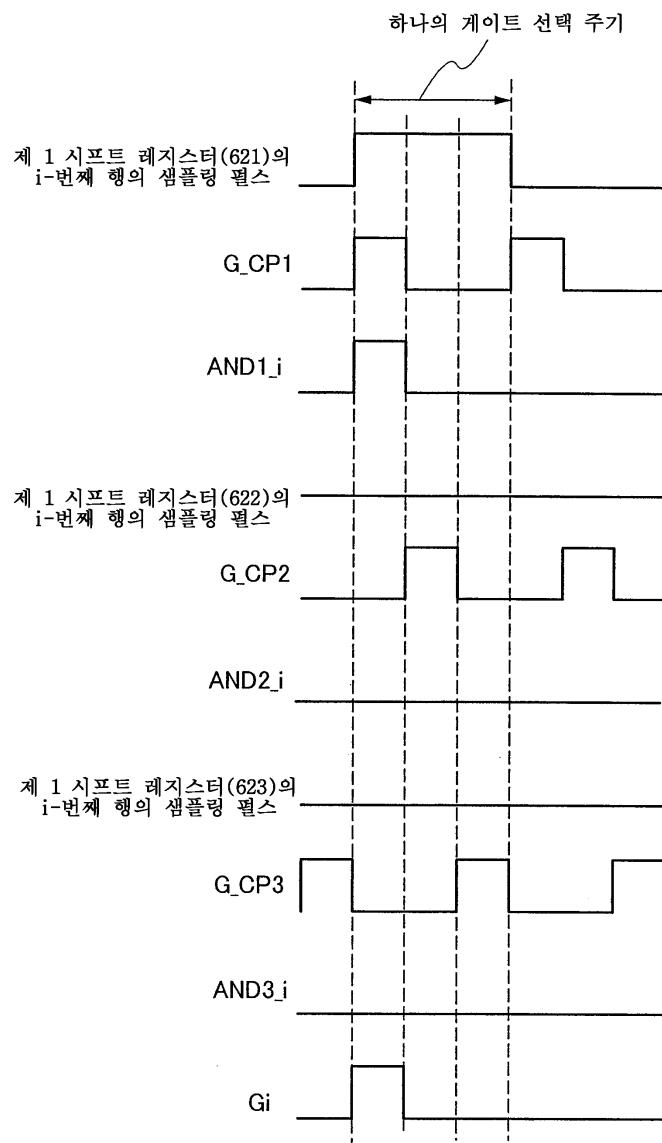
도면37



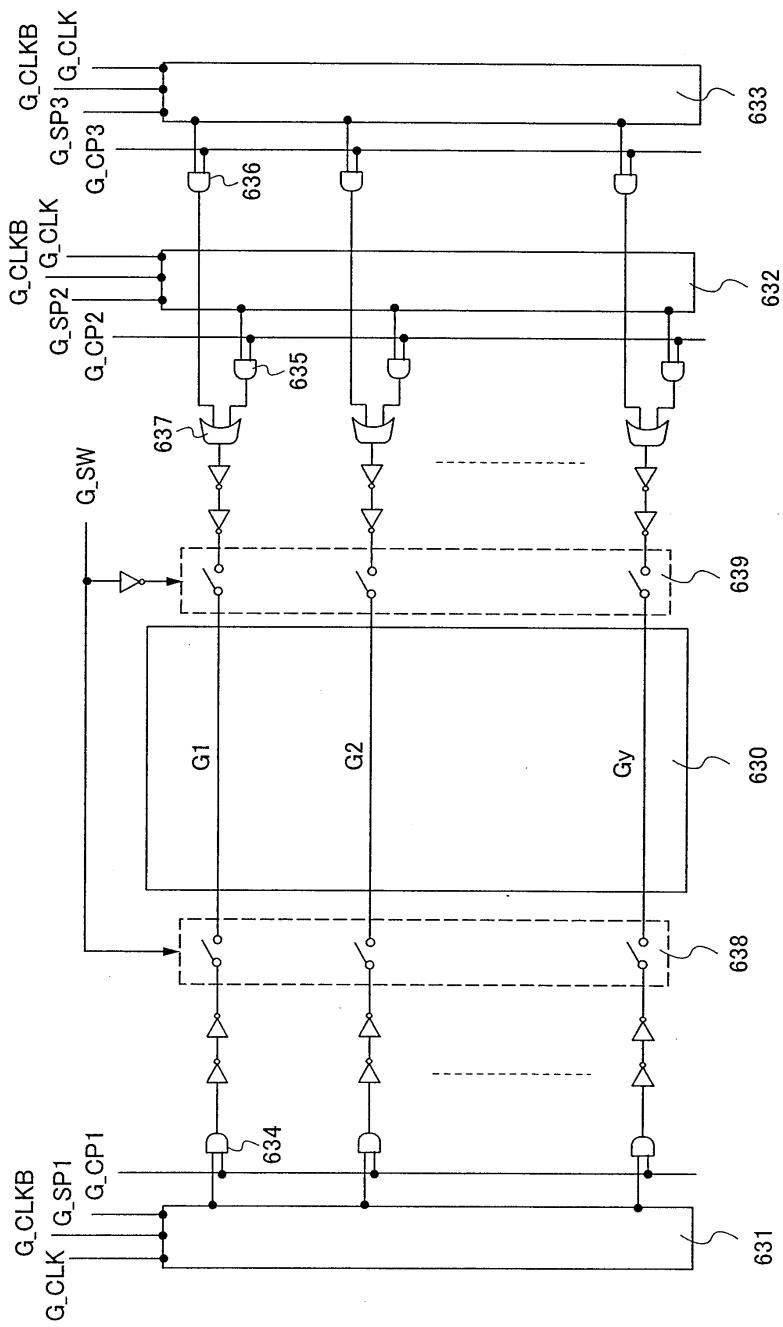
도면38



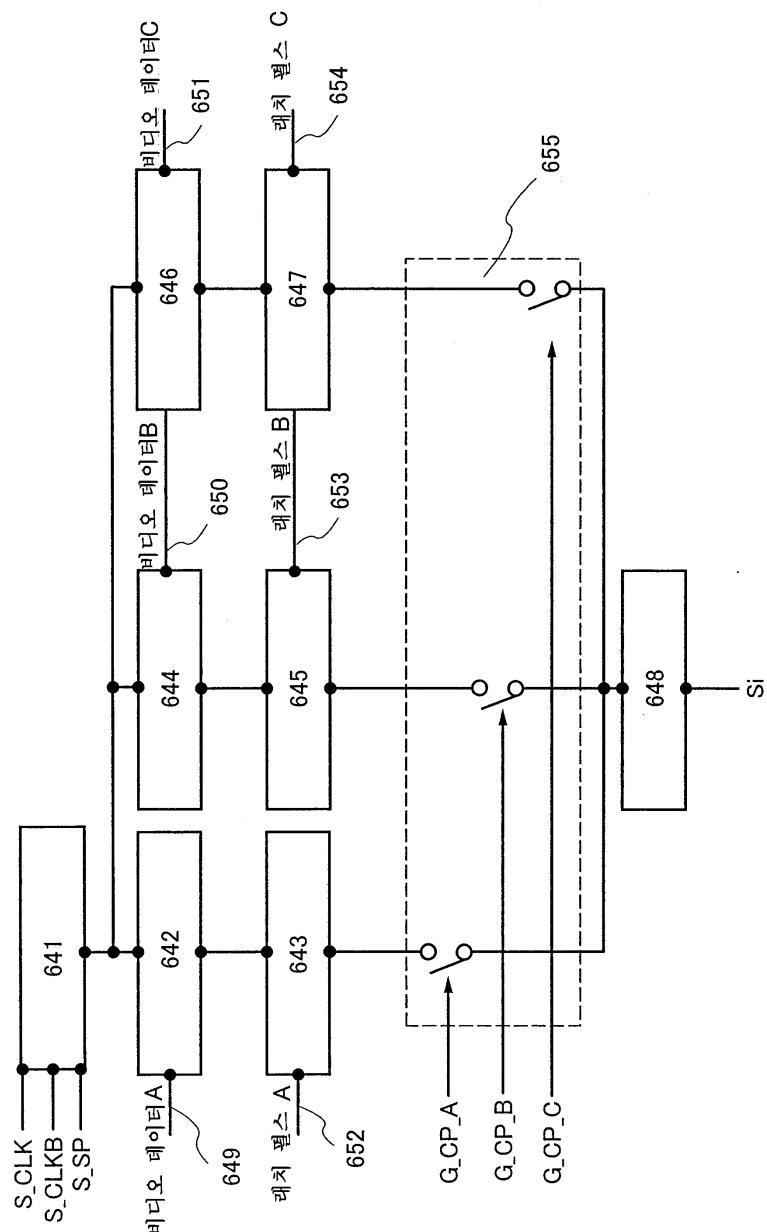
## 도면39



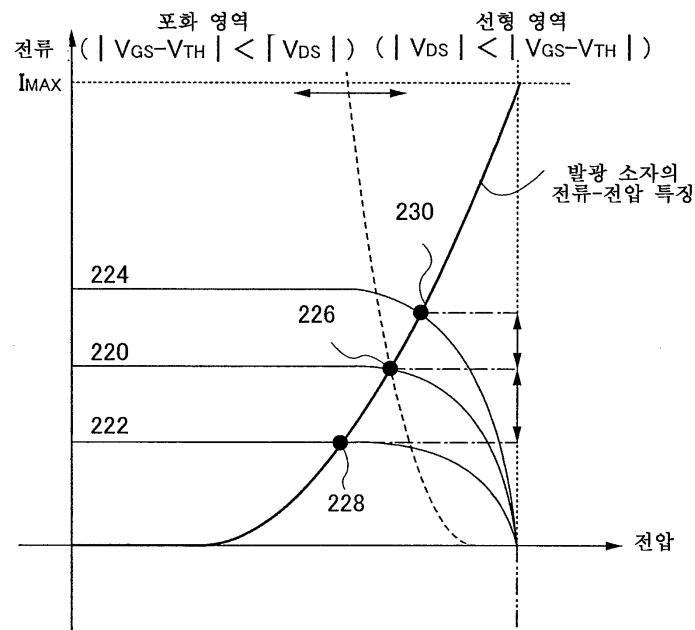
도면40



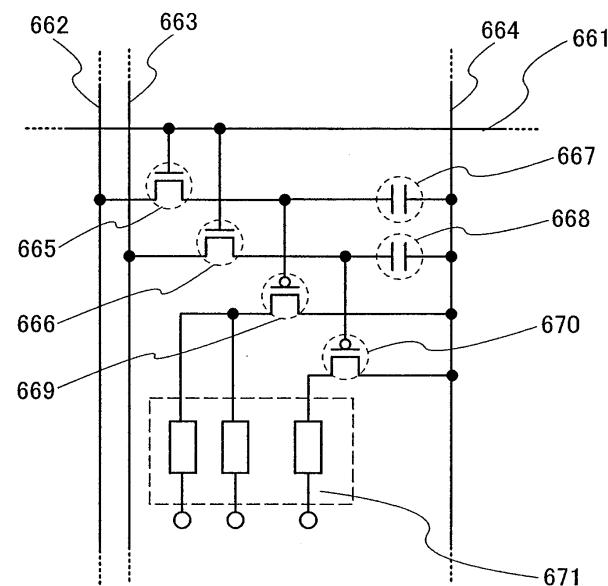
도면41



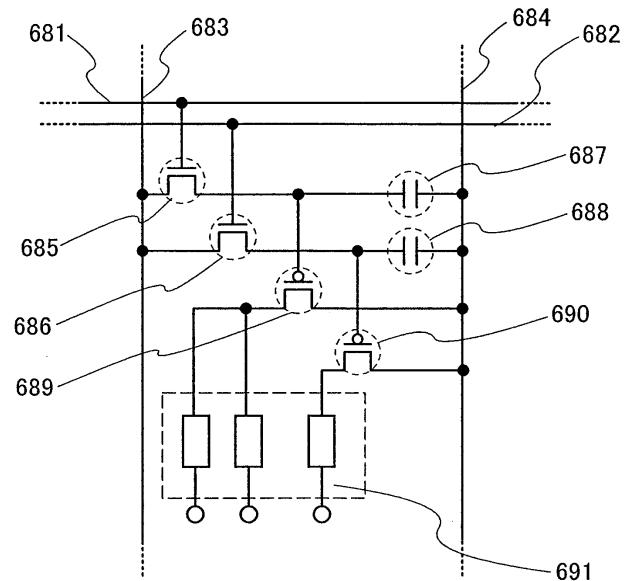
## 도면42



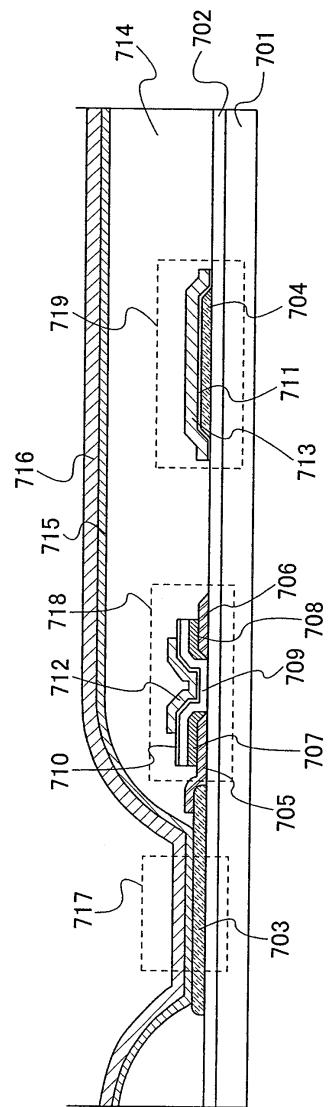
## 도면43



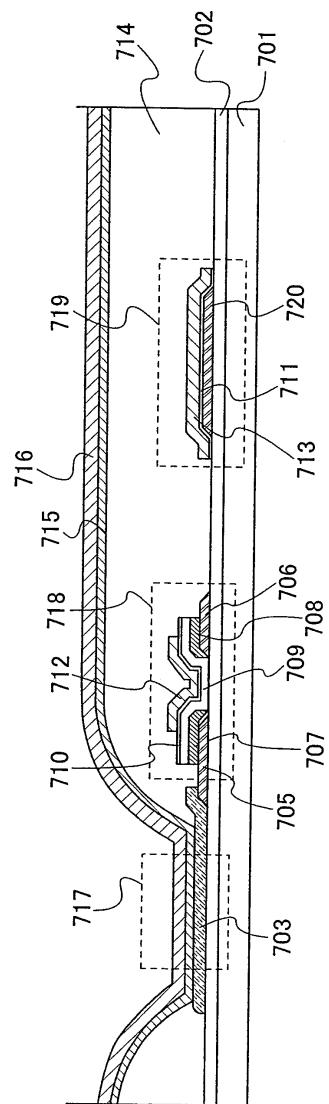
### 도면44



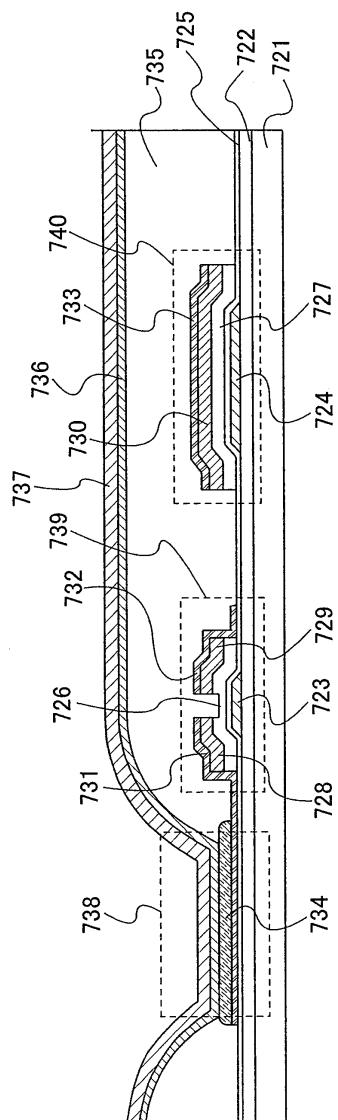
도면45a



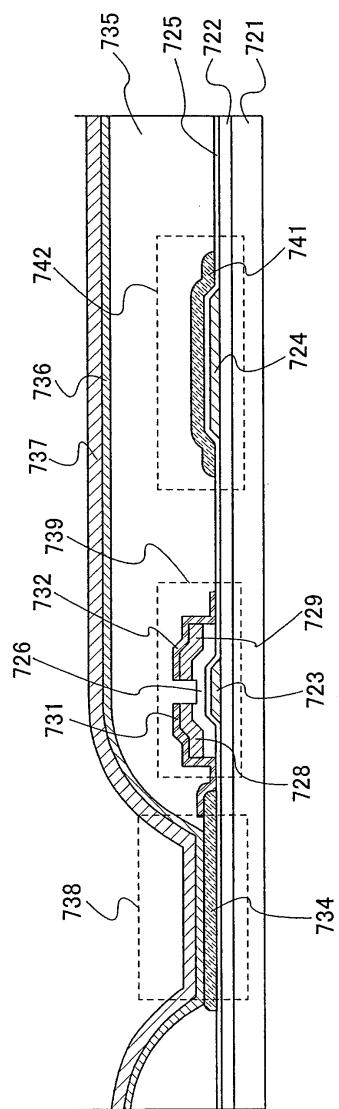
도면45b



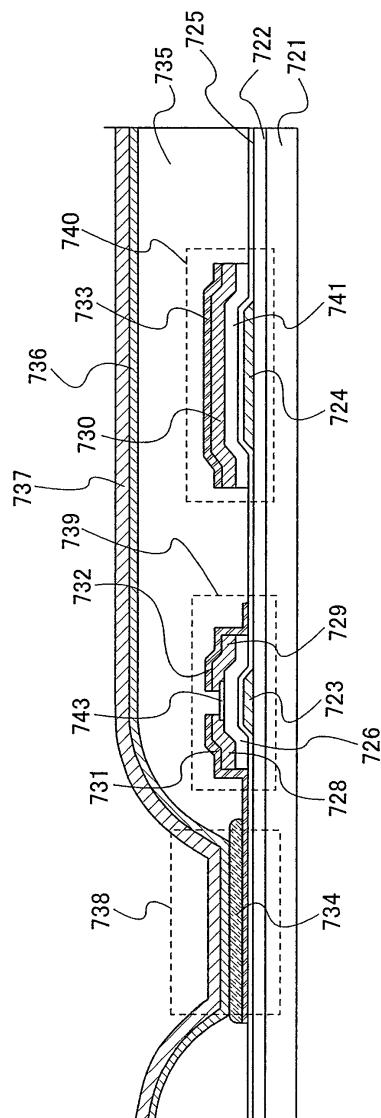
도면46a



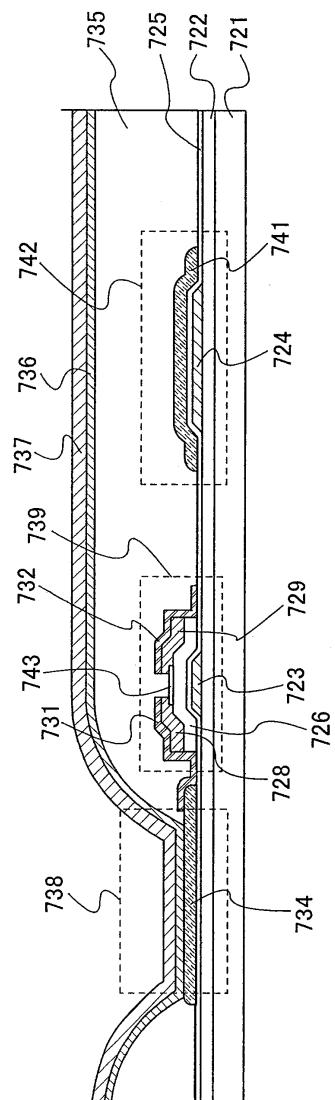
도면46b



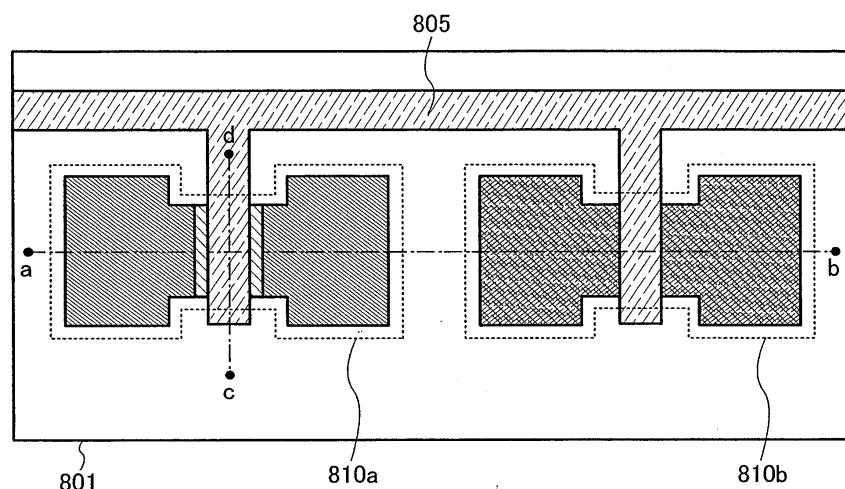
도면47a



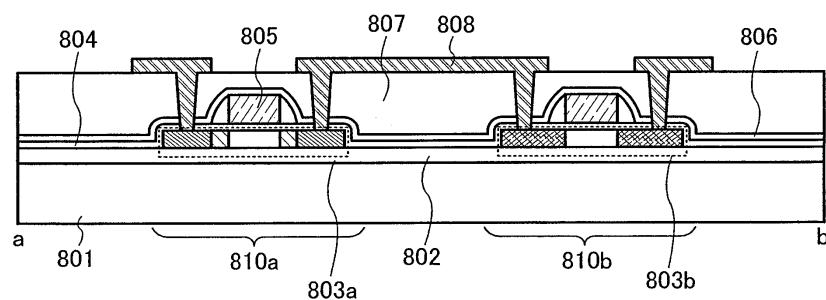
### 도면47b



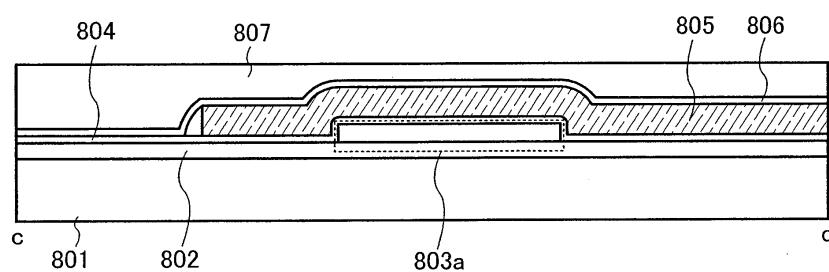
도면48a



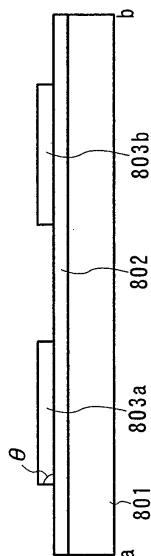
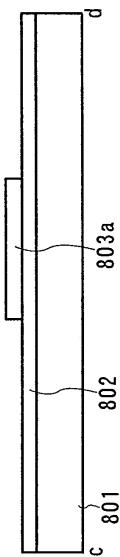
도면48b



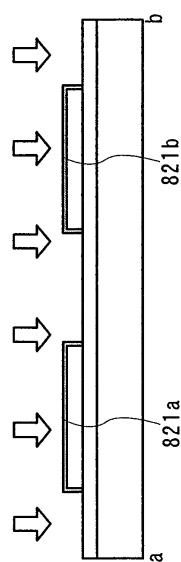
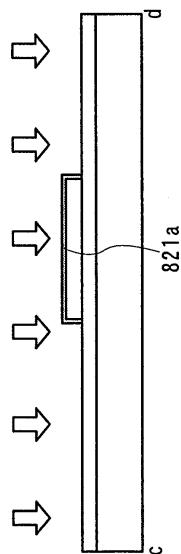
도면48c



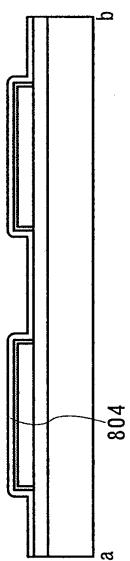
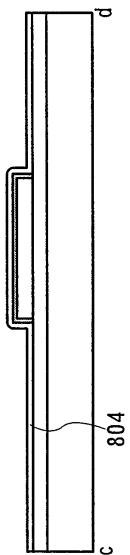
도면49a



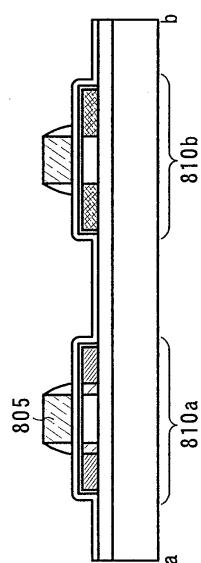
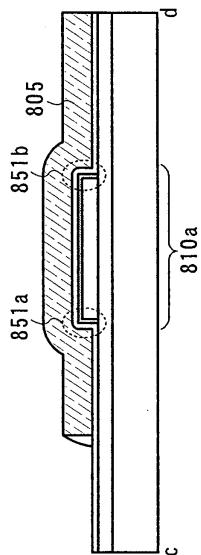
도면49b



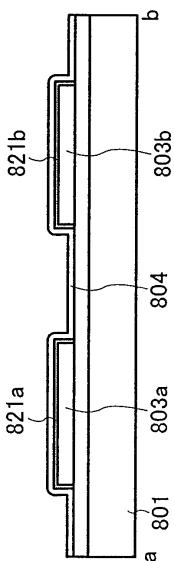
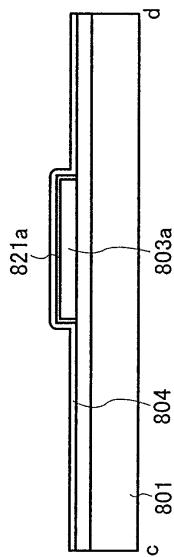
도면49c



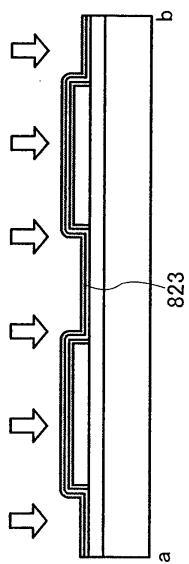
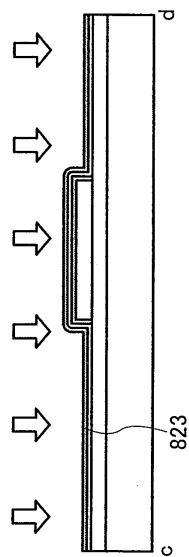
도면49d



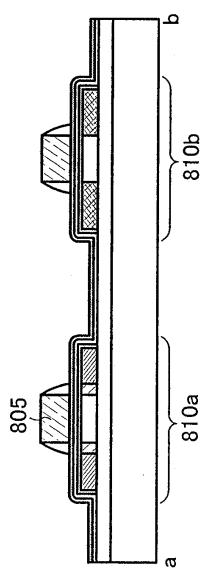
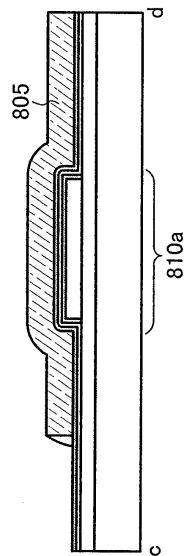
도면50a



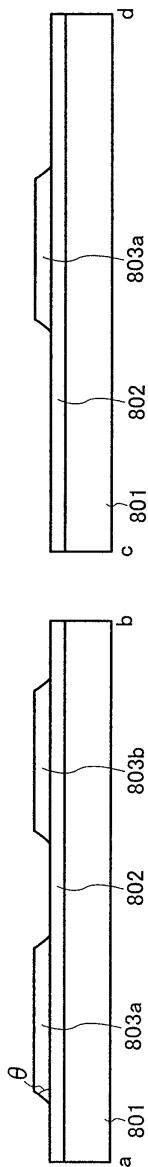
도면50b



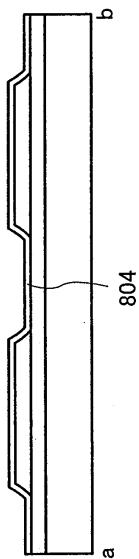
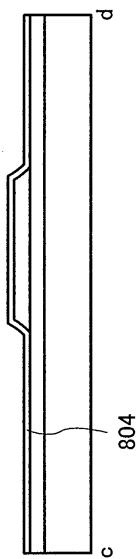
도면50c



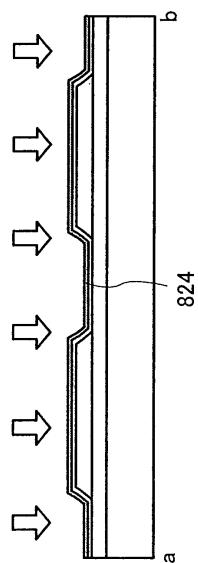
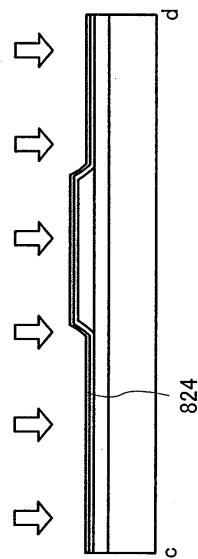
도면51a



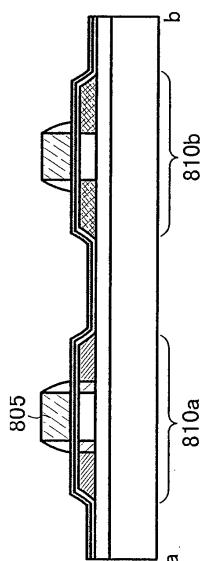
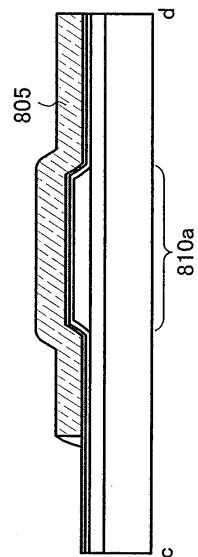
도면51b



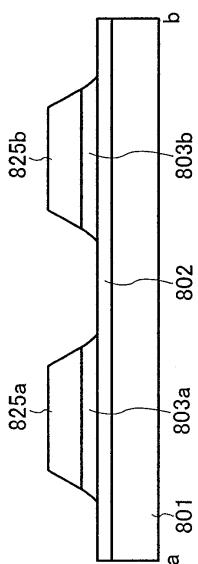
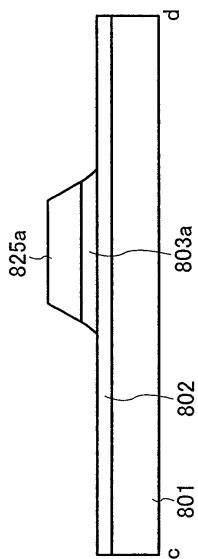
도면51c



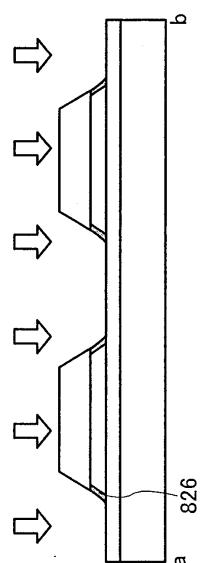
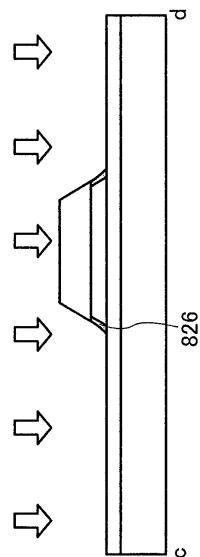
도면51d



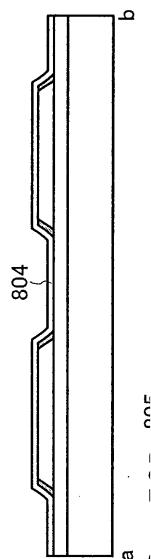
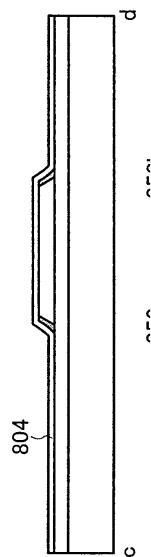
도면52a



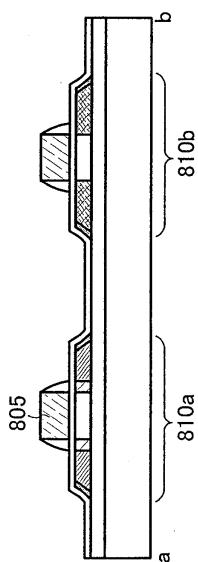
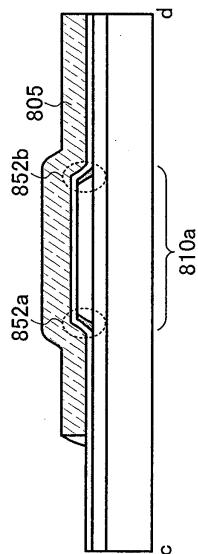
도면52b



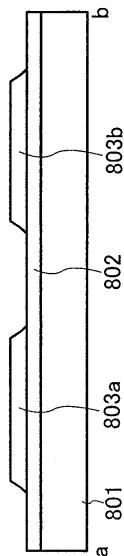
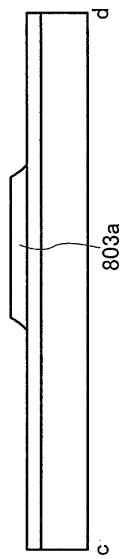
도면52c



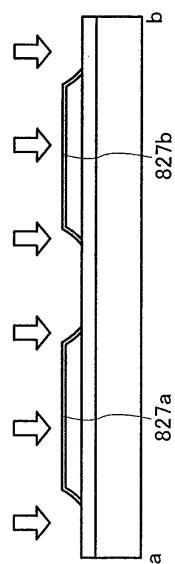
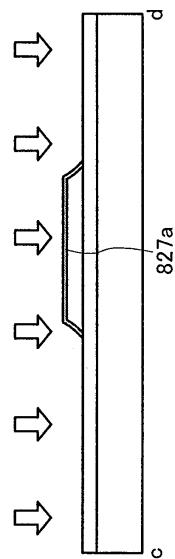
도면52d



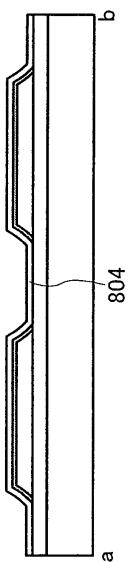
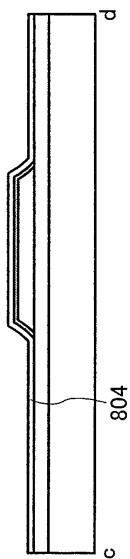
도면53a



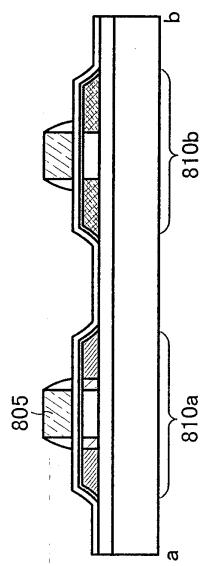
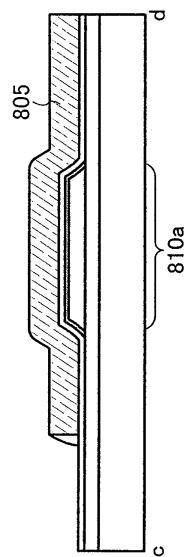
도면53b



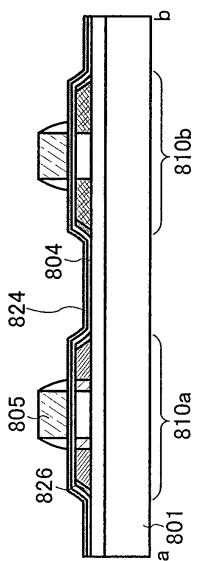
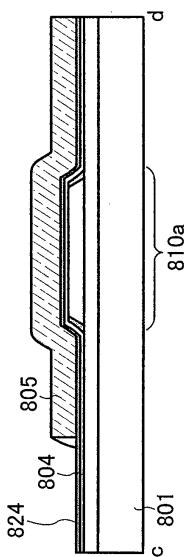
도면53c



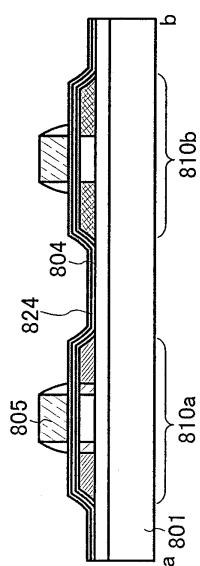
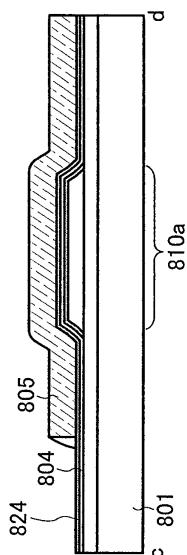
도면53d



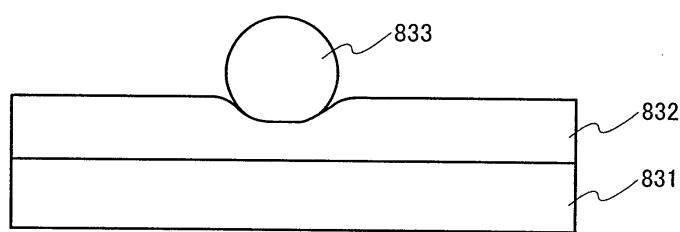
도면54a



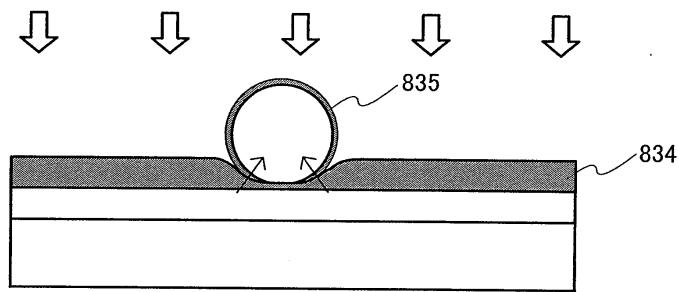
도면54b



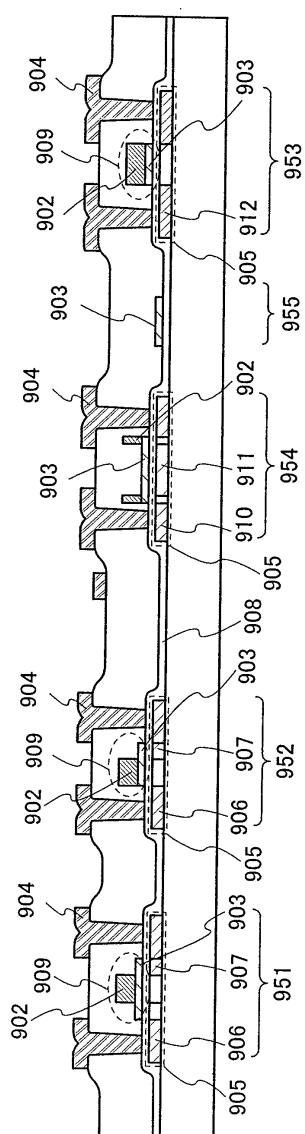
도면55a



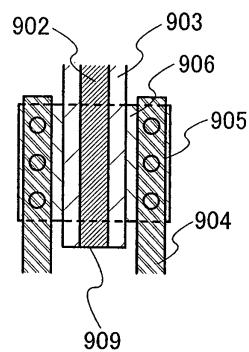
## 도면55b



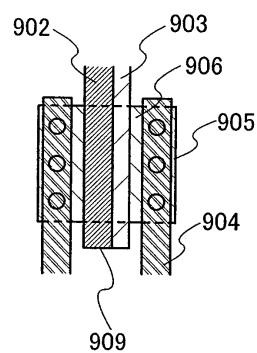
## 도면56



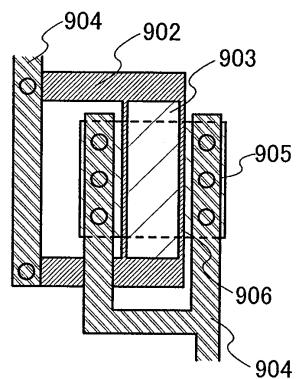
도면57a



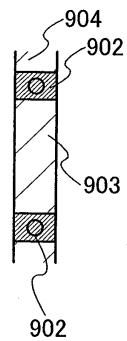
도면57b



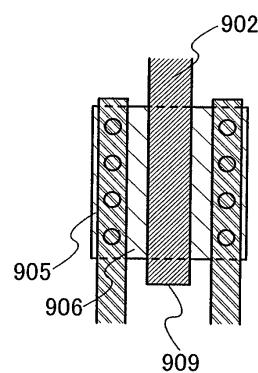
도면57c



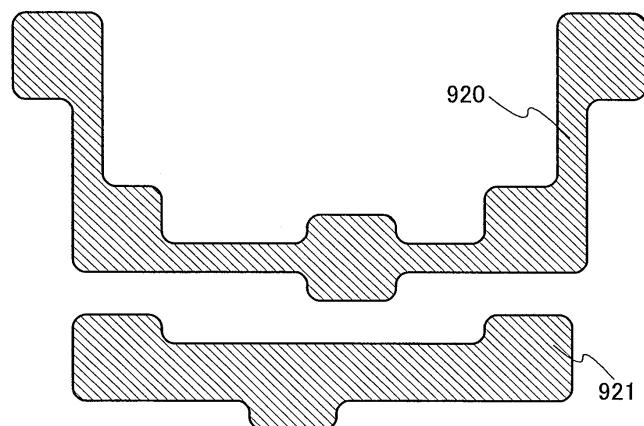
도면57d



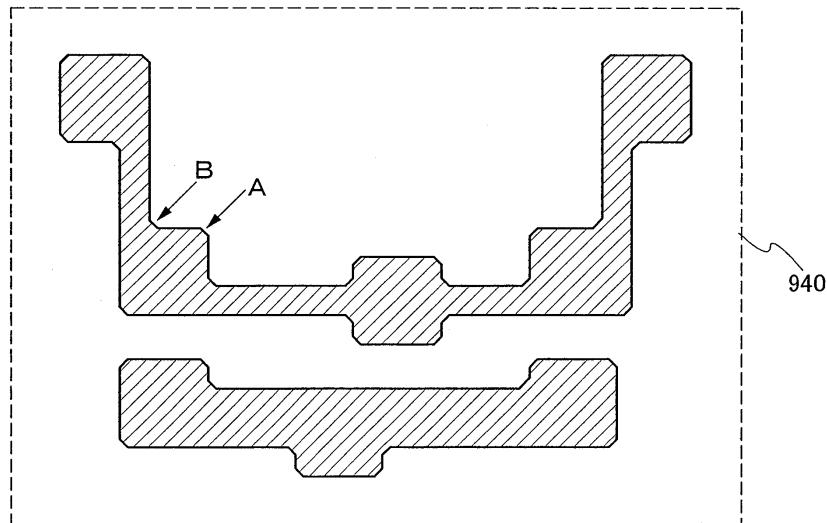
도면57e



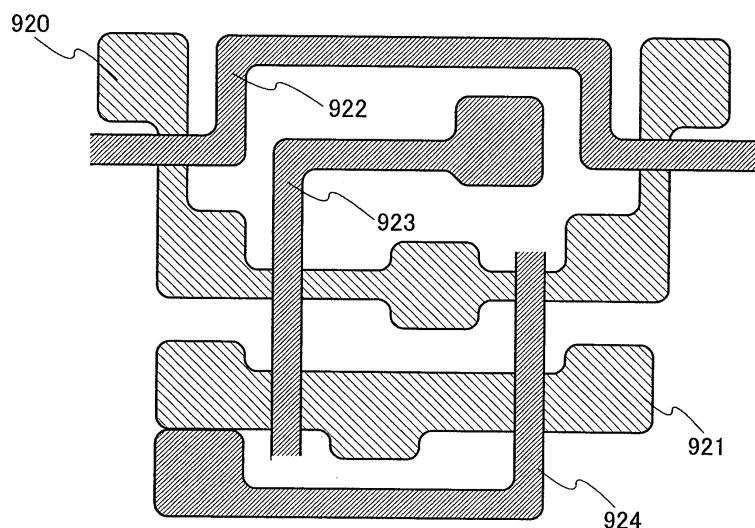
도면58a



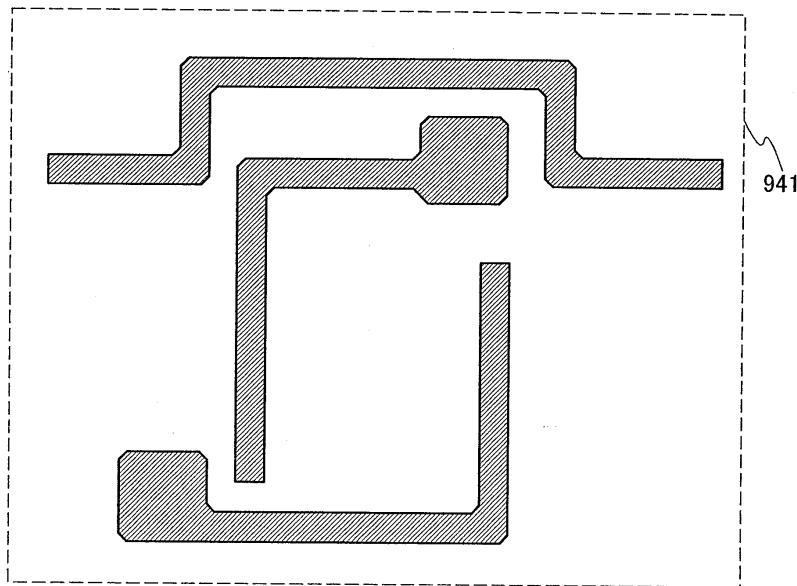
도면58b



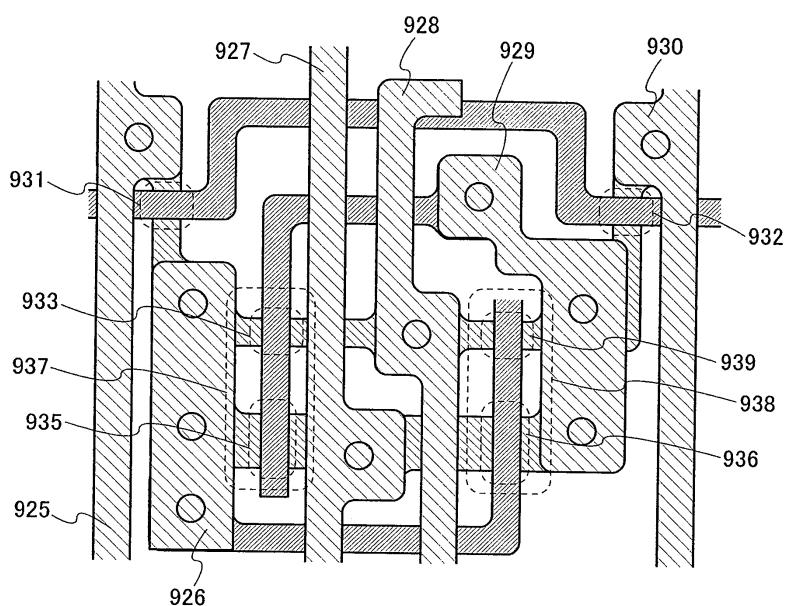
도면59a



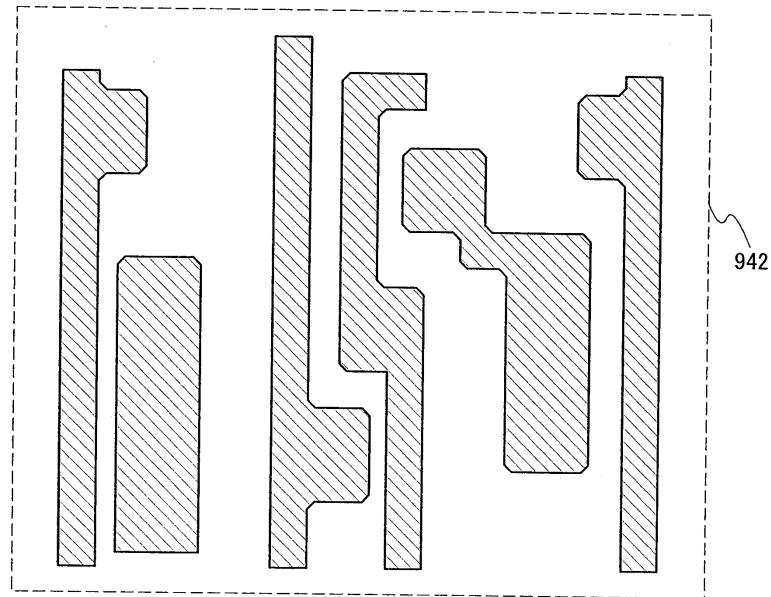
도면59b



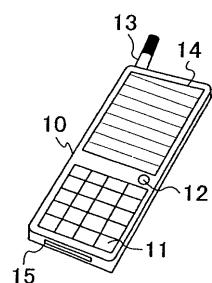
도면60a



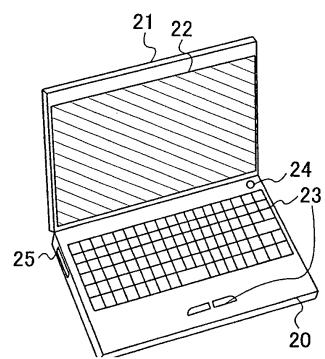
도면60b



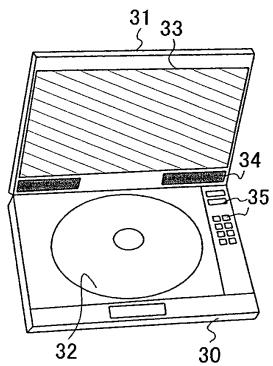
도면61a



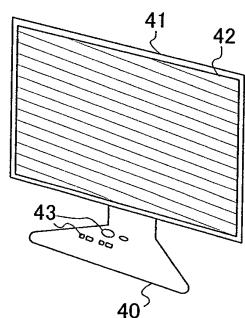
도면61b



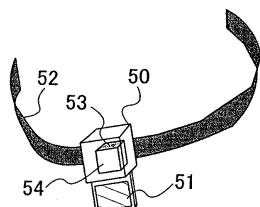
도면61c



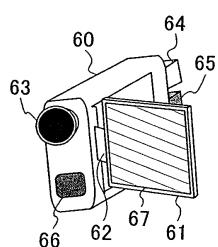
도면61d



도면61e



도면61f



도면61g

