



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2022년01월20일  
(11) 등록번호 10-2354213  
(24) 등록일자 2022년01월18일

(51) 국제특허분류(Int. Cl.)  
H01L 29/786 (2006.01) H01L 21/02 (2006.01)  
H01L 29/66 (2006.01) H01L 49/02 (2006.01)  
(52) CPC특허분류  
H01L 29/7869 (2013.01)  
H01L 21/0242 (2013.01)  
(21) 출원번호 10-2016-7014352  
(22) 출원일자(국제) 2014년11월25일  
심사청구일자 2019년11월20일  
(85) 번역문제출일자 2016년05월30일  
(65) 공개번호 10-2016-0089384  
(43) 공개일자 2016년07월27일  
(86) 국제출원번호 PCT/IB2014/066312  
(87) 국제공개번호 WO 2015/079377  
국제공개일자 2015년06월04일  
(30) 우선권주장  
JP-P-2013-248320 2013년11월29일 일본(JP)  
(뒷면에 계속)  
(56) 선행기술조사문헌  
JP2010258348 A\*  
(뒷면에 계속)

(73) 특허권자  
가부시킴가이샤 한도오파이 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398  
(72) 발명자  
오타 마사시  
일본 243-0036 가나가와켄 아쓰기시 하세 398 가  
부시킴가이샤 한도오파이 에네루기 켄큐쇼 내  
이시하라 노리타카  
일본 243-0036 가나가와켄 아쓰기시 하세 398 가  
부시킴가이샤 한도오파이 에네루기 켄큐쇼 내  
(뒷면에 계속)  
(74) 대리인  
양영준, 박충범

전체 청구항 수 : 총 13 항

심사관 : 임창연

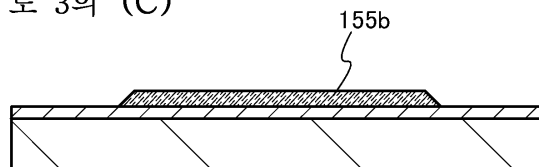
(54) 발명의 명칭 반도체 장치의 제작 방법

(57) 요약

도전성을 갖는 산화물 반도체 막을 포함하는 반도체 장치의 제작 방법, 또는 투광성을 가짐과 함께 도전성을 갖는 산화물 반도체 막을 포함하는 반도체 장치의 제작 방법을 제공하기 위한 것이다. 상기 반도체 장치의 제작 방법은 제1 절연막 위에 산화물 반도체 막을 형성하는 단계, 산화물 반도체 막에 함유된 산소가 탈리하는 분위기에서 제1 가열 처리를 행하는 단계, 및 수소 함유 분위기에서 제2 가열 처리를 행하여, 도전성을 갖는 산화물 반도체 막을 형성하는 단계를 포함한다.

대표도

도 3의 (C)



(52) CPC특허분류

H01L 21/02422 (2013.01)  
H01L 21/02554 (2013.01)  
H01L 21/02565 (2013.01)  
H01L 21/0262 (2013.01)  
H01L 21/02631 (2013.01)  
H01L 28/20 (2013.01)  
H01L 28/60 (2013.01)  
H01L 29/66969 (2013.01)  
H01L 29/78693 (2013.01)

(72) 발명자

**나카시마 모토키**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키키가이샤 한도오따이 에네루기 켄큐쇼 내

**구로사와 요이치**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키키가이샤 한도오따이 에네루기 켄큐쇼 내

**야마자키 슌페이**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키키가이샤 한도오따이 에네루기 켄큐쇼 내

**호사카 야스하루**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키키가이샤 한도오따이 에네루기 켄큐쇼 내

**오보나이 도시미츠**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키키가이샤 한도오따이 에네루기 켄큐쇼 내

**고에즈카 준이치**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키키가이샤 한도오따이 에네루기 켄큐쇼 내

(56) 선행기술조사문헌

JP2011077106 A\*  
JP2013110176 A\*  
KR1020120112228 A\*  
US04678542 A\*  
US20120107996 A1\*

\*는 심사관에 의하여 인용된 문헌

(30) 우선권주장

JP-P-2014-033904 2014년02월25일 일본(JP)  
JP-P-2014-107582 2014년05월23일 일본(JP)

## 명세서

### 청구범위

#### 청구항 1

반도체 장치의 제작 방법으로서,

산화물 반도체 막을 형성하는 단계;

상기 산화물 반도체 막 중의 산소가 탈리하는 제1 분위기에서 가열 처리를 행하는 단계; 및

수소 함유 분위기에서 가열 처리를 행하여, 상기 산화물 반도체 막의 도전성을 높이는 단계

를 포함하고,

상기 도전성을 높이는 단계 후의 상기 산화물 반도체 막의 수소 농도는  $5 \times 10^{20}$  원자수/cm<sup>3</sup> 이상인, 반도체 장치의 제작 방법.

#### 청구항 2

반도체 장치의 제작 방법으로서,

제1 절연막 위에 산화물 반도체 막을 형성하는 단계;

상기 산화물 반도체 막에 희가스를 첨가하는 단계; 및

수소 함유 분위기에서 가열 처리를 행하여, 상기 산화물 반도체 막의 도전성을 높이는 단계

를 포함하고,

상기 도전성을 높이는 단계 후의 상기 산화물 반도체 막의 수소 농도는  $5 \times 10^{20}$  원자수/cm<sup>3</sup> 이상인, 반도체 장치의 제작 방법.

#### 청구항 3

반도체 장치의 제작 방법으로서,

산화물 반도체 막을 형성하는 단계;

상기 산화물 반도체 막 중의 산소가 탈리하는 제1 분위기에서 가열 처리를 행하는 단계;

상기 산화물 반도체 막을, 붕소, 인, 알칼리 금속 및 알칼리 토금속 중 1종 이상을 함유하는 용액에 노출시키는 단계; 및

가열 처리를 행하여, 상기 산화물 반도체 막의 도전성을 높이는 단계

를 포함하고,

상기 도전성을 높이는 단계 후의 상기 산화물 반도체 막은 결정부를 포함하며,

상기 결정부의 c축과 상기 산화물 반도체 막의 피형성면의 법선 벡터 사이의 각도는  $-30^\circ$  이상  $30^\circ$  이하의 범위에 있는, 반도체 장치의 제작 방법.

#### 청구항 4

제1항 또는 제3항에 있어서,

상기 제1 분위기에서의 상기 가열 처리의 온도는  $350^\circ\text{C}$  이상  $800^\circ\text{C}$  이하의 범위에 있고,

상기 제1 분위기는  $1 \times 10^{-7}$  Pa 이상 10 Pa 이하의 범위의 압력을 갖는, 반도체 장치의 제작 방법.

#### 청구항 5

제1항 또는 제3항에 있어서,

상기 제1 분위기에서의 상기 가열 처리에 의해 상기 산화물 반도체 막에 결함이 형성되는, 반도체 장치의 제작 방법.

#### 청구항 6

제2항에 있어서,

상기 희가스는 헬륨, 네온, 아르곤, 크립톤 및 크세논 중 1종 이상이고,

상기 희가스를 첨가하는 단계는 도핑 방법 또는 이온 주입 방법에 의해 행해지는, 반도체 장치의 제작 방법.

#### 청구항 7

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 도전성을 높이는 단계 후의 상기 산화물 반도체 막의 수소 농도는  $8 \times 10^{19}$  원자수/cm<sup>3</sup> 이상인, 반도체 장치의 제작 방법.

#### 청구항 8

제3항에 있어서,

상기 도전성을 높이는 단계 후의 상기 산화물 반도체 막의 수소 농도는  $5 \times 10^{20}$  원자수/cm<sup>3</sup> 이상인, 반도체 장치의 제작 방법.

#### 청구항 9

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 도전성을 높이는 단계 후의 상기 산화물 반도체 막의 저항률은  $1 \times 10^{-3}$  Ωcm 이상  $1 \times 10^4$  Ωcm 이하의 범위에 있는, 반도체 장치의 제작 방법.

#### 청구항 10

제1항 또는 제2항에 있어서,

상기 도전성을 높이는 단계 후의 상기 산화물 반도체 막은 결정부를 포함하며,

상기 결정부의 c축과 상기 산화물 반도체 막의 피형성면의 법선 벡터 사이의 각도는  $-30^\circ$  이상  $30^\circ$  이하의 범위에 있는, 반도체 장치의 제작 방법.

#### 청구항 11

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 도전성을 높이는 단계 후의 상기 산화물 반도체 막은 In-Ga 산화물, In-Zn 산화물 및 In-M-Zn 산화물 (M은 Al, Ga, Y, Zr, Sn, La, Ce 또는 Nd임) 중 1종 이상을 포함하는, 반도체 장치의 제작 방법.

#### 청구항 12

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 도전성을 높이는 단계 후에 상기 산화물 반도체 막을 포함하는 저항소자를 형성하는 단계를 더 포함하는, 반도체 장치의 제작 방법.

#### 청구항 13

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 도전성을 높이는 단계 후에 상기 산화물 반도체 막을 포함하는 용량소자를 형성하는 단계를 더 포함하는, 반도체 장치의 제작 방법.

#### 청구항 14

삭제

#### 청구항 15

삭제

#### 청구항 16

삭제

#### 청구항 17

삭제

#### 청구항 18

삭제

#### 청구항 19

삭제

#### 청구항 20

삭제

### 발명의 설명

#### 기술 분야

[0001] 본 발명의 일 실시형태는 산화물 반도체를 포함하는 반도체 장치, 및 그의 제작 방법에 관한 것이다.

[0002] 본 발명의 일 실시형태는 상기 기술분야에 한정되지 않는다는 것에 유의한다. 본 명세서 등에 개시된 본 발명의 일 실시형태의 기술분야는 물, 방법 또는 제작 방법에 관한 것이다. 또한, 본 발명의 일 실시형태는 공정, 기계, 제조품 또는 구성물에 관한 것이다. 구체적으로, 본 명세서에 개시된 본 발명의 일 실시형태의 기술분야의 예는 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 메모리 장치, 이들 중 어느 것의 구동 방법 및 이들 중 어느 것의 제작 방법을 포함한다.

#### 배경 기술

[0003] 액정 표시 장치 또는 발광 표시 장치로 대표되는 평판 디스플레이에 많이 사용되는 트랜지스터는, 유리 기판 위에 제공된 비정질 실리콘, 단결정 실리콘 또는 다결정 실리콘 등의 실리콘 반도체를 사용하여 형성된다. 또한, 이러한 실리콘 반도체를 사용하여 형성된 트랜지스터는 집적 회로 (IC) 등에 사용된다.

[0004] 최근, 실리콘 반도체 대신에, 반도체 특성을 나타내는 금속 산화물을 트랜지스터에 사용하는 기술이 주목받고 있다. 본 명세서에서, 반도체 특성을 나타내는 금속 산화물은 산화물 반도체로 지칭된다는 것에 유의한다.

[0005] 예를 들어, 산화물 반도체로서 산화아연 또는 In-Ga-Zn계 산화물을 사용하여 트랜지스터를 형성하고, 상기 트랜지스터를 표시 장치 내 화소의 스위칭 소자 등으로서 사용하는 기술이 개시되어 있다 (특허문헌 1 및 2 참조).

### 선행기술문헌

#### 특허문헌

[0006] (특허문헌 0001) 일본 공개 특허 출원 번호 2007-123861

(특허문헌 0002) 일본 공개 특허 출원 번호 2007-096055

## 발명의 내용

### 해결하려는 과제

- [0007] 본 발명의 일 실시형태는 도전성을 갖는 산화물 반도체 막을 포함하는 반도체 장치의 제작 방법을 제공한다 (이하, 도전성 산화물 반도체 막으로도 지칭됨). 본 발명의 또 다른 실시형태는 투광성을 가짐과 함께 도전성을 갖는 산화물 반도체 막을 포함하는 반도체 장치의 제작 방법을 제공한다. 본 발명의 또 다른 실시형태는 적은 단계수로의 트랜지스터 및 용량소자를 갖는 반도체 장치의 제작 방법을 제공한다. 본 발명의 또 다른 실시형태는 신규 반도체 장치의 제작 방법을 제공한다.
- [0008] 용량소자에서는, 한 쌍의 전극 사이에 유전체 막이 제공되고, 이들 한 쌍의 전극 중 적어도 한쪽은 트랜지스터의 게이트 전극, 소스 전극 또는 드레인 전극 등으로서 부분적으로 기능하는 차광성 도전막을 사용하여 형성되는 경우가 많다.
- [0009] 액정 표시 장치에서는, 용량소자의 용량가의 증가는 전계가 인가된 상태에서 액정 소자 내 액정 분자의 배향을 일정하게 유지할 수 있는 시간을 증가시킨다. 정지 화상을 표시하는 경우에, 증가된 시간은 화상 데이터를 재기입하는 횟수를 저감하여 소비 전력의 저감으로 이어진다. 화상 데이터를 재기입하는 횟수를 저감하는 구동 방법은 저주파수 구동 방법으로 지칭된다는 것에 유의한다.
- [0010] 용량소자의 용량가를 증가시키는 방법 중 하나는, 용량소자의 점유 면적을 증가시키는 것, 구체적으로 한 쌍의 전극이 서로 중첩되어 있는 부분의 면적을 증가시키는 것이다. 그러나, 액정 표시 장치에서, 한 쌍의 전극이 서로 중첩되어 있는 부분의 면적을 증가시키기 위해 차광성 도전막의 면적을 증가시키면, 화소의 개구율이 저감하여 화상 표시 품질이 저하된다. 이러한 문제는 해상도가 높은 액정 표시 장치에서 특히 현저하다.
- [0011] 상기를 고려하여, 본 발명의 일 실시형태는 개구율이 높으며 높은 용량가의 용량소자를 포함하는 표시 장치의 제작 방법을 제공한다. 본 발명의 또 다른 실시형태는 더 적은 전력을 소비하는 표시 장치의 제작 방법을 제공한다. 본 발명의 또 다른 실시형태는 적은 단계수로의 높은 개구율 및 넓은 시야각을 갖는 표시 장치의 제작 방법을 제공한다.
- [0012] 이들 과제의 기재는 다른 과제의 존재를 방해하지는 않는다는 것에 유의한다. 본 발명의 일 실시형태에서, 이들 과제 모두를 해결할 필요는 없다. 다른 과제는 명세서, 도면, 청구범위 등의 기재로부터 명확해질 것이며, 이들로부터 유도될 수 있다.

### 과제의 해결 수단

- [0013] 본 발명의 일 실시형태는 제1 절연막 위에 산화물 반도체 막을 형성하는 단계; 산화물 반도체 막에 함유된 산소가 탈리하는 분위기에서 제1 가열 처리를 행하는 단계; 및 수소 함유 분위기에서 제2 가열 처리를 행하여, 도전성을 갖는 산화물 반도체 막을 형성하는 단계를 포함하는, 반도체 장치의 제작 방법이다.
- [0014] 제1 가열 처리는 350℃ 이상 800℃ 이하, 바람직하게는 450℃ 이상 800℃ 이하의 온도에서 행하는 것이 바람직하다는 것에 유의한다. 350℃ 이상의 온도에서 가열 처리를 행하면, 산화물 반도체 막으로부터 산소가 탈리한다. 반면에, 800℃ 이하의 온도에서 가열 처리를 행하면, 산화물 반도체 막에서의 결정 구조를 유지하면서, 산화물 반도체 막으로부터 산소를 탈리시킬 수 있다. 나아가, 가열 처리는 바람직하게는 진공 분위기에서, 대표적으로  $1 \times 10^{-7}$  Pa 이상 10 Pa 이하, 바람직하게는  $1 \times 10^{-7}$  Pa 이상 1 Pa 이하, 바람직하게는  $1 \times 10^{-7}$  Pa 이상  $1 \times 10^{-1}$  Pa 이하의 압력 분위기에서 행한다.
- [0015] 본 발명의 또 다른 실시형태는 제1 절연막 위에 산화물 반도체 막을 형성하는 단계; 산화물 반도체 막에 회가스를 첨가하는 단계; 및 수소 함유 분위기에서 가열 처리를 행하여, 도전성을 갖는 산화물 반도체 막을 형성하는 단계를 포함하는, 반도체 장치의 제작 방법이다.
- [0016] 회가스는 헬륨, 네온, 아르곤, 크립톤 또는 크세논이라는 것에 유의한다.
- [0017] 본 발명의 또 다른 실시형태는 제1 절연막 위에 산화물 반도체 막을 형성하는 단계; 및 산화물 반도체 막 위에, 스퍼터링 방법 또는 플라즈마 CVD 방법에 의해 제2 절연막을 형성하여, 도전성을 갖는 산화물 반도체 막을 형성하는 단계를 포함하는, 반도체 장치의 제작 방법이다.
- [0018] 제1 절연막 또는 제2 절연막은 바람직하게는 수소를 함유하며, 대표적으로 수소를 함유하는 질화실리콘 막을 포

함한다는 것에 유의한다.

- [0019] 도전성을 갖는 산화물 반도체 막의 수소 농도는 바람직하게는  $8 \times 10^{19}$  원자수/cm<sup>3</sup> 이상이다.
- [0020] 도전성을 갖는 산화물 반도체 막의 저항률은 바람직하게는  $1 \times 10^{-3}$  Ωcm 이상  $1 \times 10^4$  Ωcm 미만이다.
- [0021] 도전성을 갖는 산화물 반도체 막은 결정부를 포함할 수 있으며, 상기 결정부의 c축이 산화물 반도체 막의 피형 성면의 법선 벡터에 대해 평행할 수 있다.
- [0022] 도전성을 갖는 산화물 반도체 막은 바람직하게는 In-Ga 산화물, In-Zn 산화물 및 In-M-Zn 산화물 (M은 Al, Ga, Y, Zr, Sn, La, Ce 또는 Nd임) 중 1종 이상을 포함한다.

### 발명의 효과

- [0023] 본 발명의 일 실시형태에 따르면, 도전성을 갖는 산화물 반도체 막을 포함하는 반도체 장치를 제작할 수 있다. 본 발명의 또 다른 실시형태에 따르면, 투광성을 가짐과 함께 도전성을 갖는 산화물 반도체 막을 포함하는 반도체 장치를 제작할 수 있다. 본 발명의 또 다른 실시형태에 따르면, 적은 단계수로 트랜지스터 및 용량소자를 갖는 반도체 장치를 제작할 수 있다. 본 발명의 또 다른 실시형태에 따르면, 신규 반도체 장치를 제작할 수 있다.
- [0024] 본 발명의 일 실시형태에 따르면, 개구율이 높으며 높은 용량가의 용량소자를 포함하는 표시 장치를 제작할 수 있다. 본 발명의 또 다른 실시형태에 따르면, 더 적은 전력을 소비하는 표시 장치를 제작할 수 있다. 본 발명의 또 다른 실시형태에 따르면, 적은 단계수로 높은 개구율 및 넓은 시야각을 갖는 표시 장치를 제작할 수 있다.
- [0025] 이들 효과의 기재는 다른 효과의 존재를 방해하지는 않는다는 것에 유의한다. 본 발명의 일 실시형태는 반드시 상기 열거된 과제 모두를 해결할 필요는 없다. 다른 효과는 명세서, 도면, 청구범위 등의 기재로부터 명확해질 것이며, 이들로부터 유도될 수 있다.

### 도면의 간단한 설명

- [0026] 첨부 도면에서:
- 도 1의 (A) 내지 (C)는 본 발명의 반도체 장치의 형태를 도시하는 단면도이고;
- 도 2의 (A) 내지 (C)는 본 발명의 반도체 장치의 제작 방법의 일 형태를 도시하는 단면도이고;
- 도 3의 (A) 내지 (C)는 본 발명의 반도체 장치의 제작 방법의 일 형태를 도시하는 단면도이고;
- 도 4의 (A) 내지 (C)는 본 발명의 반도체 장치의 제작 방법의 일 형태를 도시하는 단면도이고;
- 도 5의 (A) 내지 (C)는 본 발명의 반도체 장치의 형태를 도시하는 단면도이고;
- 도 6은 본 발명의 반도체 장치의 일 형태를 도시하는 단면도이고;
- 도 7의 (A) 내지 (C)는 본 발명의 반도체 장치의 형태를 도시하는 단면도이고;
- 도 8의 (A) 및 (B)는 본 발명의 반도체 장치의 형태를 도시하는 회로 다이어그램이고;
- 도 9의 (A) 및 (B)는 각각 본 발명의 반도체 장치의 일 형태를 도시하는 상면도 및 단면도이고;
- 도 10은 본 발명의 반도체 장치의 일 형태를 도시하는 단면도이고;
- 도 11의 (A) 및 (B)는 본 발명의 반도체 장치의 형태를 도시하는 단면도이고;
- 도 12는 본 발명의 반도체 장치의 일 형태를 도시하는 단면도이고;
- 도 13은 계산 모델을 나타내고;
- 도 14는 H<sub>2</sub>O가 첨가된 모델의 초기 및 최적화 구조를 나타내고;
- 도 15는 c-IGZO 결정 중의 상이한 영역을 나타내는 모식도이고;
- 도 16의 (A) 내지 (D)는 InO<sub>2</sub>면과 (Ga, Zn)O면 사이의 영역에서의 수소 이동 경로 및 상기 경로를 따르는 활성

화 장벽을 나타내고;

도 17의 (A) 및 (B)는 각각 (Ga, Zn)O 영역에서의 수소 이동 경로 및 상기 경로를 따르는 활성화 장벽을 나타내고;

도 18의 (A) 및 (B)는 각각 InO<sub>2</sub> 영역에서의 수소 이동 경로 및 상기 경로를 따르는 활성화 장벽을 나타내고;

도 19의 (A) 및 (B)는 각각 c축 방향에서의 수소 이동 경로 및 상기 경로를 따르는 활성화 장벽을 나타내고;

도 20은 계산 모델을 나타내고;

도 21은 산소 결손 모델에서의 전체 에너지의 상대 값을 나타내고;

도 22는 계산 모델을 나타내고;

도 23의 (A) 및 (B)는 각각 초기 상태 및 최종 상태의 모델을 나타내고;

도 24는 활성화 장벽을 나타내고;

도 25의 (A) 및 (B)는 각각 초기 상태의 모델과 최종 상태의 모델을 나타내고;

도 26은 활성화 장벽을 나타내고;

도 27은 H<sub>0</sub>의 전이 레벨을 나타내고;

도 28은 계산 모델을 나타내고;

도 29는 반응 경로에서의 모델의 구조를 나타내고;

도 30은 반응 경로에서의 에너지 변화를 나타내고;

도 31의 (A)는 표시 장치의 일 형태를 도시하는 블록 다이어그램이고, 도 31의 (B) 및 (C)는 그의 회로 다이어그램이고;

도 32는 표시 장치의 일 형태를 도시하는 상면도이고;

도 33은 표시 장치의 일 형태를 도시하는 단면도이고;

도 34의 (A) 내지 (D)는 표시 장치의 제작 방법의 일 형태를 도시하는 단면도이고;

도 35의 (A) 내지 (C)는 표시 장치의 제작 방법의 일 형태를 도시하는 단면도이고;

도 36의 (A) 내지 (C)는 표시 장치의 제작 방법의 일 형태를 도시하는 단면도이고;

도 37의 (A) 및 (B)는 표시 장치의 제작 방법의 일 형태를 도시하는 단면도이고;

도 38은 표시 장치의 일 형태를 도시하는 단면도이고;

도 39는 표시 장치의 일 형태를 도시하는 단면도이고;

도 40은 표시 장치의 일 형태를 도시하는 단면도이고;

도 41은 표시 장치의 일 형태를 도시하는 단면도이고;

도 42의 (A) 및 (B)는 트랜지스터의 일 형태를 도시하는 단면도이고;

도 43은 표시 장치의 일 형태를 도시하는 상면도이고;

도 44는 표시 장치의 일 형태를 도시하는 단면도이고;

도 45의 (A) 내지 (C)는 표시 장치의 제작 방법의 일 형태를 도시하는 단면도이고;

도 46의 (A) 내지 (C)는 표시 장치의 제작 방법의 일 형태를 도시하는 단면도이고;

도 47은 표시 장치의 일 형태를 도시하는 단면도이고;

도 48은 표시 장치의 일 형태를 도시하는 단면도이고;

도 49의 (A) 내지 (C)는 표시 장치의 제작 방법의 일 형태를 도시하는 단면도이고;



- 도 50의 (A) 및 (B)는 표시 장치의 일 형태를 도시하는 단면도이고;
- 도 51은 표시 장치의 일 형태를 도시하는 단면도이고;
- 도 52는 표시 장치의 일 형태를 도시하는 단면도이고;
- 도 53은 표시 모듈을 나타내고;
- 도 54의 (A) 내지 (E)는 일 실시형태의 전자 장치의 외관도이고;
- 도 55는 시료의 수소 농도 및 저항률을 나타내고;
- 도 56은 시료의 투과율을 나타내고;
- 도 57은 시료의 CPM 측정의 측정 결과를 나타내고;
- 도 58은 시료의 HX-PES 분석 결과를 나타내고;
- 도 59는 시료의 SIMS 측정의 측정 결과를 나타내고;
- 도 60은 가열 처리를 행하지 않은 시료의  $g = 2$  부근에서 관찰된 ESR 신호를 나타내고;
- 도 61은 질소 분위기에서 가열 처리를 행한 시료의  $g = 1.9$  부근에서 관찰된 ESR 신호를 나타내고;
- 도 62는 변동하는 막 두께 하에 IGZO 막의  $g = 1.93$ 에서 관찰된 ESR 신호를 나타내고;
- 도 63은 IGZO 막의  $g = 1.93$ 에서 관찰된 ESR 신호의 강도 및 선폭을 나타내고;
- 도 64는 시료의 저항률 및 ESR 스핀 밀도를 나타내고;
- 도 65는 시료의 ESR 스핀 밀도와 수소 농도 사이의 관계를 나타내고;
- 도 66은 시료의 수소 농도 및 도전율을 나타내고;
- 도 67은 시료의 ESR 스핀 밀도와  $1/\rho$  사이의 관계를 나타내고;
- 도 68은 시료의 TDS 분석 결과를 나타내고;
- 도 69는 시료의 HX-PES 분석 결과를 나타내고;
- 도 70은 저항률의 온도 의존성을 나타내고;
- 도 71은 액정 표시 장치의 표시 화상을 나타내고;
- 도 72의 (A) 내지 (C)는 CAAC-OS 단면의 Cs-보정 고분해능 TEM 화상이고, 도 72의 (D)는 CAAC-OS의 단면 모식도이고;
- 도 73의 (A) 내지 (D)는 CAAC-OS 평면의 Cs-보정 고분해능 TEM 화상이고;
- 도 74의 (A) 내지 (C)는 CAAC-OS 및 단결정 산화물 반도체의 XRD에 의한 구조 해석을 나타내고;
- 도 75의 (A) 및 (B)는 CAAC-OS의 전자 회절 패턴을 나타내고;
- 도 76은 In-Ga-Zn 산화물의 전자 조사로 인한 결정부의 변화를 나타내고;
- 도 77의 (A) 및 (B)는 CAAC-OS 및 nc-OS의 성막 모델을 설명하는 모식적 다이어그램이고;
- 도 78의 (A) 내지 (C)는 InGaZnO<sub>4</sub> 결정 및 펄릿을 나타내고;
- 도 79의 (A) 내지 (D)는 CAAC-OS의 성막 모델을 설명하는 모식도이다.

#### 발명을 실시하기 위한 구체적인 내용

[0027]

이하, 실시형태에 대해 도면을 참조하여 기재할 것이다. 실시형태는 다양한 형태로 실시될 수 있다는 것에 유의하며, 본 발명의 취지 및 범주로부터 이탈하지 않고 형태 및 세부사항을 다양한 방식으로 변경할 수 있는 것은 관련 기술분야의 통상의 기술자라면 용이하게 할 것이다. 따라서, 본 발명은 하기 실시형태의 기재에 한정되는 것으로 해석되어서는 안 된다.

- [0028] 도면에서, 크기, 층 두께 또는 영역은 명료화를 위해 과장되어 있는 경우가 있다. 따라서, 본 발명의 실시형태는 이러한 스케일에 한정되지는 않는다. 도면은 이상적인 예를 나타내는 모식도이며, 본 발명의 실시형태는 도면에 나타난 형상 또는 값에 한정되지는 않는다는 것에 유의한다.
- [0029] 본 명세서에서, 제1, 제2, 제3 등의 서수사는 구성요소의 혼동을 피하기 위해 사용된 것이며, 따라서 구성요소를 수치적으로 한정하지는 않는다.
- [0030] 본 명세서에서, 위에 및 아래 등의 배치를 나타내는 용어는 도면을 참조하여 구성요소들 사이의 위치 관계를 기재하기 위해 편의상 사용된다. 구성요소들 사이의 위치 관계는 각각의 구성요소를 기재하는 방향에 따라 적절하게 변화되는 것이다. 따라서, 위치 관계는 본 명세서에 사용된 용어로 기재된 것에 한정되지는 않으며, 상황에 따라서 적절하게 또 다른 용어로 설명될 수 있다.
- [0031] 본 명세서 등에서, 트랜지스터는 게이트, 드레인 및 소스인 적어도 3개의 단자를 갖는 소자이다. 트랜지스터는 드레인 (드레인 단자, 드레인 영역 또는 드레인 전극 층)과 소스 (소스 단자, 소스 영역 또는 소스 전극 층) 사이에, 채널 영역을 가지며, 드레인, 채널 영역 및 소스를 통해 전류를 흐르게 할 수 있다. 본 명세서 등에서, 채널 영역은 전류가 주로 흐르는 영역을 지칭한다는 것에 유의한다.
- [0032] 소스 및 드레인의 기능은, 예를 들어 반대 극성의 트랜지스터를 사용하는 경우 또는 회로 동작에서 전류 흐름 방향이 변화하는 경우에는 서로 교체된다. 따라서, 본 명세서 등에서는 용어 "소스" 및 "드레인"은 서로 교체될 수 있다.
- [0033] 본 명세서 등에서, 용어 "전기적으로 접속"은 구성요소가 어떠한 전기적 작용을 갖는 물체를 통해 접속되어 있는 경우를 포함한다. 어떠한 전기적 작용을 갖는 물체는 상기 물체를 통해 접속된 구성요소들 사이에서 전기 신호의 송수신할 수 있는 한, 특별히 한정되지 않는다. 어떠한 전기적 작용을 갖는 물체의 예는 전극 및 배선뿐만 아니라, 트랜지스터 등의 스위칭 소자, 저항소자, 인덕터, 용량소자 및 다양한 기능을 갖는 소자를 포함한다.
- [0034] 본 명세서에서, 용어 "평행"은 2개의 직선 사이에  $-10^{\circ}$  이상  $10^{\circ}$  이하의 각도가 형성된 것을 나타내며, 따라서  $-5^{\circ}$  이상  $5^{\circ}$  이하의 경우를 또한 포함한다. 또한, "실질적으로 평행"은 2개의 직선 사이에  $-30^{\circ}$  이상  $30^{\circ}$  이하의 각도가 형성된 것을 나타낸다. 또한, "수직"은 2개의 직선 사이에  $80^{\circ}$  이상  $100^{\circ}$  이하의 각도가 형성된 것을 나타내며, 따라서  $85^{\circ}$  이상  $95^{\circ}$  이하의 경우를 또한 포함한다. 또한, "실질적으로 수직"은 2개의 직선 사이에  $60^{\circ}$  이상  $120^{\circ}$  이하의 각도가 형성된 것을 나타낸다.
- [0035] 본 명세서에서, 삼방정계 또는 능면체정계는 육방정계에 포함된다.
- [0036] (실시형태 1)
- [0037] 본 실시형태에서는, 본 발명의 일 실시형태의 반도체 장치에 대해 도 1의 (A) 내지 (C), 도 2의 (A) 내지 (C), 도 3의 (A) 내지 (C), 도 4의 (A) 내지 (C), 도 5의 (A) 내지 (C) 및 도 6을 참조하여 기재할 것이다. 본 실시형태에서는, 도전성을 갖는 산화물 반도체 막, 및 상기 도전성을 갖는 산화물 반도체 막과 접하는 도전막의 구조 및 그의 제작 방법에 대해 기재한다. 본원에서, 도전성을 갖는 산화물 반도체 막은 전극 또는 배선으로서 기능한다는 것에 유의한다.
- [0038] 도 1의 (A) 내지 (C)는 반도체 장치에 포함되는 도전성을 갖는 산화물 반도체 막의 단면도이다.
- [0039] 도 1의 (A)에서, 절연막(153), 및 절연막(153) 상의 도전성을 갖는 산화물 반도체 막(155b)이 기판(151) 위에 형성되어 있다.
- [0040] 도 1의 (B)에 도시된 바와 같이, 절연막(153) 및 도전성을 갖는 산화물 반도체 막(155b) 위에 절연막(157)이 형성될 수 있다.
- [0041] 도 1의 (C)에 도시된 바와 같이, 절연막(157a) 위에 도전성을 갖는 산화물 반도체 막(155b)이 형성될 수 있다. 이러한 경우에, 도전성을 갖는 산화물 반도체 막(155b) 위에 절연막(153a)이 형성될 수 있다.
- [0042] 도전성을 갖는 산화물 반도체 막(155b)은 대표적으로 In-Ga 산화물 막, In-Zn 산화물 막 또는 In-M-Zn 산화물 막 (M은 Al, Ga, Y, Zr, Sn, La, Ce 또는 Nd임) 등의 금속 산화물 막을 사용하여 형성된다. 도전성을 갖는 산화물 반도체 막(155b)은 투광성을 갖는다는 것에 유의한다.
- [0043] 도전성을 갖는 산화물 반도체 막(155b)이 In-M-Zn 산화물 막인 경우에, In 및 M의 합을 100 원자%로 했을 때 In

및 M의 비율은 바람직하게는 In의 비율이 25 원자% 초과, M의 비율이 75 원자% 미만이고, 보다 바람직하게는 In의 비율이 34 원자% 초과, M의 비율이 66 원자% 미만이라는 것에 유의한다.

- [0044] 도전성을 갖는 산화물 반도체 막(155b)은 에너지 갭이 2 eV 이상, 바람직하게는 2.5 eV 이상, 보다 바람직하게는 3 eV 이상이다.
- [0045] 도전성을 갖는 산화물 반도체 막(155b)의 두께는 3 nm 이상 200 nm 이하, 바람직하게는 3 nm 이상 100 nm 이하, 보다 바람직하게는 3 nm 이상 50 nm 이하이다.
- [0046] 도전성을 갖는 산화물 반도체 막(155b)이 In-M-Zn 산화물 막 (M은 Al, Ga, Y, Zr, Sn, La, Ce 또는 Nd를 나타냄)인 경우에, In-M-Zn 산화물 막을 형성하기 위해 사용되는 스퍼터링 타겟의 금속 원소의 원자수비는 바람직하게는  $\text{In} \geq \text{M}$  및  $\text{Zn} \geq \text{M}$ 을 충족시킨다. 이러한 스퍼터링 타겟의 금속 원소의 원자수비의 예는 바람직하게는  $\text{In}:\text{M}:\text{Zn} = 1:1:1$ ,  $\text{In}:\text{M}:\text{Zn} = 1:1:1.2$ ,  $\text{In}:\text{M}:\text{Zn} = 2:1:1.5$ ,  $\text{In}:\text{M}:\text{Zn} = 2:1:2.3$ ,  $\text{In}:\text{M}:\text{Zn} = 2:1:3$  및  $\text{In}:\text{M}:\text{Zn} = 3:1:2$ 를 포함한다. 도전성을 갖는 산화물 반도체 막(155b)의 금속 원소의 원자수비는 오차로서, 상기 스퍼터링 타겟의 금속 원소의 원자수비로 인해  $\pm 40\%$  범위 내로 변동한다는 것에 유의한다.
- [0047] 도전성을 갖는 산화물 반도체 막(155b)은, 예를 들어 비-단결정 구조를 가질 수 있다. 비-단결정 구조는, 예를 들어 하기 기재된 c축 배향 결정 산화물 반도체 (CAAC-OS), 다결정 구조, 하기 기재된 미세결정 구조 또는 비정질 구조를 포함한다. 비-단결정 구조 중에서, 비정질 구조는 결함 준위 밀도가 가장 높은 반면에, CAAC-OS는 결함 준위 밀도가 가장 낮다.
- [0048] 도전성을 갖는 산화물 반도체 막(155b)은 비정질 구조의 영역, 미세결정 구조의 영역, 다결정 구조의 영역, CAAC-OS 영역 및 단결정 구조의 영역 중 2종 이상의 영역을 포함하는 혼합막일 수 있다는 것에 유의한다. 혼합막은, 예를 들어 비정질 구조의 영역, 미세결정 구조의 영역, 다결정 구조의 영역, CAAC-OS 영역 및 단결정 구조의 영역 중 2종 이상을 포함하는 다층 구조를 갖는 경우가 있다. 또한, 혼합막은, 예를 들어 비정질 구조의 영역, 미세결정 구조의 영역, 다결정 구조의 영역, CAAC-OS 영역 및 단결정 구조의 영역 중 2종 이상의 적층 구조를 갖는 경우가 있다.
- [0049] 절연막(157) 및 절연막(157a)은 바람직하게는 수소를 함유하는 막, 대표적으로 수소를 함유하는 질화실리콘 막을 사용하여 형성된다. 산화물 반도체 막과 접하는 절연막(157) 및 절연막(157a)이 수소를 함유하면, 상기 수소가 산화물 반도체 막에 공급되어, 도전성을 갖는 산화물 반도체 막(155b)을 형성할 수 있다.
- [0050] 도전성을 갖는 산화물 반도체 막(155b)은 불순물을 포함한다. 도전성을 갖는 산화물 반도체 막(155b)에 함유되는 불순물의 일례로서는 수소가 있다. 수소 대신에, 불순물로서, 붕소, 인, 질소, 주석, 안티몬, 회가스 원소, 알칼리 금속, 알칼리 토금속 등이 함유될 수 있다.
- [0051] 도전성을 갖는 산화물 반도체 막(155b)의 수소 농도는  $8 \times 10^{19}$  원자수/cm<sup>3</sup> 이상, 바람직하게는  $1 \times 10^{20}$  원자수/cm<sup>3</sup> 이상, 보다 바람직하게는  $5 \times 10^{20}$  원자수/cm<sup>3</sup> 이상이다.
- [0052] 도전성을 갖는 산화물 반도체 막(155b)은 결함 및 불순물을 포함하여, 도전성을 갖는다. 도전성을 갖는 산화물 반도체 막(155b)의 저항률은 바람직하게는  $1 \times 10^{-3}$  Ωcm 이상  $1 \times 10^4$  Ωcm 미만, 보다 바람직하게는  $1 \times 10^{-3}$  Ωcm 이상  $1 \times 10^{-1}$  Ωcm 미만이다.
- [0053] 도전성을 갖는 산화물 반도체 막(155b)의 도전율은 대표적으로  $1 \times 10^{-2}$  S/m 이상  $1 \times 10^5$  S/m 이하이거나, 또는  $1 \times 10^3$  S/m 이상  $1 \times 10^5$  S/m 이하일 수 있다.
- [0054] 도전성을 갖는 산화물 반도체 막(155b)은 불순물과 함께 결함을 포함한다. 대표적으로, 도전성을 갖는 산화물 반도체 막(155b)의 결함은 진공 분위기에서의 가열 처리에 의한 산소의 탈리에 의해 형성된다. 대안적으로, 결함은 회가스의 첨가에 의해 형성된다. 또한 대안적으로, 결함은 성막 공정에서 절연막(153a 또는 157)이 플라즈마에 노출되면 형성된다.
- [0055] 산화물 반도체에서 산소 결손 부위에 수소가 들어가면, 전도대 근방에서 공여체 준위가 형성된다. 그 결과, 산화물 반도체가 도전체화되어, 그의 도전성이 높아진다. 도전체화된 산화물 반도체는 산화물 도전체로 지칭될 수 있다. 일반적으로, 산화물 반도체는 넓은 에너지 갭 때문에 투광성을 갖고 있다. 산화물 반도체는 넓은 에너지 갭을 유지하면서 도전체화되며, 따라서 산화물 도전체는 투광성을 갖는다.

- [0056] 기판(151)은 다양한 기판일 수 있으며, 특정 유형의 기판에 한정되지는 않는다. 기판의 예는 반도체 기판 (예를 들어, 단결정 기판 또는 실리콘 기판), SOI 기판, 유리 기판, 석영 기판, 플라스틱 기판, 금속 기판, 스테인리스 강 기판, 스테인리스 강 호일을 포함하는 기판, 텅스텐 기판, 텅스텐 호일을 포함하는 기판, 가요성 기판, 접합 필름, 섬유상 재료를 포함하는 종이, 및 기재 필름을 포함한다. 유리 기판의 예는 바륨 보로실리케이트 유리 기판, 알루미늄보로실리케이트 유리 기판 및 소다 석회 유리 기판을 포함한다. 가요성 기판, 접합 필름, 기재 필름 등의 예는 하기와 같다: 폴리에틸렌 테레프탈레이트 (PET), 폴리에틸렌 나프탈레이트 (PEN) 및 폴리에테르 술폰 (PES)으로 대표되는 플라스틱; 아크릴 등의 합성 수지; 폴리프로필렌; 폴리에스테르; 폴리비닐 플루오라이드; 폴리비닐 클로라이드; 폴리에스테르; 폴리아미드; 폴리이미드; 아라미드; 에폭시; 무기 증착 필름; 및 종이. 구체적으로, 반도체 기판, 단결정 기판, SOI 기판 등을 사용하여 트랜지스터를 형성하는 경우에, 특성, 크기, 형상 등의 편차가 적고, 전류 공급 능력이 높고, 크기가 작은 트랜지스터를 형성하는 것이 가능하다. 이러한 트랜지스터의 사용에 의해 회로를 형성함으로써, 회로의 소비 전력을 저감할 수 있거나 또는 회로를 고집적화할 수 있다.
- [0057] 대안적으로, 기판(151)으로서, 가요성 기판을 사용할 수 있고, 가요성 기판 위에 직접, 트랜지스터를 제공할 수 있다. 또한 대안적으로, 기판(151)과 트랜지스터 사이에, 분리층을 제공할 수 있다. 분리층은 그 위에 반도체 장치를 일부 또는 전부 형성하였을 때에 분리층을 기판(151)으로부터 분리하고, 또 다른 기판 위에 전달하는데에 사용할 수 있다. 이러한 경우에, 트랜지스터는 내열성이 낮은 기판 또는 가요성 기판에도 전달할 수 있다. 상기 분리층에는, 예를 들어 텅스텐 막 및 산화실리콘 막인 무기 막을 포함하는 적층물, 또는 기판 위에 형성된 폴리이미드 등의 유기 수지 막을 사용할 수 있다.
- [0058] 트랜지스터가 전달되는 기판의 예는, 트랜지스터가 그 위에 형성될 수 있는 상기 기재된 기판 이외에도, 종이 기판, 셀로판 기판, 아라미드 필름 기판, 폴리이미드 필름 기판, 석재 기판, 목재 기판, 천 기판 (천연 섬유 (예를 들어, 견, 면 또는 마), 합성 섬유 (예를 들어, 나일론, 폴리우레탄 또는 폴리에스테르) 또는 재생 섬유 (예를 들어, 아세테이트, 큐프라 또는 레이온, 재생 폴리에스테르) 등을 포함함), 피혁 기판 및 고무 기판을 포함한다. 이러한 기판을 사용함으로써, 특성이 탁월한 트랜지스터 또는 소비 전력이 작은 트랜지스터를 형성할 수 있거나, 높은 내구성 및 높은 내열성을 갖는 장치를 제공할 수 있거나, 또는 경량화 또는 박형화를 달성할 수 있다.
- [0059] 절연막(153 및 153a)은, 예를 들어 산화실리콘, 산화질화실리콘, 산화알루미늄, 산화하프늄, 산화갈륨 및 Ga-Zn 계 금속 산화물을 포함하는 산화물 절연막을 사용하여 단층 구조 또는 적층 구조를 갖도록 형성될 수 있다. 본 명세서에서, 산화질화실리콘 막은 질소보다 산소를 더 많이 함유하는 막을 지칭하고, 질화산화실리콘 막은 산소보다 질소를 더 많이 함유하는 막을 지칭한다는 것에 유의한다.
- [0060] 절연막(157 및 157a)은 질화실리콘, 질화산화실리콘, 질화알루미늄, 질화산화알루미늄 등을 함유하는 질화물 절연막을 사용하여 형성될 수 있다.
- [0061] <도전성을 갖는 산화물 반도체 막(155b)의 제작 방법 1>
- [0062] 먼저, 도 1의 (A)에 도시된 도전성을 갖는 산화물 반도체 막(155b)의 제작 방법에 대해 도 2의 (A) 내지 (C)를 참조하여 기재할 것이다.
- [0063] 먼저, 기판(151)을 준비한다. 여기서, 기판(151)으로서 유리 기판을 사용한다.
- [0064] 도 2의 (A)에 도시된 바와 같이, 기판(151) 위에 절연막(153)을 형성하고, 절연막(153) 위에 산화물 반도체 막(155)을 형성한다. 이어서, 산화물 반도체 막(155)에, 헬륨, 네온, 아르곤, 크립톤 또는 크세논 등의 희가스(154)를 첨가한다.
- [0065] 절연막(153)은 스퍼터링 방법, CVD 방법, 진공 증착 방법, 펄스 레이저 증착 (PLD) 방법, 열 CVD 방법 등에 의해 형성할 수 있다.
- [0066] 이하, 산화물 반도체 막(155)의 형성 방법에 대해 기재할 것이다.
- [0067] 스퍼터링 방법, 코팅 방법, 펄스 레이저 증착 방법, 레이저 절삭 방법, 열 CVD 방법 등에 의해 산화물 반도체 막을 형성한다. 이어서, 상기 산화물 반도체 막 위에 포토리소그래피 공정을 통해 마스크를 형성한 후, 상기 마스크를 사용하여 산화물 반도체 막을 에칭한다. 그 결과, 산화물 반도체 막(155)을 형성할 수 있다.
- [0068] 스퍼터링 가스로서, 희가스 (대표적으로 아르곤), 산소 가스, 희가스와 산소 가스의 혼합 가스를 적절하게 사용한다. 희가스와 산소 가스의 혼합 가스를 사용하는 경우에는, 바람직하게는 희가스에 대한 산소의 비율을 높은

다.

- [0069] 또한, 타겟은 형성되는 산화물 반도체 막의 조성에 따라 적절하게 선택될 수 있다.
- [0070] 예를 들어, 산화물 반도체 막을 스퍼터링 방법에 의해 형성하는 경우에, 기판 온도를 150℃ 이상 750℃ 이하, 바람직하게는 150℃ 이상 450℃ 이하, 보다 바람직하게는 200℃ 이상 350℃ 이하로 설정하여, 산화물 반도체 막이 CAAC-OS 막이 될 수 있다.
- [0071] CAAC-OS 막의 성막을 위해, 하기 조건을 바람직하게는 사용한다.
- [0072] 성막 시에 CAAC-OS 막 내로의 불순물의 혼입을 억제함으로써, 불순물에 의해 결정 상태가 파괴되는 것을 방지할 수 있다. 예를 들어, 성막 챔버 내에 존재하는 불순물 (예를 들어, 수소, 물, 이산화탄소 또는 질소)의 농도를 저감할 수 있다. 또한, 성막 가스 중의 불순물의 농도를 저감할 수 있다. 구체적으로, 이슬점이 -80℃ 이하, 바람직하게는 -100℃ 이하인 성막 가스를 사용한다.
- [0073] 원자층 성막 (ALD)을 사용하는 성막 장치에 의해 산화물 반도체 막, 예를 들어 In-Ga-Zn-O 막을 성막하는 경우에는, In(CH<sub>3</sub>)<sub>3</sub> 가스 및 O<sub>3</sub> 가스를 2회 이상 순차 도입하여 In-O 층을 형성하고, 이어서 Ga(CH<sub>3</sub>)<sub>3</sub> 가스 및 O<sub>3</sub> 가스를 동시에 도입하여 GaO 층을 형성하고, 이어서 Zn(CH<sub>3</sub>)<sub>2</sub> 가스 및 O<sub>3</sub> 가스를 동시에 도입하여 ZnO 층을 형성한다. 이들 층의 순서는 이러한 예에 한정되지는 않는다는 것에 유의한다. 이들 가스를 혼합함으로써 In-Ga-O 층, In-Zn-O 층 또는 Ga-Zn-O 층 등의 혼합 화합물 층을 형성할 수 있다. O<sub>3</sub> 가스 대신에 Ar 등의 불활성 가스로 버블링함으로써 얻어진 H<sub>2</sub>O 가스를 사용할 수 있지만, H를 함유하지 않는 O<sub>3</sub> 가스를 사용하는 것이 바람직하다. In(CH<sub>3</sub>)<sub>3</sub> 가스 대신에, In(C<sub>2</sub>H<sub>5</sub>)<sub>3</sub> 가스를 사용할 수 있다. Ga(CH<sub>3</sub>)<sub>3</sub> 가스 대신에, Ga(C<sub>2</sub>H<sub>5</sub>)<sub>3</sub> 가스를 사용할 수 있다. 또한, Zn(CH<sub>3</sub>)<sub>2</sub> 가스를 사용할 수 있다.
- [0074] 그 후, 가열 처리에 의해, 산화물 반도체 막(155)으로부터 수소, 물 등을 탈리시켜, 산화물 반도체 막(155)의 수소 농도 및 물 농도를 저감할 수 있다. 가열 처리는 또한 산화물 반도체 막(155)으로부터 산소가 탈리되도록 하여, 결함이 만들어질 수 있어서, 나중에 형성되는 산화물 반도체 막(155b)의 수소 농도의 편차를 저감할 수 있다. 상기 가열 처리를 대표적으로 250℃ 이상 650℃ 이하, 바람직하게는 300℃ 이상 500℃ 이하의 온도에서 행한다. 상기 가열 처리를 대표적으로, 300℃ 이상 400℃ 이하, 바람직하게는 320℃ 이상 370℃ 이하의 온도에서 행하면, 큰 크기의 기판의 휨 또는 수축을 저감하여 수율을 개선시킬 수 있다.
- [0075] 상기 가열 처리에, 전기로, RTA 장치 등을 사용할 수 있다. RTA 장치를 사용함으로써, 가열 시간이 짧아도 기판의 변형점 이상의 온도에서 가열 처리를 행할 수 있다. 이는 가열 처리 시간의 단축으로 이어지며, 가열 처리 시의 기판의 휨을 저감하며, 이는 큰 크기의 기판에서 특히 유리하다.
- [0076] 가열 처리는 질소, 산소, 조건조 공기 (물 함유량이 20 ppm 이하, 바람직하게는 1 ppm 이하, 보다 바람직하게는 10 ppb 이하인 공기) 또는 회가스 (아르곤, 헬륨 등)의 분위기에서 행할 수 있다. 상기 질소, 산소, 조건조 공기 또는 회가스의 분위기는 바람직하게는 수소, 물 등을 함유하지 않는다.
- [0077] 회가스(154)로서는, 헬륨, 네온, 아르곤, 크세논, 크립톤 등을 적절하게 사용할 수 있다. 회가스(154)를, 도핑 방법, 이온 주입 방법 등에 의해 산화물 반도체 막(155)에 첨가한다. 대안적으로, 회가스(154)를 함유하는 플라즈마에 산화물 반도체 막(155)을 노출시켜, 산화물 반도체 막(155)에 회가스(154)를 첨가할 수 있다.
- [0078] 그 결과, 도 2의 (B)에 도시된 바와 같이, 결함을 포함하는 산화물 반도체 막(155a)을 형성할 수 있다.
- [0079] 이어서, 결함을 포함하는 산화물 반도체 막(155a)을, 불순물을 함유하는 분위기에서 가열한다. 불순물을 함유하는 분위기의 일례로서는 수소, 질소, 수증기 등 중 1종 이상을 함유하는 분위기가 있다.
- [0080] 대안적으로, 결함을 포함하는 산화물 반도체 막(155a)의 표면을, 붕소, 인, 알칼리 금속 또는 알칼리 토금속을 함유하는 용액에 노출시키고, 이어서 가열 처리를 행한다.
- [0081] 가열 처리는 바람직하게는 산화물 반도체 막에 불순물이 공급되도록 하는 조건에서 행하며, 대표적으로 250℃ 이상 350℃ 이하의 온도에서 행한다. 350℃ 이하의 온도에서 가열 처리를 행하면, 산화물 반도체 막으로부터의 불순물의 탈리를 최소화하면서, 산화물 반도체 막에 불순물을 공급할 수 있다. 상기 가열 처리를 0.1 Pa 이상, 바람직하게는 0.1 Pa 이상 101325 Pa 이하, 바람직하게는 1 Pa 이상 133 Pa 이하의 압력 분위기에서 행한다는 것에 유의한다.



- [0082] 그 결과, 도 2의 (C)에 도시된 바와 같이, 도전성을 갖는 산화물 반도체 막(155b)을 형성할 수 있다. 도전성을 갖는 산화물 반도체 막(155b)은 결합 및 불순물을 포함하며, 따라서 결합 및 불순물의 작용 때문에 산화물 반도체 막(155)보다 도전성이 더 높다. 결합 및 불순물의 작용의 일례로서, 산소 결손에 수소가 들어가서, 캐리어로서 기능하는 전자가 생성된다. 또 다른 예로서, 수소의 일부가 금속 원자와 결합된 산소와 결합하여, 캐리어로서 기능하는 전자가 생성된다. 이들 작용은 산화물 반도체 막의 도전성을 높인다. 그 결과, 도전성을 갖는 산화물 반도체 막(155b)은 전극 또는 배선으로서 기능한다. 또한, 도전성을 갖는 산화물 반도체 막(155b)은 투광성을 가져서, 투광성 전극 또는 배선을 얻을 수 있다.
- [0083] 상기 단계를 통해, 도전성을 갖는 산화물 반도체 막을 형성할 수 있다.
- [0084] <도전성을 갖는 산화물 반도체 막(155b)의 제작 방법 2>
- [0085] 도 2의 (A) 내지 (C)에 도시된 방법과 상이한, 도전성을 갖는 산화물 반도체 막(155b)을 형성하는 방법에 대해 도 3의 (A) 내지 (C)를 참조하여 기재할 것이다.
- [0086] 도 3의 (A)에 도시된 바와 같이, 기판(151) 위에 절연막(153)을 형성하고, 절연막(153) 위에 산화물 반도체 막(155)을 형성한다. 이어서, 진공 분위기에서 가열 처리를 행한다. 진공 분위기에서 가열 처리를 행하면, 산화물 반도체 막(155)으로부터 산소가 탈리하여, 도 3의 (B)에 도시된 바와 같이 결합을 포함하는 산화물 반도체 막(155a)을 형성할 수 있다. 도 3의 (B)에 도시된 산화물 반도체 막(155a)에 함유된 결합의 대표예로서는 산소 결손이 있다는 것에 유의한다.
- [0087] 가열 처리는 바람직하게는 산화물 반도체 막으로부터 산소가 탈리되도록 하는 조건에서 행하며, 대표적으로 350℃ 이상 800℃ 이하, 바람직하게는 450℃ 이상 800℃ 이하의 온도에서 행한다. 350℃ 이상의 온도에서 가열 처리를 행하면, 산화물 반도체 막으로부터 산소가 탈리한다. 한편, 800℃ 이하의 온도에서 가열 처리를 행하면, 산화물 반도체 막에서의 결정 구조를 유지하면서, 산화물 반도체 막으로부터 산소를 탈리시킬 수 있다. 나아가, 가열 처리는 바람직하게는 진공 분위기에서, 대표적으로  $1 \times 10^{-7}$  Pa 이상 10 Pa 이하, 바람직하게는  $1 \times 10^{-7}$  Pa 이상 1 Pa 이하, 바람직하게는  $1 \times 10^{-7}$  Pa 이상  $1 \times 10^{-1}$  Pa 이하의 압력 분위기에서 행한다.
- [0088] 이어서, 도 2의 (B)에서와 유사한 방법에 의해, 결합을 포함하는 산화물 반도체 막(155a)을, 불순물을 함유하는 분위기에서 가열한다. 불순물을 함유하는 분위기의 일례로서는 수소, 질소, 수증기 등 중 1종 이상을 함유하는 분위기가 있다.
- [0089] 대안적으로, 결합을 포함하는 산화물 반도체 막(155a)의 표면을, 붕소, 인, 알칼리 금속 또는 알칼리 토금속을 함유하는 용액에 노출시키고, 이어서 가열 처리를 행한다.
- [0090] 그 결과, 도 3의 (C)에 도시된 바와 같이, 도전성을 갖는 산화물 반도체 막(155b)을 형성할 수 있다.
- [0091] <도전성을 갖는 산화물 반도체 막(155b)의 제작 방법 3>
- [0092] 도 2의 (A) 내지 (C) 및 도 3의 (A) 내지 (C)에 도시된 방법과 상이한, 도전성을 갖는 산화물 반도체 막(155b)을 형성하는 방법에 대해 도 4의 (A) 내지 (C)를 참조하여 기재할 것이다.
- [0093] 도 4의 (A)에 도시된 바와 같이, 기판(151) 위에 절연막(153)을 형성한 후, 절연막(153) 위에 산화물 반도체 막(155)을 형성한다.
- [0094] 이어서, 도 4의 (B)에 도시된 바와 같이, 절연막(153) 및 산화물 반도체 막(155) 위에 수소를 함유하는 절연막(157)을 형성한다. 절연막(157)은 스퍼터링 방법, 플라즈마 CVD 방법 등에 의해 형성한다. 절연막(157)을 가열하면서 형성할 수 있다. 대안적으로, 절연막(157)을 형성한 후, 가열 처리를 행할 수 있다.
- [0095] 절연막(157)을 스퍼터링 방법, 플라즈마 CVD 방법 등에 의해 형성하는 경우에, 산화물 반도체 막(155)이 손상되어 그에 결합이 형성된다. 또한, 절연막(157)에 함유된 수소가 산화물 반도체 막(155)으로 이동한다. 그 결과, 도 4의 (C)에 도시된 바와 같이, 도전성을 갖는 산화물 반도체 막(155b)을 형성할 수 있다. 도전성을 갖는 산화물 반도체 막(155b)은 결합 및 불순물의 작용 때문에 산화물 반도체 막(155)보다 도전성이 더 높으며, 따라서 전극 또는 배선으로서 기능한다.
- [0096] <변형예 1>
- [0097] 본 실시형태에 나타난 도전성을 갖는 산화물 반도체 막(155b)은 금속 막을 사용하여 형성된 도전막보다 저항률이 더 높다. 따라서, 도전성을 갖는 산화물 반도체 막(155b)은 바람직하게는 리드 배선으로서 금속 막을 사용

하여 형성된 도전막과 접한다. 이러한 구조에 대해 도 5의 (A) 내지 (C)를 참조하여 기재할 것이다.

- [0098] 도 5의 (A)는 도전성을 갖는 산화물 반도체 막, 및 상기 산화물 반도체 막과 접하는 도전막의 단면도이다.
- [0099] 도 5의 (A)에서, 기관(151) 위에 절연막(153)이 형성되고, 절연막(153) 위에 도전성을 갖는 산화물 반도체 막(155b)이 형성되어 있다. 도전막(159)은 도전성을 갖는 산화물 반도체 막(155b) 위에 형성되어 있다.
- [0100] 도 5의 (B)에 도시된 바와 같이, 절연막(153), 도전성을 갖는 산화물 반도체 막(155b) 및 도전막(159) 위에 절연막(157)이 형성될 수 있다.
- [0101] 도 5의 (C)에 도시된 바와 같이, 절연막(157a) 위에 도전성을 갖는 산화물 반도체 막(155b)이 형성될 수 있다. 이러한 경우에, 도전성을 갖는 산화물 반도체 막(155b) 및 도전막(159) 위에 절연막(153a)이 형성될 수 있다.
- [0102] 도전막(159)은 알루미늄, 티타늄, 크로뮴, 니켈, 구리, 이트륨, 지르코늄, 몰리브데넘, 철, 코발트, 은, 탄탈럼 및 텅스텐 등의 임의의 금속, 및 임의의 이들 금속을 주성분으로서 함유하는 합금을 포함하는 단층 구조 또는 적층 구조를 갖도록 형성된다. 이러한 구조의 예는 실리콘을 함유하는 알루미늄 막의 단층 구조, 망가니즈를 함유하는 구리 막의 단층 구조, 티타늄 막 위에 알루미늄 막이 적층된 2층 구조, 텅스텐 막 위에 알루미늄 막이 적층된 2층 구조, 구리-마그네슘-알루미늄 합금 막 위에 구리 막이 적층된 2층 구조, 티타늄 막 위에 구리 막이 적층된 2층 구조, 텅스텐 막 위에 구리 막이 적층된 2층 구조, 망가니즈를 함유하는 구리 막 위에 구리 막이 적층된 2층 구조, 티타늄 막 또는 질화티타늄 막, 알루미늄 막 또는 구리 막, 및 티타늄 막 또는 질화티타늄 막이 이 순서대로 적층된 3층 구조, 몰리브데넘 막 또는 질화몰리브데넘 막, 알루미늄 막 또는 구리 막, 및 몰리브데넘 막 또는 질화몰리브데넘 막이 이 순서대로 적층된 3층 구조, 및 망가니즈를 함유하는 구리 막, 구리 막, 및 망가니즈를 함유하는 구리 막이 이 순서대로 적층된 3층 구조를 포함한다. 산화인듐, 산화주석 또는 산화아연을 함유하는 투명 도전 재료를 사용할 수 있다는 것에 유의한다.
- [0103] <변형예 2>
- [0104] 여기서, 도전성을 갖는 산화물 반도체 막 및 도전막의 변형예에 대해 도 6을 참조하여 기재할 것이다.
- [0105] 도 6에 나타난 바와 같이, 절연막(153)과 도전성을 갖는 산화물 반도체 막(155b) 사이에, 도전막(159)이 제공될 수 있다.
- [0106] 도전막(159)은 본 실시형태의 변형예 1에 나타난 도전막(159)의 임의의 구조를 가질 수 있다는 것에 유의한다.
- [0107] 본 실시형태에 나타난 구조, 방법 등은 다른 실시형태에 나타난 임의의 구조, 방법 등과 적절하게 조합하여 사용할 수 있다.
- [0108] (실시형태 2)
- [0109] 본 실시형태에서는, 실시형태 1에 나타난 도전성을 갖는 산화물 반도체 막을 포함하는 저항소자에 대해 도 7의 (A) 내지 (C), 도 8의 (A) 및 (B), 도 9의 (A) 및 (B) 및 도 10을 참조하여 기재할 것이다.
- [0110] 도 7의 (A) 내지 (C)는 반도체 장치에 포함되는 저항소자의 단면도이다.
- [0111] 도 7의 (A)에 도시된 저항소자(160a)는 도전성을 갖는 산화물 반도체 막(155b), 및 상기 도전성을 갖는 산화물 반도체 막(155b)과 접하는 한 쌍의 도전막(161 및 162)을 포함한다. 도전성을 갖는 산화물 반도체 막(155b) 및 한 쌍의 도전막(161 및 162)은, 기관(151) 위에 형성된 절연막(153) 위에 제공된다.
- [0112] 한 쌍의 도전막(161 및 162)은 단층 또는 2개 이상의 적층일 수 있다. 한 쌍의 도전막(161 및 162)은 실시형태 1에 나타난 도전막(159)과 유사한 구조, 재료 및 방법을 사용하여 적절하게 형성될 수 있다.
- [0113] 도 7의 (B)에 도시된 저항소자(160b)에서와 같이, 절연막(153), 도전성을 갖는 산화물 반도체 막(155b) 및 한 쌍의 도전막(161 및 162) 위에, 수소를 함유하는 절연막(157)이 형성될 수 있다.
- [0114] 도 7의 (C)에 도시된 저항소자(160c)에서와 같이, 수소를 함유하는 절연막(157a) 위에, 도전성을 갖는 산화물 반도체 막(155b) 및 한 쌍의 도전막(161 및 162)이 형성될 수 있다. 이러한 경우에, 도전성을 갖는 산화물 반도체 막(155b) 및 한 쌍의 도전막(161 및 162) 위에, 절연막(153a)이 제공될 수 있다.
- [0115] 도전성을 갖는 산화물 반도체 막(155b)은 한 쌍의 도전막(161 및 162)보다 저항률이 더 높다. 따라서, 한 쌍의 도전막(161 및 162) 사이에 도전성을 갖는 산화물 반도체 막(155b)을 제공하는 경우에, 저항소자로서의 기능이 달성된다.

- [0116] 도전성을 갖는 산화물 반도체 막(155b)은 결합 및 불순물을 포함한다. 결합 및 불순물의 작용은 도전성을 갖는 산화물 반도체 막(155b)의 도전성을 높인다. 또한, 도전성을 갖는 산화물 반도체 막(155b)은 투광성을 갖는다. 그 결과, 투광성을 갖는 저항소자가 얻어진다.
- [0117] <보호 회로의 회로 다이어그램>
- [0118] 여기서, 본 실시형태에 나타난 저항소자를 사용한 보호 회로에 대해 도 8의 (A) 및 (B)를 참조하여 기재할 것이다. 하기 기재에서 반도체 장치로서 표시 장치를 사용하였지만, 다른 반도체 장치에 보호 회로를 또한 사용할 수 있다.
- [0119] 도 8의 (A)는 반도체 장치에 포함되는 보호 회로(170a)의 구체적 예를 도시한다.
- [0120] 도 8의 (A)에 도시된 보호 회로(170a)는 배선(171)과 배선(172) 사이에, 저항소자(173) 및 다이오드-접속된 트랜지스터(174)를 포함한다.
- [0121] 저항소자(173)는 트랜지스터(174)와 직렬로 접속되어, 트랜지스터(174)를 통해 흐르는 전류 값을 제어하거나 또는 트랜지스터(174) 그 자체의 보호 저항소자로서 기능한다.
- [0122] 배선(171)은, 예를 들어 표시 장치에 포함되는 주사선, 데이터선, 또는 단자부로부터 구동 회로부로 리드되는 배선이다. 배선(172)은, 예를 들어 게이트 드라이버 또는 소스 드라이버에 전원을 공급하기 위한 전원선의 전위 (VDD, VSS 또는 GND)가 공급되는 배선이다. 대안적으로, 배선(172)은 공통 전위가 공급되는 배선 (공통선)이다.
- [0123] 예를 들어, 배선(172)은 바람직하게는 주사선 구동 회로에 전원, 특히 낮은 전위 전원을 공급하기 위한 전원선과 접속된다. 이는 게이트 신호선이 대부분의 기간에서 낮은 전위를 가지며, 따라서 배선(172)의 전위가 또한 낮은 경우에, 정상 동작 시에 게이트 신호선으로부터 배선(172)으로 누설되는 전류를 저감할 수 있기 때문이다.
- [0124] 도 8의 (A)에서 저항소자(173)는 다이오드-접속된 트랜지스터와 직렬로 접속되었지만, 본 발명의 일 실시형태는 이러한 예에 한정되지는 않으며, 저항소자(173)는 다이오드-접속된 트랜지스터와 병렬로 접속될 수 있다.
- [0125] 도 8의 (B)는 복수의 트랜지스터 및 복수의 저항소자를 포함하는 보호 회로를 도시한다.
- [0126] 도 8의 (B)에 도시된 보호 회로(170b)는 트랜지스터(174a, 174b, 174c 및 174d) 및 저항소자(173a, 173b 및 173c)를 포함한다. 보호 회로(170b)는 표시 장치에 포함되는 주사선 구동 회로, 신호선 구동 회로 및 화소부 중 1개 이상과 접속되는 배선(175, 176 및 177) 사이에 제공된다. 트랜지스터(174a)의 소스 전극으로서 기능하는 제1 단자는 게이트 전극으로서 기능하는 제2 단자와 접속되고, 트랜지스터(174a)의 드레인 전극으로서 기능하는 제3 단자는 배선(177)과 접속되어 있다. 트랜지스터(174b)의 소스 전극으로서 기능하는 제1 단자는 게이트 전극으로서 기능하는 제2 단자와 접속되고, 트랜지스터(174b)의 드레인 전극으로서 기능하는 제3 단자는 트랜지스터(174a)의 제1 단자와 접속되어 있다. 트랜지스터(174c)의 소스 전극으로서 기능하는 제1 단자는 게이트 전극으로서 기능하는 제2 단자와 접속되고, 트랜지스터(174c)의 드레인 전극으로서 기능하는 제3 단자는 트랜지스터(174b)의 제1 단자와 접속되어 있다. 트랜지스터(174d)의 소스 전극으로서 기능하는 제1 단자 및 게이트 전극으로서 기능하는 제2 단자는 배선(177) 및 배선(175)과 접속되어 있다. 트랜지스터(174d)의 드레인 전극으로서 기능하는 제3 단자는 트랜지스터(174c)의 제1 단자와 접속되고 있다. 저항소자(173a 및 173c)는 배선(177)에 제공된다. 저항소자(173b)는 배선(176), 트랜지스터(174b)의 제1 단자 및 트랜지스터(174c)의 제3 단자 사이에 제공된다.
- [0127] 배선(175)은, 예를 들어 낮은 전원 전위 VSS가 공급되는 전원선으로서 사용할 수 있다. 배선(176)은, 예를 들어 공통선으로서 사용할 수 있다. 배선(177)은, 예를 들어 높은 전원 전위 VDD가 공급되는 전원선으로서 사용할 수 있다.
- [0128] 도 8의 (A) 및 (B)에 도시된 저항소자로서 본 실시형태의 저항소자를 사용할 수 있다. 저항소자에 포함되는 도전성을 갖는 산화물 반도체 막의 형상, 구체적으로 길이 또는 폭을 조정함으로써, 저항소자의 저항 값을 변화시킬 수 있다. 도 9의 (A) 및 (B)는 저항소자(160d)의 일례를 도시한다. 도 9의 (A)는 저항소자(160d)의 상면도이고, 도 9의 (B)는 도 9의 (A)의 일점 파선 A-B를 따르는 단면도이다. 도 9의 (A) 및 (B)에 도시된 저항소자(160d)에서, 도전성을 갖는 산화물 반도체 막(155c)은 지그재그의 상면 형상을 가져서, 저항소자의 저항 값을 제어할 수 있다.
- [0129] 상기 기재된 바와 같이, 보호 회로(170b)는 복수의 다이오드-접속된 트랜지스터 및 복수의 저항소자를



포함한다. 즉, 보호 회로(170b)에서, 다이오드-접속된 트랜지스터 및 저항소자를 병렬로 조합할 수 있다.

- [0130] 보호 회로를 사용하여, 반도체 장치는 정전 방전 (ESD)으로 인한 과전류에 대해 증진된 내성을 가질 수 있다. 따라서, 신뢰성이 개선된 반도체 장치를 제공할 수 있다.
- [0131] 보호 회로에 저항소자를 사용하고, 상기 저항소자의 저항 값을 적절하게 변화시킬 수 있기 때문에, 보호 회로에 사용되는 다이오드-접속된 트랜지스터 등을 또한 보호할 수 있다.
- [0132] 본 실시형태에 나타난 구조는 다른 실시형태에 나타난 임의의 구조와 적절하게 조합하여 사용할 수 있다.
- [0133] <변형예 1>
- [0134] 여기서, 저항소자의 변형예를 도 10을 참조하여 기재할 것이다.
- [0135] 도 10에 도시된 저항소자(160g)는 절연막(153)과 도전성을 갖는 산화물 반도체 막(155b) 사이에, 한 쌍의 도전막(163 및 164)을 포함한다.
- [0136] 한 쌍의 도전막(163 및 164)은 실시형태 1에 나타난 도전막(159)과 유사한 구조 및 재료를 사용하여 형성될 수 있다.
- [0137] 본 실시형태에 나타난 구조, 방법 등은 다른 실시형태에 나타난 임의의 구조, 방법 등과 적절하게 조합하여 사용할 수 있다.
- [0138] (실시형태 3)
- [0139] 본 실시형태에서는, 실시형태 1에 나타난 도전성을 갖는 산화물 반도체 막을 포함하는 용량소자에 대해 도 11의 (A) 및 (B) 및 도 12를 참조하여 기재할 것이다.
- [0140] 도 11의 (A) 및 (B)는 반도체 장치에 포함되는 용량소자의 단면도이다.
- [0141] 도 11의 (A)에 도시된 용량소자(180a)는 도전성을 갖는 산화물 반도체 막(155b), 상기 도전성을 갖는 산화물 반도체 막(155b)과 접하는 절연막(157), 및 산화물 반도체 막(155b)과 중첩되며 절연막(157)이 사이에 배치된 도전막(181)을 포함한다. 또한, 도전성을 갖는 산화물 반도체 막(155b) 또는 도전막(181)과 접하여, 리드 배선으로서 기능하는 도전막이 형성될 수 있다. 여기서, 도전성을 갖는 산화물 반도체 막(155b)과 접하는 도전막(159)이 제공된다. 도전성을 갖는 산화물 반도체 막(155b), 절연막(157) 및 도전막(159)은, 기판(151) 위에 형성된 절연막(153) 위에 제공된다는 것에 유의한다.
- [0142] 도전막(159)은 실시형태 1에 나타난 도전막(159)과 유사한 구조, 재료 및 방법을 사용하여 형성될 수 있다.
- [0143] 도 11의 (B)에 도시된 용량소자(180b)에서와 같이, 절연막(157a) 위에, 도전성을 갖는 산화물 반도체 막(155b) 및 도전막(159)이 형성될 수 있다. 이러한 경우에, 도전성을 갖는 산화물 반도체 막(155b)과 도전막(181) 사이에, 절연막(153a)이 제공될 수 있다.
- [0144] 도전막(181)은 알루미늄, 티타늄, 크로뮴, 니켈, 구리, 이트륨, 지르코늄, 몰리브데넘, 철, 코발트, 은, 탄탈럼 및 텅스텐 등의 임의의 금속, 및 임의의 이들 금속을 주성분으로서 함유하는 합금을 포함하는 단층 구조 또는 적층 구조를 갖도록 형성된다. 이러한 구조의 예는 실리콘을 함유하는 알루미늄 막의 단층 구조, 망가니즈를 함유하는 구리 막의 단층 구조, 티타늄 막 위에 알루미늄 막이 적층된 2층 구조, 텅스텐 막 위에 알루미늄 막이 적층된 2층 구조, 구리-마그네슘-알루미늄 합금 막 위에 구리 막이 적층된 2층 구조, 티타늄 막 위에 구리 막이 적층된 2층 구조, 텅스텐 막 위에 구리 막이 적층된 2층 구조, 망가니즈를 함유하는 구리 막 위에 구리 막이 적층된 2층 구조, 티타늄 막 또는 질화티타늄 막, 알루미늄 막 또는 구리 막, 및 티타늄 막 또는 질화티타늄 막이 이 순서대로 적층된 3층 구조, 몰리브데넘 막 또는 질화몰리브데넘 막, 알루미늄 막 또는 구리 막, 및 몰리브데넘 막 또는 질화몰리브데넘 막이 이 순서대로 적층된 3층 구조, 및 망가니즈를 함유하는 구리 막, 구리 막, 및 망가니즈를 함유하는 구리 막이 이 순서대로 적층된 3층 구조를 포함한다.
- [0145] 도전막(181)은 도전막(159)과 유사한 구조 및 재료를 사용하여 형성될 수 있다.
- [0146] 도전막(181)으로서 투광성 도전막을 사용할 수 있다. 투광성 도전막은 산화텅스텐을 포함하는 인듐 산화물, 산화텅스텐을 포함하는 인듐 아연 산화물, 산화티타늄을 포함하는 인듐 산화물, 산화티타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물 (ITO), 인듐 아연 산화물, 산화실리콘이 첨가된 인듐 주석 산화물 등을 사용하여 형성될 수 있다.

[0147] 도전성을 갖는 산화물 반도체 막(155b)은 결합 및 불순물을 포함한다. 결합 및 불순물의 작용은 도전성을 갖는 산화물 반도체 막(155b)의 도전성을 높인다. 또한, 도전성을 갖는 산화물 반도체 막(155b)은 투광성을 갖는다. 도전막(181)으로서 투광성 도전막을 사용함으로써, 투광성을 갖는 용량소자가 얻어진다.

[0148] <변형예 2>

[0149] 도 12에 도시된 용량소자(180e)는 절연막(153)과 도전성을 갖는 산화물 반도체 막(155b) 사이에, 도전막(159)을 포함한다.

[0150] 본 실시형태에 나타난 구조, 방법 등은 다른 실시형태에 나타난 임의의 구조, 방법 등과 적절하게 조합하여 사용할 수 있다.

[0151] (실시형태 4)

[0152] 본 실시형태에서는, 물 (이하, H<sub>2</sub>O로 지칭됨)이 산화물 반도체 막 (이하, IGZO로 지칭됨)에 들어가고, H<sub>2</sub>O가 H 및 OH로 분해되었을 때에 얻어지는 H 및 OH의 거동에 대해 기재한다.

[0153] <1. IGZO 중의 H<sub>2</sub>O>

[0154] 먼저, IGZO 중의 H<sub>2</sub>O의 영향을 측정하기 위해, IGZO에 H<sub>2</sub>O가 첨가된 모델로 계산을 행했다. 구체적인 계산내용은 하기와 같다.

[0155] InGaZnO<sub>4</sub> 결정 모델 (112 원자)에 H<sub>2</sub>O 분자를 배치하고, 구조 최적화 계산을 행했다. 계산 모델을 도 13에 나타내며, 여기서 1, 2 및 3은 H<sub>2</sub>O의 초기 배치를 나타낸다.

[0156] 계산 조건을 표 1에 나타낸다. H<sub>2</sub>O가 첨가된 모델의 최적화 구조를 도 14에 도시한다.

[0157] <표 1>

소프트웨어	VASP
모델	InGaZnO <sub>4</sub> 결정 (112 원자) + nH <sub>2</sub> O (n = 1 내지 3)
계산내용	구조 최적화 (격자 상수 포함)
범관수	GGA/PBE
컷-오프 에너지	500 eV
K 점	2×2×3

[0158]

[0159] 어느 모델에서도, H<sub>2</sub>O는 H 및 OH로 분해되었다. 이는 IGZO 중에서는 H<sub>2</sub>O 분자가 안정하게 존재하기 어렵고, H 및 OH로 분해되는 것을 나타낸다.

[0160] 이어서, IGZO 중의 H와 OH에 대해 기재할 것이다.

[0161] <2. IGZO 중의 H>

[0162] <2-(1). H의 확산>

[0163] 여기서, IGZO 결정에서의 수소 이동성을, 수소 이동 경로를 따르는 활성화 장벽으로 측정했다. 2가지 종류의 수소 이동은 산소 원자들 사이에서의 호핑 및 1개의 산소 위에서의 이동으로 가정하였다는 것에 유의한다.

[0164] 도 15는 단결정 IGZO (c-IGZO)에서의 상이한 영역을 나타내는 모식도이며, 이들 각각에서 각각 수소의 확산 경로를 분석했다. InO<sub>2</sub> 영역, (Ga, Zn)O 영역 및 InO<sub>2</sub>-(Ga, Zn)O 영역 각각에서의 경로 (a-b면 방향) 및 각각의 영역을 가로지르는 경로 (c축 방향)에 대해 측정을 행했다.

[0165] 비엔나(Vienna) 순이론적 시뮬레이션 패키지 (VASP)를 사용하여 제1 원리 전자 상태 및 분자 동역학 시뮬레이션에 의해 활성화 장벽을 계산했다. 화학 반응 경로를 탐색하기 위한 점극적 탄성 밴드 (NEB) 방법을 또한 사용했다. NEB 방법은 주어진 초기 상태와 최종 상태 사이의 최소 에너지 경로를 판단하기 위한 기술이다.

[0166] <<InO<sub>2</sub>면과 (Ga, Zn)O면 사이의 중간 영역>>

- [0167] 도 16의 (A) 내지 (D)는 InO<sub>2</sub>면과 (Ga, Zn)O면 사이의 영역에서의 수소 이동 경로 및 상기 경로를 따르는 활성화 장벽을 나타낸다. 경로 위에서 가장 안정한 구조의 에너지를 에너지의 원점으로 했다는 것에 유의한다. 도 16의 (A) 및 (C)는 수소 이동 경로를 나타내며, 이들은 각각 경로 A 및 경로 B로 지칭된다. 도 16의 (A) 내지 (D)에서의 숫자는 수소의 이동 순서를 나타낸다는 것에 유의한다. 경로 A 위에서, 수소는 3으로부터 4로 직접 이동하는 반면에, 경로 B 위에서, 수소는 5를 통해 3으로부터 4로 이동한다.
- [0168] 도 16의 (B)는 수소가 (1)로부터 (4)까지 이동하는 경로 A를 따르는 활성화 장벽의 계산 결과를 나타내고, 도 16의 (D)는 수소가 5를 통해 (1)로부터 (4)까지 이동하는 경로 B를 따르는 활성화 장벽의 계산 결과를 나타낸다.
- [0169] 도 16의 (D)에 나타난 활성화 장벽이 도 16의 (B)에 나타난 것보다 더 낮다. 따라서, 수소가 3부터 4로 이동하는 경우에, 아마도 활성화 장벽이 낮은 경로 B를 따를 것이다. 즉, 수소가 InO<sub>2</sub>면과 (Ga, Zn)O면 사이의 영역을 이동하는 경우에, 활성화 장벽이 낮은 경로 B를 따를 것이다.
- [0170] <<(Ga, Zn)O 영역>>
- [0171] 이어서, (Ga, Zn)O 영역에서의 수소 이동 경로 및 상기 경로를 따르는 활성화 장벽을 도 17의 (A) 및 (B)에 나타낸다. 경로 위에서 가장 안정한 구조의 에너지를 에너지의 원점으로 했다는 것에 유의한다. 도 17의 (A)는 (Ga, Zn)O 영역에서의 수소 이동 경로를 나타낸다. 도 17의 (A)에서의 숫자는 수소의 이동 순서를 나타낸다. 도 17의 (B)는 도 17의 (A)에서 수소가 (1)로부터 (4)까지 이동하는 경로를 따르는 활성화 장벽의 계산 결과를 나타낸다.
- [0172] 도 17의 (B)는 (Ga, Zn)O 영역에서의 수소 이동 경로가 대략 0.16 eV의 낮은 활성화 장벽을 갖는 것을 나타낸다. 장벽의 높이만을 고려하면, 수소는 InO<sub>2</sub>면과 (Ga, Zn)O면 사이의 영역에서보다 (Ga, Zn)O 영역에서 이동할 가능성이 높을 것이다.
- [0173] <<InO<sub>2</sub> 영역>>
- [0174] 이어서, InO<sub>2</sub> 영역에서의 수소 이동 경로 및 상기 경로를 따르는 활성화 장벽을 도 18의 (A) 및 (B)에 나타낸다. 경로 위에서 가장 안정한 구조의 에너지를 에너지의 원점으로 했다는 것에 유의한다. 도 18의 (A)는 InO<sub>2</sub> 영역에서의 수소 이동 경로를 나타낸다. 도 18의 (A)에서의 숫자는 수소의 이동 순서를 나타낸다. 도 18의 (B)는 수소가 (1)로부터 (4)까지 이동하는 경로를 따르는 활성화 장벽의 계산 결과를 나타낸다.
- [0175] 도 18의 (A) 및 (B)는 InO<sub>2</sub> 영역에서의 경로의 활성화 장벽이 다른 영역에서의 것보다 훨씬 더 높은 것을 나타낸다. 따라서, 수소는 다른 영역에서보다 InO<sub>2</sub> 영역에서 일어날 가능성이 낮을 것이다.
- [0176] 도 19의 (A) 및 (B)는 c축 방향을 따르는 수소 이동 경로 및 상기 경로를 따르는 활성화 장벽을 나타낸다. 경로 상에서 가장 안정한 구조의 에너지를 에너지의 원점으로 했다는 것에 유의한다. 도 19의 (A)는 c축 방향을 따르는 수소 이동 경로를 나타낸다. 도 19의 (A)에서의 숫자는 수소의 이동 순서를 나타낸다. 도 19의 (B)는 수소가 (1)로부터 (8)까지 이동하는 경로를 따르는 활성화 장벽의 계산 결과를 나타낸다.
- [0177] 도 19의 (A) 및 (B)는 (Ga, Zn)O 영역에 들어가거나 그로부터 나올 때에 높은 활성화 장벽이 존재하는 것을 나타낸다. 이는 아마도 수소 이동 경로가 M (금속)-O 결합을 차단하기 때문인 것으로 생각된다. 수소가 InO<sub>2</sub> 영역에서 확산하는 경우에도 높은 활성화 장벽이 존재하는 것으로 밝혀졌다. 따라서, c축 방향에서 연속적으로 수소가 이동할 가능성이 낮을 것이다. 높은 활성화 장벽의 원인은 In의 큰 이온 반경일 수 있다는 것에 유의한다.
- [0178] 계산에 의해 얻어진 활성화 장벽 및 하기 수학적 식 1로부터, 반응 빈도 ( $\Gamma$ )를 계산했다.
- [0179] <수학적 식 1>
- $$\Gamma = \nu \exp\left(-\frac{E_a}{k_B T}\right)$$
- [0180]
- [0181] 상기 식에서,  $E_a$ 는 경로를 따르는 최대 활성화 장벽;  $k_B$ 는 볼츠만(Boltzmann) 상수; T는 절대 온도;  $\nu$ 는 빈도

인자를 나타낸다.

[0182] 최종적으로, 각각의 경로의 최대 장벽 높이로부터 산정된 이동 빈도를 표 2에 나타낸다.

[0183] <표 2>

경로		최대 장벽 높이 (eV)	450°C	27°C
InO <sub>2</sub> 면과 (Ga, Zn)O 면 사이의 영역 (a-b 평면 방향)	A	1.12	1.6E+05	1.0E-06
InO <sub>2</sub> 면과 (Ga, Zn)O 면 사이의 영역 (a-b 평면 방향)	B	0.23	2.5E+11	1.4E+09
(Ga, Zn)O 영역 (a-b 평면 방향)		0.16	7.7E+11	2.1E+10
InO <sub>2</sub> 영역 (c축 방향)		1.45	8.0E+02	4.6E-12
(Ga, Zn)O 영역 내로의 (외로의) 경로 (c축 방향)		0.9	5.4E+06	7.8E-03

[0184]

[0185] 27°C 및 450°C의 온도에서, InO<sub>2</sub>면과 (Ga, Zn)O면 사이의 영역 및 (Ga, Zn)O 영역에서의 이동 빈도가 가장 높았다. 반면에, InO<sub>2</sub> 영역 (c축 방향)에서는 높은 활성화 장벽 때문에, 이동 빈도가 낮은 경향이 있었다. 이는 완전 결정계에서 수소가 우선적으로 a-b면을 따라 확산한다 것을 나타낸다. 그러나, 450°C의 가열 처리에서는, 수소는 IGZO 막에서 충분히 확산되는 것으로 밝혀졌다.

[0186] <2-(2). 산소 결손 V<sub>O</sub>가 용이하게 형성되는 부위>

[0187] 금속과 산소 사이의 결합의 강도는 금속의 종류 또는 가수에 따라 달라지며, 따라서 IGZO 중에서의 산소 결손 V<sub>O</sub>의 형성 용이성은 아마도 산소와 결합하는 금속의 종류, 수, 거리 등에 의해 판단될 것으로 생각된다. InGaZnO<sub>4</sub> 결정 모델에 대해 산소 결손의 형성 용이성을 계산했다.

[0188] 계산에 사용된 모델은 도 20에 나타낸 InGaZnO<sub>4</sub> 결정 모델 (112 원자)이다. (Ga, Zn)O 영역 내에서, Ga 및 Zn은 에너지적으로 안정하도록 배치되었다. 이러한 경우에, 산소와 결합하는 금속의 종류 및 수에 따라 산소 부위의 4가지 종류가 존재한다 (도 20에 나타낸 (1) 내지 (4)). 4가지 산소 부위에 대해 표 3에 나타낸다.

[0189] <표 3>

산소 부위		결합 상대
InO <sub>2</sub> 층	1	In×3, Ga×1
	2	In×3, Zn×1
(Ga, Zn)O 층	3	Ga×2, Zn×2
	4	Ga×2, Zn×2

[0190]

[0191] 상기 모델에서의 각각의 산소 부위로부터 산소를 1개 뽑아내어, 산소 결손 모델을 얻었다. 이어서, 구조 최적화 후의 각각의 모델의 전체 에너지를 비교했다. 계산 조건을 표 4에 나타낸다.

[0192] <표 4>

소프트웨어	VASP
범관수	GGA/PBE
유사포텐셜	PAW
컷-오프 에너지	500 eV
K 점	2×2×3

[0193]

[0194] 각각의 최적화된 구조의 전체 에너지를 비교했다. 산소 부위(4)의 산소 결손 모델의 전체 에너지를 기준 (0.0 eV)으로 하여, 전체 에너지의 상대 값을 도 21에 나타낸다. 도 21은 산소 결손이 산소 부위(4)에서 가장 형성되기 쉽고, 산소 부위(2)에서도 비교적 형성되기 쉬운 것을 나타낸다. 반면에, 산소 부위(1 및 3)에서는 산소

부위(2 및 4)에서보다 산소 결손이 형성될 가능성이 낮을 것이다.

[0195] <2-(3).  $H_0$ 의 형성 용이성 및 안정성>

[0196] <2-(1). H의 확산>에 기재된 계산 결과는 IGZO 중에서, 특히 가열 처리 시에 H가 확산된다는 것을 나타내었다. 여기서, 존재하는 경우에 H가 산소 결손  $V_O$ 에 용이하게 들어갈 것인지의 여부에 대해 계산을 행했다. 산소 결손  $V_O$  중에 H가 있는 상태는  $H_0$  ( $V_OH$ 로도 지칭됨)로 지칭된다.

[0197] 도 22에 나타난 InGaZnO<sub>4</sub> 결정 모델을 계산에 사용했다. 여기서,  $H_0$  중의 H가  $V_O$ 로부터 방출되고 산소와 결합하는 반응 경로를 따르는 활성화 장벽 ( $E_a$ )을 NEB 방법에 의해 계산했다. 계산 결과를 표 5에 나타낸다.

[0198] <표 5>

소프트웨어	VASP
계산수법	NEB 방법
범관수	GGA/PBE
유사포텐셜	PAW
컷-오프 에너지	500 eV
K 점	2×2×3

[0199]

[0200] <2-(2). 산소 결손  $V_O$ 가 용이하게 형성되는 부위>에 기재된 계산 결과는 산소 결손  $V_O$ 가 용이하게 형성되는 2개의 산소 부위가 존재한다는 것을 나타낸다. 먼저, 산소 결손  $V_O$ 가 용이하게 형성되는 산소 부위 중 1개인, 3개의 In 및 1개의 Zn과 결합된 산소 부위 (도 22에서의 (1))에 대해 계산을 행했다.

[0201] 초기 상태의 모델을 도 23의 (A)에 나타내고, 최종 상태의 모델을 도 23의 (B)에 나타낸다. 또한, 초기 상태 및 최종 상태에서 계산된 활성화 장벽 ( $E_a$ )을 도 24에 나타낸다. 여기서, 초기 상태는 산소 결손  $V_O$  중에 H가 존재하는 상태 ( $H_0$ )를 지칭하고, 최종 상태는 산소 결손  $V_O$ 를 포함하며, 1개의 Ga 및 2개의 Zn과 결합된 산소와, H가 결합된 상태 ( $H-O$ ,  $V_O +$  결합-H로서도 지칭됨)를 갖는 구조를 지칭한다는 것에 유의한다.

[0202] 계산 결과로부터, 산소 결손  $V_O$  중의 H가 또 다른 O와 결합하기 위해서는 대략 1.52 eV의 에너지가 필요하며, O와 결합된 H가 산소 결손  $V_O$  중에 들어가기 위해서는 대략 0.46 eV의 에너지가 필요하다.

[0203] 상기 계산에 의해 얻어진 활성화 장벽 ( $E_a$ ) 및 상기 수학적 1로부터 반응 빈도 ( $\Gamma$ )를 계산했다. 수학적 1에서,  $k_B$ 는 볼츠만 상수를 나타내고, T는 절대 온도를 나타낸다.

[0204] 빈도 인자  $\nu = 10^{13}$  [1/sec]인 것으로 가정하여 350℃에서의 반응 빈도를 계산했다. 도 23의 (A)에 나타난 모델로부터 도 23의 (B)에 나타난 모델로의 H의 이동 빈도는  $5.52 \times 10^0$  [1/sec]인 반면에, 도 23의 (B)에 나타난 모델로부터 도 23의 (A)에 나타난 모델로의 H의 이동하는 빈도는  $1.82 \times 10^9$  [1/sec]였다. 이는 IGZO 중에서 확산하는 H가 근처에 산소 결손  $V_O$ 이 존재하면  $H_0$ 가 형성될 가능성이 높고, 일단  $H_0$ 가 형성되면 산소 결손  $V_O$ 로부터 H가 방출되기 어렵다는 것을 시사한다.

[0205] 이어서, <2-(2). 산소 결손  $V_O$ 가 용이하게 형성되는 부위>에 기재된 계산 결과를 기초로 하여, 산소 결손  $V_O$ 가 용이하게 형성되는 다른 산소 부위인, 1개의 Ga 및 2개의 Zn과 결합된 산소 부위 (도 22에서의 (2))에 대해 계산을 행했다.

[0206] 초기 상태의 모델을 도 25의 (A)에 나타내고, 최종 상태의 모델을 도 25의 (B)에 나타낸다. 초기 상태 및 최종 상태에서 계산된 활성화 장벽 ( $E_a$ )을 도 26에 나타낸다. 여기서, 초기 상태는 산소 결손  $V_O$  중에 H가 존재하는 상태 ( $H_0$ )를 지칭하고, 최종 상태는 산소 결손  $V_O$ 를 포함하며 1개의 Ga 및 2개의 Zn과 결합된 산소와 H가 결합된 상태 ( $H-O$ )를 갖는 구조를 지칭한다는 것에 유의한다.

[0207] 계산 결과로부터, 산소 결손  $V_O$  중의 H가 또 다른 O와 결합하기 위해서는 대략 1.75 eV의 에너지가 필요하며, O

와 결합된 H가 산소 결손  $V_O$  중에 들어가기 위해서는 대략 0.35 eV의 에너지가 필요하다.

[0208] 상기 계산에 의해 얻어진 활성화 장벽 ( $E_a$ ) 및 상기 수학적 1로부터 반응 빈도 ( $\Gamma$ )를 계산했다.

[0209] 빈도 인자  $\nu = 10^{13}$  [1/sec]인 것으로 가정하여 350℃에서의 반응 빈도를 계산했다. 도 25의 (A)에 나타난 모델로부터 도 25의 (B)에 나타난 모델로의 H의 이동 빈도는  $7.53 \times 10^{-2}$  [1/sec]인 반면에, 도 25의 (B)에 나타난 모델로부터 도 25의 (A)에 나타난 모델로의 H의 이동 빈도는  $1.44 \times 10^{10}$  [1/sec]였다. 이는 일단  $H_0$ 가 형성되면 산소 결손  $V_O$ 로부터 H가 방출되기 어렵다는 것을 시사한다.

[0210] 상기 결과로부터, 가열 처리 시에 IGZO 중의 H가 용이하게 확산되고, 산소 결손  $V_O$ 이 존재하는 경우에는 H가 산소 결손  $V_O$ 에 들어가서  $H_0$ 가 될 가능성이 있는 것으로 밝혀졌다.

[0211] <2-(4).  $H_0$ 의 전이 레벨>

[0212] <2-(3).  $H_0$ 의 형성 용이성 및 안정성>에 기재된 NEB 방법에 의한 계산은, IGZO 중에 산소 결손  $V_O$  및 H가 존재하는 경우에, 산소 결손  $V_O$  및 H가  $H_0$ 를 용이하게 형성하며,  $H_0$ 가 안정한 것을 나타낸다.  $H_0$ 가 캐리어 트랩에 관여할 것인지의 여부를 판단하기 위해,  $H_0$ 의 전이 레벨을 계산했다.

[0213] 계산에 사용된 모델은 도 22에 나타난 InGaZnO<sub>4</sub> 결정 모델 (112 원자)이다. 산소 결손  $V_O$ 가 용이하게 형성되는 산소 부위는 3개의 In 및 1개의 Zn과 결합된 도 22에서의 산소 부위(1), 또는 1개의 Ga 및 2개의 Zn과 결합된 도 22에서의 산소 부위(2)이다. 따라서, 산소 부위(1 및 2)의  $H_0$  모델을 제조하여 전이 레벨을 계산했다. 계산 조건을 표 6에 나타낸다.

[0214] <표 6>

소프트웨어	VASP
모델	InGaZnO <sub>4</sub> 결정 (112 원자 )
범관수	HSE06
교환항의 혼합비	0.25
유사포텐셜	GGA-PBE
컷-오프 에너지	800 eV
K 점	1×1×1

[0215]

[0216] 실험치에 가까운 밴드 갭을 갖도록 교환항의 혼합비를 조정했다. 그 결과, 결합이 없는 InGaZnO<sub>4</sub> 결정 모델의 밴드 갭은 3.08 eV였으며, 이는 실험치인 3.15 eV에 가까웠다.

[0217] 결합 D를 갖는 모델의 전이 레벨 ( $\varepsilon(q/q')$ )은 하기 수학적 2에 의해 계산될 수 있다.  $\Delta E(D^q)$ 는 결합 D의 전하 q에서의 형성 에너지를 나타내며, 이는 수학적 3으로부터 계산된다는 것에 유의한다.

[0218] <수학적 2>

$$\varepsilon(q/q') = \frac{\Delta E(D^q) - \Delta E(D^{q'})}{q' - q}$$

[0219]

[0220] <수학적 3>

$$\Delta E(D^q) = E_{tot}(D^q) - E_{tot}(\text{벌크}) + \sum_i \Delta n_i \mu_i + q(\varepsilon_{VBM} + \Delta V_q + E_F)$$

[0221]

[0222] 상기 수학적 2 및 3에서,  $E_{tot}(D^q)$ 는 결합 D를 갖는 모델의 전하 q에서의 전체 에너지를 나타내고,  $E_{tot}(\text{벌크})$ 는 결합이 없는 모델 (완전 결정)의 전체 에너지를 나타내고,  $\Delta n_i$ 는 결합에 기여하는 원자 i의 수의 변화를 나타내



고,  $\mu_i$ 는 원자  $i$ 의 화학 포텐셜을 나타내고,  $\varepsilon_{\text{VBM}}$ 은 결합이 없는 모델에서의 가전자대 최대치의 에너지를 나타내고,  $\Delta V_q$ 는 정전 포텐셜에 관한 보정항을 나타내고,  $E_F$ 는 페르미(Fermi) 에너지이다.

[0223] 계산된  $H_0$ 의 전이 레벨을 도 27에 나타낸다. 도 27에서의 수치는 전도대 하단부로부터 깊이를 나타낸다. 도 27에서, 산소 부위(1)에서의  $H_0$ 의 전이 레벨은 전도대 하단부로부터 0.05 eV에 존재하고, 산소 부위(2)에서의  $H_0$ 의 전이 레벨은 전도대 하단부로부터 0.11 eV에 존재한다. 따라서, 각각의  $H_0$ 는 전자 트랩에 관여할 것이며, 즉  $H_0$ 는 공여체로서 거동할 것으로 밝혀졌다. 또한,  $H_0$ 를 포함하는 IGZO는 도전성을 갖는 것으로 밝혀졌다.

[0224] <2-(5). 표면으로부터의  $H_2O$  탈리>

[0225] 이어서, IGZO 중의 H가 IGZO의 표면으로부터  $H_2O$ 로서 탈리하는 단계에 대해 계산을 행했다.

[0226] InGaZnO<sub>4</sub> 결정 모델의 표면을 벽개면인 것으로 가정했다. 즉, 최외부 표면이 (Ga, Zn)O면인 InGaZnO<sub>4</sub> 결정 모델 (112 원자)을 사용했다. 계산 모델을 도 28에 나타내고, 계산 조건을 표 7에 나타낸다.

[0227] <표 7>

소프트웨어	VASP
범관수	GGA/PBE
유사포텐셜	PAW
컷-오프 에너지	500 eV
K 점	2×2×1

[0228]

[0229] 반응 경로의 초기 구조가 2개의 수소가 InO<sub>2</sub> 층의 O와 결합된 InGaZnO<sub>4</sub> 표면 모델인 것으로 가정하여,  $H_2O$  탈리 단계를 하기와 같이 계산했다.

[0230] 단계 (1)로부터 (2): 제1 H가 표면 위의 O 원자의 내측에 결합하는 단계.

[0231] 단계 (2)로부터 (3): 제1 H가 표면 위의 O 원자의 외측으로 나오는 단계.

[0232] 단계 (3)으로부터 (4): 제2 H가 접근하는 단계.

[0233] 단계 (4)로부터 (5): 제2 H가 표면 위의 OH의 내측에 결합하는 단계.

[0234] 단계 (5)로부터 (6): 제2 H가 표면 위의 O 원자의 외측으로 나오는 단계.

[0235] 단계 (6)으로부터 (7):  $H_2O$ 가 탈리하는 단계.

[0236] 상기 단계의 반응 경로에서의 모델의 구조를 도 29에 나타낸다. 초기 구조의 에너지를 기준 (0.00 eV)으로 한 에너지 변화를 도 30에 나타낸다. 도 30에서의 상측은 도 29의 단계 (1)로부터 (7)에서의 에너지 변화를 나타내고, 도 30에서의 하측은 단계 (1)로부터 (7)에서의 IGZO 중 및 IGZO의 표면 위에서의 O 및 H 원자의 반응의 모식적 다이어그램을 나타낸다는 것에 유의한다.

[0237] 계산 결과는 표면 위의 1개의 O 원자에 2개의 H가 결합된 상태에서부터  $H_2O$ 가 탈리하여 산소 결손  $V_O$ 이 형성되는 반응 경로 (단계 (6)으로부터 (7))에서, 최고 에너지인 1.04 eV가 얻어진 것을 나타내었다. 따라서, 단계 (6)으로부터 (7)의 반응 빈도 ( $\Gamma$ )를 수학적 1에 의해 계산했다.

[0238] 빈도 인자  $\nu = 1 \times 10^{13}$  [1/sec]인 것으로 가정하여 350℃에서의 반응 빈도를 계산한 바, 반응 빈도  $\Gamma = 3.66 \times 10^4$  [1/sec]가 얻어졌다. 이는 H가  $H_2O$ 로서 탈리되어 산소 결손  $V_O$ 이 실제 공정에서 형성될 수 있는 것을 시사한다.

[0239] (실시형태 5)

[0240] 본 실시형태에서는, 본 발명의 일 실시형태인 표시 장치에 대해 도면을 참조하여 기재할 것이다. 본 실시형태에서는, 실시형태 1에 나타낸 도전성을 갖는 산화물 반도체 막이 제공된 용량소자를 포함하는 표시 장치에 대해 도 31의 (A) 내지 (C), 도 32 및 도 33을 참조하여 기재할 것이다.

- [0241] 도 31의 (A)는 표시 장치의 일례를 도시한다. 도 31의 (A)에서의 표시 장치는 화소부(101), 주사선 구동 회로(104), 신호선 구동 회로(106), 평행하게 또는 실질적으로 평행하게 배치되며 주사선 구동 회로(104)에 의해 전위가 제어되는 m개의 주사선(107), 및 평행하게 또는 실질적으로 평행하게 배치되며 신호선 구동 회로(106)에 의해 전위가 제어되는 n개의 신호선(109)을 포함한다. 또한, 화소부(101)는 매트릭스로 배치된 복수의 화소(103)를 포함한다. 신호선(109)을 따라, 평행하게 또는 실질적으로 평행하게 배치된 용량선(115)이 추가로 제공될 수 있다. 용량선(115)은 주사선(107)을 따라 평행하게 또는 실질적으로 평행하게 배치될 수 있다는 것에 유의한다. 주사선 구동 회로(104) 및 신호선 구동 회로(106)를 총괄하여 구동 회로부로 지칭하는 경우가 있다.
- [0242] 표시 장치는 복수의 화소를 구동 시키는 구동 회로 등을 포함한다는 것에 유의한다. 표시 장치는 또 다른 기관 위에 제공된 제어 회로, 전원 회로, 신호 생성 회로 및 백라이트 모듈 등을 포함하는 액정 모듈로도 지칭될 수 있다.
- [0243] 각각의 주사선(107)은 화소부(101)에서 m행 n열에 배치된 화소(103) 중 상응하는 행의 n개의 화소(103)와 전기적으로 접속된다. 각각의 신호선(109)은 m행 n열에 배치된 화소(103) 중 상응하는 열의 m개의 화소(103)와 전기적으로 접속된다. m 및 n은 각각 1 이상의 정수라는 것에 유의한다. 각각의 용량선(115)은 m행 n열에 배치된 화소(103) 중 상응하는 열의 m개의 화소(103)와 전기적으로 접속된다. 용량선(115)이 주사선(107)을 따라 평행하게 또는 실질적으로 평행하게 배치되어 있는 경우에는, 용량선(115)이 m행 n열에 배치된 화소(103) 중 상응하는 행의 n개의 화소(103)와 전기적으로 접속된다는 것에 유의한다.
- [0244] 액정 표시 장치에 FFS 구동이 사용되는 경우에는, 용량선이 제공되지 않고, 공통선 또는 공통 전극이 용량선으로서 기능한다.
- [0245] 여기서, 화소는 주사선 및 신호선에 의해 둘러싸이며 1가지 색을 나타내는 영역을 지칭한다. 따라서, R (적색), G (녹색) 및 B (청색)의 색 요소를 갖는 컬러 표시 장치의 경우에는, 화상의 최소 단위는 R의 화소, G의 화소 및 B의 화소인 3종의 화소로 구성된다는 것에 유의한다. R, G 및 B 화소에 엘로우, 시안, 마젠타 등의 화소를 첨가함으로써, 색의 재현성을 개선시킬 수 있다는 것에 유의한다. 또한, R, G 및 B 화소에 W (백색) 화소를 첨가함으로써, 표시 장치의 소비 전력을 저감할 수 있다. 액정 표시 장치의 경우에, W (백색) 화소를 R, G 및 B 화소 각각에 첨가함으로써, 액정 표시 장치의 밝기를 개선시킬 수 있다. 그 결과, 백라이트의 밝기를 저하시킬 수 있으며, 이는 액정 표시 장치의 더 낮은 소비 전력으로 이어진다.
- [0246] 도 31의 (B) 및 (C)는 도 31의 (A)에 도시된 표시 장치의 화소(103)에 사용할 수 있는 회로 구성의 예를 도시한다.
- [0247] 도 31의 (B)에서의 화소(103)는 액정 소자(121), 트랜지스터(102) 및 용량소자(105)를 포함한다.
- [0248] 액정 소자(121)의 한 쌍 전극 중 한쪽의 전위는 화소(103)의 사양에 따라 적절하게 설정된다. 액정 소자(121)의 배향 상태는 기입되는 데이터에 따라 달라진다. 각각의 화소(103)에 포함되는 액정 소자(121)의 한 쌍 전극 중 한쪽에 공통 전위가 공급될 수 있다. 또한, 1개의 행의 화소(103)에서의 액정 소자(121)의 한 쌍 전극 중 한쪽에 공급되는 전위는 또 다른 행의 화소(103)에서의 액정 소자(121)의 한 쌍 전극 중 한쪽에 공급되는 전위와 상이할 수 있다.
- [0249] 액정 소자(121)는 액정의 광학적 변조 작용을 이용하여 광의 투과 또는 비-투과를 제어하는 소자이다. 액정의 광학적 변조 작용은 액정에 인가되는 전계 (수평 방향의 전계, 수직 방향의 전계 또는 경사 방향의 전계 포함)에 의해 제어된다는 것에 유의한다. 액정 소자(121)의 예는 네마틱 액정, 콜레스테릭 액정, 스멕틱 액정, 열방성 액정, 액방성 액정, 강유전 액정 및 반강유전 액정을 포함한다.
- [0250] 액정 소자(121)를 포함하는 표시 장치는 하기 모드: TN 모드, VA 모드, ASM (축 대칭 배향 마이크로셀) 모드, OCB (광학 보상 복굴절) 모드, MVA 모드, PVA (패턴화 수직 배향) 모드, IPS 모드, FFS 모드, TBA (가로 휨 정렬) 모드 중 어느 하나에 의해 구동될 수 있다. 본 발명의 일 실시형태는 상기에 한정되지는 않으며, 다양한 액정 소자 및 구동 방법을 사용할 수 있다는 것에 유의한다.
- [0251] 청색 상을 나타내는 액정 및 키랄 재료를 포함하는 액정 조성물을 사용하여 액정 소자를 형성할 수 있다. 청색 상을 나타내는 액정은 응답 속도가 1 msec 이하로 짧고, 광학적 등방성이며, 따라서 배향 처리가 불필요하며 시야각 의존성이 작다.
- [0252] 도 31의 (B)에 도시된 화소(103)에서, 트랜지스터(102)의 소스 전극 및 드레인 전극 중 한쪽은 신호선(109)과 전기적으로 접속되고, 다른 쪽은 액정 소자(121)의 한 쌍 전극 중 다른 쪽과 전기적으로 접속된다. 트랜지스터



(102)의 게이트 전극은 주사선(107)과 전기적으로 접속된다. 트랜지스터(102)는 온 또는 오프 상태로 되는 것에 의해, 데이터 신호의 기입 여부를 제어하는 기능을 갖는다.

- [0253] 도 31의 (B)에 도시된 화소(103)에서, 용량소자(105)의 한 쌍 전극 중 한쪽은 전위가 공급되는 용량선(115)과 전기적으로 접속되고, 다른 쪽은 액정 소자(121)의 한 쌍 전극 중 다른 쪽과 전기적으로 접속된다. 용량선(115)의 전위는 화소(103)의 사양에 따라 적절하게 설정된다. 용량소자(105)는 기입된 데이터를 축적하는 축적 용량소자로서 기능한다.
- [0254] 도 31의 (C)에 도시된 화소(103)는 표시 소자를 스위칭하는 트랜지스터(133), 화소의 구동을 제어하는 트랜지스터(102), 트랜지스터(135), 용량소자(105) 및 발광 소자(131)를 포함한다.
- [0255] 트랜지스터(133)의 소스 전극 및 드레인 전극 중 한쪽은 데이터 신호가 공급되는 신호선(109)과 전기적으로 접속된다. 트랜지스터(133)의 게이트 전극은 게이트 신호가 공급되는 주사선(107)과 전기적으로 접속된다.
- [0256] 트랜지스터(133)는 온 또는 오프 상태로 되는 것에 의해, 데이터 신호의 데이터 기입 여부를 제어하는 기능을 갖는다.
- [0257] 트랜지스터(102)의 소스 전극 및 드레인 전극 중 한쪽은 애노드 선으로서 기능하는 배선(137)과 전기적으로 접속된다. 트랜지스터(102)의 소스 전극 및 드레인 전극 중 다른 쪽은 발광 소자(131)의 한쪽 전극과 전기적으로 접속된다. 트랜지스터(102)의 게이트 전극은 트랜지스터(133)의 소스 전극 및 드레인 전극 중 다른 쪽 및 용량소자(105)의 한쪽 전극과 전기적으로 접속된다.
- [0258] 트랜지스터(102)는 온 또는 오프 상태로 되는 것에 의해, 발광 소자(131)에서 흐르는 전류를 제어하는 기능을 갖는다.
- [0259] 트랜지스터(135)의 소스 전극 및 드레인 전극 중 한쪽은 데이터 기준 전위가 공급되는 배선(139)과 접속된다. 트랜지스터(135)의 소스 전극 및 드레인 전극 중 다른 쪽은 발광 소자(131)의 한쪽 전극 및 용량소자(105)의 다른 쪽 전극과 전기적으로 접속된다. 트랜지스터(135)의 게이트 전극은 게이트 신호가 공급되는 주사선(107)과 전기적으로 접속된다.
- [0260] 트랜지스터(135)는 발광 소자(131)를 통해 흐르는 전류를 조정하는 기능을 갖는다. 예를 들어, 열화 등에 의해 발광 소자(131)의 내부 저항이 상승한 경우, 트랜지스터(135)의 소스 전극 및 드레인 전극 중 한쪽이 접속된 배선(139)을 통해 흐르는 전류를 모니터링하는 것에 의해, 발광 소자(131)를 통해 흐르는 전류를 보정할 수 있다. 배선(139)에 공급되는 전위는, 예를 들어 0 V일 수 있다.
- [0261] 용량소자(105)의 한쪽 전극은 트랜지스터(102)의 게이트 전극 및 트랜지스터(133)의 소스 전극 및 드레인 전극 중 다른 쪽과 전기적으로 접속된다. 용량소자(105)의 다른 쪽 전극은 트랜지스터(135)의 소스 전극 및 드레인 전극의 다른 쪽 및 발광 소자(131)의 한쪽 전극과 전기적으로 접속된다.
- [0262] 도 31의 (C)에서의 화소(103)의 구성에서, 용량소자(105)는 기입된 데이터를 축적하는 축적 용량소자로서 기능한다.
- [0263] 발광 소자(131)의 한 쌍 전극 중 한쪽은 트랜지스터(135)의 소스 전극 및 드레인 전극 중 다른 쪽, 용량소자(105)의 다른 쪽, 및 트랜지스터(102)의 소스 전극 및 드레인 전극 중 다른 쪽과 전기적으로 접속된다. 발광 소자(131)의 한 쌍 전극 중 다른 쪽은 캐소드로서 기능하는 배선(141)과 전기적으로 접속된다.
- [0264] 발광 소자(131)로서, 예를 들어 유기 전계발광 소자 (유기 EL 소자로도 지칭됨) 등을 사용할 수 있다. 발광 소자(131)는 유기 EL 소자에 한정되지는 않으며, 무기 재료를 포함하는 무기 EL 소자일 수 있다는 것에 유의한다.
- [0265] 배선(137 및 141) 중 한쪽에는 높은 전원 전위 VDD가 공급되고, 다른 쪽에는 낮은 전원 전위 VSS가 공급된다. 도 31의 (C)에 도시된 구성에서는, 배선(137)에 높은 전원 전위 VDD가 공급되고, 배선(141)에 낮은 전원 전위 VSS가 부여된다.
- [0266] 도 31의 (B) 및 (C) 각각은 표시 소자로서 액정 소자(121) 또는 발광 소자(131)를 사용한 예를 도시하고 있지만, 본 발명의 실시형태의 일 실시형태는 이에 한정되지는 않는다는 것에 유의한다. 임의의 다양한 표시 소자를 사용할 수 있다. 표시 소자의 예는 LED (예를 들어, 백색 LED, 적색 LED, 녹색 LED 또는 청색 LED), 트랜지스터 (전류에 따라서 발광하는 트랜지스터), 전자 방출소자, 전자 잉크, 전기영동 소자, 그레이팅 라이트 밸브 (GLV), 플라즈마 디스플레이 패널 (PDP), 또는 마이크로 전자 기계 시스템 (MEMS)을 사용한 표시 소자, 디지털 마이크로미러 장치 (DMD), 디지털 마이크로 셔터 (DMS), 간섭 변조 디스플레이 (IMOD), MEMS 셔터 표시 소

자, 광간섭 유형 MEMS 표시 소자, 전기습윤 소자, 압전 세라믹 디스플레이 및 카본 나노 튜브 등의 전자기 작용에 의해 콘트라스트, 휘도, 반사율, 투과율 등이 변화하는 표시 매체를 포함하는 소자를 포함한다. EL 소자를 포함하는 표시 장치의 예는 EL 디스플레이를 포함한다. 전자 방출소자를 포함하는 표시 장치의 예로서는 전계 방출 디스플레이 (FED) 및 SED 유형 평판 디스플레이 (SED: 표면-전도 전자-방출소자 디스플레이)가 있다. 액정 소자를 포함하는 표시 장치의 예는 액정 디스플레이 (예를 들어, 투과형 액정 디스플레이, 반투과형 액정 모니터, 반사형 액정 디스플레이, 직시형 액정 디스플레이 또는 투사형 액정 디스플레이)를 포함한다. 전자 잉크 또는 전기영동 소자를 사용한 표시 장치의 예는 전자 페이퍼를 포함한다. 반투과형 액정 디스플레이 또는 반사형 액정 디스플레이에서는, 화소 전극의 일부 또는 전부가 반사 전극으로서 기능한다. 예를 들어, 화소 전극의 일부 또는 전부가 알루미늄, 은 등을 함유하도록 형성된다. 이러한 경우에, 반사 전극 아래에 SRAM 등의 메모리 회로가 제공되어, 소비 전력의 저감으로 이어질 수 있다.

[0267] 이어서, 표시 장치에 포함되는 소자 기관의 구체적 구조에 대해 기재한다. 여기서, 화소(103)에서 액정 소자를 포함하는 액정 표시 장치의 구체적 예에 대해 기재한다. 도 32는 도 31의 (B)에 도시된 화소(103)의 상면도이다.

[0268] 여기서, 표시 장치로서 FFS 모드로 구동되는 액정 표시 장치를 사용하며, 도 32는 상기 액정 표시 장치에 포함되는 복수의 화소(103a, 103b 및 103c)의 상면도이다.

[0269] 도 32에서, 주사선으로서 기능하는 도전막(13)은 신호선으로서 기능하는 도전막에 대해 실질적으로 직교하는 방향 (도면에서 좌우 방향)으로 연신되어 있다. 신호선으로서 기능하는 도전막(21a)은 주사선으로서 기능하는 도전막에 대해 실질적으로 직교하는 방향 (도면에서 상하 방향)으로 연신되어 있다. 주사선으로서 기능하는 도전막(13)은 주사선 구동 회로(104) (도 31의 (A) 내지 (C) 참조)와 전기적으로 접속되고, 신호선으로서 기능하는 도전막(21a)은 신호선 구동 회로(106) (도 31의 (A) 내지 (C) 참조)와 전기적으로 접속된다는 것에 유의한다.

[0270] 트랜지스터(102)는 주사선으로서 기능하는 도전막 및 신호선으로서 기능하는 도전막이 서로 교차하는 영역에 제공된다. 트랜지스터(102)는 게이트 전극으로서 기능하는 도전막(13); 게이트 절연막 (도 32에 도시되지 않음); 채널 영역이 형성되는 게이트 절연막 위의 산화물 반도체 막(19a); 및 한 쌍의 전극으로서 기능하는 도전막(21a) 및 도전막(21b)을 포함한다. 도전막(13)은 또한 주사선으로서 기능하며, 산화물 반도체 막(19a)과 중첩된 도전막(13)의 영역이 트랜지스터(102)의 게이트 전극으로서 기능한다. 또한, 도전막(21a)은 또한 신호선으로서 기능하며, 산화물 반도체 막(19a)과 중첩된 도전막(21a)의 영역이 트랜지스터(102)의 소스 전극 또는 드레인 전극으로서 기능한다. 또한, 도 32에서, 주사선으로서 기능하는 도전막의 단부는 산화물 반도체 막(19a)의 단부의 외측에 위치한다. 따라서, 주사선으로서 기능하는 도전막은 백라이트 등의 광원으로부터의 광을 차단하는 차광막으로서 기능한다. 이로 인해, 트랜지스터에 포함되는 산화물 반도체 막(19a)에는 광이 조사되지 않아서, 트랜지스터의 전기 특성의 변동을 억제할 수 있다.

[0271] 또한, 트랜지스터(102)는 산화물 반도체 막(19a)과 중첩된 유기 절연막(31)을 포함한다. 유기 절연막(31)은, 무기 절연막 (도 32에 도시되지 않음)을 사이에 제공하여 산화물 반도체 막(19a) (특히 도전막(21a)과 (21b) 사이에 있는 산화물 반도체 막(19a)의 영역)과 중첩된다.

[0272] 각각의 트랜지스터(10)에서 유기 절연막(31)이 단리되어 있기 때문에, 외부로부터의 물이 유기 절연막(31)을 통해 액정 표시 장치로 확산되지 않으며, 따라서 액정 표시 장치에 제공된 트랜지스터의 전기 특성의 변동을 저감할 수 있다.

[0273] 또한, 도전막(21b)은 도전성을 갖는 산화물 반도체 막(19b)과 전기적으로 접속된다. 절연막을 사이에 제공하여 도전성을 갖는 산화물 반도체 막(19b) 위에 공통 전극(29)이 제공된다. 도전성을 갖는 산화물 반도체 막(19b) 위의 절연막에, 일점 파선으로 나타낸 개구(40)가 제공된다. 개구(40)에서, 도전성을 갖는 산화물 반도체 막(19b)은 절화물 절연막 (도 32에 도시되지 않음)과 접한다.

[0274] 공통 전극(29)은 신호선으로서 기능하는 도전막(21a)과 교차하는 방향으로 연신되어 있는 스트라이프 영역을 포함한다. 상기 스트라이프 영역은 신호선으로서 기능하는 도전막(21a)에 대해 평행한 또는 실질적으로 평행한 방향으로 연신되어 있는 영역과 접속된다. 따라서, 화소에서, 공통 전극(29)의 스트라이프 영역은 동일한 전위이다.

[0275] 용량소자(105)는 도전성을 갖는 산화물 반도체 막(19b) 및 공통 전극(29)이 서로 중첩된 영역에서 형성된다. 도전성을 갖는 산화물 반도체 막(19b) 및 공통 전극(29) 각각은 투광성을 갖는다. 즉, 용량소자(105)는 투광성을 갖는다.

- [0276] 도 32에 도시된 바와 같이, FFS 모드 액정 표시 장치에는 신호선으로서 기능하는 도전막과 교차하는 방향으로 연신되어 있는 스트라이프 영역을 포함하는 공통 전극이 제공된다. 따라서, 표시 장치는 탁월한 콘트라스트를 가질 수 있다.
- [0277] 용량소자(105)의 투광성 때문에, 화소(103) 내에 용량소자(105)를 크게 (큰 면적으로) 형성할 수 있다. 따라서, 표시 장치는 대표적으로 50% 이상, 바람직하게는 60% 이상으로 높아진 개구율과 함께, 높은 용량가를 가질 수 있다. 예를 들어, 고해상도 표시 장치, 예컨대 액정 표시 장치에서는, 화소의 면적이 작아지며, 따라서 용량소자의 면적도 작아진다. 이로 인해, 고해상도 표시 장치에서, 용량소자에 축적되는 전하의 양의 작아진다. 그러나, 본 실시형태의 용량소자(105)는 투광성을 갖기 때문에, 상기 용량소자(105)를 화소에 제공하면, 화소에서 충분한 용량가를 얻을 수 있고, 개구율을 개선시킬 수 있다. 대표적으로, 용량소자(105)는 화소 밀도가 인치당 200 픽셀수 (ppi) 이상, 300 ppi 이상, 또는 나아가 500 ppi 이상인 고해상도 표시 장치에 유리하게 사용될 수 있다.
- [0278] 액정 표시 장치에서, 용량소자의 용량가의 증가는 전계가 인가된 상태에서 액정 소자 내 액정 분자의 배향을 일정하게 유지할 수 있는 기간을 증가시킨다. 정지 화상을 표시하는 표시 장치에서 상기 기간을 더 길게 할 수 있으면, 화상 데이터의 재기입 횟수를 저감하여 소비 전력의 저감으로 이어질 수 있다. 또한, 본 실시형태의 구조에 따르면, 고해상도 표시 장치에서도, 개구율을 개선시킬 수 있으며, 이는 백라이트 등의 광원으로부터의 광을 효율적으로 사용하는 것을 가능하게 하여, 표시 장치의 소비 전력을 저감할 수 있다.
- [0279] 도 33은 도 32에서의 일점 파선 A-B 및 C-D를 따르는 단면도이다. 도 33에 도시된 트랜지스터(102)는 채널 에칭 트랜지스터이다. 일점 파선 A-B를 따르는 단면도에는 채널 길이 방향의 트랜지스터(102) 및 용량소자(105)가 도시되고, 일점 파선 C-D를 따르는 단면도에는 채널 폭 방향의 트랜지스터(102)가 도시되어 있다는 것에 유의한다.
- [0280] 본 실시형태에 기재된 액정 표시 장치는 한 쌍의 기관 (제1 기관(11) 및 제2 기관(342)), 제1 기관(11)과 접하는 소자 층, 제2 기관(342)과 접하는 소자 층, 및 소자 층 사이에 제공된 액정 층(320)을 포함한다. 소자 층은 기관과 액정 층 사이에 개재한 층에 대한 총괄 용어라는 것에 유의한다. 또한, 기관 및 소자 층을 총괄하여 소자 기관으로 지칭하는 경우가 있다. 한 쌍의 기관 (제1 기관(11) 및 제2 기관(342)) 사이에 액정 소자(322)가 제공된다.
- [0281] 액정 소자(322)는 제1 기관(11) 위의 도전성을 갖는 산화물 반도체 막(19b), 공통 전극(29), 절화물 절연막(27), 배향성을 제어하는 막 (이하, 배향막(33)으로 지칭됨) 및 액정 층(320)을 포함한다. 도전성을 갖는 산화물 반도체 막(19b)은 액정 소자(322)의 한쪽 전극 (화소 전극으로도 지칭됨)으로서 기능하고, 공통 전극(29)은 액정 소자(322)의 다른 쪽 전극으로서 기능한다.
- [0282] 먼저, 제1 기관(11) 위에 형성되는 소자 층에 대해 기재한다. 도 33에서의 트랜지스터(102)는 싱글 게이트 구조를 가지며, 제1 기관(11) 위에 게이트 전극으로서 기능하는 도전막(13)을 포함한다. 또한, 트랜지스터(102)는 제1 기관(11) 및 게이트 전극으로서 기능하는 도전막(13) 위에 형성되는 절화물 절연막(15), 절화물 절연막(15) 위에 형성되는 산화물 절연막(17), 절화물 절연막(15) 및 산화물 절연막(17)을 사이에 제공하여 게이트 전극으로서 기능하는 도전막(13)과 중첩된 산화물 반도체 막(19a), 및 산화물 반도체 막(19a)과 접하며 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a 및 21b)을 포함한다. 절화물 절연막(15) 및 산화물 절연막(17)은 게이트 절연막(14)으로서 기능한다. 또한, 산화물 절연막(17), 산화물 반도체 막(19a) 및 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a 및 21b) 위에는 산화물 절연막(23)이 형성되고, 산화물 절연막(23) 위에는 산화물 절연막(25)이 형성된다. 절화물 절연막(15), 산화물 절연막(23), 산화물 절연막(25) 및 도전막(21b) 위에는 절화물 절연막(27)이 형성된다. 산화물 절연막(23), 산화물 절연막(25) 및 절화물 절연막(27)은 무기 절연막(30)으로서 기능한다. 도전성을 갖는 산화물 반도체 막(19b)이 산화물 절연막(17) 위에 형성된다. 도전성을 갖는 산화물 반도체 막(19b)은 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a 및 21b) 중 한쪽과 접속되며, 여기서는 도전막(21b)과 접속되어 있다. 공통 전극(29)이 절화물 절연막(27) 위에 형성된다. 또한, 무기 절연막(30)을 사이에 제공하여 트랜지스터(102)의 산화물 반도체 막(19a)과 중첩된 유기 절연막(31)이 포함된다.
- [0283] 이하, 표시 장치의 구조에 대해 상세하게 기재할 것이다.
- [0284] 기관(11)으로서, 실시형태 1에 기재된 기관(151)을 적절하게 사용할 수 있다.
- [0285] 게이트 전극으로서 기능하는 도전막(13)은 알루미늄, 크로뮴, 구리, 탄탈럼, 티타늄, 몰리브데넘 및 텅스텐으로

부터 선택된 금속 원소; 또는 이들 금속 원소를 성분으로서 함유하는 합금; 임의의 이들 금속 원소를 조합하여 함유하는 합금 등을 사용하여 형성될 수 있다. 또한, 망가니즈 및 지르코늄으로부터 선택된 1종 이상의 금속 원소를 사용할 수 있다. 게이트 전극으로서 기능하는 도전막(13)은 단층 구조, 또는 2개 이상의 층의 적층 구조를 가질 수 있다. 이러한 구조의 예는 실리콘을 함유하는 알루미늄 막의 단층 구조, 티타늄 막 위에 알루미늄 막이 적층된 2층 구조, 질화티타늄 막 위에 티타늄 막이 적층된 2층 구조, 질화티타늄 막 위에 텅스텐 막이 적층된 2층 구조, 질화탄탈럼 막 또는 질화텅스텐 막 위에 텅스텐 막이 적층된 2층 구조, 티타늄 막 위에 구리 막이 적층된 2층 구조, 몰리브데넘 막 위에 구리 막이 적층된 2층 구조, 및 티타늄 막, 알루미늄 막 및 티타늄 막이 이 순서대로 적층된 3층 구조를 포함한다. 대안적으로, 알루미늄, 및 티타늄, 탄탈럼, 텅스텐, 몰리브데넘, 크로뮴, 네오디뮴 및 스칸듐으로부터 선택된 1종 이상의 원소를 함유하는 합금 막 또는 질화물 막을 사용할 수 있다.

[0286] 게이트 전극으로서 기능하는 도전막(13)은 실시형태 1의 도전막(159)의 구조 및 재료를 적절하게 사용하여 형성될 수 있다. 게이트 전극으로서 기능하는 도전막(13)은 실시형태 3의 도전막(181)의 기체에 나타난 투광성 도전막을 사용하여 형성될 수 있다. 대안적으로, 게이트 전극으로서 기능하는 도전막(13)은 상기 투광성 도전막 및 상기 금속 원소의 적층 구조를 가질 수 있다. 대안적으로, 게이트 전극으로서 기능하는 도전막(13)은 실시형태 1에 나타난 도전성을 갖는 산화물 반도체 막(155b)을 사용하여 형성될 수 있다.

[0287] 질화물 절연막(15)은 산소를 거의 투과하지 않는 질화물 절연막일 수 있다. 대안적으로, 산소, 수소 및 물을 거의 투과하지 않는 질화물 절연막을 사용할 수 있다. 산소를 거의 투과하지 않는 질화물 절연막 및 산소, 수소 및 물을 거의 투과하지 않는 절연막의 예는, 질화실리콘 막, 질화산화실리콘 막, 질화알루미늄 막 및 질화산화알루미늄 막을 포함한다. 산소를 거의 투과하지 않는 질화물 절연막 및 산소, 수소 및 물을 거의 투과하지 않는 질화물 절연막 대신에, 산화알루미늄 막, 산화질화알루미늄 막, 산화갈륨 막, 산화질화갈륨 막, 산화이트륨 막, 산화질화이트륨 막, 산화하프늄 막 또는 산화질화하프늄 막 등의 산화물 절연막을 사용할 수 있다.

[0288] 질화물 절연막(15)의 두께는 바람직하게는 5 nm 이상 100 nm 이하, 보다 바람직하게는 20 nm 이상 80 nm 이하이다.

[0289] 산화물 절연막(17)은, 예를 들어 산화실리콘 막, 산화질화실리콘 막, 질화산화실리콘 막, 질화실리콘 막, 산화알루미늄 막, 산화하프늄 막, 산화갈륨 막, Ga-Zn계 금속 산화물 막 및 질화실리콘 막 중 1종 이상을 포함하는 단층 구조 또는 적층 구조를 갖도록 형성될 수 있다.

[0290] 산화물 절연막(17)은 하프늄 실리케이트 ( $\text{HfSiO}_x$ ), 질소가 첨가된 하프늄 실리케이트 ( $\text{HfSi}_x\text{O}_y\text{N}_z$ ), 질소가 첨가된 하프늄 알루미늄에이트 ( $\text{HfAl}_x\text{O}_y\text{N}_z$ ), 산화하프늄 또는 산화이트륨 등의 비유전율이 높은 재료를 사용하여 형성될 수 있어서, 트랜지스터의 게이트 누설 전류를 저감할 수 있다.

[0291] 산화물 절연막(17)의 두께는 바람직하게는 5 nm 이상 400 nm 이하, 보다 바람직하게는 10 nm 이상 300 nm 이하, 보다 더 바람직하게는 50 nm 이상 250 nm 이하이다.

[0292] 산화물 반도체 막(19a) 및 도전성을 갖는 산화물 반도체 막(19b)은 동시에 형성되며, 따라서 실시형태 1에 나타난 도전성을 갖는 산화물 반도체 막(155b)과 유사하게 In-Ga 산화물 막, In-Zn 산화물 막 또는 In-M-Zn 산화물 막 (M은 Al, Ga, Y, Zr, Sn, La, Ce 또는 Nd를 나타냄) 등의 금속 산화물 막을 사용하여 형성된다. 따라서, 산화물 반도체 막(19a) 및 도전성을 갖는 산화물 반도체 막(19b)은 동일한 금속 원소를 포함한다.

[0293] 그러나, 도전성을 갖는 산화물 반도체 막(19b)에서의 결함 및 불순물의 양은 산화물 반도체 막(19a)보다 더 높다. 따라서, 산화물 반도체 막(19a) 및 도전성을 갖는 산화물 반도체 막(19b)은 전기 특성이 상이하다. 구체적으로, 산화물 반도체 막(19a)은 반도체 특성을 갖고, 산화물 반도체 막(19b)은 도전성을 갖는다.

[0294] 산화물 반도체 막(19a) 및 도전성을 갖는 산화물 반도체 막(19b)의 두께는 3 nm 이상 200 nm 이하, 바람직하게는 3 nm 이상 100 nm 이하, 보다 바람직하게는 3 nm 이상 50 nm 이하이다.

[0295] 산화물 반도체 막(19a)의 일부가 트랜지스터의 채널 영역으로서 기능하며, 따라서 산화물 반도체 막(19a)의 에너지 갭은 2 eV 이상, 바람직하게는 2.5 eV 이상, 보다 바람직하게는 3 eV 이상이다. 이러한 에너지 갭이 넓은 산화물 반도체를 사용함으로써 트랜지스터(102)의 오프 전류를 저감할 수 있다.

[0296] 산화물 반도체 막(19a)으로서, 캐리어 밀도가 낮은 산화물 반도체 막을 사용한다. 예를 들어, 산화물 반도체 막(19a)으로서, 캐리어 밀도가  $1 \times 10^{17}$  개/ $\text{cm}^3$  이하, 바람직하게는  $1 \times 10^{15}$  개/ $\text{cm}^3$  이하, 보다 바람직하게는 1



$\times 10^{13}$  개/cm<sup>3</sup> 이하, 보다 더 바람직하게는  $1 \times 10^{11}$  개/cm<sup>3</sup> 이하, 더욱 바람직하게는  $1 \times 10^{10}$  개/cm<sup>3</sup> 미만이고,  $1 \times 10^{-9}$  개/cm<sup>3</sup> 이상인 산화물 반도체 막을 사용한다.

[0297] 상기 기재된 조성에 한정되지는 않으며, 필요로 하는 트랜지스터의 반도체 특성 및 전기 특성 (예를 들어, 전계 효과 이동도 및 역치 전압)에 따라 적절한 조성을 갖는 재료를 사용할 수 있다는 것에 유의한다. 또한, 필요로 하는 트랜지스터의 반도체 특성을 얻기 위해, 산화물 반도체 막(19a)의 캐리어 밀도, 불순물 농도, 결함 밀도, 금속 원소 대 산소의 원자수비, 원자간 거리, 밀도 등을 적절한 것으로 바람직하게 설정한다.

[0298] 산화물 반도체 막(19a)으로서 불순물 농도가 낮고 결함 준위 밀도가 낮은 산화물 반도체 막을 사용하면, 보다 탁월한 전기 특성을 갖는 트랜지스터를 제작할 수 있다는 것에 유의한다. 여기서, 불순물 농도가 낮고 결함 준위 밀도가 낮은 (산소 결손량이 적은) 상태는 "고순도 진성" 또는 "실질적으로 고순도 진성" 상태로 지칭된다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체는 캐리어 생성원이 적으며, 따라서 캐리어 밀도가 낮은 경우가 있다. 따라서, 상기 산화물 반도체 막에 채널 영역이 형성된 트랜지스터는 드물게 음의 역치 전압을 갖는다 (드물게 노멀리 온(normally on)임). 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체 막은 결함 준위 밀도가 낮으며, 따라서 캐리어 트랩도 적어지는 경우가 있다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체 막은 오프 전류가 현저하게 낮으며, 채널 폭이  $1 \times 10^6$   $\mu\text{m}$ 이고 채널 길이(L)가 10  $\mu\text{m}$ 인 소자인 경우에도, 소스 전극과 드레인 전극 사이의 전압 (드레인 전압) 1 V 내지 10 V 범위에서, 오프 전류가 반도체 파라미터 분석기의 측정한계 이하, 즉  $1 \times 10^{-13}$  A 이하일 수 있다. 따라서, 상기 산화물 반도체 막에 채널 영역이 형성된 트랜지스터는 전기 특성의 변동이 적고 신뢰성이 높다. 불순물의 예는 수소, 질소, 알칼리 금속 및 알칼리 토금속을 포함한다.

[0299] 산화물 반도체 막에 함유되는 수소는 금속 원자와 결합된 산소와 반응하여 물이 됨과 함께, 산소가 탈리한 격자 (또는 산소가 탈리한 부분)에서 산소 결손이 형성된다. 상기 산소 결손에 수소가 들어감으로 인해, 캐리어로서 기능하는 전자가 생성되는 경우가 있다. 또한, 수소의 일부가 금속 원자와 결합된 산소와 결합하는 것이 캐리어로서 기능하는 전자의 생성을 유발하는 경우가 있다. 따라서, 수소를 함유하는 산화물 반도체를 포함하는 트랜지스터는 노멀리 온이 되기 쉽다.

[0300] 따라서, 산화물 반도체 막(19a)에서 바람직하게는 산소 결손과 함께 수소가 가능한 한 많이 저장된다. 구체적으로, 산화물 반도체 막(19a)에서 2차 이온 질량 분광측정법 (SIMS)에 의해 측정되는 수소 농도를  $5 \times 10^{19}$  원자수/cm<sup>3</sup> 이하, 바람직하게는  $1 \times 10^{19}$  원자수/cm<sup>3</sup> 이하, 보다 바람직하게는  $5 \times 10^{18}$  원자수/cm<sup>3</sup> 이하, 보다 더 바람직하게는  $1 \times 10^{18}$  원자수/cm<sup>3</sup> 이하, 더욱 바람직하게는  $5 \times 10^{17}$  원자수/cm<sup>3</sup> 이하, 더욱 더 바람직하게는  $1 \times 10^{16}$  원자수/cm<sup>3</sup> 이하이도록 설정한다.

[0301] 산화물 반도체 막(19a)에 제14족 원소에 속하는 원소인 실리콘 또는 탄소가 함유되는 경우에, 산소 결손이 증가되어, 산화물 반도체 막(19a)이 n형 막이 된다. 따라서, 산화물 반도체 막(19a)에서의 실리콘 또는 탄소의 농도 (SIMS에 의해 측정됨)를  $2 \times 10^{18}$  원자수/cm<sup>3</sup> 이하, 바람직하게는  $2 \times 10^{17}$  원자수/cm<sup>3</sup> 이하로이도록 설정한다.

[0302] SIMS에 의해 측정된 산화물 반도체 막(19a)에서의 알칼리 금속 또는 알칼리 토금속의 농도를  $1 \times 10^{18}$  원자수/cm<sup>3</sup> 이하, 바람직하게는  $2 \times 10^{16}$  원자수/cm<sup>3</sup> 이하이도록 설정한다. 알칼리 금속 및 알칼리 토금속은 산화물 반도체와 결합하면 캐리어를 생성할 수 있으며, 이러한 경우에 트랜지스터의 오프 전류가 증가될 수 있다. 따라서, 산화물 반도체 막(19a)에서의 알칼리 금속 또는 알칼리 토금속의 농도를 저장하는 것이 바람직하다.

[0303] 또한, 질소를 함유하면, 산화물 반도체 막(19a)은 캐리어로서 기능하는 전자의 생성 및 캐리어 밀도의 증가에 의해 n형 도전성을 갖기 쉽다. 따라서, 질소를 함유하는 산화물 반도체를 포함하는 트랜지스터는 노멀리 온이 되기 쉽다. 이로 인해, 상기 산화물 반도체 막에서의 질소는 바람직하게는 가능한 한 많이 저장되며, 예를 들어 SIMS에 의해 측정된 질소 농도는 바람직하게는  $5 \times 10^{18}$  원자수/cm<sup>3</sup> 이하이도록 설정된다.

[0304] 도전성을 갖는 산화물 반도체 막(19b)은, 산화물 반도체 막(19a)과 동시에 형성된 산화물 반도체 막에 결합, 예를 들어 산소 결손, 및 불순물이 포함되는 경우에 형성된다. 따라서, 도전성을 갖는 산화물 반도체 막(19b)은 전극으로서, 예를 들어 본 실시형태에서는 화소 전극으로서 기능한다.

- [0305] 산화물 반도체 막(19a) 및 도전성을 갖는 산화물 반도체 막(19b)은 둘 다 산화물 절연막(17) 위에 형성되지만, 불순물 농도가 상이하다. 구체적으로, 도전성을 갖는 산화물 반도체 막(19b)은 산화물 반도체 막(19a)보다 불순물 농도가 더 높다. 예를 들어, 산화물 반도체 막(19a)에서의 수소 농도는  $5 \times 10^{19}$  원자수/cm<sup>3</sup> 이하, 바람직하게는  $1 \times 10^{19}$  원자수/cm<sup>3</sup> 이하, 보다 바람직하게는  $5 \times 10^{18}$  원자수/cm<sup>3</sup> 이하, 보다 더 바람직하게는  $1 \times 10^{18}$  원자수/cm<sup>3</sup> 이하, 더욱 바람직하게는  $5 \times 10^{17}$  원자수/cm<sup>3</sup> 이하, 더욱 더 바람직하게는  $1 \times 10^{16}$  원자수/cm<sup>3</sup> 이하이다. 반면에, 도전성을 갖는 산화물 반도체 막(19b)에서의 수소 농도는  $8 \times 10^{19}$  원자수/cm<sup>3</sup> 이상, 바람직하게는  $1 \times 10^{20}$  원자수/cm<sup>3</sup> 이상, 보다 바람직하게는  $5 \times 10^{20}$  원자수/cm<sup>3</sup> 이상이다. 도전성을 갖는 산화물 반도체 막(19b)에서의 수소 농도는 산화물 반도체 막(19a)에서의 수소 농도의 2배 이상, 바람직하게는 10배 이상이다.
- [0306] 도전성을 갖는 산화물 반도체 막(19b)은 산화물 반도체 막(19a)보다 저항률이 더 낮다. 도전성을 갖는 산화물 반도체 막(19b)의 저항률은 바람직하게는 산화물 반도체 막(19a)의 저항률의  $1 \times 10^{-8}$ 배 이상  $1 \times 10^{-1}$ 배 미만이다. 도전성을 갖는 산화물 반도체 막(19b)의 저항률은 대표적으로  $1 \times 10^{-3}$  Ωcm 이상  $1 \times 10^{-4}$  Ωcm 미만, 보다 바람직하게는  $1 \times 10^{-3}$  Ωcm 이상  $1 \times 10^{-1}$  Ωcm 미만이다.
- [0307] 산화물 반도체 막(19a) 및 도전성을 갖는 산화물 반도체 막(19b)은 각각 실시형태 1에 나타난 도전성을 갖는 산화물 반도체 막(155b)과 유사한 결정 구조를 적절하게 가질 수 있다.
- [0308] 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a 및 21b)은 실시형태 1의 도전막(159)의 구조 및 재료를 적절하게 사용하여 형성될 수 있다.
- [0309] 산화물 절연막(23) 또는 산화물 절연막(25)으로서, 화학양론적 조성의 산소보다 더 많은 산소를 함유하는 산화물 절연막이 바람직하게 사용된다. 여기서, 산화물 절연막(23)으로서, 산소를 투과하는 산화물 절연막을 형성하고, 산화물 절연막(25)으로서, 화학양론적 조성의 산소보다 더 많은 산소를 함유하는 산화물 절연막을 형성한다.
- [0310] 산화물 절연막(23)은 산소를 투과하는 산화물 절연막이다. 따라서, 산화물 절연막(23) 위에 제공된 산화물 절연막(25)으로부터 탈리한 산소를, 산화물 절연막(23)을 통해 산화물 반도체 막(19a)으로 이동시킬 수 있다. 또한, 산화물 절연막(23)은 나중에 산화물 절연막(25)을 형성할 때에, 산화물 반도체 막(19a)에 대한 손상을 완화하는 막으로서도 기능한다.
- [0311] 산화물 절연막(23)으로서, 두께가 5 nm 이상 150 nm 이하, 바람직하게는 5 nm 이상 50 nm 이하인 산화실리콘 막, 산화질화실리콘 막 등을 사용할 수 있다.
- [0312] 또한, 산화물 절연막(23)은 바람직하게는 질소를 함유하며 결함의 수가 적은 산화물 절연막이다.
- [0313] 질소를 함유하며 결함의 수가 적은 산화물 절연막의 대표예는 산화질화실리콘 막 및 산화질화알루미늄 막을 포함한다.
- [0314] 결함의 수가 적은 산화물 절연막은 100 K 이하에서의 ESR 스펙트럼에서, g 인자가 2.037 이상 2.039 이하인 제1 신호, g 인자가 2.001 이상 2.003 이하인 제2 신호 및 g 인자가 1.964 이상 1.966 이하인 제3 신호가 관찰된다. X 밴드를 사용한 ESR 측정에 의해 얻어진 제1 및 제2 신호의 스플릿 폭 및 제2 및 제3 신호의 스플릿 폭은 대략 5 mT이다. g 인자가 2.037 이상 2.039 이하인 제1 신호, g 인자가 2.001 이상 2.003 이하인 제2 신호 및 g 인자가 1.964 이상 1.966 이하인 제3 신호의 스핀 밀도 합계는  $1 \times 10^{18}$  스핀수/cm<sup>3</sup> 미만, 대표적으로  $1 \times 10^{17}$  스핀수/cm<sup>3</sup> 이상  $1 \times 10^{18}$  스핀수/cm<sup>3</sup> 미만이다.
- [0315] 100 K 이하에서의 ESR 스펙트럼에서, g 인자가 2.037 이상 2.039 이하인 제1 신호, g 인자가 2.001 이상 2.003 이하인 제2 신호 및 g 인자가 1.964 이상 1.966 이하인 제3 신호는, 질소 산화물(NO<sub>x</sub>; x는 0 이상 2 이하, 바람직하게는 1 이상 2 이하임)에 기인하는 신호에 상응한다. 질소 산화물의 대표예는 일산화질소 및 이산화질소를 포함한다. 즉, g 인자가 2.037 이상 2.039 이하인 제1 신호, g 인자가 2.001 이상 2.003 이하인 제2 신호 및 g 인자가 1.964 이상 1.966 이하인 제3 신호의 총 스핀 밀도가 더 낮을수록, 산화물 절연막에서의 질소 산화물 함유량이 더 낮다.

- [0316] 산화물 절연막(23)이 상기 기재된 바와 같이 질소 산화물 함유량이 적으면, 산화물 절연막(23)과 산화물 반도체 막 사이의 계면에서의 캐리어 트랩을 저감할 수 있다. 따라서, 반도체 장치에 포함되는 트랜지스터의 역치 전압의 변동량을 저감할 수 있고, 이는 트랜지스터의 전기 특성의 저감된 변동으로 이어진다.
- [0317] 산화물 절연막(23)은 바람직하게는 2차 이온 질량 분광측정법 (SIMS)에 의해 측정되는 질소 농도가  $6 \times 10^{20}$  원자수/cm<sup>3</sup> 이하이다. 이러한 경우에, 산화물 절연막(23)에서 질소 산화물이 생성되기 어려워서, 산화물 절연막(23)과 산화물 반도체 막(19a) 사이의 계면에서의 캐리어 트랩을 저감할 수 있다. 또한, 반도체 장치에 포함되는 트랜지스터의 역치 전압의 변동량을 저감할 수 있고, 이는 트랜지스터의 전기 특성의 저감된 변동으로 이어진다.
- [0318] 산화물 절연막(23)에 질소 산화물 및 암모니아가 함유되면, 제작 공정의 가열 처리 시에 질소 산화물 및 암모니아가 서로 반응하며, 따라서 질소 산화물이 질소 가스로서 탈리한다는 것에 유의한다. 따라서, 산화물 절연막(23)의 질소 농도 및 질소 산화물의 양을 저감할 수 있다. 또한, 산화물 절연막(23)과 산화물 반도체 막(19a) 사이의 계면에서의 캐리어 트랩을 저감할 수 있다. 또한, 반도체 장치에 포함되는 트랜지스터의 역치 전압의 변동량을 저감할 수 있고, 이는 트랜지스터의 전기 특성의 저감된 변동으로 이어진다.
- [0319] 산화물 절연막(23)에서는, 외부로부터 산화물 절연막(23)에 들어간 모든 산소가 산화물 절연막(23)의 외부로 이동하지는 않고, 일부 산소가 산화물 절연막(23)에 잔류한다는 것에 유의한다. 또한, 산화물 절연막(23)에 산소가 들어감과 함께 산화물 절연막(23)에 함유된 산소가 산화물 절연막(23)의 외부로 이동하는 방식으로 산화물 절연막(23)에서 산소의 이동이 일어나는 경우가 있다.
- [0320] 산화물 절연막(23)으로서 산소를 투과하는 산화물 절연막을 형성하면, 산화물 절연막(23) 위에 제공된 산화물 절연막(25)으로부터 탈리하는 산소를, 산화물 절연막(23)을 통해 산화물 반도체 막(19a)으로 이동시킬 수 있다.
- [0321] 산화물 절연막(23)에 접하도록 산화물 절연막(25)이 형성된다. 산화물 절연막(25)은 화학양론적 조성보다 더 높은 비율로 산소를 함유하는 산화물 절연막을 사용하여 형성한다. 화학양론적 조성보다 더 높은 비율로 산소를 함유하는 산화물 절연막으로부터, 가열에 의해 산소의 일부가 탈리한다. 화학양론적 조성보다 더 높은 비율로 산소를 함유하는 산화물 절연막은 TDS 분석 시에 산소 원자로 환산된 산소 탈리량이  $1.0 \times 10^{18}$  원자수/cm<sup>3</sup> 이상, 바람직하게는  $3.0 \times 10^{20}$  원자수/cm<sup>3</sup> 이상인 산화물 절연막이다. 상기 TDS 분석 시에 산화물 절연막(25)의 표면 온도는 바람직하게는 100℃ 이상 700℃ 이하, 또는 100℃ 이상 500℃ 이하라는 것에 유의한다.
- [0322] 산화물 절연막(25)으로서, 두께가 30 nm 이상 500 nm 이하, 바람직하게는 50 nm 이상 400 nm 이하인 산화실리콘 막, 산화질화실리콘 막 등을 사용할 수 있다.
- [0323] 산화물 절연막(25)에서 결합의 양이 적은 것, 대표적으로 ESR 측정에 의해  $g = 2.001$ 에서 나타나는 신호의 스핀 밀도가  $1.5 \times 10^{18}$  스핀수/cm<sup>3</sup> 미만인 것이 바람직하고,  $1 \times 10^{18}$  스핀수/cm<sup>3</sup> 이하인 것이 보다 바람직하다. 산화물 절연막(25)은 산화물 절연막(23)보다 산화물 반도체 막(19a)로부터 더 이격되어 제공되며, 따라서 산화물 절연막(23)보다 결합 밀도가 더 높을 수 있다는 것에 유의한다.
- [0324] 질화물 절연막(15)과 마찬가지로, 질화물 절연막(27)은 산소를 거의 투과하지 않는 질화물 절연막일 수 있다. 나아가, 산소, 수소 및 물을 거의 투과하지 않는 질화물 절연막을 사용할 수 있다.
- [0325] 질화물 절연막(27)은 두께가 50 nm 이상 300 nm 이하, 바람직하게는 100 nm 이상 200 nm 이하인 질화실리콘 막, 질화산화실리콘 막, 질화알루미늄 막, 질화산화알루미늄 막 등을 사용하여 형성된다.
- [0326] 산화물 절연막(23) 또는 산화물 절연막(25)에 화학양론적 조성보다 더 높은 비율로 산소를 함유하는 산화물 절연막이 포함되면, 산화물 절연막(23) 또는 산화물 절연막(25)에 함유된 산소의 일부를 산화물 반도체 막(19a)으로 이동시킬 수 있어서, 산화물 반도체 막(19a)에 함유된 산소 결손량을 저감할 수 있다.
- [0327] 산소 결손을 갖는 산화물 반도체 막을 사용한 트랜지스터의 역치 전압은 음의 방향으로 시프트하기 쉽고, 이러한 트랜지스터는 노멀리 온이 되는 경향이 있다. 이는 산화물 반도체 막의 산소 결손으로 인해 전하가 생성되며, 따라서 저항이 낮아지기 때문이다. 노멀리 온 특성을 갖는 트랜지스터는, 예를 들어 동작 시에는 작동불량이 유발될 가능성이 있고 비동작 시에는 소비 전력이 높아진다는 다양한 문제를 유발한다. 또한, 경시 변화에 의해 또는 스트레스 시험으로 인해, 트랜지스터의 전기 특성, 대표적으로 역치 전압의 변동량이 증대한다는 문제가 존재한다.

- [0328] 그러나, 본 실시형태의 트랜지스터(102)에서, 산화물 반도체 막(19a) 위에 제공된 산화물 절연막(23) 또는 산화물 절연막(25)은 화학양론적 조성보다 더 높은 비율로 산소를 함유한다. 또한, 산화물 반도체 막(19a), 산화물 절연막(23) 및 산화물 절연막(25)을 질화물 절연막(15) 및 산화물 절연막(17)에 의해 감싼다. 그 결과, 산화물 절연막(23) 또는 산화물 절연막(25)에 함유된 산소가 효율적으로 산화물 반도체 막(19a)으로 이동하여, 산화물 반도체 막(19a)의 산소 결손량을 저감할 수 있다. 따라서, 노멀리 오프 특성을 갖는 트랜지스터가 얻어진다. 또한, 경시 변화에 의한 또는 스트레스 시험으로 인한 트랜지스터의 전기 특성, 대표적으로 역치 전압의 변동량을 저감할 수 있다.
- [0329] 공통 전극(29)은 투광성을 갖는 막, 바람직하게는 투광성 도전막을 사용하여 형성된다. 투광성 도전막의 예는 산화텅스텐을 함유하는 인듐 산화물 막, 산화텅스텐을 함유하는 인듐 아연 산화물 막, 산화티타늄을 함유하는 인듐 산화물 막, 산화티타늄을 함유하는 인듐 주석 산화물 막, ITO 막, 인듐 아연 산화물 막, 및 산화실리콘이 첨가된 인듐 주석 산화물 막을 포함한다.
- [0330] 공통 전극(29)은 실시형태 1에 나타난 도전성을 갖는 산화물 반도체 막(155b)을 사용하여 형성될 수 있다.
- [0331] 신호선으로서 기능하는 도전막(21a)의 연신 방향 및 공통 전극(29)의 연신 방향은 서로 교차한다. 따라서, 신호선으로서 기능하는 도전막(21a)과 공통 전극(29) 사이의 전계, 및 도전성을 갖는 산화물 반도체 막(19b)과 공통 전극(29) 사이의 전계는 방향의 큰 차이를 갖는다. 따라서, 네거티브 액정 분자를 사용하는 경우에, 신호선으로서 기능하는 도전막 근방에서의 액정 분자의 배향 상태는, 인접하는 화소에 제공된 화소 전극과 공통 전극 사이의 전계에 의해 생성된 화소 전극 근방에서의 액정 분자의 배향 상태에 의해 영향을 받을 가능성이 낮다. 따라서, 화소의 투과율의 변화가 억제되어, 화상의 깜박거림을 저감할 수 있다.
- [0332] 또한, 리프레시 비율이 낮은 액정 표시 장치에서, 유지 기간 동안에도, 신호선으로서 기능하는 도전막(21a) 근방에서의 액정 분자의 배향은, 인접하는 화소의 화소 전극과 공통 전극(29) 사이의 전계로 인해 화소 전극 근방에서의 액정 분자의 배향 상태에 영향을 미칠 가능성이 낮다. 따라서, 유지 기간에서 화소의 투과율을 유지할 수 있고 깜박거림을 저감할 수 있다.
- [0333] 공통 전극(29)은 신호선으로서 기능하는 도전막(21a)과 교차하는 방향으로 연신되어 있는 스트라이프 영역을 포함한다. 따라서, 도전성을 갖는 산화물 반도체 막(19b) 및 도전막(21a) 근방에서, 의도하지 않는 액정 분자의 배향을 방지할 수 있고 광 누설을 억제할 수 있다. 그 결과, 콘트라스트가 탁월한 표시 장치를 제작할 수 있다.
- [0334] 공통 전극(29)의 형상은 도 32에 도시된 형상에 한정되지는 않으며, 스트라이프일 수 있다는 것에 유의한다. 스트라이프 형상의 경우에, 연신 방향은 신호선으로서 기능하는 도전막에 대해 평행할 수 있다. 공통 전극(29)은 빗살 형상을 가질 수 있다. 대안적으로, 공통 전극은 제1 기판(11)의 전체 표면 위에 형성될 수 있다. 또한 대안적으로, 도전성을 갖는 산화물 반도체 막(19b)과 상이한 투광성 도전막이, 절연막을 사이에 제공하여 공통 전극(29) 위에 형성될 수 있다.
- [0335] 유기 절연막(31)의 두께는 바람직하게는 500 nm 이상 10  $\mu$ m 이하이다. 도 33에서의 유기 절연막(31)의 두께는 제1 기판(11) 위에 형성된 무기 절연막(30)과 제2 기판(342) 위에 형성된 소자 층 사이의 간격보다 더 작다. 따라서, 유기 절연막(31)과 제2 기판(342) 위에 형성된 소자 층 사이에 액정 층(320)이 제공된다. 즉, 유기 절연막(31) 위의 배향막(33)과 제2 기판(342) 위의 소자 층에 포함되는 배향막(352) 사이에 액정 층(320)이 제공된다.
- [0336] 도시되지는 않았지만, 유기 절연막(31) 위의 배향막(33) 및 제2 기판(342) 위의 소자 층에 포함되는 배향막(352)은 서로 접할 수 있다는 것에 유의한다. 이러한 경우에, 유기 절연막(31)은 스페이서로서 기능하며, 따라서 액정 표시 장치의 셀 갭을 유기 절연막(31)으로 유지할 수 있다.
- [0337] 도 33에서 배향막(33)은 유기 절연막 위에 제공되지만, 본 발명의 실시형태의 일 실시형태는 이에 한정되지는 않는다. 상황 또는 조건에 따라, 유기 절연막(31)은 배향막(33) 위에 제공될 수 있다. 이러한 경우에, 러빙 단계가, 예를 들어 배향막(33)의 형성한 직후 대신에 배향막(33) 위의 유기 절연막(31)의 형성 후에 행해질 수 있다.
- [0338] 게이트 전극으로서 기능하는 도전막(13)에 음의 전압이 인가되면, 전계가 생성된다. 상기 전계는 산화물 반도체 막(19a)으로 차폐되지 않고, 무기 절연막(30)에 영향을 미치며, 따라서 무기 절연막(30)의 표면이 약하게 양으로 대전된다. 또한, 게이트 전극으로서 기능하는 도전막(13)에 음의 전압이 인가되면, 공기 중에 함유된 양



으로 대전된 입자가 무기 절연막(30)의 표면 위에 흡착되어, 무기 절연막(30)의 표면 위에 약한 양의 전하가 생성된다.

- [0339] 무기 절연막(30)의 표면이 양으로 대전되어, 전계가 생성되고, 상기 전계는 산화물 반도체 막(19a)과 무기 절연막(30) 사이의 계면에 영향을 미친다. 따라서, 산화물 반도체 막(19a)과 무기 절연막(30) 사이의 계면은 실질적으로 양의 바이어스가 인가된 상태로 되며, 따라서 트랜지스터의 역치 전압이 음의 방향으로 시프트한다.
- [0340] 다른 한편, 본 실시형태에 나타난 트랜지스터(102)는 무기 절연막(30) 위의 유기 절연막(31)을 포함한다. 유기 절연막(31)은 500 nm 이상만큼 두께가 크기 때문에, 게이트 전극으로서 기능하는 도전막(13)에 음의 전압이 인가되는 것에 의해 생성된 전계가 유기 절연막(31)의 표면에 영향을 미치지 않고, 유기 절연막(31)의 표면이 양으로 대전되기 어렵다. 또한, 공기 중에 양으로 대전된 입자가 유기 절연막(31)의 표면 위에 흡착되는 경우에도, 유기 절연막(31)이 두껍기 (500 nm 이상) 때문에, 유기 절연막(31)의 표면 위에 흡착된 양으로 대전된 입자 전계는 산화물 반도체 막(19a)과 무기 절연막(30)의 계면에 영향을 미칠 가능성이 낮다. 따라서, 산화물 반도체 막(19a)과 무기 절연막(30) 사이의 계면은 실질적으로 양의 바이어스가 인가된 상태로 되지 않으며, 따라서 트랜지스터의 역치 전압의 변동량이 작다.
- [0341] 유기 절연막(31)에서 물 등이 확산하기 쉽지만, 트랜지스터(10)에서 유기 절연막이 단리되기 때문에, 외부로부터의 물이 유기 절연막(31)을 통해 반도체 장치로 확산하지 않는다. 또한, 무기 절연막(30)에 질화물 절연막이 포함되어, 유기 절연막(31)에서 확산된 물이 산화물 반도체 막(19a)으로 확산하는 것을 방지할 수 있다.
- [0342] 공통 전극(29), 질화물 절연막(27) 및 유기 절연막(31) 위에 배향막(33)이 형성된다.
- [0343] 이어서, 도 33에서의 트랜지스터(102) 및 용량소자(105)의 제작 방법에 대해 도 34의 (A) 내지 (D), 도 35의 (A) 내지 (C) 및 도 36의 (A) 내지 (C)를 참조하여 기재할 것이다.
- [0344] 도 34의 (A)에 도시된 바와 같이, 제1 기판(11) 위에 도전막(13)이 되는 도전막(12)을 형성한다. 도전막(12)은 스퍼터링 방법, 화학 기상 퇴적 (CVD) 방법, 예컨대 금속 유기 화학 기상 퇴적 (MOCVD) 방법, 금속 화학 퇴적 방법, 원자층 성막 (ALD) 방법 또는 플라즈마-강화 화학 기상 퇴적 (PECVD) 방법, 증착 방법, 펄스 레이저 증착 (PLD) 방법 등에 의해 형성한다. 금속 유기 화학 기상 퇴적 (MOCVD) 방법, 금속 화학 퇴적 방법 또는 원자층 성막 (ALD) 방법을 사용하면, 도전막은 플라즈마에 의한 손상이 더 적다. 또한, 도전막(12)으로서 실시형태 1에 나타난 도전성을 갖는 산화물 반도체 막(155b)을 사용하는 경우에, 도전성을 갖는 산화물 반도체 막(155b)의 제작 방법을 적절하게 사용할 수 있다.
- [0345] 여기서, 제1 기판(11)으로서 유리 기판을 사용한다. 또한, 도전막(12)으로서 두께 100 nm의 텅스텐 막을 스퍼터링 방법에 의해 형성한다.
- [0346] 이어서, 도전막(12) 위에 제1 포토마스크를 사용한 포토리소그래피 공정에 의해 마스크를 형성한다. 이어서, 상기 마스크를 사용하여 도전막(12)의 일부를 에칭하여, 도 34의 (B)에 도시된 바와 같이 게이트 전극으로서 기능하는 도전막(13)을 형성한다. 그 후, 마스크를 제거한다.
- [0347] 게이트 전극으로서 기능하는 도전막(13)은 상기 형성 방법 대신에 전해 도금 방법, 인쇄 방법, 잉크젯 방법 등에 의해 형성할 수 있다는 것에 유의한다.
- [0348] 여기서, 건식 에칭 방법에 의해 텅스텐 막을 에칭하여, 게이트 전극으로서 기능하는 도전막(13)을 형성한다.
- [0349] 이어서, 도 34의 (C)에 도시된 바와 같이, 게이트 전극으로서 기능하는 도전막(13) 위에, 질화물 절연막(15), 및 나중에 산화물 절연막(17)이 되는 산화물 절연막(16)을 형성한다. 이어서, 산화물 절연막(16) 위에, 나중에 산화물 반도체 막(19a) 및 도전성을 갖는 산화물 반도체 막(19b)이 되는 산화물 반도체 막(18)을 형성한다.
- [0350] 질화물 절연막(15) 및 산화물 절연막(16)은 각각 스퍼터링 방법, 화학 기상 퇴적 (CVD) 방법, 예컨대 금속 유기 화학 기상 퇴적 (MOCVD) 방법, 금속 화학 퇴적 방법, 원자층 성막 (ALD) 방법 또는 플라즈마-강화 화학 기상 퇴적 (PECVD) 방법, 증착 방법, 펄스 레이저 증착 (PLD) 방법, 코팅 방법, 인쇄 방법 등에 의해 형성한다. 금속 유기 화학 기상 퇴적 (MOCVD) 방법, 금속 화학 퇴적 방법, 원자층 성막 (ALD) 방법을 사용하면, 질화물 절연막(15) 및 산화물 절연막(16)은 플라즈마에 의한 손상이 더 적다. 원자층 성막 (ALD) 방법을 사용하면, 질화물 절연막(15) 및 산화물 절연막(16)의 피복성을 높일 수 있다.
- [0351] 여기서, 실란, 질소 및 암모니아를 원료 가스로서 사용한 플라즈마 CVD 방법에 의해, 질화물 절연막(15)으로서 두께 300 nm의 질화실리콘 막을 형성한다.

- [0352] 산화물 절연막(16)으로서 산화실리콘 막, 산화질화실리콘 막 또는 질화산화실리콘 막을 형성하는 경우에, 원료 가스로서는 바람직하게는 실리콘을 함유하는 퇴적성 기체 및 산화성 기체를 사용한다. 실리콘을 함유하는 퇴적성 기체의 대표예는 실란, 디실란, 트리실란 및 실란 플루오라이드를 포함한다. 산화성 기체의 예는 산소, 오존, 일산화이질소 및 이산화질소를 포함한다.
- [0353] 산화물 절연막(16)으로서 산화갈륨 막을 형성하는 경우에, 금속 유기 화학 기상 퇴적 (MOCVD) 방법을 사용할 수 있다.
- [0354] 여기서, 실란 및 일산화이질소를 원료 가스로서 사용한 플라즈마 CVD 방법에 의해, 산화물 절연막(16)으로서 두께 50 nm의 산화질화실리콘 막을 형성한다.
- [0355] 산화물 반도체 막(18)은 실시형태 1에 기재된 산화물 반도체 막(155)과 유사한 방법에 의해 적절하게 형성될 수 있다.
- [0356] 여기서, In-Ga-Zn 산화물 타겟 (In:Ga:Zn = 1:1:1)을 사용한 스퍼터링 방법에 의해, 산화물 반도체 막으로서 두께 35 nm의 In-Ga-Zn 산화물 막을 형성한다.
- [0357] 이어서, 산화물 반도체 막(18) 위에 제2 포토마스크를 사용한 포토리소그래피 공정을 통해 마스크를 형성한 후, 상기 마스크를 사용하여 산화물 반도체 막을 일부 에칭한다. 따라서, 도 34의 (D)에 도시된 바와 같이, 서로 단리된 산화물 반도체 막(19a) 및 산화물 반도체 막(19c)을 형성한다. 그 후, 마스크를 제거한다.
- [0358] 여기서, 산화물 반도체 막(18) 위에 마스크를 형성하고, 습식 에칭 방법에 의해 산화물 반도체 막(18)의 일부를 에칭하는 방식으로 산화물 반도체 막(19a 및 19c)을 형성한다.
- [0359] 이어서, 도 35의 (A)에 도시된 바와 같이, 나중에 도전막(21a 및 21b)이 되는 도전막(20)을 형성한다.
- [0360] 도전막(20)은 실시형태 1에 기재된 도전막(159)과 유사한 방법에 의해 적절하게 형성될 수 있다.
- [0361] 여기서, 두께 50 nm의 Cu-Mn 합금 막 및 두께 300 nm의 구리 막을 스퍼터링 방법에 의해 순차 적층한다.
- [0362] 이어서, 도전막(20) 위에 제3 포토마스크를 사용한 포토리소그래피 공정에 의해 마스크를 형성한다. 이어서, 상기 마스크를 사용하여 도전막(20)을 에칭하여, 도 35의 (B)에 도시된 바와 같이 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a 및 21b)을 형성한다. 그 후, 마스크를 제거한다.
- [0363] 여기서, 구리 막 위에 포토리소그래피 공정에 의해 마스크를 형성한다. 이어서, 상기 마스크를 사용하여 Cu-Mn 막 및 구리 막을 에칭하여, 도전막(21a 및 21b)을 형성한다. 습식 에칭 방법을 사용함으로써, Cu-Mn 막 및 구리 막을 1 단계에서 에칭하여 도전막(21a 및 21b)을 형성할 수 있다는 것에 유의한다.
- [0364] 이어서, 도 35의 (C)에 도시된 바와 같이, 산화물 반도체 막(19a 및 19c) 및 도전막(21a 및 21b) 위에, 나중에 산화물 절연막(23)이 되는 산화물 절연막(22) 및 나중에 산화물 절연막(25)이 되는 산화물 절연막(24)을 형성한다. 산화물 절연막(22 및 24)은 각각 질화물 절연막(15) 및 산화물 절연막(16)과 유사한 방법에 의해 적절하게 형성될 수 있다.
- [0365] 산화물 절연막(22)을 형성한 후, 바람직하게는 대기에 노출시키지 않으면서 연속적으로 산화물 절연막(24)을 형성한다는 것에 유의한다. 산화물 절연막(22)을 형성한 후, 대기에 노출시키지 않으면서 원료 가스의 유량, 압력, 고주파 전력 및 기판 온도 중 적어도 하나를 조정함으로써 산화물 절연막(24)을 연속적으로 형성하여, 산화물 절연막(22)과 산화물 절연막(24) 사이의 계면에서의 대기 성분에 기인하는 불순물 농도를 저감한다. 이와 함께, 산화물 절연막(24) 중의 산소를 산화물 반도체 막(19a)으로 이동시킬 수 있으며, 따라서 산화물 반도체 막(19a)의 산소 결손량을 저감할 수 있다.
- [0366] 산화물 절연막(22)으로서, 퇴적성 기체에 대한 산화성 기체의 비를 20배 이상 100배 미만, 바람직하게는 40 이상 80 이하로 하고, 처리 챔버 내의 압력을 100 Pa 미만, 바람직하게는 50 Pa 이하로 하는 조건 하에 CVD 방법에 의해 질소를 함유하며 결함의 수가 적은 산화물 절연막을 형성할 수 있다.
- [0367] 산화물 절연막(22)의 원료 가스로서, 바람직하게는 실리콘을 함유하는 퇴적성 기체 및 산화성 기체를 사용한다. 실리콘을 함유하는 퇴적성 기체의 대표예는 실란, 디실란, 트리실란 및 실란 플루오라이드를 포함한다. 산화성 기체의 예는 산소, 오존, 일산화이질소 및 이산화질소를 포함한다.
- [0368] 상기 조건을 사용함으로써, 산화물 절연막(22)으로서 산소를 투과하는 산화물 절연막을 형성할 수 있다. 또한, 산화물 절연막(22)을 제공함으로써, 산화물 절연막(24)의 형성 단계에서, 산화물 반도체 막(19a)에 대한 손상을

저감할 수 있다.

- [0369] 여기서, 산화물 절연막(22)으로서, 유량 50 sccm의 실란 및 유량 2000sccm의 일산화이질소를 원료 가스로서 사용하고, 처리 챔버 내의 압력을 20 Pa로 하고, 기판 온도를 220℃로 하고, 27.12 MHz 고주파 전원을 사용하여 100 W의 고주파 전력을 평행 평판 전극에 공급한 플라즈마 CVD 방법에 의해, 두께 50 nm의 산화질화실리콘 막을 형성한다. 상기 조건 하에, 질소를 함유하며 결함의 수가 적은 산화질화실리콘 막을 형성할 수 있다.
- [0370] 산화물 절연막(24)으로서, 플라즈마 CVD 장치의 진공 배기된 처리 챔버 내에 적재된 기판을 180℃ 이상 280℃ 이하, 보다 바람직하게는 200℃ 이상 240℃ 이하로 유지하고, 처리 챔버에 원료 가스를 도입하여 압력을 100 Pa 이상 250 Pa 이하, 보다 바람직하게는 100 Pa 이상 200 Pa 이하로 하고, 처리 챔버 내에 제공된 전극에 0.17 W/cm<sup>2</sup> 이상 0.5 W/cm<sup>2</sup> 이하, 보다 바람직하게는 0.25 W/cm<sup>2</sup> 이상 0.35 W/cm<sup>2</sup> 이하의 고주파 전력을 공급하는 조건 하에, 산화실리콘 막 또는 산화질화실리콘 막을 형성한다.
- [0371] 산화물 절연막(24)의 원료 가스로서, 바람직하게는 실리콘을 함유하는 퇴적성 기체 및 산화성 기체를 사용한다. 실리콘을 함유하는 퇴적성 기체의 대표예는 실란, 디실란, 트리실란 및 실란 플루오라이드를 포함한다. 산화성 기체의 예는 산소, 오존, 일산화이질소 및 이산화질소를 포함한다.
- [0372] 산화물 절연막(24)의 성막 조건으로서, 상기 압력의 처리 챔버에 상기 전력 밀도의 고주파 전력을 공급하여, 플라즈마 중 원료 가스의 분해 효율이 높아지고, 산소 라디칼이 증가하고, 원료 가스의 산화가 촉진되며, 따라서 산화물 절연막(24) 중의 산소 함유량이 화학양론적 조성의 산소 함유량보다 더 높아진다. 반면에, 상기 온도 범위 내의 기판 온도에서 형성된 막에서는, 실리콘과 산소 사이의 결합이 약하며, 따라서 나중 단계에서의 가열 처리에 의해 막 중의 산소의 일부가 탈리한다. 따라서, 화학양론적 조성보다 더 높은 비율로 산소를 함유하며 가열에 의해 산소의 일부가 탈리하는 산화물 절연막을 형성하는 것이 가능하다. 또한, 산화물 반도체 막(19a) 위에 산화물 절연막(22)이 제공되기 때문에, 산화물 절연막(24)의 형성 단계에서, 산화물 절연막(22)이 산화물 반도체 막(19a)의 보호막으로서 기능한다. 결과적으로, 산화물 반도체 막(19a)에 대한 손상을 저감하면서, 전력 밀도가 높은 고주파 전력을 사용하여 산화물 절연막(24)을 형성할 수 있다.
- [0373] 여기서, 산화물 절연막(24)으로서, 유량 200 sccm의 실란 및 유량 4000 sccm의 일산화이질소를 원료 가스로서 사용하고, 처리 챔버 내의 압력을 200 Pa로 하고, 기판 온도를 220℃로 하고, 27.12 MHz 고주파 전원을 사용하여 1500 W의 고주파 전력을 평행 평판 전극에 공급한 플라즈마 CVD 방법에 의해, 두께 400 nm의 산화질화실리콘 막을 형성한다. 플라즈마 CVD 장치는 전극 면적이 6000 cm<sup>2</sup>인 평행 평판 플라즈마 CVD 장치이며, 공급된 전력을 단위 면적당 전력 (전력 밀도)으로 환산하면 0.25 W/cm<sup>2</sup>라는 것에 유의한다.
- [0374] 또한, 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a 및 21b)을 형성할 때에, 도전막의 에칭에 의해, 산화물 반도체 막(19a)이 손상되어, 산화물 반도체 막(19a)의 백 채널 측 (산화물 반도체 막(19a)에서, 게이트 전극으로서 기능하는 도전막(13)과 대향하는 면에 대해 반대 측)에 산소 결손이 생성된다. 그러나, 산화물 절연막(24)으로서 화학양론적 조성보다 더 높은 비율로 산소를 함유하는 산화물 절연막을 사용함으로써, 가열 처리에 의해 상기 백 채널 측에서 생성된 산소 결손을 수복할 수 있다. 이에 의해, 산화물 반도체 막(19a)에 함유된 결함을 저감할 수 있으며, 이는 트랜지스터(102)의 신뢰성을 개선시킨다.
- [0375] 이어서, 산화물 절연막(24) 위에 제4 포토마스크를 사용한 포토리소그래피 공정에 의해 마스크를 형성한다. 이어서, 상기 마스크를 사용하여 산화물 절연막(22) 및 산화물 절연막(24)의 일부를 에칭하여, 도 36의 (A)에 도시된 바와 같이, 개구(40)를 갖는 산화물 절연막(23) 및 산화물 절연막(25)을 형성한다. 그 후, 마스크를 제거한다.
- [0376] 상기 공정에서, 바람직하게는 건식 에칭 방법에 의해 산화물 절연막(22 및 24)을 에칭한다. 그 결과, 산화물 반도체 막(19c)은 에칭 처리에서 플라즈마에 노출되며, 따라서 산화물 반도체 막(19c)의 산소 결손량을 증가시킬 수 있다.
- [0377] 이어서, 가열 처리를 행한다. 상기 가열 처리는 대표적으로 150℃ 이상 400℃ 이하, 바람직하게는 300℃ 이상 400℃ 이하, 보다 바람직하게는 320℃ 이상 370℃ 이하의 온도에서 행한다.
- [0378] 상기 가열 처리에는 전기로, RTA 장치 등을 사용할 수 있다. RTA 장치를 사용함으로써, 가열 시간이 짧아도 기판의 변형점 이상의 온도에서 가열 처리를 행할 수 있다. 따라서, 가열 처리 시간을 단축할 수 있다.
- [0379] 가열 처리는 질소, 산소, 초진조 공기 (물 함유량이 20 ppm 이하, 바람직하게는 1 ppm 이하, 바람직하게는 10

ppb 이하인 공기) 또는 회가스 (아르곤, 헬륨 등)의 분위기 하에 행할 수 있다. 상기 질소, 산소, 조건조 공기 또는 회가스의 분위기는 바람직하게는 수소, 물 등을 함유하지 않는다.

- [0380] 상기 가열 처리에 의해, 산화물 절연막(25)에 함유된 산소의 일부를 산화물 반도체 막(19a)으로 이동시킬 수 있어서, 산화물 반도체 막(19a)에 함유된 산소 결손량을 추가로 저감할 수 있다.
- [0381] 산화물 절연막(23 및 25)에 물, 수소 등이 들어가고, 질화물 절연막(26)이 물, 수소 등에 대한 장벽 특성을 갖는 경우에, 질화물 절연막(26)을 나중에 형성하고 가열 처리를 행하면, 산화물 절연막(23 및 25)에 함유된 물, 수소 등이 산화물 반도체 막(19a)으로 이동하여, 산화물 반도체 막(19a)에 결함이 생성된다. 그러나, 상기 가열에 의해, 산화물 절연막(23 및 25)에 함유된 물, 수소 등을 탈리시킬 수 있으며, 따라서 트랜지스터(102)의 전기 특성의 변동을 저감할 수 있음과 함께, 역치 전압의 변동을 억제할 수 있다.
- [0382] 가열하면서 산화물 절연막(24)을 산화물 절연막(22) 위에 형성하면, 산소를 산화물 반도체 막(19a)으로 이동시켜, 산화물 반도체 막(19a)에 함유된 산소 결손량을 저감할 수 있으며, 따라서 상기 가열 처리를 반드시 행할 필요는 없다는 것에 유의한다.
- [0383] 상기 가열 처리는 바람직하게는 산화물 절연막(22 및 24)을 형성한 후에 행할 수 있다. 그러나, 산소를 산화물 반도체 막(19c)으로 이동시키지 않음과 함께, 산화물 반도체 막(19c)의 노출 때문에 산화물 반도체 막(19c)으로부터 산소가 탈리하고, 이때에 산소 결손이 생성되어, 더 높은 도전성을 갖는 막을 형성할 수 있기 때문에, 상기 가열 처리는 바람직하게는 산화물 절연막(23 및 25)을 형성한 후에 행한다.
- [0384] 여기서, 질소 및 산소의 혼합 분위기에서 350℃에서 1시간 동안 가열 처리를 행한다.
- [0385] 이어서, 도 36의 (B)에 도시된 바와 같이, 질화물 절연막(26)을 형성한다.
- [0386] 질화물 절연막(26)은 질화물 절연막(15) 및 산화물 절연막(16)과 유사한 방법에 의해 적절하게 형성될 수 있다. 질화물 절연막(26)을 스퍼터링 방법, CVD 방법 등에 의해 형성함으로써, 산화물 반도체 막(19c)이 플라즈마에 노출되며, 이는 산화물 반도체 막(19c)의 산소 결손량을 증가시킨다.
- [0387] 산화물 반도체 막(19c)은 도전성이 개선되어, 도전성을 갖는 산화물 반도체 막(19b)이 된다. 질화물 절연막(26)으로서 플라즈마 CVD 방법에 의해 질화실리콘 막을 형성하면, 질화실리콘 막에 함유된 수소가 산화물 반도체 막(19c)으로 확산되며, 따라서 산화물 반도체 막의 도전성을 향상시킬 수 있다. 도전성을 갖는 산화물 반도체 막(19b)의 제작 방법으로서, 실시형태 1에 나타난 다른 도전성을 갖는 산화물 반도체 막(155b)의 제작 방법을 적절하게 사용할 수 있다.
- [0388] 질화물 절연막(26)으로서 플라즈마 CVD 방법에 의해 질화실리콘 막을 형성하는 경우에, 플라즈마 CVD 장치의 진공 배기된 처리 챔버 내에 적재된 기판을 바람직하게는 300℃ 이상 400℃ 이하, 보다 바람직하게는 320℃ 이상 370℃ 이하로 유지하여, 치밀한 질화실리콘 막을 형성할 수 있다.
- [0389] 질화실리콘 막을 형성하는 경우에, 바람직하게는 실리콘을 함유하는 퇴적성 기체, 질소 및 암모니아를 원료 가스로서 사용한다. 원료 가스로서, 질소의 양에 비해 소량의 암모니아를 사용하여, 플라즈마 중에서 암모니아가 해리되어 활성종이 생성된다. 상기 활성종은 실리콘을 함유하는 퇴적성 기체에 함유된 실리콘과 수소 사이의 결합 및 질소 분자 사이의 삼중 결합을 절단한다. 그 결과, 실리콘과 질소 사이의 결합이 촉진되어 실리콘과 수소 사이의 결합이 적으며 결합이 적은 치밀한 질화실리콘 막을 형성할 수 있다. 반면에, 원료 가스에서 질소의 양보다 암모니아의 양이 더 많으면, 실리콘을 함유하는 퇴적성 기체의 분해 및 질소의 분해가 촉진되지 않아서, 실리콘과 수소 사이의 결합이 잔류하여 결합이 증대된 조악한 질화실리콘 막이 형성된다. 따라서, 원료 가스에서 암모니아에 대한 질소의 유량비를 바람직하게는 5 이상 50 이하, 보다 바람직하게는 10 이상 50 이하이도록 설정한다.
- [0390] 여기서, 플라즈마 CVD 장치의 처리 챔버에, 유량 50 sccm의 실란, 유량 5000 sccm의 질소 및 유량 100 sccm의 암모니아를 원료 가스로서 사용하고, 처리 챔버 내의 압력을 100 Pa로 하고, 기판 온도를 350℃로 하고, 27.12 MHz 고주파 전원을 사용하여 1000 W의 고주파 전력을 평행 평판 전극에 공급한 플라즈마 CVD 방법에 의해, 질화물 절연막(26)으로서 두께 50 nm의 질화실리콘 막을 형성한다. 플라즈마 CVD 장치는 전극 면적이 6000 cm<sup>2</sup>인 평행 평판형의 플라즈마 CVD 장치이며, 공급한 전력을 단위 면적당 전력 (전력 밀도)으로 환산하면  $1.7 \times 10^{-1}$  W/cm<sup>2</sup>라는 것에 유의한다.
- [0391] 이어서, 가열 처리를 행할 수 있다. 상기 가열 처리는 대표적으로 150℃ 이상 400℃ 이하, 바람직하게는 300℃



이상 400℃ 이하, 보다 바람직하게는 320℃ 이상 370℃ 이하의 온도에서 행한다. 그 결과, 역치 전압의 음의 시프트를 저감할 수 있다. 또한, 역치 전압의 변동량을 저감할 수 있다.

[0392] 이어서, 도시되지는 않았지만, 제5 포토마스크를 사용한 포토리소그래피 공정에 의해 마스크를 형성한다. 이어서, 상기 마스크를 사용하여 질화물 절연막(15), 산화물 절연막(16), 산화물 절연막(23), 산화물 절연막(25) 및 질화물 절연막(26) 각각의 일부를 에칭하여, 질화물 절연막(27)을 형성함과 함께, 도전막(13)과 동시에 형성된 접속 단자의 일부가 노출되는 개구를 형성한다. 대안적으로, 산화물 절연막(23), 산화물 절연막(25) 및 질화물 절연막(26) 각각의 일부를 에칭하여, 질화물 절연막(27)을 형성함과 함께, 도전막(21a 및 21b)과 동시에 형성된 접속 단자의 일부가 노출되는 개구를 형성한다.

[0393] 이어서, 도 36의 (C)에 도시된 바와 같이, 질화물 절연막(27) 위에, 나중에 공통 전극(29)이 되는 도전막(28)을 형성한다.

[0394] 도전막(28)은 스퍼터링 방법, CVD 방법, 증착 방법 등에 의해 형성한다.

[0395] 또한, 도전막(28)으로서 실시형태 1에 나타난 도전성을 갖는 산화물 반도체 막(155b)을 사용하는 경우에, 도전성을 갖는 산화물 반도체 막(155b)의 제작 방법을 적절하게 사용할 수 있다.

[0396] 이어서, 도전막(28) 위에 제6 포토마스크를 사용한 포토리소그래피 공정에 의해 마스크를 형성한다. 이어서, 상기 마스크를 사용하여 도전막(28)의 일부를 에칭하여, 도 37의 (A)에 도시된 바와 같이, 공통 전극(29)을 형성한다. 도시되지는 않았지만, 공통 전극(29)은 도전막(13)과 동시에 형성된 접속 단자 또는 도전막(21a 및 21b)과 동시에 형성된 접속 단자와 접속된다. 그 후, 마스크를 제거한다.

[0397] 이어서, 도 37의 (B)에 도시된 바와 같이, 질화물 절연막(27) 위에 유기 절연막(31)을 형성한다. 유기 절연막은 코팅 방법, 인쇄 방법 등에 의해 적절하게 형성될 수 있다.

[0398] 코팅 방법에 의해 유기 절연막을 형성하는 경우에, 질화물 절연막(27) 및 공통 전극(29)의 상부 표면에 코팅한 감광성 조성물을, 제7 포토마스크를 사용한 포토리소그래피 공정에 의해 노광 및 현상시키고, 이어서 가열 처리를 행한다. 질화물 절연막(27) 및 공통 전극(29)의 상부 표면에 비감광성 조성물을 코팅한 경우에, 비감광성 조성물의 상부 표면에 코팅한 레지스트를, 제7 포토마스크를 사용한 포토리소그래피 공정에 의해 가공하여 마스크를 형성한 후, 상기 마스크를 사용하여 비감광성 조성물을 에칭하여, 유기 절연막(31)을 형성할 수 있다는 것에 유의한다.

[0399] 상기 공정을 통해, 트랜지스터(102)를 제작함과 함께, 용량소자(105)를 제작할 수 있다.

[0400] 본 실시형태에 기재된 표시 장치의 소자 기판은 무기 절연막을 사이에 제공하여 트랜지스터와 중첩된 유기 절연막을 포함한다. 따라서, 트랜지스터의 신뢰성을 개선시킬 수 있고, 표시 품질이 유지된 표시 장치를 제작할 수 있다.

[0401] 본 실시형태의 표시 장치의 소자 기판에는, 상부 표면이 지그재그 형상이며 신호선으로서 기능하는 도전막과 교차하는 방향으로 연신되어 있는 스프라이프 영역을 포함하는 공통 전극이 제공된다. 따라서, 표시 장치는 탁월한 콘트라스트를 가질 수 있다. 또한, 리프레스 비율이 낮은 액정 표시 장치에서 깜박거림을 저감할 수 있다.

[0402] 본 실시형태의 표시 장치의 소자 기판에서, 채널 영역이 형성되는 트랜지스터의 산화물 반도체 막과 동시에, 화소 전극으로서 기능하는 도전성을 갖는 산화물 반도체 막이 형성되며, 따라서 6장의 포토마스크를 사용하여 트랜지스터(102) 및 용량소자(105)를 형성할 수 있다. 도전성을 갖는 산화물 반도체 막은 용량소자의 한쪽 전극으로서 기능한다. 공통 전극은 용량소자의 다른 쪽 전극으로서 기능한다. 따라서, 용량소자를 형성하기 위해 또 다른 도전막을 형성하는 단계가 불필요하며, 이는 표시 장치의 제작 단계의 수를 삭감한다. 용량소자는 투광성을 갖는다. 그 결과, 용량소자의 점유 면적을 증가시킬 수 있고, 화소의 개구율을 높일 수 있다. 또한, 표시 장치의 소비 전력을 저감할 수 있다.

[0403] 이어서, 제2 기판(342) 위에 형성되는 소자 층에 대해 기재한다. 제2 기판(342) 위에는 유색성을 갖는 막 (이하, 착색 막(346)으로 지칭됨)이 형성된다. 착색 막(346)은 컬러 필터로서 기능한다. 또한, 착색 막(346)에 인접하는 차광막(344)이 제2 기판(342) 위에 형성된다. 차광막(344)은 블랙 매트릭스로서 기능한다. 착색 막(346)은, 예를 들어 액정 표시 장치가 단색 표시 장치인 경우에는 반드시 제공될 필요는 없다.

[0404] 착색 막(346)은 특정한 파장 범위의 광을 투과하는 착색 막이다. 예를 들어, 적색 파장 범위의 광을 투과하는 적색 (R) 막, 녹색 파장 범위의 광을 투과하는 녹색 (G) 막, 및 청색 파장 범위의 광을 투과하는 청색 (B) 막을

사용할 수 있다.

- [0405] 차광막(344)은 바람직하게는 특정한 파장 범위의 광을 차광하는 기능을 가지며, 예를 들어 금속 막 또는 흑색 안료 등을 포함하는 유기 절연막 동일 수 있다.
- [0406] 착색 막(346) 위에는 절연막(348)이 형성된다. 절연막(348)은 평탄화층으로서 기능하거나 또는 착색 막(346) 중의 불순물이 액정 소자 측으로 확산되는 것을 억제한다.
- [0407] 절연막(348) 위에는 도전막(350)이 형성될 수 있다. 도전막(350)은 투광성 도전막을 사용하여 형성한다. 도전막(350)의 전위는 바람직하게는 공통 전극(29)의 전위와 동일하다. 즉, 바람직하게는 도전막(350)에는 공통 전위가 인가된다.
- [0408] 도전막(21b)에 액정 분자를 구동시키기 위한 전압이 인가되는 경우에, 도전막(21b)과 공통 전극(29) 사이에 전계가 생성된다. 상기 전계의 영향으로 인해 도전막(21b)과 공통 전극(29) 사이의 액정 분자가 배향하며, 따라서 갭막거림이 생성된다.
- [0409] 그러나, 액정 층(320)을 통해 공통 전극(29)과 대향하도록 도전막(350)을 제공하고, 공통 전극(29) 및 도전막(350)이 동일한 전위를 가져서, 도전막(21b)과 공통 전극(29) 사이의 전계로 인한 기판에 대해 수직인 방향으로의 액정 분자의 배향 변화를 억제하는 것이 가능하다. 이에 따라, 상기 영역에서의 액정 분자의 배향 상태가 안정화된다. 따라서, 갭막거림을 저감할 수 있다.
- [0410] 도전막(350) 위에 배향막(352)이 형성된다는 것에 유의한다.
- [0411] 또한, 배향막(33)과 (352) 사이에는 액정 층(320)이 형성된다. 액정 층(320)은 밀봉재 (도시되지 않음)를 사용하여 제1 기판(11)과 제2 기판(342) 사이에서 밀봉되어 있다. 밀봉재는 바람직하게는 외부로부터의 수분 등의 진입을 방지하기 위해 무기 재료와 접한다.
- [0412] 배향막(33)과 (352) 사이에, 액정 층(320)의 두께 (셀 갭으로도 지칭됨)를 유지하도록 스페이서를 제공할 수 있다.
- [0413] 본 실시형태에 나타낸 구조, 방법 등은 다른 실시형태에 나타낸 임의의 구조, 방법 등과 적절하게 조합하여 사용할 수 있다.
- [0414] <변형예 1>
- [0415] 도 33에서의 표시 장치의 변형예를 도 38에 도시한다.
- [0416] 도 38에서의 표시 장치에서는, 무기 절연막(30) 위에 유기 수지 막이 형성되지 않고, 배향막(33)이 무기 절연막(30)과 접한다. 그 결과, 제1 기판(11) 위에 소자 층을 형성하기 위한 포토마스크를 생략할 수 있으며, 이는 소자 층이 제공된 제1 기판(11)의 제작 공정을 간략화한다.
- [0417] <변형예 2>
- [0418] 도 33에서의 표시 장치의 변형예를 도 39에 도시한다.
- [0419] 도 39에서의 표시 장치에서는, 질화물 절연막(27) 위에, 분리되지 않은 연속적 유기 수지 막(31a)이 형성된다. 또한, 유기 수지 막(31a) 위에 공통 전극(29)이 형성된다. 유기 수지 막(31a)은 평탄화 막으로서 기능하며, 따라서 액정 층에 포함되는 액정 분자의 배향 불균일을 저감할 수 있다.
- [0420] <변형예 3>
- [0421] 도 33에서의 표시 장치의 변형예를 도 40에 도시한다.
- [0422] 도 40에서의 화소 전극으로서 기능하는 도전성을 갖는 산화물 반도체 막(19b)은 슬릿을 갖는다. 도전성을 갖는 산화물 반도체 막(19b)은 빗살 형상을 가질 수 있다는 것에 유의한다.
- [0423] <변형예 4>
- [0424] 도 33에서의 표시 장치의 변형예를 도 41에 도시한다.
- [0425] 도 41에서의 공통 전극(29)은 질화물 절연막(27)을 사이에 제공하여 도전막(21b)과 중첩된다. 공통 전극(29), 질화물 절연막(27) 및 도전막(21b)은 용량소자(105b)를 구성한다. 이러한 구조는 용량소자(105b)가 화소 전극의 전위를 유지하는 용량소자로서 기능하는 것을 가능하게 하며, 이는 화소에서 용량가를 증가시킨다.

- [0426] <변형예 5>
- [0427] 도 33에서의 트랜지스터(102)의 변형예를 도 42의 (A) 및 (B)에 도시한다.
- [0428] 도 42의 (A)에 도시된 트랜지스터(102d)는 다계조 포토마스크를 사용하여 형성된 산화물 반도체 막(19g) 및 한 쌍의 도전막(21c 및 21d)을 포함한다.
- [0429] 다계조 포토마스크를 사용함으로써, 복수의 두께를 갖는 레지스트 마스크를 형성할 수 있다. 상기 레지스트 마스크를 사용하여 산화물 반도체 막(19g)을 형성한 후, 산소 플라즈마 등에 레지스트 마스크를 노출시키고, 일부를 제거하며, 따라서 한 쌍의 도전막을 형성하기 위한 레지스트 마스크가 형성된다. 따라서, 산화물 반도체 막(19g) 및 한 쌍의 도전막(21c 및 21d)의 형성 공정에서 포토리소그래피 단계의 수를 삭감할 수 있다.
- [0430] 상기로부터 보여진 바와 같이, 다계조 포토마스크를 사용하여 형성된 산화물 반도체 막(19g)은 한 쌍의 도전막(21c 및 21d) 외측으로 일부 노출되어 있다는 것에 유의한다.
- [0431] 도 42의 (B)에 도시된 트랜지스터(102e)는 채널 보호 트랜지스터이다.
- [0432] 도 42의 (B)에 도시된 트랜지스터(102e)는 제1 기판(11) 위에 제공되는 게이트 전극으로서 기능하는 도전막(13), 제1 기판(11) 및 도전막(13) 위에 형성되는 게이트 절연막(14), 게이트 절연막(14)을 사이에 제공하여 도전막(13)과 중첩된 산화물 반도체 막(19a), 산화물 반도체 막(19a)의 채널 영역 및 측면을 피복하는 무기 절연막(30a), 및 무기 절연막(30a)의 개구에서 산화물 반도체 막(19a)과 접하며 소스 전극 및 드레인 전극으로서 기능하는 도전막(21e 및 21f)을 포함한다.
- [0433] 채널 보호 트랜지스터에서는, 산화물 반도체 막(19a)이 무기 절연막(30a)으로 피복되어 있기 때문에, 도전막(21e 및 21f)을 형성하기 위한 에칭에 의해 산화물 반도체 막(19a)이 손상되지 않는다. 따라서, 산화물 반도체 막(19a)의 결함을 저감할 수 있다.
- [0434] 본 실시형태에 나타난 구조, 방법 등은 다른 실시형태에 나타난 임의의 구조, 방법 등과 적절하게 조합하여 사용할 수 있다.
- [0435] (실시형태 6)
- [0436] 본 실시형태에서는, 표시 장치의 일례로서, 수직 배향 (VA) 모드로 구동되는 액정 표시 장치에 대해 기재할 것이다. 먼저, 액정 표시 장치에 포함되는 복수의 화소(103)의 상면도를 도 43에 나타낸다.
- [0437] 도 43에서, 주사선으로서 기능하는 도전막(13)은 신호선으로서 기능하는 도전막에 대해 실질적으로 직교하는 방향 (도면에서 좌우 방향)으로 연신되어 있다. 신호선으로서 기능하는 도전막(21a)은 주사선으로서 기능하는 도전막에 대해 실질적으로 직교하는 방향 (도면에서 상하 방향)으로 연신되어 있다. 용량선으로서 기능하는 도전막(21e)은 신호선에 대해 평행한 방향으로 연신되어 있다. 주사선으로서 기능하는 도전막(13)은 주사선 구동 회로(104) (도 31의 (A) 참조)와 전기적으로 접속되고, 신호선으로서 기능하는 도전막(21a) 및 용량선으로서 기능하는 도전막(21e)은 신호선 구동 회로(106) (도 31의 (A) 참조)와 전기적으로 접속된다는 것에 유의한다.
- [0438] 트랜지스터(102)는 주사선으로서 기능하는 도전막 및 신호선으로서 기능하는 도전막이 서로 교차하는 영역에 제공된다. 트랜지스터(102)는 게이트 전극으로서 기능하는 도전막(13); 게이트 절연막 (도 43에 도시되지 않음); 채널 영역이 형성되는, 게이트 절연막 위의 산화물 반도체 막(19a); 및 한 쌍의 전극으로서 기능하는 도전막(21a 및 21b)을 포함한다. 도전막(13)은 주사선으로서도 기능하며, 산화물 반도체 막(19a)과 중첩된 도전막(13)의 영역이 트랜지스터(102)의 게이트 전극으로서 기능한다. 또한, 도전막(21a)은 신호선으로서도 기능하며, 산화물 반도체 막(19a)과 중첩된 도전막(21a)의 영역이 트랜지스터(102)의 소스 전극 또는 드레인 전극으로서 기능한다. 또한, 도 43의 상면도에서, 주사선으로서 기능하는 도전막의 단부가 산화물 반도체 막(19a)의 단부의 외측에 위치한다. 따라서, 주사선으로서 기능하는 도전막은 백라이트 등의 광원으로부터의 광을 차단하는 차광막으로서 기능한다. 이로 인해, 트랜지스터에 포함되는 산화물 반도체 막(19a)에는 광이 조사되지 않아서, 트랜지스터의 전기 특성의 변동을 억제할 수 있다.
- [0439] 또한, 트랜지스터(102)는 실시형태 5에서와 같이, 산화물 반도체 막(19a)과 중첩된 유기 절연막(31)을 포함한다. 유기 절연막(31)은 무기 절연막 (도 43에 도시되지 않음)을 사이에 제공하여 산화물 반도체 막(19a) (특히, 도전막(21a)과 (21b) 사이에 있는 산화물 반도체 막(19a)의 영역)과 중첩된다.
- [0440] 도전막(21b)은 개구(41)에서 화소 전극으로서 기능하는 투광성 도전막(29c)과 전기적으로 접속되고 있다.

- [0441] 용량소자(105)는 용량선으로서 기능하는 도전막(21e)과 접속된다. 용량소자(105)는 게이트 절연막 위에 형성되는 도전성을 갖는 산화물 반도체 막(19d), 트랜지스터(102) 위에 형성되는 유전체 막, 및 화소 전극으로서 기능하는 투광성 도전막(29c)을 포함한다. 게이트 절연막 위에 형성되는 도전성을 갖는 산화물 반도체 막(19d)은 투광성을 갖는다. 즉, 용량소자(105)는 투광성을 갖는다.
- [0442] 투광성을 갖기 때문에, 화소(103) 내에서 용량소자(105)를 크게 형성할 수 있다. 따라서, 개구율을 대표적으로 55% 이상, 바람직하게는 60% 이상 높임과 함께, 용량가가 높은 반도체 장치를 얻을 수 있다. 예를 들어, 고해상도 반도체 장치, 예컨대 액정 표시 장치에서는, 화소의 면적이 작아지며, 따라서 용량소자의 면적도 작아진다. 그 결과, 고해상도 반도체 장치에서, 용량소자에 축적되는 전하량의 양이 작아진다. 그러나, 본 실시형태의 용량소자(105)는 투광성을 갖기 때문에, 상기 용량소자(105)를 화소에 제공하면, 화소에서 충분한 용량가를 얻을 수 있고, 개구율을 개선시킬 수 있다. 대표적으로, 용량소자(105)는 화소 밀도가 200 ppi 이상, 300 ppi 이상, 또는 500 ppi 이상인 고해상도 반도체 장치에 유리하게 사용될 수 있다.
- [0443] 또한, 본 발명의 일 실시형태에 따르면, 고해상도 표시 장치에서도 개구율을 개선시킬 수 있으며, 이는 백라이트 등의 광원으로부터의 광을 효율적으로 사용하는 것을 가능하게 하여, 표시 장치의 소비 전력을 저감할 수 있다.
- [0444] 이어서, 도 44는 도 43에서의 일점 과선 A-B 및 C-D를 따르는 단면도이다. 도 43에 도시된 트랜지스터(102)는 채널 에칭 트랜지스터이다. 일점 과선 A-B를 따르는 단면도에는 채널 길이 방향으로의 트랜지스터(102), 트랜지스터(102)와 화소 전극으로서 기능하는 투광성 도전막(29c) 사이의 접속부, 및 용량소자(105)가 도시되고, C-D를 따르는 단면도에는 채널 폭 방향으로의 트랜지스터(102)가 도시되어 있다는 것에 유의한다.
- [0445] 본 실시형태에 기재된 액정 표시 장치는 VA 모드로 구동되는 액정 표시 장치이기 때문에, 액정 소자(322)는 제1 기판(11)의 소자 층에 포함되는 화소 전극으로서 기능하는 투광성 도전막(29c), 제2 기판(342)의 소자 층에 포함되는 도전막(350), 및 액정 층(320)을 포함한다.
- [0446] 또한, 도 44에서의 트랜지스터(102)는 실시형태 5의 트랜지스터(102)와 유사한 구조를 갖는다. 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a 및 21b) 중 한쪽 (여기서는, 도전막(21b))과 접속하는 화소 전극으로서 기능하는 투광성 도전막(29c)이 절화물 절연막(27) 위에 형성된다. 절화물 절연막(27)의 개구(41)에서, 도전막(21b)이 화소 전극으로서 기능하는 투광성 도전막(29c)과 접속된다.
- [0447] 화소 전극으로서 기능하는 투광성 도전막(29c)은 실시형태 5의 공통 전극(29)과 유사한 재료 및 제작 방법을 적절하게 사용하여 형성될 수 있다.
- [0448] 도 44에서의 용량소자(105)는 산화물 절연막(17) 위에 형성되는 도전성을 갖는 산화물 반도체 막(19d), 절화물 절연막(27), 및 화소 전극으로서 기능하는 투광성 도전막(29c)을 포함한다.
- [0449] 본 실시형태의 트랜지스터(102) 위에는, 서로 단리된 산화물 절연막(23 및 25)이 형성된다. 서로 단리된 산화물 절연막(23 및 25)이 산화물 반도체 막(19a)과 중첩된다.
- [0450] 또한, 절화물 절연막(27) 위에, 산화물 반도체 막(19a)과 중첩된 유기 절연막(31)이 제공된다. 산화물 반도체 막(19a)과 중첩된 유기 절연막(31)을 트랜지스터(102) 위에 제공하여, 산화물 반도체 막(19a)의 표면을 유기 절연막(31)의 표면으로부터 이격시킬 수 있다. 따라서, 산화물 반도체 막(19a)의 표면은 유기 절연막(31)의 표면 위에 흡착된 양으로 대전된 입자에 의한 전계의 영향을 받지 않으며, 따라서 트랜지스터(102)의 신뢰성을 개선시킬 수 있다.
- [0451] 용량소자(105)에서, 도전성을 갖는 산화물 반도체 막(19d)은 실시형태 5의 것과 상이하며, 도전막(21b)과 접속되지 않는다. 반면에, 도전성을 갖는 산화물 반도체 막(19d)은 도전막(21d)과 접한다. 도전막(21d)은 용량선으로서 기능한다. 도전성을 갖는 산화물 반도체 막(19d)은 실시형태 5의 도전성을 갖는 산화물 반도체 막(19b)과 유사한 방식으로 형성될 수 있다. 즉, 도전성을 갖는 산화물 반도체 막(19d)은 산화물 반도체 막(19a)과 동일한 금속 원소를 함유하는 금속 산화물 막이다. 또한, 도전성을 갖는 산화물 반도체 막(19d)은 실시형태 5의 도전성을 갖는 산화물 반도체 막(19b)과 동일한 제작 방법에 의해 형성될 수 있다.
- [0452] 이어서, 도 44에서의 트랜지스터(102) 및 용량소자(105)의 제작 방법에 대해 도 45의 (A) 내지 (C) 및 도 46의 (A) 내지 (C)를 참조하여 기재할 것이다.
- [0453] 제1 기판(11) 위에 도전막을 형성하고, 이어서 실시형태 5의 제1 포토리소그래피 공정을 통해 형성된 마스크를 사용하여 에칭하여, 제1 기판(11) 위에 게이트 전극으로서 기능하는 도전막(13)을 형성한다 (도 45의 (A) 참



조).

- [0454] 이어서, 제1 기판(11) 및 게이트 전극으로서 기능하는 도전막(13) 위에, 질화물 절연막(15) 및 산화물 절연막(16)을 형성한다. 이어서, 산화물 절연막(16) 위에 산화물 반도체 막을 형성하고, 이어서 실시형태 5의 제2 포토리소그래피 공정을 통해 형성된 마스크를 사용하여 에칭하여, 산화물 반도체 막(19a 및 19c)을 형성한다 (도 45의 (B) 참조).
- [0455] 이어서, 산화물 절연막(16) 및 산화물 반도체 막(19a 및 19c) 위에 도전막을 형성하고, 이어서 실시형태 5의 제3 포토리소그래피 공정을 통해 형성된 마스크를 사용하여 에칭하여, 도전막(21a, 21b 및 21d)을 형성한다 (도 45의 (C) 참조). 이때에, 산화물 반도체 막(19c)과 접하지 않도록, 도전막(21b)을 형성한다. 산화물 반도체 막(19c)과 접하도록, 도전막(21d)을 형성한다.
- [0456] 이어서, 산화물 절연막(16), 산화물 반도체 막(19a 및 19c) 및 도전막(21a, 21b 및 21d) 위에 산화물 절연막을 형성하고, 이어서 실시형태 5의 제4 포토리소그래피 공정을 통해 형성된 마스크를 사용하여 에칭하여, 개구(40)를 갖는 산화물 절연막(23 및 25)을 형성한다 (도 46의 (A) 참조).
- [0457] 이어서, 산화물 절연막(17), 산화물 반도체 막(19a 및 19c), 도전막(21a, 21b 및 21d) 및 산화물 절연막(23 및 25) 위에 질화물 절연막을 형성하고, 이어서 실시형태 5의 제5 포토리소그래피 공정을 통해 형성된 마스크를 사용하여 에칭하여, 도전막(21b)의 일부가 노출되는 개구(41)를 갖는 질화물 절연막(27)을 형성한다 (도 46의 (B) 참조).
- [0458] 상기 단계를 통해, 산화물 반도체 막(19c)은 도전성을 갖는 산화물 반도체 막(19d)이 된다. 나중에 질화물 절연막(27)으로서 플라즈마 CVD 방법에 의해 질화실리콘 막을 형성하면, 질화실리콘 막에 함유된 수소가 산화물 반도체 막(19c)으로 확산되며, 따라서 도전성을 갖는 산화물 반도체 막(19d)을 얻을 수 있다.
- [0459] 이어서, 도전막(21b), 질화물 절연막(27) 위에 도전막을 형성하고, 이어서 실시형태 5의 제6 포토리소그래피 공정을 통해 형성된 마스크를 사용하여 에칭하여, 도전막(21b)과 접촉되는 도전막(29c)을 형성한다 (도 46의 (C) 참조).
- [0460] 상기로부터, 산화물 반도체 막을 포함하는 반도체 장치에 대해, 전기 특성이 개선된 반도체 장치를 얻을 수 있다.
- [0461] 본 실시형태에 기재된 반도체 장치의 소자 기판 위에는, 트랜지스터의 산화물 반도체 막과 동시에, 용량소자의 한쪽 전극이 형성된다. 또한, 화소 전극으로서 기능하는 투광성 도전막을 용량소자의 다른 쪽 전극으로서 사용한다. 따라서, 용량소자를 형성하기 위해 또 다른 도전막을 형성하는 단계가 불필요하며, 이는 제작 단계의 수를 삭감한다. 또한, 한 쌍의 전극이 투광성을 갖기 때문에, 용량소자는 투광성을 갖는다. 그 결과, 용량소자의 점유 면적을 증가시킬 수 있고, 화소의 개구율을 높일 수 있다.
- [0462] <변형예 1>
- [0463] 본 실시형태에서는, 실시형태 5에 기재된 반도체 장치에 비해 적은 마스크 매수로 제작할 수 있는 표시 장치에 대해 도 47을 참조하여 기재할 것이다.
- [0464] 도 47에 도시된 표시 장치에서는, 트랜지스터(102) 위에 형성되는 산화물 절연막(22) 및 산화물 절연막(24)을 에칭하지 않는 것에 의해, 마스크 매수를 삭감할 수 있다. 또한, 산화물 절연막(24) 위에는 질화물 절연막(27)이 형성되고, 산화물 절연막(22, 24) 및 질화물 절연막(27)에 도전막(21b)의 일부가 노출되는 개구(41a)가 형성된다. 또한, 질화물 절연막(27) 위에는 화소 전극으로서 기능하며 개구(41a)에서 도전막(21b)과 접촉되는 투광성 도전막(29d)이 형성된다.
- [0465] 산화물 절연막(17) 위에 도전막(21d)이 형성된다. 도전막(21d)은 도전막(21a 및 21b)과 동시에 형성되기 때문에, 도전막(21d)을 형성하기 위해 추가의 포토마스크가 필요하지는 않다. 도전막(21d)은 용량선으로서 기능한다. 즉, 용량소자(105a)는 도전막(21d), 산화물 절연막(22), 산화물 절연막(24), 질화물 절연막(27) 및 화소 전극으로서 기능하는 투광성 도전막(29d)을 포함한다.
- [0466] 본 실시형태에 나타난 구조, 방법 등은 다른 실시형태에 나타난 임의의 구조, 방법 등과 적절하게 조합하여 사용할 수 있다.
- [0467] (실시형태 7)

- [0468] 본 실시형태에서는, 실시형태 5의 표시 장치와 상이한 표시 장치 및 그의 제작 방법에 대해 도 48을 참조하여 기재할 것이다. 본 실시형태는 트랜지스터가 상이한 게이트 전극 사이에 산화물 반도체 막이 제공되는 구조, 즉 듀얼 게이트 구조를 갖는다는 점에서 실시형태 5와 상이하다. 실시형태 5와 유사한 구조에 대해서는 중복 기재하지 않는다는 것에 유의한다.
- [0469] 표시 장치에 포함되는 제1 기판(11) 위에 형성되는 소자 층의 구체적 구조에 대해 기재한다. 본 실시형태의 표시 장치에 제공되는 트랜지스터는, 게이트 전극으로서 기능하는 도전막(13), 산화물 반도체 막(19a), 도전막(21a 및 21b) 및 산화물 절연막(25) 각각의 일부 또는 전부와 중첩되도록, 게이트 전극으로서 기능하는 도전막(29b)이 제공된다는 점에서 실시형태 5와 상이하다. 게이트 전극으로서 기능하는 도전막(29b)은 개구(41a) 및 개구(41b)에서 게이트 전극으로서 기능하는 도전막(13)과 접속된다.
- [0470] 이어서, 도 48에 도시된 트랜지스터(102a)는 채널 에칭 트랜지스터이다. A-B를 따르는 단면도는 채널 길이 방향의 트랜지스터(102a) 및 용량소자(105a)를 도시하고, C-D를 따르는 단면도는 채널 폭 방향의 트랜지스터(102a) 및 게이트 전극으로서 기능하는 도전막(13)과 게이트 전극으로서 기능하는 도전막(29b) 사이의 접속부를 도시한다는 것에 유의한다.
- [0471] 도 48에서의 트랜지스터(102a)는 듀얼 게이트 구조를 가지며, 게이트 전극으로서 기능하는 도전막(13)을 제1 기판(11) 위에 포함한다. 또한, 트랜지스터(102a)는 제1 기판(11) 및 게이트 전극으로서 기능하는 도전막(13) 위에 형성되는 질화물 절연막(15), 질화물 절연막(15) 위에 형성되는 산화물 절연막(17), 질화물 절연막(15) 및 산화물 절연막(17)을 사이에 제공하여 게이트 전극으로서 기능하는 도전막(13)과 중첩된 산화물 반도체 막(19a), 및 소스 전극 및 드레인 전극으로서 기능하며 산화물 반도체 막(19a)과 접하는 도전막(21a 및 21b)을 포함한다. 또한, 산화물 절연막(17), 산화물 반도체 막(19a) 및 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a 및 21b) 상에는, 산화물 절연막(23)이 형성되고, 산화물 절연막(23) 위에는 산화물 절연막(25)이 형성된다. 질화물 절연막(15), 산화물 절연막(23), 산화물 절연막(25), 도전막(21b) 위에는 질화물 절연막(27)이 형성된다. 도전성을 갖는 산화물 반도체 막(19b)이 산화물 절연막(17) 위에 형성된다. 도전성을 갖는 산화물 반도체 막(19b)은 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a 및 21b) 중 한쪽과 접속되며, 여기서는 도전막(21b)과 접속된다. 공통 전극(29) 및 게이트 전극으로서 기능하는 도전막(29b)이 질화물 절연막(27) 위에 형성된다.
- [0472] C-D를 따르는 단면도에 도시된 바와 같이, 질화물 절연막(15), 산화물 절연막(17), 산화물 절연막(23 및 25) 및 질화물 절연막(27)에 제공되는 개구(41a 및 41b)에서, 게이트 전극으로서 기능하는 도전막(29b)은 게이트 전극으로서 기능하는 도전막(13)과 접속된다. 즉, 게이트 전극으로서 기능하는 도전막(13) 및 게이트 전극으로서 기능하는 도전막(29b)은 동일한 전위를 갖는다.
- [0473] 따라서, 트랜지스터(102a)의 각각의 게이트 전극에 동일한 전위의 전압을 인가함으로써, 초기 특성의 변동을 저감할 수 있고, -GBT 스트레스 시험 후 트랜지스터(102a)의 열화 및 상이한 드레인 전압에서의 온 전류의 상승 전압의 변동을 억제할 수 있다. 또한, 산화물 반도체 막(19a)에서 캐리어가 흐르는 영역이 막 두께 방향에서보다 더 커져서, 캐리어의 이동량이 증가한다. 그 결과, 트랜지스터(102a)의 온 전류가 커짐과 함께, 전계 효과 이동도가 대표적으로  $20 \text{ cm}^2/\text{V} \cdot \text{s}$  이상으로 높아진다.
- [0474] 본 실시형태의 트랜지스터(102a) 위에는 산화물 절연막(23 및 25)이 형성된다. 산화물 절연막(23 및 25)이 산화물 반도체 막(19a)과 중첩된다. 채널 폭 방향의 단면도에서, 산화물 절연막(23 및 25)의 단부가 산화물 반도체 막(19a)의 외측에 위치한다. 또한, 도 48에서의 채널 폭 방향에서, 게이트 전극으로서 기능하는 도전막(29b)은 산화물 절연막(23 및 25)의 단부에 위치한다.
- [0475] 에칭 등에 의해 가공된 산화물 반도체 막의 단부는 가공에 의해 손상되어 결함이 형성됨과 함께, 불순물 등으로 오염된다. 따라서, 산화물 반도체 막의 단부는 전계 등의 스트레스의 인가에 의해 활성화되기 쉬워서, n형이 되기 (낮은 저항을 갖기) 쉽다. 따라서, 게이트 전극으로서 기능하는 도전막(13)과 중첩된 산화물 반도체 막(19a)의 단부는 n형이 되기 쉽다. 상기 n형이 된 단부가 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a)와 (21b) 사이에 제공되면, n형 영역이 캐리어 경로로서 기능하여, 기생 채널이 생성된다. 그러나, C-D를 따르는 단면도에 도시된 바와 같이, 채널 폭 방향에서, 게이트 전극으로서 기능하는 도전막(29b)이, 산화물 절연막(23 및 25)을 사이에 제공하여 산화물 반도체 막(19a)의 측면과 대향하여, 게이트 전극으로서 기능하는 도전막(29b)의 전계의 영향 때문에, 산화물 반도체 막(19a)의 측면 위에서의 또는 상기 측면 및 상기 측면 근방을 포함하는 영역에서의 기생 채널의 생성이 억제된다. 그 결과, 트랜지스터는 역치 전압에서의 드레인 전류의 급

격한 상승 등의 탁월한 전기 특성을 갖는다.

- [0476] 본 실시형태에 기재된 표시 장치의 소자 기관 위에는, 트랜지스터의 산화물 반도체 막과 동시에, 화소 전극으로서 기능하는 도전성을 갖는 산화물 반도체 막이 형성된다. 도전성을 갖는 산화물 반도체 막은 용량소자의 한쪽 전극으로서도 기능한다. 공통 전극은 용량소자의 다른 쪽 전극으로서도 기능한다. 따라서, 용량소자를 형성하기 위해 또 다른 도전막을 형성하는 단계가 불필요하며, 이는 제작 단계의 수를 삭감한다. 또한, 용량소자는 투광성을 갖기 때문에, 용량소자의 점유 면적을 증가시킬 수 있고, 화소의 개구율을 높일 수 있다.
- [0477] 이하, 트랜지스터(102a)의 세부사항에 대해 기재할 것이다. 실시형태 5와 동일한 참조 부호를 갖는 구성요소에 대해서는 중복 기재하지 않는다는 것에 유의한다.
- [0478] 게이트 전극으로서 기능하는 도전막(29b)은 실시형태 5의 공통 전극(29)과 유사한 재료를 사용하여 형성될 수 있다.
- [0479] 이어서, 도 48에서의 트랜지스터(102a) 및 용량소자(105a)의 제작 방법에 대해 도 34의 (A) 내지 (D), 도 35의 (A) 내지 (C), 도 36의 (A) 내지 (C) 및 도 49의 (A) 내지 (C)를 참조하여 기재할 것이다.
- [0480] 실시형태 5에서와 같이, 도 34의 (A) 내지 (D), 도 35의 (A) 내지 (C) 및 도 36의 (A)에 도시된 단계를 통해, 제1 기관(11) 위에, 게이트 전극으로서 기능하는 도전막(13), 질화물 절연막(15), 산화물 절연막(16), 산화물 반도체 막(19a), 도전성을 갖는 산화물 반도체 막(19b), 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a 및 21b), 산화물 절연막(22), 산화물 절연막(24) 및 질화물 절연막(26)을 형성한다. 이들 단계에서는, 제1 포토마스크 내지 제4 포토마스크를 사용한 포토리소그래피 공정을 행한다.
- [0481] 이어서, 질화물 절연막(26) 위에 제5 포토마스크를 사용한 포토리소그래피 공정을 통해 마스크를 형성한 후, 상기 마스크를 사용하여 질화물 절연막(26)의 일부를 에칭하여, 도 49의 (A)에 도시된 바와 같이, 개구(41a 및 41b)를 갖는 질화물 절연막(27)을 형성한다.
- [0482] 이어서, 도 49의 (B)에 도시된 바와 같이, 게이트 전극으로서 기능하는 도전막(13) 및 질화물 절연막(27) 위에, 공통 전극(29) 및 게이트 전극으로서 기능하는 도전막(29b)이 되는 도전막(28)을 형성한다.
- [0483] 이어서, 도전막(28) 위에 제6 포토마스크를 사용한 포토리소그래피 공정에 의해 마스크를 형성한다. 이어서, 상기 마스크를 사용하여 도전막(28)의 일부를 에칭하여, 도 49의 (C)에 도시된 바와 같이, 공통 전극(29) 및 게이트 전극으로서 기능하는 도전막(29b)을 형성한다. 그 후, 마스크를 제거한다.
- [0484] 상기 공정을 통해, 트랜지스터(102a)를 제작함과 함께, 용량소자(105a)를 제작할 수 있다.
- [0485] 본 실시형태에 기재된 트랜지스터의 채널 폭 방향에서, 게이트 전극으로서 기능하는 도전막(29b)은, 산화물 절연막(23 및 25)을 사이에 제공하여 산화물 반도체 막(19a)의 측면과 대향한다. 따라서, 게이트 전극으로서 기능하는 도전막(29b)의 전계의 영향 때문에, 산화물 반도체 막(19a)의 측면 위에서의 또는 상기 측면 및 상기 측면 근방을 포함하는 영역에서의 기생 채널의 생성이 억제된다. 그 결과, 트랜지스터는 역치 전압에서의 드레인 전류의 급격한 상승 등의 탁월한 전기 특성을 갖는다.
- [0486] 본 실시형태의 표시 장치의 소자 기관에는 신호선과 교차하는 방향으로 연신되어 있는 스트라이프 영역을 포함하는 공통 전극이 제공된다. 따라서, 표시 장치는 탁월한 콘트라스트를 가질 수 있다.
- [0487] 본 실시형태에 기재된 표시 장치의 소자 기관 위에는, 트랜지스터의 산화물 반도체 막과 동시에, 화소 전극으로서 기능하는 도전성을 갖는 산화물 반도체 막이 형성된다. 도전성을 갖는 산화물 반도체 막은 용량소자의 한쪽 전극으로서도 기능한다. 공통 전극은 용량소자의 다른 쪽 전극으로서도 기능한다. 따라서, 용량소자를 형성하기 위해 또 다른 도전막을 형성하는 단계가 불필요하며, 이는 제작 단계의 수를 삭감한다. 또한, 용량소자는 투광성을 갖기 때문에, 용량소자의 점유 면적을 증가시킬 수 있고, 화소의 개구율을 높일 수 있다.
- [0488] 본 실시형태에 나타낸 구조, 방법 등은 다른 실시형태에 나타낸 임의의 구조, 방법 등과 적절하게 조합하여 사용할 수 있다.
- [0489] (실시형태 8)
- [0490] 본 실시형태에서는, 상기 실시형태에 비해 산화물 반도체 막의 결함의 수를 추가로 저감할 수 있는 것이 가능한 트랜지스터를 포함하는 표시 장치에 대해 도면을 참조하여 기재할 것이다. 본 실시형태에 기재된 트랜지스터는 복수의 산화물 반도체 막을 포함하는 다층막이 제공된다는 점에서 실시형태 5 내지 7에서의 트랜지스터

와 상이하다. 여기서, 실시형태 5의 트랜지스터를 사용하여 세부사항에 대해 기재할 것이다.

- [0491] 도 50의 (A) 및 (B)는 각각 표시 장치에 포함되는 소자 기관의 단면도를 나타낸다. 도 50의 (A) 및 (B)는 도 32의 일점 파선 A-B 및 C-D를 따르는 단면도이다.
- [0492] 도 50의 (A)에서의 트랜지스터(102b)는 질화물 절연막(15) 및 산화물 절연막(17)을 사이에 제공하여 게이트 전극으로서 기능하는 도전막(13)과 중첩된 다층막(37a), 및 다층막(37a)과 접하는 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a 및 21b)을 포함한다. 질화물 절연막(15), 산화물 절연막(17), 다층막(37a) 및 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a 및 21b) 위에는, 산화물 절연막(23), 산화물 절연막(25) 및 질화물 절연막(27)이 형성된다.
- [0493] 도 50의 (A)에서의 용량소자(105b)는 산화물 절연막(17) 위의 다층막(37b), 다층막(37b)과 접하는 질화물 절연막(27), 및 질화물 절연막(27)과 접하는 공통 전극(29)을 포함한다. 다층막(37b)은 화소 전극으로서 기능한다.
- [0494] 본 실시형태에 기재된 트랜지스터(102b)에서, 다층막(37a)은 산화물 반도체 막(19a) 및 산화물 반도체 막(39a)을 포함한다. 즉, 다층막(37a)은 2층 구조를 갖는다. 또한, 산화물 반도체 막(19a)의 일부가 채널 영역으로서 기능한다. 또한, 다층막(37a)에 접하도록 산화물 절연막(23)이 형성되고, 산화물 절연막(23)에 접하도록 산화물 절연막(25)이 형성된다. 즉, 산화물 반도체 막(19a)과 산화물 절연막(23) 사이에, 산화물 반도체 막(39a)이 제공된다.
- [0495] 산화물 반도체 막(39a)은 산화물 반도체 막(19a)을 구성하는 1종 이상의 원소를 함유하는 산화물 막이다. 따라서, 산화물 반도체 막(19a)과 (39a) 사이의 계면에서, 계면 산란이 일어나기 어렵다. 따라서, 상기 계면에서는 캐리어의 움직임이 저해되지 않기 때문에, 트랜지스터는 높은 전계 효과 이동도를 가질 수 있다.
- [0496] 산화물 반도체 막(39a)은 대표적으로 In-Ga 산화물 막, In-Zn 산화물 막 또는 In-M-Zn 산화물 막(M은 Al, Ga, Y, Zr, Sn, La, Ce 또는 Nd를 나타냄)이다. 산화물 반도체 막(39a)의 전도대 하단부 에너지는 산화물 반도체 막(19a)의 것보다 진공 준위에 더 가까우며, 대표적으로 산화물 반도체 막(39a)의 전도대 하단부 에너지와 산화물 반도체 막(19a)의 전도대 하단부 에너지 사이의 차이는 0.05 eV 이상, 0.07 eV 이상, 0.1 eV 이상 또는 0.15 eV 이상, 및 2 eV 이하, 1 eV 이하, 0.5 eV 이하, 또는 0.4 eV 이하이다. 즉, 산화물 반도체 막(39a)의 전자 친화력과 산화물 반도체 막(19a)의 전자 친화력 사이의 차이는 0.05 eV 이상, 0.07 eV 이상, 0.1 eV 이상 또는 0.15 eV 이상, 및 2 eV 이하, 1 eV 이하, 0.5 eV 이하, 또는 0.4 eV 이하이다.
- [0497] 산화물 반도체 막(39a)은 캐리어 이동도 (전자 이동도)가 높아질 수 있기 때문에, 바람직하게는 In을 함유한다.
- [0498] 산화물 반도체 막(39a)이 Al, Ga, Y, Zr, Sn, La, Ce 또는 Nd를 In의 양보다 더 높은 원자수비의 양으로 함유하면, 하기 효과 중 어느 것을 얻을 수 있다: (1) 산화물 반도체 막(39a)의 에너지 갭을 크게 함; (2) 산화물 반도체 막(39a)의 전자 친화력을 작게 함; (3) 외부로부터의 불순물의 확산을 저감함; (4) 산화물 반도체 막(19a)에 비해 절연성이 높아짐; 및 (5) Ga, Y, Zr, Sn, La, Ce 또는 Nd는 산소와 강하게 결합하는 금속 원소이기 때문에 산소 결손이 생성될 가능성이 적음.
- [0499] 산화물 반도체 막(39a)이 In-M-Zn 산화물 막인 경우에, In 및 M의 합계를 100 원자%인 것으로 가정했을 때 In 및 M의 비율은 바람직하게는 하기와 같다: In의 원자 백분율이 50 원자% 미만이고, M의 원자 백분율이 50 원자% 이고; 보다 바람직하게는 In의 원자 백분율이 25 원자% 미만이고, M의 원자 백분율이 75 원자%이다.
- [0500] 또한, 산화물 반도체 막(19a 및 39a)이 In-M-Zn 산화물 (M은 Al, Ga, Y, Zr, Sn, La, Ce 또는 Nd를 나타냄)인 경우에, 산화물 반도체 막(39a) 중의 M 원자 (M은 Al, Ga, Y, Zr, Sn, La, Ce 또는 Nd를 나타냄)의 비율이 산화물 반도체 막(19a)보다 더 높다. 대표예로서, 산화물 반도체 막(39a) 중의 M의 비율은 산화물 반도체 막(19a)의 것보다 1.5배 이상, 바람직하게는 2배 이상, 보다 바람직하게는 3배 이상 높다.
- [0501] 또한, 산화물 반도체 막(19a) 및 산화물 반도체 막(39a)이 In-M-Zn 산화물 (M은 Al, Ga, Y, Zr, Sn, La, Ce 또는 Nd를 나타냄)인 경우에, 산화물 반도체 막(39a)에서  $\text{In:M:Zn} = x_1:y_1:z_1$  [원자수비]가 충족되고, 산화물 반도체 막(19a)에서  $\text{In:M:Zn} = x_2:y_2:z_2$  [원자수비]가 충족되면,  $y_1/x_1$ 이  $y_2/x_2$ 보다 더 높다. 바람직하게는,  $y_1/x_1$ 이  $y_2/x_2$ 보다 1.5배 이상 높다. 보다 바람직하게는,  $y_1/x_1$ 이  $y_2/x_2$ 보다 2배 이상 높다. 보다 더 바람직하게는,  $y_1/x_1$ 이  $y_2/x_2$ 보다 3배 이상 높다.
- [0502] 산화물 반도체 막(19a)이 In-M-Zn 산화물 막 (M은 Al, Ga, Y, Zr, Sn, La, Ce 또는 Nd임)이고, 산화물 반도체



막(19a)을 형성하기 위해 금속 원소의 원자수비가  $\text{In:M:Zn} = x_1:y_1:z_1$ 인 타겟을 사용하는 경우에,  $x_1/y_1$ 은 바람직하게는 1/3 이상 6 이하, 보다 바람직하게는 1 이상 6 이하이고,  $z_1/y_1$ 은 바람직하게는 1/3 이상 6 이하, 보다 바람직하게는 1 이상 6 이하이다.  $z_1/y_1$ 이 1 이상 6 이하이면, 산화물 반도체 막(19a)으로서 CAAC-OS 막이 형성되기 쉽다는 것에 유의한다. 타겟의 금속 원소의 원자수비의 대표예로서는  $\text{In:M:Zn} = 1:1:1$ ,  $\text{In:M:Zn} = 1:1:1.2$ , 및  $\text{In:M:Zn} = 3:1:2$ 가 있다.

[0503] 산화물 반도체 막(39a)이 In-M-Zn 산화물 막 (M은 Al, Ga, Y, Zr, Sn, La, Ce 또는 Nd임)이고, 산화물 반도체 막(39a)을 성막하기 위해 금속 원소의 원자수비가  $\text{In:M:Zn} = x_2:y_2:z_2$ 인 타겟을 사용하는 경우에,  $x_2/y_2$ 는 바람직하게는  $x_1/y_1$ 보다 낮으며,  $z_2/y_2$ 는 바람직하게는 1/3 이상 6 이하, 보다 바람직하게는 1 이상 6 이하이다.  $z_2/y_2$ 가 1 이상 6 이하이면, 산화물 반도체 막(39a)으로서 CAAC-OS 막이 형성되기 쉽다는 것에 유의한다. 타겟의 금속 원소의 원자수비의 대표예로서는  $\text{In:M:Zn} = 1:3:2$ ,  $\text{In:M:Zn} = 1:3:4$ ,  $\text{In:M:Zn} = 1:3:6$ ,  $\text{In:M:Zn} = 1:3:8$ ,  $\text{In:M:Zn} = 1:4:4$ ,  $\text{In:M:Zn} = 1:4:5$ ,  $\text{In:M:Zn} = 1:4:6$ ,  $\text{In:M:Zn} = 1:4:7$ ,  $\text{In:M:Zn} = 1:4:8$ ,  $\text{In:M:Zn} = 1:5:5$ ,  $\text{In:M:Zn} = 1:5:6$ ,  $\text{In:M:Zn} = 1:5:7$ ,  $\text{In:M:Zn} = 1:5:8$ , 및  $\text{In:M:Zn} = 1:6:8$ 이 있다.

[0504] 산화물 반도체 막(19a 및 39a) 각각의 원자수비로의 각각의 금속 원소의 비율은 오차로서 상기 원자수비의  $\pm 40\%$  범위 내에서 달라진다는 것에 유의한다.

[0505] 산화물 반도체 막(39a)은 나중에 산화물 절연막(25)을 형성할 때에, 산화물 반도체 막(19a)에 대한 손상을 완화하는 막으로서도 기능한다.

[0506] 산화물 반도체 막(39a)의 두께는 3 nm 이상 100 nm 이하, 바람직하게는 3 nm 이상 50 nm 이하이다.

[0507] 또한, 산화물 반도체 막(39a)은 산화물 반도체 막(19a)의 결정 구조를 적절하게 가질 수 있다.

[0508] 산화물 반도체 막(19a 및 39a) 각각은 비정질 구조의 영역, 미세결정 구조의 영역, 다결정 구조의 영역, CAAC-OS 영역 및 단결정 구조의 영역 중 2종 이상을 포함하는 혼합막일 수 있다는 것에 유의한다. 혼합막은, 예를 들어 비정질 구조의 영역, 미세결정 구조의 영역, 다결정 구조의 영역, CAAC-OS 영역 및 단결정 구조의 영역 중 2종 이상의 영역을 포함하는 단층 구조를 갖는 경우가 있다. 또한, 혼합막은 비정질 구조의 영역, 미세결정 구조의 영역, 다결정 구조의 영역, CAAC-OS 영역, 단결정 구조의 영역 중 2종 이상의 영역이 적층된 적층 구조를 갖는 경우가 있다.

[0509] 여기서, 산화물 반도체 막(19a)과 산화물 절연막(23) 사이에, 산화물 반도체 막(39a)이 형성된다. 따라서, 산화물 반도체 막(39a)과 산화물 절연막(23) 사이에 불순물 및 결함에 의해 캐리어 트랩이 형성되어도, 상기 캐리어 트랩과 산화물 반도체 막(19a) 사이에는 격차가 존재하기 때문에, 산화물 반도체 막(19a)에서 흐르는 전자가 캐리어 트랩에 의해 포획될 가능성이 낮다. 따라서, 트랜지스터의 온 전류의 양을 증대시킬 수 있음과 함께, 전계 효과 이동도를 높일 수 있다. 캐리어 트랩에 의해 전자가 포획되면, 상기 전자가 음의 고정 전하가 된다. 그 결과, 트랜지스터의 역치 전압이 변동한다. 그러나, 산화물 반도체 막(19a)과 캐리어 트랩 사이의 격차에 의해, 캐리어 트랩에 의한 전자의 포획을 삭감할 수 있으며, 따라서 역치 전압의 변동량을 저감할 수 있다.

[0510] 산화물 반도체 막(39a)에 의해 외부로부터의 불순물을 차폐할 수 있으며, 따라서 외부로부터 산화물 반도체 막(19a)으로 이동하는 불순물량을 저감할 수 있다. 또한, 산화물 반도체 막(39a)에서 산소 결손이 형성될 가능성이 낮다. 결과적으로, 산화물 반도체 막(19a)에서의 불순물 농도 및 산소 결손의 수를 저감할 수 있다.

[0511] 산화물 반도체 막(19a 및 39a)은 각각의 막을 단순히 적층함으로써 형성되는 것이 아니라, 연속 접합 (여기서, 특히 전도대 하단부 에너지가 각각의 막 사이에서 연속적으로 변화하는 구조)을 갖도록 형성된다는 것에 유의한다. 즉, 막 사이의 계면에 트랩 중심 또는 재결합 중심 등의 결함 준위를 형성하는 불순물이 존재하지 않는 적층 구조가 제공된다. 적층된 산화물 반도체 막(19a)과 (39a) 사이에 불순물이 존재하면, 에너지 밴드의 연속성이 상실되고, 캐리어가 계면에서 포획 또는 재결합되고, 이어서 소멸한다.

[0512] 이러한 연속적 에너지 밴드를 형성하기 위해서는, 로드 로크 챔버를 포함하는 멀티 챔버 성막 장치 (스퍼터링 장치)를 사용하여, 막을 대기에 노출시키지 않으면서 연속적으로 형성하는 것이 필요하다. 스퍼터링 장치에서의 각각의 챔버는 바람직하게는, 산화물 반도체 막에 대해 불순물로서 기능하는 물 등을 가능한 한 많이 제거하기 위해 크라이오 펌프 등의 흡착식 진공 배기 펌프를 사용하여 고진공 상태 (약  $5 \times 10^{-7}$  Pa 내지  $1 \times 10^{-4}$  Pa 정도까지)이도록 배기된다. 대안적으로, 바람직하게는 터보 분자 펌프 및 콜드 트랩을 조합하여 기체, 특히 탄소 또는 수소를 함유하는 기체가 배기 시스템으로부터 챔버 내부로 역류하는 것을 방지한다.



- [0513] 다층막(37a) 대신에, 도 50의 (B)에 도시된 트랜지스터(102c)에서와 같이 다층막(38a)이 제공될 수 있다.
- [0514] 또한, 다층막(37b) 대신에, 도 50의 (B)에 도시된 용량소자(105c)에서와 같이, 다층막(38b)이 제공될 수 있다.
- [0515] 다층막(38a)은 산화물 반도체 막(49a), 산화물 반도체 막(19a) 및 산화물 반도체 막(39a)을 포함한다. 즉, 다층막(38a)은 3층 구조를 갖는다. 또한, 산화물 반도체 막(19a)은 채널 영역으로서 기능한다.
- [0516] 산화물 반도체 막(49a)은 산화물 반도체 막(39a)과 유사한 재료 및 형성 방법을 사용하여 형성될 수 있다.
- [0517] 다층막(38b)은 도전성을 갖는 산화물 반도체 막(49b), 도전성을 갖는 산화물 반도체 막(19f) 및 도전성을 갖는 산화물 반도체 막(39b)을 포함한다. 즉, 다층막(38b)은 3층 구조를 갖는다. 또한, 다층막(38b)은 화소 전극으로서 기능한다.
- [0518] 산화물 반도체 막(19f)은 도전성을 갖는 산화물 반도체 막과 유사한 재료 및 형성 방법을 적절하게 사용하여 형성될 수 있다. 산화물 반도체 막(49b)은 산화물 반도체 막(39b)과 유사한 재료 및 형성 방법을 적절하게 사용하여 형성될 수 있다.
- [0519] 또한, 산화물 절연막(17) 및 산화물 반도체 막(49a)은 서로 접한다. 즉, 산화물 절연막(17)과 산화물 반도체 막(19a) 사이에, 산화물 반도체 막(49a)이 제공된다.
- [0520] 다층막(38a) 및 산화물 절연막(23)은 서로 접한다. 또한, 산화물 반도체 막(39a) 및 산화물 절연막(23)은 서로 접한다. 즉, 산화물 반도체 막(19a)과 산화물 절연막(23) 사이에, 산화물 반도체 막(39a)이 제공된다.
- [0521] 산화물 반도체 막(49a)의 두께는 산화물 반도체 막(19a)의 것보다 작은 것이 바람직하다. 산화물 반도체 막(49a)의 두께가 1 nm 이상 5 nm 이하, 바람직하게는 1 nm 이상 3 nm 이하이면, 트랜지스터의 역치 전압의 변동량을 저감할 수 있다.
- [0522] 본 실시형태에 기재된 트랜지스터에서는, 산화물 반도체 막(19a)과 산화물 절연막(23) 사이에 산화물 반도체 막(39a)이 제공된다. 따라서, 산화물 반도체 막(39a)과 산화물 절연막(23) 사이에 불순물 및 결함에 의해 캐리어 트랩이 형성되어도, 상기 캐리어 트랩과 산화물 반도체 막(19a) 사이에 격차가 존재하기 때문에, 산화물 반도체 막(19a)에서 흐르는 전자가 캐리어 트랩에 의해 포획될 가능성이 낮다. 따라서, 트랜지스터의 온 전류의 양을 증대시킬 수 있음과 함께, 전계 효과 이동도를 높일 수 있다. 캐리어 트랩에 의해 전자가 포획되면, 상기 전자가 음의 고정 전하가 된다. 그 결과, 트랜지스터의 역치 전압이 변동한다. 그러나, 산화물 반도체 막(19a)과 캐리어 트랩 사이의 격차에 의해, 캐리어 트랩에 의한 전자의 포획을 삭감할 수 있으며, 따라서 고, 역치 전압의 변동량을 저감할 수 있다.
- [0523] 산화물 반도체 막(39a)에 의해 외부로부터의 불순물을 차폐할 수 있으며, 따라서 외부로부터 산화물 반도체 막(19a)으로 이동하는 불순물량을 저감할 수 있다. 또한, 산화물 반도체 막(39a)에서 산소 결손이 형성될 가능성이 낮다. 결과적으로, 산화물 반도체 막(19a)에서의 불순물 농도 및 산소 결손의 수를 저감할 수 있다.
- [0524] 또한, 산화물 절연막(17)과 산화물 반도체 막(19a) 사이에 산화물 반도체 막(49a)이 제공되고, 산화물 반도체 막(19a)과 산화물 절연막(23) 사이에 산화물 반도체 막(39a)이 제공된다. 따라서, 산화물 반도체 막(49a)과 산화물 반도체 막(19a) 사이의 계면 근방에서의 실리콘 또는 탄소의 농도, 산화물 반도체 막(19a)에서의 실리콘 또는 탄소의 농도, 또는 산화물 반도체 막(39a)과 산화물 반도체 막(19a) 사이의 계면 근방에서의 실리콘 또는 탄소의 농도를 저감하는 것이 가능하다. 결과적으로, 다층막(38a)에서, 일정 광전류 방법으로 도출되는 흡수 계수는  $1 \times 10^{-3}/\text{cm}$  미만, 바람직하게는  $1 \times 10^{-4}/\text{cm}$  미만이며, 따라서, 국제 준위의 밀도가 극도로 낮다.
- [0525] 이러한 구조를 갖는 트랜지스터(102c)는 산화물 반도체 막(19a)을 포함하는 다층막(38a)에서 매우 적은 결함을 포함하며, 따라서 트랜지스터의 전기 특성을 개선시킬 수 있고, 대표적으로 온 전류를 증대시킬 수 있고, 전계 효과 이동도를 개선시킬 수 있다. 또한, 스트레스 시험의 예인 BT 스트레스 시험 및 광 BT 스트레스 시험에서, 역치 전압의 변동량이 적어서 높은 신뢰성을 제공한다.
- [0526] 본 실시형태에 나타난 구조, 방법 등은 다른 실시형태에 나타난 임의의 구조, 방법 등과 적절하게 조합하여 사용할 수 있다.
- [0527] (실시형태 9)
- [0528] 본 실시형태에서는, 실시형태 5 내지 8에서 제1 기관(11) 위에 형성된 소자 층의 일부가 제공된 발광 장치에 대해 도 51 및 도 52를 참조하여 기재할 것이다. 여기서, 실시형태 5 및 6에 기재된 소자 층의 일부를 사용하였

지만, 또 다른 구조를 갖는 소자 층을 발광 장치에 적절하게 사용할 수 있다는 것에 유의한다.

- [0529] 도 51에서의 발광 장치는, 실시형태 5의 도 33에 도시된 제1 기관(11) 위에 형성된 소자 층 이외에도, 무기 절연막(30) 위에 제공되는 절연막(371); 무기 절연막(30), 도전성을 갖는 산화물 반도체 막(19b) 및 절연막(371) 위에 제공되는 EL 층(373); 및 EL 층(373) 및 절연막(371) 위에 제공되는 도전막(375)을 포함한다. 도전성을 갖는 산화물 반도체 막(19b)인 EL 층(373), 및 도전막(375)은 발광 소자(370a)를 구성한다.
- [0530] 도 52에서의 발광 장치는, 실시형태 6의 도 44에 도시된 제1 기관(11) 위에 형성된 소자 층 이외에도, 무기 절연막(30) 및 투광성 도전막(29c) 위에 제공되는 절연막(371); 무기 절연막(30) 및 투광성 도전막(29c) 위에 제공되는 EL 층(373); EL 층(373) 및 절연막(371) 위에 제공되는 도전막(375)을 포함한다. 투광성 도전막(29c)인 EL 층(373), 및 도전막(375)은 발광 소자(370b)를 구성한다.
- [0531] 본 실시형태의 발광 장치의 소자 기관 위에는, 트랜지스터의 산화물 반도체 막과 동시에, 화소 전극으로서 기능하는 도전성을 갖는 산화물 반도체 막이 형성된다. 따라서, 종래의 것보다 더 적은 단계로 발광 장치를 제작할 수 있다.
- [0532] 대안적으로, 본 실시형태에 나타난 발광 장치의 소자 기관 위에는, 트랜지스터의 산화물 반도체 막과 동시에, 용량소자의 전극으로서 기능하는 도전성을 갖는 산화물 반도체 막이 형성된다. 도전성을 갖는 산화물 반도체 막은 용량소자의 한쪽 전극으로서 기능한다. 따라서, 용량소자를 형성하기 위해 또 다른 도전막을 형성하는 단계가 불필요하여, 발광 장치의 제작 단계의 수를 삭감한다. 또한, 용량소자의 다른 쪽 전극은 화소 전극으로서 기능하는 투광성 도전막을 사용하여 형성된다. 따라서, 용량소자는 투광성을 갖는다. 그 결과, 용량소자의 점유 면적을 증가시킬 수 있고, 화소의 개구율을 높일 수 있다.
- [0533] 본 실시형태에 나타난 구조, 방법 등은 다른 실시형태에 나타난 임의의 구조, 방법 등과 적절하게 조합하여 사용할 수 있다.
- [0534] (실시형태 10)
- [0535] 본 실시형태에서는, 상기 실시형태에 기재된 표시 장치에 포함되는 트랜지스터에서, 산화물 반도체 막에 적용될 수 있는 일 실시형태에 대해 기재할 것이다.
- [0536] <산화물 반도체의 구조>
- [0537] 이하, 산화물 반도체의 구조에 대해 기재할 것이다.
- [0538] 산화물 반도체는 단결정 산화물 반도체 및 비-단결정 산화물 반도체로 분류된다. 비-단결정 산화물 반도체의 예는 c축 배향 결정 산화물 반도체 (CAAC-OS), 다결정 산화물 반도체, 미세결정 산화물 반도체 및 비정질 산화물 반도체를 포함한다.
- [0539] 또 다른 관점에서, 산화물 반도체는 비정질 산화물 반도체 및 결정성 산화물 반도체로 분류된다. 결정성 산화물 반도체의 예는 단결정 산화물 반도체, CAAC-OS, 다결정 산화물 반도체 및 미세결정 산화물 반도체를 포함한다.
- [0540] <CAAC-OS>
- [0541] 먼저, CAAC-OS에 대해 기재한다. CAAC-OS는 c축 배향 나노결정 (CANC)을 포함하는 산화물 반도체로 지칭될 수 있다는 것에 유의한다.
- [0542] CAAC-OS는 복수의 c축 배향 결정부 (펠릿으로도 지칭됨)를 갖는 산화물 반도체 중 1종이다.
- [0543] 투과 전자 현미경 (TEM)을 사용하여 얻어진 CAAC-OS의 명시야 화상 및 회절 패턴의 복합 해석 화상 (고분해능 TEM 화상으로도 지칭됨)에서, 복수의 펠릿을 관찰할 수 있다. 그러나, 고분해능 TEM 화상에서는, 펠릿 사이의 경계, 즉 결정립계는 명확하게 관찰되지 않는다. 따라서, CAAC-OS에서는, 결정립계로 인한 전자 이동도의 저하가 일어날 가능성이 낮다.
- [0544] 이하, TEM으로 관찰한 CAAC-OS에 대해 기재한다. 도 72의 (A)는 시료면에 대해 실질적으로 평행한 방향으로부터 관찰한 CAAC-OS의 단면의 고분해능 TEM 화상을 나타낸다. 고분해능 TEM 화상은 구면 수차 보정 기능을 사용하여 얻는다. 구면 수차 보정 기능을 사용하여 얻어진 고분해능 TEM 화상은 특히 Cs-보정 고분해능 TEM 화상으로 지칭된다. Cs-보정 고분해능 TEM 화상은, 예를 들어 제올 리미티드(JEOL Ltd.) 제조의 원자 분해능 분석 전자 현미경 JEM-ARM200F를 사용하여 얻을 수 있다.

- [0545] 도 72의 (B)는 도 72의 (A)의 영역 (1)을 확대한 Cs-보정 고분해능 TEM 화상이다. 도 72의 (B)는 펠릿에서 금속 원자가 층상 방식으로 배열되어 있는 것을 나타낸다. 각각의 금속 원자 층은 CAAC-OS가 형성되는 면 (이하, 이러한 표면은 피형성면으로도 지칭됨) 또는 CAAC-OS의 상면의 요철을 반영하는 형상을 가지며, CAAC-OS의 피형성면 또는 상면에 대해 평행하게 배열된다.
- [0546] 도 72의 (B)에 나타난 바와 같이, CAAC-OS는 특징적인 원자 배열을 갖는다. 도 72의 (C)에서, 특징적인 원자 배열은 보조 선에 의해 표시되어 있다. 도 72의 (B) 및 (C)는 펠릿의 크기가 대략 1 nm 이상 3 nm 이하이고, 펠릿의 기울기에 의해 유발되는 간극의 크기가 대략 0.8 nm인 것을 입증한다. 따라서, 펠릿은 나노결정 (nc)으로도 지칭될 수 있다.
- [0547] 여기서, Cs-보정 고분해능 TEM 화상에 따라, 기관(5120) 위의 CAAC-OS의 펠릿(5100)의 개략적 배치는 벽돌 또는 블록이 적층된 구조에 의해 도시되어 있다 (도 72의 (D) 참조). 도 72의 (C)에서 관찰되는 펠릿이 기울어진 부분은 도 72의 (D)에 나타난 영역(5161)에 상응한다.
- [0548] 도 73의 (A)는 시료면에 대해 실질적으로 수직인 방향으로부터 관찰한 CAAC-OS 평면의 Cs-보정 고분해능 TEM 화상을 나타낸다. 도 73의 (B), (C) 및 (D)는 도 73의 (A)의 영역 (1), (2) 및 (3)을 확대한 Cs-보정 고분해능 TEM 화상을 나타낸다. 도 73의 (B), (C) 및 (D)는 펠릿에서 금속 원자가 삼각형, 사각형 또는 육각형 형상으로 배열되는 것을 나타낸다. 그러나, 상이한 펠릿 사이에서 금속 원자의 배열에 대한 규칙성은 존재하지 않는다.
- [0549] 이어서, X선 회절 (XRD)에 의해 해석한 CAAC-OS에 대해 기재한다. 예를 들어, InGaZnO<sub>4</sub> 결정을 포함하는 CAAC-OS를 면외 방법에 의해 구조 해석하면, 도 74의 (A)에 나타난 바와 같이 회절각 (2 $\theta$ ) 31° 부근에서 피크가 나타난다. 상기 피크는 InGaZnO<sub>4</sub> 결정의 (009)면으로부터 유래하며, 이는 CAAC-OS의 결정이 c축 배향성을 갖고, c축이 CAAC-OS의 피형성면 또는 상면에 대해 실질적으로 수직인 방향으로 배향된 것을 나타낸다.
- [0550] CAAC-OS의 면외 방법에 의한 구조 해석에서 2 $\theta$ 가 31° 부근의 피크 이외에도, 2 $\theta$ 가 36° 부근인 또 다른 피크가 나타날 수 있다는 것에 유의한다. 2 $\theta$  36° 부근의 피크는 CAAC-OS의 일부에 c축 배향성을 갖지 않는 결정이 포함된 것을 나타낸다. 면외 방법에 의해 해석한 CAAC-OS에서, 2 $\theta$ 가 31° 부근인 피크가 나타나고, 2 $\theta$ 가 36° 부근인 피크가 나타나지 않는다.
- [0551] 다른 한편, 시료 위에 c축에 대해 실질적으로 수직인 방향으로 X선을 입사시키는 CAAC-OS의 면내 방법에 의한 구조 해석에서, 2 $\theta$ 가 56° 부근인 피크가 나타난다. 상기 피크는 InGaZnO<sub>4</sub> 결정의 (110)면에 귀속된다. CAAC-OS의 경우에, 2 $\theta$ 를 56° 부근에 고정하고 시료면의 법선 벡터를 축 ( $\phi$  축)으로서 사용하여 시료를 회전시키면서 분석 ( $\phi$  스캔)을 행하면, 도 74의 (B)에 나타난 바와 같이 피크가 명확하게 관찰되지 않는다. 반면에, InGaZnO<sub>4</sub>의 단결정 산화물 반도체의 경우에, 2 $\theta$ 를 56° 부근에 고정하여  $\phi$  스캔을 행하면, 도 74의 (C)에 나타난 바와 같이 (110)면과 등가인 결정면으로부터 유래하는 6개의 피크가 관찰된다. 따라서, XRD를 사용한 구조 해석은 CAAC-OS에서 a축 및 b축의 방향이 상이한 것을 나타낸다.
- [0552] 이어서, 전자 회절에 의해 해석한 CAAC-OS에 대해 기재한다. 예를 들어, InGaZnO<sub>4</sub> 결정을 포함하는 CAAC-OS 위에 시료면에 대해 평행한 방향으로 프로브 직경이 300 nm인 전자 빔을 입사시키면, 도 75의 (A)에 나타난 회절 패턴 (제한 시야 투과 전자 회절 패턴으로도 지칭됨)이 관찰될 수 있다. 이러한 회절 패턴에는, InGaZnO<sub>4</sub> 결정의 (009)면으로부터 유래하는 스폿이 포함되어 있다. 따라서, 전자 회절은 또한, CAAC-OS에 포함되는 펠릿이 c축 배향성을 갖고, c축이 CAAC-OS의 피형성면 또는 상면에 대해 실질적으로 수직인 방향으로 배향된 것을 나타낸다. 한편, 동일한 시료 위에, 시료면에 대해 수직인 방향으로 프로브 직경이 300 nm인 전자 빔을 입사시키는 방식으로 관찰된 회절 패턴을 도 75의 (B)에 나타낸다. 도 75의 (B)에 나타난 바와 같이, 링-유사 회절 패턴이 관찰된다. 따라서, 전자 회절은 또한, CAAC-OS에 포함되는 펠릿의 a축 및 b축이 규칙적 배향성을 갖지 않는 것을 나타낸다. 도 75의 (B)에서의 제1 링은 InGaZnO<sub>4</sub> 결정의 (010)면, (100)면 등으로부터 유래하는 것으로 여겨진다. 도 75의 (B)에서의 제2 링은 (110)면 등으로부터 유래하는 것으로 여겨진다.
- [0553] 또한, CAAC-OS는 결함 준위 밀도가 낮은 산화물 반도체이다. 산화물 반도체의 결함으로서는, 예를 들어 불순물로 인한 결함 및 산소 결손 등이 있다. 따라서, CAAC-OS는 불순물 농도가 낮은 산화물 반도체, 또는 산소 결손이 적은 산화물 반도체로서 간주될 수 있다.
- [0554] 산화물 반도체에 함유되는 불순물은 캐리어 트랩 또는 캐리어 생성원으로서 기능할 수 있다. 또한, 산화물 반도체 중의 산소 결손은 캐리어 트랩으로서 기능하거나, 또는 수소를 포획하면 캐리어 생성원으로서 기능한다.

- [0555] 불순물은 수소, 탄소, 실리콘 또는 전이 금속 원소 등의 산화물 반도체의 주성분 이외의 원소를 포함한다는 것에 유의한다. 예를 들어, 산화물 반도체에 포함되는 금속 원소보다 산소와의 결합 강도가 더 높은 원소 (구체적으로, 실리콘 등)는 산화물 반도체로부터 산소를 뽑아내며, 이는 산화물 반도체의 원자 배열의 무질서 및 저하된 결정성을 초래한다. 철 또는 니켈 등의 중금속, 아르곤, 이산화탄소 등은 원자 반경 (또는 분자 반경)이 크며, 따라서 산화물 반도체의 원자 배열을 어지럽혀서 결정성을 저하시킨다.
- [0556] 결합 준위 밀도가 낮은 (산소 결손이 적은) 산화물 반도체는 낮은 캐리어 밀도를 가질 수 있다. 이러한 산화물 반도체는 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체로 지칭된다. CAAC-OS는 불순물 농도가 낮고, 결합 준위 밀도가 낮다. 즉, CAAC-OS는 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체가 되기 쉽다. 따라서, CAAC-OS를 포함하는 트랜지스터는 드물게 음의 역치 전압을 갖는다 (노멀리 온이 됨). 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체는 캐리어 트랩이 적다. 산화물 반도체에서 캐리어 트랩에 의해 포획된 전하는 방출될 때까지 긴 시간을 소요한다. 포획된 전하는 고정 전하와 유사하게 거동할 수 있다. 따라서, 불순물 농도가 높고 결합 준위 밀도가 높은 산화물 반도체를 포함하는 트랜지스터는 불안정한 전기 특성을 가질 수 있다. 그러나, CAAC-OS를 포함하는 트랜지스터는 전기 특성의 변동이 적고 신뢰성이 높다.
- [0557] CAAC-OS는 결합 준위 밀도가 낮기 때문에, 광 조사 등에 의해 생성된 캐리어가 결합 준위에 포획될 가능성이 적다. 따라서, CAAC-OS를 사용한 트랜지스터에서는, 가시광 또는 자외광 조사로 인한 전기 특성의 변동이 적다.
- [0558] <미세결정 산화물 반도체>
- [0559] 이어서, 미세결정 산화물 반도체에 대해 기재할 것이다.
- [0560] 미세결정 산화물 반도체는 고분해능 TEM 화상에서 결정부가 관찰되는 영역, 및 결정부가 명확하게 관찰되지 않는 영역을 갖는다. 미세결정 산화물 반도체에 포함되는 결정부의 크기는 1 nm 이상 100 nm 이하, 또는 1 nm 이상 10 nm 이하인 경우가 많다. 특별히, 1 nm 이상 10 nm 이하의 크기, 또는 1 nm 이상 3 nm 이하의 크기를 갖는 미세결정인 나노결정 (nc)을 갖는 산화물 반도체는 나노결정 산화물 반도체 (nc-OS)로 지칭된다. nc-OS의 고분해능 TEM 화상에서는, 예를 들어 결정립계가 명확하게 관찰되지 않는 경우가 있다. 나노결정의 기원은 CAAC-OS에서의 펄렛의 기원과 동일할 가능성이 있다는 것에 유의한다. 따라서, 하기 기재에서 nc-OS의 결정부는 펄렛으로 지칭될 수 있다.
- [0561] nc-OS에서, 미소한 영역 (예를 들어, 1 nm 이상 10 nm 이하의 크기, 특히 1 nm 이상 3 nm 이하의 크기를 갖는 영역)은 주기적 원자 배열을 갖는다. nc-OS에서 상이한 펄렛 사이의 결정 방위에 대해 규칙성이 존재하지 않는다. 따라서, 막 전체의 방위는 규칙적이지 않다. 따라서, nc-OS는 분석 방법에 따라, 비정질 산화물 반도체와 구별할 수 없다. 예를 들어, nc-OS에 대해 펄렛의 크기보다 더 큰 직경을 갖는 X선을 사용한 XRD 장치로 면외 방법에 의한 구조 해석을 행하면, 결정면을 나타내는 피크가 나타나지 않는다. 또한, nc-OS에 대해 펄렛의 크기보다 더 큰 프로브 직경 (예를 들어, 50 nm 이상)을 갖는 전자 빔을 사용한 전자 회절 (이러한 전자 회절은 제한 시야 전자 회절으로도 지칭됨)을 행하면, 할로 패턴과 유사한 회절 패턴이 관찰된다. 한편, 펄렛의 크기에 근접하거나 그보다 더 작은 프로브 직경을 갖는 전자 빔을 인가하는 nc-OS에 대한 나노빔 전자 회절에서, 스폿이 나타난다. 또한 nc-OS에 대한 나노빔 전자 회절에서, 원형 (링) 패턴의 휘도가 높은 영역이 나타나는 경우가 있다. 또한 nc-OS에 대한 나노빔 전자 회절에서, 링-유사 영역 내에 복수의 스폿이 나타나는 경우가 있다.
- [0562] 상기 언급된 바와 같이 펄렛 (나노결정) 사이의 결정 방위에 대해 규칙성이 존재하지 않기 때문에, nc-OS는 랜덤 배향 나노결정 (RANC)을 포함하는 산화물 반도체 또는 비-배향 나노결정 (NANC)을 포함하는 산화물 반도체로도 지칭될 수 있다.
- [0563] nc-OS는 비정질 산화물 반도체에 비해 규칙성이 높은 산화물 반도체이다. 따라서, nc-OS는 비정질 산화물 반도체보다 더 낮은 결합 준위 밀도를 갖기 쉽다. nc-OS에서 상이한 펄렛 사이의 결정 방위에 대해 규칙성이 존재하지 않는다는 것에 유의한다. 따라서, nc-OS는 CAAC-OS보다 더 높은 결합 준위 밀도를 갖는다.
- [0564] <비정질 산화물 반도체>
- [0565] 이어서, 비정질 산화물 반도체에 대해 기재할 것이다.
- [0566] 비정질 산화물 반도체는 원자 배열이 무질서하고 결정부를 갖지 않는 산화물 반도체이며, 석영과 같은 무정형 상태를 갖는 산화물 반도체에 의해 예시된다.



- [0567] 비정질 산화물 반도체의 고분해능 TEM 화상에서는 결정부를 발견할 수 없다.
- [0568] 비정질 산화물 반도체에 대해 XRD 장치로 면외 방법에 의한 구조 해석을 행하면, 결정면을 나타내는 피크가 나타나지 않는다. 비정질 산화물 반도체에 대해 전자 회절을 행하면, 할로 패턴이 관찰된다. 또한, 비정질 산화물 반도체에 대해 나노빔 전자 회절을 행하면, 스폿이 관찰되지 않고, 할로 패턴만이 나타난다.
- [0569] 비정질 구조에 대해 다양한 견해가 존재한다. 예를 들어, 원자 배열이 전혀 질서성을 갖지 않는 구조는 완전 비정질 구조로 칭한다. 한편, 최근접 원자간 거리 또는 제2 근접 원자간 거리까지 질서성을 갖지만 장거리 질서성을 갖지 않는 구조도 비정질 구조로 칭한다. 따라서, 가장 엄격한 정의는, 무시할만한 정도라도 원자 배열에 질서성이 존재하는 한, 산화물 반도체는 비정질 산화물 반도체로 칭하도록 허용하지 않는다. 적어도, 장거리 질서성을 갖는 산화물 반도체는 비정질 산화물 반도체로 칭할 수 없다. 따라서, 결정부의 존재 때문에, 예를 들어 CAAC-OS 및 nc-OS는 비정질 산화물 반도체 또는 완전 비정질 산화물 반도체로 칭할 수 없다.
- [0570] <비정질-유사 산화물 반도체>
- [0571] 산화물 반도체는 nc-OS와 비정질 산화물 반도체 사이의 구조 중간체를 가질 수 있다는 것에 유의한다. 이러한 구조를 갖는 산화물 반도체는 특별히 비정질-유사 산화물 반도체 (a-유사 OS)로 지칭된다.
- [0572] a-유사 OS의 고분해능 TEM 화상에서는, 보이드가 관찰될 수 있다. 또한, 고분해능 TEM 화상에서, 결정부가 명확하게 관찰되는 영역, 및 결정부가 관찰되지 않는 영역이 존재한다.
- [0573] a-유사 OS는 보이드를 포함하기 때문에 불안정한 구조를 갖는다. a-유사 OS가 CAAC-OS 및 nc-OS에 비해 불안정한 구조를 갖는 것을 입증하기 위해, 전자 조사에 의해 유발되는 구조의 변화에 대해 하기에 기재한다.
- [0574] 전자 조사를 행하는 시료로서, a-유사 OS (시료 A), nc-OS (시료 B) 및 CAAC-OS (시료 C)를 준비한다. 각각의 시료는 In-Ga-Zn 산화물이다.
- [0575] 먼저, 각각의 시료의 고분해능 단면 TEM 화상을 얻는다. 고분해능 단면 TEM 화상은 모든 시료가 결정부를 갖는 것을 나타낸다.
- [0576] 어느 부분을 결정부로서 간주할지의 판단은 하기에 따른다는 것에 유의한다. 예를 들어, InGaZnO<sub>4</sub> 결정의 단위 셀은 3개의 In-O 층 및 6개의 Ga-Zn-O 층을 포함하는 9개의 층이 c축 방향으로 적층된 구조를 갖는 것으로 알려져 있다. 인접 층 사이의 간격은 (009)면 위의 격자 간격 (d 값으로도 지칭됨)과 동등하다. 상기 값은 결정 구조 해석으로부터 0.29 nm인 것으로 계산된다. 따라서, 격자 무늬 사이의 격자 간격이 0.28 nm 이상 0.30 nm 이하인 부분은 InGaZnO<sub>4</sub>의 결정부로서 간주될 수 있다. 각각의 격자 무늬는 InGaZnO<sub>4</sub> 결정의 a-b면에 상응한다.
- [0577] 도 76은 각각의 시료의 결정부 (22개소 내지 45개소에서)의 평균 크기의 변화를 나타낸다. 단, 결정부 크기는 상기 격자 무늬의 길이에 상응한다는 것에 유의한다. 도 76은 a-유사 OS에서의 결정부 크기가 누적 전자 조사량의 증가에 따라 증가하는 것을 나타낸다. 구체적으로는, 도 76에서 (1)로 나타낸 바와 같이, TEM에 의한 관찰 초기에서의 대략 1.2 nm의 결정부 (초기 핵으로도 지칭됨)가 누적 전자 조사량  $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ 에서 대략 2.6 nm 크기까지 성장한다. 반면에, nc-OS 및 CAAC-OS에서의 결정부 크기는 전자 조사의 개시로부터 누적 전자 조사량  $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ 까지 거의 변화를 나타내지 않는다. 구체적으로는, 도 76에서 (2) 및 (3)로 나타낸 바와 같이, 누적 전자 조사량과 관계 없이, nc-OS 및 CAAC-OS에서의 결정부 크기는 각각 대략 1.4 nm 및 대략 2.1 nm이다.
- [0578] 상기 기재된 바와 같이, a-유사 OS는 전자 조사에 의해 결정부의 성장이 유도된다. 반면에, nc-OS 및 CAAC-OS에서는, 결정부의 성장이 전자 조사에 의해 거의 유도되지 않는다. 이는 a-유사 OS가 nc-OS 및 CAAC-OS에 비해 불안정한 구조를 갖는 것을 나타낸다.
- [0579] a-유사 OS는 보이드를 포함하기 때문에, nc-OS 및 CAAC-OS보다 밀도가 더 낮다. 구체적으로, a-유사 OS의 밀도는 동일한 조성의 단결정 산화물 반도체의 밀도의 78.6% 이상 92.3% 미만인 된다. nc-OS의 밀도 및 CAAC-OS 각각의 밀도는 동일한 조성의 단결정 산화물 반도체의 밀도의 92.3% 이상 100% 미만인 된다. 단결정 산화물 반도체의 밀도의 78% 미만이 되는 산화물 반도체를 성막하는 것은 곤란하다는 것에 유의한다.
- [0580] 예를 들어, In:Ga:Zn = 1:1:1의 원자수비를 갖는 산화물 반도체의 경우에, 능면체정 구조를 갖는 단결정 InGaZnO<sub>4</sub>의 밀도는 6.357 g/cm<sup>3</sup>이 된다. 따라서, 예를 들어 In:Ga:Zn = 1:1:1의 원자수비를 갖는 산화물 반도체



체의 경우에, a-유사 OS의 밀도는  $5.0 \text{ g/cm}^3$  이상  $5.9 \text{ g/cm}^3$  미만인 된다. 또한, 예를 들어  $\text{In:Ga:Zn} = 1:1:1$ 의 원자수비를 갖는 산화물 반도체의 경우에, nc-OS의 밀도 및 CAAC-OS 각각의 밀도는  $5.9 \text{ g/cm}^3$  이상  $6.3 \text{ g/cm}^3$  미만인 된다.

[0581] 특정 조성의 산화물 반도체가 단결정 구조로 존재할 수 없을 가능성이 있다는 것에 유의한다. 이러한 경우에, 상이한 조성의 단결정 산화물 반도체를 적절한 비로 조합하며, 이는 원하는 조성의 단결정 산화물 반도체의 밀도와 동등한 밀도를 계산하는 것을 가능하게 한다. 원하는 조성의 단결정 산화물 반도체의 밀도는, 상이한 조성의 단결정 산화물 반도체의 조합비에 따른 가중 평균을 사용하여 계산될 수 있다. 밀도를 계산하기 위해 가능한 한 적은 종류의 단결정 산화물 반도체를 조합하는 것이 바람직하다는 것에 유의한다.

[0582] 상기 기재된 바와 같이, 산화물 반도체는 다양한 구조 및 다양한 특성을 갖는다. 산화물 반도체는, 예를 들어 비정질 산화물 반도체, a-유사 OS, 미세결정 산화물 반도체 및 CAAC-OS 중 2종 이상의 막을 포함하는 적층 막일 수 있다는 것에 유의한다.

[0583] <성막 모델>

[0584] 이하, CAAC-OS 및 nc-OS의 성막 모델의 예에 대해 기재할 것이다.

[0585] 도 77의 (A)는 스퍼터링 방법에 의해 CAAC-OS가 성막되는 성막 챔버 내부의 모식도이다. 타겟(5130)은 백킹 플레이트에 접촉되어 있다. 백킹 플레이트가 사이에 위치하여 타겟(5130)과 대향하도록 복수의 마그넷이 배치된다. 복수의 마그넷은 자장을 생성시킨다. 마그넷의 자장을 이용함으로써 성막 속도를 높이는 스퍼터링 방법은 마그네트론 스퍼터링 방법으로 지칭된다.

[0586] 기관(5120)은 타겟(5130)과 대향하도록 배치되며, 그 거리 d (타겟-기관간 거리 (T-S간 거리)로도 지칭됨)는 0.01 m 이상 1 m 이하, 바람직하게는 0.02 m 이상 0.5 m 이하이다. 성막 챔버에는 대부분 성막 가스 (예를 들어, 산소 가스, 아르곤 가스, 또는 산소를 5 부피% 이상으로 함유하는 혼합 가스)가 충전되며, 성막 챔버 내의 압력은 0.01 Pa 이상 100 Pa 이하, 바람직하게는 0.1 Pa 이상 10 Pa 이하이도록 제어된다. 여기서, 타겟(5130)에 일정 값 이상의 전압을 인가함으로써 방전을 시작하며, 플라즈마가 관찰된다. 자장은 타겟(5130) 근방에서 고밀도 플라즈마 영역을 형성한다. 고밀도 플라즈마 영역에서는, 성막 가스가 이온화되어 이온(5101)이 생성된다. 이온(5101)의 예는 산소 양이온( $\text{O}^+$ ) 및 아르곤 양이온( $\text{Ar}^+$ )을 포함한다.

[0587] 여기서, 타겟(5130)은 복수의 결정립을 포함하는 다결정 구조를 가지며, 적어도 한쪽 결정립에는 벽개면이 존재한다. 도 78의 (A)는 일례로서 타겟(5130)에 포함되는  $\text{InGaZnO}_4$ 의 결정 구조를 나타낸다. 도 78의 (A)는 b축에 대해 평행한 방향으로부터  $\text{InGaZnO}_4$  결정을 관찰한 경우의 구조를 나타낸다는 것에 유의한다. 도 78의 (A)는 Ga-Zn-O 층 중의 산소 원자가 인접하는 Ga-Zn-O 층 중의 산소 원자에 근접하게 위치하는 것을 나타낸다. 산소 원자가 음의 전하를 가져서, 2개의 인접하는 Ga-Zn-O 층 사이에서 척력이 생성된다. 그 결과,  $\text{InGaZnO}_4$  결정은 2개의 인접하는 Ga-Zn-O 층 사이에 벽개면을 갖는다.

[0588] 고밀도 플라즈마 영역에서 생성된 이온(5101)은 전계에 의해 타겟(5130) 측을 향해 가속되고, 이어서 타겟(5130)과 충돌한다. 이때에, 벽개면으로부터, 평판-유사 (펠릿-유사) 스퍼터링 입자인 펠릿(5100a) 및 펠릿(5100b)이 분리되고, 스퍼터링된다. 펠릿(5100a) 및 펠릿(5100b)의 구조는 이온(5101)의 충돌 충격에 의해 왜곡될 수 있다는 것에 유의한다.

[0589] 펠릿(5100a)은 삼각형 평면, 예를 들어 정삼각형 평면을 갖는 평판-유사 (펠릿-유사) 스퍼터링 입자이다. 펠릿(5100b)은, 육각형, 예를 들어 정육각형의 평면을 갖는 평판-유사 (펠릿-유사) 스퍼터링 입자이다. 펠릿(5100a) 및 펠릿(5100b) 등의 평판-유사 (펠릿-유사) 스퍼터링 입자를 총괄하여 펠릿(5100)으로 칭한다는 것에 유의한다. 펠릿(5100)의 평면 형상은 삼각형 또는 육각형에 한정되지는 않는다. 예를 들어, 평면 형상은 2개 이상의 삼각형을 조합함으로써 형성된 형상을 가질 수 있다. 예를 들어, 사각형 (예를 들어, 마름모꼴)이 2개의 삼각형 (예를 들어, 정삼각형)을 조합함으로써 형성될 수 있다.

[0590] 펠릿(5100)의 두께는 성막 가스의 종류 등에 따라 결정된다. 펠릿(5100)의 두께는 바람직하게는 균일하며, 그 이유에 대해서는 하기에 기재할 것이다. 또한, 스퍼터링 입자는 두께가 큰 다이스 형상보다는 두께가 작은 펠릿 형상을 갖는 것이 바람직하다. 예를 들어, 펠릿(5100)의 두께는 0.4 nm 이상 1 nm 이하, 바람직하게는 0.6 nm 이상 0.8 nm 이하이다. 또한, 펠릿(5100)의 폭은, 예를 들어 1 nm 이상 3 nm 이하, 바람직하게는 1.2 nm

이상 2.5 nm 이하이다. 펄릿(5100)은 도 76에서의 (1)의 기재에서의 초기 핵에 상응한다. 예를 들어, 이온(5101)을 In-Ga-Zn 산화물을 포함하는 타겟(5130)과 충돌시키면, 도 78의 (B)에 나타난 바와 같이 Ga-Zn-O 층, In-O 층 및 Ga-Zn-O 층의 3개의 층을 포함하는 펄릿(5100)이 분리된다. 도 78의 (C)는 분리된 펄릿(5100)을 c 축에 대해 평행한 방향으로부터 관찰한 구조를 나타낸다. 펄릿(5100)은 2개의 Ga-Zn-O 층 및 In-O 층을 포함하는 나노미터 크기의 샌드위치 구조를 갖는다.

[0591] 펄릿(5100)은 플라즈마에 통과 시에 전하를 받아서, 그의 측면이 음 또는 양으로 대전될 수 있다. 펄릿(5100)에서는, 예를 들어 그의 측면 위에 위치하는 산소 원자가 음으로 대전될 수 있다. 측면이 동일한 극성으로 대전되면, 전하가 서로 반발하며, 따라서 펄릿(5100)이 평판(펄릿) 형상을 유지할 수 있다. CAAC-OS가 In-Ga-Zn 산화물인 경우에, 인듐 원자와 결합된 산소 원자가 음으로 대전될 가능성이 있다. 인듐 원자, 갈륨 원자 또는 아연 원자와 결합된 산소 원자가 음으로 대전될 또 다른 가능성이 있다. 또한, 펄릿(5100)은 플라즈마에 통과 시에 인듐 원자, 갈륨 원자, 아연 원자, 산소 원자 등과 결합함으로써 성장할 수 있다. 도 76에서의 (2)와 (1) 사이의 크기의 차이가 플라즈마 중에서의 성장의 양에 상응한다. 여기서, 기관(5120)의 온도가 실온 부근인 경우에는, 기관(5120) 위에서 펄릿(5100)이 거의 성장하지 않으며, 따라서 nc-OS가 형성된다(도 77의 (B) 참조). nc-OS의 성막은 실온에서 행할 수 있기 때문에, 기관(5120)이 큰 크기를 갖는 경우에도 nc-OS를 성막할 수 있다. 펄릿(5100)을 플라즈마 중에서 성장시키기 위해서는, 스퍼터링 시에 성막 전력을 높이는 것이 효과적이라는 것에 유의한다. 높은 성막 전력은 펄릿(5100)의 구조를 안정화할 수 있다.

[0592] 도 77의 (A) 및 (B)에 나타난 바와 같이, 펄릿(5100)은 플라즈마 중에서 연과 유사하게 비상하여, 기관(5120)까지 날아간다. 펄릿(5100)은 대전되기 때문에, 펄릿(5100)이, 또 다른 펄릿(5100)이 이미 퇴적되어 있는 영역에 근접하게 되면, 척력이 생성된다. 여기서, 기관(5120) 위에는, 기관(5120)의 상면에 대해 평행한 방향의 자장(수평 자장으로도 지칭됨)이 생성된다. 기관(5120)과 타겟(5130) 사이에는 전위차가 부여되며, 따라서 기관(5120)으로부터 타겟(5130)을 향해 전류가 흐른다. 따라서, 펄릿(5100)에는 기관(5120)의 상면 위에서 자장 및 전류의 작용에 의해 힘(로렌츠(Lorentz) 힘)이 부여된다. 이는 플레밍(Fleming)의 왼손 법칙에 의해 설명가능하다.

[0593] 펄릿(5100)의 질량은 원자의 것보다 더 크다. 따라서, 펄릿(5100)을 기관(5120)의 상면 위에서 이동시키기 위해서는, 외부로부터 펄릿(5100)에 어떠한 힘을 인가하는 것이 중요하다. 1종의 이러한 힘은 자장 및 전류의 작용에 의해 발생하는 힘일 수 있다. 펄릿(5100)을 기관(5120)의 상면 위에서 이동시키기 위해 충분한 힘을 펄릿(5100)에 인가하기 위해서는, 기관(5120)의 상면 위에, 기관(5120)의 상면에 대해 평행한 방향의 자장이 10 G 이상, 바람직하게는 20 G 이상, 보다 바람직하게는 30 G 이상, 보다 더 바람직하게는 50 G 이상이 되는 영역을 제공하는 것이 바람직하다. 대안적으로, 기관(5120)의 상면 위에, 기관(5120)의 상면에 대해 평행한 방향의 자장이 기관(5120)의 상면에 대해 수직인 방향의 자장보다 1.5배 이상, 바람직하게는 2배 이상, 보다 바람직하게는 3배 이상, 보다 바람직하게는 5배 이상 높은 영역을 제공하는 것이 바람직하다.

[0594] 이때에, 마그네틱과 기관(5120)이 상대적으로 이동 또는 회전하여, 기관(5120)의 상면 위의 수평 자장의 방향이 계속 변화한다. 따라서, 기관(5120)의 상면 위에서 펄릿(5100)은 다양한 방향에서 힘을 받음으로써 다양한 방향으로 이동할 수 있다.

[0595] 또한, 도 77의 (A)에 나타난 바와 같이, 기관(5120)이 가열되면, 마찰 등으로 인한 펄릿(5100)과 기관(5120) 사이의 저항이 낮다. 그 결과, 펄릿(5100)은 기관(5120)의 상면 위를 활공한다. 펄릿(5100)의 활공은 그의 평판면이 기관(5120)을 향하게 한 상태에서 유발된다. 이어서, 펄릿(5100)이 이미 퇴적되어 있는 또 다른 펄릿(5100)의 측면에 도달하면, 펄릿(5100)의 측면끼리가 결합한다. 이때에, 펄릿(5100)의 측면 위의 산소 원자가 탈리한다. 탈리한 산소 원자에 의해, CAAC-OS 중의 산소 결손이 충전될 수 있으며, 따라서 CAAC-OS는 낮은 결합 준위 밀도를 갖는다. 기관(5120)의 상면 온도는, 예를 들어 100℃ 이상 500℃ 미만, 150℃ 이상 450℃ 미만, 또는 170℃ 이상 400℃ 미만이라는 것에 유의한다. 따라서, 기관(5120)이 큰 크기를 갖는 경우에도, CAAC-OS를 성막하는 것이 가능하다.

[0596] 또한, 펄릿(5100)은 기관(5120) 위에서 가열되어, 원자가 재배열되고, 이온(5101)의 충돌에 의해 유발되는 구조 왜곡이 저감될 수 있다. 구조 왜곡이 저감된 펄릿(5100)은 실질적으로 단결정이 된다. 펄릿(5100)이 실질적으로 단결정이 되기 때문에, 펄릿(5100)끼리가 결합한 후에 가열되어도, 펄릿(5100) 자체의 팽창 및 수축이 거의 일어나지 않는다. 따라서, 펄릿(5100) 사이의 간극이 넓어짐으로 인해 결정립계 등의 결함의 형성을 방지할 수 있으며, 따라서 크레바스의 생성을 방지할 수 있다.

[0597] CAAC-OS는 단결정 산화물 반도체의 보드와 유사한 구조를 갖지 않지만, 적층된 벽돌 또는 블록과 유사한 펄릿

(5100) (나노결정)의 집합체로의 배열을 갖는다. 또한, 펄릿(5100) 사이에는 결정립계가 존재하지 않는다. 따라서, 성막 시의 가열, 성막 후의 가열 또는 굽힘으로 인해, CAAC-OS에서 수축 등의 변형이 일어나는 경우에도, 국부 응력을 완화시키거나 또는 왜곡을 해제하는 것이 가능하다. 따라서, 이러한 구조는 가요성 반도체 장치에 적합하다. nc-OS는 펄릿(5100) (나노결정)이 랜덤 적층된 배열을 갖는다는 것에 유의한다.

[0598] 타겟(5130)을 이온(5101)으로 스퍼터링하면, 펄릿(5100) 이외에도, 산화아연 등이 분리될 수 있다. 산화아연은 펄릿(5100)보다 더 경량이며, 따라서 펄릿(5100)보다 먼저 기관(5120)의 상면에 도달한다. 그 결과, 산화아연은 두께가 0.1 nm 이상 10 nm 이하, 0.2 nm 이상 5 nm 이하, 또는 0.5 nm 이상 2 nm 이하의 산화아연 층(512)을 형성한다. 도 79의 (A) 내지 (D)는 단면 모식도이다.

[0599] 도 79의 (A)에 도시된 바와 같이, 산화아연 층(5102) 위에는 펄릿(5105a) 및 펄릿(5105b)이 퇴적된다. 여기서, 펄릿(5105a) 및 펄릿(5105b)의 측면은 서로 접한다. 또한, 펄릿(5105c)은 펄릿(5105b) 위에 퇴적되고, 이어서 펄릿(5105b) 위를 활공한다. 또한, 펄릿(5105a)의 또 다른 측면 위에서, 산화아연과 함께 타겟으로부터 분리된 복수의 입자(5103)가 기관(5120)으로부터의 가열에 의해 결정화되어 영역(5105a1)을 형성한다. 복수의 입자(5103)는 산소, 아연, 인듐, 갈륨 등을 함유할 수 있다는 것에 유의한다.

[0600] 이어서, 도 79의 (B)에 도시된 바와 같이, 영역(5105a1)은 펄릿(5105a)의 일부로 성장하여 펄릿(5105a2)을 형성한다. 또한, 펄릿(5105c)의 측면은 펄릿(5105b)의 또 다른 측면과 접한다.

[0601] 이어서, 도 79의 (C)에 도시된 바와 같이, 펄릿(5105d)이 펄릿(5105a2) 및 펄릿(5105b) 위에 퇴적되고, 이어서 펄릿(5105a2) 및 펄릿(5105b) 위를 활공한다. 또한, 펄릿(5105e)은 펄릿(5105c)의 또 다른 측면을 향해 산화아연 층(5102) 위를 활공한다.

[0602] 이어서, 도 79의 (D)에 도시된 바와 같이, 펄릿(5105d)은 펄릿(5105d)의 측면이 펄릿(5105a2)의 측면과 접하도록 배치된다. 또한, 펄릿(5105e)의 측면이 펄릿(5105c)의 또 다른 측면과 접하도록 배치된다. 펄릿(5105d)의 또 다른 측면 위에서, 산화아연과 함께 타겟(5130)으로부터 분리된 복수의 입자(5103)가 기관(5120)으로부터의 가열에 의해 결정화되어, 영역(5105d1)을 형성한다.

[0603] 상기 기재된 바와 같이, 퇴적된 펄릿이 서로 접하도록 배치되고, 이어서 펄릿의 측면에서 성장이 유발되어, 기관(5120) 위에 CAAC-OS가 형성된다. 따라서, CAAC-OS의 각각의 펄릿은 nc-OS의 것보다 더 크다. 도 76에서의 (3)과 (2) 사이의 크기의 차이가 퇴적 후의 성장의 양에 상응한다.

[0604] 펄릿 사이의 간극이 극도로 작으면, 펄릿이 큰 펄릿을 형성할 수 있다. 이러한 큰 펄릿은 단결정 구조를 갖는다. 예를 들어, 펄릿의 크기는 상면에서 보았을 때 10 nm 이상 200 nm 이하, 15 nm 이상 100 nm 이하, 또는 20 nm 이상 50 nm 이하일 수 있다. 이때에, 미세한 트랜지스터에 사용되는 산화물 반도체에서, 채널 형성 영역이 큰 펄릿에 수용될 수 있다. 즉, 단결정 구조를 갖는 영역을 채널 형성 영역으로서 사용할 수 있다. 또한, 펄릿의 크기가 증가하면, 단결정 구조를 갖는 영역을 트랜지스터의 채널 형성 영역, 소스 영역 및 드레인 영역으로서 사용할 수 있다.

[0605] 이렇게 하여 트랜지스터의 채널 형성 영역 등이 단결정 구조를 갖는 영역에 형성되면, 트랜지스터의 주파수 특성을 높게 할 수 있는 경우가 있다.

[0606] 이러한 모델에 나타난 바와 같이, 펄릿(5100)은 기관(5120) 위에 퇴적된 것으로 여겨진다. 피형성면이 결정 구조를 갖지 않는 경우에도, CAAC-OS를 성막할 수 있으며, 따라서 이러한 경우의 성장 메커니즘은 에피택셜 성장과는 상이하다. 또한, CAAC-OS의 형성에 레이저 결정화가 불필요하여, 큰 크기의 유리 기관 등 위에도 균일한 막을 형성할 수 있다. 예를 들어, 기관(5120)의 상면 (피형성면)이 비정질 구조 (예를 들어, 비정질 산화실리콘)를 갖는 경우에도, CAAC-OS를 형성할 수 있다.

[0607] 또한, CAAC-OS의 형성 시에, 피형성면이 요철을 갖는 경우에도, 펄릿(5100)은 피형성면인 기관(5120)의 상면 형상에 따라 배열되는 것으로 밝혀졌다. 예를 들어, 기관(5120)의 상면이 원자 수준에서 평탄한 경우에, 펄릿(5100)은 a-b면에 대해 평행한 평판면이 아래를 향하도록 배열된다. 펄릿(5100)의 두께가 균일한 경우에는, 균일한 두께, 평탄성 및 높은 결정성을 갖는 층이 형성된다. n개의 층 (n은 자연수임)을 적층함으로써, CAAC-OS를 얻을 수 있다.

[0608] 기관(5120)의 상면이 요철을 갖는 경우에, CAAC-OS는 각각에서 펄릿(5100)이 요철에 따라 배열되어 있는 n개의 층 (n은 자연수임)이 적층된 구조를 갖는다. 기관(5120)이 요철을 갖기 때문에, CAAC-OS는, 펄릿(5100) 사이에 간극이 생성되기 쉬운 경우가 있다. 이러한 경우에도, 분자간 힘으로 인해, 펄릿(5100)은 펄릿 사이의 간극이

가능한 한 작도록 요철면 위에 배열된다는 것에 유의한다. 따라서, 피형성면이 요철을 갖는 경우에도, 높은 결정성을 갖는 CAAC-OS를 얻을 수 있다.

- [0609] 이러한 모델에 따라 CAAC-OS가 성막되기 때문에, 스퍼터링 입자는 바람직하게는 두께가 작은 펄스 형상을 갖는다. 스퍼터링 입자가 두께가 큰 다이스 형상을 갖는 경우에는, 기관(5120)을 향하는 면이 달라지며, 따라서, 결정의 두께 및 방위를 균일하게 할 수 없는 경우가 있다는 것에 유의한다.
- [0610] 상기 기재된 성막 모델에 따르면, 비정질 구조를 갖는 피형성면 위에도 높은 결정성을 갖는 CAAC-OS를 형성할 수 있다.
- [0611] 본 실시형태에 나타난 구조, 방법 등은 다른 실시형태에 나타난 임의의 구조, 방법 등과 적절하게 조합하여 사용할 수 있다.
- [0612] (실시형태 11)
- [0613] 본 실시형태에서는, 본 발명의 일 실시형태의 표시 장치를 각각 사용한 전자 장치의 구조에 대해 기재할 것이다. 또한, 본 실시형태에서는, 본 발명의 일 실시형태의 표시 장치의 표시 모듈에 대해 도 53을 참조하여 기재할 것이다.
- [0614] 도 53에서의 표시 모듈(8000)에서는, 상부 커버(8001)와 하부 커버(8002) 사이에, FPC(8003)에 접속된 터치 패널(8004), FPC(8005)에 접속된 표시 패널(8006), 백라이트 유닛(8007), 프레임(8009), 인쇄 기관(8010) 및 배터리(8011)가 제공된다. 백라이트 유닛(8007), 배터리(8011), 터치 패널(8004) 등은 제공되지 않는 경우가 있다는 것에 유의한다.
- [0615] 본 발명의 일 실시형태의 표시 장치는, 예를 들어 표시 패널(8006)에 사용할 수 있다.
- [0616] 상부 커버(8001) 및 하부 커버(8002)의 형상 및 크기는, 터치 패널(8004) 및 표시 패널(8006)의 크기에 따라 적절하게 변경할 수 있다.
- [0617] 터치 패널(8004)은 저항 터치 패널 또는 정전용량 터치 패널일 수 있으며, 표시 패널(8006)과 중첩되도록 형성될 수 있다. 표시 패널(8006)의 대향 기관 (밀봉 기관)이 터치 패널 기능을 가질 수 있다. 표시 패널(8006)의 각각의 화소 내에 포토센서를 제공하여 광학 터치 패널을 형성할 수 있다. 표시 패널(8006)의 각각의 화소 내에 터치 센서용 전극을 제공하여 정전용량 터치 패널을 얻을 수 있다.
- [0618] 백라이트 유닛(8007)은 광원(8008)을 포함한다. 광원(8008)을 백라이트 유닛(8007)의 단부에 제공하고, 광 확산판을 사용할 수 있다.
- [0619] 프레임(8009)은 표시 패널(8006)을 보호하며, 인쇄 기관(8010)의 동작에 의해 생성되는 전자파를 차단하기 위한 전자기 쉴드로서도 기능한다. 프레임(8009)은 방열판으로서도 기능할 수 있다.
- [0620] 인쇄 기관(8010)에는 전원 회로, 및 비디오 신호 및 클럭 신호를 출력하기 위한 신호 처리 회로가 제공될 수 있다. 전원 회로에 전력을 공급하기 위한 전원으로서, 외부 상용 전원 또는 별도로 제공된 배터리(8011)를 사용한 전원이 사용될 수 있다. 배터리(8011)는 상용 전원을 사용하는 경우에는 생략될 수 있다.
- [0621] 표시 모듈(8000)에는 편광판, 위상차판 또는 프리즘 시트 등의 부재가 추가로 제공될 수 있다.
- [0622] 도 54의 (A) 내지 (E)는 각각 본 발명의 일 실시형태의 표시 장치를 포함하는 전자 장치의 외부도이다.
- [0623] 전자 장치의 예로서는 텔레비전 세트 (텔레비전 또는 텔레비전 수신기로도 지칭됨), 컴퓨터 등의 모니터, 디지털 카메라 또는 디지털 비디오 카메라 등의 카메라, 디지털 포토 프레임, 휴대 전화 핸드세트 (휴대 전화 또는 휴대 전화 장치로도 지칭됨), 휴대형 게임기, 휴대형 정보 단말기, 음향 재생 장치 및 파칭코기 등의 큰 크기의 게임기가 있다.
- [0624] 도 54의 (A)는 본체(1001), 하우징(1002), 표시부(1003a 및 1003b) 등을 포함하는 휴대형 정보 단말기를 도시한다. 표시부(1003b)는 터치 패널이다. 표시부(1003b)에 표시되는 키보드 버튼(1004)을 터치함으로써, 스크린을 동작시킬 수 있고, 문자를 입력할 수 있다. 물론, 표시부(1003a)는 터치 패널일 수 있다. 상기 실시형태에 기재된 임의의 트랜지스터를 스위칭 소자로서 사용하여 액정 패널 또는 유기 발광 패널을 제작하고, 표시부(1003a 및 1003b)에 사용하여, 신뢰성이 높은 휴대형 정보 단말기를 제공할 수 있다.
- [0625] 도 54의 (A)에 도시된 휴대형 정보 단말기는 다양한 정보 (예를 들어, 정지 화상, 동화상 및 텍스트 화상)를 표시하는 기능, 캘린더, 일자, 시각 등을 표시부 위에 표시하는 기능, 표시부 위에 표시한 정보를 조작 또는 편집



하는 기능, 다양한 종류의 소프트웨어 (프로그램)에 의해 처리를 제어하는 기능 등을 가질 수 있다. 또한,ハウ징의 이면 또는 측면 위에, 외부 접속 단자 (이어폰 단자, USB 단자 등), 기록 매체 삽입부 등이 제공될 수 있다.

- [0626] 도 54의 (A)에 도시된 휴대형 정보 단말기는 무선으로 데이터를 송수신할 수 있다. 무선 통신을 통해, 전자 서적 서버로부터, 원하는 서적 데이터 등을 구입하고, 다운로드할 수 있다.
- [0627] 도 54의 (B)는 본체(1021)에 표시부(1023), 휴대형 음악 플레이어를 귀에 장착할 수 있게 하는 고정부(1022), 스피커, 동작 버튼(1024), 외부 메모리 슬롯(1025) 등을 포함하는 휴대형 음악 플레이어를 도시한다. 상기 실시형태에 기재된 임의의 트랜지스터를 스위칭 소자로서 사용하여 액정 패널 또는 유기 발광 패널을 제작하고, 표시부(1023)에 사용하여, 신뢰성이 높은 휴대형 음악 플레이어를 제공할 수 있다.
- [0628] 또한, 도 54의 (B)에 도시된 휴대형 음악 플레이어가 안테나, 마이크론 기능 또는 무선 통신 기능을 갖고, 휴대 전화와 함께 사용하면, 사용자는 승용차 등을 운전하면서 무선으로 전화로 대화할 수 있다.
- [0629] 도 54의 (C)는 2개의 하우스징인 하우스징(1030) 및 하우스징(1031)을 포함하는 휴대 전화를 도시한다. 하우스징(1031)은 표시 패널(1032), 스피커(1033), 마이크론(1034), 포인팅 장치(1036), 카메라(1037), 외부 접속 단자(1038) 등을 포함한다. 하우스징(1030)에는 휴대 전화를 충전하기 위한 태양 전지(1040), 외부 메모리 슬롯(1041) 등이 제공된다. 또한, 안테나는 하우스징(1031)에 내장된다. 상기 실시형태에 기재된 임의의 트랜지스터를 표시 패널(1032)에 사용하여, 신뢰성이 높은 휴대 전화를 제공할 수 있다.
- [0630] 또한, 표시 패널(1032)은 터치 패널을 포함한다. 도 54의 (C)에서 화상으로서 표시되는 복수의 동작 키(1035)를 점선으로 나타낸다. 태양 전지(1040)로부터의 전압 출력을 각각의 회로에 대해 충분히 높도록 증가시키기 위한 승압 회로가 또한 포함된다는 것에 유의한다.
- [0631] 표시 패널(1032)에서는, 적용 모드에 따라 표시의 방향이 적절하게 변화한다. 또한, 휴대 전화는 동일면 위에 표시 패널(1032) 및 카메라(1037)을 가지며, 따라서 비디오 전화로서 사용될 수 있다. 스피커(1033) 및 마이크론(1034)은 음성 통화 뿐만 아니라, 비디오 통화 통화, 녹음 및 음향 재생 등에 사용할 수 있다. 또한, 하우스징(1030 및 1031)은 도 54의 (C)에 도시된 바와 같이 전개된 상태에서, 슬라이드에 의해 시프트되어 이를 서로 겹쳐지게 할 수 있다. 따라서, 휴대 전화의 크기를 저감할 수 있고, 이는 휴대 전화를 휴대하기에 적합하게 한다.
- [0632] 외부 접속 단자(1038)는 AC 어댑터, 및 USB 케이블 등의 다양한 케이블과 접속될 수 있어서, 충전 및 퍼스널 컴퓨터 등과의 데이터 통신이 가능하다. 또한, 외부 메모리 슬롯(1041)에 기록 매체를 삽입함으로써, 더 대량의 데이터를 축적하고 이동시킬 수 있다.
- [0633] 상기 기능 이외에도, 적외선 통신 기능, 텔레비전 수신 기능 등이 제공될 수 있다.
- [0634] 도 54의 (D)는 텔레비전 세트의 일례를 도시한다. 텔레비전 세트(1050)에서, 표시부(1053)는 하우스징(1051)에 내장되어 있다. 표시부(1053) 위에 화상을 표시할 수 있다. 또한, 하우스징(1051)을 지지하는 스탠드(1055)에 CPU가 내장된다. 상기 실시형태에 기재된 임의의 트랜지스터를 표시부(1053) 및 CPU에 사용하여, 신뢰성이 높은 텔레비전 세트(1050)를 제공할 수 있다.
- [0635] 텔레비전 세트(1050)는 하우스징(1051)의 동작 스위치 또는 별도의 원격 제어기로 동작시킬 수 있다. 또한, 원격 제어기에는 상기 원격 제어기로부터의 데이터 출력을 표시하기 위한 표시부가 제공될 수 있다.
- [0636] 텔레비전 세트(1050)에는 수신기, 모뎀 등이 제공된다는 것에 유의한다. 수신기를 사용함으로써, 일반 텔레비전 방송을 수신할 수 있다. 또한, 모뎀을 통해 유선 또는 무선으로 통신 네트워크에 텔레비전 세트를 접속시키면, 일방향 (송신자로부터 수신자로) 또는 쌍방향 (송신자와 수신자 사이, 또는 수신자들 사이) 정보 통신을 행할 수 있다.
- [0637] 또한, 텔레비전 세트(1050)에는 외부 접속 단자(1054), 저장 매체 녹화 및 재생부(1052), 및 외부 메모리 슬롯이 제공된다. 외부 접속 단자(1054)는 USB 케이블 등의 다양한 유형의 케이블과 접속될 수 있어서, 퍼스널 컴퓨터 등과의 데이터 통신이 가능하다. 저장 매체 녹화 및 재생부(1052)에 디스크 저장 매체가 삽입되고, 저장 매체에 저장된 데이터의 판독 및 저장 매체에 대한 데이터의 기입을 행할 수 있다. 또한, 외부 메모리 슬롯에 삽입된 외부 메모리(1056)에 데이터로서 저장된 화상, 비디오 등을 표시부(1053) 위에 표시할 수 있다.
- [0638] 또한, 상기 실시형태에 기재된 트랜지스터의 오프 누설 전류가 극도로 작은 경우에는, 상기 트랜지스터를 외부



메모리(1056) 또는 CPU에 사용하여, 텔레비전 세트(1050)는 신뢰성이 높고 소비 전력이 충분히 저감될 수 있다.

- [0639] 도 54의 (E)에 도시된 휴대형 정보 단말기는 하우징(1101), 및 하우징(1101)의 표면 위에 화상을 표시할 수 있도록 제공된 표시 패널(1110)을 포함한다.
- [0640] 하우징(1101)은 상면, 이면, 제1 측면, 제1 측면과 접하는 제2 측면, 제1 측면과 대향하는 제3 측면, 및 제2 측면과 대향하는 제4 측면을 갖는다.
- [0641] 표시 패널(1110)은 하우징(1101)의 상면과 중첩된 제1 표시 영역(1111), 하우징(1101)의 측면 중 한쪽과 중첩된 제2 표시 영역(1112), 하우징(1101)의 측면 중 다른 한쪽과 중첩된 제3 표시 영역(1113), 및 제2 표시 영역(1112)과 대향하는 제4 표시 영역(1114)을 포함한다.
- [0642] 하우징(1101)의 4개의 측면 중에서, 적어도 표시 패널(1110)과 중첩된 영역은 바람직하게는 곡면 형상을 갖는다. 예를 들어, 상면과 측면 사이 및 측면과 이면 사이에 코너부가 존재하지 않고, 이들 면이 연속적 면을 형성하는 것이 바람직하다. 또한, 측면은 바람직하게는 접선의 기울기가 하우징(1101)의 상면으로부터 이면까지 연속적이도록 하는 곡면이다.
- [0643] 하우징(1101)의 표면 위에는 표시 패널(1110) 이외에도, 하드웨어 버튼, 외부 접속 단자 등이 제공될 수 있다. 표시 패널(1110)과 중첩된 위치, 구체적으로 표시 영역과 중첩된 영역에는 터치 센서를 제공하는 것이 바람직하다.
- [0644] 도 54의 (E)에서의 휴대형 정보 단말기로, 하우징의 상면에 대해 평행한 면 위 뿐만 아니라 하우징의 측면 위에도 표시를 행할 수 있다. 특히, 표시의 다양성이 추가로 높아지기 때문에, 바람직하게는 하우징의 2개 이상의 측면을 따라 표시 영역을 제공한다.
- [0645] 본 실시형태에 나타난 구조, 방법 등은 다른 실시형태에 나타난 임의의 구조, 방법 등과 적절하게 조합하여 사용할 수 있다.
- [0646] [실시예 1]
- [0647] 본 실시예에서는, 실시형태 1에 기재된 저항이 낮은 산화물 반도체 막의 수소 (H) 농도, 저항률 및 투과율의 측정 결과를 도 55 및 도 56에 나타낼 것이다.
- [0648] <수소 (H) 농도 및 저항률>
- [0649] 본 실시예에서는, 불순물 농도를 측정하기 위해 시료 A1 및 시료 A2를 제작했다.
- [0650] 먼저, 시료 A1의 제작 방법을 하기에 기재할 것이다.
- [0651] 시료 A1로서, 유리 기판 위에 두께 100 nm의 In-M-Zn 산화물 막 (이하, IGZO 막으로 지칭되며, 도 55에서 IGZO로 지칭됨)을 성막했다. 이어서, 질소 분위기에서 450℃에서 1시간 동안 가열 처리를 행하고, 계속해서 질소와 산소의 혼합 가스 분위기 (질소 및 산소의 비율은 각각 80% 및 20%였음)에서 450℃에서 1시간 동안 가열 처리를 행했다. 그 후, 두께 100 nm의 질화실리콘 막 (도 55에서 SiN으로 지칭됨)을 성막했다.
- [0652] IGZO 막을 하기 조건 하에 형성했다는 것에 유의한다: 스퍼터링 방법을 사용하고, 금속 산화물 타겟 (In:Ga:Zn = 1:1:1)을 사용하고, 아르곤으로 희석된 50 부피%의 산소를 함유하는 스퍼터링 가스를 사용하고, 압력은 0.6 Pa이고, 성막 전력은 5000 W이고, 기판 온도는 170℃였다.
- [0653] 질화실리콘 막을 하기 조건 하에 형성했다: 플라즈마 CVD 방법을 사용하고, SiH<sub>4</sub>, N<sub>2</sub> 및 NH<sub>3</sub>의 가스 유량은 각각 50 sccm, 5000 sccm 및 100 sccm이고, 압력은 100 Pa이고, 성막 전력은 1000 W이고, 기판 온도는 220℃였다. 상기 공정을 통해 시료 A1을 얻었다.
- [0654] 이어서, 시료 A2의 제작 방법에 대해 하기에 기재할 것이다.
- [0655] 유리 기판 위에 두께 100 nm의 IGZO 막 (도 55에서 IGZO로 지칭됨)을 성막했다. 이어서, 질소 분위기에서 450℃에서 1시간 동안 가열 처리를 행하고, 계속해서 질소와 산소의 혼합 가스 분위기 (질소 및 산소의 비율은 각각 80% 및 20%였음)에서 450℃에서 1시간 동안 가열 처리를 행했다. 그 후, 두께 450 nm의 산화질화실리콘 막 (도 55에서 SiON로 지칭됨) 및 두께 100 nm의 질화실리콘 막을 적층되도록 성막했다.
- [0656] IGZO 막 및 질화실리콘 막의 형성 조건은 시료 A1과 유사했다는 것에 유의한다. 또한, 산화질화실리콘 막에 대해서와 같이, 두께 50 nm의 산화질화실리콘 막을 하기 조건 하에 플라즈마 CVD 방법에 의해 형성했다: SiH<sub>4</sub> 가

스 유량은 30 sccm이고,  $N_2O$  가스 유량은 4000 sccm이고, 압력은 40 Pa이고, 성막 전력은 150 W이고, 기판 온도는 220℃였다. 그 후, 400 nm의 두께의 산화질화실리콘 막을 하기 조건 하에 플라즈마 CVD 방법에 의해 형성했다:  $SiH_4$  가스 유량은 160 sccm이고,  $N_2O$  가스 유량은 4000 sccm이고, 압력은 200 Pa이고, 성막 전력은 1500 W이고, 기판 온도는 220℃였다. 상기 공정을 통해 시료 A2를 얻었다.

[0657] 시료 A1 및 A2의 불순물 분석 결과를 도 55에 나타낸다.

[0658] 불순물 분석은 2차 이온 질량 분석측정법 (SIMS)에 의해 유리 기판 측으로부터 행했다는 것에 유의한다.

[0659] 도 55에서, 실선은 시료 A1의 측정에 의해 얻어진 수소 (H)의 농도 프로파일을 나타낸다. 파선은 시료 A2의 측정에 의해 얻어진 수소 (H)의 농도 프로파일을 나타낸다.

[0660] 도 55는 시료 A1 및 시료 A2에서 각각 IGZO 막 중의 수소 (H) 농도가  $1.0 \times 10^{20}$  원자수/cm<sup>3</sup> 및  $5.0 \times 10^{19}$  원자수/cm<sup>3</sup>인 것을 나타낸다.

[0661] 측정 원리상 SIMS 분석에 의해 시료의 표면 근방 또는 상이한 재료를 사용하여 형성된 적층된 막 사이의 계면 근방에서 정확한 데이터를 정확하게 얻는 것은 곤란한 것으로 알려져 있다. 따라서, 막 중의 수소 (H)의 두께 방향 분포를 SIMS에 의해 분석하는 경우에는, 막이 제공되며 값이 크게 변동하지 않고 거의 일정한 수준의 강도가 얻어질 수 있는 영역에서의 평균 값을 수소 (H)의 농도로서 사용한다.

[0662] 이렇게 하여 IGZO 막과 접하는 절연막의 구성 원소를 변경함으로써, IGZO 막 사이의 수소 (H) 농도의 차이가 발견되었다. 산화질화실리콘 막과 접하는 IGZO 막의 수소 (H) 농도가 질화실리콘 막과 접하는 IGZO 막이 수소 (H) 농도보다 더 높았다. 이는 질화실리콘 막으로부터 IGZO 막으로 수소 (H)가 확산되는 것을 나타낸다.

[0663] 시료 A2에서의 IGZO 막의 저항률은 측정 상한 ( $1 \times 10^2 \Omega cm$ ) 이상인 반면에, 시료 A1에서의 IGZO 막의 저항률은 투광성 도전막의 일례인 ITO 막의 저항률과 동등한  $\rho = 3.6 \times 10^{-3} \Omega cm$ 로 저하되었다는 것에 유의한다.

[0664] <투과율>

[0665] 이어서, 저항이 낮은 산화물 반도체 막의 투과율에 대해 기재할 것이다.

[0666] 먼저, 시료 A3의 제작 방법에 대해 하기에 기재할 것이다.

[0667] 유리 기판 위에 두께 50 nm의 IGZO 막을 성막하고, 그 위에 두께 100 nm의 질화실리콘 막을 적층했다.

[0668] IGZO 막을 하기 조건 하에 형성했다는 것에 유의한다: 스퍼터링 방법을 사용하고, 금속 산화물 타겟 (In:Ga:Zn = 1:1:1)을 사용하고, 아르곤으로 희석된 33 부피%의 산소를 함유하는 스퍼터링 가스를 사용하고, 압력은 0.4 Pa이고, 성막 전력은 200 W이고, 기판 온도는 300℃였다.

[0669] 질화실리콘 막을 하기 조건 하에 형성했다: 플라즈마 CVD 방법을 사용하고,  $SiH_4$ ,  $N_2$  및  $NH_3$ 의 가스 유량은 각각 50 sccm, 5000 sccm 및 100 sccm이고, 압력은 100 Pa이고, 성막 전력은 1000 W이고, 기판 온도는 350℃였다. 상기 공정을 통해 시료 A3를 얻었다.

[0670] 이어서, 시료 A3의 가시광 투과율을 측정했다. 측정된 시료 A3의 투과율을 도 56에 나타낸다. 시료 A3의 투과율은 넓은 에너지 영역에서 80% 이상이다. 이는 저항이 낮은 산화물 반도체 막이 투광성 전극으로서 이용될 수 있는 것을 나타낸다.

[0671] [실시예 2]

[0672] 본 실시예에서는, 도전성을 갖는 산화물 반도체의 저항률과 관련된 상태를 찾기 위해, 일정 광전류 방법 (CPM), 경질 X선 광전자 분광측정법 (HX-PES), SIMS, 전자 스핀 공명 (ESR) 및 열적 탈착 분광측정법 (TDS)에 의해 분석을 행했다. 또한, 저항률의 온도 의존성을 측정했다.

[0673] <CPM>

[0674] 먼저, 진공 분위기에서의 가열 처리와 산화물 반도체 막의 산소 결손의 수 사이의 관계를 CPM에 의해 분석했다. CPM 측정은 깊은 준위를 형성하는 결합에서의 광 흡수량을 고감도로 측정하고 상대 비교하는 것을 허용한다.

[0675] CPM 측정을 행할 시료의 제작 방법에 대해 하기에 기재할 것이다.

[0676] 여기서, 석영 기판 위에 스퍼터링 방법에 의해 IGZO 막을 성막하고, 이어서 IGZO 막 위에 한 쌍의 전극을 형성하여, 각각의 시료를 얻었다. 일부 시료에 대해서는 IGZO 막을 형성한 후에 진공 분위기 ( $4 \times 10^{-4}$  Pa)에서 700℃ 또는 800℃에서의 가열 처리를 행했다는 것에 유의한다. 각각의 시료에서의 IGZO 막의 제작 조건을 표 8에 나타낸다. 표 8에서, 가열 처리를 행하지 않은 시료를 성막된 그대로 나타내고, 진공 분위기에서 700℃에서의 가열 처리를 행한 시료를 700℃ 진공 어닐링으로 나타내고, 진공 분위기에서 800℃에서의 가열 처리를 행한 시료를 800℃ 진공 어닐링으로 나타낸다는 것에 유의한다.

[0677] <표 8>

	막 두께 [nm]	기판 온도	스퍼터링 가스	압력 [Pa]	전력 [W]	가열 처리
성막된 그대로	100	170℃	O <sub>2</sub> =50%(Ar로 희석)	0.6	DC=2.5kW	수행되지 않음
700℃ 진공 어닐링	100	170℃	O <sub>2</sub> =50%(Ar로 희석)	0.6	DC=2.5kW	700℃
800℃ 진공 어닐링	100	170℃	O <sub>2</sub> =50%(Ar로 희석)	0.6	DC=2.5kW	800℃

[0678]

[0679] 이어서, 각각의 시료를 CPM에 의해 측정했다. CPM 측정에서는, 각각의 시료에서의 IGZO 막과 접하는 한 쌍의 전극 사이에 전압을 인가한 상태에서, 한 쌍의 전극 사시의 시료면에 조사되는 광량을 광전류 값이 일정하도록 조정하고, 각각의 파장에서 조사광량으로부터 흡수 계수를 도출한다. CPM 측정에서 측정 대상물이 결함을 가질 때, 결함의 존재하는 준위에 상응하는 에너지 (파장으로부터 계산)에서의 흡수 계수가 증가한다. 이러한 흡수 계수의 증가분에 상수를 곱함으로써, 측정 대상물의 결함 밀도를 얻을 수 있다.

[0680]

도 57의 상단에 각각의 시료의 CPM의 측정 결과를 나타낸다. CPM 측정에 의해 얻어진 흡수 계수의 커브 (도 57의 상단에서 상단 실선)로부터, 밴드 테일로 인하 우르바흐 테일로 칭하는 흡수 계수 (도 57의 상단에서 파선) 분을 제외하여, 국제 준위로 인한 흡수 계수를 계산할 수 있다. 우르바흐 테일은 CPM 측정에 의해 얻어진 흡수 계수의 커브 위에서 일정한 기울기의 영역을 나타내며, 상기 기울기를 우르바흐 에너지로 칭한다는 것에 유의한다. 도 57의 상단에서, 횡축은 광자 에너지를 나타내고, 종축은 흡수 계수를 나타낸다.

[0681]

도 57의 상단에서 사선 영역의 적분값을 도 57의 하단에 나타낸다. 도 57의 하단에서, 횡축은 흡수 계수를 나타내고, 종축은 광자 에너지를 나타낸다. 도 57의 하단에서의 종축 위에서, IGZO 막의 전도대 하단부 및 가전 자대의 상단부는 각각 0 eV 및 3.5 eV이다. 도 57의 하단에서, 실선 곡선은 각각의 시료의 밴드 갭 중의 깊은 준위에 상응한다. 각각의 시료에서, 광자 에너지가 1.6 eV 이상 2.8 eV 이하 범위에서, 밴드 갭 중의 깊은 준위로 인한 흡수가 발견되었다. 각각의 시료의 밴드 갭 중의 깊은 준위로 인한 흡수 계수의 정량 값을 표 9에 나타낸다.

[0682] <표 9>

	결함으로 인한 흡수 계수[cm <sup>-1</sup> ]
성막된 그대로	$1.5 \times 10^{-2}$
700℃ 진공 어닐링	$1.4 \times 10^{-1}$
800℃ 진공 어닐링	$1.4 \times 10^{-1}$

[0683]

[0684] 표 9는 밴드 갭 중의 깊은 준위로 인한 흡수 계수의 정량 값이 진공 분위기에서 가열 처리를 행하면 증가하는 것을 나타낸다. 제1 원리 계산에 따르면, IGZO 막에서의 산소 결손  $V_O$ 는 아마도 밴드 갭 중의 깊은 준위를 만들며, 따라서 CPM에 의해 측정된 밴드 갭 중의 깊은 준위도 산소 결손  $V_O$ 와 관련되어 있을 것이라는 것에 유의한다. 즉, 진공 분위기에서의 가열 처리에 의해, IGZO 막 중의 산소 결손  $V_O$ 이 생성될 수 있다.

[0685] <HX-PES (1)>

[0686] 먼저, HX-PES에 의해 산화물 반도체 막의 갭 내의 준위를 측정했다.

[0687] 시료 B1의 제작 방법에 대해 기재할 것이다.

[0688] 실리콘 웨이퍼 위에 두께 100 nm의 IGZO 막을 성막했다.

[0689] IGZO 막을 하기 조건 하에 형성했다는 것에 유의한다: 스퍼터링 방법을 사용하고, 금속 산화물 타겟 (In:Ga:Zn = 1:1:1)을 사용하고, 아르곤으로 희석된 33 부피%의 산소를 함유하는 스퍼터링 가스를 사용하고, 압력은 0.4

Pa이고, 성막 전력은 500 W이고, 기판 온도는 300℃였다. 상기 공정을 통해 시료 B1을 얻었다.

[0690] 이어서, 시료 B2의 제작 방법에 대해 기재할 것이다.

[0691] 시료 B1과 동일한 조건 하에, 실리콘 웨이퍼 위에 두께 100 nm의 IGZO 막을 형성한 후, IGZO 막에 아르곤을 첨가하여, 산소 결손을 갖는 IGZO 막을 형성했다.

[0692] 여기서, 이온 주입 방법에 의해 아르곤 이온을 IGZO 막에 첨가하여, 아르곤을  $1 \times 10^{20} \text{ 1/cm}^3$ 의 농도로 포함하는 IGZO 막을 형성했다. 상기 공정을 통해 시료 B2를 얻었다.

[0693] 이어서, 시료 B3의 제작 방법에 대해 기재할 것이다.

[0694] 시료 B3은 시료 B2를 133 Pa 및 350℃의 수소 분위기에서 1시간 동안 가열 처리하여, H가 도입된 IGZO 막을 얻음으로써 얻었다.

[0695] 시료 B1 내지 B3을 HX-PES에 의해 분석한 결과를 도 58에 나타낸다. 도 58에서, 횡축은 결합 에너지를 나타내고, 종축은 신호의 강도 (임의 단위)를 나타낸다.

[0696] 도 58에서, 횡축 위의 0 eV의 결합 에너지는 실질적으로 페르미 레벨을 나타낸다. 페르미 레벨로부터 대략 0.2 eV의 위치에서 갭 내의 준위가 발견된다 (이하, 얇은 준위로 지칭됨).

[0697] 또한, 페르미 레벨로부터 대략 2 eV의 위치에서 갭 내의 준위가 발견된다 (이하, 깊은 준위로 지칭됨).

[0698] 시료 B1은 산소 결손  $V_O$ 의 수가 적고 ( $V_O$ -부족), 수소 농도가 낮다 (H-부족). 시료 B2는 산소 결손  $V_O$ 의 수가 많고 ( $V_O$ -풍부), 수소 농도가 낮다 (H-부족). 시료 B3은 산소 결손  $V_O$ 의 수가 많고 ( $V_O$ -풍부), 수소 농도가 높다 (H-풍부).

[0699] 시료 B3에서, 페르미 레벨로부터 대략 0.2 eV의 위치에서, 강도가 높은 신호가 발견된다. 이는 산화물 반도체 막의 저항을 저감하기 위해서는, 페르미 레벨로부터 대략 0.2 eV의 위치에서의 얇은 준위가 필수적이라는 것을 시사한다.

[0700] <SIMS>

[0701] 이어서, 시료 B1 내지 B3의 IGZO 막 중의 수소 (H) 농도를 SIMS에 의해 측정하고, 그 결과를 도 59에 나타낸다. 도 59에서, 실선, 파선 및 일점 파선은 각각 시료 B1, B2 및 B3의 측정 결과를 나타낸다.

[0702] 도 59는 시료 B1 및 B2에서 수소 (H) 농도가 거의 동일한 것을 나타낸다. 반면에, 시료 B3의 수소 (H) 농도는 시료 B1 및 B2의 것보다 더 높으며, 구체적으로 대략  $1 \times 10^{20} \text{ 1/cm}^3$ 이다.

[0703] 또한, 시료 B2 및 B3에서 나타난 바와 같이, Ar이 첨가된 IGZO 막 중의 산소 결손 ( $V_O$ )의 수가 무절제한 결정 구조로 인해 증가한다. 산소 결손 ( $V_O$ )의 수의 증가는 도 58의 시료 B2 및 B3에서 나타난 바와 같이 깊은 준위에서의 신호의 강도를 증가시킨다. 반면에, 시료 B2에서, 단지 깊은 준위에서 신호의 강도가 증가하며, 시료 B2에 수소 (H)가 도입된 시료 B3에서, 깊은 준위에서 신호의 강도가 감소하고, 얇은 준위에서 신호의 강도가 증가한다.

[0704] 이들 결과는 IGZO 막의 저감된 저항을 유발하는 얇은 준위가 IGZO 막 중의 산소 결손 ( $V_O$ ) 및 수소 (H)에 의해 생성되는  $H_O$ 와 관련되어 있다는 것을 나타낸다.

[0705] <ESR>

[0706] 이어서, IGZO 막 중의 산소 결손 ( $V_O$ ) 및 수소 (H)의 거동을 보다 상세하게 조사하기 위해, ESR에 의해 IGZO 막 중의 결함을 분석했다.

[0707] IGZO 막에서의 ESR 신호의 기원을 찾아내기 위해, 산화물 반도체 (IGZO, 산화아연, 산화갈륨, 산화인듐)의 박막을 포함하는 시료 위에서 ESR 측정을 행했다.

[0708] 여기서, 석영 기판 위에 스퍼터링 방법에 의해 박막을 성막하여, 각각의 시료를 얻었다. 각각의 시료의 제작 조건을 표 10 및 표 11에 나타낸다. 성막 후에 가열 처리를 행하지 않은 시료의 제작 조건을 표 10에 나타내고, 성막 후에 가열 처리를 행한 시료의 제작 조건을 표 11에 나타낸다는 것에 유의한다.

[0709] <표 10>

막	막 두께 [nm]	기판 온도	스퍼터링 가스	압력 [Pa]	전력 [W]	성막 후 가열 처리
IGZO(1:1:1)	100	실온	O <sub>2</sub> =33%(Ar로 희석)	0.4	DC=200W	수행되지 않음
산화아연	100	실온	O <sub>2</sub> =33%(Ar로 희석)	0.4	DC=200W	수행되지 않음
산화갈륨	100	200℃	O <sub>2</sub> =33%(Ar로 희석)	0.4	RF=400W	수행되지 않음
산화인듐	100	실온	O <sub>2</sub> =33%(Ar로 희석)	0.4	DC=200W	수행되지 않음

[0710]

[0711] <표 11>

막	막 두께 [nm]	기판 온도	스퍼터링 가스	압력 [Pa]	전력 [W]	성막 후 가열 처리
IGZO(1:1:1)	100	300℃	O <sub>2</sub> =33%(Ar로 희석)	0.4	DC=500W	450℃ N <sub>2</sub> 1 hr
산화아연	100	200℃	O <sub>2</sub> =33%(Ar로 희석)	0.4	DC=200W	850℃ N <sub>2</sub> 1 hr
산화갈륨	100	200℃	O <sub>2</sub> =33%(Ar로 희석)	0.4	RF=400W	850℃ N <sub>2</sub> 1 hr
산화인듐	100	200℃	O <sub>2</sub> =0%(Ar로 희석)	0.4	DC=200W	850℃ N <sub>2</sub> 1 hr

[0712]

[0713] 표 10에 나타낸 조건 하에 형성된 산화물 반도체 막을 포함하는 시료의 ESR 측정 결과를 도 60에 나타낸다. 도 60에서, 횡축은 자장을 나타내고, 종축은 정규화된 ESR 신호 강도를 나타낸다. IGZO 막, 산화아연 막, 산화갈륨 막 및 산화인듐 막을 포함하는 시료 모두에서,  $g = 2$  부근에서 비대칭 ESR 신호가 관찰되었다.

[0714] 표 11에 나타낸 조건 하에 형성된 산화물 반도체 막을 포함하는 시료의 ESR 측정 결과를 도 61에 나타낸다. 도 61에서, 횡축은 자장을 나타내고, 종축은 정규화된 ESR 신호 강도를 나타낸다. IGZO 막을 포함하는 시료에서는  $g = 1.932$ 에 ESR 신호가 관찰되고, 산화아연 막을 포함하는 시료에서는  $g = 1.967$ 에서 ESR 신호가 관찰되고, 산화인듐 막을 포함하는 시료에서는  $g = 1.877$ 에서 ESR 신호가 관찰되었다. 반면에, 산화갈륨 막을 포함하는 시료에서는 ESR 신호가 관찰되지 않았다.

[0715] 상기 결과로부터, 질소 분위기에서 가열 처리를 행한 IGZO 막을 포함하는 시료에서  $g = 1.93$ 에서 관찰된 ESR 신호는, IGZO의 구성 원소의 산화물을 포함하는 산화아연 막, 산화갈륨 막 및 산화인듐 막을 포함하는 시료에서 관찰된 ESR 신호와 상이한 것으로 밝혀졌다. IGZO 막을 포함하는 시료에서 관찰된 ESR 신호는 자유 전자의  $g$  인자 ( $g = 2.0023$ )보다 상당히 더 작은  $g$  인자를 갖는다. 이는 IGZO 막을 포함하는 시료에서 관찰된 ESR 신호가 금속 원소와 관련되어 있는 것을 시사한다.

[0716] 이어서, 상기 IGZO 막을 포함하는 시료에서  $g = 1.93$ 에서 관찰된 ESR 신호의 적분 강도와 막 두께 사이의 관계를 측정했다. 측정은 석영 기판 위에 20 nm 내지 100 nm 범위의 두께를 갖는 IGZO 막을 성장한 시료 위에서 행했다. IGZO 막을 하기 조건 하에 형성했다는 것에 유의한다: 스퍼터링 방법을 사용하고, 금속 산화물 타겟 (In:Ga:Zn = 1:1:1)을 사용하고, 아르곤으로 희석된 33 부피%의 산소를 함유하는 스퍼터링 가스를 사용하고, 압력은 0.4 Pa이고, 성막 전력은 500 W이고, 기판 온도는 200℃였다.

[0717] 막 두께를 변화시킨 IGZO 막의 ESR 측정 결과를 도 62에 나타낸다. 도 62에서, 횡축은 각각의 시료에서의 IGZO 막의 두께를 나타내고, 종축은  $g = 1.93$ 에서 관찰된 ESR 신호의 적분 강도를 나타낸다. 상기 시료에서는,  $g = 1.93$ 에서 ESR 신호가 관찰되었다. 이러한 ESR 신호를 적분함으로써, ESR 신호를 유발하는 스핀수를 계산할 수 있다는 것에 유의한다. 즉, 도 62는  $g = 1.93$ 에서 관찰된 ESR 신호의 적분 강도로부터 계산된 스핀수의 IGZO 막 두께 의존성을 나타낸다. 도 62로부터, IGZO 막에서의  $g = 1.93$ 에서 관찰된 ESR 신호의 적분 강도는 막 두께와 실질적으로 비례한다. 이는  $g = 1.93$ 에서 관찰된 ESR 신호를 유발하는 스핀이, IGZO 막 중에 균일하게 존재하며, 있어, 석영 기판과 IGZO 막 사이의 계면에서 또는 IGZO 막의 표면 위에 국재하지 않는다.

[0718] 이어서, 온도를 변화시키면서  $g = 1.93$ 에서 관찰된 ESR 신호의 변화를 측정하고, 그 결과를 도 63에 나타낸다. 도 63에서, 횡축은  $1000/T$  ( $T$ : 절대 온도)를 나타내고, 좌측 종축은  $g = 1.93$ 에서 관찰된 ESR 신호의 강도를 나타내고, 우측 종축은 ESR 선폭을 나타낸다. 여기서, ESR 선폭은 로렌츠 함수의 1차 미분으로서의 ESR 측정 데이터 출력에서, 최대 신호 강도 및 최소 신호 강도를 갖는 자장 사이의 간격으로서 정의된다. 신호 강도는 미분으로서의 ESR 측정 데이터 출력에서의 신호 강도의 2차 적분을 행함으로써 얻어진 값을 실온에서 1이도록 정규화하는 방식으로 얻어졌다. 도 63은  $g = 1.93$ 에서 관찰된 ESR 신호의 강도가 거의 측정 온도에 의존하지 않는 것을 나타낸다. 또한, ESR 선폭은 온도가 저하함에 따라 증가하는 것으로 밝혀졌다. 이러한 온도 의존성은 흑연 등의 파울리(Pauli) 상자성체의 ESR 측정에 의해 얻어지는 ESR 신호의 특색이다. 즉, 도 63에 나타내며



온도 의존성을 갖는 ESR 신호는 도전성 전자에 의해 유발될 것이다.

[0719] 이어서, IGZO 막 중의 산소 결손 ( $V_O$ ) 및 수소 (H)의 거동을 보다 상세하게 조사하기 위해, 진공 분위기에서의 가열 처리 및 감압  $H_2$  분위기에서의 가열 처리에 의해 산소 결손 ( $V_O$ ) 및 수소 (H)를 IGZO 막 중에 도입한 시료 위에서 분석을 행했다. 여기서, 상이한 조건으로의 가열 처리에 의해, 시료 B5 내지 B12를 제작했다. 각각의 시료에 대한 가열 처리 조건을 표 12에 나타낸다. 시료 B5 내지 B12 각각에서, 석영 기판 위에 두께 100 nm의 IGZO 막을 형성했다. IGZO 막을 시료 A1에서의 IGZO 막의 조건 하에 성막하며, 여기서 전력은 2500 W였다.

[0720] 시료 B5 내지 B12에서, 진공 분위기에서의 가열 처리는  $4 \times 10^{-4}$  Pa에서 1시간 동안 행했다. 본 실시예에서 상기 언급된 <CMP>에 의해, 진공 분위기에서의 가열 처리는 IGZO 막 중에 산소 결손을 증가시킨다. 또한, 상기 가열 처리는 IGZO 막 중의 수소 농도가 저감시킬 것으로 기대된다.

[0721] 또한, IGZO 막에 수소를 첨가하기 위해, 시료 B6, B8, B10 및 B12에 대해 감압  $H_2$  분위기에서 가열 처리를 행했다. 즉, 시료 B6, B8, B10 및 B12는 더 많은 양의 산소 결손 및 수소를 포함할 것이다. 감압  $H_2$  분위기에서의 가열 처리는 수소 이외의 원소가 가능한 한 적게 IGZO 막에 들어가도록 133 Pa에서 1시간 동안 행했다는 것에 유의한다.

[0722] <표 12>

	진공에서 어닐링	$H_2$ 분위기에서 어닐링
시료 B5	성막된 그대로	-
시료 B6		350°C
시료 B7	450°C	-
시료 B8		350°C
시료 B9	600°C	-
시료 B10		350°C
시료 B11	800°C	-
시료 B12		350°C

[0723]

[0724] 도 64는 시료 B5 내지 B12에서의 IGZO 막의 저항률, ESR 스핀 밀도 및 가열 처리 조건 사이의 관계를 나타낸다. ESR 스핀 밀도는 IGZO 막 중에서  $g = 1.93$ 에서 관찰된 신호의 적분 강도이다. 도 64에서, 막대 그래프는 ESR 스핀 밀도를 나타내고, 꺾은 선 차트는 ESR 스핀 밀도에 따른 저항률의 추이를 나타낸다. 경향성을 증명하기 위해, 도면 64에서 저항률  $\rho$  대신에  $1/\rho$ 를 플롯팅했다. 검정색 도트는 시료 B7, B9 및 B11의  $1/\rho$ 를 나타내고, 흰색 도트는 시료 B6, B8, B10 및 B12의  $1/\rho$ 를 나타낸다.

[0725] 도 65는 시료 B5 내지 B12에서의 IGZO 막 중의 수소 농도, ESR 스핀 밀도 및 가열 처리 조건 사이의 관계를 나타낸다. ESR 스핀 밀도는 IGZO 막 중에서  $g = 1.93$ 에서 관찰된 ESR 신호의 적분 강도이다. 도 65에서 막대 그래프는 ESR 스핀 밀도를 나타내고, 꺾은 선 차트는 IGZO 막 중의 수소 농도의 추이를 나타낸다. 검정색 도트는 각각 시료 B5, B7, B9 및 B11의 수소 농도를 나타내고, 흰색 도트는 각각 시료 B6, B8, B10 및 B12의 수소 농도를 나타낸다.

[0726] 도 66은 시료 B5 내지 B12에서의 IGZO 막 중의 수소 농도, 도전율 ( $1/\rho$ ) 및 가열 처리 조건 사이의 관계를 나타낸다. 도 66에서, 세로 줄무늬의 막대 그래프는 수소 농도를 나타내고, 사선의 막대 그래프는 도전율을 나타낸다.

[0727] 도 64에서, 시료 B5의 저항률은 검출 상한 ( $1 \times 10^2 \Omega \text{cm}$ ) 이상이고 ESR 스핀 밀도는 검출 하한 ( $3.7 \times 10^6 \text{스핀수/cm}^3$ ) 이하이기 때문에, 상기 저항률 및 ESR 스핀 밀도를 플롯팅되지 않는다.

[0728] 도 64에서, 진공 분위기에서의 가열 처리를 행한 시료 B7, B9 및 B11에서는 명확하게 저항률이 증가하고 있다. 도 66에서, 시료 B7, B9 및 B11의 도전율이 저하되고 있다. 반면에, 도 65 및 도 66은 진공 분위기에서의 가열

처리를 행한 시료 B7, B9 및 B11에서 가열 처리의 온도가 상승함에 따라 수소 농도가 저감하는 것을 나타낸다. 또한, 시료 B11에서 ESR 스핀 밀도는 감소하고 있다.

- [0729] 도 64는 또한 감압 H<sub>2</sub> 분위기에서의 가열 처리를 행한 시료 B8, B10 및 B12에서는 진공 분위기에서의 가열 처리의 온도와 관계 없이 저항률이 거의 동일하다. 또한, 도 66에서, 시료 B8, B10 및 B12의 도전율은 거의 동일하다. 또한, 도 65 및 도 66은 감압 H<sub>2</sub> 분위기에서의 가열 처리를 행한 시료 B8, B10 및 B12에서 진공 분위기에서의 가열 처리의 온도와 관계 없이 수소 농도간 거의 동일하다는 것을 나타낸다. 또한, 시료 B12에서 ESR 스핀 밀도는 감압 H<sub>2</sub> 분위기에서의 가열 처리에 의해 증가하고 있다.
- [0730] 상기 결과는 진공 분위기에서 가열 처리한 후에 수소 감압 H<sub>2</sub> 분위기에서의 가열 처리를 행함으로써, 수소 농도 및 산소 결손이 둘 다 증가했을 때에 ESR 스핀 밀도가 증가하는 것을 나타내었다. 즉, 산소 결손 (V<sub>O</sub>)과 수소 (H)의 공존은 저항률 및 도전율에 대해 상당히 영향을 미칠 것이다.
- [0731] 도 67은 시료 B5 내지 B12의 ESR 스핀 밀도와 1/ρ 사이의 관계를 나타낸다. 도 67에서, 횡축은 각각의 시료의 IGZO 막에서 g = 1.93에서 관찰된 ESR 스핀 밀도를 나타내고, 종축은 각각의 시료의 IGZO 막에서의 1/ρ를 나타낸다. 도 67에서, 검정색 도트는 시료 B7, B9 및 B11의 측정 결과를 나타내고, 흰색 도트는 시료 B6, B8, B10 및 B12의 측정 결과를 나타낸다.
- [0732] 도 67에서, ESR 스핀 밀도는 명확하게 1/ρ와 상관 관계가 있다. 이는 IGZO 막에서 g = 1.93에서 관찰된 ESR 신호가 H<sub>0</sub> 및 저항률과 밀접하게 관련되어 있는 것을 시사한다.
- [0733] <TDS>
- [0734] H<sub>0</sub>의 안정성을 조사하기 위해, 표 12에 나타난 시료 B6 및 B12 위에서 TDS 분석을 했다. 도 68은 TDS 분석 결과를 나타낸다. 시료 B6 및 B12에 대해 표면 온도 50℃로부터 600℃까지 가열 처리를 행했으며, 도 68은 H<sub>2</sub> 탈리량 (질량 대 전하비 m/z = 2) 및 H<sub>2</sub>O 탈리량 (질량 대 전하비 m/z = 18)과 비례한 강도를 나타낸다. 표면 온도 100℃ 이하에서의 H<sub>2</sub>O의 탈리는 표면 흡착수의 탈리에 의해 유발된다는 것에 유의한다.
- [0735] 시료 B6 및 B12는 모두 다량의 H를 함유하지만, 800℃에서 진공 베이킹한 시료 B12에서는 시료 B12를 550℃까지 가열해도 H<sub>2</sub>O 가스의 탈리가 발견되지 않는다. 이는 아마도 산소 결손 (V<sub>O</sub>)이 도입되고, 그 중에 들어간 수소 (H)가 H<sub>0</sub>로서 안정하게 되어서, 가열 처리에 의해 탈리되기 어렵기 때문일 것이다. 그 결과는 실시형태 4에 기재된 계산 결과와도 일치한다.
- [0736] <HX-PES (2)>
- [0737] 실시형태 4에 기재된 메카니즘이 IGZO 막 및 질화실리콘 막의 적층 막의 저항의 저감의 원인인지의 여부를 조사하기 위해, IGZO 막 위에 질화실리콘 막을 형성하고, 이어서 예칭 백한 시료 위에서 HX-PES 분석을 행했다.
- [0738] 먼저, 시료 B13의 제작 방법에 대해 기재할 것이다.
- [0739] 실리콘 웨이퍼 위에 두께 100 nm의 IGZO 막을 성막했다.
- [0740] IGZO 막을 하기 조건 하에 형성했다는 것에 유의한다: 스퍼터링 방법을 사용하고, 금속 산화물 타겟 (In:Ga:Zn = 1:1:1)을 사용하고, 아르곤으로 희석된 50 부피%의 산소를 함유하는 스퍼터링 가스를 사용하고, 압력은 0.6 Pa이고, 성막 전력은 2500 W이고, 기판 온도는 170℃였다. 상기 공정을 통해 시료 B13을 얻었다.
- [0741] 이어서, 시료 B14의 제작 방법에 대해 기재할 것이다.
- [0742] 시료 B13과 동일한 조건 하에, 실리콘 웨이퍼 위에 두께 100 nm의 IGZO 막을 성막하고, 이어서 두께 100 nm의 질화실리콘 막을 형성했다.
- [0743] 질화실리콘 막을 하기 조건 하에 형성했다: 플라즈마 CVD 방법을 사용하고, SiH<sub>4</sub>, N<sub>2</sub> 및 NH<sub>3</sub>의 가스 유량은 각각 50 sccm, 5000 sccm 및 100 sccm이고, 압력은 100 Pa이고, 성막 전력은 1000 W이고, 기판 온도는 350℃였다.
- [0744] 이어서, 질화실리콘 막을 예칭하여, IGZO 막을 노출시켰다. 상기 공정을 통해 시료 B14를 얻었다. 시료 B14에 포함되는 IGZO 막은 저감된 저항을 갖는다는 것에 유의한다.

- [0745] 시료 B13 및 B14의 HX-PES 분석 결과를 도 69에 나타낸다. 도 69는 또한 결합 에너지 -0.5 eV 내지 0.5 eV 범위의 스펙트럼 확대도를 나타낸다는 것에 유의한다. 도 69에서, 실선은 시료 B14의 분석 결과를 나타내고, 파선은 시료 B13의 분석 결과를 나타낸다.
- [0746] 페르미 레벨로부터 대략 0.2 eV에서의 얇은 준위는 시료 B13에서에 비해 시료 B14에서 증대하는 것으로 밝혀졌다. 또한, 페르미 레벨로부터 대략 2 eV에서의 깊은 준위는 시료 B13에서에 비해 시료 B14에서 증대하는 것으로 밝혀졌다. 이들 준위의 증대는 아마도 상기 기재된 바와 같이, 질화실리콘 막을 IGZO 막 위에 성막할 때에 생성되는 손상으로 인한 산소 결손 ( $V_O$ )의 증가, 및 질화실리콘 막에 함유된 수소 (H)의 IGZO 막으로의 확산으로 인한  $H_O$ 의 증가에 의해 유발되는 것일 것이다.
- [0747] 상기 결과는 산화물 반도체 막 위에 막을 성막할 때에 발생하는 손상으로 인한 산소 결손 ( $V_O$ ), 및 외부로부터의 수소 (H)의 확산으로 인한  $H_O$ 에 의해, 산화물 반도체 막에서 공여체 준위가 형성되는 것으로 나타낸다.
- [0748] <저항률의 온도 의존성>
- [0749] 이어서, 산화물 반도체를 사용하여 형성된 막 (이하, 산화물 반도체 막 (OS)으로 지칭됨)의 저항률 및 산화물 도전체를 사용하여 형성된 막 (이하, 산화물 도전체 막 (OC)으로 지칭됨)의 저항률의 온도 의존성에 대해 도 70을 참조하여 기재할 것이다. 도 70에서, 횡축은 측정 온도를 나타내고, 종축은 저항률을 나타낸다. 여기서, 저항률은 4-포인트 반 데르 파우(van der Pauw) 방법에 의해 측정했다. 산화물 반도체 막 (OS)의 측정 결과를 동그라미로 플롯팅하고, 산화물 도전체 막 (OC)의 측정 결과를 사각형으로 플롯팅한다.
- [0750] 산화물 반도체 막 (OS)을 포함하는 시료는 유리 기판 위에 원자수비가 In:Ga:Zn = 1:1:1.2인 스퍼터링 타겟을 사용한 스퍼터링 방법에 의해 두께 35 nm의 In-Ga-Zn 산화물 막을 형성하고, 상기 두께 35 nm의 In-Ga-Zn 산화물 막 위에 원자수비가 In:Ga:Zn = 1:4:5인 스퍼터링 타겟을 사용한 스퍼터링 방법에 의해 두께 20 nm의 In-Ga-Zn 산화물 막을 형성하고, 질소 분위기에서 450℃에서 가열 처리를 행하고, 이어서 질소와 산소의 혼합 가스 분위기에서 450℃에서 가열 처리를 행하고, 플라즈마 CVD 방법에 의해 산화질화실리콘 막을 형성함으로써 제작되었다는 것에 유의한다.
- [0751] 산화물 도전체 막 (OC)을 포함하는 시료는 유리 기판 위에 원자수비가 In:Ga:Zn = 1:1:1인 스퍼터링 타겟을 사용한 스퍼터링 방법에 의해 두께 100 nm의 In-Ga-Zn 산화물 막을 형성하고, 질소 분위기에서 450℃에서 가열 처리를 행하고, 이어서 질소와 산소의 혼합 가스 분위기에서 450℃에서 가열 처리를 행하고, 플라즈마 CVD 방법에 의해 질화실리콘 막을 형성함으로써 제작되었다.
- [0752] 도 70로부터 볼 수 있는 바와 같이, 산화물 도전체 막 (OC)의 저항률의 온도 의존성은 산화물 반도체 막 (OS)의 저항률의 온도 의존성보다 더 낮다. 대표적으로, 80 K 이상 290 K 이하의 온도에서의 산화물 도전체 막 (OC)의 저항률의 변화율은 -20% 초과 +20% 미만이다. 대안적으로, 150 K 이상 250 K 이하의 온도에서의 저항률의 변화율은 -10% 초과 +10% 미만이다. 즉, 산화물 도전체는 축퇴 반도체이며, 이는 전도대 에지가 페르미 준위와 일치하거나 또는 실질적으로 일치하는 것을 시사한다.
- [0753] [실시예 3]
- [0754] 본 실시예에서는, 실시형태 5를 사용하여 액정 표시 장치를 제작했다. 액정 표시 장치의 사양 및 표시 화상에 대해 기재할 것이다.
- [0755] 표 13은 액정 표시 장치의 사양을 나타낸다.

[0756] <표 13>

스크린 대각선	4.29 인치
해상도	1080×RGB(H)×1920(V): 풀-HD
픽셀 피치	15μm(H)×49.5μm(V)
픽셀 밀도	513ppi
액정 방식	프린지 필드 스위칭
개구율	45.50%
FET	CAAC-OS

[0757]

[0758]

도 71은 본 실시예에서 제작된 액정 표시 장치 위에 표시된 화상의 사진을 나타낸다. 도 71에 보여진 바와 같이, 본 발명의 일 실시형태의 표시 장치는 높은 표시 품질의 고정밀 액정 표시 장치이다. 본 실시예에서 제작된 액정 표시 장치는 저주파수에서 구동될 수 있으며, 따라서 더 적은 전력을 소비할 수 있다는 것에 유의한다.

[0759]

본 출원은 2013년 11월 29일에 일본 특허청에 출원된 일본 특허 출원 일련 번호 2013-248320, 2014년 2월 25일에 일본 특허청에 출원된 일본 특허 출원 일련 번호 2014-033904, 및 2014년 5월 23일에 일본 특허청에 출원된 일본 특허 출원 일련 번호 2014-107582를 기초로 하며, 이들의 전체 내용은 본원에 참조로 포함된다.

### 부호의 설명

[0760]

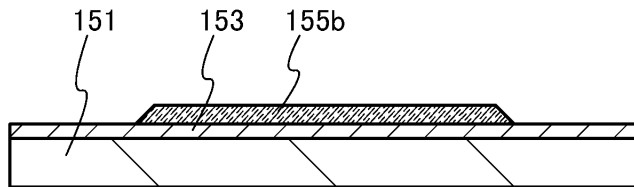
10: 트랜지스터, 11: 기관, 12: 도전막, 13: 도전막, 14: 게이트 절연막, 15: 절화물 절연막, 16: 산화물 절연막, 17: 산화물 절연막, 18: 산화물 반도체 막, 19a: 산화물 반도체 막, 19b: 산화물 반도체 막, 19c: 산화물 반도체 막, 19d: 산화물 반도체 막, 19f: 산화물 반도체 막, 19g: 산화물 반도체 막, 20: 도전막, 21a: 도전막, 21b: 도전막, 21c: 도전막, 21d: 도전막, 21e: 도전막, 21f: 도전막, 22: 산화물 절연막, 23: 산화물 절연막, 24: 산화물 절연막, 25: 산화물 절연막, 26: 절화물 절연막, 27: 절화물 절연막, 28: 도전막, 29: 공통 전극, 29b: 도전막, 29c: 도전막, 29d: 도전막, 30: 무기 절연막, 30a: 무기 절연막, 31: 유기 절연막, 31a: 유기 수지 막, 33: 배향막, 37a: 다층 막, 37b: 다층 막, 38a: 다층 막, 38b: 다층 막, 39a: 산화물 반도체 막, 39b: 산화물 반도체 막, 40: 개구, 41: 개구, 41a: 개구, 41b: 개구, 49a: 산화물 반도체 막, 49b: 산화물 반도체 막, 101: 화소부, 102: 트랜지스터, 102a: 트랜지스터, 102b: 트랜지스터, 102c: 트랜지스터, 102d: 트랜지스터, 102e: 트랜지스터, 103: 화소, 103a: 화소, 103b: 화소, 103c: 화소, 104: 주사선 구동 회로, 105: 용량소자, 105a: 용량소자, 105b: 용량소자, 105c: 용량소자, 106: 신호선 구동 회로, 107: 주사선, 109: 신호선, 115: 용량선, 121: 액정 소자, 131: 발광 소자, 133: 트랜지스터, 135: 트랜지스터, 137: 배선, 139: 배선, 141: 배선, 151: 기관, 153: 절연막, 154: 회가스, 155: 산화물 반도체 막, 155a: 산화물 반도체 막, 155b: 산화물 반도체 막, 155c: 산화물 반도체 막, 157: 절연막, 157a: 절연막, 159: 도전막, 160a: 저항소자, 160b: 저항소자, 160c: 저항소자, 160d: 저항소자, 160g: 저항소자, 161: 도전막, 162: 도전막, 163: 도전막, 164: 도전막, 170a: 보호 회로, 170b: 보호 회로, 171: 배선, 172: 배선, 173: 저항소자, 173a: 저항소자, 173b: 저항소자, 173c: 저항소자, 174: 트랜지스터, 174a: 트랜지스터, 174b: 트랜지스터, 174c: 트랜지스터, 174d: 트랜지스터, 175: 배선, 176: 배선, 177: 배선, 180a: 용량소자, 180b: 용량소자, 180e: 용량소자, 181: 도전막, 320: 액정 층, 322: 액정 소자, 322a: 액정 소자, 342: 기관, 344: 차광막, 346: 착색 막, 348: 절연막, 350: 도전막, 352: 배향막, 370a: 발광 소자, 370b: 발광 소자, 371: 절연막, 373: EL 층, 375: 도전막, 1001: 본체, 1002: 하우징, 1003a: 표시부, 1003b: 표시부, 1004: 키보드 버튼, 1021: 본체, 1022: 고정부, 1023: 표시부, 1024: 동작 버튼, 1025: 외부 메모리 슬롯, 1030: 하우징, 1031: 하우징, 1032: 표시 패널, 1033: 스피커, 1034: 마이크로폰, 1035: 동작 키, 1036: 포인팅 장치, 1037: 카메라, 1038: 외부 접속 단자, 1040: 태양 전지, 1041: 외부 메모리 슬롯, 1050: 텔레비전 세트, 1051: 하우징, 1052: 저장 매체 녹화 및 재생부, 1053: 표시부, 1054: 외부 접속 단자, 1055: 스탠드, 1056: 외부 메모리, 1100: 표시 패널, 1101: 하우징, 1110: 표시 패널, 1111: 표시 영역, 1112: 표시 영역, 1113: 표시 영역, 1114: 표시 영역, 5100: 펠릿, 5100a: 펠릿, 5100b: 펠릿, 5101: 이온, 5102: 산화아연 층, 5103: 입자, 5105a: 펠릿, 5105a1: 영역, 5105a2: 펠릿, 5105b: 펠릿, 5105c: 펠릿, 5105d: 펠릿, 5105d1: 영역, 5105e: 펠릿, 5120: 기관, 5130: 타겟, 5161: 영역, 8000: 표시 모듈, 8001: 상부 커버, 8002: 하부 커버, 8003: FPC, 8004: 터치 패널, 8005: FPC, 8006: 표시 패널,

8007: 백라이트 유닛, 8008: 광원, 8009: 프레임, 8010: 인쇄 기판, 8011: 배터리.

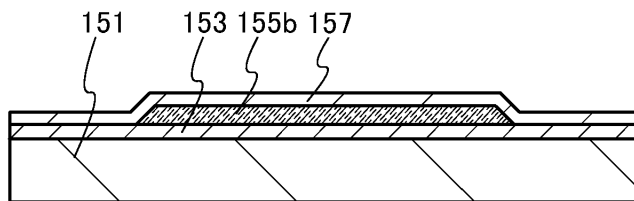
도면

도면1

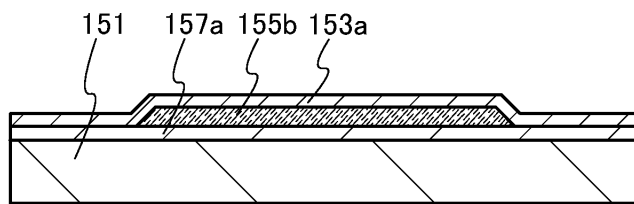
(A)



(B)

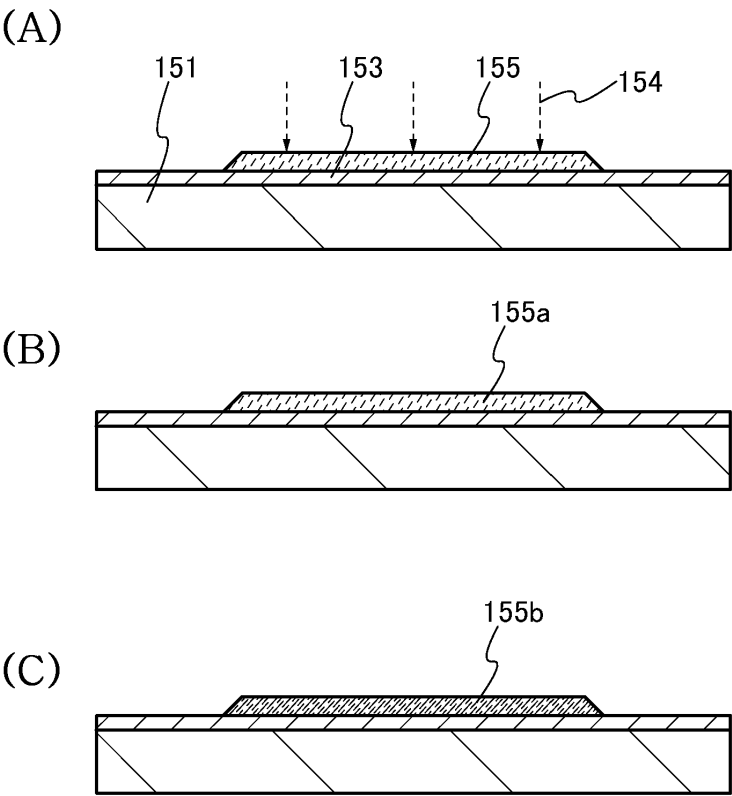


(C)

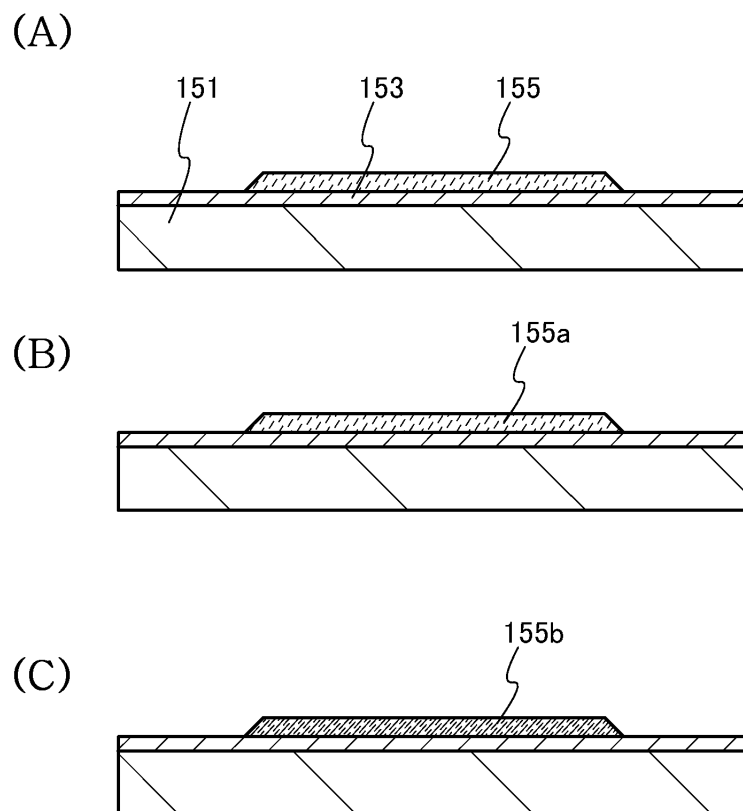




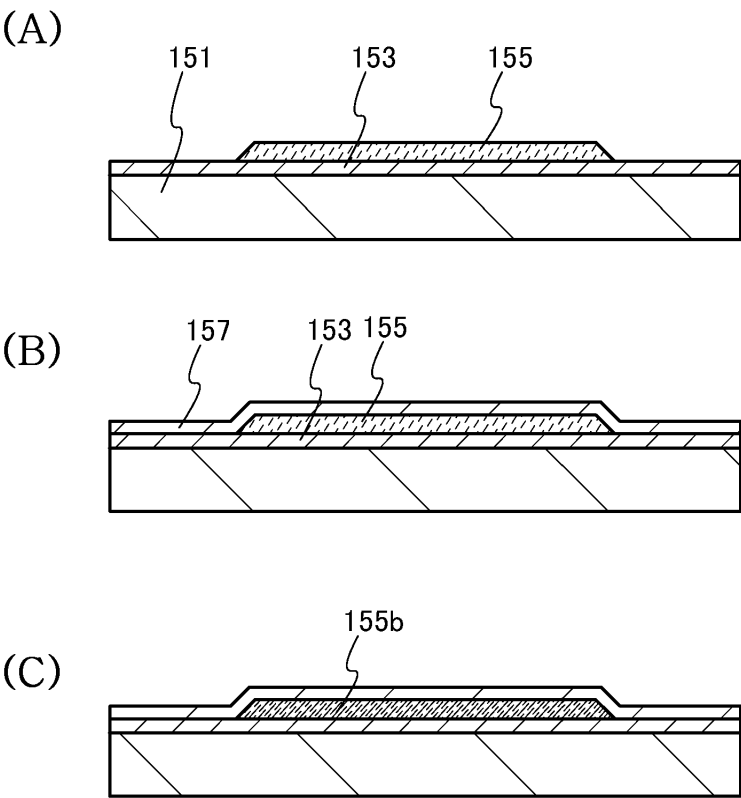
도면2



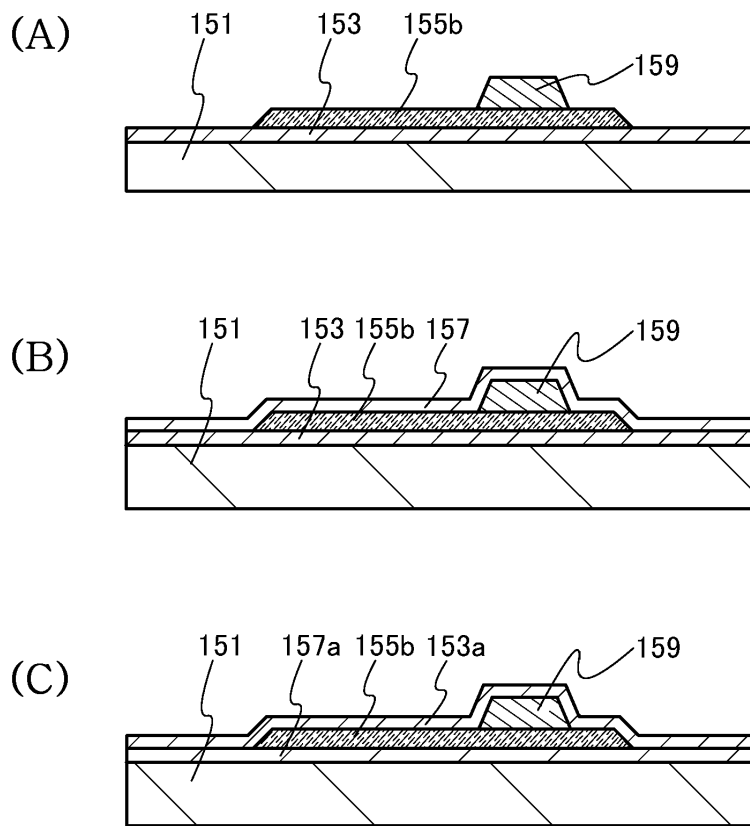
도면3



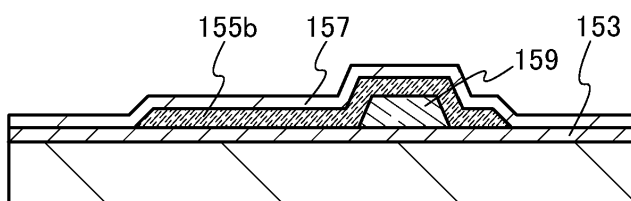
도면4



도면5

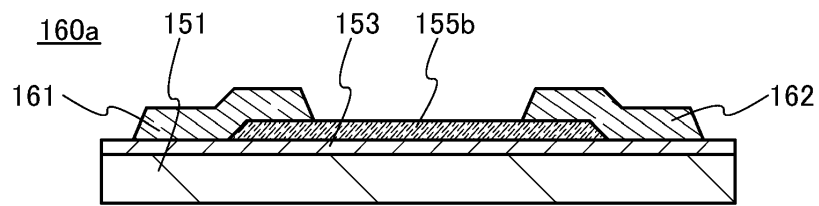


도면6

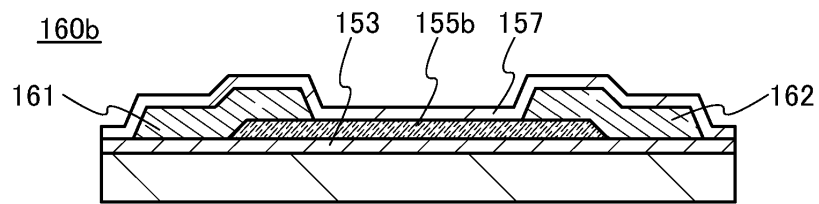


도면7

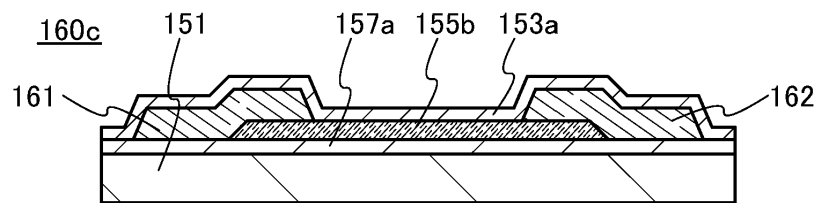
(A)



(B)

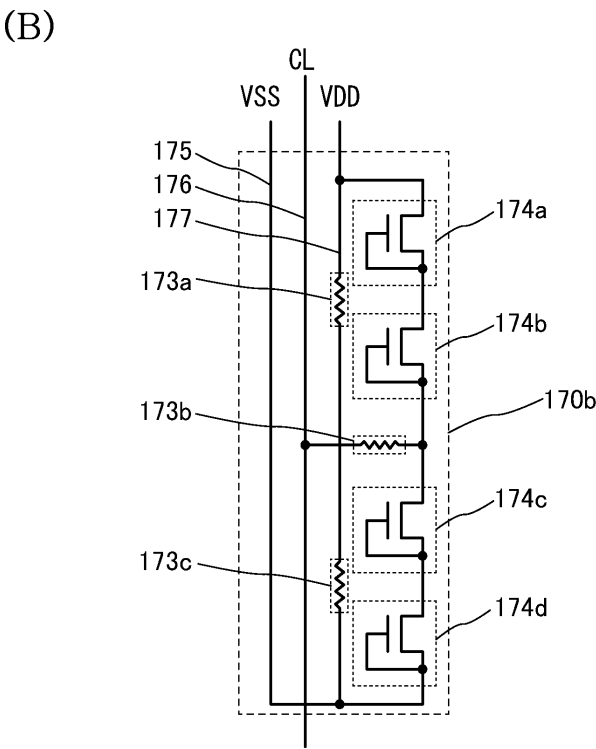
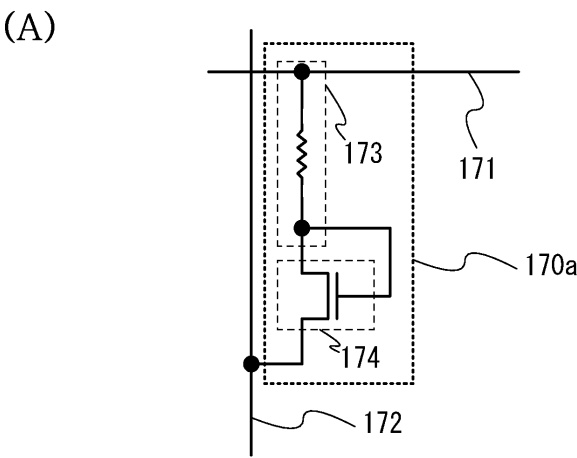


(C)



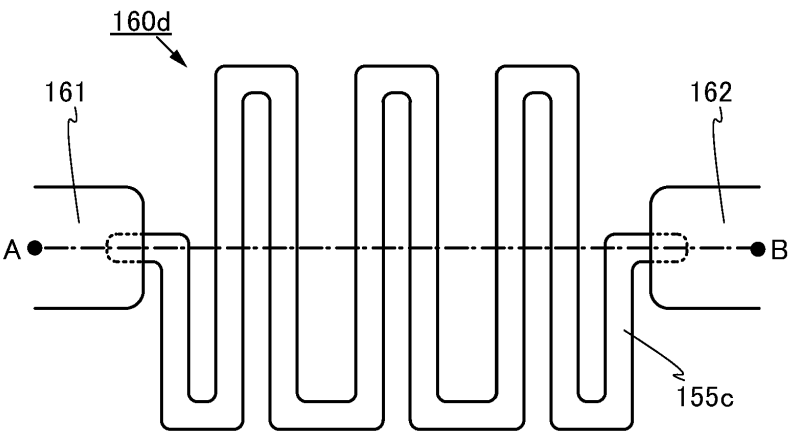


도면8

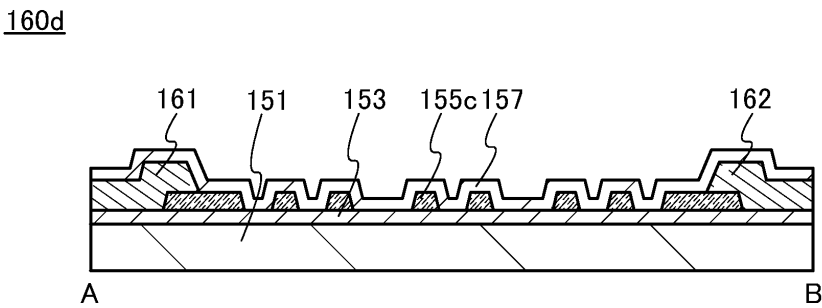


도면9

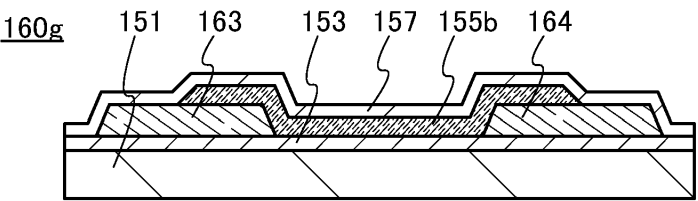
(A)



(B)

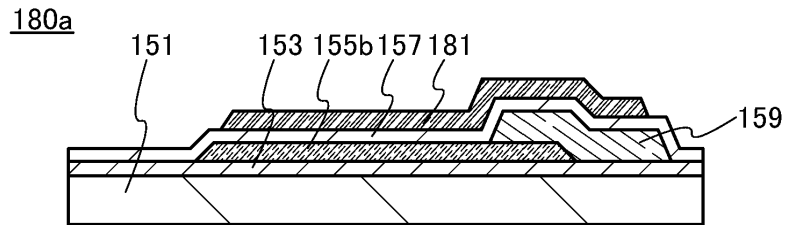


도면10

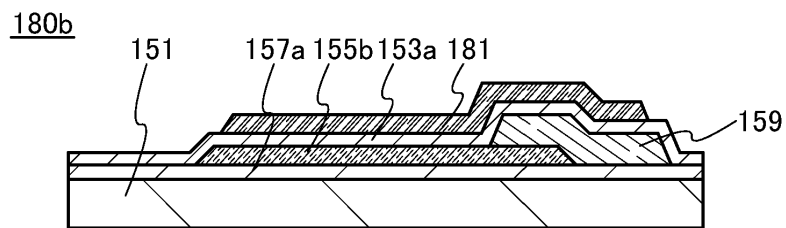


도면11

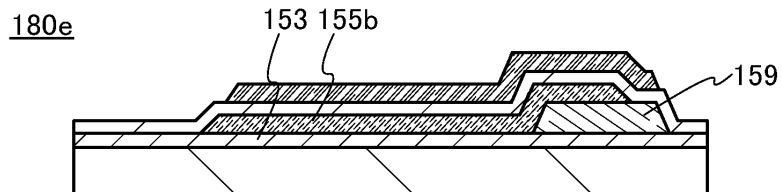
(A)



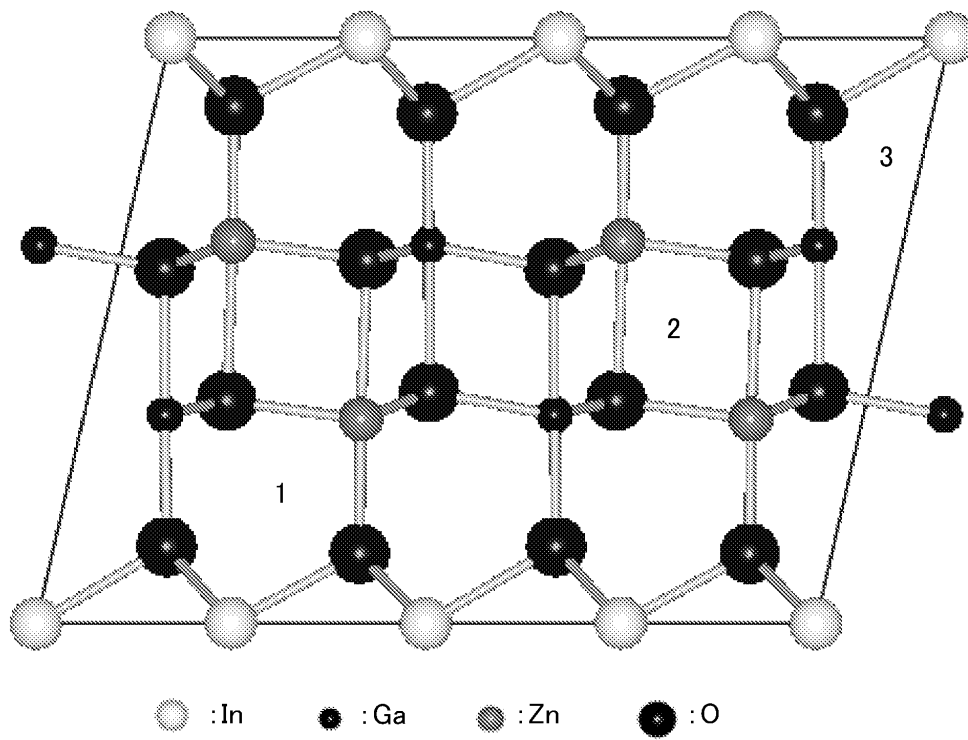
(B)



도면12



도면13

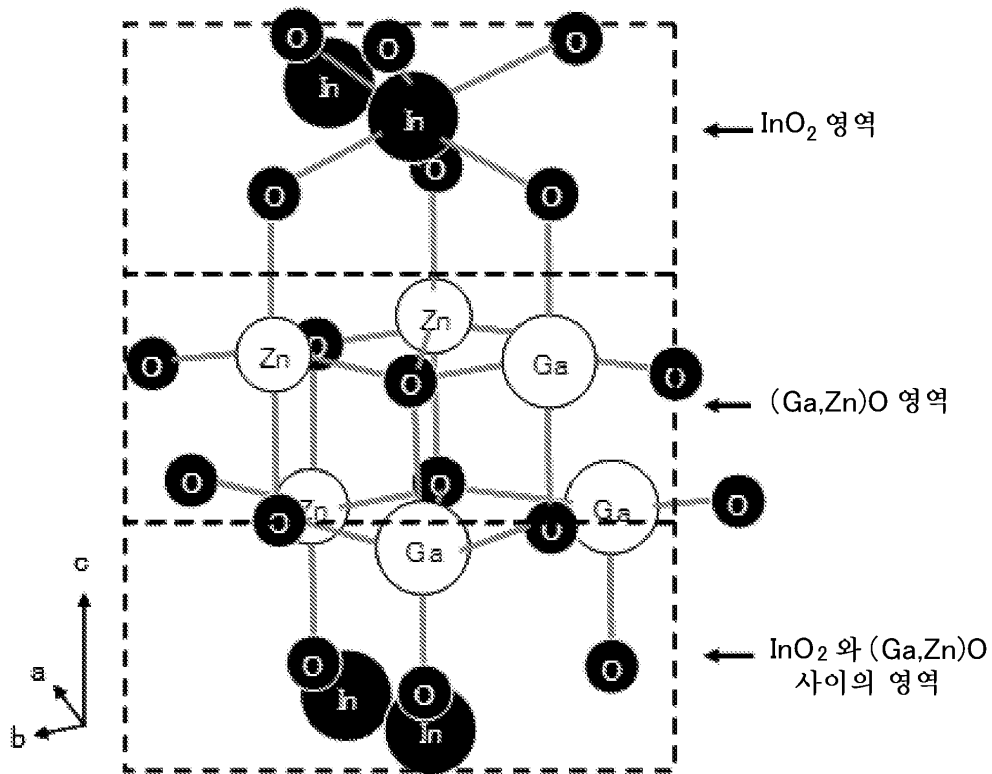


도면14

H <sub>2</sub> O첨가량	초기 배치	최적화 후
1 (@1)		
2 (@1, 2)		
3 (@1, 2, 3)		

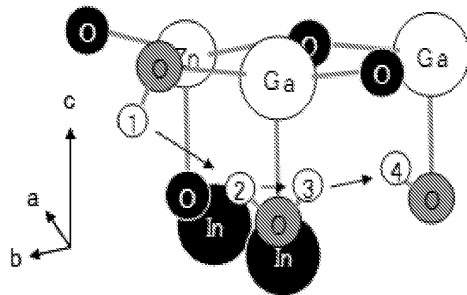


도면15

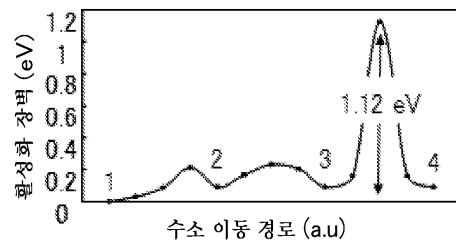


도면16

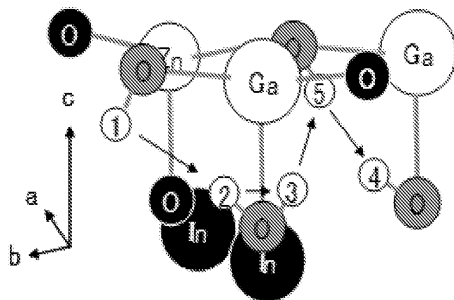
(A)



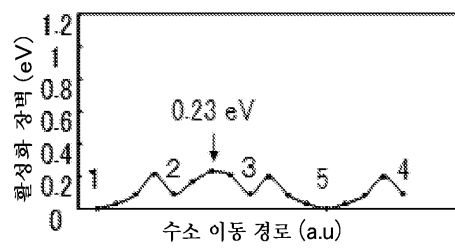
(B)



(C)

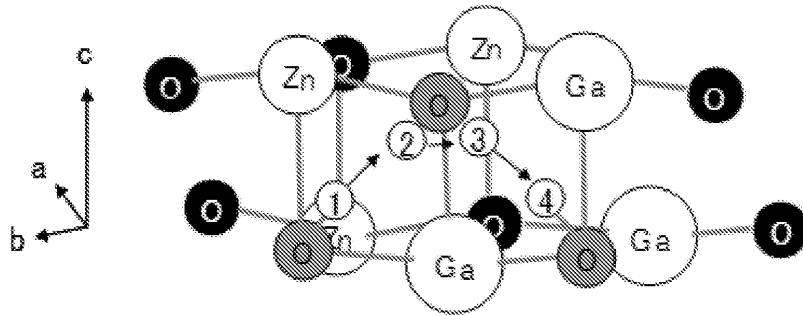


(D)

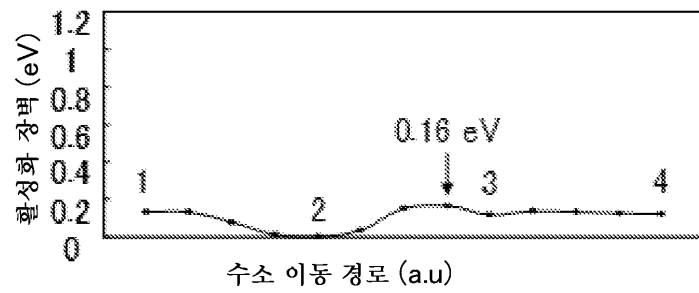


도면17

(A)

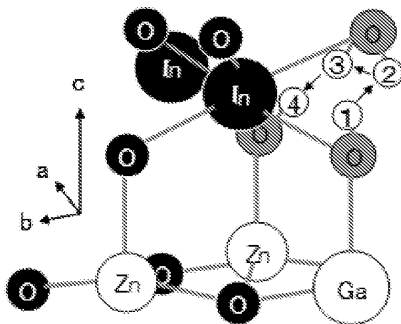


(B)

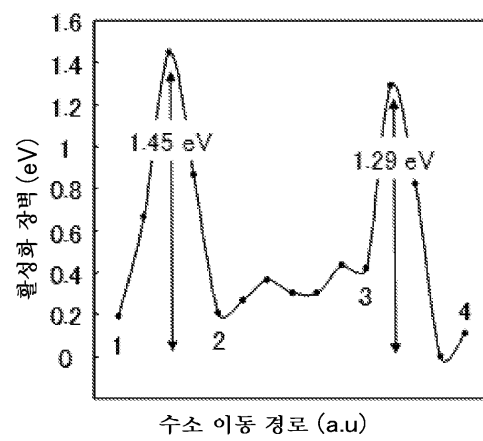


도면18

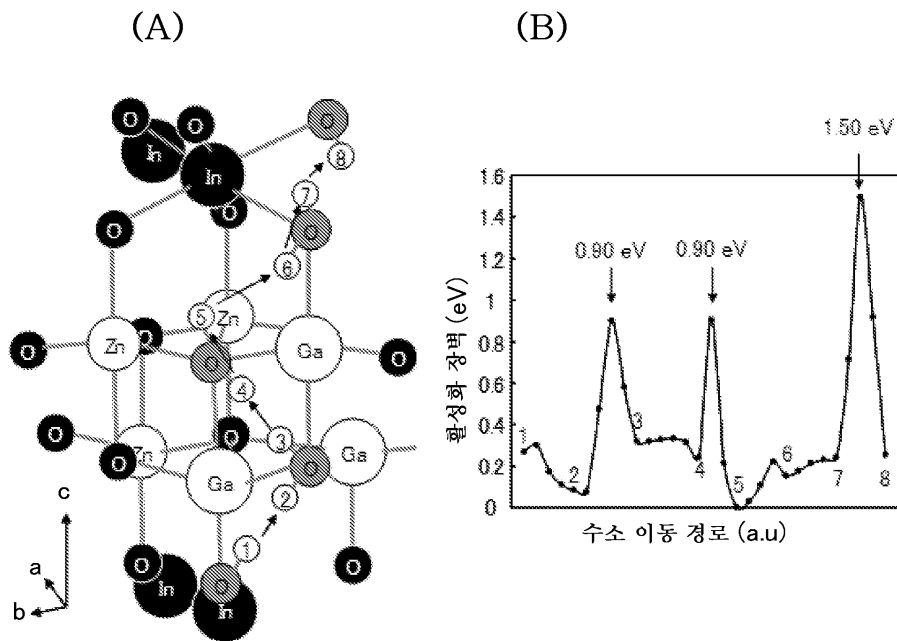
(A)



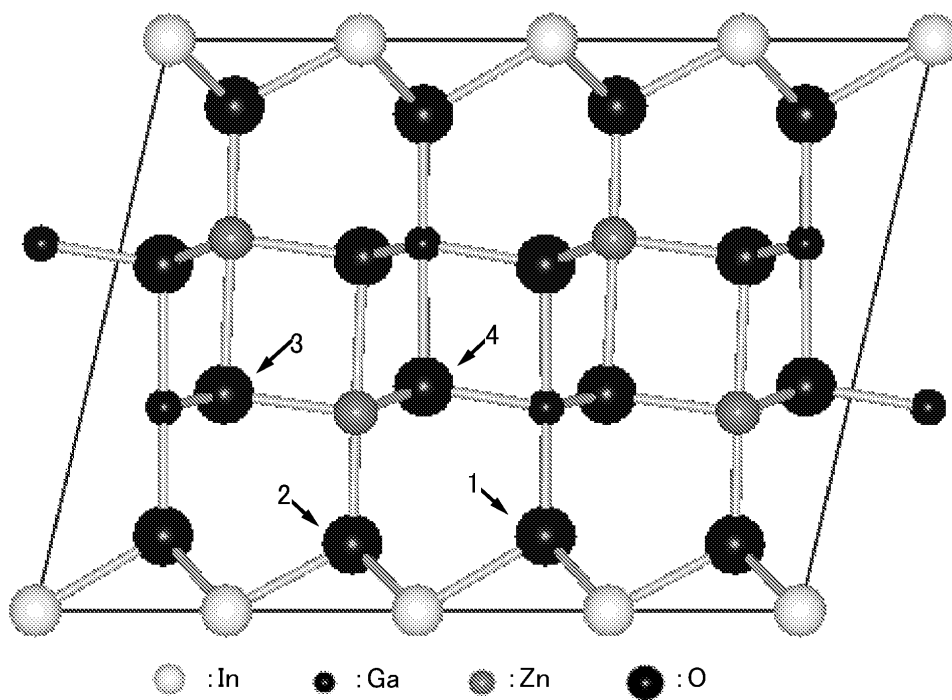
(B)



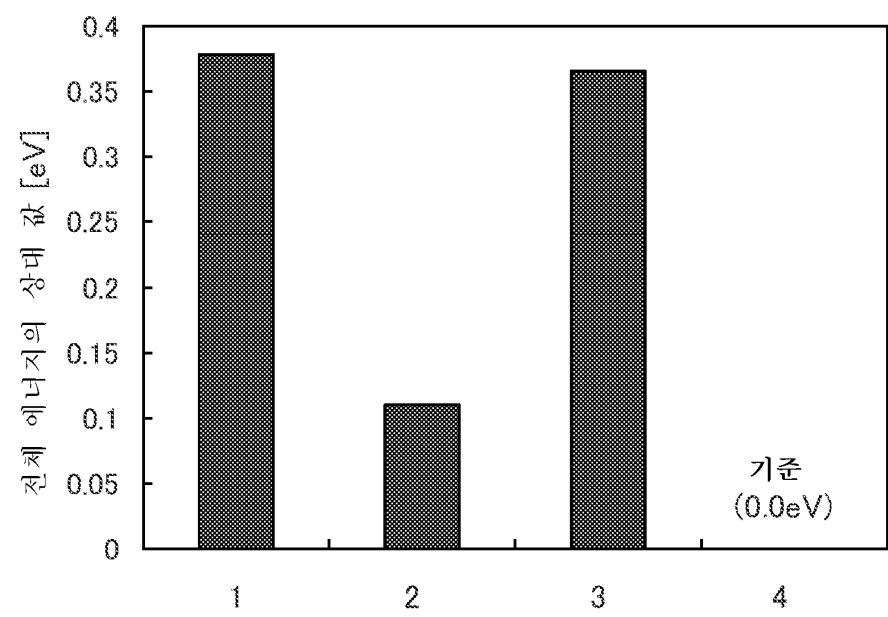
도면19



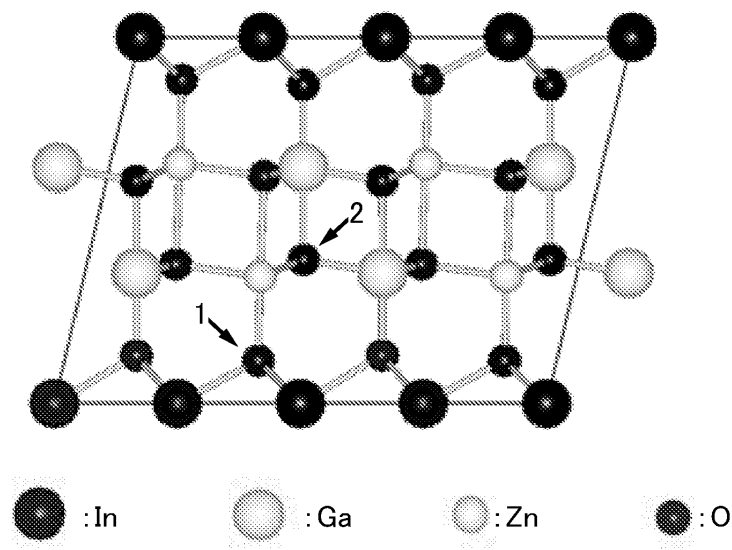
도면20



도면21



도면22

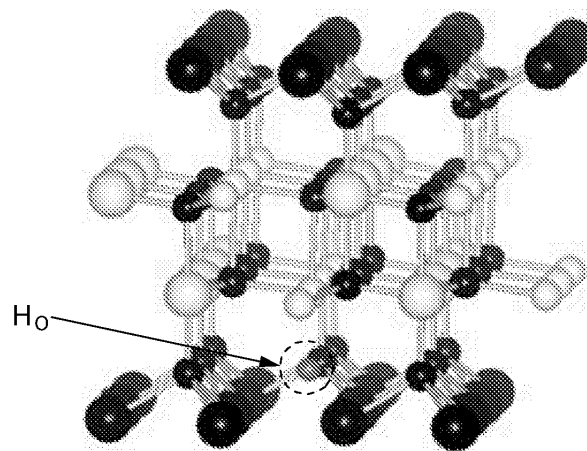




도면23

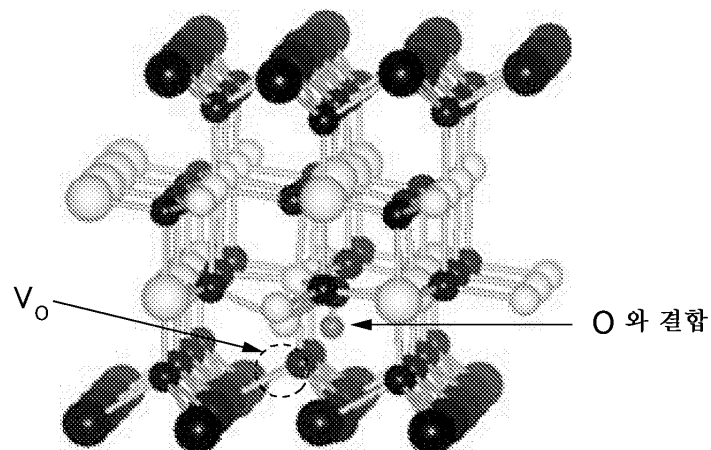
(A)

최종 상태 ( $H_O$ )

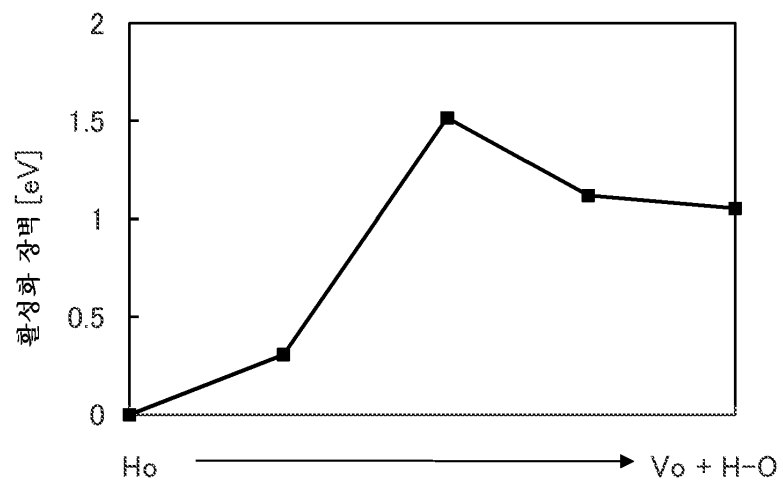


(B)

최종 상태 ( $V_O, H-O$ )

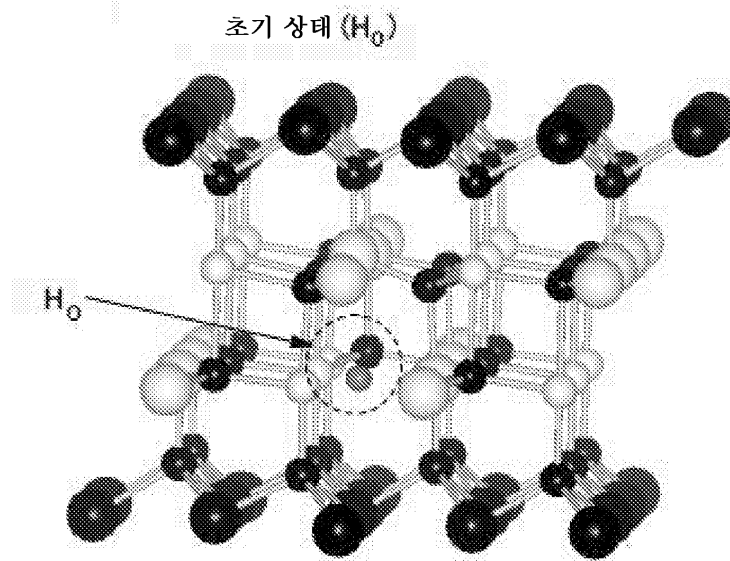


도면24

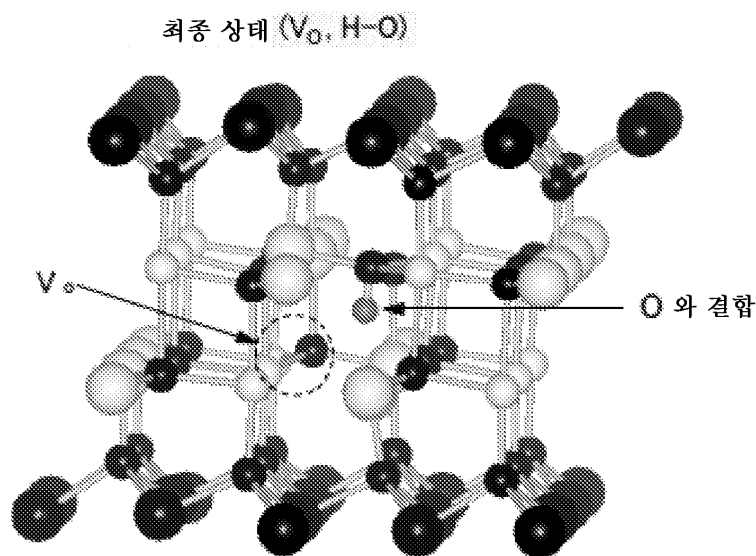


도면25

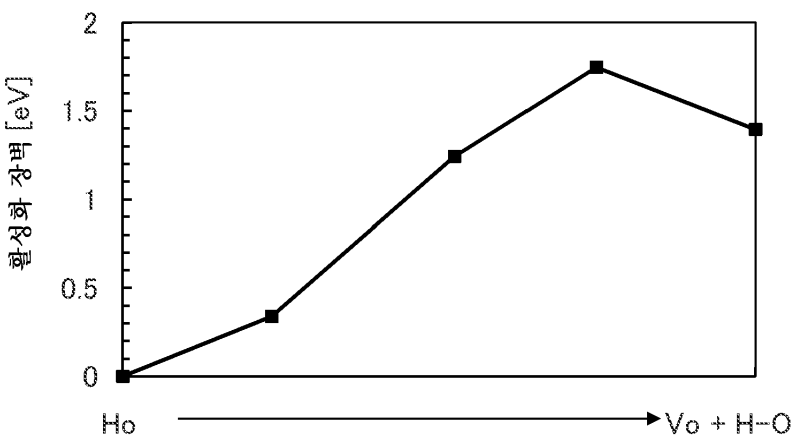
(A)



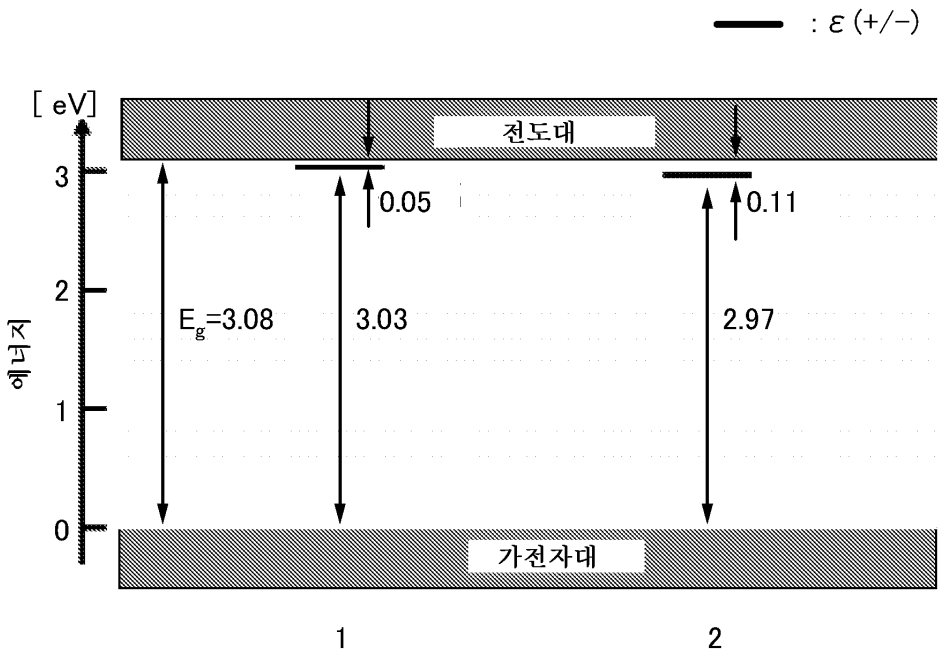
(B)



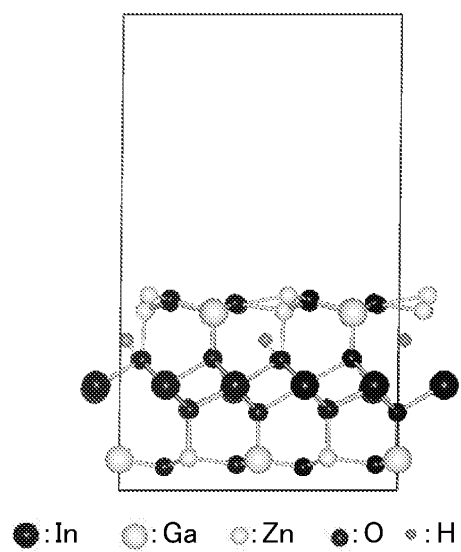
도면26



도면27

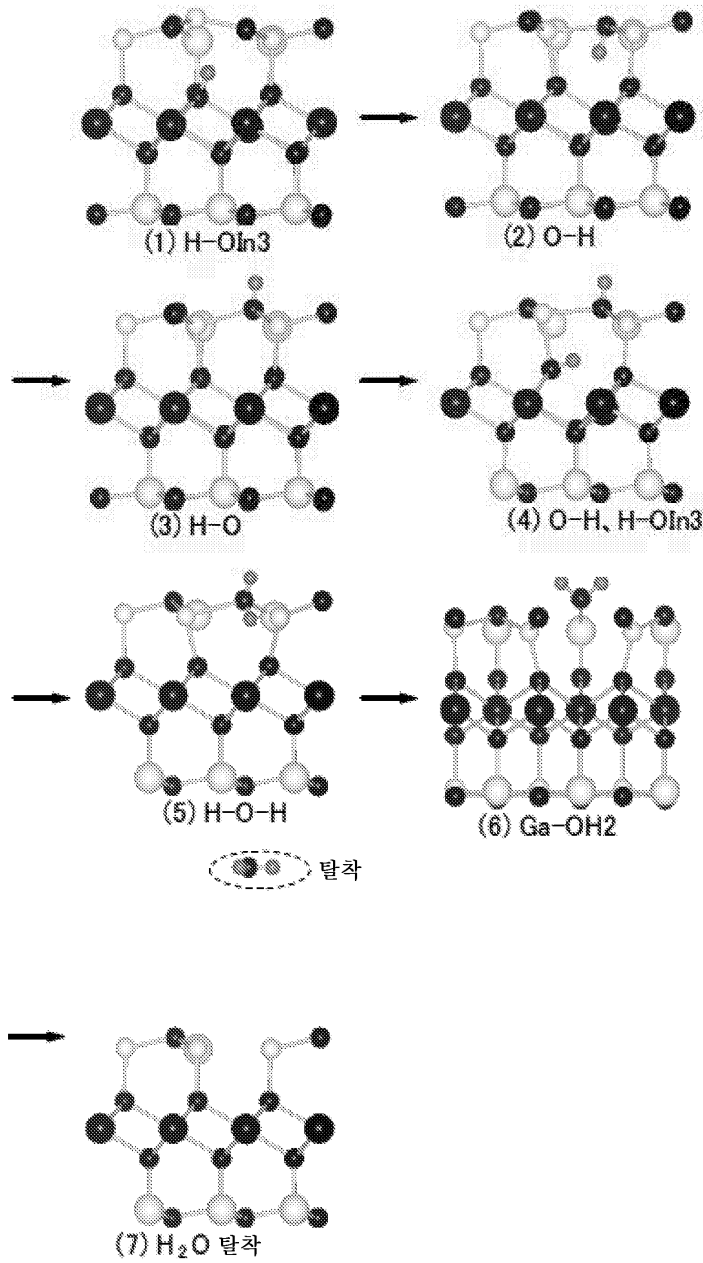


도면28

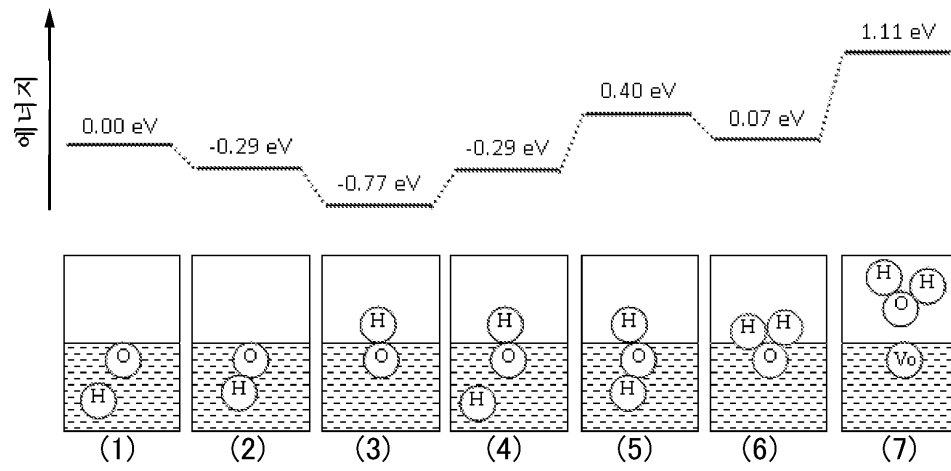




도면29

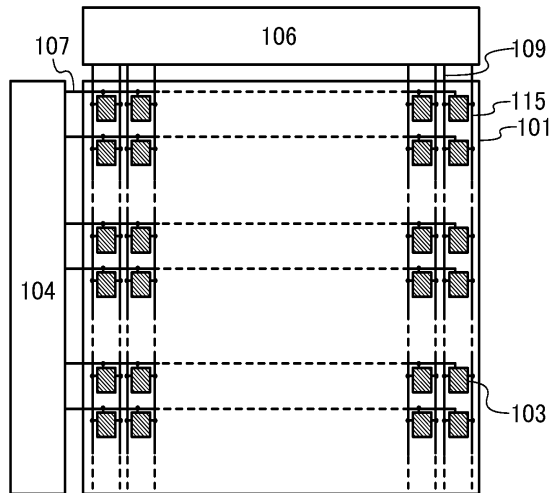


도면30

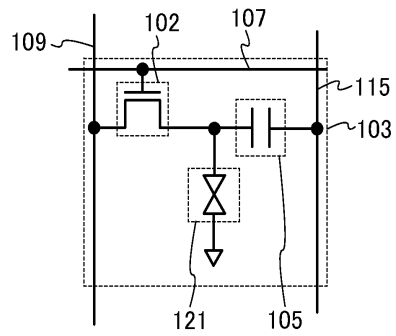


도면31

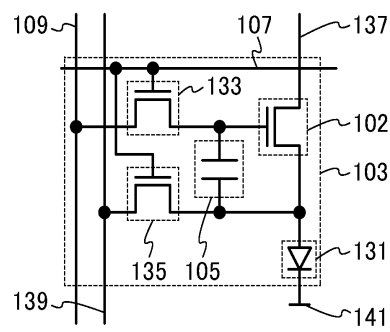
(A)



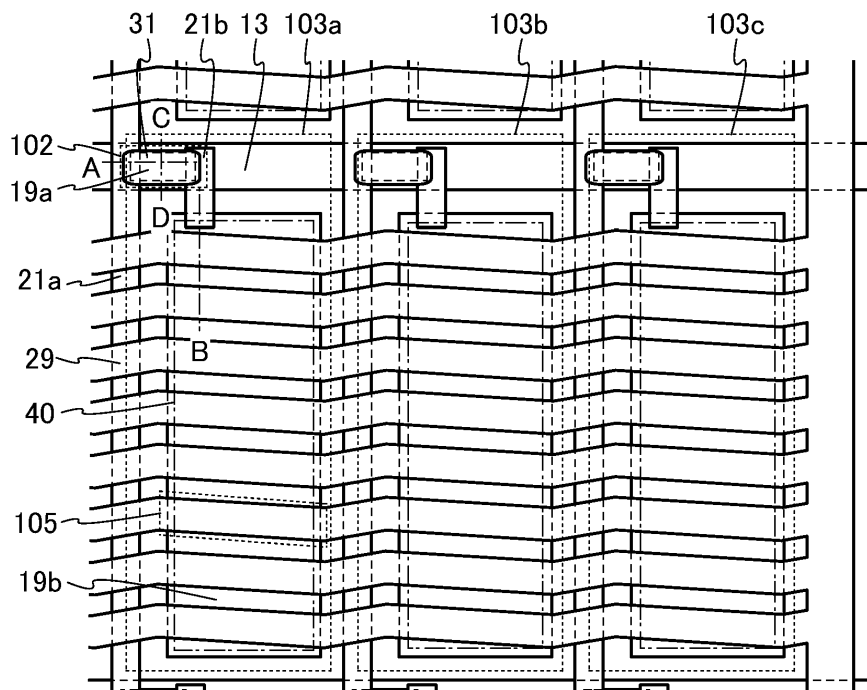
(B)



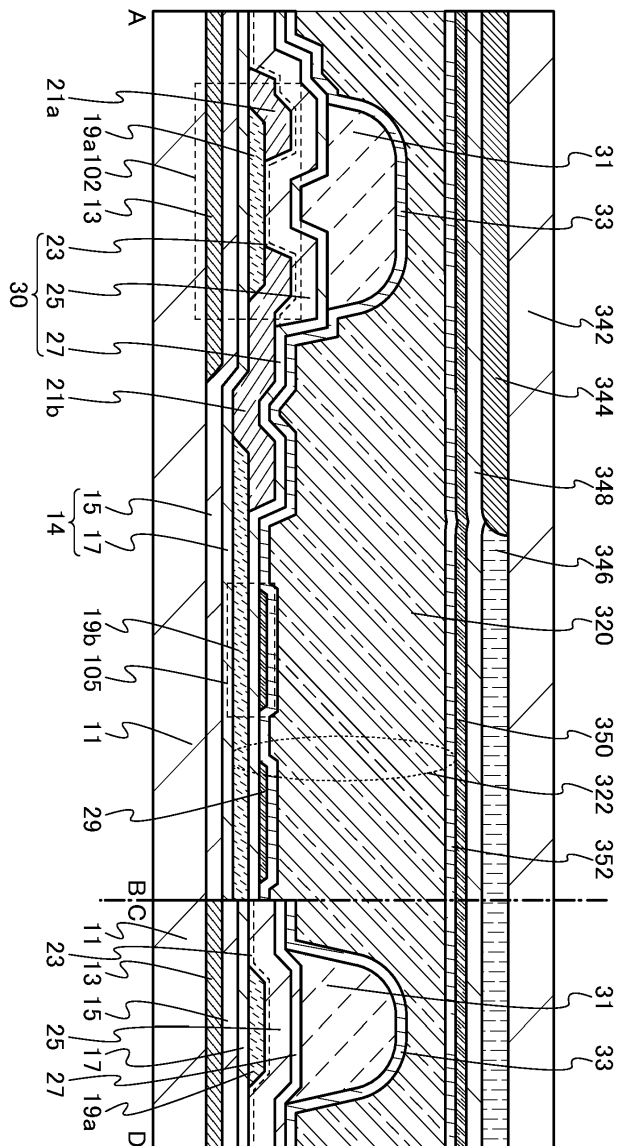
(C)



도면32

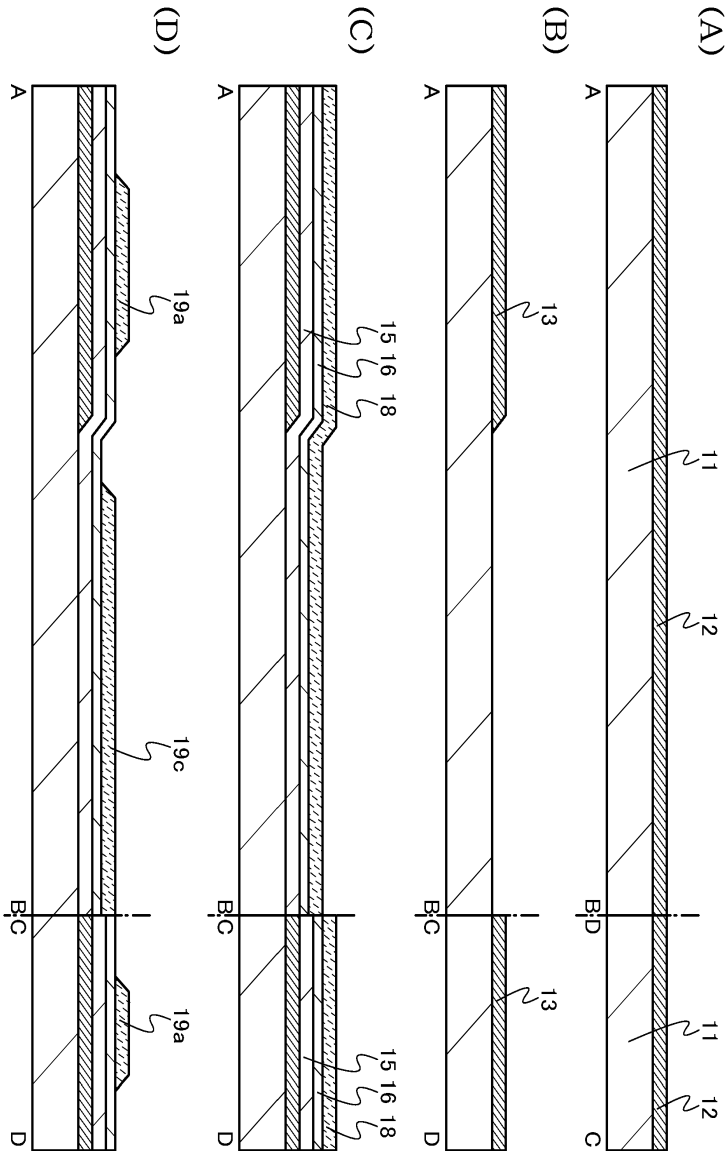


도면33

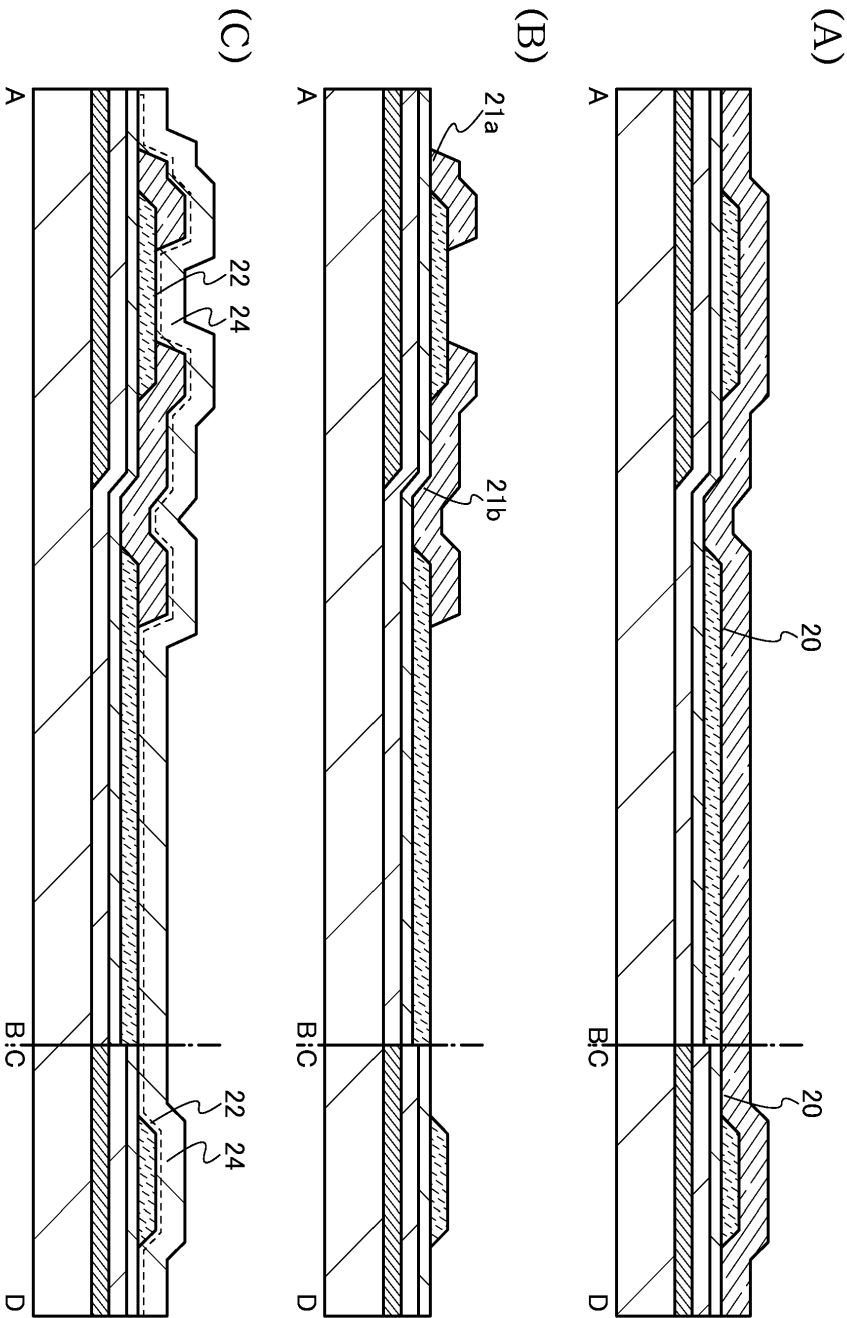




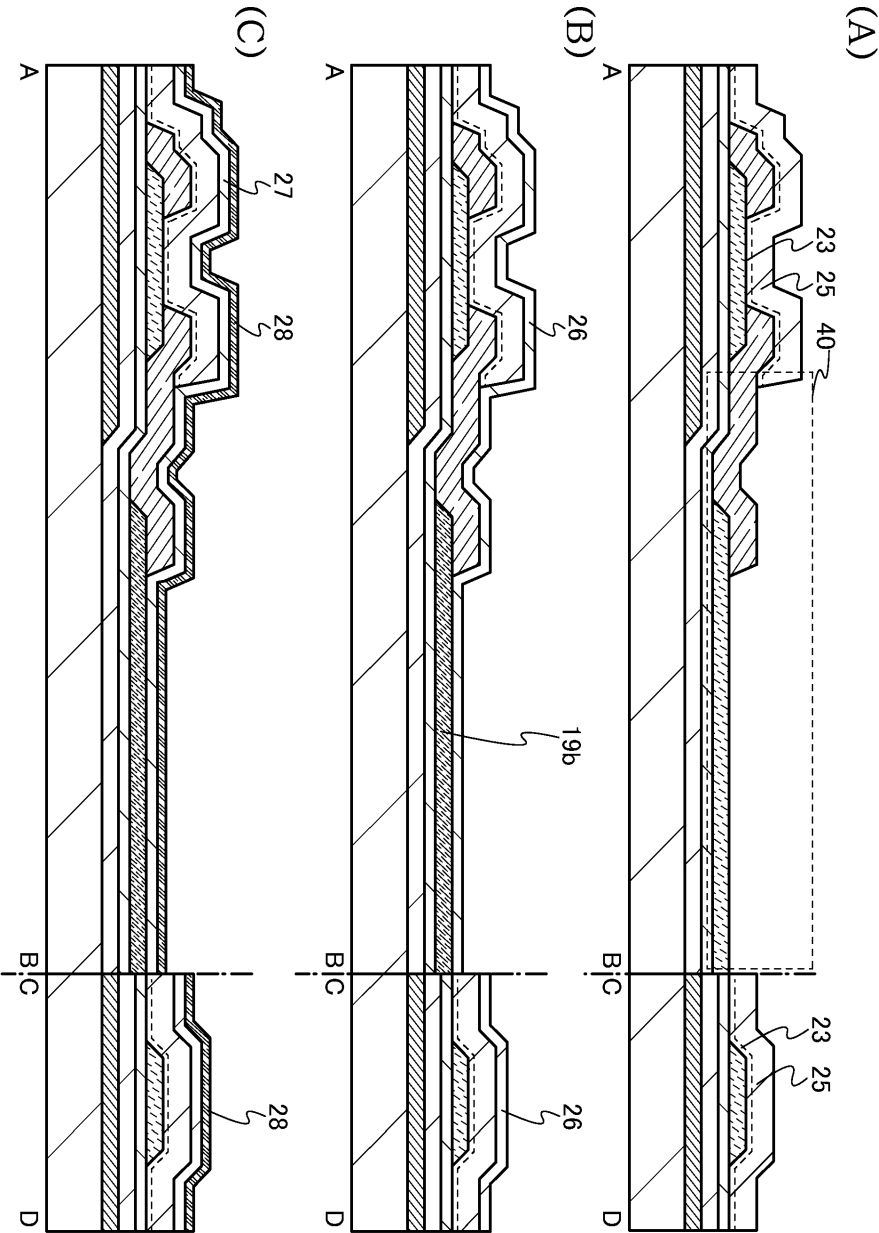
도면34



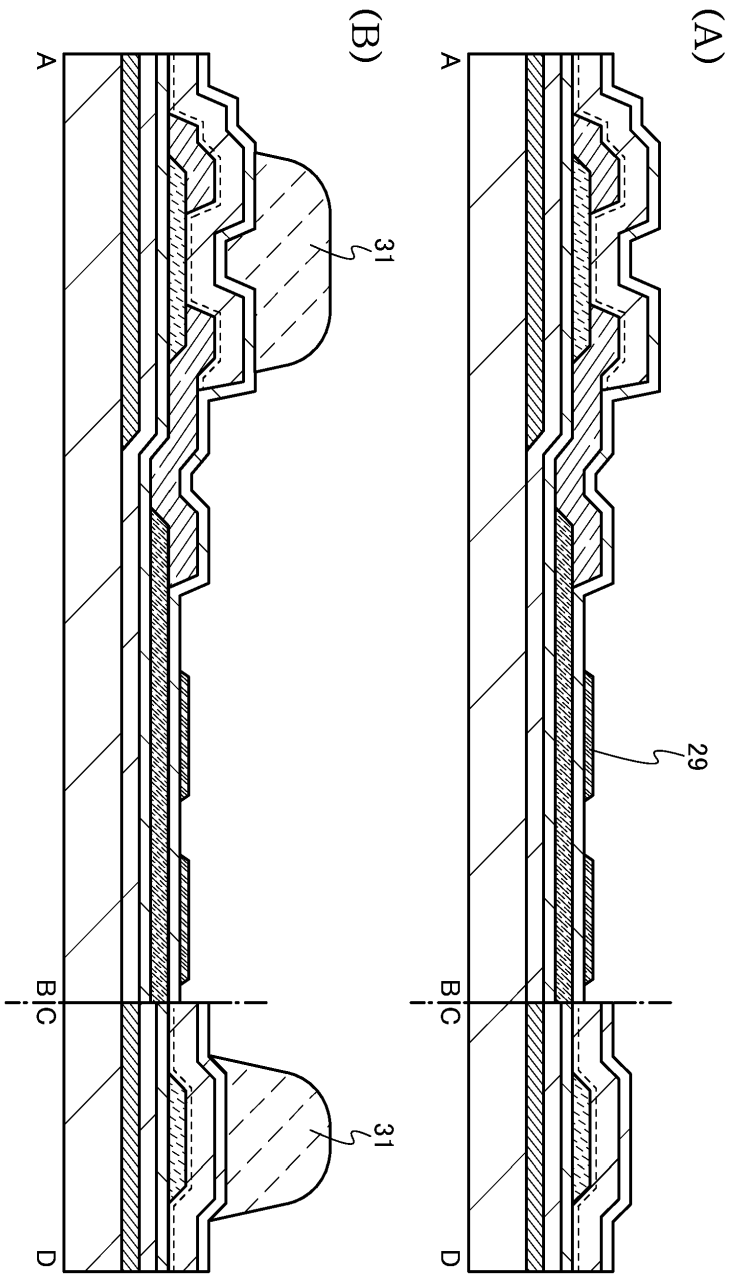
도면35



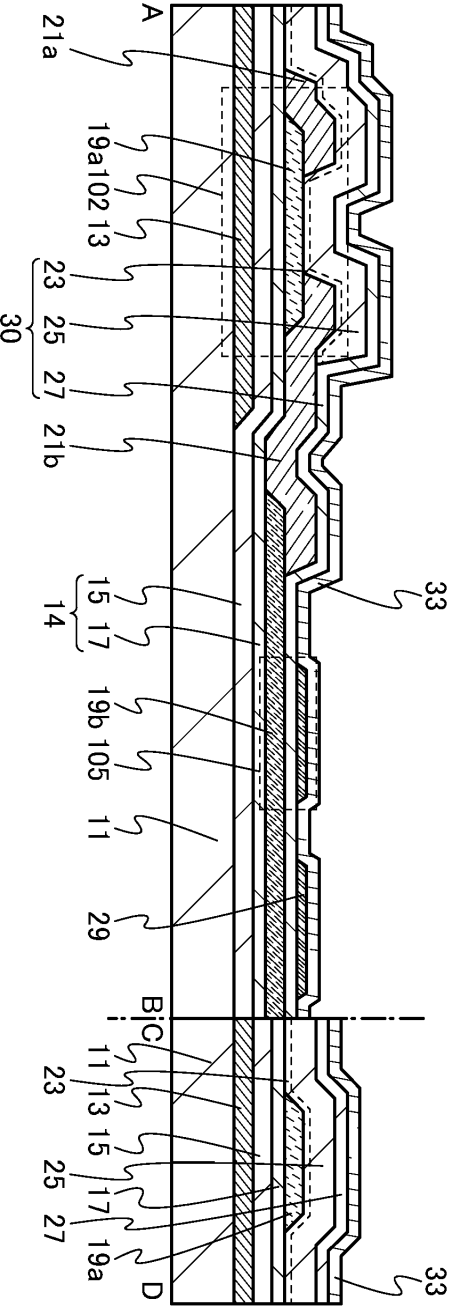
도면36



도면37

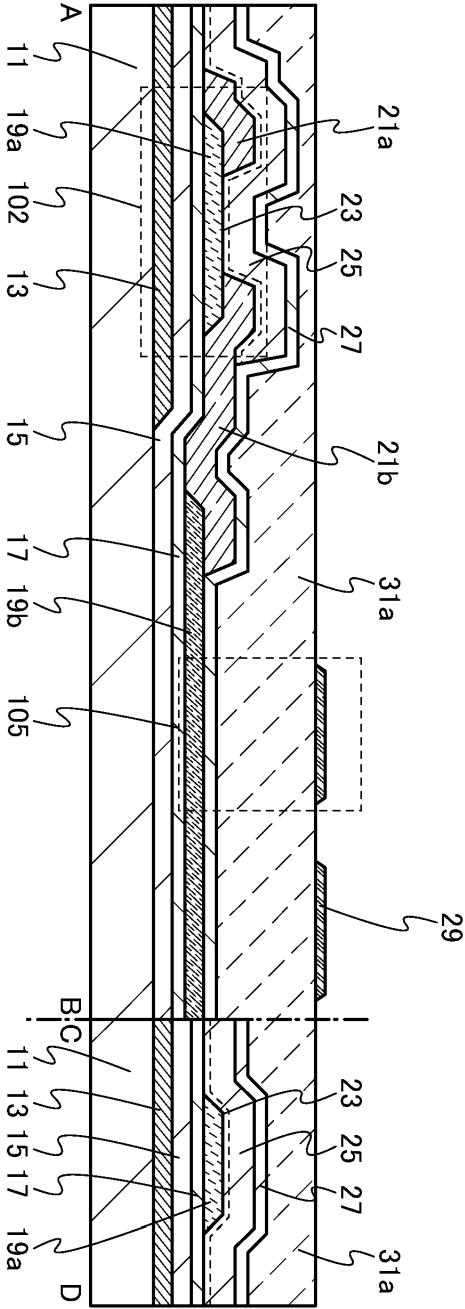


도면38

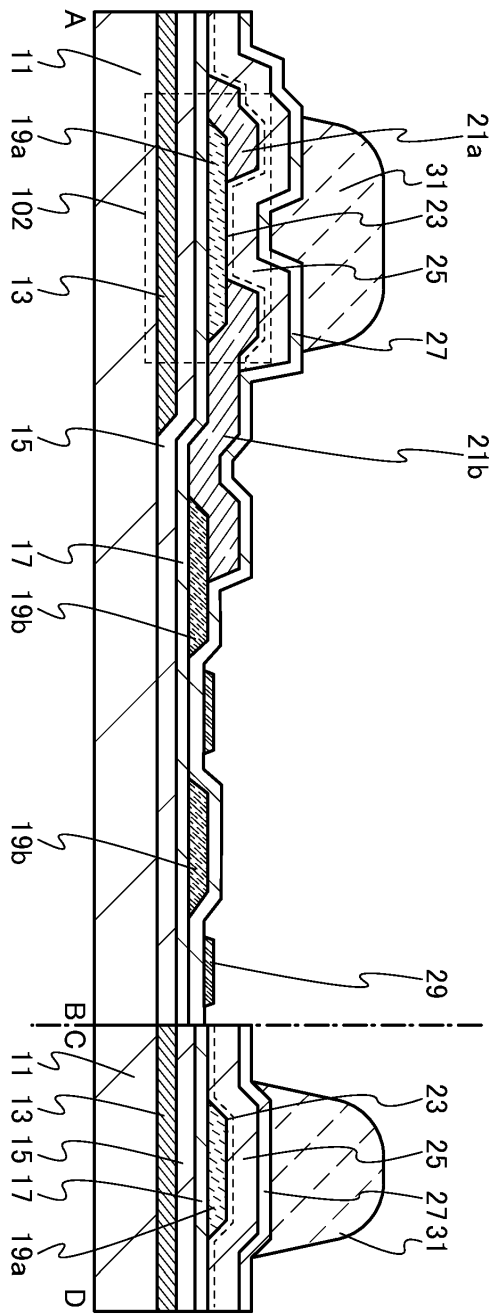




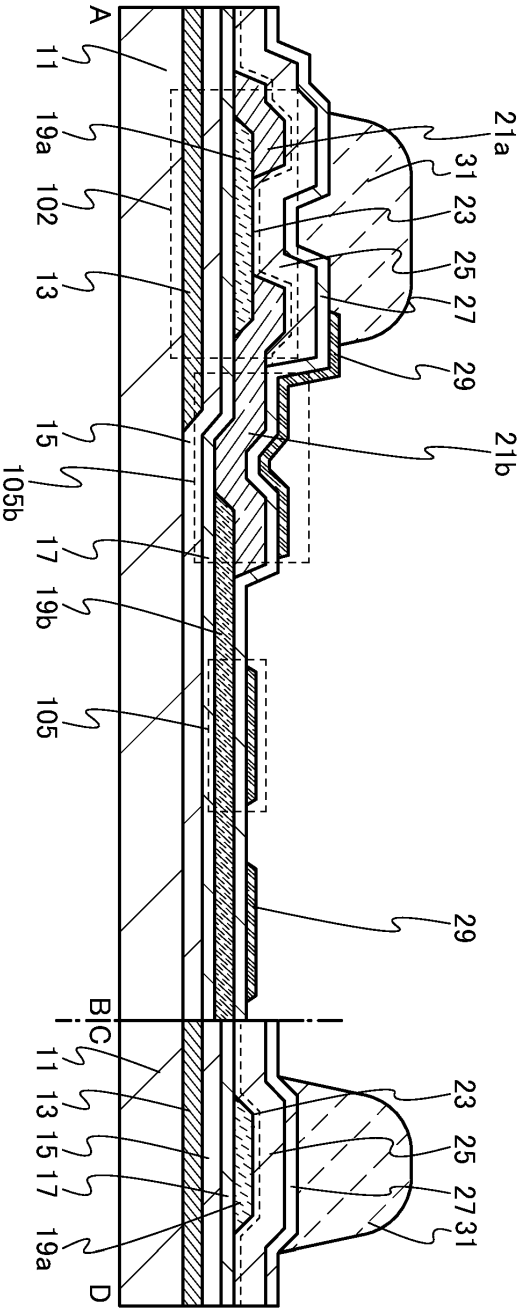
도면39



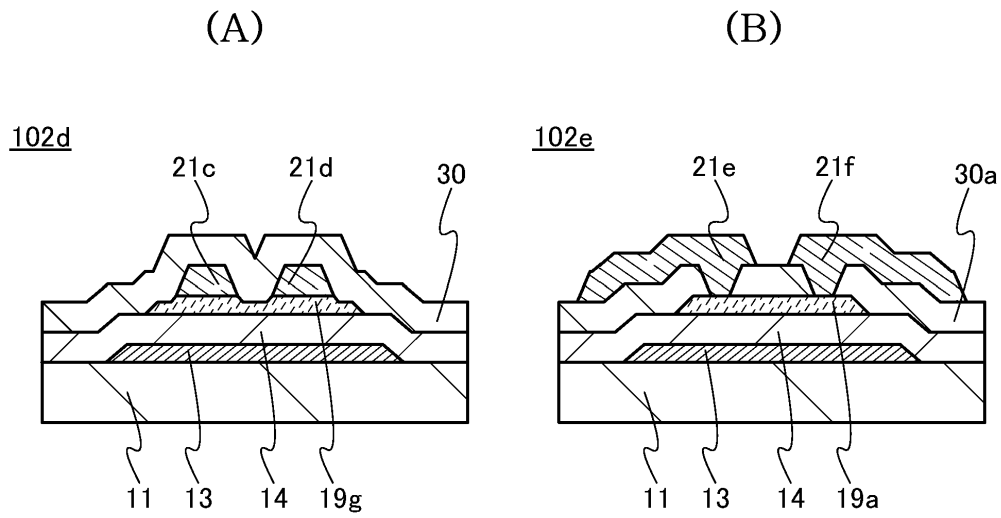
도면40



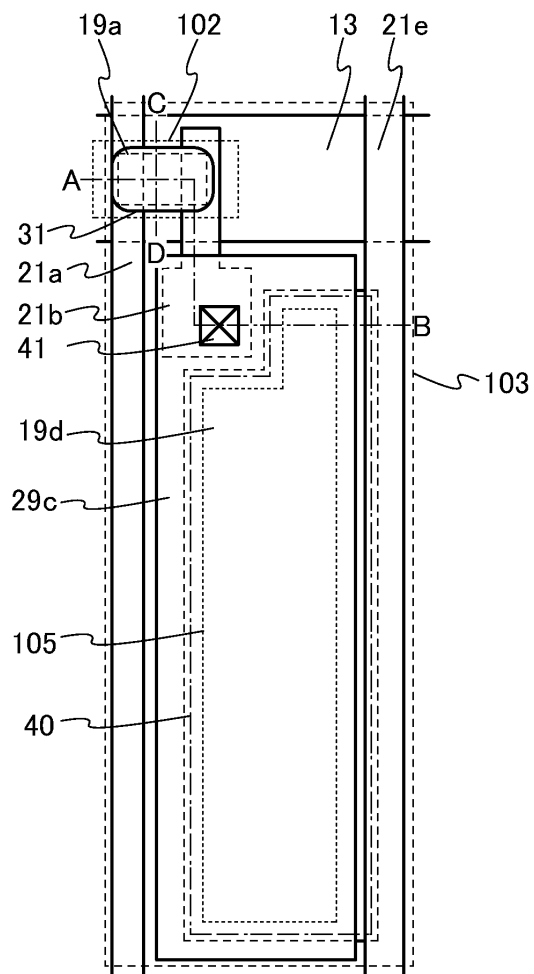
도면41



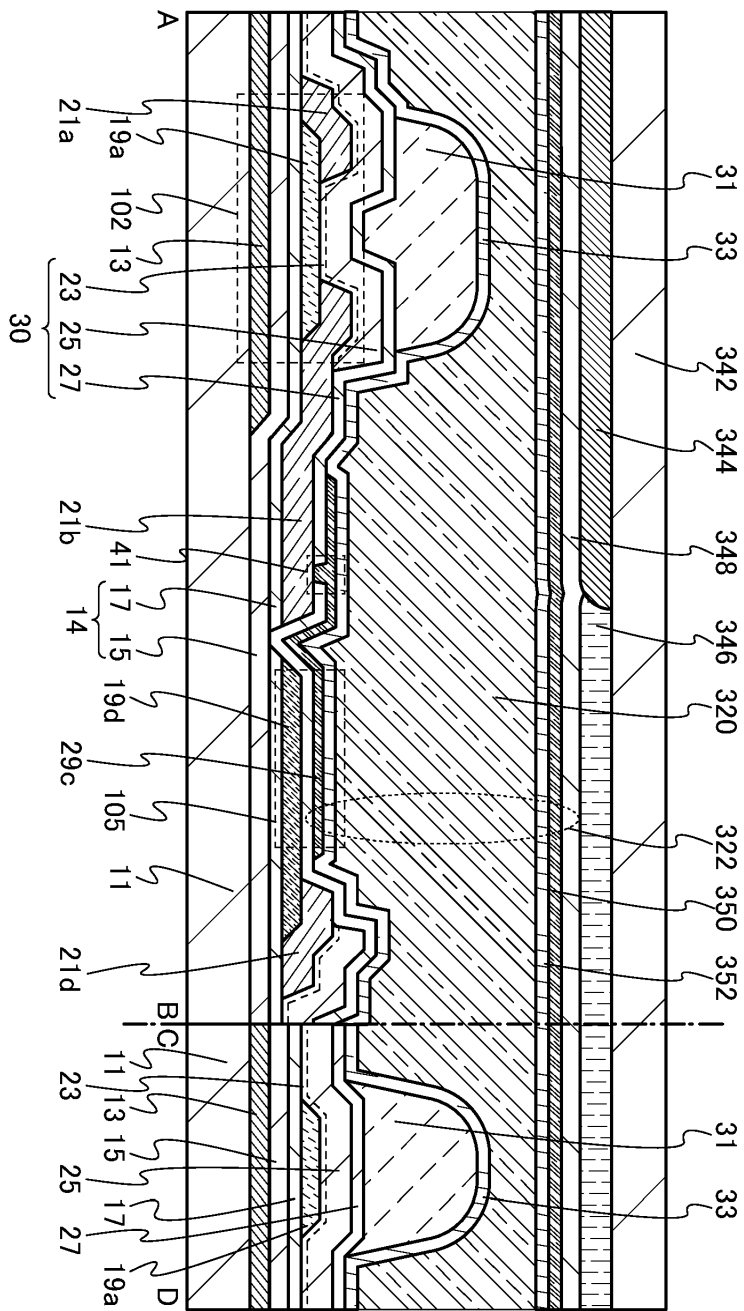
도면42



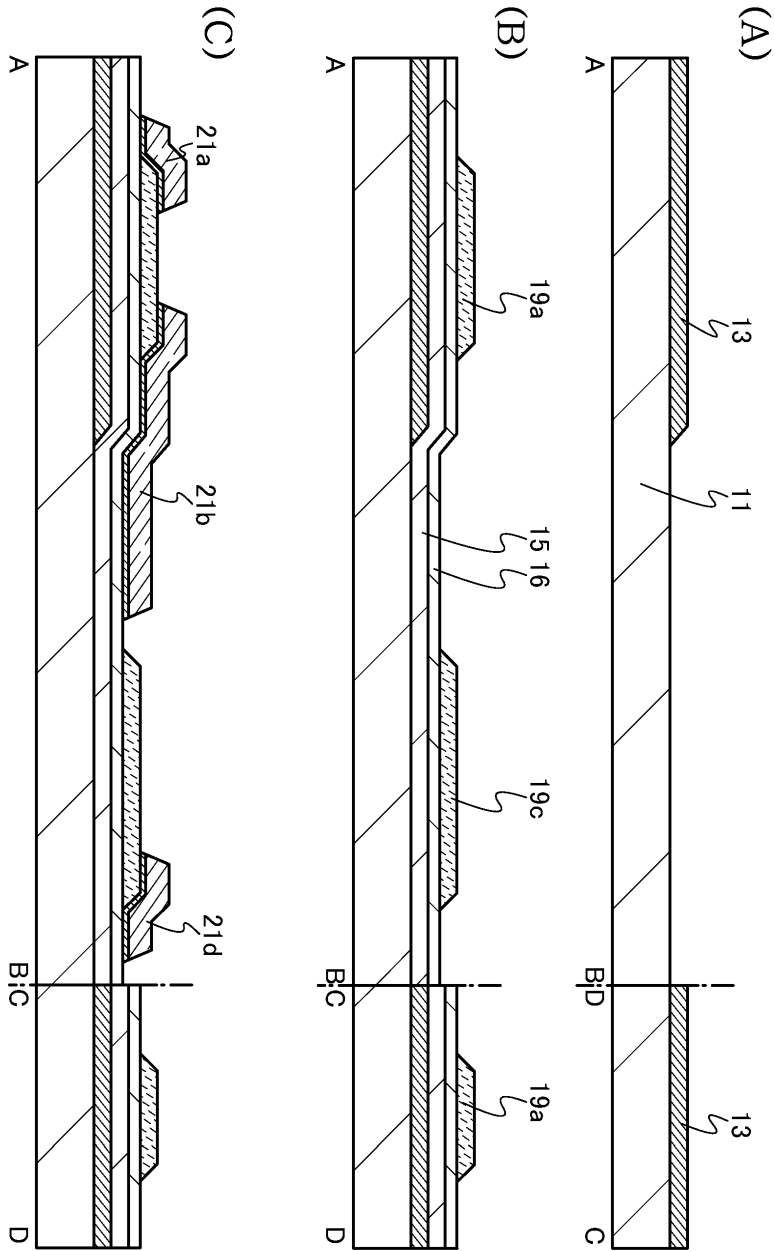
도면43



도면44

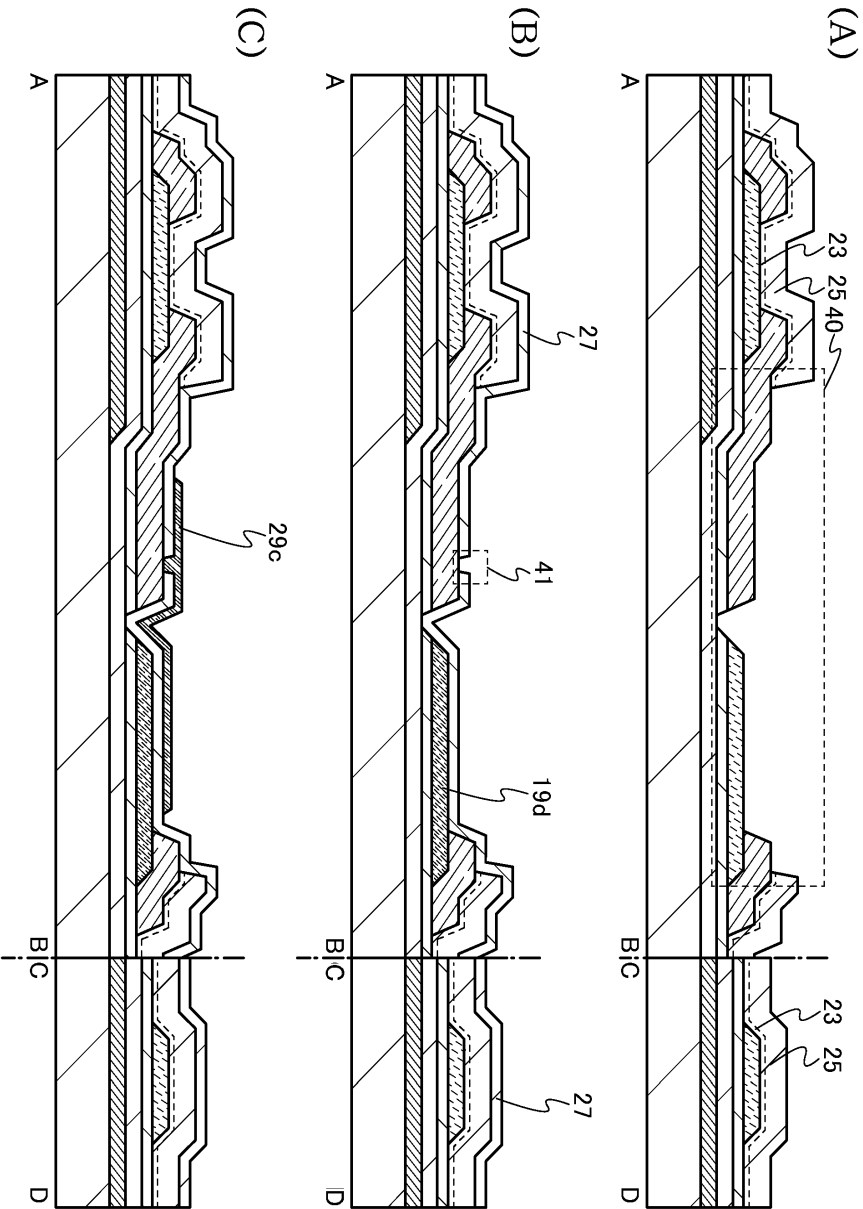


도면45

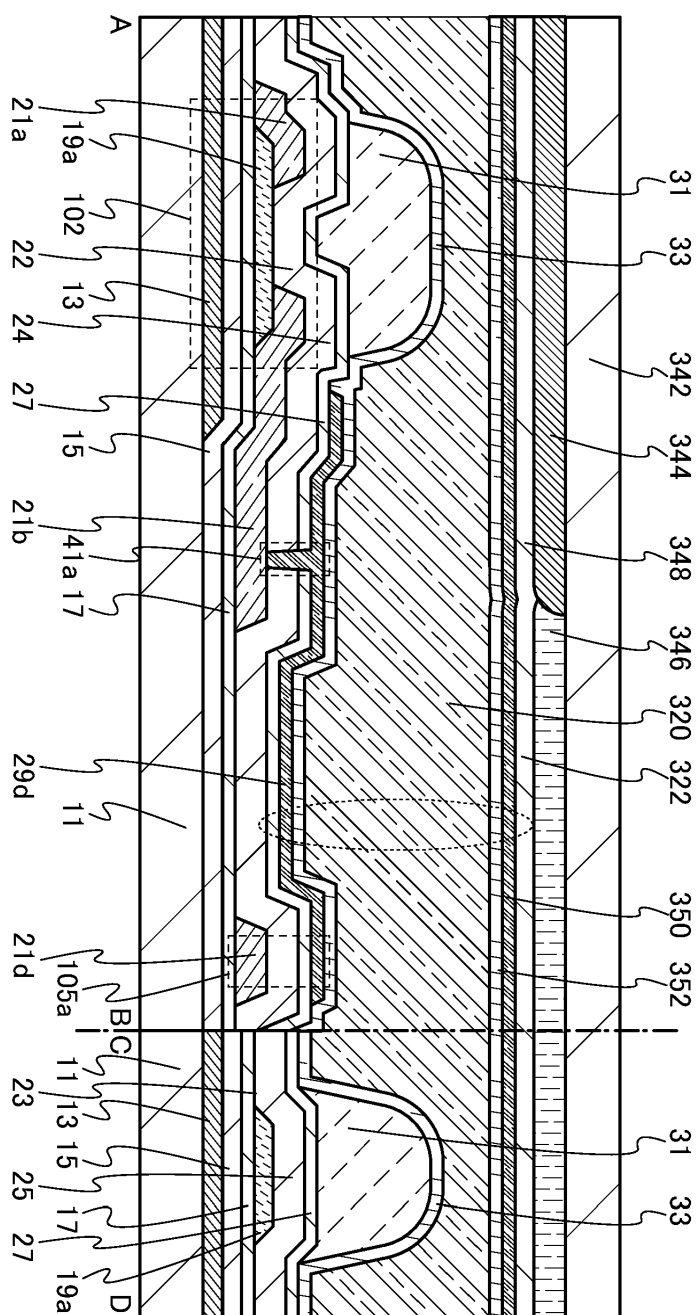




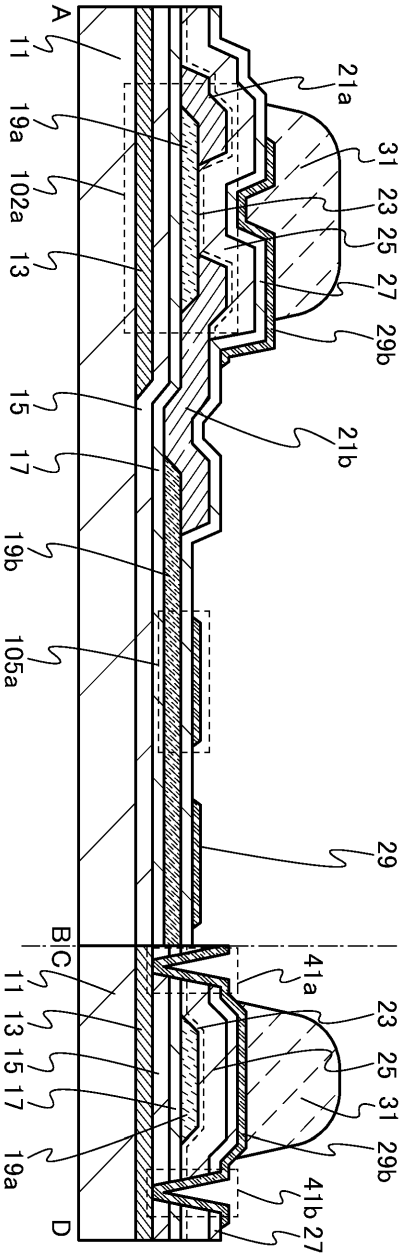
도면46



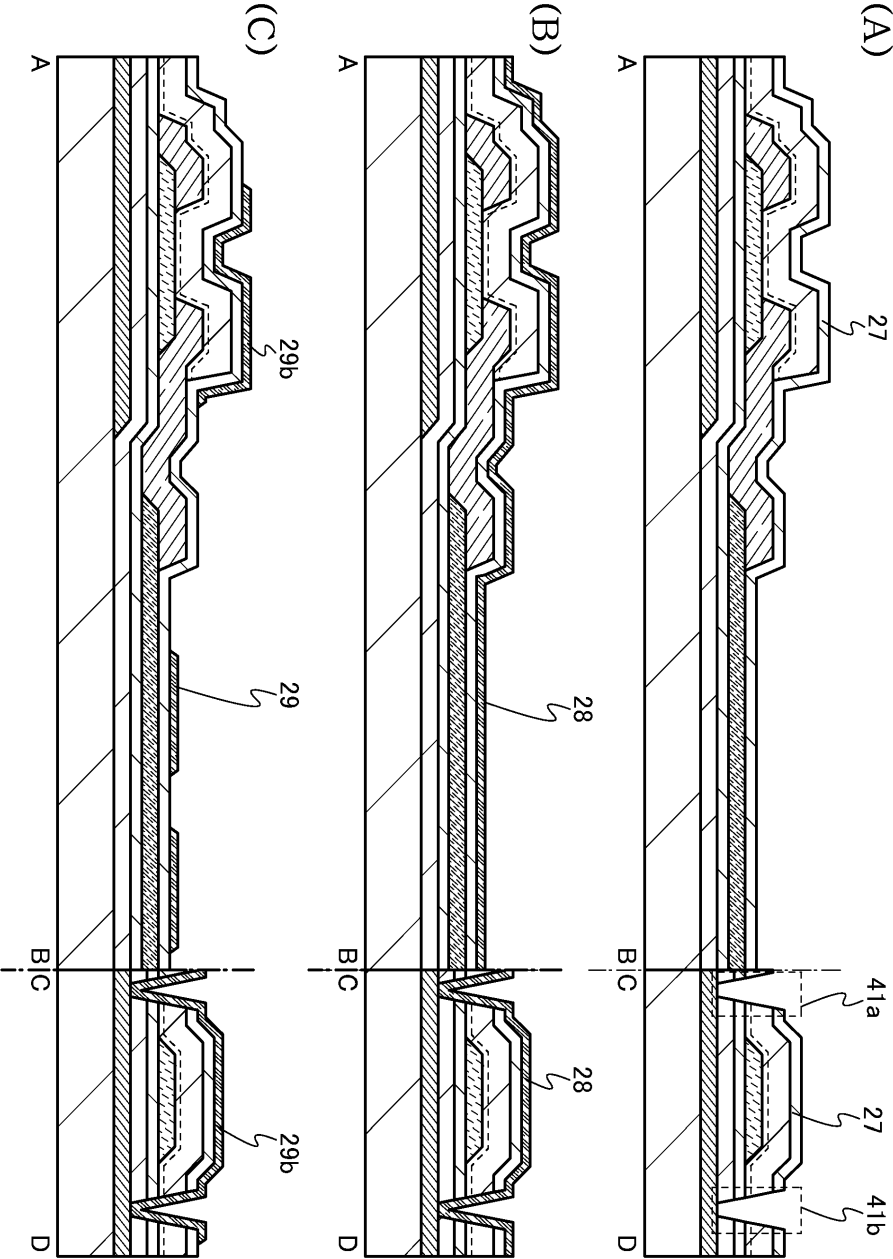
도면47



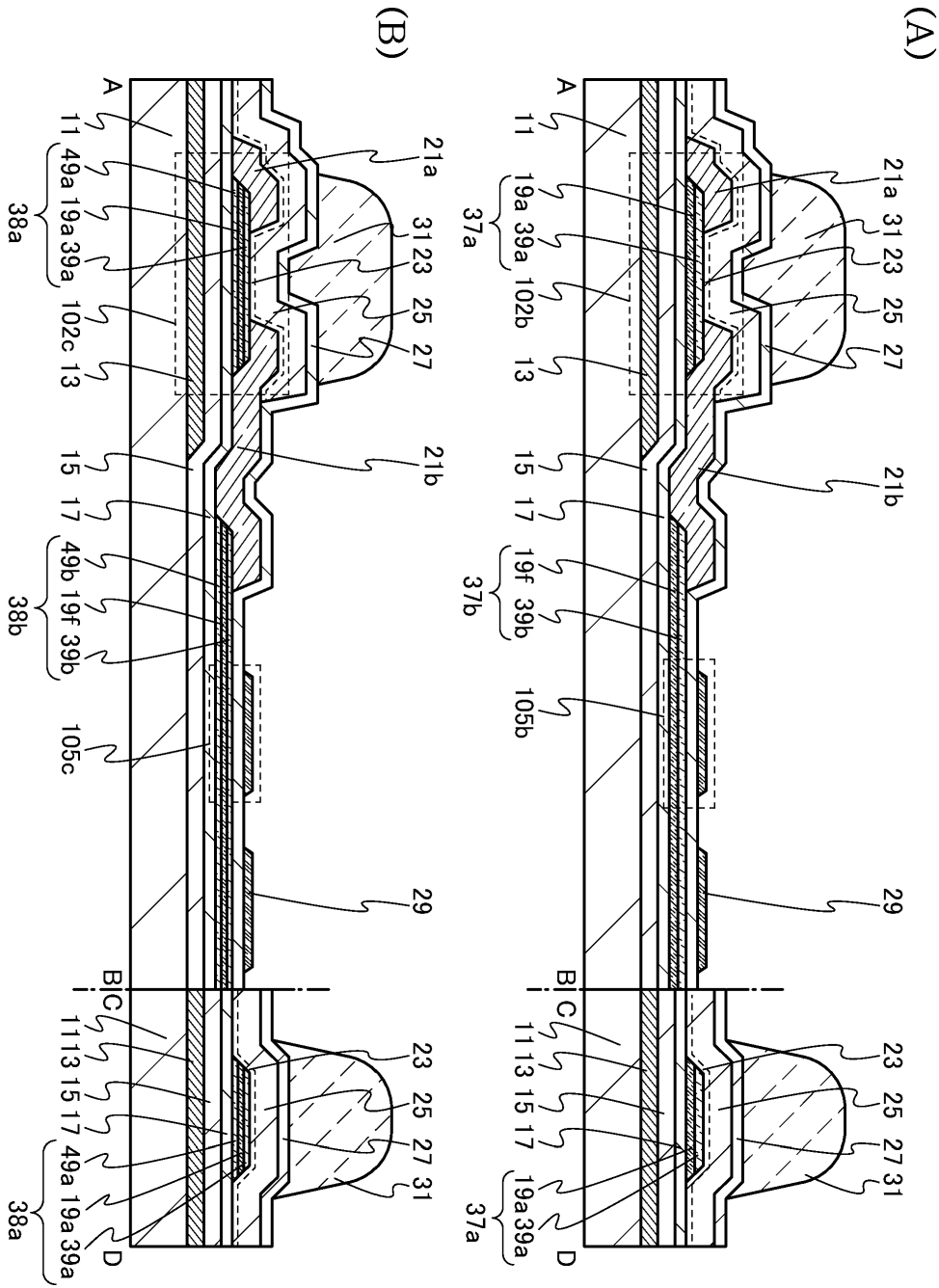
도면48



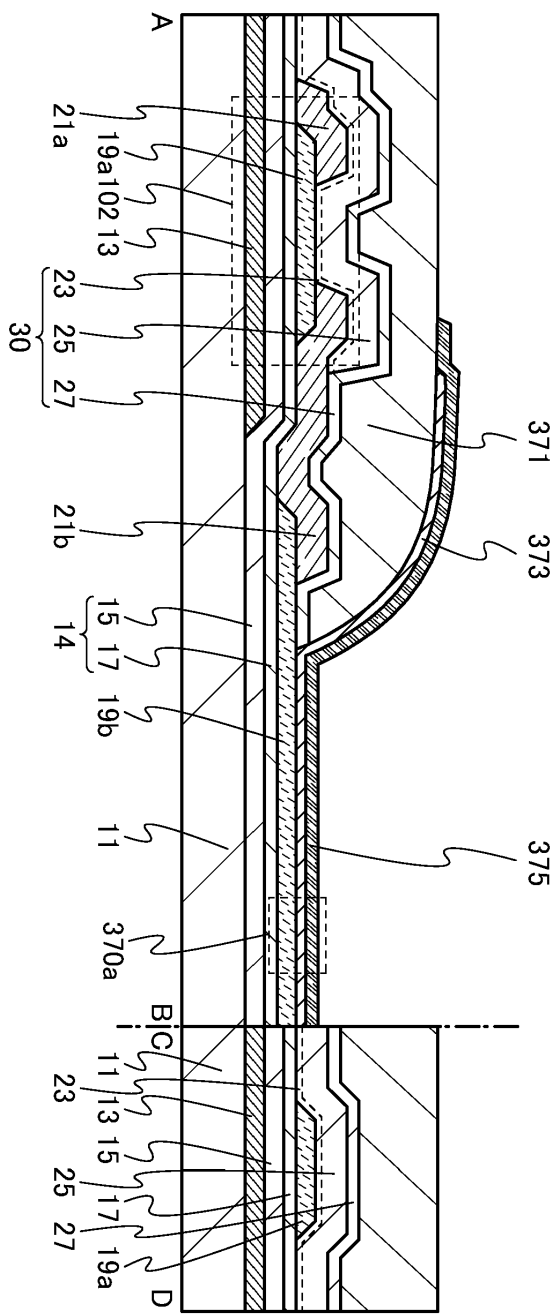
도면49



도면50

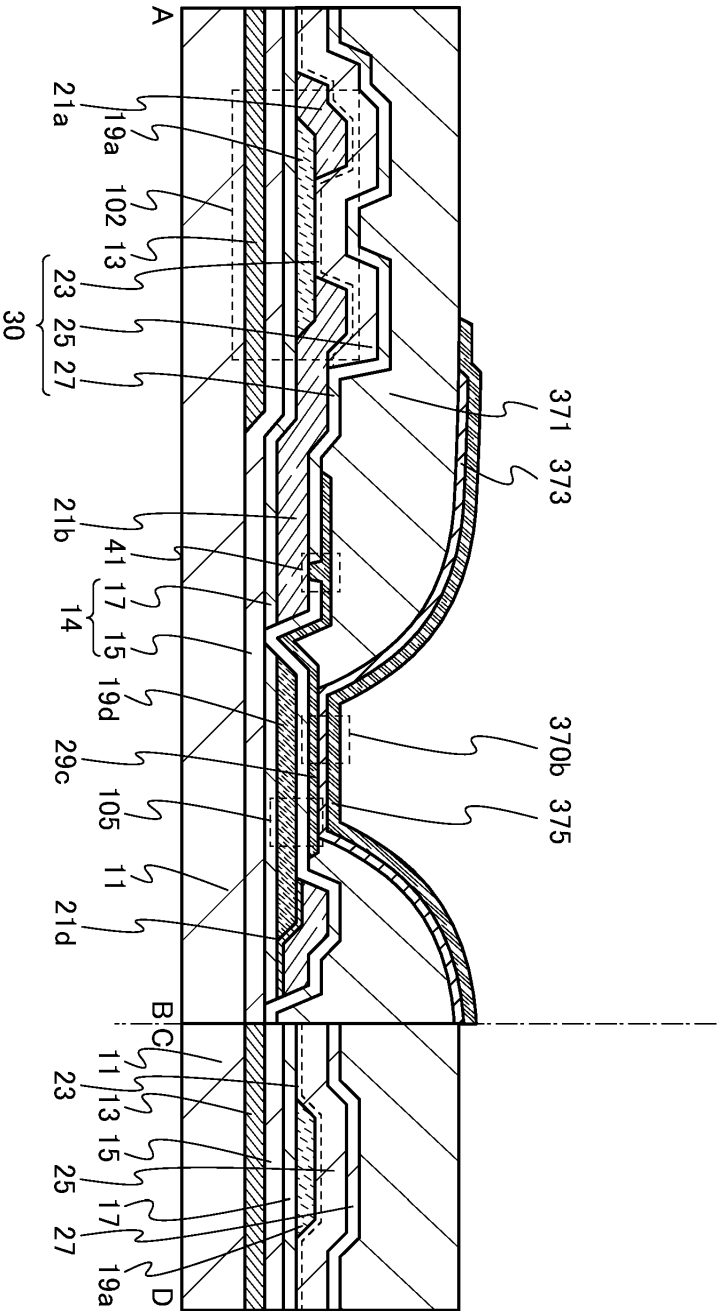


도면51

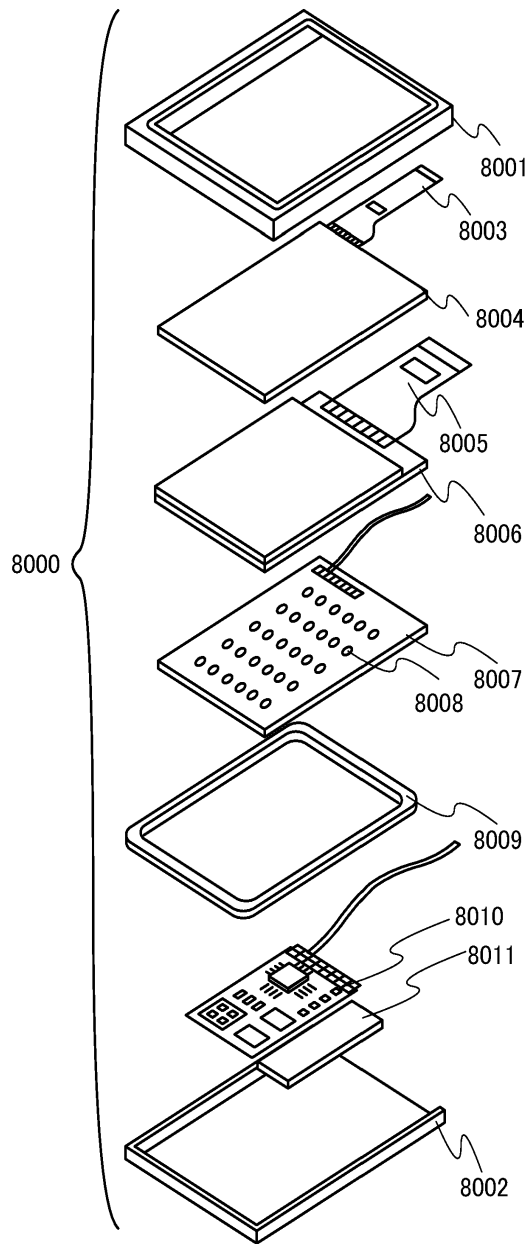




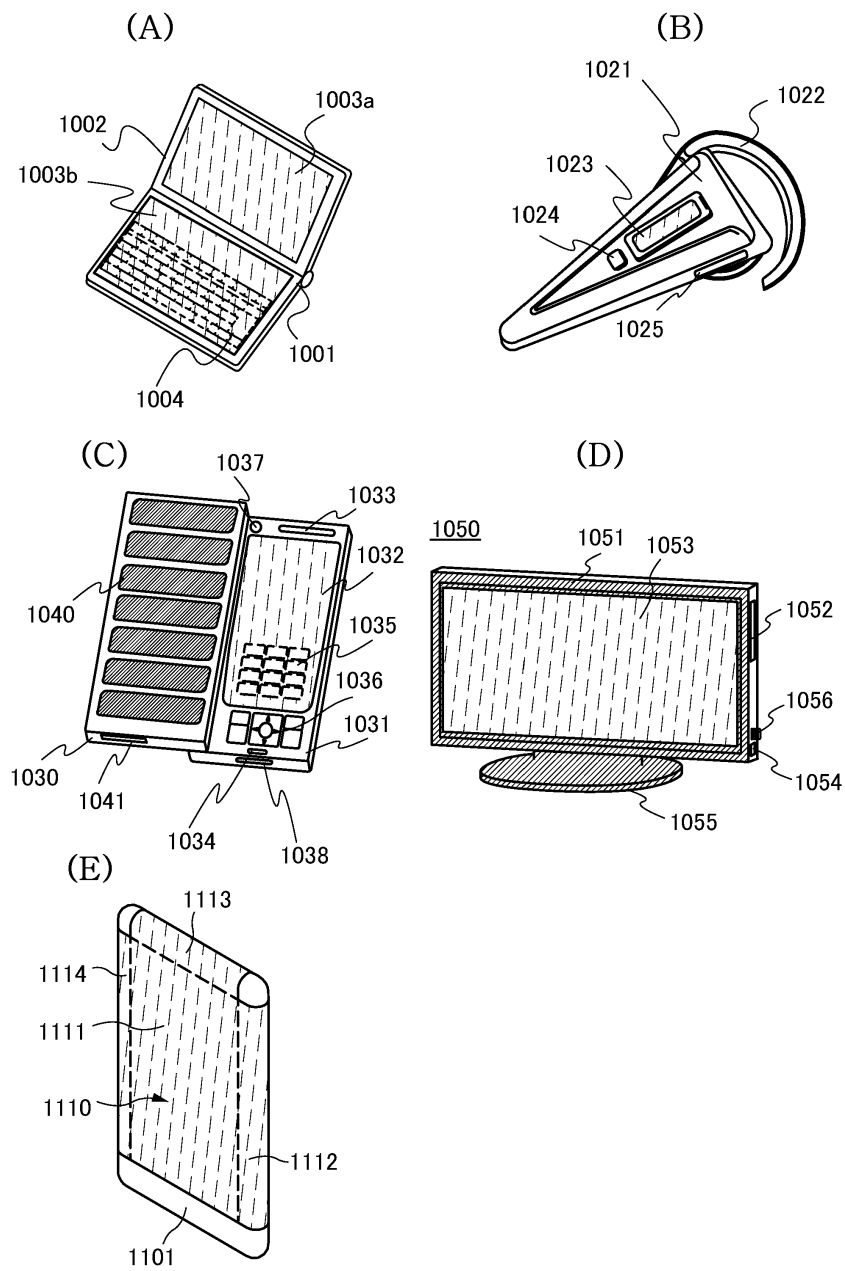
도면52



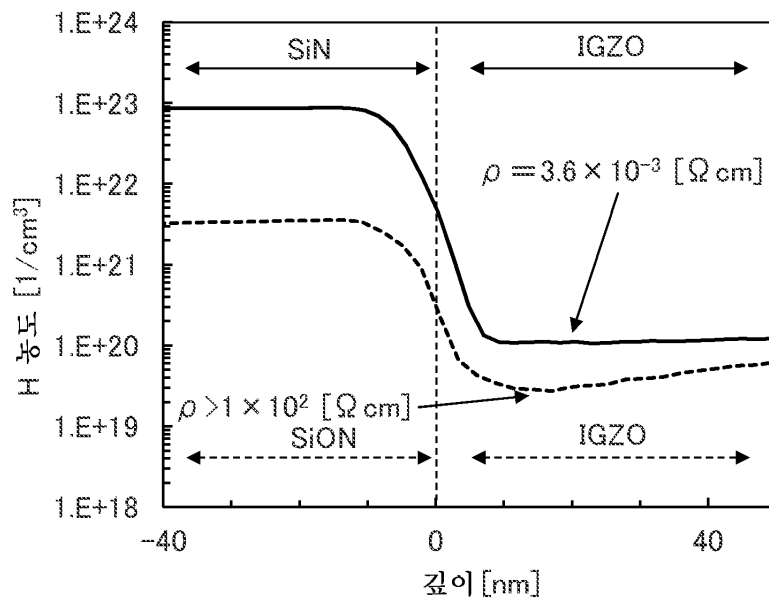
도면53



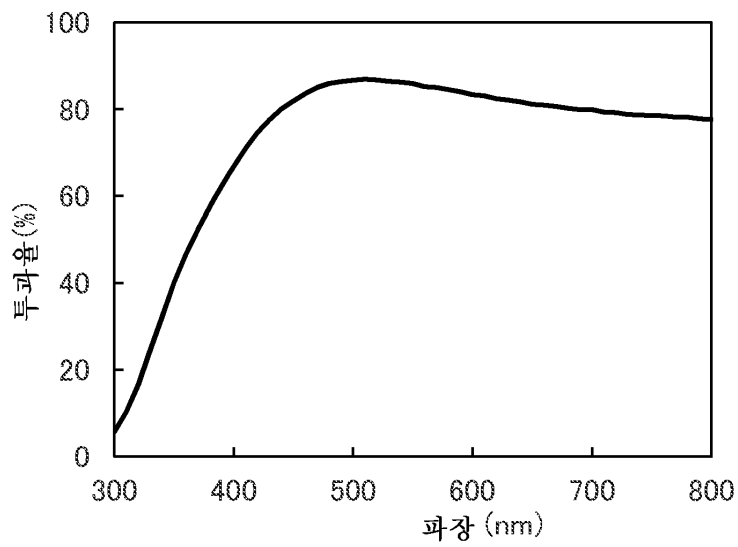
도면54



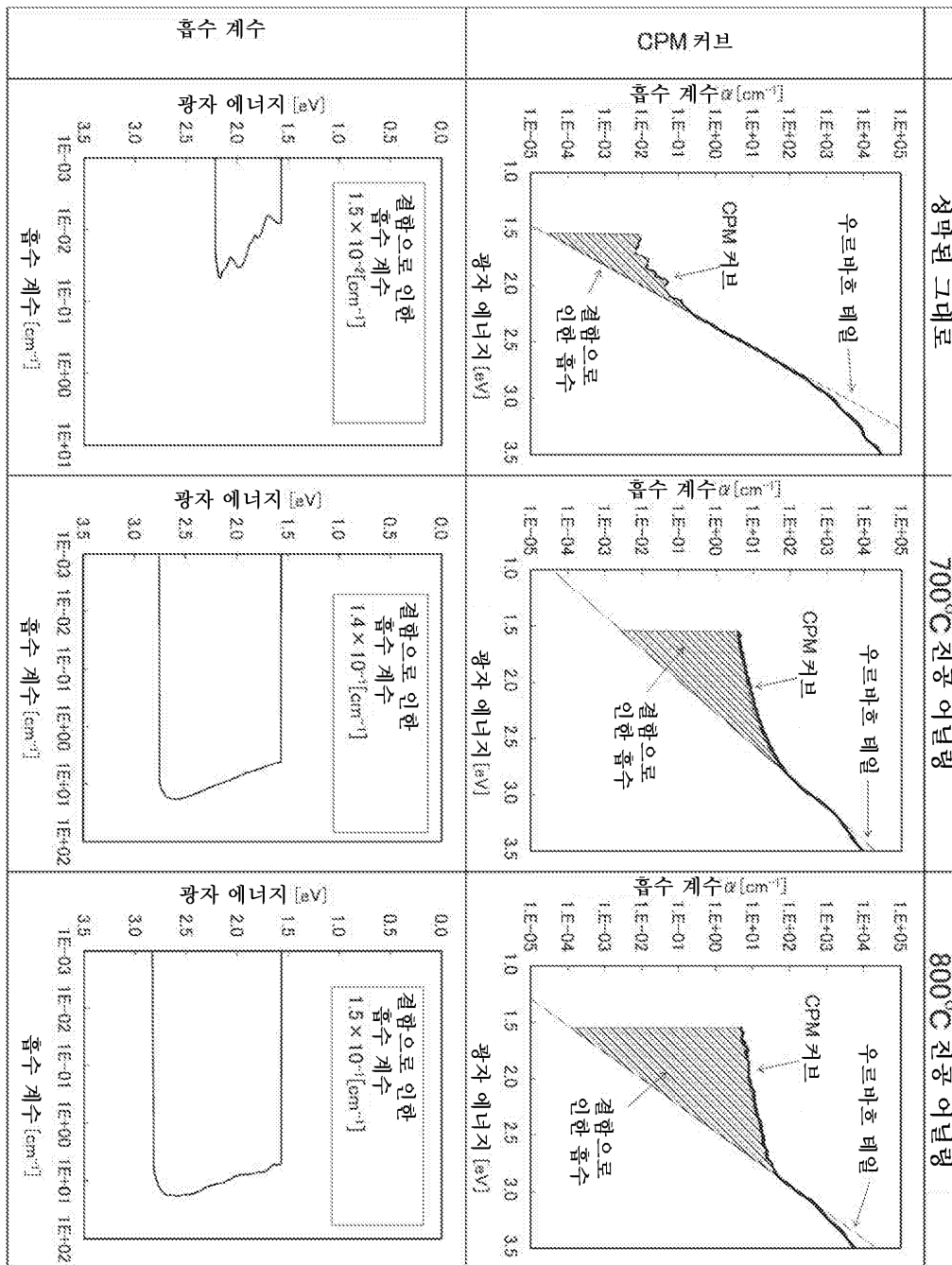
도면55



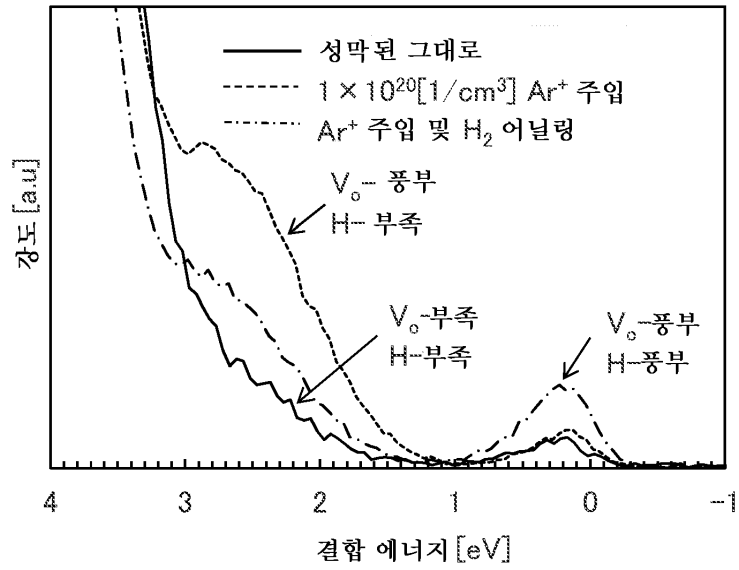
도면56



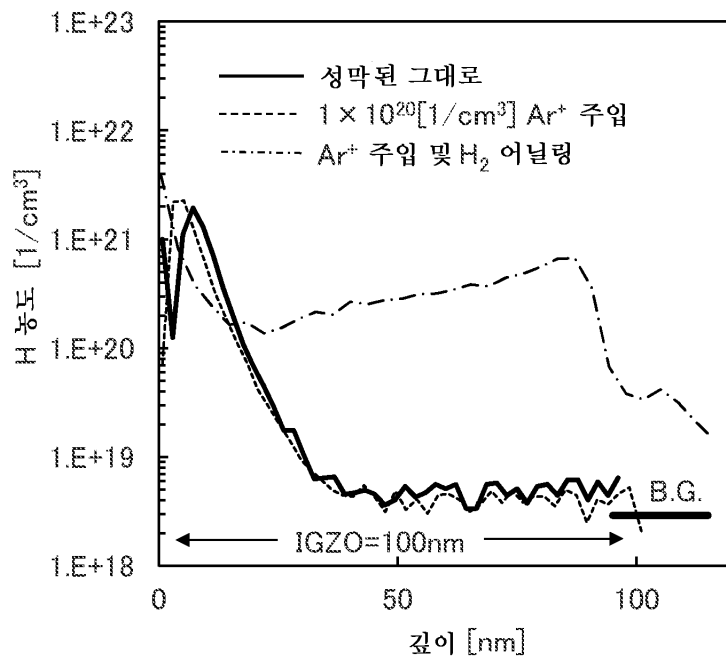
도면57



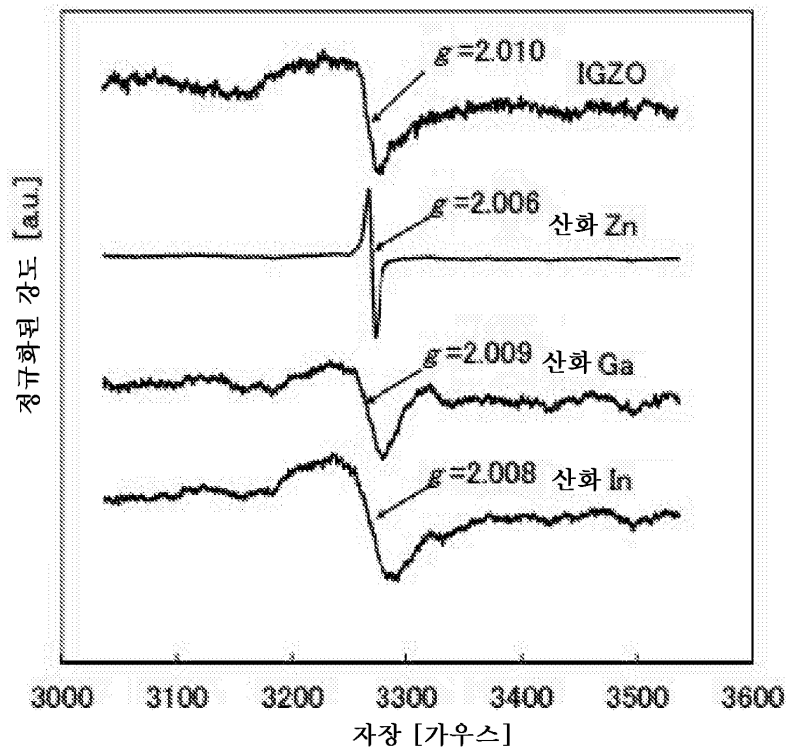
도면58



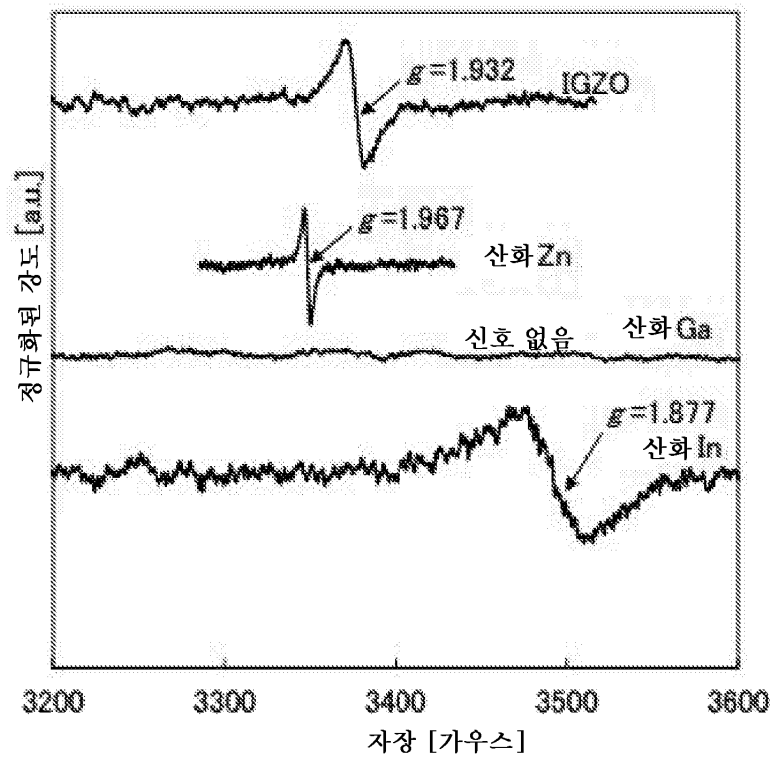
도면59



도면60

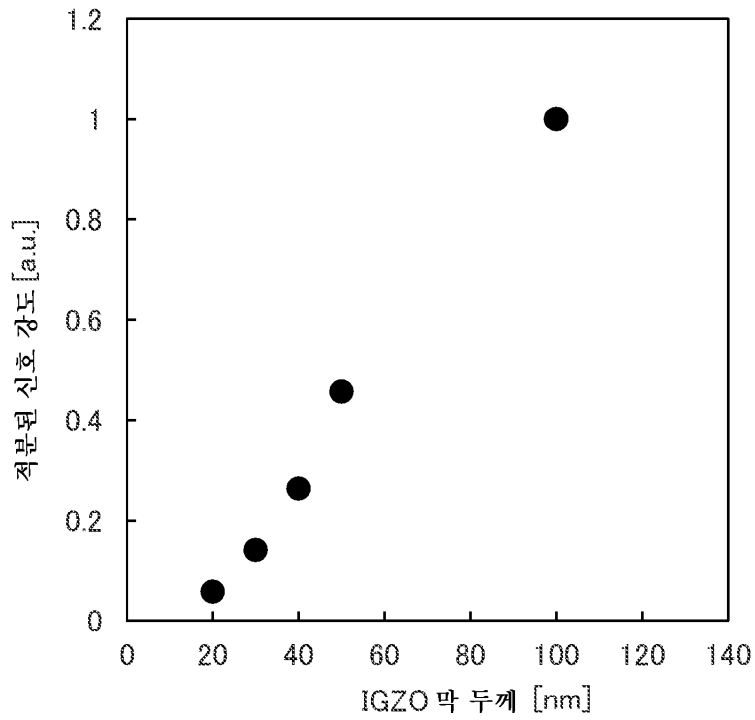


도면61

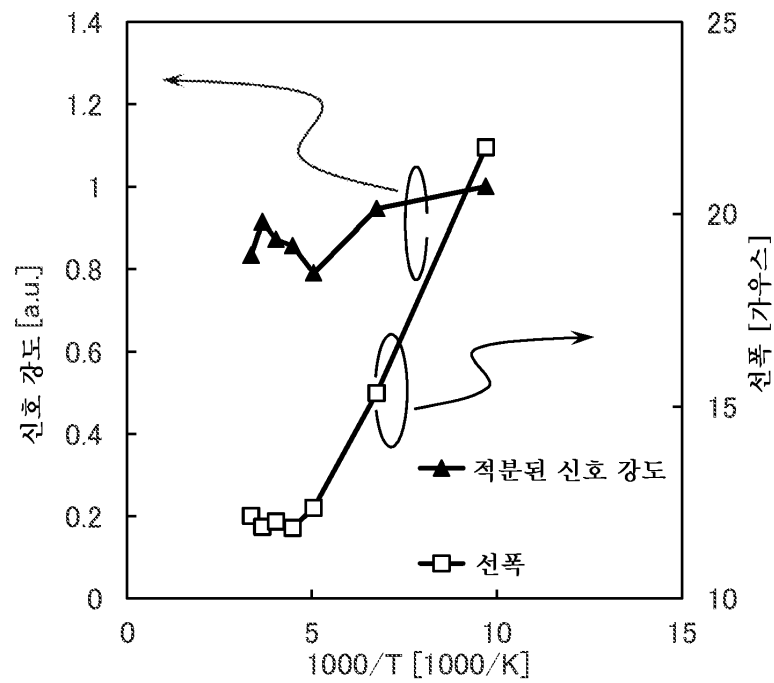




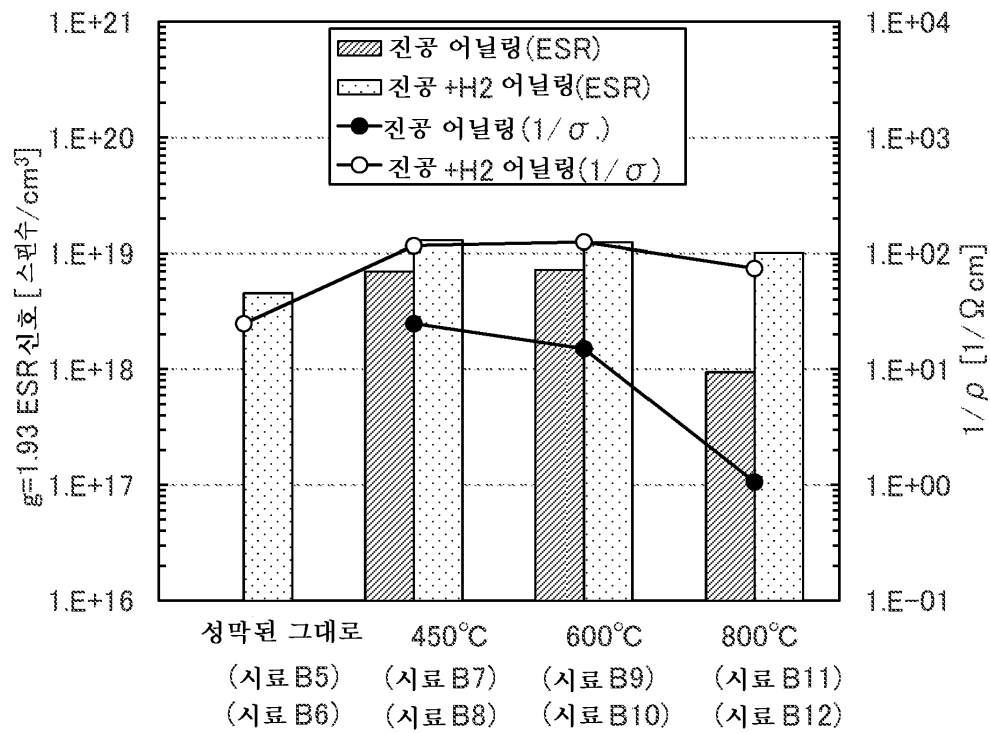
도면62



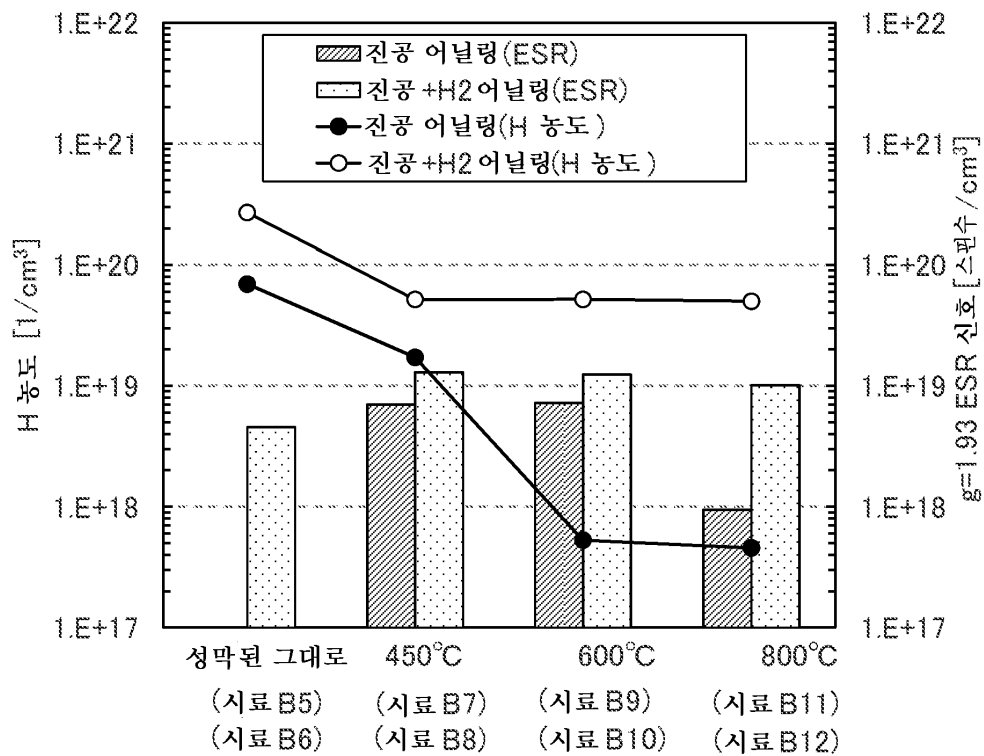
도면63



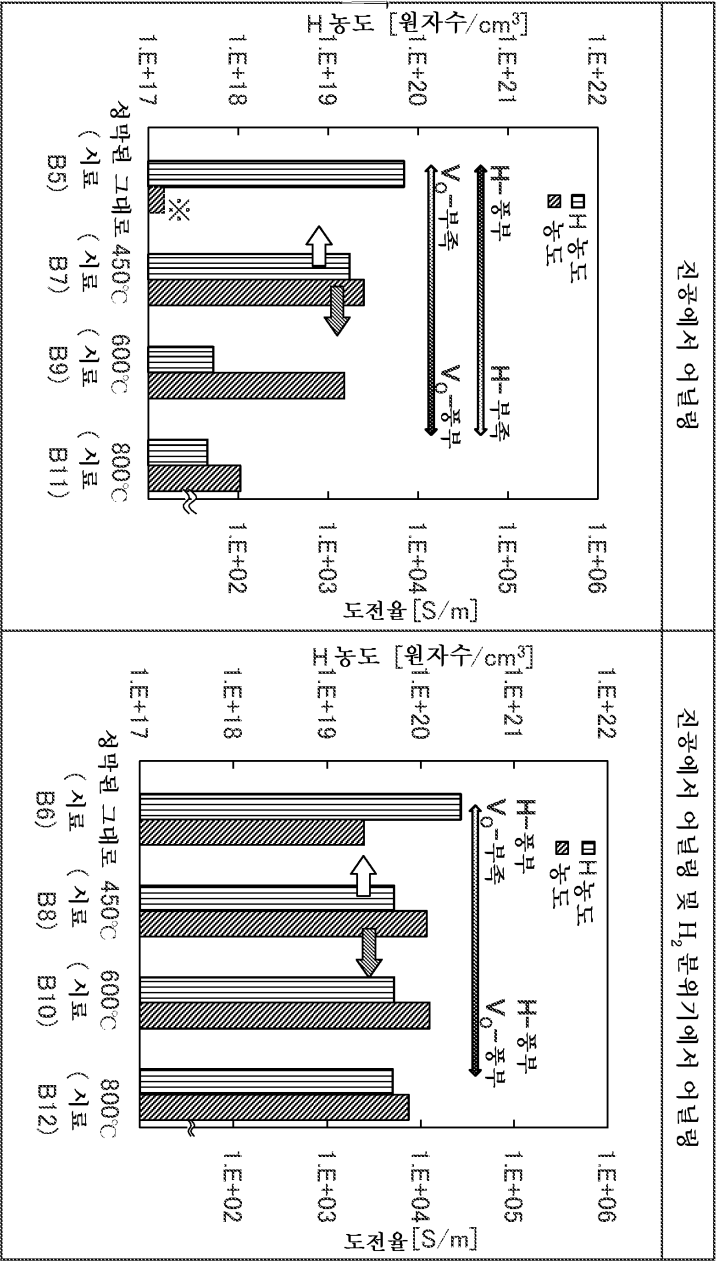
도면64



도면65

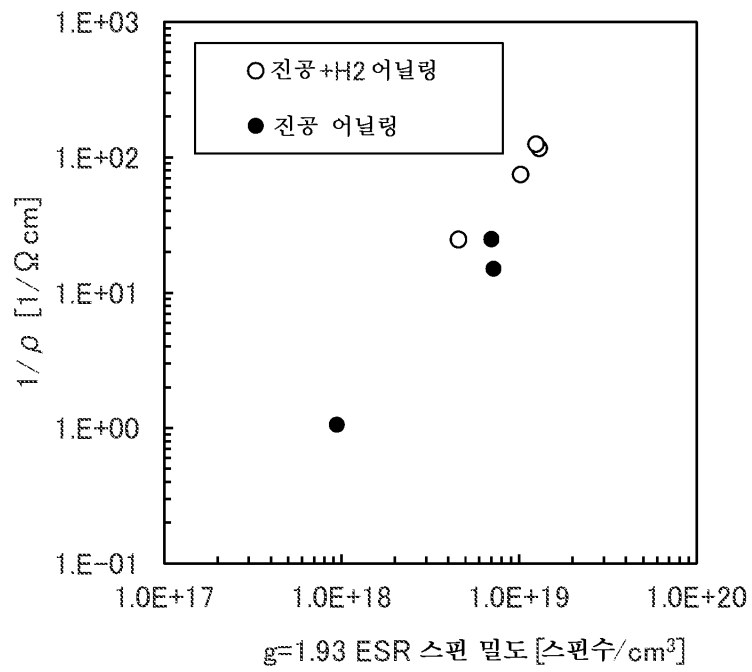


도면66

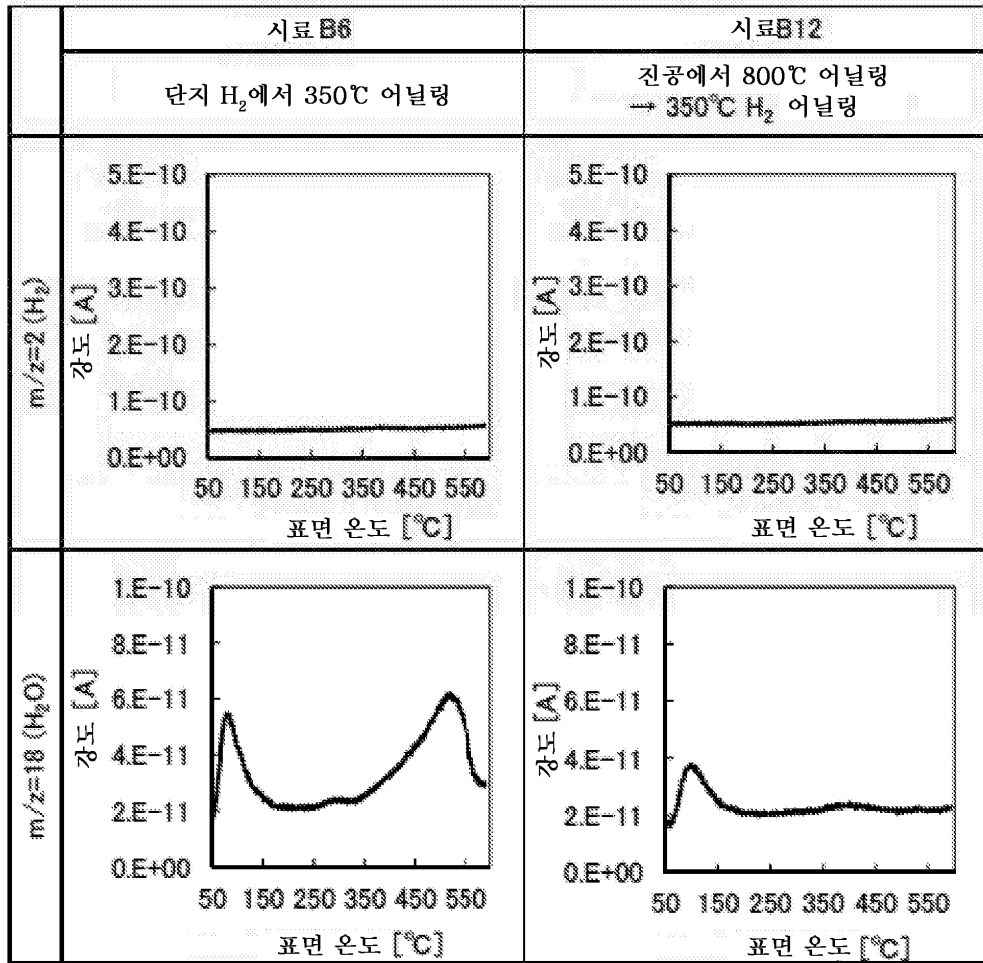


※검출 한계 미만

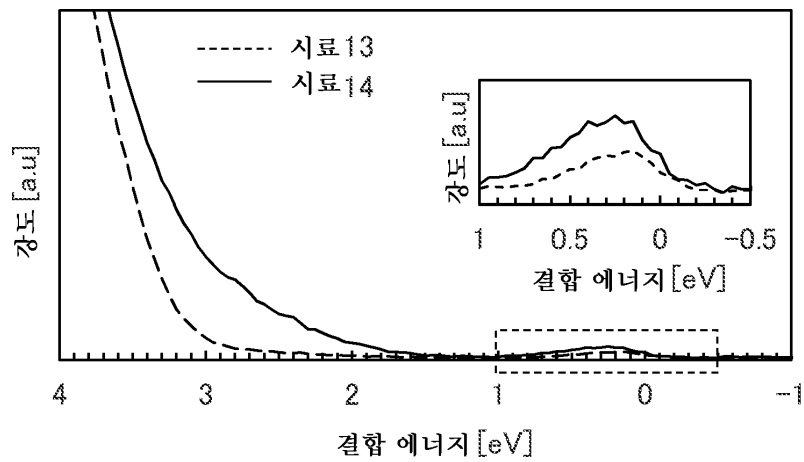
도면67



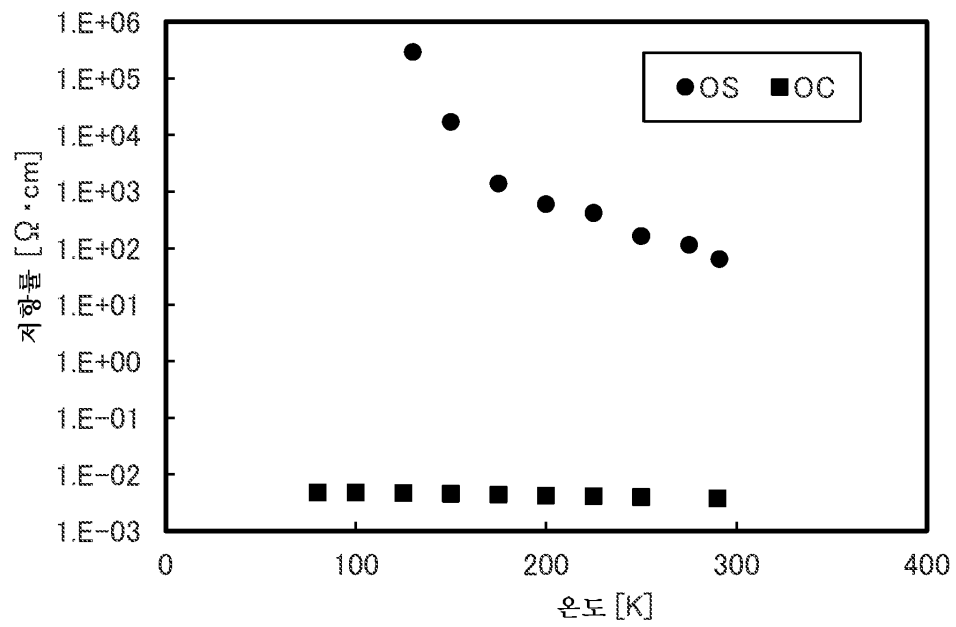
도면68



도면69



도면70

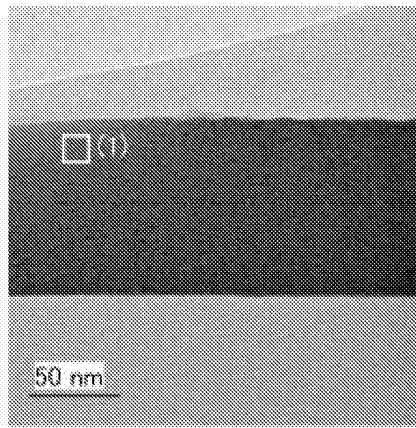


도면71

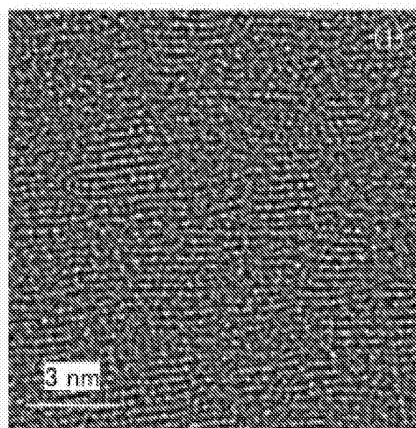


도면72

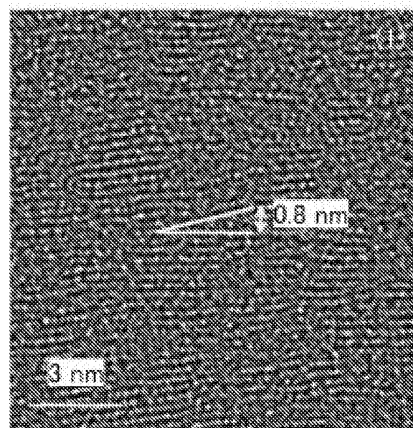
(A)



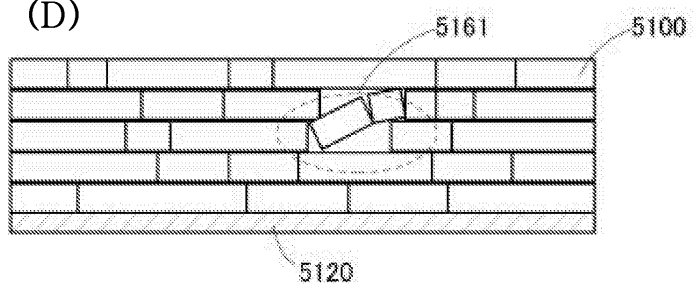
(B)



(C)



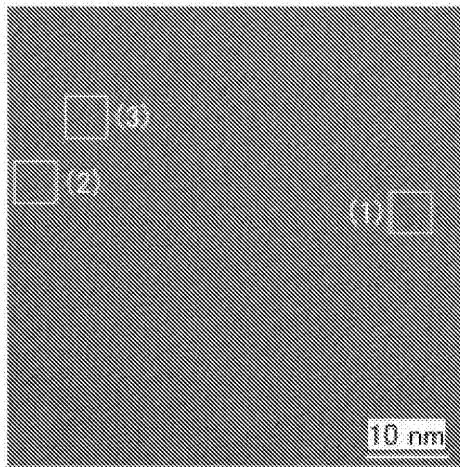
(D)



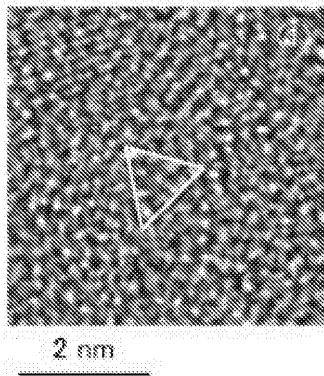


도면73

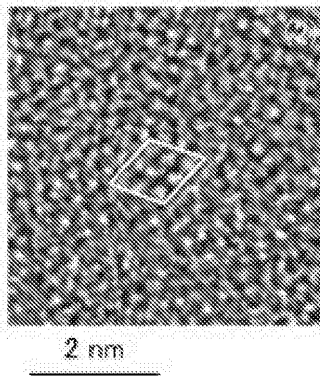
(A)



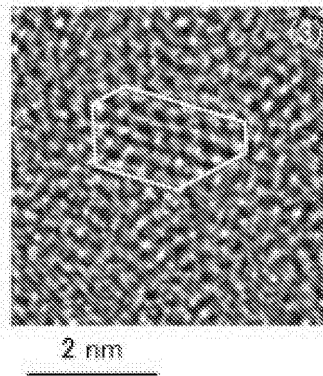
(B)



(C)

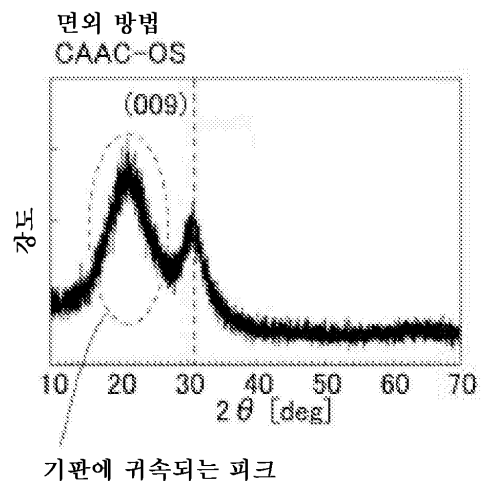


(D)

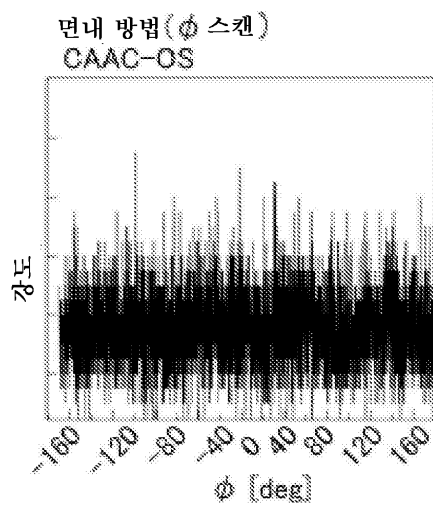


도면74

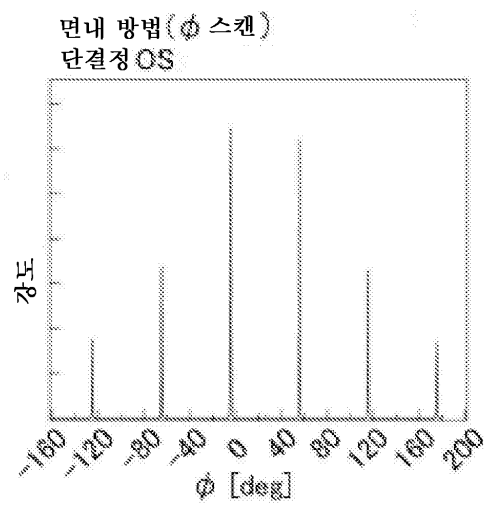
(A)



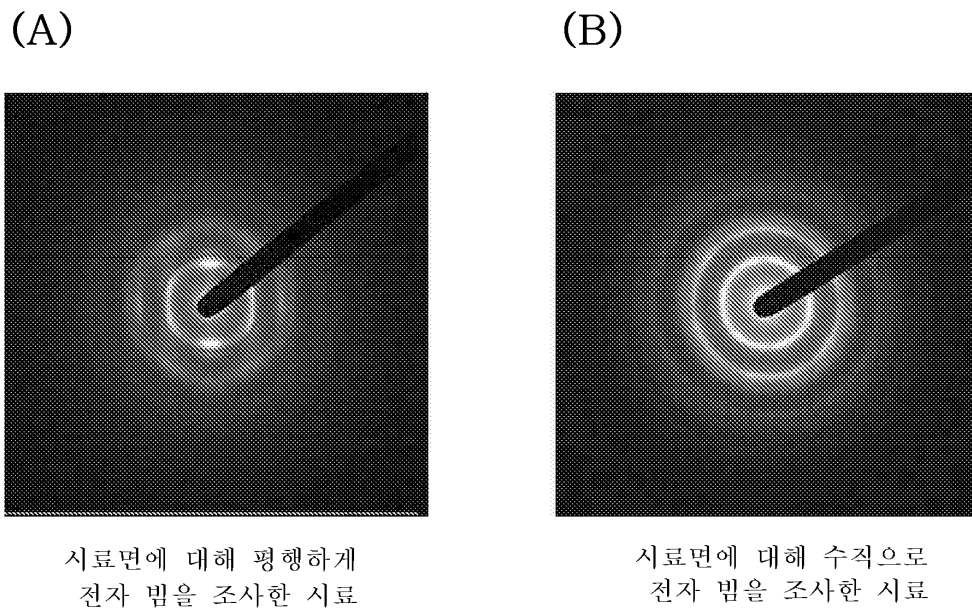
(B)



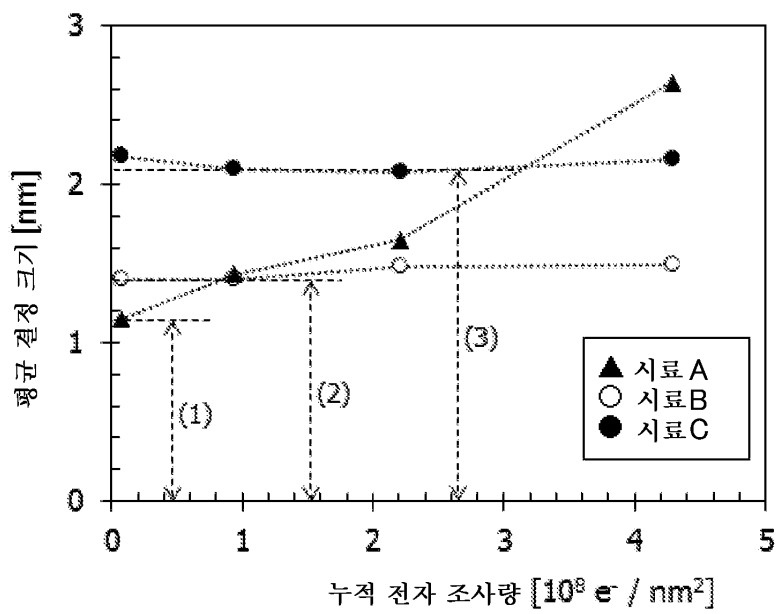
(C)



도면75

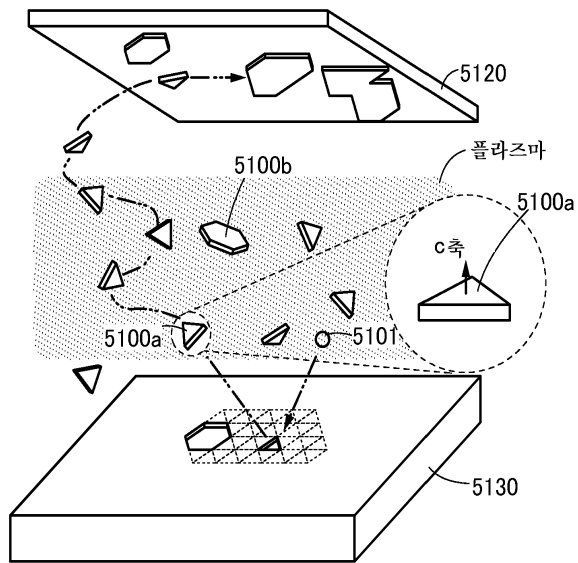


도면76

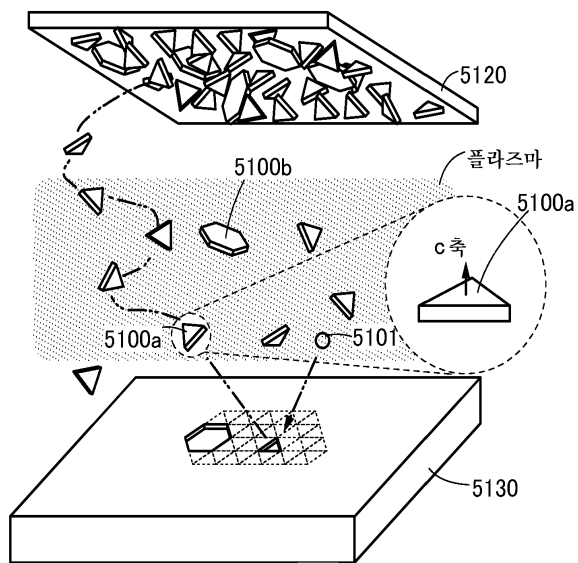


도면77

(A)

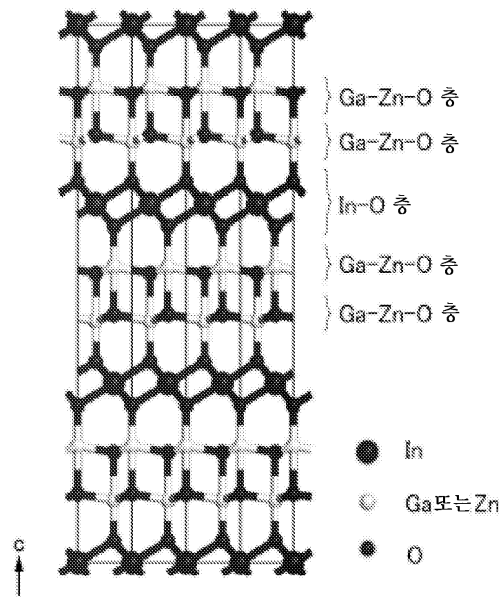


(B)

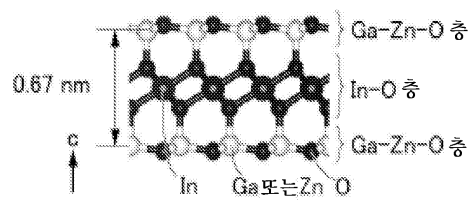


도면78

(A)

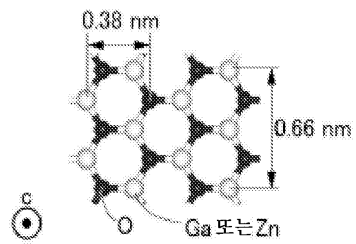


(B)



펠릿의 단면도

(C)



펠릿의 상면도

도면79

