(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 21/76

(45) 공고일자 2000년01월15일
(11) 등록번호 10-0239454
(24) 등록일자 1999년10월21일

(21) 출원번호 10-1997-0058998
(22) 출원일자 1997년11월10일
(65) 공개번호 특1999-0039046
(43) 공개일자 1999년06월05일

(73) 특허권자 현대반도체주식회사 김영환
충청북도 청주시 흥덕구 향정동 1번지
(72) 발명자 심현석
충청북도 청주시 흥덕구 사창동 253-4 평화아파트 A-103
(74) 대리인 김용인, 강용복

심사관 : 김용정

(54) 반도체 소자의 격리영역 형성방법

요약

본 발명은 고집적 반도체의 소자분리에 적당한 반도체 소자의 격리영역 형성방법에 관한 것으로서, 기판상에 PPMS막을 형성하는 단계와, 상기 PPMS막에 어닐공정을 실시하는 단계와, 상기 PPMS막을 포함한 기판의 전면에 제 1, 제 2 절연막을 형성하는 단계와, 상기 PPMS막의 표면이 일정부분 노출되도록 상기 제 1, 제 2 절연막을 선택적으로 제거하는 단계와, 상기 표면이 노출된 PPMS막을 선택적으로 제거함과 동시에 하부의 기판을 소정깊이로 제거하여 트랜치를 형성하는 단계와, 상기 트랜치가 형성된 기판의 표면에 제 3 절연막을 형성하는 단계와, 상기 제 3 절연막을 포함한 기판의 전면에 제 4 절연막을 형성한 후, 상기 제 4 절연막이 상기 트랜치 내부에만 남도록 선택적으로 제거하는 단계와, 그리고 상기 제 2, 제 1 절연막 및 PPMS막을 제거하는 단계를 포함하여 형성함을 특징으로 한다.

대표도

도2i

명세서

도면의 간단한 설명

도 1a 내지 도 1g는 종래의 반도체 소자의 격리영역 형성방법을 나타낸 공정단면도

도 2a 내지 도 2i는 본 발명에 의한 반도체 소자의 격리영역 형성방법을 나타낸 공정단면도

도면의 주요 부분에 대한 부호의 설명

21 : 반도체 기판 22 : PPMS막
23 : 제 1 산화막 24 : 질화막
25 : 포토레지스트 26 : 트랜치
27 : 제 2 산화막 28 : 제 3 산화막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조방법에 관한 것으로, 특히 고집적 반도체의 소자분리에 적당한 반도체 소자의 격리영역 형성방법에 관한 것이다.

일반적으로 반도체 소자가 점차로 고집적화 됨에 따라 그에 따른 여러 가지 방법 중 소자 격리영역과 소자형성영역 즉, 활성영역의 크기를 축소하는 방법들이 제안되고 있다.

상기와 같은 소자격리영역의 형성기술로는 로코스(LOCOS : LOCal Oxidation of Silicon) 공정을 사용하였다. 이러한 로코스 공정을 이용한 격리영역 형성공정은 그 공정이 간단하고 재현성이 우수하다는 장점이 있어 많이 사용되고 있다.

그러나 소자가 점차로 고집적화함에 따라 로코스 공정으로 격리영역을 형성하는 경우 로코스로 형성된 격리산화막의 특징인, 활성영역으로 확장되는 격리산화막 에지부의 버즈빅(Bird's Beak) 발생 때문에 활성

영역의 면적이 축소되어 64MB급 이상의 디램(DRAM : Dynamic Random Access Memory) 소자에서 사용하기에는 적합하지 못한 것으로 알려져 있다.

그래서 종래 로코스를 이용한 격리영역의 형성방법에는 버즈빅의 생성을 방지하거나 또는 버즈빅을 제거하여 격리영역을 축소하고 활성영역을 늘리는 등의 어브밴스드 로코스(Advanced LOCOS) 공정이 제안되어 64MB 또는 256MB급 디램의 제조공정에서 사용되었다.

그러나 이러한 어드밴스드 로코스를 사용한 격리영역의 형성공정도 셀영역의 면적이 0.2㎛^{2} 이하를 요구하는 기가(GIGA)급 이상의 디램에서는 격리영역이 차지하는 면적이 크다는 문제점과 로코스 공정으로 형성되는 필드 산화막이 실리콘 기판과의 계면에서 형성되면서 실리콘 기판의 농도가 필드 산화막과 결합으로 인해 낮아지게 되어 결과적으로 누설전류가 발생하는 등의 문제점이 발생하여 격리영역의 특성이 나빠지므로 기가 디램급 이상의 격리영역 형성방법으로 격리영역의 두께 조절이 용이하고 격리 효과를 높일 수 있는 트랜치(Trench)를 이용한 격리영역 형성방법이 제안되었다.

이하, 첨부된 도면을 참고하여 종래의 반도체 소자의 격리영역 형성방법을 설명하면 다음과 같다.

도 1a 내지 도 1g는 종래의 반도체 소자의 격리영역 형성방법을 나타낸 공정단면도이다.

도 1a에 도시한 바와 같이 반도체 기판(11)상에 제 1 산화막(12)을 형성하고, 상기 제 1 산화막(12)상에 질화막(13)을 형성한다.

이어, 상기 질화막(13)상에 포토레지스트(Photo Resist)(14)를 도포한 후, 노광 및 현상공정으로 포토레지스트(14)를 패터닝(Patterning)한다.

도 1b에 도시한 바와 같이 상기 패터닝된 포토레지스트(14)를 마스크로 이용하여 상기 질화막(13)과 제 1 산화막(12)을 선택적으로 제거하여 질화막 패턴(13a) 및 제 1 산화막 패턴(12a)을 형성한다.

도 1c에 도시한 바와 같이 상기 포토레지스트(14)를 제거하고, 상기 질화막 패턴(13a) 및 제 1 산화막 패턴(12a)을 마스크로 이용하여 상기 반도체 기판(11)의 표면에 소정깊이로 트랜치(Trench)(15)를 형성한다.

도 1d에 도시한 바와 같이 상기 트랜치(15)가 형성된 반도체 기판(11)을 산화(Oxidation)시키어 상기 트랜치(15)의 표면에 제 2 산화막(16)을 형성한다.

도 1e에 도시한 바와 같이 상기 제 2 산화막(16)을 포함한 반도체 기판(11)의 전면에 제 3 산화막(17)을 형성한 후, 상기 트랜치(15)가 완전히 채워지도록 노(Furnace)에서 고온 열처리공정을 실시한다.

도 1f에 도시한 바와 같이 상기 제 3 산화막(17)이 상기 트랜치(15)내부에만 남도록 CMP(Chemical Machenical Polishing) 공정을 실시하여 격리막(17a)을 형성한다.

여기서 상기 트랜치(15)내부에 잔존하는 격리막(17a)은 상기 질화막 패턴(13a)의 표면보다 낮게 형성한다.

도 1g에 도시한 바와 같이 상기 질화막 패턴(13a) 및 제 1 산화막 패턴(12a)을 제거한 후, 세정공정을 실시한다.

여기서 상기 세정공정을 거치게 되면 상기 격리막(17a)의 모서리에서 산화막의 손실이 발생한다.

발명이 이루고자 하는 기술적 과제

그러나 이와 같은 종래의 반도체 소자의 격리영역 형성방법에 있어서 다음과 같은 문제점이 있었다.

첫째, 세정공정시 격리막 에지의 손실로 인하여 워드라인(Word Line)을 형성할 때 엑티브 에지(Active Edge)부분에서 전계가 집중되어 게이트 절연막의 열화가 발생한다.

둘째, 전극 물질인 폴리(Poly)등이 격리막 에지 부분에 남게 되어 디바이스(Device)에 치명적인 불량을 유발한다.

본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로 세정공정시 격리막 에지의 손실을 방지하여 디바이스의 신뢰성을 향상시키도록 한 반도체 소자의 격리영역 형성방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명에 의한 반도체 소자의 격리영역 형성방법은 기판상에 PPMS막을 형성하는 단계와, 상기 PPMS막에 어닐공정을 실시하는 단계와, 상기 PPMS막을 포함한 기판의 전면에 제 1, 제 2 절연막을 형성하는 단계와, 상기 PPMS막의 표면이 일정부분 노출되도록 상기 제 1, 제 2 절연막을 선택적으로 제거하는 단계와, 상기 표면이 노출된 PPMS막을 선택적으로 제거함과 동시에 하부의 기판을 소정깊이로 제거하여 트랜치를 형성하는 단계와, 상기 트랜치가 형성된 기판의 표면에 제 3 절연막을 형성하는 단계와, 상기 제 3 절연막을 포함한 기판의 전면에 제 4 절연막을 형성한 후, 상기 제 4 절연막이 상기 트랜치 내부에만 남도록 선택적으로 제거하는 단계와, 그리고 상기 제 2, 제 1 절연막 및 PPMS막을 제거하는 단계를 포함하여 형성함을 특징으로 한다.

이하, 첨부된 도면을 참고하여 본 발명에 의한 반도체 소자의 격리영역 형성방법을 상세히 설명하면 다음과 같다.

도 2a 내지 도 2i는 본 발명에 의한 반도체 소자의 격리영역 형성방법을 나타낸 공정단면도이다.

도 2a에 도시한 바와같이 반도체 기판(21)상에 PPMS(Plasma Polymerized MethylSilane)막(22)을

형성한다.

도 2b에 도시한 바와같이 상기 PPMS막(22)을 DUV(Deep Ultra Vilolet) 노광 후 플라즈마 식각(Plasma Etch)하고, 어닐공정을 실시하여 이후 공정에서 소자 분리영역이 형성될 영역보다 넓게 패터닝하여 PPMS 패턴(22a)을 형성한다.

여기서 상기 PPMS막(22)이 상기 어닐공정을 거치면 옥사이드(Oxide)화 된다.

이어, 상기 패터닝된 PPMS 패턴(22a)을 포함한 반도체 기판(21)의 전면에 제 1 산화막(23)을 형성하고, 상기 제 1 산화막(23)상에 질화막(24)을 형성한다.

그리고 상기 질화막(24)상에 포토레지스트(25)를 도포한 후, 노광 및 현상공정으로 상기 포토레지스트(25)를 패터닝하여 후속 공정에서 형성될 소자분리영역을 정의한다.

도 2c에 도시한 바와같이 상기 패터닝된 포토레지스트(25)를 마스크로 이용하여 상기 질화막(24)을 선택적으로 제거한다.

도 2d에 도시한 바와같이 상기 포토레지스트(25)를 마스크로 이용하여 상기 제 1 산화막(23)과 상기 PPMS 패턴(22a)을 선택적으로 제거하여 상기 반도체 기판(21)의 표면을 노출시킨다.

도 2e에 도시한 바와같이 상기 포토레지스트(25)를 제거하고, 상기 질화막(24)을 마스크로 이용하여 상기 반도체 기판(21)의 노출된 표면을 제거하여 소정깊이로 트랜치(26)를 형성한다.

도 2f에 도시한 바와같이 상기 트랜치(26)가 형성된 반도체 기판(21)의 표면에 제 2 산화막(27)을 형성한다.

여기서 상기 제 2 산화막(27)은 노출된 반고체 기판(21)을 산화시키어 형성한다.

도 2g에 도시한 바와같이 상기 제 2 산화막(27)을 포함한 반도체 기판(21)의 전면에 제 3 산화막(28)을 형성한 후, 고온 열처리공정을 실시하여 상기 트랜치(26)의 내부를 완전히 매립한다.

도 2h에 도시한 바와같이 상기 제 3 산화막(28)의 전면에 CMP공정을 실시하여 상기 제 3 산화막(28)과 질화막(24)의 표면을 평탄화한다.

도 2i에 도시한 바와같이 상기 질화막(24) 및 제 1 산화막(23)을 제거하고, 상기 PPMS 패턴(22a)을 제거한다.

이어, 상기 잔류하는 제 3 산화막(28)을 포함한 반도체 기판(21)에 후속 세정공정을 실시한다.

여기서 상기 후속 세정공정시 상기 반도체 기판(21)의 표면과 동일한 높이로 상기 트랜치(26)내부에만 상기 제 3 산화막(28)이 잔류하게 되는데, 상기 잔류한 제 3 산화막(28)이 소자가 분리영역으로 사용된다.

발명의 효과

이상에서 설명한 바와같이 본 발명에 의한 반도체 소자의 격리영역 형성방법에 있어서 절연막의 세정공정에서 불안정한 에지 형성을 방지하고 평탄화를 이루어 안정된 구조를 갖는 고집적 반도체 소자의 분리를 형성함으로써 고집적 소자간의 완전한 분리를 이룰 수 있기 때문에 고집적 반도체 소자의 신뢰성을 향상시키는 효과가 있다.

(57) 청구의 범위

청구항 1

기판상에 PPMS막을 형성하는 단계;

상기 PPMS막에 어닐공정을 실시하는 단계;

상기 PPMS막을 포함한 기판의 전면에 제 1, 제 2 절연막을 형성하는 단계;

상기 PPMS막의 표면이 일정부분 노출되도록 상기 제 1, 제 2 절연막을 선택적으로 제거하는 단계;

상기 표면이 노출된 PPMS막을 선택적으로 제거함과 동시에 하부의 기판을 소정깊이로 제거하여 트랜치를 형성하는 단계;

상기 트랜치가 형성된 기판의 표면에 제 3 절연막을 형성하는 단계;

상기 제 3 절연막을 포함한 기판의 전면에 제 4 절연막을 형성한 후, 상기 제 4 절연막이 상기 트랜치 내부에만 남도록 선택적으로 제거하는 단계;

상기 제 2, 제 1 절연막 및 PPMS막을 제거하는 단계를 포함하여 형성함을 특징으로 하는 반도체 소자의 격리영역 형성방법.

청구항 2

제 1 항에 있어서,

상기 PPMS막에 어닐공정을 실시하면 상기 PPMS막이 절연막화됨을 특징으로 하는 반도체 소자의 격리영역 형성방법.

청구항 3

제 1 항에 있어서,

상기 기판상에 PPMS막을 형성하는 단계에 있어서,

상기 기판상의 전면에 PPMS막을 형성하는 단계와, 상기 PPMS막을 DUV 노광 후, 플라즈마 식각하여 상기 기판상에 PPMS막을 형성함을 특징으로 하는 반도체 소자의 격리영역 형성방법.

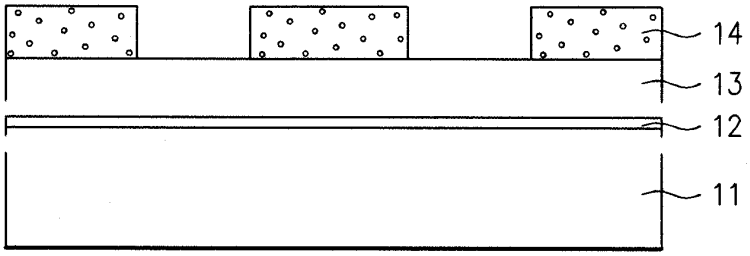
청구항 4

제 1 항에 있어서,

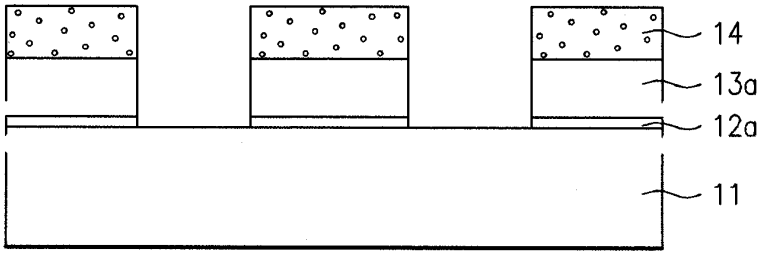
상기 제 3 절연막은 상기 기판을 산화시키어 형성함을 특징으로 하는 반도체 소자의 격리영역 형성방법.

도면

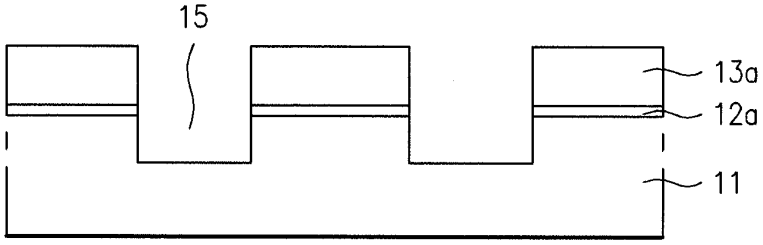
도면1a



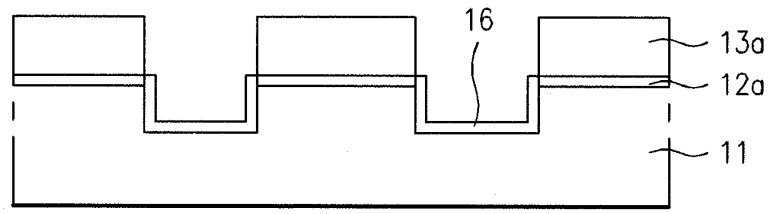
도면1b



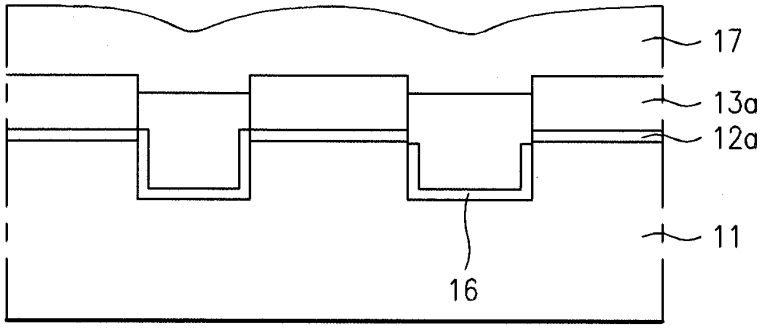
도면1c



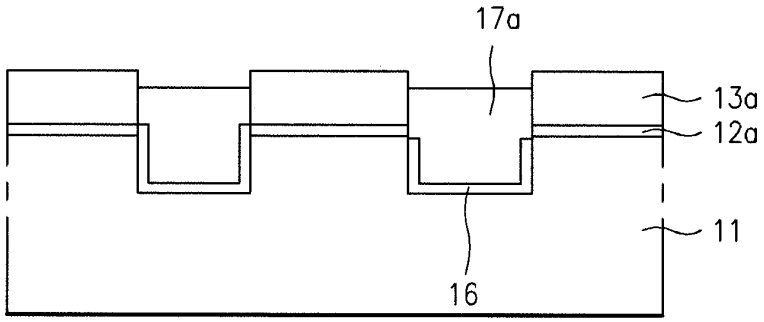
도면1d



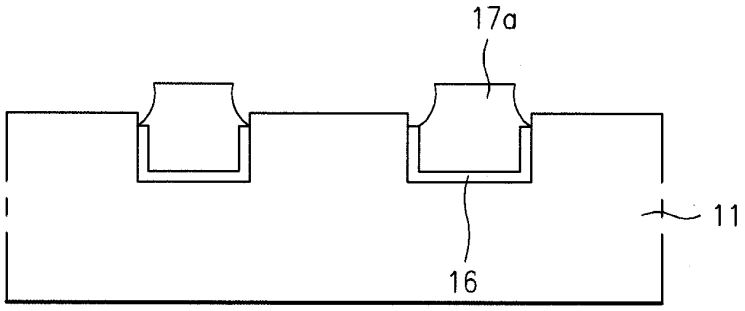
도면1e



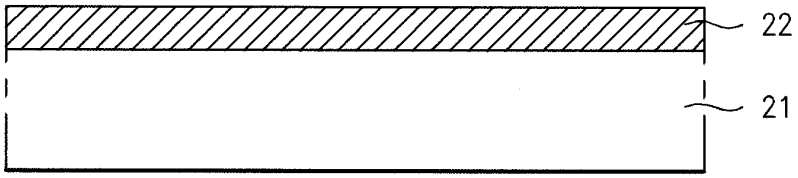
도면1f



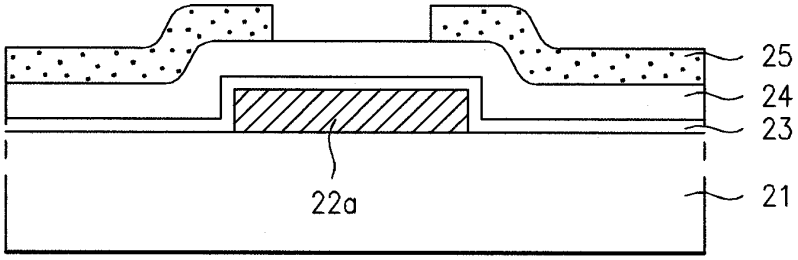
도면1g



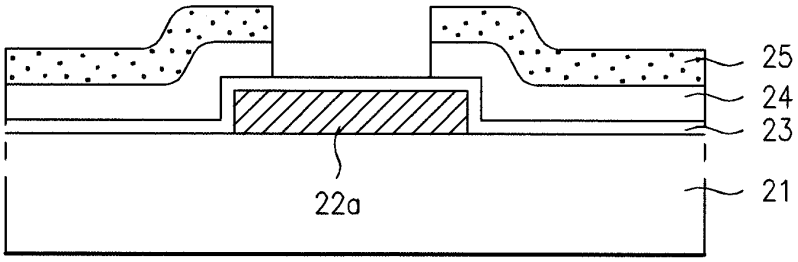
도면2a



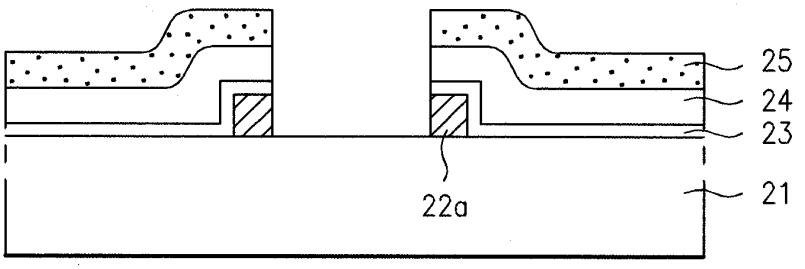
도면2b



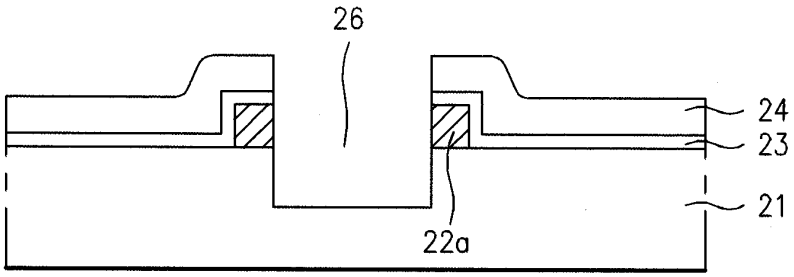
도면2c



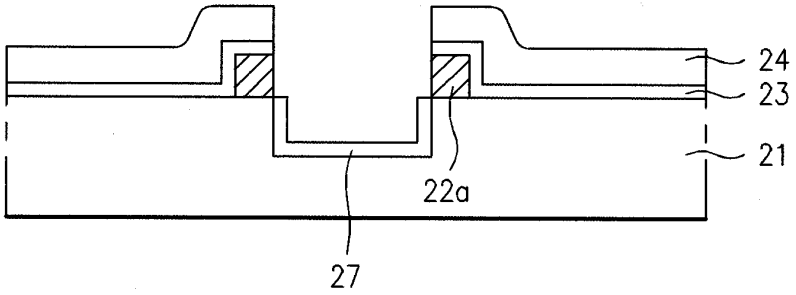
도면2d



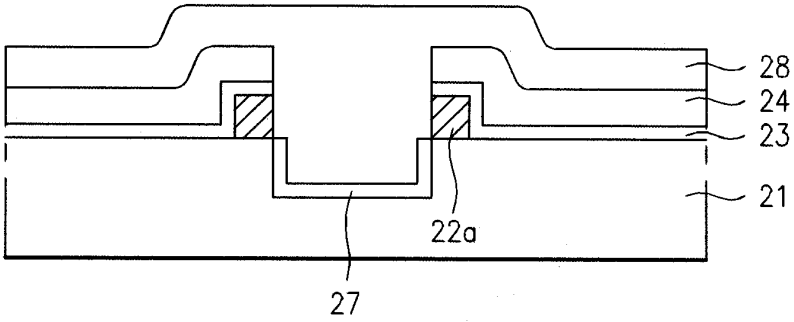
도면2e



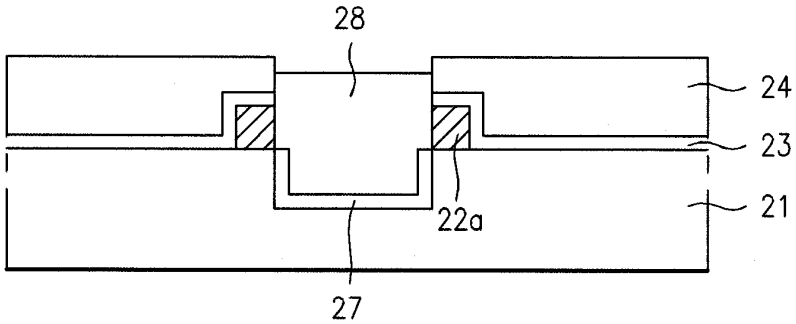
도면2f



도면2g



도면2h



도면2i

