(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
G09G 3/00

(45) 공고일자 2004년10월22일
(11) 등록번호 10-0439452
(24) 등록일자 2004년06월29일

(21) 출원번호 10-1997-0046058
(22) 출원일자 1997년09월03일

(65) 공개번호 10-1998-0024400
(43) 공개일자 1998년07월06일

(30) 우선권주장 96-252490 1996년09월03일 일본(JP)

(73) 특허권자 가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

샤프 가부시키가이샤
일본 오사까후 오사까시 아베노꾸 나가이께쪼 22방 22고

(72) 발명자 세츄오 나카지마
일본국 가나가와켄 아쯔기시 하세 398 한도타이 에네루기 겐큐쇼가부시키가이샤 내

카투노부 아와네
일본 나라켄 이코마시 시나사히가오카 15-2

타츄오 모리타
일본 교토푸 소우라쿠군 카모쵸 나가모다이 9-5-8

(74) 대리인 이병호

심사관 : 나용수

(54) 액티브매트릭스전기광학장치

요약

박막 트랜지스터들을 사용한 주변 구동 회로가 집적된 액티브 매트릭스 디스플레이 장치에서, Vgr이 1 계조(gradiation)에 필요한 전압이고, Ct가 모든 픽셀들의 용량이며, Cgd가 게이트와 드레인간 용량이고, ΔVg가 온/오프 게이트 전압들간 차이이며, ΔVs가 피드스루(feedthrough) 전압일 때, 상기 각각의 파라미터들은 ｜Vgr｜ > ｜(1/Ct)[Cgd · ΔVg -Ct · ΔVs]｜의 식을 만족한다. 이에 따라서, 버퍼 회로 혹은 액티브 매트릭스 회로용으로 배열된 박막 트랜지스터들의 특성들에 분산(dispersion)이 발생할지라도, 이 분산이 계조 디스플레이에 영향을 미치는 것을 방지할 수 있다.

대표도

도 1

명세서

도면의 간단한 설명

도1은 액티브 매트릭스 회로 및 주변 구동 회로가 집적된 구조를 도시한 도면.
도2A 및 도2B는 각각의 회로의 구성을 도시한 도면.
도3A 내지 도3C는 액티브 매트릭스 회로 및 주변 구동 회로를 동시에 제조하는 단계를 도시한 도면.
도4A 내지 도4C는 액티브 매트릭스 회로 및 주변 구동 회로를 동시에 제조하는 단계를 도시한 도면.
도5A 및 도5B는 액티브 매트릭스 회로 및 주변 구동 회로를 동시에 제조하는 단계를 도시한 도면.
도6은 액티브 매트릭스 회로 및 주변 구동 회로를 동시에 제조하는 단계를 도시한 도면.
도7A 및 도7B는 액티브 매트릭스 회로 및 주변 구동 회로를 동시에 제조하는 단계를 도시한 도면.
도8은 액티브 매트릭스 회로의 한 픽셀 부분을 도시한 단면도.
도9는 액티브 매트릭스 회로의 한 픽셀 부분을 도시한 정면도.
도10은 액티브 매트릭스 회로에서 구동 파형을 도시한 도면.
도11은 액티브 매트릭스 회로에서 박막 트랜지스터를 구동하는 파형을 도시한 도면.
※ 도면의 주요 부분에 대한 부호의 설명 ※
101 : 유리 기판 102 : 실리콘 산화막
104 : 소스 영역 105 : 채널 형성 영역
106 : 드레인 영역 107, 108 : 오프셋 게이트 영역
110 : 게이트 전극 111 : 양극산화막
201 : 시프트 레지스터 회로 202 : NAND 회로
203 : 레벨 시프트 회로 204 : 구동 회로
205 : 액티브 매트릭스 회로 206 : 박막 트랜지스터
207 : 액정 208 : 보조 용량

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

1. 발명의 분야
본 발명은 주변 구동 회로(peripheral drive circuit)가 집적된 액티브 매트릭스형 평판 디스플레이(active matrix type flat panel display) 구조에 관한 것이다.
2. 관련 기술의 설명
비정질 실리콘막을 사용하는 액티브 매트릭스형 액정 디스플레이 장치는 인 습적으로 공지되어 왔다. 결정질 실리콘막을 사용하며 고품질의 디스플레이를 수행할 수 있는 액티브 매트릭스형 액정 디스플레이 장치 또한 공지되어 왔다.
비정질 실리콘막이 사용되는 경우, P-채널형 박막 트랜지스터는 실현될 수 없는(이 트랜지스터의 특성이 열등하여 실용화 될 수 없다) 문제가 있다. 반면, 결정질 실리콘막이 사용되는 경우, 실제 P-채널형 박막 트랜지스터가 제조될 수 있다.
따라서, 결정질 실리콘막이 사용되는 경우, CMOS 회로는 박막 트랜지스터들로 구성될 수 있다. 이를 사용하면, 액티브 매트릭스 회로를 구동하기 위한 주변 구동 회로 역시 박막 트랜지스터들로 구성될 수 있다. 도10에 도시한 바와 같이, 액티브 매트릭스 회로(10)와 주변 구동 회로(11, 12)가 유리 기판 혹은 석영 기판에 집적화된 구조를 실현할 수 있다. 이러한 구조를 주변 구동기 회로 집적형이라고 한다.
이 주변 구동 회로 집적형의 구조는 디스플레이 장치 전체를 콤팩트하게 말들 수 있고 이의 제조 비용 및 제조 단계를 줄일 수 잇는 특징이 있다.
고화질이 요구될 때, 어느 정도로 미세한 계조(gradation) 디스플레이를 수행할 수 있는가가 중요하다. 일반적으로, 액정의 전압-투과율 곡선의 비포화 영역이 계조 디스플레이를 수행하는데 사용된다. 즉, 액정의 광학적 응답이 인가된 전압(전계)의 변환에 따라 변경되는 범위를 사용하여 계조 디스플레이를 수행하는 방법을 채택하고 있다. 이 방법을 일반적으로 아날로그 계조 시스템이라고 한다.
이러한 아날로그 계조 시스템이 사용되는 경우, 각각의 픽셀의 액정에 인가 된 전압이 분산(dispersion)되는 것이 문제가 된다. 특히, 액정에 인가된 전압의 분산이 한 계조에 필요한 전압보다 크게 될 때, 계조 디스플레이에서 불일치가 발생한다. 계조 디스플레이가 불일치하게 되면 디스플레이 불균일 혹은 줄무늬 패턴이 나타나게 된다.
각각의 픽셀의 액정에 인가된 전압 분산은 수백 X 수백 단위로 매트릭스 형태로 배열된 박막 트랜지스터의 특성의 분산으로부터 기인한 것이다. 주변 구동 회로 집적형의 경우, 이 주변 구동 회로의 박막 트랜지스터 특성의 분산 역시 주요 원인이 된다.
일반적으로 박막 트랜지스터 특성의 분산에 관계된 많은 파라미터가 있다. 따라서, 어떤 한 파라미터가 제어된다 할지라도, 화질이 떨어지는 상기한 문제를 해결하기란 어렵다. 더욱이, 이 문제는 완전히 억제될 수 없는 분산을 갖는 파라미터가 있기 때문에 더욱 심각하게 된다.
상기 기술한 바와 같이, 우선적으로 제어될 파라미터는 현재 명확하지 않기 때문에, 높은 다산성을 유지하면서 요구된 화질을 갖는 액티브 매트릭스형 디스플레이 장치를 대량생산하기가 곤란하다.

다시 말해, 현 상황에서, 다른 파라미터와 어떤 범위 및 어떤 관계로 어느 파라미터가 제어되어야 하는지 명확하지 않기 때문에, 근시안적인 방법으로 수율을 개선하려고 노력하고 있다.
따라서, 본 발명은 주변 구동 회로가 집적된 액티브 매트릭스형 디스플레이 장치 제조시 제조할 박막 트랜지스터의 어느 파라미터를 우선적으로 제어해야 하는 지에 대한 지침을 제공하려는 것이다.
이로부터, 본 발명은 고화질로 디스플레이할 수 있는 주변 구동 회로가 집적된 액티브 매트릭스형 디스플레이 장치를 고수율로 생산하는 기술을 제공하려는 것이다.
본 발명자가 아는바에 따르면, 모든 픽셀에 피드스루(feedthrough) 전압의 분산은 액정 디스플레이 장치의 화질 열화에 상당히 관련된 액정 구동 전압의 분산에 영향을 미친다.
액티브 매트릭스 액정 디스플레이에서 피드스루 전압의 영향은 기술회로(Technical Bulletin) EID95-99, ED95-173, SDM95-213 (1996-02), 코포레이션; 전기정보 통신 사회에 개시되어 있다.
피드스루 전압에 대해 이하 간략히 설명한다. 도11은 액티브 매트릭스 회로에 배열된 박막 트랜지스터가 동작될 때 박막 트랜지스터의 각 부분 및 픽셀 전극의 전압 파형 관계를 도시한 것이다.
도11에서, Vg는 게이트 신호 라인으로부터 공급된 신호 전압이다. Vs는 드레인 배선으로부터 공급된 신호 전압이다. Vd는 박막 트랜지스터의 출력 전압이다. Vd는 액정에 인가된 전압의 파형이다. 먼저, 게이트 전압(Vg)이 ON 레벨(Vgh)로 상승할 때, 박막 트랜지스터가 턴온하며, 소스 신호 라인으로부터 공급된 전압 신호(Vs)는 박막 트랜지스터를 통해 액정에 인가된다. 도11은 액정에 인가된 전압(Vd)의 파형을 도시한 것이다.
게이트 전압(Vg)이 오프 레벨(Vg1)로 떨어진 후, 전계는 액정 및 보조 용량 에 충전된 전하에 의해서 액정에 계속 인가되고 있다.
게이트 전압(Vg)의 다음 펄스가 게이트 전극에 입력될 때, 픽셀 전극에 화상 정보가 재기입된다. 즉, 게이트 전압(Vg)의 다음 펄스가 게이트 전극에 입력될 때, 박막 트랜지스터가 다시 턴온되어, 새로운 신호 전압(Vs)에 대응하는 전기 전하가 픽셀 전극으로 흐른다.
일반적으로, 액정의 열화를 방지하기 위해서, Vsigc ± Vsig로 표현되는 교번하는 전압이 전압(Vd)으로서 사용된다. 여기서, Vsigc는 중심 전압이며, Vsig는 이미지 신호 전압이다. Vsig값은 계조에 대응한다.
이러한 박막 트랜지스터를 구동함에 있어, 박막 트랜지스터가 온 상태에서 오프 상태로 스위치될 때, 게이트 전압(Vg)의 하강 전압은 게이트와 소스간 기생 용량을 통해 소스 전압에 변화가 생기게 한다. 이 변하는 전압이 피드스루 전압(ΔVs)이다.
도11은 픽셀 전극에 나타나는 전압(Vd)이 피드스루 전압(ΔVs)에 의해서 영향받는 상태를 도시한 것이다. 피드스루 전압(ΔVs)은 다음의 [수학식 1]로 표현된다.
ΔVs = (1/Ct)[Cgd · ΔVg - ∫Idt]
여기서, Ct는 모든 픽셀의 용량(capacitance)이다. 모든 픽셀의 용량은 액정의 픽셀 전극과 대향 전극간 용량 및 보조 용량의 합으로 주로 결정된다.
Cgd는 게이트와 드레인간 기생 용량이다. ΔVg는 게이트 전압의 가변량이다. 도11에 도시한 경우에서, ΔVg는 ΔVg = Vgh-Vg1으로 표현된다.
∫Idt는 소스와 드레인간에 흐르는 보상 전류에 기인한 영향을 표현한 항으로서, 이것은 게이트 신호 라인으로부터 공급된 신호 전압의 파형의 왜곡에 의해 야기된다.
도10에 도시한 바와 같이, 게이트 배선을 통해 전달되는 신호 파형은 게이트 신호 라인을 통해 신호가 전달될 때, 완전히 직사각형파가 아닌 다소 왜곡된 형태가 된다. 특히, 신호의 하강 부분은 늘어진 부분을 갖는 파형이 된다.
이것은 게이트 구동기 회로의 열등한 특성으로부터 야기된 것이며, 더욱이 배선 저항 및 배선 용량의 곱으로 결정된 시정수 기인한다.
도10은 주변 구동 회로(11)가 완전한 구동력을 발휘하여 완전히 직사각형의 파(13)를 공급할지라도, 전달된 신호 파형(14)은 배선 저항과 배선 용량의 곱으로 결정된 시정수에 의해서 왜곡된 상태를 도시한 것이다.
주변 구동 회로가 박막 트랜지스터로 구성된 경우, 현존하는 상황에서 완전히 직사각형의 파형을 내보내는 것은 어렵다. 이것은 주변 구동 회로를 형성하는데 필요한 특성을 갖는 박막 트랜지스터를 얻기가 어렵기 때문이다.
박막 트랜지스터가 도10에 도시한 바와 같은 왜곡된 파형(14)에 의해서 구동될 경우, 박막 트랜지스터가 완전히 턴오프될 때까지 소정의 시간이 걸린다. 이 기간, 전류는 피드스루 전압을 보상하는 방향으로 흐른다. [수학식 1] 의 ∫Idt로 표시된 항은 이 전류의 전체량을 표현하는 것이다.
비정질 실리콘막을 사용하는 박막 트랜지스터에서, 이동도는 1cm ^{2}/Vs 이하로 작으며 활성층의 면적이 크기 때문에(물론, 채널영역도 크다), 채널을 통해 흐르는 전하 및 채널 내에 저장된 전기 전하에 의해서 발생된 용량이 기생 용량(Cgd)에 크게 기여한다.
한편, ∫Idt로 표시된 항의 I 값은 비정질 실리콘막을 사용하는 박막 트랜지스터에서 이동도가 1cm ^{2}/Vs 이하로 작기 때문에 거의 기여하지 않는다.
더구나, 구동기 IC는 게이트 구동기 회로용으로 사용되기 때문에, 게이트 신호의 왜곡은 그렇게 크지 않다.
따라서, 비정질 실리콘막을 사용하는 박막 트랜지스터가 사용되는 경우, ∫Idt로 표시된 항의 기여도는 작다.
따라서, 비정질 실리콘막을 사용한 박막 트랜지스터가 사용되는 경우, 피드스루 전압의 왜곡은 수학식 1 의 첫 번째 항으로부터 주로 야기된다. 특히, 기생용량(Cgd)의 왜곡이 주 원인이 된다.
한편, 결정질 실리콘막을 사용한 박막 트랜지스터에서, 이동도는 크며, 게이트 전극의 면적이 작아, 기생 용량(Cgd)의 값은 비정질 실리콘막을 사용한 박막 트랜지스터의 경우와 비교하여 작다. 또한, 채널 영역이 작기 때문에, 채널을 통해 흐르는 전기 전하 및 이 채널에 저장된 전기 전하에 의해 발생된 용량의 기여도는 그다지 크지 않다.

결정질 실리콘막을 사용한 박막 트랜지스터는 수십 1cm ^{2}/Vs 이상의 큰 이동도를 갖는다. 그러나, 이 값의 분산이 비교적 크다. 주변 회로 집적형에서, 주변 구동 회로(11, 12)는 박막 트랜지스터로 구성되기 때문에, 도10에 파형(14)에 의해 도시된 바와 같은 게이트 신호 전압의 왜곡 또한 크게 된다.
게이트 신호 전압의 왜곡이 크다는 사실은 수학식 1에서 두 번째 항의 적분 영역이 크다는 것을 의미한다. 게이트 신호 전압의 왜곡은 주변 구동 회로를 구성하는 박막 트랜지스터의 이동도의 분산의 영향을 반영한다.
그러므로, 결정질 실리콘막을 사용한 박막 트랜지스터로 구성된 주변 구동 회로가 집적된 액티브 매트릭스 회로에서, 수학식 1로 표현된 피드스루 전압의 분산은 첫 번째 항보다 두 번째 항에 의해서 보다 강하게 영향을 받는다.
즉, 주변 구동 회로를 구성하는 박막 트랜지스터의 이동도의 분산에 의해서, 왜곡(도10에 도시한 바와 같은 게이트 신호 파형(14)의 왜곡에 관계된)은 수학식 1의 두 번째 항의 적분 범위에서 발생하며, 더구나, 픽셀마다 배열된 박막 트랜지스터의 이동도의 분산에 의해서 분산은 수학식 1의 두 번째의 I값에서 발생한다. 이들이 결합하여 피드스루 전압에서 분산을 초래한다.

발명이 이루고자 하는 기술적 과제

(발명의 요약)
본 발명의 목적은 결정질 실리콘막으로 구성된 박막 트랜지스터를 사용한 주변 구동 회로가 집적된 액티브 매트릭스형 디스플레이 장치에서 상기 기술된 피드스루 전압의 분산에 의해 야기된 화질의 열화를 억압하는 구조를 제공하는 것이다.
본 발명은 상기 기술된 피드스루 전압의 분산에 의한 화질의 열화를 억제하기 위해서, 한 계조에 필요한 전압(Vgr)의 절대값이 [수학식 1] 의 두 번째 항의 절대값보다 크게 한 특징을 갖는다.
[수학식 1]
$\Delta Vs = (1/Ct)[Cgd \cdot \Delta Vg - \int Idt]$
즉, 본 발명은 다음의 수학식 2를 만족하도록 각각의 상수의 범위가 결정된 특징을 갖는다.
[수학식 2]
$|Vgr| > |(1/Ct) \int Idt|$
상기 수학식 2는 주변 구동 회로가 집적된 액티브 매트릭스형 디스플레이 장치에서 각각의 회로를 구성하는 박막 트랜지스터에 필요한 특성의 결합에 관한 지침을 제공한다.
수학식 2는 수학식 1을 사용하여 다음의 수학식 3으로 다시 쓸 수 있다.
[수학식 3]
$|Vgr| > |(1/Ct)[Cgd \cdot \Delta Vg - Ct \cdot \Delta Vs]|$
여기서, Vgr은 한 계조에 필요한 전압이다. Ct는 보조 용량을 포함하는 모든 픽셀의 용량이다. Cgd는 게이트-드레인 용량이다. ΔVg는 온/오프 게이트 전압간차이다. ΔVs는 피드스루 전압이다. 본 명세서에서, 픽셀 전극측의 불순물 영역은 드레인으로서 정의된다.
Vgr과 ΔVg는 구동 조건 혹은 얻어질 화질에 의해서 결정된다. Ct 및 Cgd는 각각 계산될 수 있다. ΔVs는 샘플을 형성하여 측정하거나 시뮬레이션을 수행하여 구할 수 있다.
본 발명은 상기 부등식을 만족하기 위해서 각각의 회로를 구성하는 박막 트랜지스터의 특성을 설정하는 것을 특징으로 한다. 이러한 설정을 수행함으로써, 각각의 회로를 구성하는 박막 트랜지스터의 특성에 분산이 발생할지라도, 분산에 기인한 계조 디스플레이에의 영향은 크게 억제될 수 있다.
여기서, 각각의 파라미터의 값(주로 이동도)은 배열된 많은 박막 트랜지스터의 평균값으로 정해진다. 평균값으로서, 샘플 조사된 일부 박막 트랜지스터의 평균을 사용할 수도 있다.
정확히 말하여, 각각의 픽셀에서 Ct 및 Cgd의 분산은 문제가 된다. 그러나, 앞에서 기술한 바와 같이, 결정질 실리콘막을 사용하는 박막 트랜지스터에서, 이들 파라미터의 분산의 기여도는 작다. 따라서, 수학식 2에 나타낸 범위를 만족시킴으로서, 각각의 픽셀에서의 계조 디스플레이의 분산에 기인한 화질의 열화를 대폭적으로 억제시킬 수 있다.
본 발명의 한 특징에 따라, 본 발명은 매트릭스 형태로 배열된 각각의 픽셀에 박막 트랜지스터가 배열된 구조를 가지며, Vgr이 한 계조에 필요한 전압이고, Ct는 모든 픽셀의 용량이며, ΔVg는 온/오프 게이트 전극간 차이며, ΔVs는 피드스루 전압일 때, 각각의 파라미터는 수학식 3을 만족함을 특징으로 한다.
수학식 3
$|Vgr| > |(1/Ct)[Cgd \cdot \Delta Vg - Ct \cdot \Delta Vs]|$
본 발명의 또 다른 특징에 따라서, 본 발명은 매트릭스 형태로 배열된 각각의 픽셀 전극에 박막 트랜지스터가 배열된 액티브 매트릭스 회로, 및 박막 트랜지 스터로 구성된 액티브 매트릭스 회로를 구동하는 주변 구동 회로를 포함하는 구조를 가지며, Vgr이 한 계조에 필요한 전압이고, Ct는 모든 픽셀의 용량이며, Cgd가 게이트-드레인 용량이며, ΔVg는 온/오프 게이트 전극간 차이며, ΔVs는 피드스루 전압일 때, 각각의 파라미터는 수학식 3을 만족함을 특징으로 하며,
수학식 3
$|Vgr| > |(1/Ct)[Cgd \cdot \Delta Vg - Ct \cdot \Delta Vs]|$
주변 구동 회로에서 게이트 신호 전압을 구동하는 회로의 박막 트랜지스터의 이동도는 액티브 매트릭스 회로에 배열된 박막 트랜지스터의 이동도보다 큰 것을 특징으로 한다.

발명의 구성 및 작용

(발명의 상세한 설명)
도1은 유리 기판에 주변 구동 회로 및 액티브 매트릭스 회로가 집적되어 있는 구조를 도시한 것이다. 도1은 주변 구동 회로가 집적된 액티브 매트릭스형 액정 디스플레이의 두 개의 기판 중 하나의 구조를 도시한 것이다.
도1에서, 201은 시프트 레지스터 회로를 나타낸다. 202는 NAND 회로를 나타낸다. 203은 레벨 시프트 회로를 나타낸다. 204는 구동용 버퍼 회로(구동 회로)를 나타낸다. 도1에 도시한 구조에서, 주변 구동 회로는 이들 회로들로 구성된다.
205는 액티브 매트릭스 회로를 나타낸다. 도1에서 4개의 픽셀이 도시되어 있다. 실제 액티브 매트릭스 회로에서, 픽셀은 수백 X 수백 이상의 단위로 매트릭스 형태로 배열된다. 이들과 유사하게 주변 구동 회로가 배열된다.
박막 트랜지스터(206) 및 보조 용량(208)이 각각의 픽셀마다 배열되며, 207은 액정을 나타낸다.
도1에 도시한 구조에서, 모든 회로는 동일 유리 기판 상에 형성된 박막 트랜지스터로 구성된다.
예를 들면, 시프트 레지스터 회로(201)를 구성하는 각각의 게이트는 도2A에 도시한 바와 같이, p-채널형 및 n-채널형 박막 트랜지스터가 조합된 클락 제어 인버터(clocked inverter) 회로로 구성된다.
버퍼 회로(204)를 구성하는 각각의 게이트는 도2B에 도시한 바와 같이, p-채널형 및 n-채널형 박막 트랜지스터가 조합된 인버터 회로로 구성된다.
도10에 도시한 바와 같은 게이트 신호 파형 왜곡의 주원인은 버퍼 회로(204)를 구성하는 박막 트랜지스터의 특성(주로 이동도에 관계된)이 요구된 특성보다 못하기 때문이다.
액티브 매트릭스 회로(205)에 배열된 박막 트랜지스터 특성의 분산은 (주로 이동도의 분산) 수학식 1과 수학식 2에서 I로 표시된 값의 분산에 관계한다.
버퍼 회로(204)를 구성하는 박막 트랜지스터의 이동도를 높게 하였을 때, 도 10에 도시한 게이트 신호 파형의 왜곡을 작게 할 수 있다. 물론, 게이트 신호 파형의 왜곡의 분산 또한 비교적 작게 할 수 있다.
그러나, 어느 정도 균일성을 유지하면서 동일 기판에 집적된 박막 트랜지스
터의 이동을 증가시키는 것은 기술적으로 어렵다. 따라서, 균일도 및 이동도의 증대를 나타낼 지침이 필요한 것이다. 예를 들면, 다른 파라미터에 관련하여 이동도 의 증대를 나타내는 지침이 필요한 것이다.
또한, 유사한 이유로, 액티브 매트릭스 회로(205)에 배열된 박막 트랜지스터(206)의 이동도의 분산 정도를 나타내는 지침(즉, 얼마나 많은 작업 및 비용이 필요한지)이 필요하다.
상기 지침은 다음의 수학식 2로 주어진다.
수학식 2

$$|Vgr| > |(1/Ct)\int Idt|$$

즉, 허락할 수 있는 범위의 비용 및 작업으로, 박막 트랜지스터의 제조 단계 및 조건 및 이 트랜지스터의 크기 및 형태는 상기 수학식 2를 만족시키도록 결정된다. 그러면, 소정의 화질을 갖는 액티브 매트릭스형 액정 디스플레이 장치가 실현될 수 있다.
예를 들면, 수학식 2를 만족하는 한 방법으로서, 도10에 도시한 파형 왜곡을 작게 하도록 버퍼 회로(204)를 구성하는 박막 트랜지스터의 이동도를 선택적으로 증가시키는 것을 생각할 수 있다. 이 경우는 수학식 2에서 dt의 적분 범위를 작게 하여 수학식 2를 만족시키도록 함을 뜻한다.
이에 관련하여, 액티브 매트릭스 회로(205)에 배열된 박막 트랜지스터의 활성층의 증대를 작게한다. 택일적으로,이의 이동도를 작게한다. 이것은수학식 2의 I값을 작게하여 수학식 2를 만족시키게 함을 의미한다.
이에 따라, 수학식 2의 우측이 작아지게 되어, 수학식 2가 만족된다. 물론, 요구된 계조 및 사용된 액정 물질에 따라, 수학식 2의 우측의 값이 다르다. 따라 서, 값에 따라 버퍼 회로(204)를 구성하는 박막 트랜지스터의 이동도와 액티브 매트릭스 회로(205)를 구성하는 박막 트랜지스터(206)의 이동도의 조합을 설정할 필요가 있다.
이렇게 하여, 주변 구동 회로 및 액티브 매트릭스 회로(205)에 배열된 박막 트랜지스터들의 이동도의 분산에 의해서 계조 디스플레이에 미치는 영향을 감소시킬 수 있는 것이다.
또한, 수학식 2로부터 명백하듯이, 보조 용량(208) 및 Ct값을 증가시키는 것은 우측의 값을 감소시키는데 유효하다. 이 경우, 버퍼 회로(204)를 구성하는 박막 트랜지스터의 이동도, 액티브 매트릭스 회로(205)를 구성하는 박막 트랜지스터(206)의 이동도, 및 보조 용량(208)의 값을 수학식 2를 만족시키도록 조합시키는 것으로 족하다.
예를 들면, 액티브 매트릭스 영역의 면적을 크게 한 경우, 도10에 도시한 게이트 신호 파형의 왜곡은 게이트 신호 라인의 저항 및 용량에 의해서 발생된다. (이것은 게이트 신호 라인을 형성하는 물질에도 상당히 관련되어 있다.)
이 경우, 어느 정도 이상으로 버퍼 회로를 구성하는 박막 트랜지스터의 이동도를 증가시키는 것이 매우 효과적이지는 않다. 저항값이 높은 물질을 게이트 신호 라인용으로 사용한 때, 유사한 상태가 발생한다.
이 경우, 액티브 매트릭스 영역에 배열된 박막 트랜지스터(206)의 활성층의 크기는 I값을 감소시키기 위해서 작게 한다. 즉, 채널폭을 좁게 하는 것이다.
이것은 채널 단면을 감소시켜 상기 I의 값을 작게 함을 의미한다. 또한 채널 폭을 감소시키는 것 외에도, 채널 길이를 짧게 하는 것도 효과적이다. 이것은 채널 면적을 감소시킴으로써 수학식 1의 Cgd의 분산의 영향을 억제할 수 있음을 의미한다. Cgd의 분산에 기인한 영향이 매우 크지 않다고 추정될지라도, 기본적으로 Cgd를 감소시키는 것이 좋다.
수학식 1의 I값을 감소시키기 위해서, 액티브 매트릭스 회로(205)에 배열된 박막 트랜지스터(206)의 이동도를 감소시키는 것 또한 효과적이다. 또한, [수학식 2] 를 만족시키기 위해서, Ct를 증가시키는 것이 효과적이다. 이 경우, Ct의 값은 보조 용량값을 증가시킴으로써 크게 만들 수 있다.
그러나, 액티브 매트릭스 회로(205)에 배열된 박막 트랜지스터의 이동도를 너무 작게 하면, 액정을 구동하는데 필요한 특성이 얻어질 수 없어, 주요가 필요하다(일반적으로, 1cm ^{2}/Vs의 이동도가 필요하다).
제1 실시예

도3 및 그 다음 도면은 동일 유리 기판에, 도1에 도시한 시프트 레지스터 회로(201) 및 버퍼 회로(205)를 구성하는 기본 회로로서 CMOS 구조의 박막 트랜지스터 회로, 및 액티브 매트릭스 회로의 각각의 픽셀에 배열된 박막 트랜지스터(206)를 형성하는 기본 단계를 도시한 것이다.
도면에서, 좌측은 CMOS 회로의 제조 단계를 도시한 것이다. 우측은 액티브 매트릭스 회로에 배열된 N-채널형 박막 트랜지스터의 제조 단계를 도시한 것이다.
이하 설명되는 제조 단계에서 수치 및 조건은 일반적인 것들로서, 필요에 따 라 수정 및 최적화될 수 있다. 즉, 본 발명은 상세히 기술된 값에 한정되지 않는다.
먼저, 도3A에 도시한 바와 같이, 하지층(502)으로서 3000Å 두께의 실리콘 산화막이 유리 기판(혹은 석영 기판; 501)에 형성된다. 스퍼터링 방법이 막 성장 방법으로서 사용된다.
다음에, 1000Å 두께의 진성 혹은 거의 진성 도전형 비정질 실리콘막(502)이 플라즈마 CVD방법으로 하지층(502) 상에 형성된다. 저압 열 CVD 방법이 막 성장 방법으로서 사용될 수도 있다. 이렇게 하여, 도3A에 도시한 상태가 얻어진다. 다음에, 열처리를 수행하여 비정질 실리콘막(503)을 결정화한다. 결정화 방법으로서, 레이저 광 조사, 램프 어닐링, 및 이들 방법과 열처리를 조합한 방법을 사용하였다.
또 다른 실시예에서 상세히 설명하겠지만, 레이저 광 조사를 선택적으로 수행함으로서, 각각의 회로에 필요한 박막 트랜지스터의 이동도를 선택적으로 제어할 수 있다.
본 발명의 결정질 실리콘막은 비정질 실리콘막에 열처리 혹은 레이저 광 조사를 수행함으로써 얻어질 수 있는 고차(higher order) 결정 구조를 갖는 실리콘막이다. 대안으로, 결정질 실리콘막은 비정질 실리콘막과 비교하여 고차의 결정 구조를 갖는 실리콘막이다. 다결정 실리콘막 혹은 미세 결정질 실리콘막으로 통상 언급되는 실리콘막 또한 본 발명에 따른 결정질 실리콘막의 범주에 포함된다.
비정질 실리콘막(503)이 결정화된 후에, 패터닝을 수행함으로써 섬 영역(504, 505, 506)이 형성된다(도3B).
도3B에서, 영역(504)은 나중에 CMOS 회로를 구성하는 P-채널형 박막 트랜지스터의 활성층이 된다. 영역(505)은 나중에 CMOS를 구성하는 N-채널형 박막 트랜지스터의 활성층이 된다. 영역(506)은 나중에 픽셀 매트릭스 회로에 배치된 N-채널형 박막 트랜지스터의 활성층이 된다. 이렇게 하여, 도3B에 도시한 상태가 얻어진다.
도면에서, 각각의 활성층을 도면 제작상의 이유로 동일한 크기로 나타내었지만, 박막 트랜지스터의 이동도는 채널 폭 혹은 채널 길이를 변경시켜 제어될 수 있다. 일반적으로, 요구된 특성에 따라, 박막 트랜지스터의 크기 및 모양이 결정된다. 즉, 도면의 우측에 도시한 액티브 매트릭스 회로에 배열된 박막 트랜지스터의 활성층(506)의 폭(채널폭)(도6 참조)은 가능한한 협소하게 만들어 [수학식 2] 의 I값을 감소시키도록 한다. 더욱이, Cgd를 감소시키기 위해서, 채널 길이를 가능한한 협소하게 만든다.
또한, 버퍼 회로(도1의 204로 표현된)를 구성하는 CMOS 회로를 구성하는 활성층(504, 505)은 채널폭을 가능한한 크게 되도록 설정된다. 이렇게 하여, 버퍼 회로를 구성하는 박막 트랜지스터의 온-상태 전류 특성을 개선하고, 게이트 신호 전압의 파형의 왜곡을 억압하는 것이 가능하다.
다음에, 게이트 전극을 구성하는 두께 5000Å의 알루미늄막(507)이 스퍼터링 방법으로 형성된다. 0.1 내지 0.2 중량%의 스캔듐이나 이트륨을 알루미늄막(507)에 포함되게 한다. 이것은 다음 단계(도3C)에서 힐록이나 휘스커가 형성되는 것을 억제하기 위해서 행해진다.
힐록(hillocks)이나 휘스커(whiskers)는 바늘과 같거나 가시같은 돌기이며 가열에 의해 야기된 알루미늄의 비정상적인 성장에 기인한 것이다.
알루미늄막(507)이 성장된 후에, 조밀한 막질을 갖는 양극산화막(508)이 형성된다. 조밀한 막질을 갖는 양극산화막(508) 형성은 전해 용액으로서 주석산 3%를 함유하는 에틸렌 글리콜 용액에서 수행된다.
즉, 이 전해 용액에서, 알루미늄막(507)을 양극으로 하고 백금을 음극으로 하여 양극산화 전류가 흘러 양극산화막(508)이 형성된다. 양극 산화막(508)의 막 두께는 약 100Å으로 만들어진다. 양극 산화막(508)의 막 두께는 인가된 전압을 제어하여 조정된다.
양극산화막(508)은 후속되는 단계에서 행해지는 레지스트 마스크 부착을 향상시키는 기능을 한다.
이렇게 하여, 도3C에 도시한 상태가 얻어진다.
다음에, 도4A에 도시한 바와 같이, 레지스트 마스크(515, 516, 517)가 배열된다. 이어서, 알루미늄막(507)(도3C 참조)이 패터닝된다. 이때, 양극산화막(508)의 막두께가 두꺼우면(도3C 참조), 알루미늄막(507)의 패터닝은 어렵게 되므로 주의해야 한다.
도4A에서, 509, 511, 513은 게이트 전극의 원형(베이스)으로서 알루미늄 패턴을 나타낸다. 510, 512, 514는 알루미늄 패턴에 남아있는 조밀한 막질의 양극 산화막을 나타낸다.
도4A에 도시한 상태가 얻어진 후, 양극산화를 다시 수행한다. 여기서, 다공 성 양극산화막(518, 519, 520)이 형성된다(도4B).
이 단계에서, 3%의 옥살릭(oxalic)산을 함유하는 용액이 사용된다. 이 전해 용액에서, 알루미늄 패턴(509, 511, 513)을 양극(anode)으로 하고 백금을 음극(cathode)으로 하여 양극산화가 수행된다.
이 단계에서, 레지스트 마스크(515, 516, 517) 및 조밀한 양극산화막(510, 512, 514)이 존재하기 때문에, 양극산화는 알루미늄 패턴(509, 511, 513)의 양측에서 진행된다.
이렇게 하여, 다공성 양극산화막은 참조부호 518, 519, 520로 표기된 부분에 형성된다. 다공성 양극산화막의 막두께는 양극 산화 시간으로 제어된다.
여기서, 다공성 양극산화막(518, 519, 520)은 5000Å 두께로 형성된다. 다공성 양극산화막은 나중에 저농도 불순물 영역을 형성할 때 사용된다.

도4B에 도시한 상태가 얻어진 후, 레지스터 마스크(515, 516, 517)는 전용제거(peeling)액으로 제거된다. 이어서, 양극산화는 조밀한 막질을 갖는 양극산화막을 형성하는 조건에서 다시 수행된다.
결국, 조밀한 막질의 양극산화막(51, 52, 53)이 형성된다. 여기서, 양극 산화막(51, 52, 53)은 이전에 형성된 양극산화막(510, 512, 514)과 일체로 된 상태로 형성된다(도4C).
이 단계에서, 전해 용액은 다공성 양극 산화막(518, 519, 520)의 내부로 침입하기 때문에, 조밀한 막질의 양극산화막(51, 52, 53)이 도4C에서 참조부호(51, 52, 53)로 도시한 상태로 형성된다.
조밀한 막질의 양극산화막(51, 52, 53)의 막두께는 1000Å이다. 양극산화막(51, 525, 53)은 게이트 전극(및 이로부터 확장한 게이트 배선)의 표면을 전기적 및 기계적으로 보호하는 기능을 갖는다. 즉, 막들은 전기적 절연을 향상시키고 힐록 및 휘스커의 형성을 억제하는 기능을 갖는다.
도4C에 도시한 단계에서, p-채널형 박막 트랜지스터의 게이트 전극(521) 및 n-채널형 박막 트랜지스터의 게이트 전극(522, 523)이 정해진다. 도4C에 도시한 상태가 얻어진 후, P(인) 이온이 주입된다. 이 단계에서, P 이온은 소스 및 드레인 영역을 형성하는 도우즈량으로 주입되며, P 이온 주입은 공지된 플라즈마 도핑 방법(도5A)에 의해서 수행된다.
이 단계에서, 비교적 고농도의 P 이온은 영역(524, 5236, 527, 529, 530, 532)에 주입된다. 이 .단계에서 도우즈량은 $1 \times 10^{15}/cm^2$ 이다. 이온 가속 전압은 80kV이다.
도 5A에 도시된 P 이온 주입에서, P 이온들은 영역들(525, 528, 및 531) 내로 주입되지 않는다. 그러므로, 진성(intrinsic) 또는 실질적으로 진성인 상태가 유지된다.
도 5A에 도시된 P 이온 주입이 끝난 후에, 다공성 양극산화막들(porous anodic oxidation films)(518, 519, 및 520)은 인산(phosphoric acid), 아세트 산(acetic acid), 및 질소 산(nitric acid)의 혼합 산을 사용하여 선택적으로 제거된다.
그후, 도 5B에 도시된 바와 같이, P 이온 주입이 다시 행해진다. 이 단계에서, P 이온 주입은 도 5A의 단계에서의 도우즈 량 보다 낮은 도우즈 량으로 수행된다. 여기서, 이 도우즈 량은 0.5 내지 $1x10^{14}/cm^2$ 이다. 이온들의 가속전압은 70kV이다.
이 단계의 결과, 각각의 영역(533, 535, 536, 538, 539, 541)은 N-형(약(weak) N형) 영역이 된다. 이들 영역은 각각의 영역(524, 527, 529, 530, 532)보다 낮은 농도의 P 이온이 첨가된 저농도 불순물 영역들이 된다(도 5B).
게이트 전극(521, 522, 523) 바로 밑의 각각의 영역(534, 537, 540)은 채널 형성 영역으로서 정해진다.
엄격히 말하여, 오프셋 게이트 영역은 조밀한 막질을 가지며 도4C의 단계에서 형성된 양극산화막(51, 52, 53)의 막두께를 갖는 채널 형성 영역(534, 537, 540)의 양측에 형성된다. 그러나, 이 실시예에서, 양극산화막(51, 525, 53)의 막두께는 약 1000Å이기 때문에, 오프셋 게이트 영역은 도면에 도시하지 않았다.
도5B에 도시한 불순물 이온 주입이 종료된 후에, 도6A에 도시한 바와 같이 레지스트 마스크(542)가 배열되고, B(보론)이온이 이때에 주입된다.
B 이온을 주입하여, 각각의 영역(543, 544, 545 및 546)의 도전형은 N형에서 P형으로 된다. 여기서, B이온의 도우즈량은 $2 \times 10^{15}/cm^2$ 이다. 가속 전압은 60kV이다.
도6A에 도시한 B 이온 주입이 종료된 후에, 레지스트 마스크(542)가 제거된 다. KrF 엑시머 레이저 방사가 전체에 수행되어 불순물 이온이 주입된 영역을 어닐링하여 주입된 불순물 이온을 활성화시킨다. 이렇게 하여, CMOS 회로를 구성하는 P-채널형 및 N-채널형 박막 트랜지스터, 및 액티브 매트릭스 영역에 배열된 N-형 박막 트랜지스터가 동시에 형성된다.
도7A에 도시한 바와 같이, 층간 절연막(551)이 형성된다. 층간 절연막(551)은 실리콘 산화막으로 만들어진다. 실리콘 산화막 이외에, 적층된 실리콘 질화막 및 실리콘 산화막, 혹은 실리콘 산화막이나 실리콘 질화막이 적층된 막과 수지(resin)막이 사용될 수도 있다.
층간 절연막(551)이 형성된 후에, 접촉홀이 형성된다. P-채널형 박막 트랜지스터의 소스 전극(552) 및 드레인 전극(553), 및 N-채널형 박막 트랜지스터의 드레인 전극(553) 및 소스 전극(554)이 형성된다.
이렇게 하여, P-채널형 박막 트랜지스터와 N-채널형 박막 트랜지스터가 상보적으로 구성된 CMOS 회로가 완성된다.
더욱이, 동시에, 소스 전극(555)(일반적으로 매트릭스 형태로 배열된 화상 신호 라인(소스 신호 라인)으로부터 확장하여 형성된), 및 드레인 전극(556)이 형성됨으로써, 액티브 매트릭스 회로에 배열된 N-채널형 박막 트랜지스터가 완료된다.
도7A에 도시한 상태가 얻어진 후, 제2 층간 절연막(557)이 형성된다. 이어서, 접촉홀이 형성되고, ITO로 만들어진 픽셀 전극(558)이 형성된다. 이어서, 1시간 동안 350°에서 수소 분위기에서 열처리를 수행하여 활성층 내의 결합을 보상한 다. 이렇게 하여, 액티브 매트릭스 회로(픽셀 매트릭스 회로) 및 주변 구동 회로가 동시에 형성될 수 있다.
도7B에 도시한 상태가 얻어진 후, 러빙(rubbing)막(도시없음)이 형성되고, 종지의 러빙처리가 수행된다. 도7B에 도시한 기판은 개별적으로 준비된 대향 기판에 본딩되고, 액정이 이들 사이의 공간에 주입된다. 이렇게 하여, 주변 구동 회로가 집적된 액티브 매트릭스형 액정 디스플레이 장치가 완료된다.
제2 실시예
이 실시예는 제1 실시예에 도시한 제조단계에 기초하여 개개의 용도에 따른 액티브 매트릭스형 액정 디스플레이 장치에 대한 제조 단계를 도시한 것이다.
이 실시예에서 목표 장치는 5인치 이하의 대각선 크기를 갖는 소형 액정 디스플레이 장치이다. 물론, 이 액정 디스플레이 장치는 주변 구동 회로가 집적된 구조를 갖는 것으로 한다. 또한, 저저항의 알루미늄이 게이트 배선으로 사용된 것으로 가정한다.

또한 이 실시예에서 보인 구조에서, 기본 구조는 도1에 도시한 것과 동일하다. 박막 트랜지스터의 제조 단계 역시 도3에 도시한 것 및 관련 도면과 동일하다. 이 실시예에 도시한 구조를 제작할 때, 도10에 도시한 바와 같은 게이트 배선 저항 및 용량의 영향에 기인한 파형(14)의 왜곡은 매우 심각한 문제가 되지 않는다.
따라서, 수학식 2에 도시한 부등식을 만족시키기 위해서, 버퍼 회로(도1에 204로 지칭된)를 구성하는 박막 트랜지스터의 이동도를 가능한한 크게 만드는 것이 효과적이다.
이 실시예에서, 버퍼 회로를 구성하는 박막 트랜지스터의 이동도를 증가시키기 위해서, 도3A에 도시한 단계에서, 레이저 광 조사에 의한 어닐링이 주변 구동 회로에 대해 수행되고, 특히 버퍼 회로가 배열된 영역에 대해서만 수행된다. 이렇게 하여, 박막 트랜지스터를 구성하는 결정질 막의 결정도는 선택적으로 향상된다.
레이저로서, KrF 엑시머 레이저(파장이 248nm)이나 XeCl 엑시머 레이저(파장이 308nm)를 사용하는 것이 효과적이다. 더욱이, 선형 빔을 레이저 광으로서 사용하고, 버퍼 회로를 구성하는 박막 트랜지스터 역시 패턴을 선형으로 배열시켜 만들어진다. 선형으로 배열된 박막 트랜지스터의 영역들을 한 펄스 방사로 동시에 어닐링할 수 있도록 설계되어 있다. 특히, 이 실시예에서, 기판을 소형이기 때문에, 선형 레이저 광은 균일성을 증가시키도록 집중된다.
이렇게 하여, 버퍼 회로를 구성하는 박막 트랜지스터의 이동도를 증가시키고 특성의 분산을 감소시키는 것이 가능하다.
이렇게 함으로써, 수학식 2의 dt의 적분 범위가 협소하게 되고 dt 자체의 분산이 작게 된다.
한편, 액티브 매트릭스 영역에 배열된 박막 트랜지스터에서, 열처리에 의해 형성된 결정질 실리콘막이 사용되며, 이동도가 작을지라도, 분산은 작게 된다. 더구나, 채널영역은 가능한한 작게 만들어지며, 수학식 2의 Cgd의 분산 영향이 작아지고, I값이 작게 된다. 즉, 막질의 균일성에 주의해야 하는 막 형성 조건으로 형성된 비정질 실리콘막을 사용하고, 더구나 균일하게 가열하는 것에 주의하면서 열 처리를 수행함으로써, 가능한한 작은 액티브 매트릭스 영역에 결정도 분산을 억제하도록 노력한다.
이렇게 하여, 구조는 상기 수학식 2를 만족한다. 물론, 이 구조는 수학식 3도 만족한다.

제3 실시예

이 실시예는 제2 실시예에 도시한 액티브 매트릭스형 액정 디스플레이 장치를 제조하는 또 다른 방법을 도시한 것이다.
주변 구동 회로가 집적된 액티브 매트릭스 구조를 제2 실시예에 보인 방법으로 실현한 경우, 안정된 발진을 수행할 수 있는 레이저 조사 장치가 필요하다.
현재, 엑시머 레이저 장치는 실험실 수준에 있으며 고가이다. 더욱이, 안정성 등에 문제가 있다. 또한, 유지보수가 만족할만한 수준에 이르지 못하고 있다. 더구나, 가장 적합한 조사 조건을 찾는데 힘이 드는 문제가 있다.
따라서, 이 실시예의 구조는 Ct의 값을 크게 한 특징을 가지며, 따라서, 수학식 2의 부등식이 만족된다.
이 경우, 보조 용량값을 증가시키기 위해서, 보조 용량의 배열공정을 설계하는 것이 필요하다. 이때, 이 실시예에서, 액티브 매트릭스 영역은 도8 및 도9에 도시한 바와 같은 구조로 만든다. 도8은 도0의 A-A'선을 따라 취한 단면을 보여준다.
도8 및 도9에 도시한 구조는 액티브 매트릭스 회로가 배치된 측의 기판의 일부이다. 도8 및 도9는 한 픽셀에 대응하는 부분을 도시한 것이다.
도8 및 도9에서, 박막 트랜지스터는 부분(103)에 형성된다. 101은 유리 기판 을 나타낸다. 102는 하지막을 형성하는 실리콘 산화막을 나타낸다. 박막 트랜지스터의 활성층은 영역(104, 107, 105, 108, 106)으로 구성된다. 이 활성층은 비정질 실리콘막에 열을 가하여 결정화된 결정질 실리콘막으로 형성된다.
활성층에서, 104는 소스 영역을 나타내며, 107 및 108은 오프셋 게이트 영역을 나타내며, 105는 채널 형성 영역을 나타내고, 106은 드레인 영역을 나타낸다.
109는 게이트 절연막으로 기능하는 실리론 산화막을 나타내며, 110은 주성분으로서 알루미늄을 함유하는 게이트 전극을 나타낸다. 게이트 전극(110)은 매트릭스 형태로 배열된 게이트 배선으로부터 확장한다.
111은 양극으로부터 알루미늄을 사용하여 양극산화를 수행함으로써 형성된 양극산화막을 나타낸다. 오프셋 게이트 영역(107, 108)은 양극산화막(111)의 두께로 형성된다.
효과적으로 작용하는 오프셋 게이트 영역(107, 108)을 형성하기 위해서, 양극산화막의 두께를 약 2000Å 이상의 막 두께를 갖도록 할 필요가 있다.
112는 실리콘 산화막으로 만들어진 제1 층간 절연막을 나타낸다. 113은 소스 영역(104)으로부터의 리드 전극을 나타낸다. 115는 드레인 영역(106)으로부터 티탄으로 만들어진 리드 전극을 나타내며 픽셀 전극이 되는 ITO 전극(118)에 접속된다. 114는 제2 층간 절연막을 나타내며, 117은 제3 층간 절연막을 나타낸다.
116은 블랙 매트릭스로서 또한 사용되는 티탄 전극을 나타낸다. 티탄 이외에, 크롬 등이 사용된다. 이 티탄 전극(116)은 블랙매트릭스로서 작용하도록 픽셀 전극(118)의 주변에 중첩되게 배치된다. 티탄 전극(116)은 리드 전극(115)으로서 동시에 형성된다.
티탄 전극(116) 및 픽셀 전극(118)이 서로 중첩되는 영역이 보조 용량이 된다. 즉, 부분(119 및 120)에서, 픽셀 전극(118) 및 티탄 전극(116)은 제3 층간 절연막(117)을 통한 용량을 형성한다. 절연막(117)을 얇게 만들었기 때문에, 용량은 크게 될 수 있다.
여기서, 절연막(117)은 실리콘 질화막으로 만들어지며, 막의 두께는 300Å이다. 실리콘 질화막은 약 6의 큰 상대 유전상수를 갖는다. 따라서, 수학식 2의 Ct로 표현된 용량을 크게 할 수 있다. 일반적으로, 절연막으로 통상 사용되는 실리콘 산화막의 상대 유전상수는 약 4이다.
실리콘 질화막은 조밀한 막질을 갖도록 제작될 수 있다. 따라서, 두께가 얇다하더라도, 핀홀에 기인한 전극간 단락 회로 문제를 피할 수 있다.

티탄 전극(116)은 박막 트랜지스터(103) 대부분의 부분을 덮도록 배치된다. 이 배열은 동작이 박막 트랜지스터에 조사함에 영향받지 않도록 하는 것이다.
BM으로서 또한 사용된 전극(116)과 픽셀 전극(118)간 중첩 정도는 수학식 2로 표현된 부등식으로 얻어진 Ct의 값을 만족하도록 결정된다. 이 경우, 박막 트랜지스터의 특성을 우선적으로 결정한 후 수학식 2에 따라 Ct값을 산출하는 것으로 충분하다.
제4 실시예
이 실시예는 수학식 2로 표현된 부등식을 만족시키기 위해서, 다른 결정도를 갖는 박막 트랜지스터를 사용하여 액티브 매트릭스 회로 및 주변 구동 회로를 제적 하는 기술에 관한 것이다.
수학식 2는 액티브 매트릭스 회로에 배열된 박막 트랜지스터의 이동도를 작게 했을 때, 주변 구동 회로, 특히 버퍼 회로의 이동도를 크게 하면서, 액정에 인가된 전압의 분산을 효과적으로 감소시킬 수 있음을 나타낸다.
상기 구조를 실현하기 위해서, 비교적 낮은 결정도를 갖는 실리콘막이 액티브 매트릭스 회로 영역에 형성되며, 비교적 높은 결정도를 갖는 실리콘막은 주변 구동 회로 영역에 형성된다.
이 실시예에서, 주변 구동 회로 영역(혹은 버퍼 회로 영역)에 형성된 결정질 실리콘막은 액티브 매트릭스 회로 영역에 형성된 결정질 실리콘막이 상기 금속원소를 사용하지 않고 형성되는 한편, 실리콘의 결정도를 촉진시키는 금속원소를 사용하여 형성된다.
특히, 도3A에 도시한 상태에서, 주변 구동 회로를 구성하는 박막 트랜지스터가 형성되는 영역 이외의 영역은 실리콘 산화막 등으로 마스크되고, 실리콘의 결정도를 촉진하기 위한 금속원소를 함유하는 용액이 이 상태에서 적용된다. 열처리를 수행함으로써, 비정질 실리콘막(503)은 결정화된다. 예를 들면, 열처리는 640 ° 에서 24시간 동안 수행된다. 이어서, 금속원소가 유입되었던 영역은 비교적 높은 결정도를 가지며, 금속원소가 유입되지 않았던 영역은 비교적 낮은 결정도를 갖는다.
즉, 액티브 매트릭스 영역에서, 박막 트랜지스터는 비교적 낮은 결정도를 갖는 결정질 실리콘막으로 형성될 수 있으며, 주변 구동 회로 영역에서, 박막 트랜지 스터는 비교적 높은 결정질을 갖는 결정질 실리콘막으로 형성될 수 있다. 이렇게 함으로써, 주변 구동 회로를 구성하는 박막 트랜지스터의 이동도는 높게되고, 이때 액티브 매트릭스 영역을 구성하는 박막 트랜지스터의 이동도는 작게 된다.
Ni(니켈)이 실리콘의 결정도를 촉진하는 금속원소로서 사용된다. 니켈염 아세테이트 용액을 Ni을 함유하는 용액으로서 사용할 수 있다. 도입된 Ni의 양은 용액 내 니켈 농도를 조정함으로써 제어될 수 있다.
용액을 사용하는 방법은 금속량의 도입량을 제어하며 도입량의 균일성을 확실하게 하는데 효과적인 방법이다.
본 명세서에 개시된 발명을 사용함으로써, 기술이 집중적으로 적용되는 부분의 우선 순위가 결정될 수 있다. 기술이 집중적으로 적용되는 부분을 명료하게 하기 때문에, 우수한 화질의 액티브 매트릭스형 디스플레이 장치를 저 비용 및 고생산성으로 얻을 수 있다.
본 명세서에서는 주로 액티브 매트릭스 액정 디스플레이 장치에 대해 설명하였다. 그러나, 본 명세서에 개시된 발명은 박막 트랜지스터를 사용하는 다른 액티브 매트릭스형을 갖는 평판 디스플레이에 적용될 수 있다. 예를 들면, 본 발명은 EL형 광방출소자를 사용한 주변 구동 회로가 집적된 액티브 매트릭스 디스플레이 장치에 적용될 수 있다.
게이트 전극이 기판의 일측에 있는 형태인 버텀(bottom) 게이트형의 구조도 박막 트랜지스터의 구조로서 사용될 수 있다.

(57) 청구의 범위

청구항 1.
매트릭스 형태로 배열된 픽셀 전극들 및 각각의 상기 픽셀 전극들에 대해 배열된 박막 트랜지스터들을 포함하는 액티브 매트릭스 전기-광학 장치(active matrix electro-optical device)에 있어서,
Vgr이 1 계조(gradiation)에 필요한 전압이고, Ct가 모든 픽셀들의 용량이며, Cgd가 게이트와 드레인간 용량이고, ΔVg가 온/오프 게이트 전압들간 차이이며, ΔVs가 피드스루(feedthrough) 전압일 때, 각각의 파라미터들은,
$|Vgr| > |(1/Ct)[Cgd \cdot \Delta Vg - Ct \cdot \Delta Vs]|$의 식을 만족하는, 액티브 매트릭스 전기-광학 장치.

청구항 2.
액티브 매트릭스 전기-광학 장치에 있어서,
매트릭스 형태로 배열된 픽셀 전극들 및 각각의 상기 픽셀 전극들에 배열된 박막 트랜지스터들을 포함하는 액티브 매트릭스 회로와,
박막 트랜지스터들로 구성되고 상기 액티브 매트릭스 회로를 구동하기 위한 주변 구동 회로(peripheral drive circuit)를 포함하며,
Vgr이 1 계조에 필요한 전압이고, Ct가 모든 픽셀들의 용량이며, Cgd가 게이트와 드레인간 용량이고, ΔVg가 온/오프 게이트 전압들간 차이이며, ΔVs가 피드스루 전압일 때, 각각의 파라미터들은,
$|Vgr| > |(1/Ct)[Cgd \cdot \Delta Vg - Ct \cdot \Delta Vs]|$의 식을 만족하며,
게이트 신호 전압을 구동하기 위한 상기 주변 구동 회로의 박막 트랜지스터들의 이동도(mobility)는 상기 액티브 매트릭스 회로에 배열된 박막 트랜지스터들의 이동도보다 큰, 액티브 매트릭스 전기-광학 장치.

청구항 3.
액티브 매트릭스 전기-광학 장치에 있어서,
기판과;

상기 기판 상의 픽셀 전극과 상기 기판 상의 박막 트랜지스터를 포함하는 액티브 매트릭스 회로로서, 상기 박막 트랜지스터는 상기 픽셀 전극과 연결되는, 상기 액티브 매트릭스 회로와;
상기 픽셀 전극에 반대되는 반대 전극과;
상기 픽셀 전극과 상기 반대 전극 사이에 제공되는 전기-광학 변조층(electro-optical modulating layer)과;
상기 전기-광학 변조층과 상기 반대 전극과 상기 픽셀 전극을 포함하는 픽셀 용량과 병렬로 배열되는 보조 용량과;
이들 사이에 절연체와 함께 상기 픽셀 전극의 주변과 겹쳐지는 전도성 물질을 포함하는 블랙 매트릭스(black matrix)를 포함하며,
상기 픽셀 전극은 상기 보조 용량의 전극들의 쌍 중 하나에 대해 제공되고, 상기 블랙 매트릭스는 상기 보조 용량의 전극들의 상기 쌍 중 다른 하나에 대해 제공되며, 상기 절연체는 상기 보조 용량의 유전체에 대해 제공되며,
Vgr이 1 계조에 필요한 전압이고, Ct가 상기 보조 용량과 상기 픽셀 용량의 합이며, Cgd가 상기 액티브 매트릭스 회로의 상기 박막 트랜지스터의 게이트와 드레인간 용량이고, ΔVg가 상기 액티브 매트릭스 회로의 상기 박막 트렌지스터의 온/오프 게이트 전압들간 차이이며, ΔVs가 피드스루 전압일 때, 각각의 파라미터들은,
$|Vgr| > |(1/Ct)[Cgd \cdot \Delta Vg - Ct \cdot \Delta Vs]|$의 식을 만족하는, 액티브 매트릭스 전기-광학 장치.

청구항 4.

액티브 매트릭스 전기-광학 장치에 있어서,
기판과;
상기 기판 상의 픽셀 전극과 상기 기판 상의 박막 트랜지스터를 포함하는 액티브 매트릭스 회로로서, 상기 박막 트랜지스터는 상기 픽셀 전극과 연결되는, 상기 액티브 매트릭스 회로와;
상기 픽셀 전극에 반대되는 반대 전극과;
상기 픽셀 전극과 상기 반대 전극 사이에 제공되는 전기-광학 변조층과;
상기 전기-광학 변조층과 상기 반대 전극과 상기 픽셀 전극을 포함하는 픽셀 용량과 병렬로 배열되는 보조 용량과;
이들 사이에 절연체와 함께 상기 픽셀 전극의 주변과 겹쳐지는 전도성 물질을 포함하는 블랙 매트릭스와;
상기 액티브 매트릭스 회로를 구동하기 위해 상기 기판 상에 박막 트랜지스터를 포함하는 주변 구동 회로를 포함하며,
상기 픽셀 전극은 상기 보조 용량의 전극들의 쌍 중 하나에 대해 제공되고, 상기 블랙 매트릭스는 상기 보조 용량의 전극들의 상기 쌍 중 다른 하나에 대해 제공되며, 상기 절연체는 상기 보조 용량의 유전체에 대해 제공되며,
Vgr이 1 계조에 필요한 전압이고, Ct가 상기 보조 용량과 상기 픽셀 용량의 합이며, Cgd가 상기 액티브 매트릭스 회로의 상기 박막 트렌지스터의 게이트와 드레인간 용량이고, ΔVg가 상기 액티브 매트릭스 회로의 상기 박막 트렌지스터의 온/오프 게이트 전압들간 차이이며, ΔVs가 피드스루 전압일 때, 각각의 파라미터들은,
$|Vgr| > |(1/Ct)[Cgd \cdot \Delta Vg - Ct \cdot \Delta Vs]|$의 식을 만족하는, 액티브 매트릭스 전기-광학 장치.

청구항 5.

제 4 항에 있어서,
상기 블랙 매트릭스는 금속(metal)을 포함하는, 액티브 매트릭스 전기-광학 장치.

청구항 6.

제 4 항에 있어서,
상기 액티브 매트릭스 회로의 상기 박막 트렌지스터의 상기 게이트와 연결되는 알루미늄을 포함하는 게이트 배선을 더 포함하는, 액티브 매트릭스 전기-광학 장치.

청구항 7.

제 4 항에 있어서,
상기 액티브 매트릭스 회로의 상기 박막 트랜지스터는 그 채널 형성 영역과 그 소스 영역 및 드레인 영역 중 하나 사이에 제공되는 저 농도 불순물 영역을 포함하며, 상기 저 농도 불순물 영역은 그 상기 소스 영역과 상기 드레인 영역의 농도 보다 낮은 농도에서 그 상기 소스 영역 및 상기 드레인 영역과 같은 불순물로 부가되는, 액티브 매트릭스 전기-광학 장치.

청구항 8.

제 4 항에 있어서,
상기 액티브 매트릭스 회로는 상기 주변 구동 회로와 통합되는, 액티브 매트릭스 전기-광학 장치.

청구항 9.

액티브 매트릭스 전기-광학 장치에 있어서,
기판과;
상기 기판 상의 픽셀 전극과 상기 기판 상의 박막 트랜지스터를 포함하는 액티브 매트릭스 회로로서, 상기 박막 트랜지스터는 상기 픽셀 전극과 연결되는, 상기 액티브 매트릭스 회로와;
상기 픽셀 전극에 반대되는 반대 전극과;
상기 픽셀 전극과 상기 반대 전극 사이에 제공되는 전기-광학 변조층과;
상기 전기-광학 변조층과 상기 반대 전극과 상기 픽셀 전극을 포함하는 픽셀 용량과 병렬로 배열되는 보조 용량과;
상기 액티브 매트릭스 회로를 구동하기 위해 상기 기판 상에 박막 트랜지스터를 포함하는 주변 구동 회로를 포함하며,
Vgr이 1 계조에 필요한 전압이고, Ct가 상기 보조 용량과 상기 픽셀 용량의 합이며, Cgd가 상기 액티브 매트릭스 회로의 상기 박막 트렌지스터의 게이트와 드레인간 용량이고, ΔVg가 상기 액티브 매트릭스 회로의 상기 박막 트렌지

스터의 온/오프 게이트 전압들간 차이이며, ΔVs가 피드스루 전압일 때, 각각의 파라미터들은,
|Vgr| > |(1/Ct)[Cgd · ΔVg -Ct · ΔVs]|의 식을 만족하는, 액티브 매트릭스 전기-광학 장치.

청구항 10.

제 9 항에 있어서,
상기 액티브 매트릭스 회로는 상기 주변 구동 회로와 통합되는, 액티브 매트릭스 전기-광학 장치.

청구항 11.

제 9 항에 있어서,
상기 액티브 매트릭스 회로의 상기 박막 트랜지스터는 그 채널 형성 영역과 그 소스 영역 및 드레인 영역 중 하나 사이에 제공되는 저 농도 불순물 영역을 포함하며, 상기 저 농도 불순물 영역은 그 상기 소스 영역과 상기 드레인 영역의 농도 보다 낮은 농도로 그 상기 소스 영역 및 상기 드레인 영역과 같은 불순물로 부가되는, 액티브 매트릭스 전기-광학 장치.

청구항 12.

제 3, 4, 9 항 중 어느 한 항에 있어서,
상기 주변 구동 회로의 상기 박막 트랜지스터는 그 채널 형성 영역과 그 소스 영역 및 드레인 영역 중 하나 사이에 제공되는 저 농도 불순물 영역을 포함하며, 상기 저 농도 불순물 영역은 그 상기 소스 영역과 상기 드레인 영역의 농도 보다 낮은 농도에서 그 상기 소스 영역 및 상기 드레인 영역과 같은 불순물로 부가되는, 액티브 매트릭스 전기-광학 장치.

청구항 13.

제 4 항 또는 제 9 항에 있어서,
상기 주변 구동 회로의 상기 박막 트랜지스터는, 소스 영역, 드레인 영역, 및 그 상기 소스 영역과 상기 드레인 영역 사이에 제공되는 채널 형성 영역을 포함하는 결정체 반도체 아일렌드(crystalline semiconductor island)를 포함하는, 액티브 매트릭스 전기-광학 장치.

청구항 14.

제 4 항 또는 제 9 항에 있어서,
상기 주변 구동 회로의 상기 박막 트랜지스터는 버퍼 회로를 구성하는, 액티브 매트릭스 전기-광학 장치.

청구항 15.

제 3, 4, 9 항 중 어느 한 항에 있어서,
상기 전기-광학 변조층은 액정을 포함하는, 액티브 매트릭스 전기-광학 장 치.

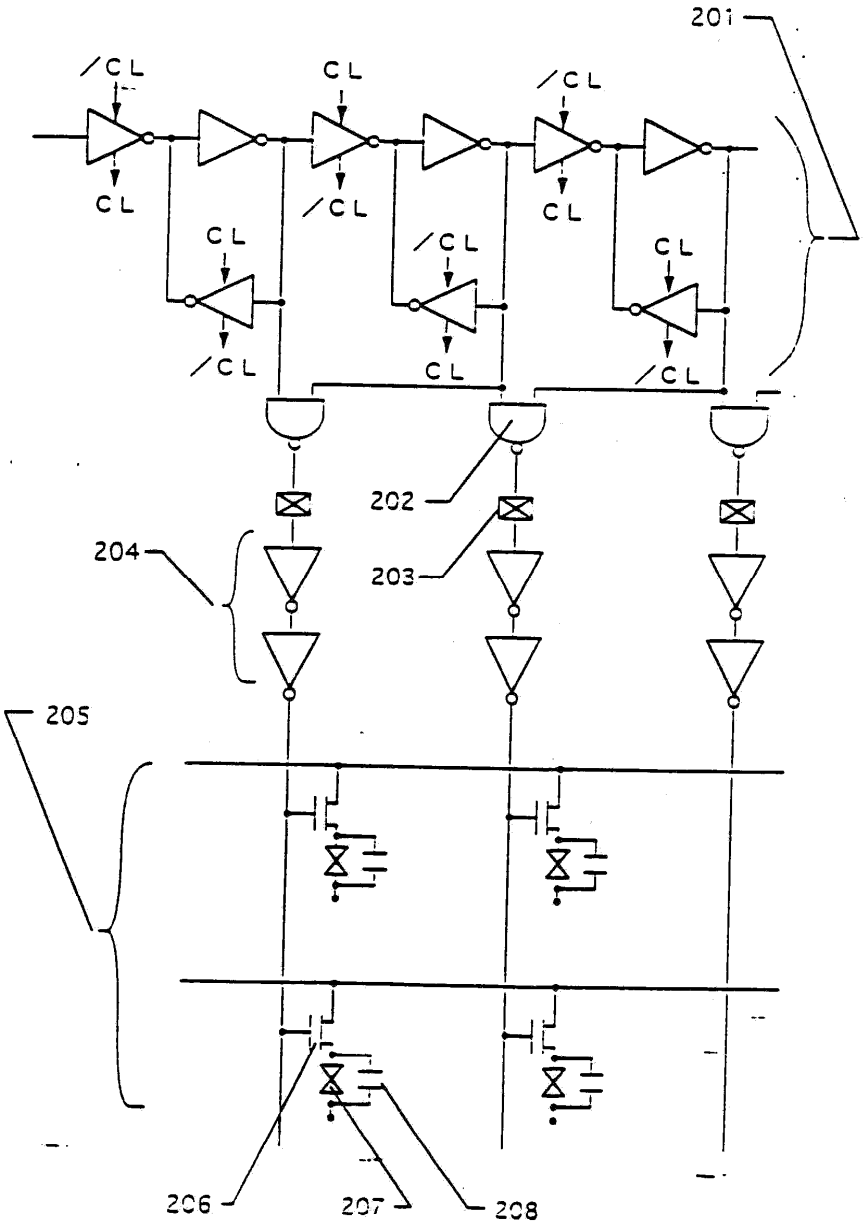
청구항 16.

제 3, 4, 9 항 중 어느 한 항에 있어서,
상기 전기-광학 변조층은 발광 소자를 포함하는, 액티브 매트릭스 전기-광학 장치.

도면

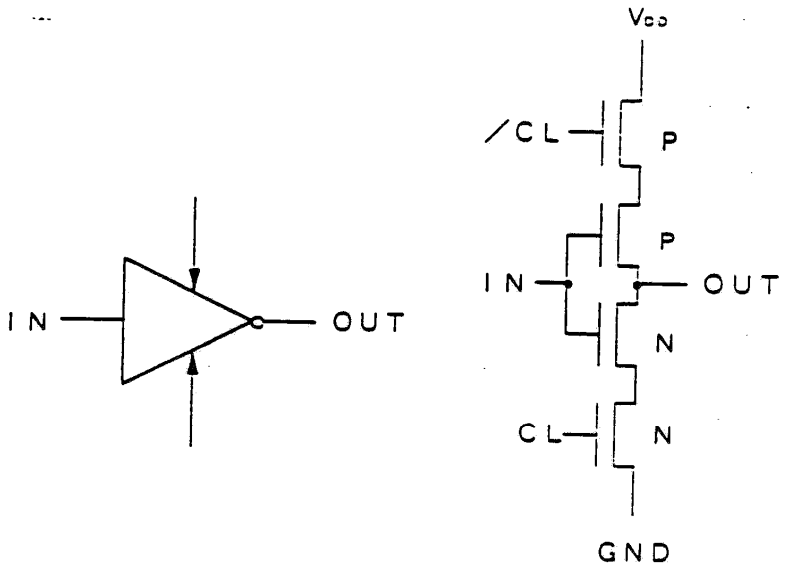
도면1

게이트 구동 회로



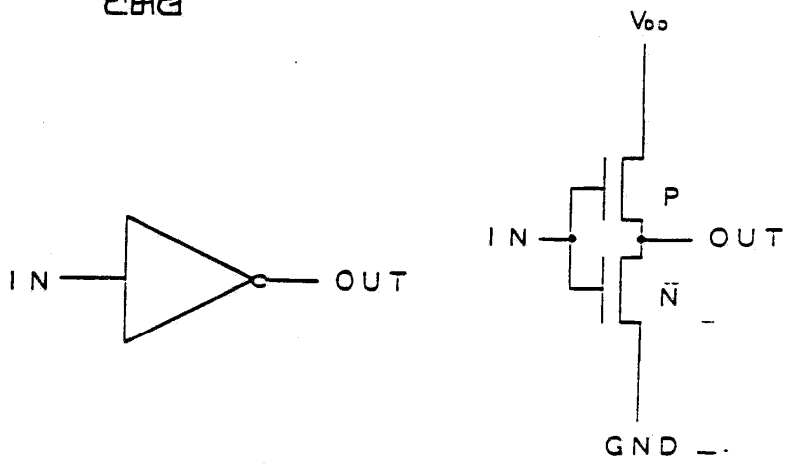
도면2a

블록 제어 인버터

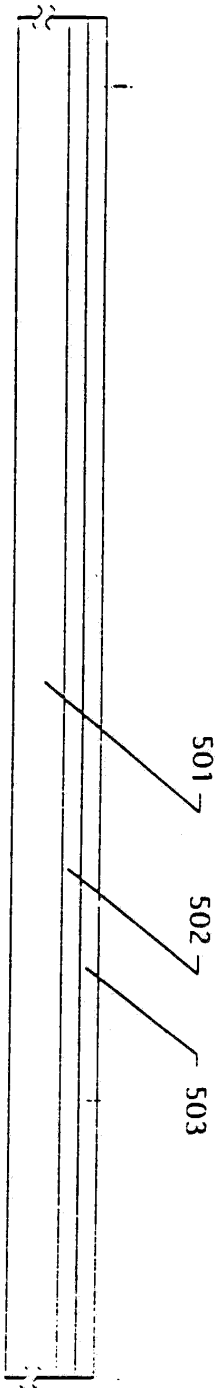


도면2b

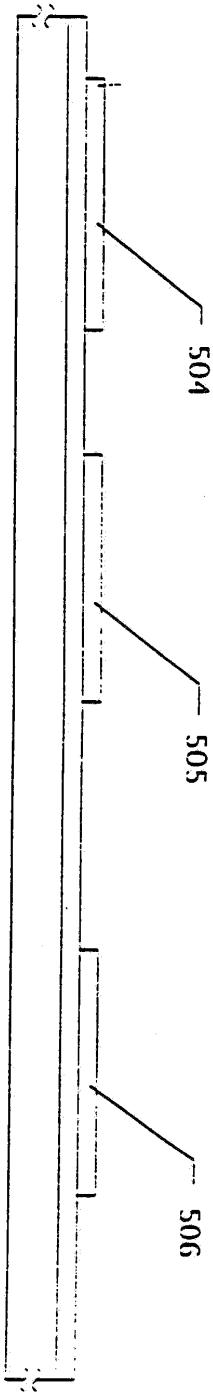
인버터



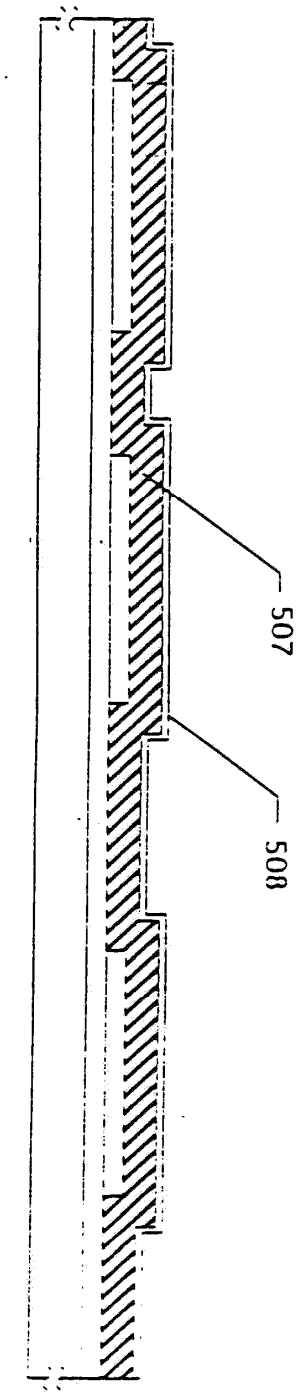
도면3a



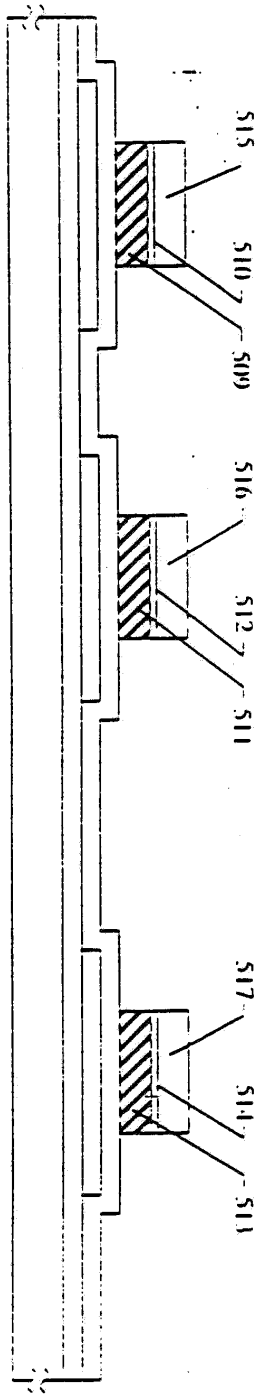
도면3b



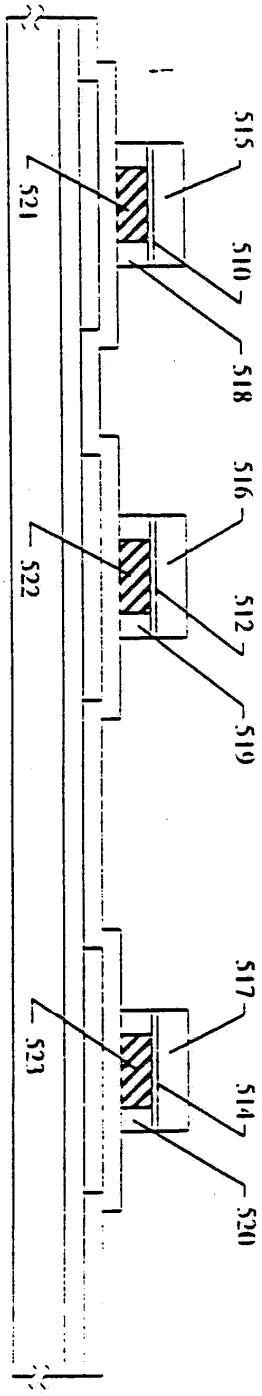
도면3c



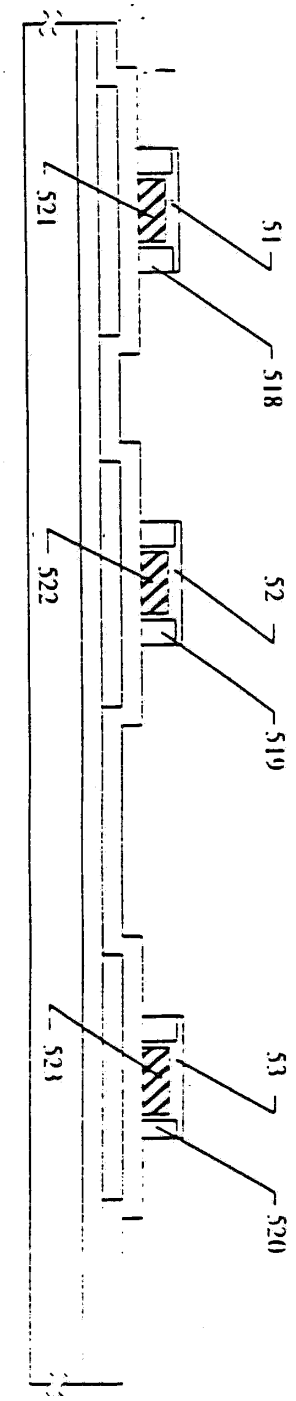
도면4a



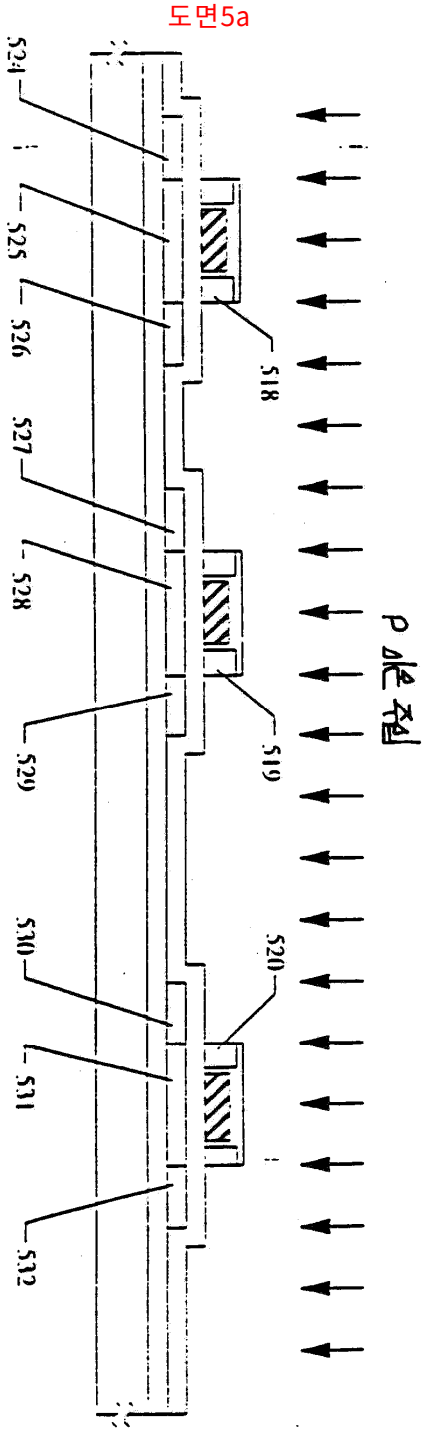
도면4b



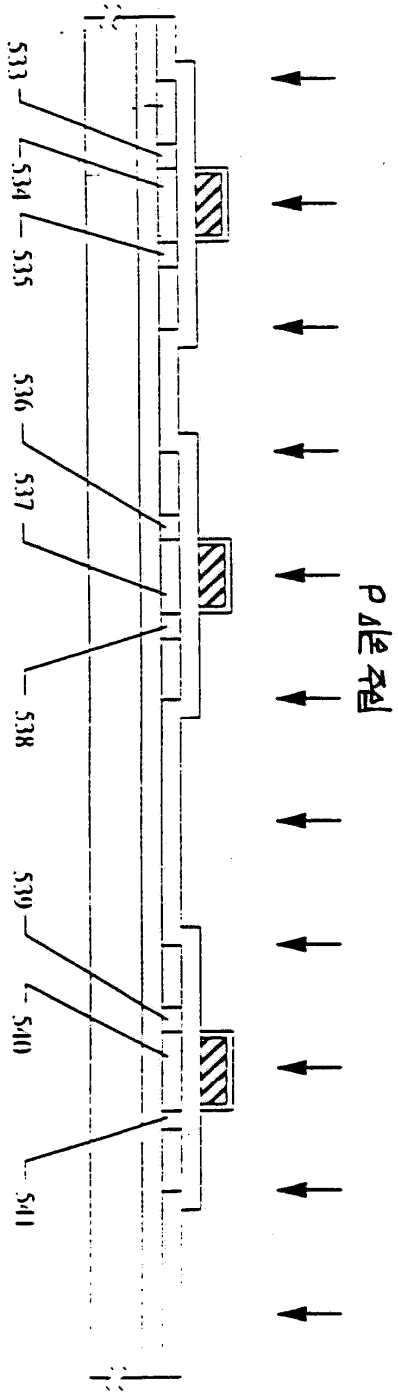
도면4c



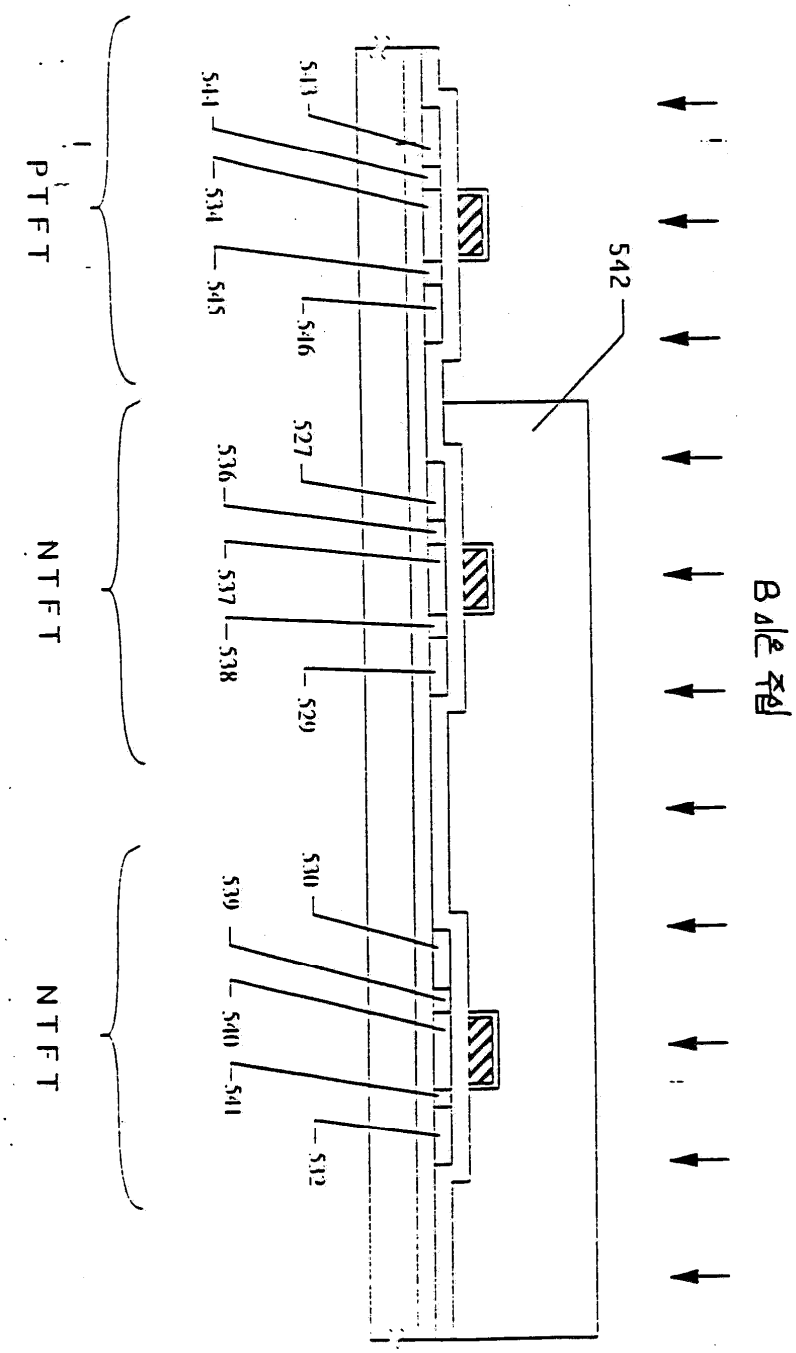
도면5a



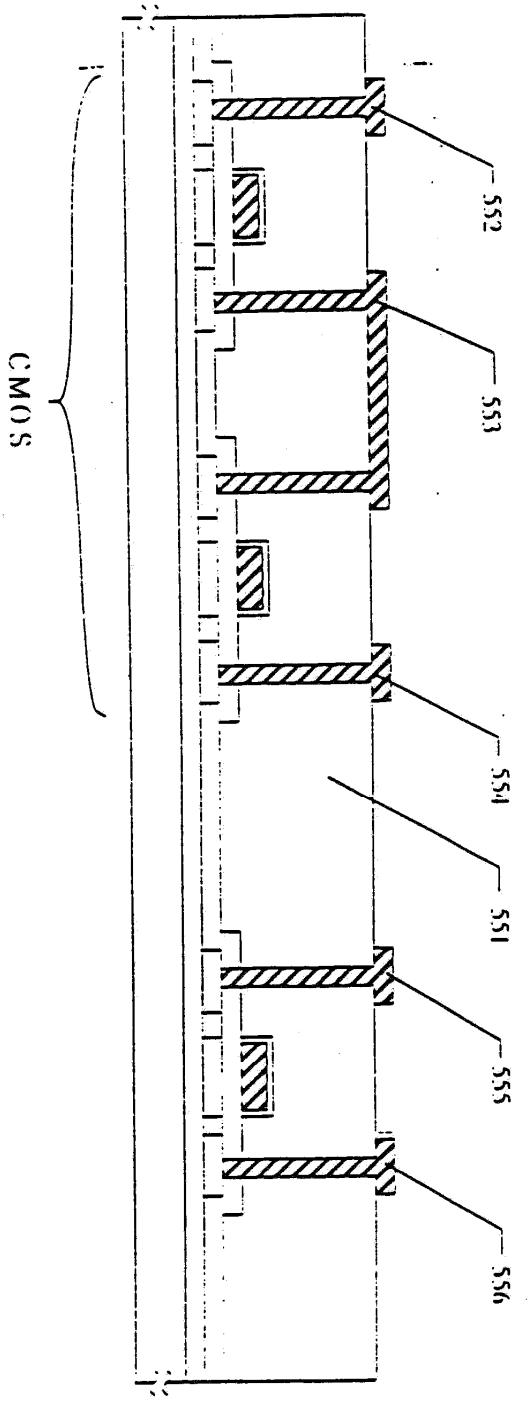
도면5b



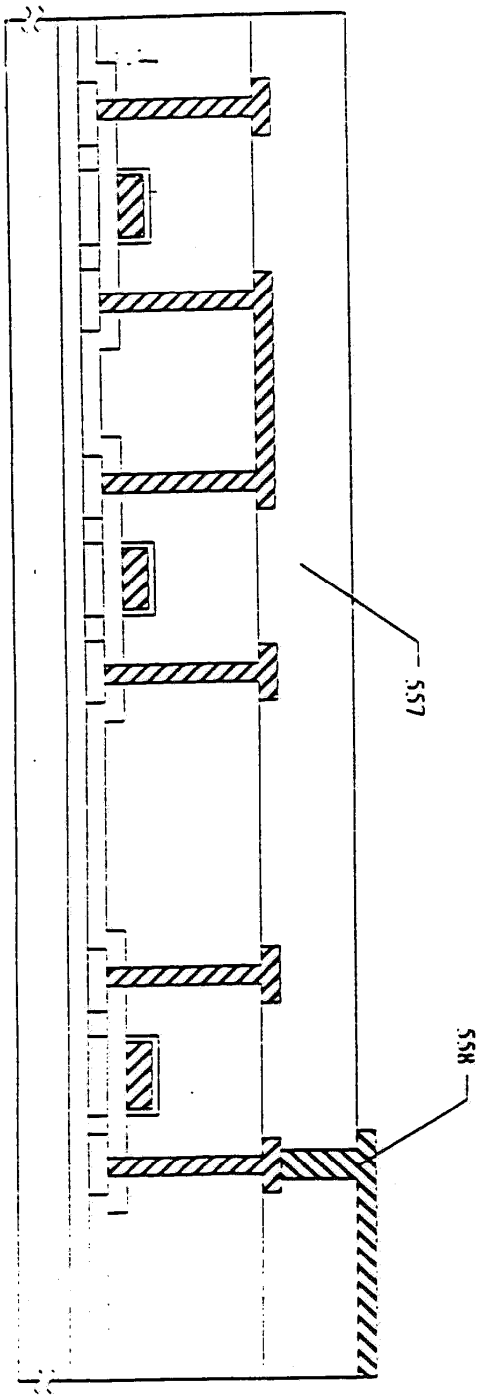
도면6


PTFT
NTFT
NTFT
511
541
544
545
546
527
536
537
538
529
530
539
540
541
512
542
B 라인 전원

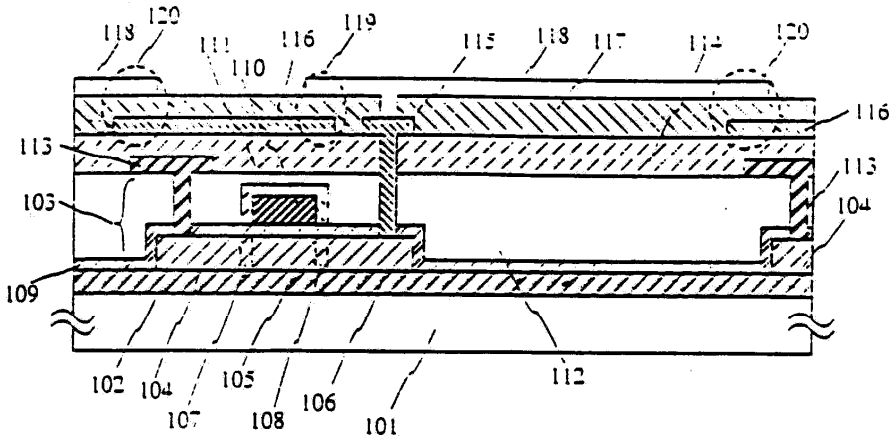
도면7a



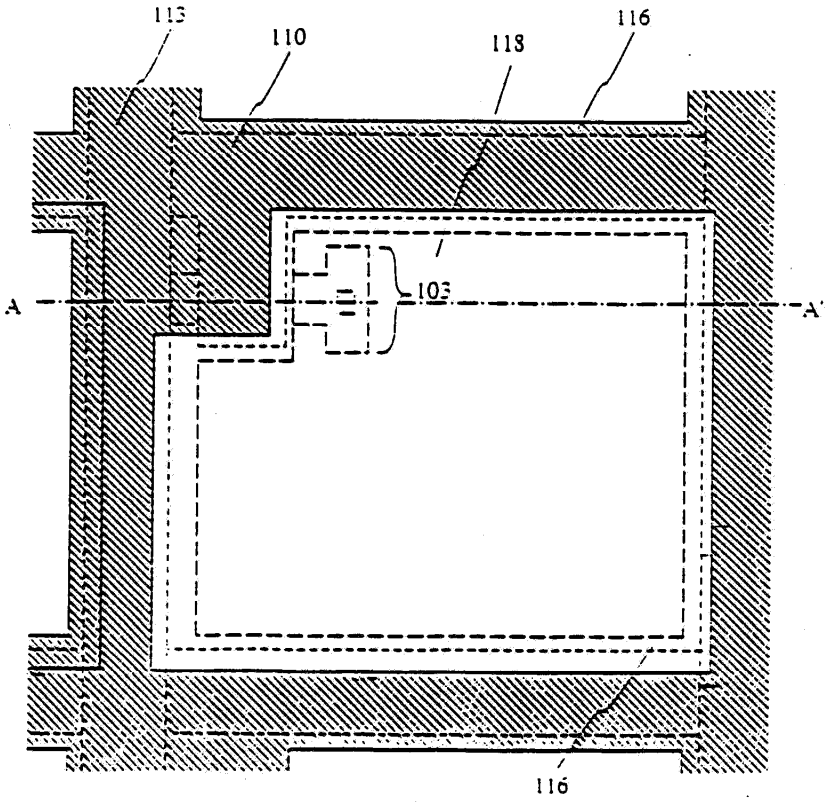
도면7b


557
558

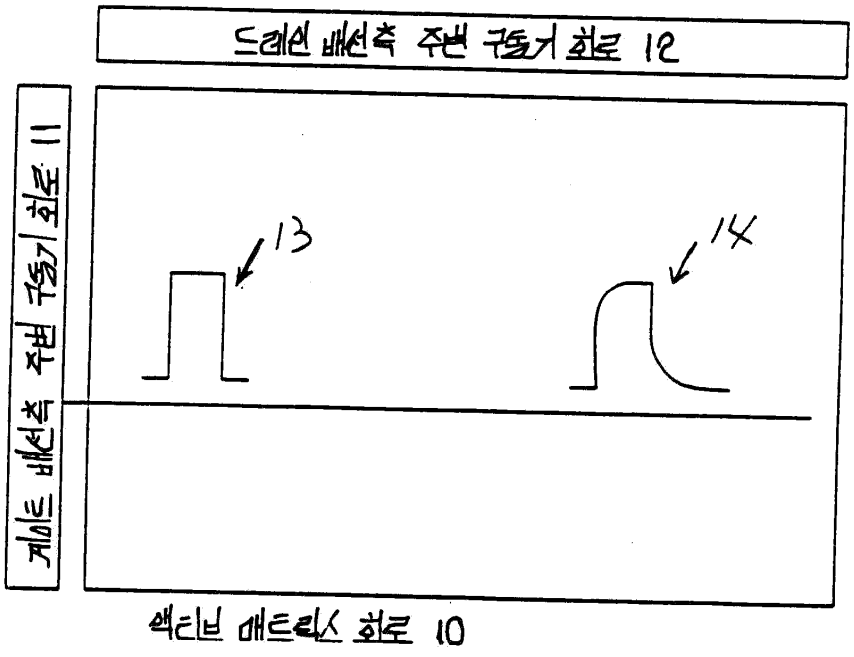
도면8


118
120
111
110
116
119
115
118
117
114
120
116
113
113
103
104
109
102
104
107
105
108
106
101
112

도면9


113
110
118
116
A
103
A'
116

도면10


드레인 배선측 주변 구동기 회로 12
게이트 배선측 주변 구동기 회로 11
13
14
액티브 매트릭스 회로 10

도면11

