

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2025 年 6 月 26 日 (26.06.2025)



(10) 国际公布号
WO 2025/130245 A1

- (51) 国际专利分类号:
H04B 10/25 (2013.01) **G06F 13/38** (2006.01)
H04B 10/27 (2013.01) **G06F 13/42** (2006.01)
- (21) 国际申请号: PCT/CN2024/122479
- (22) 国际申请日: 2024 年 9 月 29 日 (29.09.2024)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202311764063.X 2023年12月20日 (20.12.2023) CN
- (71) 申请人: 苏州元脑智能科技有限公司 (SUZHOU METABRAIN INTELLIGENT TECHNOLOGY CO., LTD.) [CN/CN]; 中国江苏省

苏州市吴中经济开发区郭巷街道官浦路1号9幢 215000 (CN)。

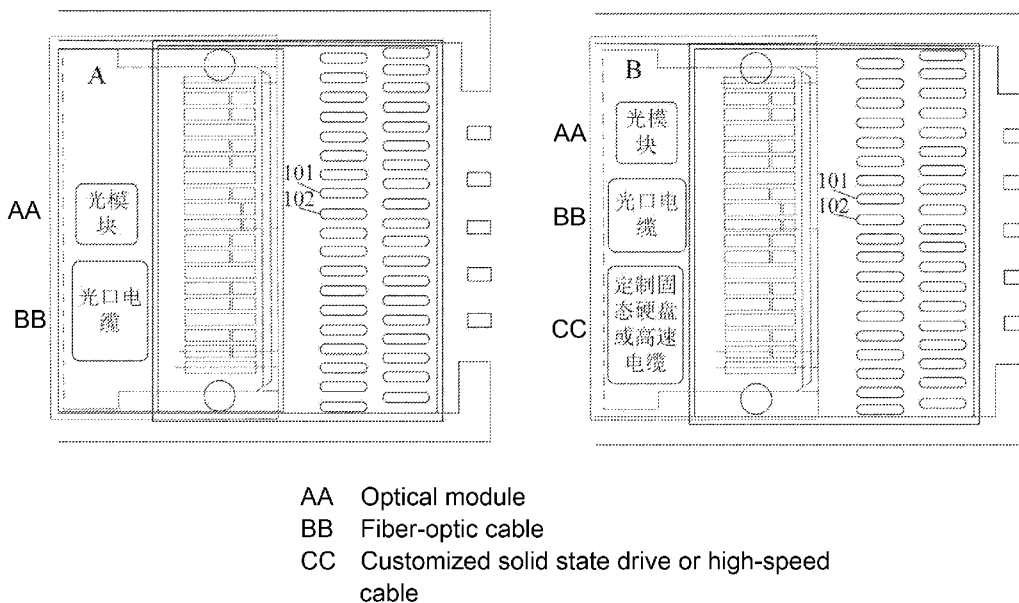
- (72) 发明人: 陈三霞 (CHEN, Sanxia); 中国江苏省苏州市吴中经济开发区郭巷街道官浦路1号9幢 215000 (CN)。 刘铁军 (LIU, Tiejun); 中国江苏省苏州市吴中经济开发区郭巷街道官浦路1号9幢 215000 (CN)。 计晶 (JI, Jing); 中国江苏省苏州市吴中经济开发区郭巷街道官浦路1号9幢 215000 (CN)。 董培强 (DONG, Peiqiang); 中国江苏省苏州市吴中经济开发区郭巷街道官浦路1号9幢 215000 (CN)。

- (74) 代理人: 北京润泽恒知识产权代理有限公司 (BEIJING RUN ZEHENG INTELLECTUAL PROPERTY LAW FIRM); 中国北京市海淀区中关村南大街甲18号北京国际C座6层606 100081 (CN)。

(54) Title: HIGH-SPEED OPTICAL COMMUNICATION CONNECTOR AND SERVER

(54) 发明名称: 一种高速光通信连接器和服务

[图 1]



(57) Abstract: Embodiments of the present application relate to the technical field of data transmission, and provide a high-speed optical communication connector and a server. Multiplexing of a module low-speed signal MODSEL and a negative clock signal is realized by means of a first signal pin, and multiplexing of an optical module reset signal or a positive clock signal is realized by means of a second signal pin, so that a high-speed optical communication connector comprising the first signal pin and the second signal pin can achieve both optical signal data transmission and PCIe protocol signal transmission, long-distance data transmission of PCIe bus data is achieved on the basis of an existing optical fiber network, the transmission efficiency of the PCIe bus data is improved, and resource waste of existing network infrastructure is avoided.

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本申请实施例提供了一种高速光通信连接器和服务端, 涉及数据传输技术领域, 通过使第一信号引脚实现模块低速信号MODSEL和负时钟信号的复用, 以及, 使第二信号引脚实现光模块复位信号或正时钟信号的复用, 使包含第一信号引脚和第二信号引脚的高速光通信连接器能够同时兼容光信号数据传输和PCIe协议信号传输, 实现了PCIe总线数据的能够基于现有的光纤网络进行远距离数据传输, 提升了PCIe总线数据的传输效率, 避免了现有网络基建的资源浪费。

说明书

发明名称: 一种高速光通信连接器和服务

[0001] 相关申请的交叉引用

[0002] 本申请要求于2023年12月20日提交中国专利局, 申请号为202311764063.X, 申请名称为“一种高速光通信连接器和服务”的中国专利申请的优先权, 其全部内容通过引用结合在本申请中。

技术领域

[0003] 本申请涉及数据传输技术领域, 特别是涉及一种高速光通信连接器和服务。

背景技术

[0004] QSFP28是一种高速光纤传输模块, 是现代通信网络中常用的光纤接口标准, QSFP28标准定义了一种具有高性能的光纤传输模块, 其物理接口采用了一个嵌入式的接口结构。这种接口结构可以支持高达28个通道的数据传输, 每个通道的传输速率可以达到25Gbit/s。因此, QSFP28模块可以实现高达700Gbit/s的总体传输速率。

[0005] 现今100G光纤网络端口现在已经运用越来越广泛, 100G端口模块有多种封装形式, 包括CFP/CFP2/CFP4, CXP和QSFP28。在这些不同的100G封装形式中, QSFP28光模块因其具有端口密度高、功耗低和成本低等优势, 所以成为100G网络的主要封装方式。QSFP28采用4*25Gbps通道实现, 此外, QSFP28光模块具有升级的电口, 可支持高达28G的信号, 并达到最高可能的速率为4×28Gbit/s。100G QSFP28封装大小比CXPCFP4光模块更小, 可以在交换机上具有更高的端口密度。

[0006] PCI-Express(peripheral component interconnect express)是一种高速串行计算机扩展总线标准, PCIe属于高速串行点对点双通道高带宽传输, 所连接的设备分配独享通道带宽, 不共享总线带宽, 主要支持主动电源管理, 错误报告, 端对端的可靠性传输, 热插拔以及服务质量(QOS)等功能。

[0007] 然而, 当前的QSFP28接口无法兼容PCIe协议, 从而造成了PCIE总线数据的传输效率低下, 并造成了网络基建的资源浪费。

[0008] 发明内容

[0009] 本申请实施例是提供一种高速光通信连接器和服务器，以克服上述问题或者至少部分地解决上述问题。

[0010] 本申请实施例公开了一种高速光通信连接器QSFP28-PCIE，高速光通信连接器QSFP28-PCIE被配置为使主机设备和光模块设备连接，或，被配置为使主机设备和非易失性存储器标准NVMe设备连接；主机设备被配置为生成模块低速信号MODSEL和光模块复位信号，或被配置为生成负时钟信号CLK_N和正时钟信号CLK_P，高速光通信连接器QSFP28-PCIE包括：

[0011] 针对模块低速信号MODSEL或负时钟信号CLK_N的第一信号引脚；

[0012] 针对光模块复位信号或正时钟信号CLK_P的第二信号引脚；

[0013] 第一信号引脚被配置为当主机设备和光模块设备连接时，将由主机设备发送的模块低速信号MODSEL传输至光模块设备；

[0014] 第一信号引脚被配置为当主机设备和非易失性存储器标准NVMe设备连接时，将由主机设备发送的负时钟信号CLK_N传输至非易失性存储器标准NVMe设备；

[0015] 第二信号引脚被配置为当主机设备和光模块设备连接时，将由主机设备发送的光模块复位信号传输至光模块设备；

[0016] 第二信号引脚被配置为当主机设备和非易失性存储器标准NVMe设备连接时，将由主机设备发送的正时钟信号CLK_P传输至非易失性存储器标准NVMe设备。

[0017] 在一些实施例中，主机设备设置有现场可编辑门阵列FPGA，现场可编辑门阵列FPGA被配置为接收由光模块设备或非易失性存储器标准NVMe设备生成的在位检测输入信号MODPRSL，并当接收到在位检测输入信号MODPRSL，基于在位检测输入信号MODPRSL构建主机设备和光模块设备的连接关系，或，基于在位检测输入信号MODPRSL构建主机设备和非易失性存储器标准NVMe设备的连接关系。

[0018] 在一些实施例中，高速光通信连接器QSFP28-PCIE包括：

[0019] 提供信号接收电源电压VCCRX的第三信号引脚；

[0020] 提供信号发送电源电压VCCTX的第四信号引脚；

- [0021] 提供低速信号电源电压VCC1的第五信号引脚。
- [0022] 在一些实施例中，主机设备被配置为生成线偏振模式信号LPMODE或对端设备复位信号，高速光通信连接器QSFP28-PCIE包括：
- [0023] 针对线偏振模式信号LPMODE或对端设备复位信号的第六信号引脚；
- [0024] 第六信号引脚被配置为当主机设备和光模块设备连接时，将由主机设备发送的线偏振模式信号LPMODE传输至光模块设备；
- [0025] 第六信号引脚被配置为当主机设备和非易失性存储器标准NVMe设备连接时，将由主机设备发送的对端设备复位信号传输至非易失性存储器标准NVMe设备。
- [0026] 在一些实施例中，主机设备被配置为生成终端告警信号INTC或唤醒信号WAKE，高速光通信连接器QSFP28-PCIE包括：
- [0027] 针对终端告警信号INTC或唤醒信号WAKE的第七信号引脚；
- [0028] 第七信号引脚被配置为当主机设备和光模块设备连接时，将由主机设备发送的终端告警信号INTC传输至光模块设备；
- [0029] 第七信号引脚被配置为当主机设备和非易失性存储器标准NVMe设备连接时，将由主机设备发送的唤醒信号WAKE传输至非易失性存储器标准NVMe设备。
- [0030] 在一些实施例中，光模块设备和高速光通信连接器QSFP28-PCIE包括：
- [0031] 针对在位检测输入信号MODPRSL的第八信号引脚；
- [0032] 第八信号引脚被配置为向主机设备传输在位检测输入信号MODPRSL。
- [0033] 在一些实施例中，主机设备包括时钟模块，以及基板管理控制器BMC；时钟模块通过高速串行计算机扩展总线与高速光通信连接器QSFP28-PCIE连接，高速光通信连接器QSFP28-PCIE通过高速串行计算机扩展总线与现场可编程门阵列FPGA连接，基板管理控制器BMC与现场可编程门阵列FPGA连接；
- [0034] 时钟模块被配置为生成负时钟信号CLK_N和正时钟信号CLK_P，并基于高速串行计算机扩展总线向高速光通信连接器QSFP28-PCIE发送负时钟信号CLK_N和正时钟信号CLK_P。
- [0035] 在一些实施例中，主机设备包括时钟模块、基板管理控制器BMC以及中央处理器CPU；时钟模块通过高速串行计算机扩展总线与高速光通信连接器QSFP28-PCIE连接，中央处理器CPU与高速光通信连接器QSFP28-PCIE通过高速

串行计算机扩展总线连接，基板管理控制器BMC与高速光通信连接器QSFP28-PCIE连接；

[0036] 时钟模块被配置为生成负时钟信号CLK_N和正时钟信号CLK_P，并基于高速串行计算机扩展总线向高速光通信连接器QSFP28-PCIE发送负时钟信号CLK_N和正时钟信号CLK_P。

[0037] 在一些实施例中，非易失性存储器标准NVMe设备为，设置有支持非易失性存储器标准NVMe的固态硬盘的其他存储服务器。

[0038] 在一些实施例中，非易失性存储器标准NVMe设备为，支持非易失性存储器标准NVMe且支持热插拔功能的移动固态硬盘。

[0039] 本申请实施例还公开了一种服务器，服务器配置有高速光通信连接器QSFP28-PCIE，高速光通信连接器QSFP28-PCIE被配置为使服务器和光模块设备连接，或，被配置为使服务器和非易失性存储器标准NVMe设备连接；服务器被配置为生成模块低速信号MODSEL和光模块复位信号，或被配置为生成负时钟信号CLK_N和正时钟信号CLK_P，高速光通信连接器QSFP28-PCIE包括：

[0040] 针对模块低速信号MODSEL或负时钟信号CLK_N的第一信号引脚；

[0041] 针对光模块复位信号或正时钟信号CLK_P的第二信号引脚；

[0042] 第一信号引脚被配置为当服务器和光模块设备连接时，将由服务器发送的模块低速信号MODSEL传输至光模块设备；

[0043] 第一信号引脚被配置为当服务器和非易失性存储器标准NVMe设备连接时，将由服务器发送的负时钟信号CLK_N传输至非易失性存储器标准NVMe设备；

[0044] 第二信号引脚被配置为当服务器和光模块设备连接时，将由服务器发送的光模块复位信号传输至光模块设备；

[0045] 第二信号引脚被配置为当服务器和非易失性存储器标准NVMe设备连接时，将由服务器发送的正时钟信号CLK_P传输至非易失性存储器标准NVMe设备。

[0046] 在一些实施例中，服务器设置有现场可编辑门阵列FPGA，现场可编辑门阵列FPGA被配置为接收由光模块设备或非易失性存储器标准NVMe设备生成的在位检测输入信号MODPRSL，并当接收到在位检测输入信号MODPRSL，基于在位检测输入信号MODPRSL构建服务器和光模块设备的连接关系，或，基于在位

检测输入信号MODPRSL构建服务器和非易失性存储器标准NVMe设备的连接关系。

[0047] 在一些实施例中，高速光通信连接器QSFP28-PCIE包括：

[0048] 提供信号接收电源电压VCCR_X的第三信号引脚；

[0049] 提供信号发送电源电压VCCT_X的第四信号引脚；

[0050] 提供低速信号电源电压VCC₁的第五信号引脚。

[0051] 在一些实施例中，服务器被配置为生成线偏振模式信号LPMODE或对端设备复位信号，高速光通信连接器QSFP28-PCIE包括：

[0052] 针对线偏振模式信号LPMODE或对端设备复位信号的第六信号引脚；

[0053] 第六信号引脚被配置为当服务器和光模块设备连接时，将由服务器发送的线偏振模式信号LPMODE传输至光模块设备；

[0054] 第六信号引脚被配置为当服务器和非易失性存储器标准NVMe设备连接时，将由服务器发送的对端设备复位信号传输至非易失性存储器标准NVMe设备。

[0055] 在一些实施例中，服务器被配置为生成终端告警信号INTC或唤醒信号WAKE，高速光通信连接器QSFP28-PCIE包括：

[0056] 针对终端告警信号INTC或唤醒信号WAKE的第七信号引脚；

[0057] 第七信号引脚被配置为当服务器和光模块设备连接时，将由服务器发送的终端告警信号INTC传输至光模块设备；

[0058] 第七信号引脚被配置为当服务器和非易失性存储器标准NVMe设备连接时，将由服务器发送的唤醒信号WAKE传输至非易失性存储器标准NVMe设备。

[0059] 在一些实施例中，光模块设备和高速光通信连接器QSFP28-PCIE包括：

[0060] 针对在位检测输入信号MODPRSL的第八信号引脚；

[0061] 第八信号引脚被配置为向服务器传输在位检测输入信号MODPRSL。

[0062] 在一些实施例中，服务器包括时钟模块，以及基板管理控制器BMC；时钟模块通过高速串行计算机扩展总线与高速光通信连接器QSFP28-PCIE连接，高速光通信连接器QSFP28-PCIE通过高速串行计算机扩展总线与现场可编程门阵列FPGA连接，基板管理控制器BMC与现场可编程门阵列FPGA连接；

- [0063] 时钟模块被配置为生成负时钟信号CLK_N和正时钟信号CLK_P，并基于高速串行计算机扩展总线向高速光通信连接器QSFP28-PCIE发送负时钟信号CLK_N和正时钟信号CLK_P。
- [0064] 在一些实施例中，服务器包括时钟模块、基板管理控制器BMC以及中央处理器CPU；时钟模块通过高速串行计算机扩展总线与高速光通信连接器QSFP28-PCIE连接，中央处理器CPU与高速光通信连接器QSFP28-PCIE通过高速串行计算机扩展总线连接，基板管理控制器BMC与高速光通信连接器QSFP28-PCIE连接；
- [0065] 时钟模块被配置为生成负时钟信号CLK_N和正时钟信号CLK_P，并基于高速串行计算机扩展总线向高速光通信连接器QSFP28-PCIE发送负时钟信号CLK_N和正时钟信号CLK_P。
- [0066] 在一些实施例中，非易失性存储器标准NVMe设备为，设置有支持非易失性存储器标准NVMe的固态硬盘的其他存储服务器。
- [0067] 在一些实施例中，非易失性存储器标准NVMe设备为，支持非易失性存储器标准NVMe且支持热插拔功能的移动固态硬盘。
- [0068] 本申请实施例包括以下优点：
- [0069] 本申请实施例，通过使第一信号引脚实现模块低速信号MODESEL和负时钟信号的复用，以及，使第二信号引脚实现光模块复位信号或正时钟信号的复用，使包含第一信号引脚和第二信号引脚的高速光通信连接器能够同时兼容光信号数据传输和PCIe协议信号传输，实现了PCIe总线数据的能够基于现有的光纤网络进行远距离数据传输，提升了PCIe总线数据的传输效率，避免了现有网络基建的资源浪费。

附图说明

- [0070] 为了更清楚地说明本申请一些实施例，下面将对一些实施例中所需要使用的附图做简单的介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。
- [0071] 图1是本申请实施例中提供的一种高速光通信连接器的结构示意图；

- [0072] 图2是本申请实施例中提供的另一种高速光通信连接器的结构示意图；
- [0073] 图3是本申请实施例中提供的一种本端主机设备和对端设备的结构示意图；
- [0074] 图4是本申请实施例中提供的另一种本端主机设备和对端设备的结构示意图；
- [0075] 图5是本申请实施例中提供的又一种本端主机设备和对端设备的结构示意图。

具体实施方式

- [0076] 为使本申请的上述目的、特征和优点能够更加明显易懂，下面结合附图和具体实施方式对本申请作进一步详细的说明。
- [0077] 在实际应用中，固态硬盘(Solid State Disk或Solid State Drive，简称SSD)，采用闪存作为存储介质，读取速度相对机械硬盘更快，以其所带来的高效的存储性能优势和节约的能耗成本将使其是未来存储领域中数据中心和云计算的首选配置。固态硬盘接口类型按照协议分为SATA总线接口和依托于PCIe总线的NVMe协议总线接口。NVMe(Non-Volatile Memory Express，即非易失性存储器标准)专为PCIe接口固态硬盘设计的行业级标准，运用PCIe总线的高带宽低延迟，替代传统SATA、SAS接口SSD的存储架构，读写速率更快、延迟更低，并提供更低功耗，已经成为未来存储行业的主流发展方向。固态硬盘连接主板PCIe接口的连接器形态有U.2和M.2等多种接口形态，多是专门为存储提供的专用接口，很少能同时复用为其他功能。
- [0078] 在瞬息万变的大数据网络时代，数据的实时性占比将越来越高，有时候主机需要进行更多的网络交互，增加网络带宽，网络带宽增加后同样会涉及更多的数据存储空间，但是网络带宽和数据存储并非是相等的关系，可能某个阶段需要将网络数据存储，这就需要非常大的存储空间，但是存储的数据有效期较短一段时间后存储空间即可被释放，即，不再需要大的存储空间，从而存在有时存储应用优先，有时网络带宽需求优先的情况。面对这种情况，PC主机或服务器系统需要配备更多的网络接口，交换机和存储接口，甚至部署大规模的分布式网络。
- [0079] 若作为两个支柱业的高速光通信接口和PCIe接口能够实现兼容设计，使网络和存储在接口上实现交集将会出现一种新的应用方式，为PC主机提供任意的网络扩展或存储扩展，即插即用无需开机维护和更换接口。

[0080] 所以，本申请实施例提出了一种支持PCIe协议的高速光通信连接器QSFP28-PCIE，让当下主流的100G QSFP28网络接口兼容PCIe接口，使网络接口和NVMe的硬盘接口可以实现兼容同一物理接口，从而进一步推进网络和存储在接口上实现融合，联通光通信和PCIe协议两个支柱数据传输技术实现在不同应用场景下的自由切换。

[0081] 参照图1，示出了本申请实施例中提供的一种高速光通信连接器的结构示意图：

[0082] 在实际应用中，主机设备可以为服务器或是个人计算机PC。

[0083] 在具体实现中，高速光通信连接器可以被配置为使主机设备和光模块设备连接，或，被配置为使主机设备和非易失性存储器标准设备连接。示例性地，光模块设备可以是光接口交换机等通过光信号传输数据的设备，非易失性存储器标准设备可以是配置有固态硬盘SSD等符合非易失性存储器标准的设备。

[0084] 当主机设备和光模块设备连接时，主机设备可以被配置为生成模块低速信号MODESEL和光模块复位信号RESET。

[0085] 当主机设备和非易失性存储器标准设备连接时，主机设备可以被配置为生成负时钟信号CLK_N和正时钟信号CLK_P。

[0086] 在实际应用中，PCIE接口和光通信接口的主要差别在于PCIE接口一般需要一对外部100Mhz参考时钟信号，本申请实施例可以将高速光通信连接器的MODESEL和RESET信号复用为参考时钟输出信号，为NVMe硬盘提供100MHz参考时钟。

[0087] 本申请实施例的高速光通信连接器可以包括：

[0088] 针对模块低速信号MODESEL或负时钟信号CLK_N的第一信号引脚101；

[0089] 针对光模块复位信号RESET或正时钟信号CLK_P的第二信号引脚102。

[0090] 第一信号引脚101可以被配置为当主机设备和光模块设备连接时，将由主机设备发送的模块低速信号MODESEL传输至光模块设备；

[0091] 第二信号引脚102可以被配置为当主机设备和光模块设备连接时，将由主机设备发送的光模块复位信号RESET传输至光模块设备；

- [0092] 第一信号引脚101可以被配置为当主机设备和非易失性存储器标准设备时，将由主机设备发送的负时钟信号传输至非易失性存储器标准设备；
- [0093] 第二信号引脚102可以被配置为当主机设备和非易失性存储器标准设备时，将由主机设备发送的正时钟信号传输至非易失性存储器标准设备。
- [0094] 在具体实现中，本申请实施例可以采用QSFP28或QSFP56等设备作为初始高速光通信连接器，在该初始高速光通信连接器的基础上增加的PCIE X4接口的相关信号定义，从而实现物理接口兼容，为使本领域技术人员更好地理解本申请实施例，以下采用QSFP28-PCIE作为高速光通信连接器示例进行说明。
- [0095] 如图1所示的高速光通信连接器QSFP28-PCIE，根据光信号的输入输出模式考虑兼容PCIE接口的输入输出模式，可以重新定义了一个兼容的PCIE接口信号定义，其中，针对高速信号线、I2C总线和电源跟大部分信号定义与用法，QSFP28与PCIE可以是相同的，接口电平标准也几乎一致，例如，QSFP28和PCIE接口的信号线全部为高速串行总线，分为四组单向的输入RX[1:4]差分总线和四组单向的输出TX[1:4]差分总线，总线规格可以与QSFP28接口一致。
- [0096] QSFP28高速连接器支持接口线速最高可达28G信号速率，可以向下兼容到PCIE4.0接口的16G信号，高速连接器信号形态可用，主机端或交换机端应用重新定义接口即可实现协议兼容，可以由现场可编辑门阵列FPGA实现引脚协议内容的定义，从而接口应用由现场可编辑门阵列FPGA自由选择，可以实现无缝兼容设计，例如，现场可编辑门阵列FPGA可以定义高速光通信连接器QSFP28-PCIE支持光口协议和PCIE协议在同一物理端口中的自由切换，其中，可以包括定义高速光通信连接器QSFP28-PCIE的第一信号引脚实现模块低速信号或负时钟信号复用，以及第二信号引脚实现光模块复位信号或正时钟信号的复用，该过程可以在现场可编辑门阵列FPGA主控制器内部实现。
- [0097] 在一些实施例中，针对光模块设备和非易失性存储器标准设备的通道选择，可以通过两种方法实现：
- [0098] 一、通过硬件选通，即用电阻或电容器件进行信号选通，或者是通过高速模拟开关进行信号选通；

- [0099] 二、通过CPU控制器或FPGA控制器内部信号做兼容性选择，具体地，FPGA作为可编程器件在CPU尚未开发该功能的情况下具有更大的优势，FPGA器件可根据需要将高速信号通道定义成是PCIe接口通道还是光口以太网高速信号通道，从而只需要将连接器上的高速信号线接入FPGA高速信号通道，然后由FPGA根据实际应用定义该接口是高速网络接口还是PCIE总线接口即可。
- [0100] 当然，上述例子仅作为示例，本领域技术人员可以采用其他任意方式实现针对QSFP28接口和PCIE接口的通道选择，对此，本申请实施例不作限定。
- [0101] 当判定主机设备和光模块设备连接时，模块低速信号MODSEL与光模块复位信号RESET信号相对于光模块而言为输入信号，示例性地，可以通过上拉电阻上拉到光模块的VCC电源，当主机输出给光模块低电平时，选中或复位光模块。
- [0102] 当判定主机设备和非易失性存储器标准设备连接时，高速光通信连接器QSF P28-PCIE可以接收来自主机的参考时钟信号CLK_N(负时钟信号)/CLK_P(正时钟信号)，CLK_N(负时钟信号)/CLK_P(正时钟信号)对于NVMe SSD硬盘而言同样为输入信号。
- [0103] 由上可知，无论本申请实施例的高速光通信连接器QSFP28-PCIe外部是连接光模块还是NVMe硬盘，CLK_N/MODSEL与CLK_P/RESET信号对于外部设备而言都是输入信号，对于具有本申请实施例的高速光通信连接器QSFP28-PCIe的主板而言都是输出信号，从而不论应用功能是PCIE总线还是光口信号模式外接任一接口都不会对彼此造成损坏。
- [0104] 在一些实施例中，通过使第一信号引脚实现模块低速信号MODSEL和负时钟信号的复用，以及，使第二信号引脚实现光模块复位信号或正时钟信号的复用，使包含第一信号引脚和第二信号引脚的高速光通信连接器能够同时兼容光信号数据传输和PCIe协议信号传输，实现了PCIE总线数据的能够基于现有的光纤网络进行远距离数据传输，提升了PCIE总线数据的传输效率，避免了现有网络基建的资源浪费。
- [0105] 在上述实施例的基础上，提出了上述实施例的变型实施例，在此需要说明的是，为了使描述简要，在变型实施例中仅描述与上述实施例的不同之处。

- [0106] 在本申请的一个在一些实施例中实施例中，主机设备设置有现场可编辑门阵列，现场可编辑门阵列被配置为接收由光模块设备或非易失性存储器标准设备生成的在位检测输入信号，并当接收到在位检测输入信号，基于在位检测输入信号构建主机设备和光模块设备的连接关系，或，基于在位检测输入信号构建主机设备和非易失性存储器标准设备的连接关系。
- [0107] 在实际应用中，FPGA(Field Programmable Gate Array)是在PAL(可编程阵列逻辑)、GAL(通用阵列逻辑)等可编程器件的基础上进一步发展的产物。它是作为专用集成电路(ASIC)领域中的一种半定制电路而出现的，既解决了定制电路的不足，又克服了原有可编程器件门电路数有限的缺点。
- [0108] 由上可知，可编程阵列逻辑FPGA作为可编程器件在CPU尚未开发通道选择功能的情况下具有更大的优势，FPGA器件可根据需要将高速信号通道定义成是PCIe接口通道或是光口以太网高速信号通道，从而只需要将连接器上的高速信号线接入现场可编辑门阵列FPGA高速信号通道，然后由现场可编辑门阵列FPGA根据实际应用定义该接口是高速网络接口还是PCIE总线接口即可。
- [0109] 具体地，当光模块设备或非易失性存储器标准设备生成的在位检测输入信号MODPRSL时，现场可编辑门阵列FPGA可以接收该在位检测输入信号MODPRSL，若当前与主机设备连接的是光模块设备，则可以在在位检测输入信号MODPRSL可以在光模块设备中接地，通过主机设备上拉，连接现场可编辑门阵列FPGA的输入输出IO，以确定在位设备为光模块设备，若当前与主机设备连接的是非易失性存储器标准设备，则可以在在位检测输入信号MODPRSL可以在非易失性存储器标准设备中接地，通过主机设备上拉，连接现场可编辑门阵列FPGA的输入输出IO，以确定在位设备为非易失性存储器标准设备，从而实现两种传输协议的兼容。
- [0110] 在一些实施例中，主机设备端的输入输出IO信号模拟输出，可由FPGA选择实现时钟和MODSEL与RESET信号的兼容(CLK_N/MODSEL与CLK_P/RESET)。由于对于光模块MODSEL与RESET为输入信号，即使在FPGA配置为PCIE接口状态时，输出的时钟信号被接入光模块，也不会对光模块或现场可编辑门阵列FPGA造成损坏。

- [0111] 在本申请一些实施例中，通过为主机设备设置现场可编辑门阵列，现场可编辑门阵列被配置为接收由光模块设备或非易失性存储器标准设备生成的在位检测输入信号，并当接收到在位检测输入信号，基于在位检测输入信号构建主机设备和光模块设备的连接关系，或，基于在位检测输入信号构建主机设备和非易失性存储器标准设备的连接关系，从而提升了针对光模块设备和非易失性存储器标准设备的通道选择效率，更进一步地提升了数据传输效率。
- [0112] 在本申请一些实施例中，高速光通信连接器包括：
- [0113] 针对在位检测输入信号的第八信号引脚；
- [0114] 第八信号引脚被配置为向主机设备传输在位检测输入信号。
- [0115] 参考图2，图2是本申请一些实施例中提供的另一种高速光通信连接器的结构示意图；
- [0116] 在具体实现中，本申请一些实施例可以通过现场可编辑门阵列FPGA定义第八信号引脚103，使针对光模块设备的在位检测输入信号，和针对非易失性存储器标准设备的在位检测输入信号，能够在第八信号引脚103上复用，以使针对光模块设备的在位检测输入信号，和针对非易失性存储器标准设备的在位检测输入信号都能通过第八信号引脚103传输至主机设备，节省了对高速光通信连接器的引脚占用，从而更进一步地提升了数据传输效率。
- [0117] 在本申请一些实施例中，高速光通信连接器包括：
- [0118] 提供信号接收电源电压的第三信号引脚；
- [0119] 提供信号发送电源电压的第四信号引脚；
- [0120] 提供低速信号电源电压的第五信号引脚。
- [0121] 在实际应用中，I2C总线是一种简单、双向二线制同步串行总线。它只需要两根线即可在连接于总线上的器件之间传送信息。主器件被配置为启动总线传送数据，并产生时钟以开放传送的器件，此时任何被寻址的器件均被认为是从器件。在总线上主和从、发和收的关系不是恒定的，而取决于此时数据传送方向。如果主机要发送数据给从器件，则主机首先寻址从器件，然后主动发送数据至从器件，最后由主机终止数据传送；如果主机要接收从器件的数据，首先由主

器件寻址从器件.然后主机接收从器件发送的数据,最后由主机终止接收过程。
在这种情况下.主机负责产生定时时钟和终止数据传送。

- [0122] 固态硬盘(Solid State Disk或Solid State Drive, 简称SSD), 又称固态驱动器, 是用固态电子存储阵列制成的硬盘。
- [0123] 在具体实现中, 主机设备为光模块设备提供电源分为接收电源电压VCCRX, 发送电源电压VCCTX和低速信号电源电压VCC1三个3.3V电源, 供电范围 $3.3V \pm 5\%$, 功率为1.5–10W。非易失性存储器标准设备供电可复用此三路电源作为固态硬盘的供电, SSD硬盘的电源需求也是 $3.3V \pm 5\%$, 根据不同容量和速率SSD硬盘的功耗一般是在2–10W左右; I2C总线SCL(Serial Clock Line, 串行时钟线)/SDA(Serial Data Line, 串行数据线)信号应用方式相同, 接口电平均为3.3V, 协议标准均为I2C协议通用标准, 均可实现通过FPGA模拟I2C总线读取光模块信息或NVMe SSD硬盘信息, 即I2C总线信号完全可实现兼容使用。
- [0124] 参考图2, 图2是本申请一些实施例中提供的另一种高速光通信连接器的结构示意图;
- [0125] 高速光通信连接器可以包括提供信号接收电源电压VCCRX的第三信号引脚104; 提供信号发送电源电压VCCTX的第四信号引脚105; 提供低速信号电源电压VCC1的第五信号引脚106, 从而实现针对光模块设备和非易失性存储器标准设备的供电引脚复用, 节省了高速光通信连接器的引脚占用, 更进一步地提升了数据传输效率。
- [0126] 在本申请一些实施例中, 主机设备被配置为生成线偏振模式信号或对端设备复位信号, 高速光通信连接器包括:
- [0127] 针对线偏振模式信号或对端设备复位信号的第六信号引脚;
- [0128] 第六信号引脚被配置为当主机设备和光模块设备连接时, 将由主机设备发送的线偏振模式信号传输至光模块设备;
- [0129] 第六信号引脚被配置为当主机设备和非易失性存储器标准设备时, 将由主机设备发送的对端设备复位信号传输至非易失性存储器标准设备。
- [0130] 在实际应用中, 光模块设备的偏振模式信号LPMODE复用作为PCIE接口的对端设备复位信号RESET, 可以由CPU或FPGA输出复位信号给NVMe SSD硬盘,

当主机设备与光模块设备连接时，CPU/FPGA作为输出信号给光模块选择光模块工作模式，该信号无论是作为线偏振模式信号LPMODE还是对端设备复位信号RESET，对于本申请实施例的QSFP28-PCIe接口主板而言都是输出信号，不会因为功能不同差错而对彼此造成损坏。

[0131] 参考图2，图2是本申请一些实施例中提供的另一种高速光通信连接器的结构示意图；

[0132] 本申请实施例可以通过现场可编辑门阵列FPGA定义第六信号引脚107，使光模块的线偏振模式信号LPMODE与PCIE接口的对端设备复位信号RESET在第六信号引脚107上复用，以实现在主机设备和光模块设备连接时，将由主机设备发送的线偏振模式信号通过第六信号引脚107传输至光模块设备；并在主机设备和非易失性存储器标准设备时，将由主机设备发送的对端设备复位信号通过第六信号引脚107输至非易失性存储器标准设备。

[0133] 本申请实施例，通过使高速光通信连接器配置针对线偏振模式信号或对端设备复位信号的第六信号引脚；第六信号引脚被配置为当主机设备和光模块设备连接时，将由主机设备发送的线偏振模式信号传输至光模块设备；第六信号引脚被配置为当主机设备和非易失性存储器标准设备时，将由主机设备发送的对端设备复位信号传输至非易失性存储器标准设备，实现了使光模块的线偏振模式信号LPMODE与PCIE接口的对端设备复位信号RESET在第六信号引脚107上复用，从而节省了针对高速光通信连接器的引脚占用，更进一步地提升了数据传输效率。

[0134] 在本申请一些实施例中，主机设备被配置为生成终端告警信号或唤醒信号，高速光通信连接器包括：

[0135] 针对终端告警信号或唤醒信号的第七信号引脚；

[0136] 第七信号引脚被配置为当主机设备和光模块设备连接时，将由主机设备发送的终端告警信号传输至光模块设备；

[0137] 第七信号引脚被配置为当主机设备和非易失性存储器标准设备时，将由主机设备发送的唤醒信号传输至非易失性存储器标准设备。

- [0138] 在实际应用中，光模块设备的终端告警信号INTC在光模块设备内部为OD输出信号，在PCIE模块的告警信号同样也是OD输出信号，该终端告警信号INTC/唤醒信号WAKE复用连接CPU/FPGA，作为光模块的告警信号和WAKE唤醒信号使用。
- [0139] 参考图2，图2是本申请一些实施例中提供的另一种高速光通信连接器的结构示意图；
- [0140] 本申请实施例可以通过现场可编辑门阵列FPGA定义第七信号引脚108，使光模块的终端告警信号INTC与PCIE接口的唤醒信号WAKE在第七信号引脚108上复用，以实现在主机设备和光模块设备连接时，将由主机设备发送的终端告警信号INTC通过第七信号引脚108传输至光模块设备；并在主机设备和非易失性存储器标准设备时，将由主机设备发送的唤醒信号WAKE通过第七信号引脚108传输至非易失性存储器标准设备。
- [0141] 在本申请一些实施例中，通过使高速光通信连接器配置针对终端告警信号或唤醒信号的第七信号引脚；第七信号引脚被配置为当主机设备和光模块设备连接时，将由主机设备发送的终端告警信号传输至光模块设备；第七信号引脚被配置为当主机设备和非易失性存储器标准设备时，将由主机设备发送的唤醒信号传输至非易失性存储器标准设备，实现了使光模块的终端告警信号INTC与唤醒信号WAKE在第七信号引脚108上复用，从而节省了针对高速光通信连接器的引脚占用，更进一步地提升了数据传输效率。
- [0142] 在本申请一些实施例中，主机设备包括时钟模块，以及基板管理控制器；时钟模块通过高速串行计算机扩展总线与高速光通信连接器连接，高速光通信连接器通过高速串行计算机扩展总线与现场可编辑门阵列连接，基板管理控制器与现场可编辑门阵列连接；
- [0143] 时钟模块被配置为生成负时钟信号和正时钟信号，并基于高速串行计算机扩展总线向高速光通信连接器发送负时钟信号和正时钟信号。
- [0144] 基板管理控制器(baseboard management controller, BMC)是一个专门的服务处理机，它利用传感器来监视一台计算机、网络服务器，或者是其他硬件驱动设备的状态。

- [0145] 参考图3，图3是本申请一些实施例中提供的一种本端主机设备和对端设备的结构示意图。
- [0146] 对端设备301可以是常规100G QSFP28光接口交换机，或QSFP28-PCIe接口交换机，或光通信设备，或PCIe交换机，或远端PCIe接口设备，或NVME接口硬盘，或存储服务器，或常规100G QSFP28光接口交换机。
- [0147] 对端设备301可以配置有高速光通信连接器(QSFP28-PCIe接口)3011。
- [0148] 在一些实施例中，当对端设备为非易失性存储器标准设备时，该非易失性存储器标准设备为设置有支持非易失性存储器标准的固态硬盘的其他存储服务器。
- [0149] 主机设备302可以包括时钟模块3021，以及基板管理控制器3022，时钟模块3021与高速光通信连接器(QSFP28-PCIe接口)303连接，高速光通信连接器(QSFP28-PCIe接口)303通过包含低速信号线和高速信号线的高速串行计算机扩展总线与现场可编程门阵列FPGA3023连接，基板管理控制器3022与现场可编程门阵列FPGA3023通过低速信号线连接，以实现通过基板管理控制器3022对现场可编程门阵列FPGA3023的监测。
- [0150] 对端设备301和主机设备302之间可以设置有PCIe光模块304，对端设备301和主机设备302之间可以通过高速光通信连接器(QSFP28-PCIe接口)303、高速光通信连接器(QSFP28-PCIe接口)3011和PCIe光模块304进行数据传输。
- [0151] 主机设备302可以通过现场可编程门阵列FPGA3023与高速光通信连接器，实现与对端设备301进行PCIe或以太网Ethernet的数据交互。
- [0152] 时钟模块3021被配置为生成负时钟信号和正时钟信号，并基于高速串行计算机扩展总线向高速光通信连接器(QSFP28-PCIe接口)303发送负时钟信号和正时钟信号(PCIe Refclk，参考时钟)。
- [0153] 中央处理器(Central Processing Unit，简称CPU)作为计算机系统的运算和控制核心，是信息处理、程序运行的最终执行单元。CPU自产生以来，在逻辑结构、运行效率以及功能外延上取得了巨大发展。
- [0154] 现场可编程门阵列FPGA3023与中央处理器CPU3024之间通过PCIe4.0 x8数据总线连接。

- [0155] 时钟模块3021被配置为向中央处理器CPU3024发送SYS Refclk系统参考时钟信号。
- [0156] 在实际应用中，本申请一些实施例中用Agilex FPGA控制器代替以太网PHY控制器实现PCIE转以太网的功能，同时采用本申请一些实施例中的QSFP28-PCIE接口，可以兼容实现PCIE数据总线通道，Agilex FPGA控制器的高速IO数据总线可以实现同一接口兼容PCIE总线和以太网总写协议，这就实现了QSFP28-PCIE接口的高速总线硬件兼容设计，采用本申请实施例的QSFP28-PCIE接口，既可以兼容常规的以太网接口设计，还可以通过FPGA作为桥梁，实现直接通过PCIE总线连接远端设备，这样可以解决PCIE总线传输距离近的缺点，从而实现FPGA端的功能切换，并使QSFP28接口兼容性设计，同时，可以支持PCIE协议的QSFP28光模块的设计。
- [0157] 在本申请一些实施例中，主机设备包括时钟模块、基板管理控制器以及中央处理器；时钟模块通过高速串行计算机扩展总线与高速光通信连接器连接，中央处理器与高速光通信连接器通过高速串行计算机扩展总线连接，基板管理控制器与高速光通信连接器连接；
- [0158] 时钟模块被配置为生成负时钟信号和正时钟信号，并基于高速串行计算机扩展总线向高速光通信连接器发送负时钟信号和正时钟信号。
- [0159] 参考图4，图4是本申请一些实施例中提供的另一种本端主机设备和对端设备的结构示意图；
- [0160] 对端设备401可以是常规100G QSFP28光接口交换机，或QSFP28-PCIE接口交换机，或光通信设备，或PCIE交换机，或远端PCIE接口设备，或NVME接口硬盘，或存储服务器，或常规100G QSFP28光接口交换机。
- [0161] 对端设备401可以配置有高速光通信连接器(QSFP28-PCIE接口)4011。
- [0162] 在一些实施例中，当对端设备为非易失性存储器标准设备时，该非易失性存储器标准设备为设置有支持非易失性存储器标准的固态硬盘的其他存储服务器。
- [0163] 主机设备402可以包括时钟模块4021，以及中央处理器CPU4023，时钟模块4021与高速光通信连接器(QSFP28-PCIE接口)403连接，高速光通信连接器(QSFP28-PCIE接口)403通过包含PCIE4.0 x4高速数据线的高速串行计算机扩展

总线与中央处理器CPU4023连接，基板管理控制器4022与高速光通信连接器(QSFP28-PCIe接口)403通过低速信号线连接，以实现通过基板管理控制器4022对高速光通信连接器(QSFP28-PCIe接口)403的监测。

[0164] 对端设备401和主机设备402之间可以设置有PCIe光模块404，对端设备401和主机设备402之间可以通过高速光通信连接器(QSFP28-PCIe接口)403、高速光通信连接器(QSFP28-PCIe接口)4011和PCIe光模块404进行数据传输。

[0165] 时钟模块4021被配置为生成负时钟信号和正时钟信号，并基于高速串行计算机扩展总线向高速光通信连接器(QSFP28-PCIe接口)403发送负时钟信号和正时钟信号(PCIe Refclk，参考时钟)。

[0166] 时钟模块4021被配置为向中央处理器CPU4023发送SYS Refclk系统参考时钟信号。

[0167] 在具体实现中，本申请一些实施例可以简化FPGA的PHY转换功能，采用CPU自己的PCIe接口直接通过本申请一些实施例中的QSFP28-PCIe接口实现PCIe总线的远距离传输，可以大大减少的数据读写延迟，直接采用PCIe总线通信，免去了中间PCIe转以太网的电路，大大降低了设计成本。

[0168] 在本申请一些实施例中，非易失性存储器标准设备为，支持非易失性存储器标准且支持热插拔功能的移动固态硬盘。

[0169] 参考图5，图5是本申请一些实施例中提供的又一种本端主机设备和对端设备的结构示意图。

[0170] 对端设备可以为支持非易失性存储器标准且支持热插拔功能的移动固态硬盘SD501，直接采用QSFP28模块的物理结构，将SSD固态移动硬盘插口的物理结构设计成兼容高速光通信连接器(QSFP28-PCIe接口)502，由上可知，非易失性存储器标准设备供电可复用此三路电源作为固态硬盘的供电，SSD硬盘的电源需求也是 $3.3V \pm 5\%$ ，而本申请实施例的高速光通信连接器(QSFP28-PCIe接口)502可以包括提供信号接收电源电压的第三信号引脚；提供信号发送电源电压的第四信号引脚；提供低速信号电源电压的第五信号引脚，即，本申请实施例的高速光通信连接器(QSFP28-PCIe接口)502提供了接收电源电压VCCR_X，发送电源电压VCCT_X和低速信号电源电压VCC₁三个3.3V电源，在电源兼容的前提下，可

以在移动固态硬盘SSD501上增加热插拔器件，即可实现QSFP28-SSD硬盘的带电热插拔，然后在通过系统软件重新训练和枚举PCIE特定通道，即可实现SSD固态硬盘的带电热插拔和即插即用功能，从而实现了一种新式的移动SSD硬盘接口形态和硬盘形态。

[0171] 在一些实施例中，图1和图2中的接口A和接口B可以为同一接口，A体现了标准四线高速光纤传输模块接口定义，即，该接口在标准四线高速光纤传输模块接口定义下通过引脚与其他设备进行数据交互，B体现了兼容高速串行计算机扩展总线标准PCIe X4接口的四线高速光纤传输模块接口定义，即该接口在兼容高速串行计算机扩展总线标准PCIe X4定义下通过引脚与其他设备进行数据交互，该接口可以左边的19个引脚可以由上至下按序排列，右边的19个引脚可以由下至上按序排列，共有38个引脚，38个引脚可以用1-38号引脚标记，在实际应用中，TX信号为差分总线输出信号，RX信号为差分总线输入信号，P(positive)为正，N(negative)为负。

[0172] 其中，按序排列的第1-7，11-26，32-38个引脚可以针对相同的信号，按序排列的第2个引脚为针对TX2N信号的引脚，按序排列的第3个引脚为针对TX2P信号的引脚，按序排列的第5个引脚为针对TX4N信号的引脚，按序排列的第6个引脚为针对TX4P信号的引脚，按序排列的第8个引脚(第一引脚101)为复用MODSEL信号和CLK N信号的引脚，按序排列的第9个引脚(第二引脚102)为复用RESET信号和CLK P信号的引脚，按序排列的第10个引脚(第三信号引脚104)为针对VCCR_X信号的引脚，按序排列的第11个引脚为针对SCL信号的引脚，按序排列的第12个引脚为针对SDA信号的引脚，按序排列的第14个引脚为针对RX3P信号的引脚，按序排列的第15个引脚为针对RX3N信号的引脚，按序排列的第17个引脚为针对RX1P信号的引脚，按序排列的第18个引脚为针对RX1N信号的引脚，按序排列的第21个引脚为针对RX2N信号的引脚，按序排列的第22个引脚为针对RX2P信号的引脚，按序排列的第24个引脚为针对RX4N信号的引脚，按序排列的第25个引脚为针对RX4P信号的引脚，按序排列的第27个引脚(第八信号引脚103)为针对MODPRS信号的引脚，按序排列的第28(第七信号引脚108)个引脚为针对INTC信号和WAKE信号的引脚，按序排列的第29个引脚(第四信号引脚

105)为针对VCCTX信号的引脚，按序排列的第30个引脚(第五信号引脚106)为针对VCC1信号的引脚，按序排列的第31个引脚(第六信号引脚107)为复用LPMODE信号和RESET信号的引脚，按序排列的第33个引脚为针对TX3P信号的引脚，按序排列的第34个引脚为针对TX3N信号的引脚，按序排列的第36个引脚为针对TX1P信号的引脚，按序排列的第37个引脚为针对TX1N信号的引脚。

[0173] 本申请一些实施例中还公开了一种服务器，服务器配置有高速光通信连接器QSFP28-PCIE，高速光通信连接器QSFP28-PCIE被配置为使服务器和光模块设备连接，或，被配置为使服务器和非易失性存储器标准NVMe设备连接；服务器被配置为生成模块低速信号MODESEL和光模块复位信号，或被配置为生成负时钟信号CLK_N和正时钟信号CLK_P，高速光通信连接器QSFP28-PCIE包括：

[0174] 针对模块低速信号MODESEL或负时钟信号CLK_N的第一信号引脚；

[0175] 针对光模块复位信号或正时钟信号CLK_P的第二信号引脚；

[0176] 第一信号引脚被配置为当服务器和光模块设备连接时，将由服务器发送的模块低速信号MODESEL传输至光模块设备；

[0177] 第一信号引脚被配置为当服务器和非易失性存储器标准NVMe设备时，将由服务器发送的负时钟信号CLK_N传输至非易失性存储器标准NVMe设备；

[0178] 第二信号引脚被配置为当服务器和光模块设备连接时，将由服务器发送的光模块复位信号传输至光模块设备；

[0179] 第二信号引脚被配置为当服务器和非易失性存储器标准NVMe设备时，将由服务器发送的正时钟信号CLK_P传输至非易失性存储器标准NVMe设备。

[0180] 在一些实施例中，服务器设置有现场可编辑门阵列FPGA，现场可编辑门阵列FPGA被配置为接收由光模块设备或非易失性存储器标准NVMe设备生成的在位检测输入信号MODPRSL，并当接收到在位检测输入信号MODPRSL，基于在位检测输入信号MODPRSL构建服务器和光模块设备的连接关系，或，基于在位检测输入信号MODPRSL构建服务器和非易失性存储器标准NVMe设备的连接关系。

[0181] 在一些实施例中，高速光通信连接器QSFP28-PCIE包括：

[0182] 提供信号接收电源电压VCCRX的第三信号引脚；

- [0183] 提供信号发送电源电压VCCTX的第四信号引脚；
- [0184] 提供低速信号电源电压VCC1的第五信号引脚。
- [0185] 在一些实施例中，服务器被配置为生成线偏振模式信号LPMODE或对端设备复位信号，高速光通信连接器QSFP28-PCIE包括：
- [0186] 针对线偏振模式信号LPMODE或对端设备复位信号的第六信号引脚；
- [0187] 第六信号引脚被配置为当服务器和光模块设备连接时，将由服务器发送的线偏振模式信号LPMODE传输至光模块设备；
- [0188] 第六信号引脚被配置为当服务器和非易失性存储器标准NVMe设备时，将由服务器发送的对端设备复位信号传输至非易失性存储器标准NVMe设备。
- [0189] 在一些实施例中，服务器被配置为生成终端告警信号INTC或唤醒信号WAKE，高速光通信连接器QSFP28-PCIE包括：
- [0190] 针对终端告警信号INTC或唤醒信号WAKE的第七信号引脚；
- [0191] 第七信号引脚被配置为当服务器和光模块设备连接时，将由服务器发送的终端告警信号INTC传输至光模块设备；
- [0192] 第七信号引脚被配置为当服务器和非易失性存储器标准NVMe设备时，将由服务器发送的唤醒信号WAKE传输至非易失性存储器标准NVMe设备。
- [0193] 在一些实施例中，光模块设备和高速光通信连接器QSFP28-PCIE包括：
- [0194] 针对在位检测输入信号MODPRSL的第八信号引脚；
- [0195] 第八信号引脚被配置为向服务器传输在位检测输入信号MODPRSL。
- [0196] 在一些实施例中，服务器包括时钟模块，以及基板管理控制器BMC；时钟模块通过高速串行计算机扩展总线与高速光通信连接器QSFP28-PCIE连接，高速光通信连接器QSFP28-PCIE通过高速串行计算机扩展总线与现场可编程门阵列FPGA连接，基板管理控制器BMC与现场可编程门阵列FPGA连接；
- [0197] 时钟模块被配置为生成负时钟信号CLK_N和正时钟信号CLK_P，并基于高速串行计算机扩展总线向高速光通信连接器QSFP28-PCIE发送负时钟信号CLK_N和正时钟信号CLK_P。
- [0198] 在一些实施例中，服务器包括时钟模块、基板管理控制器BMC以及中央处理器CPU；时钟模块通过高速串行计算机扩展总线与高速光通信连接器QSFP28-

PCIE连接，中央处理器CPU与高速光通信连接器QSFP28-PCIE通过高速串行计算机扩展总线连接，基板管理控制器BMC与高速光通信连接器QSFP28-PCIE连接；

[0199] 时钟模块被配置为生成负时钟信号CLK_N和正时钟信号CLK_P，并基于高速串行计算机扩展总线向高速光通信连接器QSFP28-PCIE发送负时钟信号CLK_N和正时钟信号CLK_P。

[0200] 在一些实施例中，非易失性存储器标准NVMe设备为，设置有支持非易失性存储器标准NVMe的固态硬盘的其他存储服务器。

[0201] 在一些实施例中，非易失性存储器标准NVMe设备为，支持非易失性存储器标准NVMe且支持热插拔功能的移动固态硬盘。

[0202] 对于服务器实施例而言，由于其与高速光通信连接器实施例基本相似，所以描述的比较简单，相关之处参见高速光通信连接器实施例的部分说明即可。

[0203] 尽管已描述了本申请实施例的优选实施例，但本领域内的技术人员一旦得知了基本创造性概念，则可对这些实施例做出另外的变更和修改。所以，所附权利要求意欲解释为包括优选实施例以及落入本申请实施例范围的所有变更和修改。

[0204] 最后，还需要说明的是，在本文中，术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含，从而使得包括一系列要素的过程、方法、物品或者终端设备不仅包括那些要素，而且还包括没有明确列出的其他要素，或者是还包括为这种过程、方法、物品或者终端设备所固有的要素。在没有更多限制的情况下，由语句“包括一个……”限定的要素，并不排除在包括所述要素的过程、方法、物品或者终端设备中还存在另外的相同要素。

[0205] 以上所述，仅为本申请的具体实施方式，但本申请的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本申请揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本申请的保护范围之内。因此，本申请的保护范围应以权利要求的保护范围为准。

权利要求书

- [权利要求 1] 一种高速光通信连接器，其特征在于，所述高速光通信连接器包括第一信号引脚和第二信号引脚；
- 所述第一信号引脚被配置为当所述主机设备通过所述高速光通信连接器和所述光模块设备连接时，将由所述主机设备发送的所述模块低速信号传输至所述光模块设备；
- 所述第一信号引脚被配置为当所述主机设备通过所述高速光通信连接器和所述非易失性存储器标准设备连接时，将由所述主机设备发送的所述负时钟信号传输至所述非易失性存储器标准设备；
- 所述第二信号引脚被配置为当所述主机设备通过所述高速光通信连接器和所述光模块设备连接时，将由所述主机设备发送的所述光模块复位信号传输至所述光模块设备；
- 所述第二信号引脚被配置为当所述主机设备通过所述高速光通信连接器和所述非易失性存储器标准设备连接时，将由所述主机设备发送的所述正时钟信号传输至所述非易失性存储器标准设备。
- [权利要求 2] 根据权利要求1所述的高速光通信连接器，其特征在于，所述主机设备设置有现场可编辑门阵列，所述现场可编辑门阵列被配置为接收由所述光模块设备或所述非易失性存储器标准设备生成的在位检测输入信号，并当接收到所述在位检测输入信号，基于所述在位检测输入信号构建所述主机设备和所述光模块设备的连接关系，或，基于所述在位检测输入信号构建所述主机设备和所述非易失性存储器标准设备的连接关系。
- [权利要求 3] 根据权利要求1所述的高速光通信连接器，其特征在于，所述高速光通信连接器包括：
- 提供信号接收电源电压的第三信号引脚；
- 提供信号发送电源电压的第四信号引脚；
- 提供低速信号电源电压的第五信号引脚。

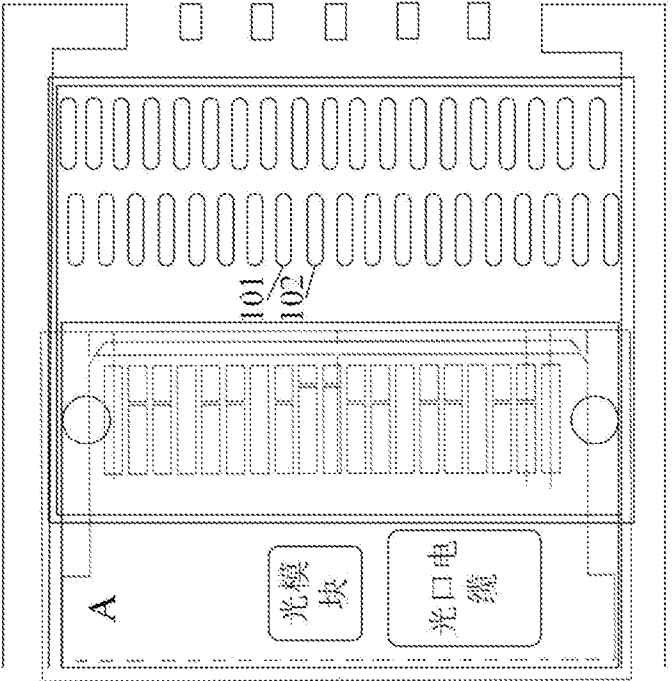
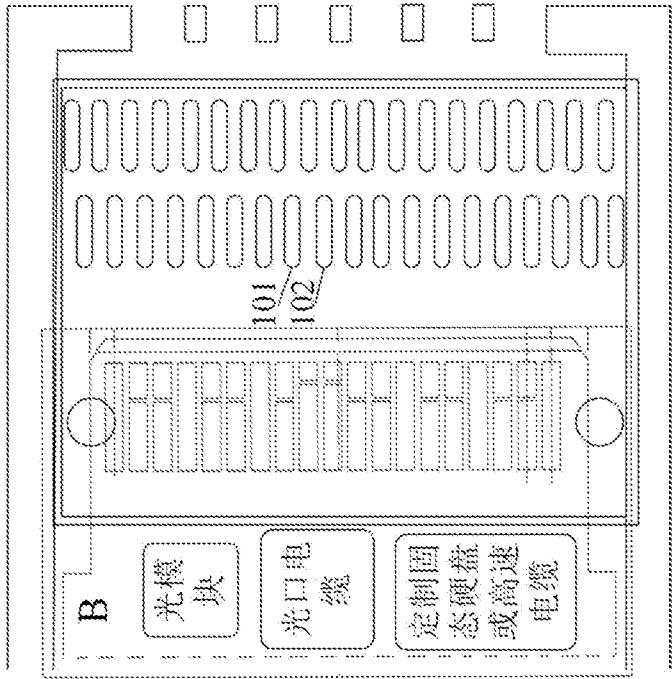
- [权利要求 4] 根据权利要求1所述的高速光通信连接器，其特征在于，所述高速光通信连接器包括第六信号引脚；
所述第六信号引脚被配置为当所述主机设备通过所述高速光通信连接器和所述光模块设备连接时，将由所述主机设备发送的所述线偏振模式信号传输至所述光模块设备；
所述第六信号引脚被配置为当所述主机设备通过所述高速光通信连接器和所述非易失性存储器标准设备连接时，将由所述主机设备发送的所述对端设备复位信号传输至所述非易失性存储器标准设备。
- [权利要求 5] 根据权利要求1所述的高速光通信连接器，其特征在于，所述高速光通信连接器包括第七信号引脚；
所述第七信号引脚被配置为当所述主机设备通过所述高速光通信连接器和所述光模块设备连接时，将由所述主机设备发送的所述终端告警信号传输至所述光模块设备；
所述第七信号引脚被配置为当所述主机设备通过所述高速光通信连接器和所述非易失性存储器标准设备连接时，将由所述主机设备发送的所述唤醒信号传输至所述非易失性存储器标准设备。
- [权利要求 6] 根据权利要求2所述的高速光通信连接器，其特征在于，所述高速光通信连接器包括第八信号引脚；
所述第八信号引脚被配置为向所述主机设备传输所述在位检测输入信号。
- [权利要求 7] 根据权利要求6所述的高速光通信连接器，其特征在于，所述主机设备包括时钟模块，以及基板管理控制器；所述时钟模块通过高速串行计算机扩展总线与所述高速光通信连接器连接，所述高速光通信连接器通过高速串行计算机扩展总线与所述现场可编程门阵列连接，所述基板管理控制器与所述现场可编程门阵列连接；
所述时钟模块被配置为生成所述负时钟信号和所述正时钟信号，并基于所述高速串行计算机扩展总线向所述高速光通信连接器发送所述负时钟信号和所述正时钟信号。

- [权利要求 8] 根据权利要求1所述的高速光通信连接器，其特征在于，所述主机设备包括时钟模块、基板管理控制器以及中央处理器；所述时钟模块通过高速串行计算机扩展总线与所述高速光通信连接器连接，所述中央处理器与所述高速光通信连接器通过高速串行计算机扩展总线连接，所述基板管理控制器与所述高速光通信连接器连接；所述时钟模块被配置为生成所述负时钟信号和所述正时钟信号，并基于所述高速串行计算机扩展总线向所述高速光通信连接器发送所述负时钟信号和所述正时钟信号。
- [权利要求 9] 根据权利要求7或8任一项所述的高速光通信连接器，其特征在于，所述非易失性存储器标准设备为，设置有支持非易失性存储器标准的固态硬盘的其他存储服务器。
- [权利要求 10] 根据权利要求7或8任一项所述的高速光通信连接器，其特征在于，所述非易失性存储器标准设备为，支持所述非易失性存储器标准且支持热插拔功能的移动固态硬盘。
- [权利要求 11] 一种服务器，其特征在于，所述服务器配置有高速光通信连接器，所述高速光通信连接器包括：第一信号引脚和第二信号引脚；所述第一信号引脚被配置为当所述服务器通过所述高速光通信连接器和所述光模块设备连接时，将由所述服务器发送的所述模块低速信号传输至所述光模块设备；所述第一信号引脚被配置为当所述服务器通过所述高速光通信连接器和所述非易失性存储器标准设备连接时，将由所述服务器发送的所述负时钟信号传输至所述非易失性存储器标准设备；所述第二信号引脚被配置为当所述服务器通过所述高速光通信连接器和所述光模块设备连接时，将由所述服务器发送的所述光模块复位信号传输至所述光模块设备；所述第二信号引脚被配置为当所述服务器通过所述高速光通信连接器和所述非易失性存储器标准设备连接时，将由所述服务器发送的所述正时钟信号传输至所述非易失性存储器标准设备。

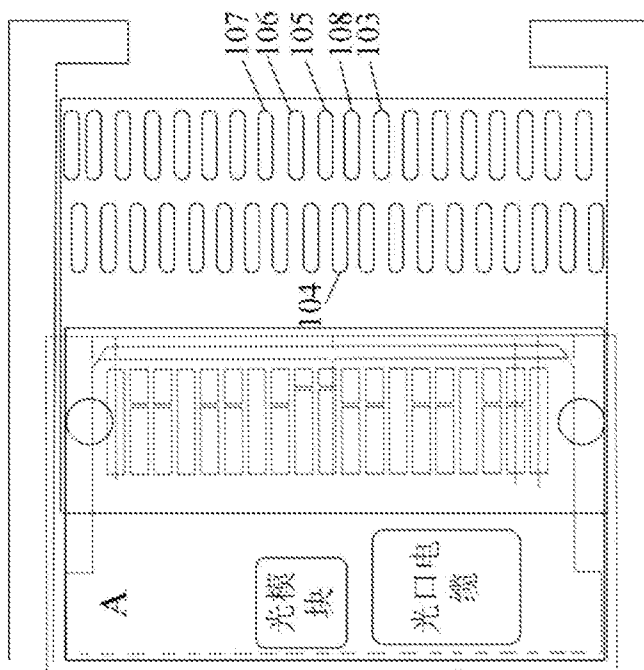
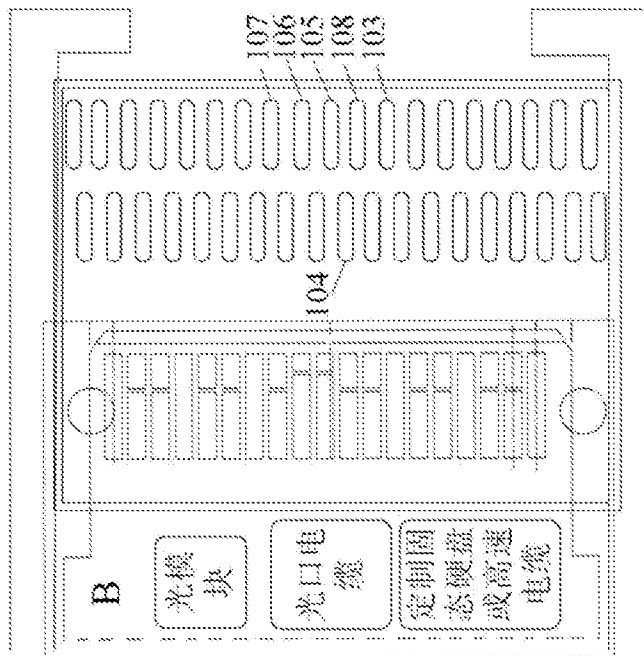
- [权利要求 12] 根据权利要求11所述的服务器，其特征在于，所述服务器设置有现场可编辑门阵列，所述现场可编辑门阵列被配置为接收由所述光模块设备或所述非易失性存储器标准设备生成的在位检测输入信号，并当接收到所述在位检测输入信号，基于所述在位检测输入信号构建所述服务器和所述光模块设备的连接关系，或，基于所述在位检测输入信号构建所述服务器和所述非易失性存储器标准设备的连接关系。
- [权利要求 13] 根据权利要求11所述的服务器，其特征在于，所述高速光通信连接器包括：
提供信号接收电源电压的第三信号引脚；
提供信号发送电源电压的第四信号引脚；
提供低速信号电源电压的第五信号引脚。
- [权利要求 14] 根据权利要求11所述的服务器，其特征在于，所述高速光通信连接器包括第六信号引脚；
所述第六信号引脚被配置为当所述服务器通过所述高速光通信连接器和所述光模块设备连接时，将由所述服务器发送的所述线偏振模式信号传输至所述光模块设备；
所述第六信号引脚被配置为当所述服务器通过所述高速光通信连接器和所述非易失性存储器标准设备时，将由所述服务器发送的所述对端设备复位信号传输至所述非易失性存储器标准设备。
- [权利要求 15] 根据权利要求11所述的服务器，其特征在于，所述高速光通信连接器包第七信号引脚；
所述第七信号引脚被配置为当所述服务器通过所述高速光通信连接器和所述光模块设备连接时，将由所述服务器发送的所述终端告警信号传输至所述光模块设备；
所述第七信号引脚被配置为当所述服务器和所述非易失性存储器标准设备连接时，将由所述服务器发送的所述唤醒信号传输至所述非易失性存储器标准设备。

- [权利要求 16] 根据权利要求12所述的服务器，其特征在于，所述高速光通信连接器包括第八信号引脚；
所述第八信号引脚被配置为向所述服务器传输所述在位检测输入信号。
- [权利要求 17] 根据权利要求16所述的服务器，其特征在于，所述服务器包括时钟模块，以及基板管理控制器；所述时钟模块通过高速串行计算机扩展总线与所述高速光通信连接器连接，所述高速光通信连接器通过高速串行计算机扩展总线与所述现场可编程门阵列连接，所述基板管理控制器与所述现场可编程门阵列连接；
所述时钟模块被配置为生成所述负时钟信号和所述正时钟信号，并基于所述高速串行计算机扩展总线向所述高速光通信连接器发送所述负时钟信号和所述正时钟信号。
- [权利要求 18] 根据权利要求11所述的服务器，其特征在于，所述服务器包括时钟模块、基板管理控制器以及中央处理器；所述时钟模块通过高速串行计算机扩展总线与所述高速光通信连接器连接，所述中央处理器与所述高速光通信连接器通过高速串行计算机扩展总线连接，所述基板管理控制器与所述高速光通信连接器连接；
所述时钟模块被配置为生成所述负时钟信号和所述正时钟信号，并基于所述高速串行计算机扩展总线向所述高速光通信连接器发送所述负时钟信号和所述正时钟信号。
- [权利要求 19] 根据权利要求17或18任一项所述的服务器，其特征在于，所述非易失性存储器标准设备为，设置有支持非易失性存储器标准的固态硬盘的其他存储服务器。
- [权利要求 20] 根据权利要求17或18任一项所述的服务器，其特征在于，所述非易失性存储器标准设备为，支持所述非易失性存储器标准且支持热插拔功能的移动固态硬盘。

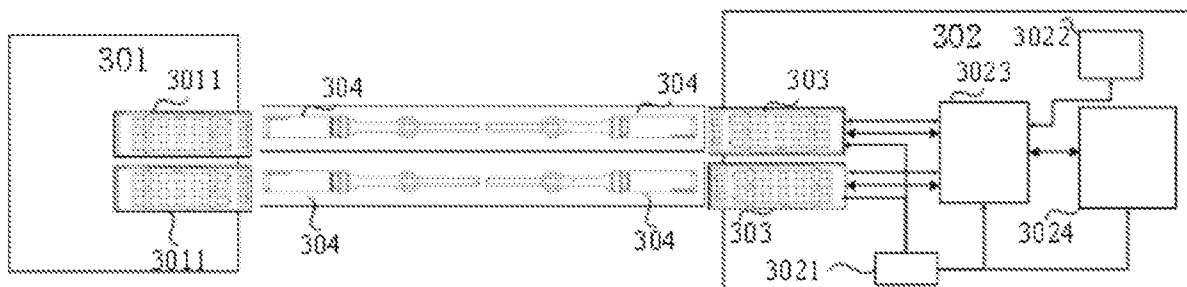
[图 1]



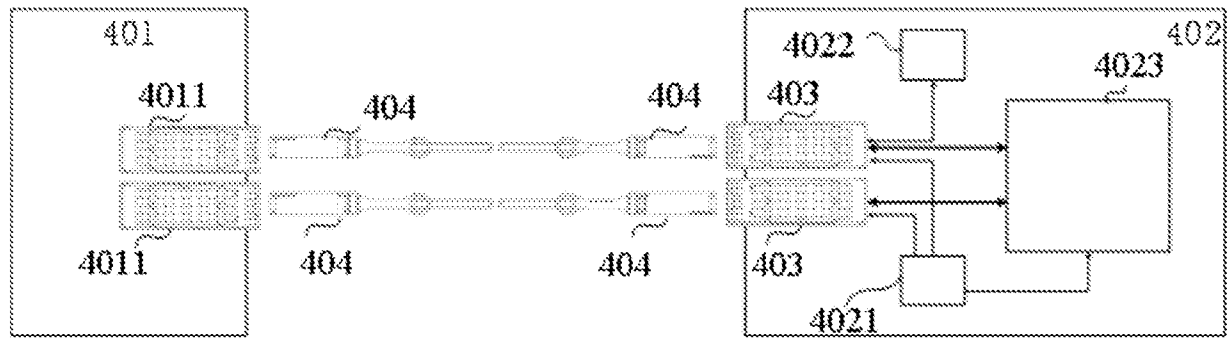
[图 2]



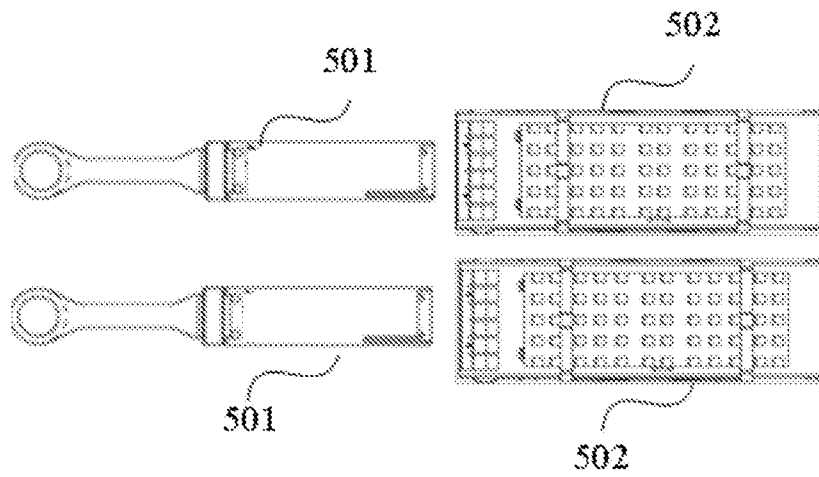
[图 3]



[图 4]



[图 5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2024/122479

A. CLASSIFICATION OF SUBJECT MATTER

H04B 10/25(2013.01)i; H04B10/27(2013.01)i; G06F13/38(2006.01)i; G06F13/42(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H04B G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

VEN; CNABS; CNTXT; USTXT; EPTXT; WOTXT; CNKI: 高速, 光通信, 引脚, 低速, 信号, 时钟, 复用, 正, 负, 兼容, QSFP28, PCIe, MODESEL, CLK?P, CLK?N, NVMe, multiplex+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 117478227 A (SUZHOU YUANNAO INTELLIGENT TECHNOLOGY CO., LTD.) 30 January 2024 (2024-01-30) claims 1-20	1-20
X	CN 115733549 A (SUZHOU INSPUR INTELLIGENT TECHNOLOGY CO., LTD.) 03 March 2023 (2023-03-03) description, paragraphs [0004]-[0121], and figure 3	1-20
A	US 2022164269 A1 (MICRON TECHNOLOGY, INC.) 26 May 2022 (2022-05-26) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

10 December 2024

Date of mailing of the international search report

19 December 2024

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2024/122479

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)		Publication date (day/month/year)
CN	117478227	A	30 January 2024	None		
CN	115733549	A	03 March 2023	None		
US	2022164269	A1	26 May 2022	US	11789835 B2	17 October 2023

A. 主题的分类

H04B 10/25(2013.01)i; H04B10/27(2013.01)i; G06F13/38(2006.01)i; G06F13/42(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H04B G06F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

VEN;CNABS;CNTXT;USTXT;EPTXT;WOTXT;CNKI: 高速, 光通信, 引脚, 低速, 信号, 时钟, 复用, 正, 负, 兼容, QSP28, PCIe, MODSEL, CLK?P, CLK?N, NVMe, multiplex+

C. 相关文件

类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 117478227 A (苏州元脑智能科技有限公司) 2024年1月30日 (2024 - 01 - 30) 权利要求1-20	1-20
X	CN 115733549 A (苏州浪潮智能科技有限公司) 2023年3月3日 (2023 - 03 - 03) 说明书第[0004]-[0121]段, 附图3	1-20
A	US 2022164269 A1 (MICRON TECHNOLOGY INC) 2022年5月26日 (2022 - 05 - 26) 全文	1-20

☐ 其余文件在C栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2024年12月10日

国际检索报告邮寄日期

2024年12月19日

ISA/CN的名称和邮寄地址

中国国家知识产权局
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

郝玉香

电话号码 (+86) 0512-88996092

PCT/ISA/210 表(第2页) (2022年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2024/122479

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	117478227	A	2024年1月30日	无	
CN	115733549	A	2023年3月3日	无	
US	2022164269	A1	2022年5月26日	US 11789835 B2	2023年10月17日