

	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2008-0093472 (43) 공개일자 2008년10월22일
(51) Int. Cl. <i>H01L 29/78</i> (2006.01) <i>H01L 21/336</i> (2006.01) (21) 출원번호 10-2007-0037188 (22) 출원일자 2007년04월17일 심사청구일자 없음	(71) 출원인 인하대학교 산학협력단 인천 남구 용현동 253 인하대학교 (72) 발명자 원대영 경기 화성시 장안면 수촌리 957-3 김한건 경기 부천시 소사구 범박동 현대 홈타운 306-1806호 (뒷면에 계속)	

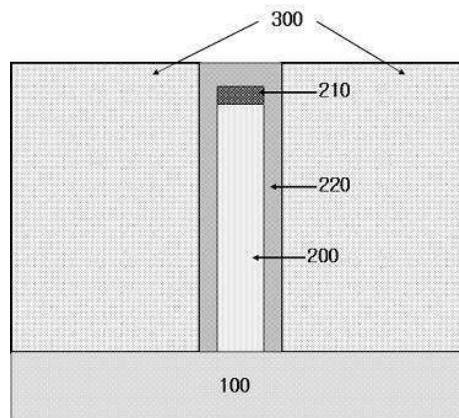
전체 청구항 수 : 총 1 항

(54) 비대칭 도핑 폴리-실리콘 게이트 구조의 다중 게이트 전계효과 트랜지스터 및 제조 방법

(57) 요약

다중 게이트 전계 효과 트랜지스터를 형성하는 방법 중 채널을 둘러싸고 있는 폴리실리콘 영역을 제1게이트 제2 게이트 부분으로 구분하고, 각각의 영역을 비대칭 도핑하여 문턱전압의 조절 및 누설 전류를 최소화하는 단계를 포함한다.

대표도 - 도3



(72) 발명자

양승수

인천 남구 용현동 15-2번지 성심빌리지 204호

안홍선

인천 연수구 동춘2동 현대1차아파트 122동 704호

특허청구의 범위

청구항 1

폴리실리콘을 비대칭 도핑하여 다중 게이트 전계효과 트랜지스터를 제작하는데 있어서,

- (a) 핀위의 폴리실리콘층을 리소그래피 공정을 통해 트랜치가 형성될 위치를 정의하는 마스크 패턴을 형성하는 단계;
- (b) 상기 마스크 패턴을 마스크로 해서 노출된 제1 게이트 부분의 폴리실리콘 부분을 스퍼터 방식으로 도핑하고 단계;
- (c) 상기 단계 형성된 트랜치에 대해서 제2 게이트 부분의 폴리실리콘 부분을 트랜치 바닥면에 노출되도록 트랜치의 측벽에 스페이서를 형성하는 단계; 및
- (d) 상기 노출된 제2 게이트 부분의 폴리실리콘 부분을 스퍼터 방식으로 도핑하고 의 실리콘 막을 동시에 존재하도록 형성하는 단계;

를 포함하는 반도체 소자 제조 방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <15> 본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로서, 특히 나노 스케일 다중 게이트 전계 효과 트랜지스터(Multiple gate field effect transistors: MuGFET)에 있어서 문턱전압을 조절하는 기술에 관한 것이다.
- <16> 일반적인 MOSFET 트랜지스터는 디자인 룰이 줄어들에 따라 여러 가지 문제를 유발하여 트랜지스터의 축소(scale-down)에 한계가 있다. 축소된 트랜지스터의 가장 큰 문제점은 채널의 길이가 짧아져 단채널효과 및 DIBL(Drain Induced Barrier Lower)효과를 들 수 있다. 통상적인 트랜지스터에서 채널의 길이가 50nm 이하로 축소되면 공정변수에 의해 소자특성의 산포도가 높아지며, 채널길이가 30nm 이하일 경우 단채널효과 및 DIBL 효과가 극심해져 트랜지스터가 정상적으로 동작하기 어려운 것으로 알려져있다.
- <17> MOSFET 트랜지스터의 문제점을 극복하기 위하여 최근 연구되고 있는 소자 중의 하나는 MuGFET이다. 다중 게이트 트랜지스터는 30nm 이하의 두께를 가지는 채널과, 채널을 감싸거나 채널 양측에 게이트가 배치된 구조이다. 종래의 트랜지스터는 게이트 전극이 수평채널의 상부에만 형성됨으로써 채널에는 상하 비대칭적으로 전계가 인가되어, 게이트 전극에 의해 트랜지스터의 온 오프가 효과적으로 제어되지 못한다. 그 결과 채널의 축소로 인한 단채널 효과의 영향이 극심해진다. 이에 반하여 MuGFET은 얇은 채널의 양측에 게이트 전극이 형성되어 있기 때문에 채널의 모든 영역은 게이트 전극의 영향을 받는다. 따라서, 트랜지스터가 오프일 때 소오스 및 드레인 사이의 전하 흐름을 억제할 수 있기 때문에 전력소모를 줄일 수 있고, 트랜지스터의 온.오프를 효과적으로 제어할 수 있다.
- <18> 하지만 MuGFET은 일정 핀 폭 이하에서 트랜지스터의 문턱 전압이 급격히 떨어지는 문제점을 지니고 있다. 따라서, 공정 변수에 의한 트랜지스터의 특성변화가 심하여 문턱전압 제어가 용이하지 않고, 고집적 메모리 소자에 적용될 경우 셀 균일도(Cell uniformity)가 나빠 질 수 있다. 트랜지스터의 문턱 전압이 낮아질 수 록 문턱전압 이하에서의 전류 누설이 증가할 수 있다. 트랜지스터의 누설 전류는 반도체 소자의 특성을 열화 시키는 원인이 된다. 특히 디램 소자에서 누설 전류는 데이터 유지 특성을 열화 시키는데, 커패시터가 접속되는 소오스 영역의 누설 전류를 최소화하는 것이 매우 중요하다. 트랜지스터의 문턱전압 증가를 위해 채널 농도를 높여주는 방법을 고려할 수 있다. 그러나, 문턱 전압의 증가는 트랜지스터의 턴-온 전류를 감소시키고, 채널 농도의 증가는 정션 누설 증가의 원인이 된다.
- <19> 최근 들어, 다중 게이트 전계 효과 트랜지스터의 저전력 트랜지스터 개발을 위해 문턱전압을 0.1~0.3V 정도로 조정하는 기술이 연구되고 있다. 기존의 주어진 게이트 길이에서 문턱전압을 조절하는 방법으로는 게이트 물질의 일함수 변화를 통해 이루어지고 있으며, 다양한 게이트 물질들이 개발되고 있다.

발명이 이루고자 하는 기술적 과제

- <20> 따라서, 본 발명의 제1 목적은 문턱전압 제어능력이 향상된 MuGFET 및 그 제조방법을 제공하는 데 있다.
- <21> 본 발명의 제2 목적은 비대칭 폴리-실리콘 게이트를 사용하여 문턱전압을 높이고 누설전류를 억제할 수 있는 구조를 갖는 MuGFET 및 그 제조방법을 제공하는 데 있다.

발명의 구성 및 작용

- <22> 폴리실리콘을 비대칭 도핑하여 다중 게이트 전계효과 트랜지스터를 제작하는데 있어서, (a) 핀위의 폴리실리콘 층을 리소그래피 공정을 통해 트랜치가 형성될 위치를 정의하는 마스크 패턴을 형성하는 단계; (b) 상기 마스크 패턴을 마스크로 해서 노출된 제1 게이트 부분의 폴리실리콘 부분을 스퍼터 방식으로 도핑하고 단계; (c) 상기 단계 형성된 트랜치에 대해서 제2 게이트 부분의 폴리실리콘 부분을 트랜치 바닥면에 노출되도록 트랜치의 측벽에 스페이서를 형성하는 단계 및 (d) 상기 노출된 제2 게이트 부분의 폴리실리콘 부분을 스퍼터 방식으로 도핑하고 의 실리콘 막을 동시에 존재하도록 형성하는 단계를 포함하는 반도체 소자 제조 방법을 제공한다.
- <23> 도1은 본 발명의 예시적인 실시예에 따라 형성되는 실리콘 온 인슐레이터(SOI) 웨이퍼(100)의 단면을 나타낸다. 본 발명에 따른 SOI 웨이퍼(100)는 기판(130)위에 형성되는 매몰 산화층(120)을 포함할 수 있다. 또한, 핀층(110)의 두께는, 약 300Å~1000Å의 범위가 될 수 있고, 매몰 산화물층(120)의 두께는, 약 500Å~2000Å의 범위가 될 수 있다.
- <24> 도2에 나타난 바와 같이, 희생 산화물층(210)이 핀(200) 위에 형성될 수 있다. 희생 산화물층(210)은 임의의 적절한 통상의 공정을 이용하여 핀(200) 위에 형성될 수 있다. 예를 들어 산화물층(210)이 약 20Å~50Å 범위의 두께로 핀(200) 위에 열성장될 수 있다. 캡(220) 및 희생 산화물층(210)이 통상 식각 공정등의 통상의 공정을 이용하여 제거되며, 핀(200)의 측벽들로부터 결함들을 제거할 수 있다.
- <25> 도3에 나타난 바와 같이, 핀(200) 위에 폴리실리콘층(300)이 형성될 수 있다. 폴리실리콘층(300)의 두께는, 예를 들어 약 500Å~1000Å이 될 수 있다. 폴리실리콘층(300)은, 예를 들어 화학 기계적인 연마(CMP) 공정을 이용하여 연마되어, 평면 표면을 달성함으로써, 후속하는 게이트 리소그래피를 개선한다. 폴리실리콘층(300)은 스퍼터 방법으로 제1게이트 부분은 N+형 도핑을 하고, 제2게이트 부분은 P+형도핑을 한다. 예를 들어 이 폴리실리콘 층의 도핑농도를 조절함에 있어서 폴리실리콘(300)의 도핑농도를 10 x 10 할때에는 문턱전압이 0.1V, 10 x 10 일때에는 0.3V, 10 x 10 일 때에는 0.5V 로 도핑농도를 낮추면 문턱전압이 높아지는 현상을 볼수 있다.
- <26> 도4에 나타난 바와 같이, 금속 게이트(400)는 게이트 절연층(220) 위쪽에 게이트 트랜치(410)내에 형성될 수 있다. 금속 게이트(400)는 통상의 금속 증착 공정을 이용하여 트랜치(410) 내에 형성된 다음, 유전층(420)의 상면까지 연마된다. 금속 게이트(400)는, 예를 들어 TaN 또는 TiN 등의 물질을 포함할 수 있지만, 다른 금속 물질들이 이용될 수 있다. 결과적인 금속 게이트(400)는 핀(200)의 3개의 모든 면들에 배치되며, 이에 따라 3중 게이트 전계 효과 트랜지스터를 생성한다.
- <27> 전술한 내용은 후술할 발명의 특허 청구 범위를 더욱 잘 이해할 수 있도록 본 발명의 특징과 기술적 장점을 다소 폭넓게 개설하였다. 개시된 본 발명의 개념과 특정 실시예는 본 발명과 유사 목적을 수행하기 위한 다른 구조의 설계나 수정의 기본으로서 즉시 사용될 수 있음이 당해 기술 분야의 숙련된 사람들에 의해 인식되어야 한다.
- <28> 또한, 본 발명에서 개시된 발명 개념과 실시예가 본 발명의 동일 목적을 수행하기 위하여 다른 구조로 수정하거나 설계하기 위한 기초로서 당해 기술 분야의 숙련된 사람들에 의해 실시되어질 수 있을 것이다. 또한, 당해 기술 분야의 숙련된 사람에 의한 그와 같은 수정 또는 변경된 등가 구조는 특허 청구 범위에서 기술한 발명의 사상이나 범위를 벗어나지 않는 한도 내에서 다양한 변화, 치환 및 변경이 가능하다.

발명의 효과

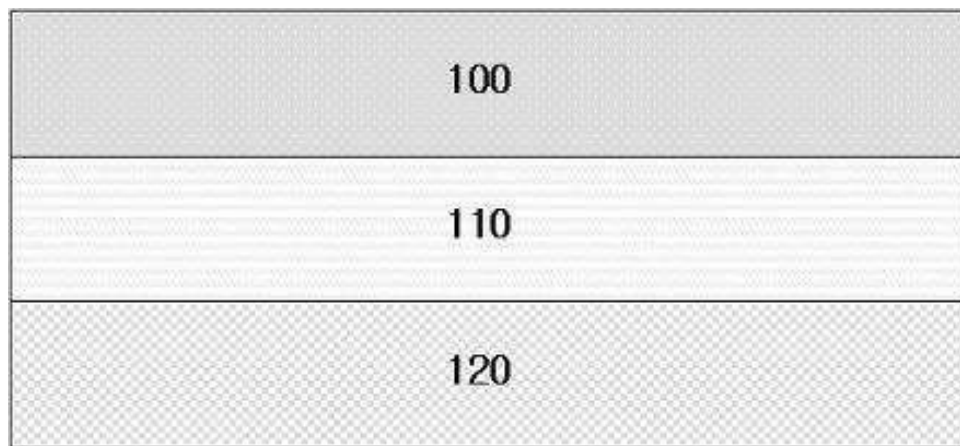
- <29> 이상과 같이, 본 발명은 종래 기술달리 핀을 둘러싸고 있는 폴리실리콘을 제1게이트 부분과 제2게이트 부분으로 구분하고, 각각 N+ 형, P+ 형으로 비대칭 도핑하여 문턱전압을 조절 특성이 우수함으로 디램 소자와 같은 기억 소자의 트랜지스터에 적용될 수 있다. 디램 소자에 적용하는 경우 데이터 유지 시간이 길어지고 소비전력을 줄일 수 있는 효과가 있다.

도면의 간단한 설명

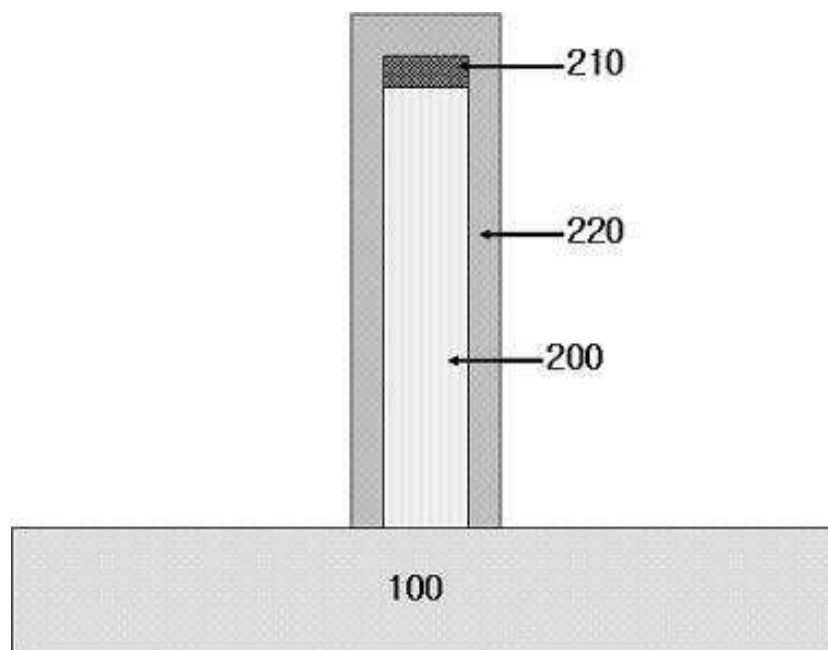
- <1> 도1은 본 발명에 따라 MuGFET의 핀을 형성하는 데에 이용할수 있는 실리콘 온 인슐레이터(SOI)의 예시적인 층들을 나타낸 도면.
- <2> 도2는 본 발명에 따라 예시적인 핀을 나타낸 도면.
- <3> 도3는 본 발명에 따라 도 3의 핀위에 형성되는 더미 산화물 및 폴리실리콘층의 단면들을 나타낸 도면.
- <4> 도4는 본 발명에 따라 게이트 트랜치 내에 금속 게이트를 형성하는 것을 나타낸 도면.
- <5> <도면의 주요 부분에 대한 부호의 설명>
- <6> 100 : SOI 웨이퍼
- <7> 110 : 핀층
- <8> 120 : 매몰 산화물층
- <9> 200 : 핀
- <10> 210 : 희생 산화물층
- <11> 220 : 캡
- <12> 300 : 폴리시리콘층
- <13> 400 : 금속게이트
- <14> 410 : 트랜치

도면

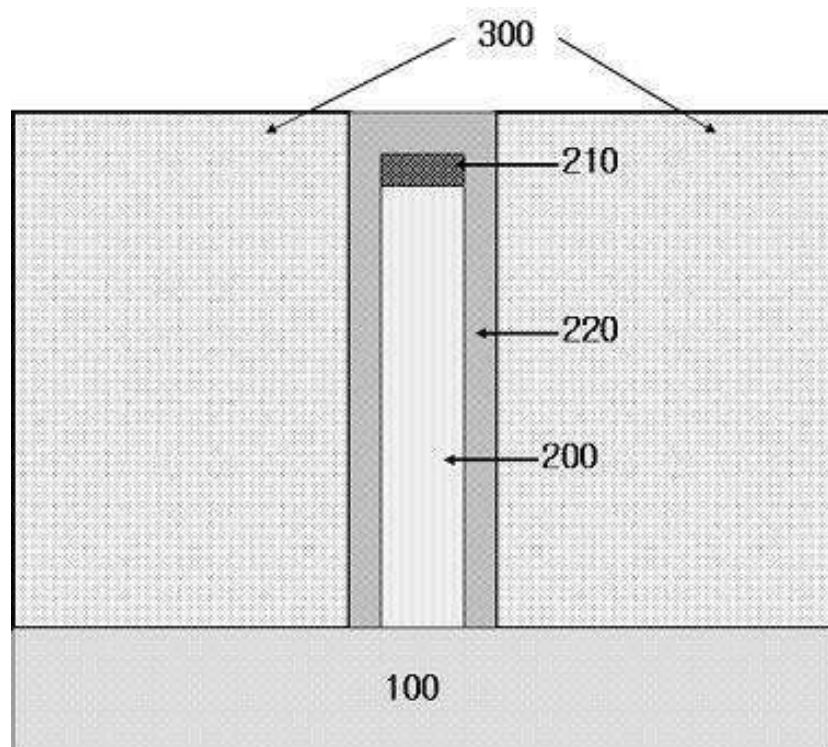
도면1



도면2



도면3



도면4

