

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6747593号
(P6747593)

(45) 発行日 令和2年8月26日(2020.8.26)

(24) 登録日 令和2年8月11日(2020.8.11)

(51) Int.Cl.	F I				
HO 1 L 21/336 (2006.01)	HO 1 L	29/78	6 5 8 H		
HO 1 L 29/78 (2006.01)	HO 1 L	29/78	6 5 7 D		
HO 1 L 29/739 (2006.01)	HO 1 L	29/78	6 5 5 G		
HO 1 L 29/861 (2006.01)	HO 1 L	29/78	6 5 3 A		
HO 1 L 29/868 (2006.01)	HO 1 L	29/78	6 5 2 J		
請求項の数 25 (全 43 頁) 最終頁に続く					

(21) 出願番号 特願2019-529782 (P2019-529782)
 (86) (22) 出願日 平成30年7月12日(2018.7.12)
 (86) 国際出願番号 PCT/JP2018/026339
 (87) 国際公開番号 W02019/013286
 (87) 国際公開日 平成31年1月17日(2019.1.17)
 審査請求日 令和1年7月23日(2019.7.23)
 (31) 優先権主張番号 特願2017-138603 (P2017-138603)
 (32) 優先日 平成29年7月14日(2017.7.14)
 (33) 優先権主張国・地域又は機関
 日本国(JP)
 (31) 優先権主張番号 特願2017-238637 (P2017-238637)
 (32) 優先日 平成29年12月13日(2017.12.13)
 (33) 優先権主張国・地域又は機関
 日本国(JP)

(73) 特許権者 000005234
 富士電機株式会社
 神奈川県川崎市川崎区田辺新田1番1号
 (74) 代理人 110000877
 龍華国際特許業務法人
 (72) 発明者 内藤 達也
 神奈川県川崎市川崎区田辺新田1番1号
 富士電機株式会社内
 審査官 恩田 和彦

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1導電型のドリフト領域を有する半導体基板と、
 前記半導体基板に設けられたトランジスタ部と、
 前記半導体基板に設けられ、予め定められた配列方向において前記トランジスタ部と並んで設けられたダイオード部と、
 を備え、
 前記トランジスタ部および前記ダイオード部の双方が、
 前記ドリフト領域の上方に設けられた第2導電型のベース領域と、
 前記ベース領域を貫通して前記半導体基板の上面から前記ドリフト領域まで設けられ、
 前記配列方向に垂直な延伸方向に延伸している複数のトレンチ部と、
 前記半導体基板の上面および下面の間の中央の深さよりも下面側に、前記トランジスタ部から前記ダイオード部に渡って設けられ、ライフタイムキラーを含む下面側ライフタイム制御領域と、
 を有し、
 前記トランジスタ部は、前記配列方向において、前記下面側ライフタイム制御領域が設けられた部分と、前記下面側ライフタイム制御領域が設けられていない部分とを有する半導体装置。

【請求項2】

前記ダイオード部は、前記配列方向において、前記下面側ライフタイム制御領域が設け

られた部分と、前記下面側ライフタイム制御領域が設けられていない部分とを有する、請求項 1 に記載の半導体装置。

【請求項 3】

前記ダイオード部は、前記半導体基板の下面に露出して設けられた第 1 導電型のカソード領域と、前記半導体基板の下面側に設けられた、電氣的にフローティングとなっている第 2 導電型のフローティング領域と、を有し、

前記フローティング領域は、前記カソード領域の上方において、前記カソード領域の一部を覆っている、

請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記フローティング領域が、前記下面側ライフタイム制御領域よりも前記半導体基板の下面側に設けられる、請求項 3 に記載の半導体装置。

【請求項 5】

前記半導体基板の上面視で、前記フローティング領域の少なくとも一部が、前記下面側ライフタイム制御領域と重なる、請求項 3 または 4 に記載の半導体装置。

【請求項 6】

前記フローティング領域は、前記配列方向に複数設けられ、

複数の前記フローティング領域のうち、少なくとも一つのフローティング領域は、前記半導体基板の上面視で前記下面側ライフタイム制御領域と重ならない、請求項 3 から 5 のいずれか一項に記載の半導体装置。

【請求項 7】

前記下面側ライフタイム制御領域は、前記配列方向において、前記ダイオード部の全体に設けられる、請求項 1 に記載の半導体装置。

【請求項 8】

前記配列方向において、前記トランジスタ部における前記下面側ライフタイム制御領域の長さは、前記ダイオード部における前記下面側ライフタイム制御領域の長さよりも長い、請求項 1 から 7 のいずれか一項に記載の半導体装置。

【請求項 9】

前記下面側ライフタイム制御領域よりも前記半導体基板の上面側に、前記トランジスタ部から前記ダイオード部に渡って設けられ、ライフタイムキラーを含む上面側ライフタイム制御領域をさらに有し、

前記トランジスタ部において、前記下面側ライフタイム制御領域の前記配列方向における長さが、前記上面側ライフタイム制御領域の前記配列方向における長さよりも短い、

請求項 1 から 8 のいずれか一項に記載の半導体装置。

【請求項 10】

前記下面側ライフタイム制御領域よりも前記半導体基板の上面側に、前記トランジスタ部から前記ダイオード部に渡って設けられ、ライフタイムキラーを含む上面側ライフタイム制御領域をさらに有し、

前記トランジスタ部において、前記下面側ライフタイム制御領域の前記配列方向における長さが、前記上面側ライフタイム制御領域の前記配列方向における長さよりも長い、

請求項 1 から 8 のいずれか一項に記載の半導体装置。

【請求項 11】

前記トランジスタ部は、前記半導体基板の下面と前記ドリフト領域との間に設けられた第 2 導電型のコレクタ領域をさらに有し、

前記コレクタ領域は、前記上面側ライフタイム制御領域の前記トランジスタ部における端部から、前記下面側ライフタイム制御領域の前記トランジスタ部における端部へ至る経路の延長線上に設けられる、請求項 9 または 10 に記載の半導体装置。

【請求項 12】

前記ダイオード部において、前記下面側ライフタイム制御領域の前記配列方向における長さが、前記上面側ライフタイム制御領域の前記配列方向における長さよりも短い、

10

20

30

40

50

請求項 9 から 11 のいずれか一項に記載の半導体装置。

【請求項 13】

前記下面側ライフタイム制御領域のライフタイムキラー濃度が、前記上面側ライフタイム制御領域のライフタイムキラー濃度よりも高い、請求項 9 から 12 のいずれか一項に記載の半導体装置。

【請求項 14】

前記配列方向において、前記トランジスタ部における前記上面側ライフタイム制御領域の長さが、前記トランジスタ部の長さの 0.01 倍以上 0.15 倍以下である、請求項 9 から 13 のいずれか一項に記載の半導体装置。

【請求項 15】

前記トランジスタ部における前記上面側ライフタイム制御領域の端部と、前記トランジスタ部における前記下面側ライフタイム制御領域の端部との、前記半導体基板の下面と平行な方向の距離が、前記トランジスタ部における前記上面側ライフタイム制御領域の前記配列方向での長さの 0.25 倍以上 0.5 倍以下である、請求項 9 から 14 のいずれか一項に記載の半導体装置。

【請求項 16】

前記下面側ライフタイム制御領域が、前記延伸方向において、前記上面側ライフタイム制御領域よりも外側まで設けられる、請求項 9 から 15 のいずれか一項に記載の半導体装置。

【請求項 17】

前記上面側ライフタイム制御領域の前記配列方向における長さは、前記半導体基板の厚さよりも大きい、請求項 9 から 16 のいずれか一項に記載の半導体装置。

【請求項 18】

前記下面側ライフタイム制御領域は、前記半導体基板の深さ方向に複数設けられ、前記トランジスタ部において、前記半導体基板の下面側に設けられた前記下面側ライフタイム制御領域の方が、前記半導体基板の上面側に設けられた前記下面側ライフタイム制御領域よりも、前記配列方向における長さが短い請求項 1 から 17 のいずれか一項に記載の半導体装置。

【請求項 19】

前記トランジスタ部において、前記半導体基板の上面側に設けられた前記下面側ライフタイム制御領域の端部から、前記半導体基板の下面側に設けられた前記下面側ライフタイム制御領域の端部までの各端部を結ぶ線が、前記半導体基板の下面に向かって凸形状となるように配置される、請求項 18 に記載の半導体装置。

【請求項 20】

前記ダイオード部において、前記半導体基板の下面側に設けられた前記下面側ライフタイム制御領域の方が、前記半導体基板の上面側に設けられた前記下面側ライフタイム制御領域よりも、前記配列方向における長さが長い、請求項 18 または 19 に記載の半導体装置。

【請求項 21】

前記半導体基板の下面側に設けられた前記下面側ライフタイム制御領域のライフタイムキラー濃度が、前記半導体基板の上面側に設けられた前記下面側ライフタイム制御領域のライフタイムキラー濃度よりも高い、請求項 18 から 20 のいずれか一項に記載の半導体装置。

【請求項 22】

前記トランジスタ部と前記ダイオード部との境界における前記下面側ライフタイム制御領域のライフタイムキラー濃度が、前記境界以外における前記下面側ライフタイム制御領域のライフタイムキラー濃度よりも高い、請求項 1 から 21 のいずれか一項に記載の半導体装置。

【請求項 23】

前記配列方向において、前記ダイオード部における前記下面側ライフタイム制御領域の

10

20

30

40

50

長さが、前記ダイオード部の長さの0.015倍以上0.03倍以下である、請求項1、2および8から22のいずれか一項に記載の半導体装置。

【請求項24】

前記ドリフト領域の下方に、前記トランジスタ部から前記ダイオード部に渡って設けられた第1導電型のバッファ領域をさらに備え、

前記下面側ライフタイム制御領域が、前記バッファ領域に設けられる、

請求項1から23のいずれか一項に記載の半導体装置。

【請求項25】

前記ドリフト領域の下方に、前記トランジスタ部から前記ダイオード部に渡って設けられた第1導電型のバッファ領域をさらに備え、

前記下面側ライフタイム制御領域の下方に設けられた前記バッファ領域の厚さが、前記下面側ライフタイム制御領域の下方に設けられていない前記バッファ領域の厚さよりも大きい、請求項1から23のいずれか一項に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関する。

【背景技術】

【0002】

従来、絶縁ゲート型バイポーラトランジスタ（IGBT）等の半導体装置が知られている（例えば、特許文献1および2参照）。

特許文献1 特開2017-41601号公報

特許文献2 特開2012-43891号公報

【解決しようとする課題】

【0003】

半導体装置においては、リーク電流等の特性を改善することが好ましい。

【一般的開示】

【0004】

本発明の一つの態様においては、第1導電型のドリフト領域を有する半導体基板と、半導体基板に設けられたトランジスタ部と、半導体基板に設けられ、予め定められた配列方向に沿って前記トランジスタ部と配列されたダイオード部と、を備える半導体装置を提供する。トランジスタ部およびダイオード部の双方は、半導体基板の内部においてドリフト領域の上方に設けられた第2導電型のベース領域を有してよい。トランジスタ部およびダイオード部の双方は、半導体基板の上面からベース領域を貫通し、半導体基板の上面において配列方向に垂直な延伸方向に延伸し、内部に導電部が設けられた複数のトレンチ部を有してよい。トランジスタ部およびダイオード部の双方は、半導体基板の下面側に、トランジスタ部からダイオード部に渡って設けられ、ライフタイムキラーを含む下面側ライフタイム制御領域を有してよい。下面側ライフタイム制御領域は、配列方向においてトランジスタ部の一部分に設けられ、他の部分には設けられなくてよい。

【0005】

下面側ライフタイム制御領域は、配列方向において、ダイオード部の一部分に設けられ、他の部分には設けられなくてよい。ダイオード部は、前記半導体基板の下面に露出して設けられた第1導電型のカソード領域と、半導体基板の下面側に設けられた、電氣的にフローティングとなっている第2導電型のフローティング領域と、を有してよい。フローティング領域は、カソード領域の上方において、カソード領域の一部を覆っていてよい。

【0006】

フローティング領域は、下面側ライフタイム制御領域よりも半導体基板の下面側に設けられてよい。半導体基板の上面視で、フローティング領域の少なくとも一部は、下面側ライフタイム制御領域と重なってよい。

【0007】

10

20

30

40

50

フローティング領域は、配列方向に複数設けられてよい。半導体基板の上面視で、複数のフローティング領域のうち、少なくとも一つのフローティング領域は、配列方向において下面側ライフタイム制御領域と重ならないように設けられてよい。

【0008】

下面側ライフタイム制御領域は、前記配列方向において、前記ダイオード部の全体に設けられてもよい。配列方向において、トランジスタ部における下面側ライフタイム制御領域の長さは、ダイオード部における下面側ライフタイム制御領域の長さよりも長くてよい。

【0009】

半導体基板の上面側に、トランジスタ部からダイオード部に渡って設けられ、ライフタイムキラーを含む上面側ライフタイム制御領域をさらに有してよい。トランジスタ部において、下面側ライフタイム制御領域が上面側ライフタイム制御領域よりも、配列方向におけるダイオード部の側に設けられてよい。

10

【0010】

半導体装置は、半導体基板の下面に設けられたコレクタ領域をさらに有してよい。配列方向において、トランジスタ部における上面側ライフタイム制御領域の端部から、トランジスタ部における下面側ライフタイム制御領域の端部へ至る経路の延長上に、コレクタ領域が設けられてよい。

【0011】

ダイオード部において、下面側ライフタイム制御領域が上面側ライフタイム制御領域よりも、配列方向におけるトランジスタ部の側に設けられてよい。下面側ライフタイム制御領域のライフタイムキラー濃度は、上面側ライフタイム制御領域のライフタイムキラー濃度よりも高くてよい。

20

【0012】

配列方向において、トランジスタ部における上面側ライフタイム制御領域の長さが、トランジスタ部の長さの0.01倍以上0.15倍以下であってよい。配列方向において、トランジスタ部における上面側ライフタイム制御領域の端部と、トランジスタ部における下面側ライフタイム制御領域の端部との、半導体基板の下面と平行な方向の距離は、トランジスタ部における上面側ライフタイム制御領域の長さの0.25倍以上0.5倍以下であってよい。

30

【0013】

下面側ライフタイム制御領域は、延伸方向において、上面側ライフタイム制御領域よりも外側まで設けられてよい。配列方向において、上面側ライフタイム制御領域の長さは、半導体基板の厚さよりも大きくてよい。

【0014】

下面側ライフタイム制御領域は、半導体基板の深さ方向に複数設けられてよい。トランジスタ部において、半導体基板の下面側に設けられた下面側ライフタイム制御領域の方が、半導体基板の上面側に設けられた下面側ライフタイム制御領域よりも、配列方向においてダイオード部の側に設けられてよい。トランジスタ部において、半導体基板の上面側に設けられた下面側ライフタイム制御領域の端部から、半導体基板の下面側に設けられた下面側ライフタイム制御領域の端部までが、凸形状となるように配置されてよい。

40

【0015】

ダイオード部において、半導体基板の下面側に設けられた下面側ライフタイム制御領域の方が、半導体基板の上面側に設けられた下面側ライフタイム制御領域よりも、配列方向においてダイオード部の側に設けられてよい。半導体基板の下面側に設けられた下面側ライフタイム制御領域のライフタイムキラー濃度が、半導体基板の上面側に設けられた下面側ライフタイム制御領域のライフタイムキラー濃度よりも高くてよい。配列方向において、ダイオード部における下面側ライフタイム制御領域の長さは、ダイオード部の長さの0.015倍以上0.03倍以下であってよい。

【0016】

50

半導体装置は、ドリフト領域の下方に、トランジスタ部からダイオード部に渡って設けられた第1導電型のバッファ領域をさらに備えてよい。下面側ライフタイム制御領域は、バッファ領域に設けられてよい。

【0017】

半導体装置は、ドリフト領域の下方に、トランジスタ部からダイオード部に渡って設けられた第1導電型のバッファ領域をさらに備えてよい。下面側ライフタイム制御領域の下方に設けられたバッファ領域の厚さが、下面側ライフタイム制御領域の下方に設けられないバッファ領域の厚さよりも大きくてよい。

【0018】

なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

10

【図面の簡単な説明】

【0019】

【図1】本発明の実施形態に係る半導体装置100の上面を部分的に示す図である。

【図2】図1におけるa-a'断面の一例を示す図である。

【図3】図1におけるa-a'断面の他の一例を示す図である。

【図4】図1におけるa-a'断面の他の一例を示す図である。

【図5】図1におけるa-a'断面の他の一例を示す図である。

【図6】比較例の半導体装置150の上面を部分的に示す図である。

【図7】図6におけるa-a'-a-a'断面の一例を示す図である。

20

【図8】図2のb-b'断面における上面側ライフタイム制御領域72および下面側ライフタイム制御領域74のライフタイムキラー濃度分布の一例を示す図である。

【図9】図1におけるa-a'断面の他の一例を示す図である。

【図10】図1におけるa-a'断面の他の一例を示す図である。

【図11】図9のf-f'断面における上面側ライフタイム制御領域72および下面側ライフタイム制御領域74-1から下面側ライフタイム制御領域74-4のライフタイムキラー濃度分布の一例を示す図である。

【図12】本発明の実施形態に係る半導体チップ98の一例を示す図である。

【図13】図12における領域Fの拡大図である。

【図14】図12におけるg-g'断面の一例を示す図である。

30

【図15】図12におけるg-g'断面の他の一例を示す図である。

【図16】図12におけるg-g'断面の他の一例を示す図である。

【図17】図15のh-h'断面および図16のj-j'断面における下面側ライフタイム制御領域74-4のY軸方向のライフタイムキラー濃度分布の一例を示す図である。

【図18】本実施形態に係る他の半導体装置200の上面を部分的に示す図である。

【図19】図18における領域Gの拡大図である。

【図20】図18におけるq-q'断面の一例を示す図である。

【図21】図20に示すq-q'断面図を、ダイオード部80のY軸負側で隣り合うトランジスタ部70まで含めて示す図である。

【図22】本実施形態に係る半導体チップ120の上面の一例を示す図である。

40

【図23】図22における領域A1の拡大図である。

【図24】図23における領域B1の拡大図である。

【図25】図24における領域B2の拡大図である。

【図26】図24におけるh-h'断面の一例を示す図である。

【図27】図24におけるj-j'断面の一例を示す図である。

【図28】図22における領域A1の他の拡大図である。

【図29】図28における領域C1の拡大図である。

【図30】図29における領域C2の拡大図である。

【図31】図29におけるk-k'断面の一例を示す図である。

【図32】図29におけるm-m'断面の一例を示す図である。

50

【発明を実施するための形態】

【0020】

以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

【0021】

本明細書においては、半導体基板の深さ方向と平行な方向における一方の側を「上」、他方の側を「下」と称する。基板、層またはその他の部材の2つの主面のうち、一方の面を上面、他方の面を下面と称する。「上」、「下」の方向は重力方向、または、半導体装置の実装時における基板等への取り付け方向に限定されない。

10

【0022】

本明細書では、X軸、Y軸およびZ軸の直交座標軸を用いて技術的事項を説明する場合がある。本明細書では、半導体基板の上面と平行な面をXY面とし、半導体基板の深さ方向をZ軸とする。本明細書では、半導体基板の上面と垂直な方向から見ることを上面視と称し、上面視における図を上面図と称する。

【0023】

各実施例においては、第1導電型をN型、第2導電型をP型とした例を示しているが、第1導電型をP型、第2導電型をN型としてもよい。この場合、各実施例における基板、層、領域等の導電型は、それぞれ逆の極性となる。

【0024】

本明細書においてドーピング濃度とは、ドナーまたはアクセプタ化した不純物の濃度を指す。本明細書において、ドナーおよびアクセプタの濃度差をドーピング濃度とする場合がある。また、ドーピングされた領域におけるドーピング濃度分布がピークを有する場合、当該ピーク値を当該ドーピング領域におけるドーピング濃度としてよい。ドーピングされた領域におけるドーピング濃度がほぼ均一な場合等においては、当該ドーピング領域におけるドーピング濃度の平均値をドーピング濃度としてよい。

20

【0025】

図1は、本発明の実施形態に係る半導体装置100の上面の一例を部分的に示す図である。本例の半導体装置100は、トランジスタ部70およびダイオード部80を備える半導体チップである。トランジスタ部70は、IGBT等のトランジスタを含む。ダイオード部80は、半導体基板の上面においてトランジスタ部70と並んで設けられたFWD(Free Wheel Diode)等のダイオードを含む。トランジスタ部70のうち、トランジスタ部70とダイオード部80の境界に位置する領域が、境界部90である。図1においては、チップ端部周辺のチップ上面を示しており、他の領域を省略している。

30

【0026】

また、図1においては、半導体装置100における半導体基板の活性領域を示すが、半導体装置100は、活性領域を囲んでエッジ終端構造部を有してよい。活性領域は、半導体装置100をオン状態に制御した場合に電流が流れる領域を指す。エッジ終端構造部は、半導体基板の上面側の電界集中を緩和する。エッジ終端構造部は、例えばガードリング、フィールドプレート、リサーフおよびこれらを組み合わせた構造を有する。

40

【0027】

本例の半導体装置100は、半導体基板の内部に設けられ、且つ、半導体基板の上面に露出するゲートトレンチ部40、ダミートレンチ部30、ウェル領域11、エミッタ領域12、ベース領域14およびコンタクト領域15を備える。また、本例の半導体装置100は、半導体基板の上面の上方に設けられたエミッタ電極52およびゲート金属層50を備える。エミッタ電極52およびゲート金属層50は、互いに分離して設けられる。

【0028】

エミッタ電極52およびゲート金属層50と、半導体基板の上面との間には層間絶縁膜が設けられるが、図1では省略している。本例の層間絶縁膜には、コンタクトホール56、コンタクトホール49およびコンタクトホール54が、当該層間絶縁膜を貫通して設け

50

られる。

【0029】

また、エミッタ電極52は、コンタクトホール56を通過して、ダミートレンチ部30内のダミー導電部と接続される。エミッタ電極52とダミー導電部との間には、不純物がドーピングされたポリシリコン等の、導電性を有する材料で形成された接続部25が設けられてよい。接続部25と半導体基板の上面との間には、酸化膜等の絶縁膜が設けられる。

【0030】

ゲート金属層50は、コンタクトホール49を通過して、ゲートランナー48と接触する。ゲートランナー48は、不純物がドーピングされたポリシリコン等で形成される。ゲートランナー48は、半導体基板の上面において、ゲートトレンチ部40内のゲート導電部と接続される。ゲートランナー48は、ダミートレンチ部30内のダミー導電部とは接続されない。本例のゲートランナー48は、コンタクトホール49の下方から、ゲートトレンチ部40の先端部まで設けられる。ゲートランナー48と半導体基板の上面との間には、酸化膜等の絶縁膜が設けられる。ゲートトレンチ部40の先端部において、ゲート導電部は半導体基板の上面に露出している。ゲートトレンチ部40は、ゲート導電部の当該露出した部分にて、ゲートランナー48と接触する。

10

【0031】

エミッタ電極52およびゲート金属層50は、金属を含む材料で形成される。例えば、各電極の少なくとも一部の領域は、アルミニウムまたはアルミニウムシリコン合金で形成される。各電極は、アルミニウム等で形成された領域の下層にチタンやチタン化合物等で形成されたバリアメタルを有してよい。また、各電極は、コンタクトホール内においてタングステン等で形成されたプラグを有してもよい。

20

【0032】

1つ以上のゲートトレンチ部40および1つ以上のダミートレンチ部30は、所定の配列方向（本例ではY軸方向）に沿って所定の間隔で配列される。本例のゲートトレンチ部40は、半導体基板の上面に平行であって配列方向と垂直な延伸方向（本例ではX軸方向）に沿って延伸する2つの延伸部分39と、2つの延伸部分39を接続する接続部分41を有してよい。接続部分41の少なくとも一部は、曲線状に設けられることが好ましい。ゲートトレンチ部40の2つの延伸部分39の端部を接続することで、延伸部分39の端部における電界集中を緩和できる。ゲートランナー48は、ゲートトレンチ部40の接続部分41において、ゲート導電部と接続してよい。

30

【0033】

本例のダミートレンチ部30は、ゲートトレンチ部40と同様に半導体基板の上面においてU字形状を有してよい。即ち、本例のダミートレンチ部30は、延伸方向に沿って延伸する2つの延伸部分29と、2つの延伸部分29を接続する接続部分31を有してよい。

【0034】

エミッタ電極52は、ゲートトレンチ部40、ダミートレンチ部30、ウェル領域11、エミッタ領域12、ベース領域14およびコンタクト領域15の上方に設けられる。ウェル領域11は第2導電型である。ウェル領域11は、ゲート金属層50が設けられる側の活性領域の端部から、予め定められた範囲で設けられる。ウェル領域11の拡散深さは、ゲートトレンチ部40およびダミートレンチ部30の深さよりも深くてもよい。ゲートトレンチ部40およびダミートレンチ部30の、ゲート金属層50側の一部の領域は、ウェル領域11に設けられる。ゲートトレンチ部40およびダミートレンチ部30の延伸方向の端の底は、ウェル領域11に覆われてよい。

40

【0035】

トランジスタ部70において、コンタクトホール54は、コンタクト領域15およびエミッタ領域12の各領域の上方に設けられる。ダイオード部80において、コンタクトホール54は、ベース領域14の上方に設けられる。いずれのコンタクトホール54も、X軸方向両端に配置されたベース領域14およびウェル領域11の上方には配置されてい

50

い。

【 0 0 3 6 】

半導体基板の上面と平行な方向において、Y軸方向には各トレンチ部に接してメサ部が設けられる。メサ部とは、隣り合う2つのトレンチ部に挟まれた半導体基板の部分であって、半導体基板の上面から、各トレンチ部の最も深い底部の深さまでの部分であってよい。各トレンチ部の延伸部分を1つのトレンチ部としてよい。即ち、2つの延伸部分に挟まれる領域をメサ部としてよい。

【 0 0 3 7 】

トランジスタ部70においては、境界部90を除き、各トレンチ部に接してトランジスタメサ部60が設けられる。境界部90には、各トレンチ部に接して境界メサ部62が設けられる。また、ダイオード部80においては、隣り合うダミートレンチ部30に挟まれた領域にダイオードメサ部64が設けられる。トランジスタメサ部60、境界メサ部62およびダイオードメサ部64のX軸方向における両端部には、一例としてベース領域14が設けられている。なお、図1においては、X軸方向の一方の端部に設けられたベース領域14のみを示している。

10

【 0 0 3 8 】

トランジスタメサ部60の上面には、ゲートトレンチ部40と接してエミッタ領域12が設けられる。本例のエミッタ領域12は第1導電型である。また、トランジスタメサ部60の上面には、ベース領域14よりもドーピング濃度の高い第2導電型のコンタクト領域15が設けられる。トランジスタメサ部60において、エミッタ領域12およびコンタクト領域15は、ゲートトレンチ部40の延伸方向に交互に設けられてよい。トランジスタメサ部60において、エミッタ領域12およびコンタクト領域15は、コンタクトホール54の下方にも設けられている。

20

【 0 0 3 9 】

トランジスタメサ部60の上面において、エミッタ領域12はダミートレンチ部30と接して設けられてよく、離れて設けられてもよい。図1の例におけるエミッタ領域12は、ダミートレンチ部30と接して設けられている。

【 0 0 4 0 】

境界メサ部62の上面には、ベース領域14よりドーピング濃度の高い第2導電型のコンタクト領域15が設けられる。当該コンタクト領域15は、境界メサ部62のX軸方向における両端部に設けられるベース領域14に挟まれる領域全体に設けられてよい。境界メサ部62において、コンタクト領域15は、コンタクトホール54の下方にも設けられている。

30

【 0 0 4 1 】

ダイオードメサ部64の上面には、X軸方向における両端部にコンタクト領域15が設けられる。また、当該コンタクト領域15に挟まれる領域にベース領域14が設けられる。ベース領域14は、当該コンタクト領域15に挟まれる領域全体に設けられてよい。ダイオードメサ部64において、ベース領域14およびコンタクト領域15は、コンタクトホール54の下方にも設けられている。

【 0 0 4 2 】

本例の半導体装置100は、ダイオード部80においてダミートレンチ部30が設けられる。本例では、それぞれのダミートレンチ部30の直線状の延伸部分29が接続部分31で接続される。それぞれのダミートレンチ部30に挟まれる領域に、ダイオードメサ部64が設けられる。

40

【 0 0 4 3 】

ダイオードメサ部64には、エミッタ領域12が設けられなくてよく、設けられてもよい。本例では、エミッタ領域12が設けられない。ダイオードメサ部64には、コンタクト領域15またはベース領域14が、ダイオードメサ部64を挟む一方のダミートレンチ部30から、他方のダミートレンチ部30に渡って設けられている。即ち、半導体基板の上面において、ダイオードメサ部64のY軸方向の幅と、ダイオードメサ部64に設けら

50

れたコンタクト領域 15 またはベース領域 14 の Y 軸方向の幅は等しい。

【0044】

ダイオード部 80 は、半導体基板の下面側において、第 1 導電型のカソード領域 82 を有する。図 1 に、半導体基板の上面視でカソード領域 82 が設けられる領域を一点鎖線で示している。ダイオード部 80 は、カソード領域 82 を半導体基板の上面に投影した領域であってよい。カソード領域 82 を半導体基板の上面に投影した領域は、コンタクト領域 15 から + X 軸方向に離れていてよい。半導体基板の下面に露出する領域においてカソード領域 82 が設けられていない領域には、第 2 導電型のコレクタ領域が設けられてよい。トランジスタ部 70 は、コレクタ領域を半導体基板の上面に投影した領域のうち、トレンチ部またはメサ部が設けられている領域であってよい。

10

【0045】

本例の半導体装置 100 は、ライフタイムキラーを含む上面側ライフタイム制御領域 72 が、半導体基板の深さ方向において局所的に設けられる。図 1 において、半導体基板の上面視で上面側ライフタイム制御領域 72 が設けられる領域を破線部で示している。上面側ライフタイム制御領域 72 は、図 1 において Y 軸負側の領域、並びに X 軸正側および負側の領域の、図 1 において図示されない領域まで設けられる。なお、本明細書において、半導体基板の上面視で半導体基板に垂直な方向を深さ方向 (Z 軸方向) と称する。

【0046】

本例の半導体装置 100 は、ライフタイムキラーを含む下面側ライフタイム制御領域 74 が、半導体基板の深さ方向において、上面側ライフタイム制御領域 72 の下方に局所的に設けられる。図 1 において、半導体基板の上面視で下面側ライフタイム制御領域 74 が設けられる領域を破線部で示している。下面側ライフタイム制御領域 74 は、図 1 において X 軸正側および負側の領域の、図 1 において図示されない領域まで設けられる。上面視で、上面側ライフタイム制御領域 72 が Y 軸方向に設けられる範囲は、下面側ライフタイム制御領域 74 が設けられる領域よりも広くてよい。

20

【0047】

なお、上面視で、上面側ライフタイム制御領域 72 が設けられる領域内のトレンチ部は、全てダミートレンチ部 30 であってよい。上面側から粒子線を照射して、上面側ライフタイム制御領域 72 を形成する場合がある。ゲートトレンチ部 40 のゲート絶縁膜に粒子線が照射されると、当該ゲート絶縁膜にダメージを引き起こす場合がある。上面側ライフタイム制御領域 72 内のトレンチ部をダミートレンチ部 30 にすることで、当該ゲート絶縁膜へのダメージの発生を抑制できる。このため、トランジスタのゲート閾値変動やゲート絶縁膜破壊を防ぐことができる。

30

【0048】

図 2 は、図 1 における a - a' 断面の一例を示す図である。a - a' 断面は、トランジスタ部 70 およびダイオード部 80 において、エミッタ領域 12、コンタクト領域 15 およびベース領域 14 を通過する YZ 面である。本例の半導体装置 100 は、a - a' 断面において、半導体基板 10、層間絶縁膜 38、エミッタ電極 52 およびコレクタ電極 24 を有する。エミッタ電極 52 は、半導体基板 10 の上面 21 および層間絶縁膜 38 の上面に設けられる。

40

【0049】

コレクタ電極 24 は、半導体基板 10 の下面 23 に設けられる。エミッタ電極 52 およびコレクタ電極 24 は、金属等の導電材料で形成される。

【0050】

半導体基板 10 は、シリコン基板であってよく、炭化シリコン基板であってよく、窒化ガリウム等の窒化物半導体基板等であってもよい。本例の半導体基板 10 はシリコン基板である。

【0051】

本例の半導体基板 10 は、第 1 導電型のドリフト領域 18 を備える。本例のドリフト領域 18 は N-型である。ドリフト領域 18 は、半導体基板 10 において他のドーピング領

50

域が形成されずに残存した領域であってよい。すなわちドリフト領域 18 のドーピング濃度は半導体基板 10 のドーピング濃度であってよい。

【0052】

また、ドリフト領域 18 の下方には第 1 導電型のバッファ領域 20 が設けられてよい。バッファ領域 20 のドーピング濃度は、ドリフト領域 18 のドーピング濃度よりも高い。バッファ領域 20 は、ベース領域 14 の下面側から広がる空乏層が、第 2 導電型のコレクタ領域 22 およびカソード領域 82 に到達することを防ぐフィールドストップ層として機能してよい。

【0053】

ダイオード部 80 は、バッファ領域 20 の下方にカソード領域 82 を有する。カソード領域 82 は、トランジスタ部 70 のコレクタ領域 22 と同じ深さに設けられてよい。ダイオード部 80 は、インバータ等の電力変換回路において、他の半導体装置 100 のトランジスタ部 70 がターンオフする場合に、逆方向に導通する還流電流を流す還流ダイオード (FWD) として機能してよい。

10

【0054】

トランジスタ部 70 において、バッファ領域 20 の下方には、第 2 導電型のコレクタ領域 22 が設けられる。コレクタ領域 22 は、境界メサ部 62 の下面 23 側の領域まで延伸してよい。本例の半導体装置 100 は、境界メサ部 62 の下面 23 までコレクタ領域 22 が延伸しているため、トランジスタ部 70 のエミッタ領域 12 と、ダイオード部 80 のカソード領域 82 との距離を確保できる。このため、本例の半導体装置 100 は、トランジスタ部 70 のエミッタ領域 12 を含むゲート構造部からドリフト領域 18 に注入される電子が、ダイオード部 80 のカソード領域 82 に流出するのを防ぐことができる。

20

【0055】

本例においては、カソード領域 82 が境界メサ部 62 の直下まで設けられる場合と比べて、境界メサ部 62 のコンタクト領域 15 と、ダイオード部 80 のカソード領域 82 との距離も長くできる。このため、本例の半導体装置 100 は、ダイオード部 80 が導通するときに、ベース領域 14 よりも高いドーピング濃度のコンタクト領域 15 から、カソード領域 82 への正孔の注入を抑制できる。

【0056】

トランジスタメサ部 60 および境界メサ部 62 においては、ドリフト領域 18 の上方に第 1 導電型の蓄積領域 16 が設けられてよい。蓄積領域 16 は、ドリフト領域 18 と同じドーパントが、ドリフト領域 18 よりも高濃度に蓄積した領域である。蓄積領域 16 のドーピング濃度は、ドリフト領域 18 のドーピング濃度よりも高い。蓄積領域 16 は、ゲートトレンチ部 40 に接して設けられる。蓄積領域 16 を設けることで、キャリア注入促進効果 (IE 効果) を高めて、オン電圧を低減できる。

30

【0057】

本例において、トランジスタメサ部 60 および境界メサ部 62 における蓄積領域 16 の上方には、第 2 導電型のベース領域 14 が設けられる。ベース領域 14 は、ゲートトレンチ部 40 に接して設けられる。さらに、本例において、トランジスタメサ部 60 におけるベース領域 14 と上面 21 との間には、エミッタ領域 12 が設けられる。エミッタ領域 12 は、ゲートトレンチ部 40 と接して設けられる。エミッタ領域 12 のドーピング濃度は、ドリフト領域 18 のドーピング濃度よりも高い。エミッタ領域 12 のドーパントの一例はヒ素 (As) である。

40

【0058】

本例において、境界メサ部 62 における蓄積領域 16 の上方には、第 2 導電型のコンタクト領域 15 が設けられる。コンタクト領域 15 は、ダミートレンチ部 30 に接して設けられる。境界メサ部 62 には、エミッタ領域 12 が設けられなくてよい。

【0059】

本例において、ダイオードメサ部 64 におけるドリフト領域 18 の上方には、蓄積領域 16 が設けられる。また、本例において、ダイオードメサ部 64 における蓄積領域 16 の

50

上方には、ベース領域 14 が設けられる。ダイオードメサ部 64 においては、エミッタ領域 12 は設けられなくてよい。

【0060】

上面 21 には、1つ以上のゲートトレンチ部 40 および 1つ以上のダミートレンチ部 30 が設けられる。各トレンチ部は、上面 21 からドリフト領域 18 まで設けられる。エミッタ領域 12、コンタクト領域 15 および蓄積領域 16 の少なくともいずれかが設けられている領域においては、各トレンチ部はこれらの領域も貫通して、ドリフト領域 18 に到達するように設けられる。トレンチ部がドーピング領域を貫通するとは、ドーピング領域を形成してからトレンチ部を形成する順序で製造したものに限定されない。トレンチ部を形成した後に、トレンチ部の間にドーピング領域を形成したものを、トレンチ部がドーピング領域を貫通しているものに含まれる。

10

【0061】

ゲートトレンチ部 40 は、上面 21 に設けられたゲートトレンチ、ゲート絶縁膜 42 およびゲート導電部 44 を有する。ゲート絶縁膜 42 は、ゲートトレンチの内壁を覆って設けられる。ゲート絶縁膜 42 は、ゲートトレンチの内壁の半導体を酸化または窒化して形成してよい。ゲート導電部 44 は、ゲートトレンチの内部においてゲート絶縁膜 42 よりも内側に設けられる。ゲート絶縁膜 42 は、ゲート導電部 44 と半導体基板 10 とを絶縁する。ゲート導電部 44 は、ポリシリコン等の導電材料で形成される。ゲートトレンチ部 40 は、上面 21 において層間絶縁膜 38 により覆われる。

20

【0062】

ゲート導電部 44 は、ゲート絶縁膜 42 を挟んでトランジスタメサ部 60 側で隣り合うベース領域 14 と対向する領域を含む。ゲート導電部 44 に所定の電圧が印加されると、ベース領域 14 のうちゲートトレンチに接する界面の表層に電子の反転層によるチャネルが形成される。

【0063】

ダミートレンチ部 30 は、図 2 において、ゲートトレンチ部 40 と同一の構造を有してよい。ダミートレンチ部 30 は、上面 21 側に設けられたダミートレンチ、ダミー絶縁膜 32 およびダミー導電部 34 を有する。ダミー絶縁膜 32 は、ダミートレンチの内壁を覆って設けられる。ダミー導電部 34 は、ダミートレンチの内部に設けられ、且つ、ダミー絶縁膜 32 よりも内側に設けられる。ダミー絶縁膜 32 は、ダミー導電部 34 と半導体基板 10 とを絶縁する。ダミートレンチ部 30 は、上面 21 において層間絶縁膜 38 により覆われる。

30

【0064】

本例の半導体装置 100 は、図 2 に示すように、半導体基板 10 の下面 23 側に、トランジスタ部 70 からダイオード部 80 にわたって設けられた、下面側ライフタイム制御領域 74 を有する。図 2 において、下面側ライフタイム制御領域 74 のライフタイムキラー濃度分布の Z 軸方向におけるピーク位置を「x」の記号にて示している。本例においては、下面側ライフタイム制御領域 74 は Z 軸方向において一つ設けられる。本例においては、下面側ライフタイム制御領域 74 は Y 軸方向においてトランジスタ部 70 の一部分に設けられ、トランジスタ部 70 の他の部分には設けられない。また、本例においては、下面側ライフタイム制御領域 74 は、Y 軸方向においてダイオード部 80 の一部分に設けられ、ダイオード部 80 の他の部分には設けられない。

40

【0065】

半導体基板 10 の厚さを T とする。本例において、下面側ライフタイム制御領域 74 は、上面 21 を基準として、厚さ T の 1/2 よりも深い位置に設けられる。下面側ライフタイム制御領域 74 を、上面 21 を基準として厚さ T の 1/2 よりも浅い位置に設けると、トランジスタ部 70 のリーク電流が増加しやすい。このため、本例においては、下面側ライフタイム制御領域 74 は、上面 21 を基準として厚さ T の 1/2 よりも浅い位置に設けられる。

【0066】

50

本例の半導体装置 100 は、半導体基板 10 の上面 21 側に、トランジスタ部 70 からダイオード部 80 にわたって設けられた上面側ライフタイム制御領域 72 を有する。図 2 において、上面側ライフタイム制御領域 72 のライフタイムキラー濃度分布の Z 軸方向におけるピーク位置を「x」の記号にて示している。本例において、上面側ライフタイム制御領域 72 は、Y 軸方向におけるダイオード部 80 の全体に設けられる。本例において、上面側ライフタイム制御領域 72 は、ダイオード部 80 の Y 軸負側で隣り合う、図 2 に図示されないトランジスタ部 70 まで設けられる。本例において、トランジスタ部 70 における下面側ライフタイム制御領域 74 は、上面側ライフタイム制御領域 72 よりも Y 軸負側に設けられる。即ち、トランジスタ部 70 における下面側ライフタイム制御領域 74 の端部 K1b は、上面側ライフタイム制御領域 72 の端部 K1s よりも Y 軸負側に位置する。

10

【0067】

本例において、上面側ライフタイム制御領域 72 および下面側ライフタイム制御領域 74 は、半導体基板 10 の深さ方向において局所的に設けられている。即ち、上面側ライフタイム制御領域 72 および下面側ライフタイム制御領域 74 は、半導体基板 10 の他の領域に比べ、欠陥密度が高くなっている。ライフタイムキラーの一例は、所定の深さ位置に注入されたヘリウムである。ヘリウムを注入することで、半導体基板 10 の内部に結晶欠陥を形成できる。

【0068】

下面側ライフタイム制御領域 74 は、上面側ライフタイム制御領域 72 に起因するリーク電流特性を改善する機能を有する。下面側ライフタイム制御領域 74 が設けられることで、ドリフト領域 18 に生じた少数キャリアの正孔が、短いライフタイムで多数キャリアの電子と相殺しやすくなる。このため、本例の半導体装置 100 は、トランジスタ部 70 のリーク電流特性を改善できる。また、本例の半導体装置 100 は、下面側ライフタイム制御領域 74 が設けられているので、トランジスタ部 70 のオン電圧とターンオフ損失のトレードオフを良好にできる。

20

【0069】

距離 A は、端部 K1s と端部 K1b との間の Y 軸方向における距離である。距離 B は、端部 K1s からトランジスタ部 70 とダイオード部 80 との境界までの Y 軸方向における距離である。距離 A は、距離 B よりも小さくてよい。距離 A は距離 B の 0.25 倍以上 0.5 倍以下であってよい。また、距離 A は、50 μm 以上 100 μm 以下であってよい。

30

【0070】

本例においては、トランジスタ部 70 において下面側ライフタイム制御領域 74 が上面側ライフタイム制御領域 72 よりも Y 軸負側に設けられる。このため、本例の半導体装置 100 は、ダイオード部 80 の動作時に、トランジスタ部 70 のエミッタ領域 12 からダイオード部 80 のカソード領域 82 への正孔の注入を抑制できる。このため、本例の半導体装置 100 は、ダイオード部 80 の逆回復特性を改善できる。

【0071】

長さ Lb は、トランジスタ部 70 における下面側ライフタイム制御領域 74 の Y 軸方向の長さである。長さ C は、ダイオード部 80 における下面側ライフタイム制御領域 74 の Y 軸方向の長さである。長さ Lb は、長さ C よりも長くてよい。本例の半導体装置 100 は、長さ Lb が長さ C よりも長いので、ダイオード部 80 の動作時に、トランジスタ部 70 のエミッタ領域 12 からダイオード部 80 のカソード領域 82 への正孔の注入を抑制できる。このため、本例の半導体装置 100 は、ダイオード部 80 の逆回復特性を改善できる。

40

【0072】

コレクタ領域 22 は、図 2 において r - r' 線で示すように、端部 K1s から端部 K1b へ至る経路の延長線上に設けられてよい。即ち、端部 K1s と端部 K1b を結ぶ直線は、コレクタ領域 22 と交差してよい。端部 K1s と端部 K1b を結ぶ直線がコレクタ領域 22 と交差するように配置されることで、トランジスタのエミッタ領域 12 からダイオード

50

ド部 80 のカソード領域 82 へ移動する正孔は、下面側ライフタイム制御領域 74 の存在により電子と相殺しやすくなる。このため、本例の半導体装置 100 は、ダイオード部 80 の動作時に、トランジスタ部 70 のエミッタ領域 12 からダイオード部 80 のカソード領域 82 への正孔の注入を抑制できる。

【0073】

本例において、ダイオード部 80 における下面側ライフタイム制御領域 74 は、上面側ライフタイム制御領域 72 よりも、Y 軸正側に設けられる。即ち、本例において、ダイオード部 80 における上面側ライフタイム制御領域 72 は、下面側ライフタイム制御領域 74 の端部 Krb よりも Y 軸負側にも設けられる。

【0074】

図 3 は、図 1 における a - a' 断面の他の一例を示す図である。図 3 の半導体装置 100 は、トランジスタ部 70 の下面側ライフタイム制御領域 74 が、上面側ライフタイム制御領域 72 よりも Y 軸正側に延長して設けられる点で、図 2 の半導体装置 100 と異なる。図 3 においては、端部 K1b が、端部 K1s よりも Y 軸正側に A' の距離に配置される一例を示している。

【0075】

本例の半導体装置 100 は、トランジスタ部 70 の下面側ライフタイム制御領域 74 が、上面側ライフタイム制御領域 72 よりも、Y 軸正側に設けられる。このため、トランジスタ部 70 のエミッタ領域 12 からダイオード部 80 のカソード領域 82 へ移動する正孔は、下面側ライフタイム制御領域 74 の存在により電子と相殺しやすくなる。このため、本例の半導体装置 100 は、ダイオード部 80 の動作時に、トランジスタ部 70 のエミッタ領域 12 からダイオード部 80 のカソード領域 82 への正孔の注入を抑制できる。また、本例の半導体装置 100 は、下面側ライフタイム制御領域 74 が存在することで、トランジスタ部 70 のリーク電流特性を改善できる。また、本例の半導体装置 100 は、下面側ライフタイム制御領域 74 が存在することで、トランジスタ部 70 のオン電圧とターンオフ損失のトレードオフを良好にできる。

【0076】

図 4 は、図 1 における a - a' 断面の他の一例を示す図である。図 4 の半導体装置 100 は、下面側ライフタイム制御領域 74 がバッファ領域 20 に設けられる点で、図 2 の半導体装置 100 と異なる。

【0077】

本例の半導体装置 100 は、下面側ライフタイム制御領域 74 が上面側ライフタイム制御領域 72 よりも Y 軸負側に設けられる。このため、本例の半導体装置 100 は、ダイオード部 80 の動作時に、トランジスタ部 70 のエミッタ領域 12 からダイオード部 80 のカソード領域 82 への正孔の注入を抑制できる。このため、本例の半導体装置 100 は、ダイオード部 80 の逆回復特性を改善できる。また、本例の半導体装置 100 は、下面側ライフタイム制御領域 74 が設けられているので、トランジスタ部 70 のリーク電流特性を改善できる。また、本例の半導体装置 100 は、下面側ライフタイム制御領域 74 が設けられているので、トランジスタ部 70 のオン電圧とターンオフ損失のトレードオフを良好にできる。

【0078】

図 5 は、図 1 における a - a' 断面の他の一例を示す図である。本例において、厚さ Dk は、上方に下面側ライフタイム制御領域 74 が設けられたバッファ領域 20 の Z 軸方向の厚さである。また、厚さ D は、上方に下面側ライフタイム制御領域 74 が設けられないバッファ領域 20 の Z 軸方向の厚さである。本例の半導体装置 100 は、厚さ Dk が厚さ D よりも大きい点で、図 2 の半導体装置 100 と異なる。

【0079】

本例の半導体装置 100 は、下面側ライフタイム制御領域 74 が上面側ライフタイム制御領域 72 よりも、Y 軸負側に設けられる。このため、本例の半導体装置 100 は、ダイオード部 80 の動作時に、トランジスタ部 70 のエミッタ領域 12 からダイオード部 80

10

20

30

40

50

のカソード領域 8 2 への正孔の注入を抑制できる。このため、本例の半導体装置 1 0 0 は、ダイオード部 8 0 の逆回復特性を改善できる。また、本例の半導体装置 1 0 0 は、下面側ライフタイム制御領域 7 4 が設けられているので、トランジスタ部 7 0 のリーク電流特性を改善できる。また、本例の半導体装置 1 0 0 は、下面側ライフタイム制御領域 7 4 が設けられているので、トランジスタ部 7 0 のオン電圧とターンオフ損失のトレードオフを良好にできる。

【 0 0 8 0 】

図 6 は、比較例の半導体装置 1 5 0 の上面を部分的に示す図である。図 6 の半導体装置 1 5 0 は、下面側ライフタイム制御領域 2 7 4 が、Y 軸方向においてトランジスタ部 7 0 およびダイオード部 8 0 の全体にわたって設けられる。上面側ライフタイム制御領域 2 7 2 は、半導体基板 1 0 の上面視で図 1 と同じ位置に設けられる。比較例の半導体装置 1 5 0 は、下面側ライフタイム制御領域 2 7 4 が、図 6 において図示されない Y 軸正側および負側の領域まで設けられる。

10

【 0 0 8 1 】

図 7 は、図 6 における z - z' 断面の一例を示す図である。図 7 に示すように、比較例の半導体装置 1 5 0 は、下面側ライフタイム制御領域 2 7 4 が上面側ライフタイム制御領域 2 7 2 の下方に、Y 軸方向においてトランジスタ部 7 0 およびダイオード部 8 0 の全体にわたって設けられる。このため、比較例の半導体装置 1 5 0 は、ライフタイムキラーに起因するリーク電流特性を改善することが困難である。また、比較例の半導体装置 1 5 0 は、トランジスタ部 7 0 のオン電圧とターンオフ損失のトレードオフが悪化しやすい。

20

【 0 0 8 2 】

図 8 は、図 2 の b - b' 線に沿った、上面側ライフタイム制御領域 7 2 および下面側ライフタイム制御領域 7 4 のライフタイムキラー濃度分布の一例を示す図である。本例では、ヘリウムイオンを上面 2 1 から注入して上面側ライフタイム制御領域 7 2 が形成され、ヘリウムイオンを下面 2 3 から注入して下面側ライフタイム制御領域 7 4 が形成された場合のライフタイムキラー濃度分布の一例を示している。

【 0 0 8 3 】

上面側ライフタイム制御領域 7 2 のライフタイムキラー濃度のピーク位置（上面 2 1 からの Z 軸方向の深さ）は、図 2 において上面側ライフタイム制御領域 7 2 を示す「x」の記号の Z 軸方向における位置に等しい。ヘリウムイオンを上面 2 1 から注入する場合は、ピーク位置よりも上面 2 1 側に、ピーク濃度より低い濃度のライフタイムキラーが分布してよい。

30

【 0 0 8 4 】

下面側ライフタイム制御領域 7 4 のライフタイムキラー濃度のピーク位置（下面 2 3 からの Z 軸方向の深さ）は、図 2 において下面側ライフタイム制御領域 7 4 を示す「x」の記号の Z 軸方向における位置に等しい。ヘリウムイオンを下面 2 3 から注入する場合は、ピーク位置よりも下面 2 3 側に、ピーク濃度より低い濃度のライフタイムキラーが分布してよい。

【 0 0 8 5 】

下面側ライフタイム制御領域 7 4 のライフタイムキラー濃度のピーク濃度は、上面側ライフタイム制御領域 7 2 のライフタイムキラー濃度のピーク濃度より高くてもよく、低くてもよい。本例では、下面側ライフタイム制御領域 7 4 のライフタイムキラー濃度のピーク濃度は、上面側ライフタイム制御領域 7 2 のライフタイムキラー濃度のピーク濃度よりも高い。下面側ライフタイム制御領域 7 4 のライフタイムキラー濃度は、上面側ライフタイム制御領域 7 2 のライフタイムキラー濃度よりも 2 倍から 5 倍高くてもよい。

40

【 0 0 8 6 】

なお、ライフタイムキラー濃度分布の縦軸は、ヘリウム濃度であってもよいし、ヘリウムイオンの注入によって形成された結晶欠陥密度であってもよい。結晶欠陥は、格子間ヘリウム、空孔、複空孔等であってもよい。これらの結晶欠陥により、キャリアの再結合中心が形成される。形成された再結合中心のエネルギー準位（トラップ準位）を介して、キャ

50

リアの再結合が促進される。ライフタイムキラー濃度は、トラップ準位密度に対応する。

【0087】

本例においては、下面側ライフタイム制御領域74のライフタイムキラー濃度が、上面側ライフタイム制御領域72のライフタイムキラー濃度よりも高い。このため、本例の半導体装置100は、上面側ライフタイム制御領域72のキャリアライフタイムを長くできる。このため、本例の半導体装置100は、ライフタイムキラーに起因するリーク電流特性を改善できる。また、本例の半導体装置100は、トランジスタ部70のオン電圧とターンオフ損失のトレードオフを良好にできる。

【0088】

図9は、図1におけるa - a'断面の他の一例を示す図である。図9の半導体装置100は、下面側ライフタイム制御領域74がZ軸方向に複数設けられる点で、図2の半導体装置100と異なる。図9の半導体装置100は、下面側ライフタイム制御領域74がZ軸方向に4つ設けられる一例を示している。図9において、下面側ライフタイム制御領域74-1から下面側ライフタイム制御領域74-4のライフタイムキラー濃度分布のZ軸方向におけるピーク位置を、それぞれ「x」の記号にて示している。

10

【0089】

本例において、下面23側に設けられた下面側ライフタイム制御領域74-4は、上面21側に設けられた下面側ライフタイム制御領域74-1よりも、Y軸負側に設けられる。即ち、図9の破線t - t'で示すように、下面側ライフタイム制御領域74の端部は、下面側ライフタイム制御領域74-1の端部K1b1から下面側ライフタイム制御領域74-4の端部K1b4へ至るほど、図9のY軸負側に配置されてよい。端部K1b1から端部K1b4は、YZ面内において、破線t - t'で示す直線状に配置されてよい。

20

【0090】

本例においては、下面側ライフタイム制御領域74-4が上面側ライフタイム制御領域72よりもY軸負側に設けられる。このため、本例の半導体装置100は、ダイオード部80の動作時に、トランジスタ部70のエミッタ領域12からダイオード部80のカソード領域82への正孔の注入を抑制できる。このため、本例の半導体装置100は、ダイオード部80の逆回復特性を改善できる。なお、4つの下面側ライフタイム制御領域74のそれぞれのY軸方向の長さは、相互に異なっていてもよい。

【0091】

ダイオード部80において、下面23側に設けられた下面側ライフタイム制御領域74-4は、上面21側に設けられた下面側ライフタイム制御領域74-1よりも、Y軸負側に設けられてよい。即ち、図9の破線u - u'で示すように、下面側ライフタイム制御領域74の端部は、下面側ライフタイム制御領域74-1の端部Krb1から下面側ライフタイム制御領域74-4の端部Krb4へ至るほど、図9のY軸負側に位置してよい。端部Krb1から端部Krb4は、YZ面内において、破線u - u'で示す直線状に配置されてよい。

30

【0092】

本例の半導体装置100は、下面側ライフタイム制御領域74のY軸正側の端部が、端部K1b1から端部K1b4へ至るほどY軸負側に位置している。これにより、本例の半導体装置100は、ダイオード部80の動作時に、トランジスタ部70のエミッタ領域12からダイオード部80のカソード領域82への正孔の注入を抑制できる。

40

【0093】

図10は、図1におけるa - a'断面の他の一例を示す図である。図10の半導体装置100は、破線v - v'で示すように、端部K1b1から端部K1b4までが、YZ面内において、Y軸正側に凸形状となるように配置される点で、図9の半導体装置100と異なる。図10の半導体装置100は、図9の半導体装置100と比較して、端部K1b2および端部K1b3がY軸方向において正側に位置している。これにより、本例の半導体装置100は、図9の半導体装置100よりも、ダイオード部80の動作時に、トランジスタ部70のエミッタ領域12からダイオード部80のカソード領域82への正孔の注入

50

を、より抑制できる。なお、図10において、端部Krb1から端部Krb4までは、YZ面内において直線状に配置されているが、Y軸負側に凸形状となるように配置されてもよく、Y軸正側に凸形状となるように配置されてもよい。

【0094】

図11は、図9のf-f'線に沿った、上面側ライフタイム制御領域72および下面側ライフタイム制御領域74-1から下面側ライフタイム制御領域74-4のライフタイムキラークラウド分布を示す図である。本例においては、ヘリウムイオンを下面23から注入して、下面側ライフタイム制御領域74-1から下面側ライフタイム制御領域74-4をそれぞれ形成された場合のライフタイムキラークラウド分布の一例を示している。

【0095】

下面側ライフタイム制御領域74のライフタイムキラークラウドのピーク位置(下面23からのZ軸方向の深さ)は、図9において下面側ライフタイム制御領域74を示す「x」の記号のZ軸方向における位置に等しい。ヘリウムイオンを下面23から注入する場合は、ピーク位置よりも下面23側に、ピーク濃度より低い濃度のライフタイムキラークラウドが分布してよい。

【0096】

図11に示すように、下面23側に設けられた下面側ライフタイム制御領域74-4のライフタイムキラークラウド濃度は、上面21側に設けられた下面側ライフタイム制御領域74-1のライフタイムキラークラウド濃度よりも高くてもよい。下面側ライフタイム制御領域74-4のライフタイムキラークラウド濃度は、下面側ライフタイム制御領域74-1のライフタイムキラークラウド濃度の2倍から5倍高くてもよい。

【0097】

下面側ライフタイム制御領域74のライフタイムキラークラウド濃度は、下面側ライフタイム制御領域74-1から下面側ライフタイム制御領域74-4へ至るほど高くてもよい。4つの下面側ライフタイム制御領域74において、Z軸方向に隣り合う2つの下面側ライフタイム制御領域74のそれぞれのピーク濃度の間には、ライフタイムキラークラウド濃度の極小を示す谷が形成されてよい。下面23側の谷におけるライフタイムキラークラウド濃度の極小値は、上面21側の谷におけるライフタイムキラークラウド濃度の極小値よりも高くてもよい。さらに、下面側ライフタイム制御領域74-4のピーク濃度の位置から下面23の位置までにおけるライフタイムキラークラウド濃度は、Z軸方向に隣り合う2つの下面側ライフタイム制御領域74の間

【0098】

本例の半導体装置100は、下面23側に設けられた下面側ライフタイム制御領域74-4のライフタイムキラークラウド濃度が、上面21側に設けられた下面側ライフタイム制御領域74-1のライフタイムキラークラウド濃度よりも高い。このため、本例の半導体装置100は、下面23側に設けられた下面側ライフタイム制御領域74-4のライフタイムキラークラウド濃度が上面21側に設けられた下面側ライフタイム制御領域74-1のライフタイムキラークラウド濃度よりも低い場合よりも、上面側ライフタイム制御領域72のキャリアライフタイムを長くできる。このため、本例の半導体装置100は、ライフタイムキラークラウドに起因するリーク電流特性を改善できる。また、本例の半導体装置100は、トランジスタ部70のオン電圧とターンオフ損失のトレードオフを良好にできる。

【0099】

なお、下面側ライフタイム制御領域74において、ライフタイムキラークラウド濃度は上面21側から下面23側にかけて全体的に高くなっていけばよい。即ち、下面側ライフタイム制御領域74-2のライフタイムキラークラウド濃度が下面側ライフタイム制御領域74-3のライフタイムキラークラウド濃度より高い等、局所的にライフタイムキラークラウド濃度の高低が逆になっていてもよい。

【0100】

図12は、本発明の実施形態に係る半導体チップ98の一例を示す図である。図12に示すように、本例の半導体チップ98は、トランジスタ部70およびダイオード部80が

10

20

30

40

50

、XY面内において交互に周期的に配列されている。図12は、トランジスタ部70がX軸方向に2つ、Y軸方向に5つ設けられ、ダイオード部80がX軸方向に2つ、Y軸方向に6つ設けられる一例を示している。なお、図1は、図12の領域Sを拡大した図である。

【0101】

本例において、上面側ライフタイム制御領域72は図12における破線部の領域に設けられる。上面側ライフタイム制御領域72は、図12に示すように、XY平面内においてダイオード部80のカソード領域82を包含するように設けられてよい。また、本例において、下面側ライフタイム制御領域74は図12における一点鎖線部の領域に設けられる。下面側ライフタイム制御領域74は、トランジスタ部70からダイオード部80にわたって設けられてよい。また、ダイオード部80のカソード領域82は、図12の上面視で半導体チップ98の深さ方向に設けられる。

10

【0102】

幅WIは、トランジスタ部70のY軸方向における幅である。また、幅WFは、ダイオード部80のY軸方向における幅である。幅WIは、幅WFよりも大きくてよい。幅WIは、幅WFの2倍以上5倍以下であってよい。幅WIは、一例として1500 μ mである。また、幅WFは、一例として500 μ mである。

【0103】

下面側ライフタイム制御領域74は、図12に示すように、X軸方向において上面側ライフタイム制御領域72よりも外側である領域Eまで設けられてよい。即ち、下面側ライフタイム制御領域74は、上面側ライフタイム制御領域72よりも、半導体チップ98のX軸両端まで設けられてよい。

20

【0104】

図13は、図12における領域Fの拡大図である。距離Bは、Y軸方向において、端部K1sから、トランジスタ部70とダイオード部80との境界までの距離である。また、距離Cは、Y軸方向において、トランジスタ部70とダイオード部80との境界と、端部K1bとの間の距離である。距離Bは、トランジスタ部70の幅WIの0.01倍以上0.15倍以下であってよい。また、距離Cは、ダイオード部80の幅WFの0.015倍以上0.03倍以下であってよい。なお、距離Aは、Y軸方向において、端部K1sと端部K1bとの間の距離である。

30

【0105】

図14は、図12におけるg-g'断面の一例を示す図である。本例の半導体装置100は、上面側ライフタイム制御領域72が、Y軸方向において、トランジスタ部70からダイオード部80を経て、当該ダイオード部80に反対側で隣り合うトランジスタ部70まで設けられる。また、本例の半導体装置100は、下面側ライフタイム制御領域74-1から下面側ライフタイム制御領域74-4が、Y軸方向において、ダイオード部80の両側で隣り合うトランジスタ部70のそれぞれから、当該ダイオード部80にわたって設けられる。

【0106】

距離Dは、Y軸方向において、Y軸正側の下面側ライフタイム制御領域74-4の端部K1b4と、Y軸負側の下面側ライフタイム制御領域74-4の端部Krb4との間の距離である。距離Dがダイオード部80の幅WFに占める割合は、95%以上99%以下であってよい。

40

【0107】

本例において、上面側ライフタイム制御領域72は、Y軸正側のトランジスタ部70からダイオード部80を経て、Y軸負側のトランジスタ部70まで設けられる。長さLsは、端部K1sと端部Krsとの間の長さである。長さLsは、半導体基板10の厚さTよりも大きくてよい。長さLsを厚さTよりも大きくすることで、ドリフト領域18に生じた正孔が、電子と再結合しやすくなる。このため、本例の半導体装置100は、トランジスタ部70のスイッチング損失を抑制できる。

50

【 0 1 0 8 】

図 1 5 は、図 1 2 における $g - g'$ 断面の他の一例を示す図である。本例の半導体装置 1 0 0 は、下面側ライフタイム制御領域 7 4 - 1 から下面側ライフタイム制御領域 7 4 - 4 が、ダイオード部 8 0 において Y 軸方向における全体に設けられている点で、図 1 4 の半導体装置 1 0 0 と異なる。ダイオード部 8 0 において、FWD の特性は、下面側ライフタイム制御領域 7 4 に影響されにくい。このため、下面側ライフタイム制御領域 7 4 - 1 から下面側ライフタイム制御領域 7 4 - 4 は、ダイオード部 8 0 の Y 軸方向における全体に設けられてもよい。

【 0 1 0 9 】

図 1 6 は、図 1 2 における $g - g'$ 断面の他の一例を示す図である。図 1 6 の半導体装置 1 0 0 は、トランジスタ部 7 0 とダイオード部 8 0 との境界における下面側ライフタイム制御領域 7 4 - 1 から下面側ライフタイム制御領域 7 4 - 4 のライフタイムキラー濃度が、当該境界以外における下面側ライフタイム制御領域 7 4 - 1 から下面側ライフタイム制御領域 7 4 - 4 のライフタイムキラー濃度よりも高い点で、図 1 5 の半導体装置 1 0 0 と異なる。

10

【 0 1 1 0 】

図 1 6 において、トランジスタ部 7 0 とダイオード部 8 0 との境界を領域 U および領域 U' で示している。本例においては、領域 U および領域 U' における下面側ライフタイム制御領域 7 4 - 1 から下面側ライフタイム制御領域 7 4 - 4 のライフタイムキラー濃度が、領域 U および領域 U' 以外よりも高い。このため、本例の半導体装置 1 0 0 は、図 1 5 の半導体装置 1 0 0 よりも、ダイオード部 8 0 の動作時に、トランジスタ部 7 0 のエミッタ領域 1 2 からダイオード部 8 0 のカソード領域 8 2 への正孔の注入を、より抑制できる。このため、本例の半導体装置 1 0 0 は、ダイオード部 8 0 の逆回復特性を、より改善できる。なお、Y 軸方向における領域 U および領域 U' 以外の領域において、ダイオード部 8 0 の下面側ライフタイム制御領域 7 4 - 1 から下面側ライフタイム制御領域 7 4 - 4 が部分的に設けられない領域があってもよい。

20

【 0 1 1 1 】

図 1 7 は、図 1 5 の $h - h'$ 線および図 1 6 の $j - j'$ 線に沿った、下面側ライフタイム制御領域 7 4 - 4 の Y 軸方向におけるライフタイムキラー濃度分布の一例を示す図である。本例において、 $j - j'$ 断面における下面側ライフタイム制御領域 7 4 - 4 のライフタイムキラー濃度は、領域 U および領域 U' において局所的に高い。領域 U および領域 U' において、 $j - j'$ 断面における下面側ライフタイム制御領域 7 4 - 4 のライフタイムキラー濃度は、 $h - h'$ 断面における下面側ライフタイム制御領域 7 4 - 4 のライフタイムキラー濃度の 2 倍から 5 倍高くてもよい。

30

【 0 1 1 2 】

本例の半導体装置 1 0 0 は、下面側ライフタイム制御領域 7 4 のライフタイムキラー濃度が、領域 U および領域 U' において局所的に高い。このため、本例の半導体装置 1 0 0 は、図 1 5 の例と比較して、ダイオード部 8 0 の動作時にトランジスタ部 7 0 のエミッタ領域 1 2 からダイオード部 8 0 への正孔の注入を、より抑制できる。このため、本例の半導体装置 1 0 0 は、図 1 5 の例と比較して、ダイオード部 8 0 の逆回復特性を、より改善

40

【 0 1 1 3 】

なお、領域 U および領域 U' における下面側ライフタイム制御領域 7 4 - 1 のライフタイムキラー濃度は、相互に異なってもよい。また、下面側ライフタイム制御領域 7 4 - 1 から下面側ライフタイム制御領域 7 4 - 4 のうちのいずれかのライフタイムキラー濃度が、領域 U および領域 U' において局所的に高くてもよい。

【 0 1 1 4 】

図 1 8 は、本実施形態に係る他の半導体装置 2 0 0 の上面の一例を部分的に示す図である。図 1 8 に示す半導体装置 2 0 0 は、ダイオード部 8 0 の上面 2 1 よりも下方に、第 2 導電型のフローティング領域 1 7 が設けられる点で、図 1 に示す半導体装置 1 0 0 と異なる

50

る。フローティング領域 17 は、一例として P + 型である。

【 0 1 1 5 】

フローティング領域 17 は、図 18 に示す通り、半導体基板 10 の上面視で、カソード領域 82 の X 軸負側の端から、X 軸正側に所定の距離をおいて設けられてよい。フローティング領域 17 は、半導体基板 10 の上面視で、カソード領域 82 の Y 軸正側の端から、Y 軸負側に所定の距離をおいて設けられてよい。

【 0 1 1 6 】

フローティング領域 17 は、半導体基板 10 の上面視で、Y 軸方向に複数設けられてよい。フローティング領域 17 は、図 18 において、X 軸方向には 1 つを図示しているが、カソード領域 82 の X 軸負側の端に隣り合う領域から、X 軸正側の端に隣り合う領域まで、X 軸方向に複数設けられてよい。フローティング領域 17 は、上面視でカソード領域 82 の内側に設けられてよい。

10

【 0 1 1 7 】

図 19 は、図 18 における領域 G の拡大図である。図 19 に示す通り、幅 W_{f11} は、フローティング領域 17 の Y 軸方向の幅である、幅 W_{f12} は、フローティング領域 17 の X 軸方向の幅である。幅 W_{ff1} は、フローティング領域 17 と、当該フローティング領域に Y 軸方向で隣り合う他のフローティング領域 17 との間隔である。また、幅 W_m は、ダイオードメサ部 64 のメサ幅である。なお、図 19 に示すフローティング領域 17 の X 軸正側にも、当該フローティング領域 17 に隣り合って、他のフローティング領域 17 が所定の間隔をおいて複数設けられてよい。

20

【 0 1 1 8 】

幅 W_{f11} は、幅 W_m よりも小さくてよい。幅 W_{f12} は、幅 W_m よりも小さくてよい。幅 W_{ff1} は、幅 W_{f11} よりも小さくてよい。幅 W_{ff1} は、幅 W_{f12} よりも小さくてよい。

【 0 1 1 9 】

図 20 は、図 18 における q - q' 断面の一例を示す図である。図 20 に示すように、本例の半導体装置 200 は、ダイオード部 80 において、下面 23 側にフローティング領域 17 が設けられる。フローティング領域 17 は、バッファ領域 20 の上方に設けられてよい。また、フローティング領域 17 は、バッファ領域 20 に接して設けられてよい。

【 0 1 2 0 】

フローティング領域 17 は、電氣的にフローティング状態の領域である。電氣的にフローティング状態とは、コレクタ電極 24 およびエミッタ電極 52 のいずれにも電氣的に接続されていない状態を指す。

30

【 0 1 2 1 】

フローティング領域 17 は、Y 軸方向に複数設けられてよい。また、フローティング領域 17 は、図 20 に示すフローティング領域 17 の X 軸正側にも、複数設けられてよい。Z 軸方向において、フローティング領域 17 は、下面側ライフタイム制御領域 74 よりも下面 23 側に設けられてよい。フローティング領域 17 の少なくとも一部は、上面視で、ダイオード部 80 の一部に設けられる下面側ライフタイム制御領域 74 と重なってよい。図 20 は、Y 軸方向において最も正側に設けられるフローティング領域 17 が、上面視で下面側ライフタイム制御領域 74 と重なる一例を示しているが、当該フローティング領域 17 の少なくとも一部が、上面視で下面側ライフタイム制御領域 74 と重なっていてもよい。

40

【 0 1 2 2 】

上面視で、少なくとも一つのフローティング領域 17 は、Y 軸方向において下面側ライフタイム制御領域 74 と重ならなくてよい。図 20 は、Y 軸方向において最も正側に設けられるフローティング領域 17 を除くフローティング領域 17 が、Y 軸方向において下面側ライフタイム制御領域 74 と重ならない一例を示している。

【 0 1 2 3 】

距離 D_s は、上面側ライフタイム制御領域 72 の上面 21 からの Z 軸方向における距離

50

である。距離 D_b は、下面側ライフタイム制御領域 74 の下面 23 からの Z 軸方向における距離である。距離 D_s および距離 D_b は、共に半導体基板 10 の厚さ T の $1/2$ よりも小さくてよい。距離 D_b は、距離 D_s よりも小さくてよい。距離 D_s は、 $10\ \mu\text{m}$ 以上 $30\ \mu\text{m}$ 以下であってよい。距離 D_s は、一例として $17\ \mu\text{m}$ である。距離 D_b は、 $5\ \mu\text{m}$ 以上 $20\ \mu\text{m}$ 以下であってよい。距離 D_b は、一例として $10\ \mu\text{m}$ である。

【0124】

図 21 は、図 20 に示す $q - q'$ 断面図を、ダイオード部 80 の Y 軸負側で隣り合うトランジスタ部 70 まで含めて示す図である。本例の半導体装置 200 は、ダイオード部 80 において、フローティング領域 17 が Y 軸方向に間隔 W_{f1} をおいて複数設けられる。Y 軸方向において最も正側に設けられるフローティング領域 17 は、当該ダイオード部 80 に Y 軸正側で隣り合うトランジスタ部 70 との境界に隣り合って設けられてよい。Y 軸方向において最も負側に設けられるフローティング領域 17 は、当該ダイオード部 80 に Y 軸負側で隣り合うトランジスタ部 70 との境界に隣り合って設けられてよい。

10

【0125】

本例の半導体装置 200 は、ダイオード部 80 にフローティング領域 17 が設けられるので、カソード領域 82 からの電子の注入を抑制できる。このため、本例の半導体装置 200 は、ダイオード部 80 のサージ電圧を抑制できる。

【0126】

Y 軸方向において最も正側に設けられるフローティング領域 17 から、最も負側に設けられるフローティング領域 17 までの、各フローティング領域 17 の幅 W_{f1} の総和は、ダイオード部 80 の Y 軸方向の幅 W_F よりも小さくてよい。即ち、フローティング領域 17 は、カソード領域 82 の上方において、カソード領域 82 の一部を覆っていてよい。言い換えると、カソード領域 82 の Y 軸方向における一部分は、フローティング領域 17 に覆われなくてよい。本例に半導体装置 200 は、カソード領域 82 の Y 軸方向における一部分がフローティング領域 17 に覆われないので、ダイオード部 80 がダイオード動作できる。

20

【0127】

Y 軸方向において最も正側に設けられるフローティング領域 17 から、最も負側に設けられるフローティング領域 17 までの、各フローティング領域 17 の幅 W_{f1} の総和は、ダイオード部 80 の Y 軸方向の幅 W_F の 65% 以上 95% 以下であってよい。より好ましくは、当該総和は、幅 W_F の 75% 以上 85% 以下であってよい。本例の半導体装置 200 は、当該総和を幅 W_F の 65% 以上 95% 以下としているので、ダイオード部 80 のサージ電圧を抑制しつつ、ダイオード部 80 がダイオード動作できる。

30

【0128】

距離 D は、Y 軸正側の下面側ライフタイム制御領域 74 の Y 軸負側の端部から、Y 軸負側の下面側ライフタイム制御領域 74 の Y 軸正側の端部までの距離である。即ち、距離 D は、ダイオード部 80 において、下面側ライフタイム制御領域 74 が設けられない領域の Y 軸方向における幅である。距離 D は、Y 軸方向において最も正側に設けられるフローティング領域 17 から、最も負側に設けられるフローティング領域 17 までの、各フローティング領域 17 の幅 W_{f1} の総和よりも大きくてよい。

40

【0129】

距離 D は、ダイオード部 80 の Y 軸方向の幅 W_F の 95% 以上 99% 以下であってよい。より好ましくは、距離 D は、幅 W_F の 96% 以上 98% 以下であってよい。即ち、下面側ライフタイム制御領域 74 が設けられる領域は、Y 軸方向において、幅 W_F の 1% 以上 5% 以下であってよく、より好ましくは 2% 以上 4% 以下であってよい。本例の半導体装置 200 は、ダイオード部 80 にフローティング領域 17 が設けられるので、ダイオード部 80 において、半導体基板 10 の深さ方向におけるキャリア分布を調整できる。

【0130】

また、本例の半導体装置 200 は、トランジスタ部 70 に下面側ライフタイム制御領域 74 が設けられるので、ドリフト領域 18 に生じた少数キャリアの正孔が、短いライフタ

50

イムで多数キャリアの電子と相殺しやすくなる。このため、本例の半導体装置 200 は、トランジスタ部 70 のリーク電流特性を改善できる。また、本例の半導体装置 200 は、トランジスタ部 70 のオン電圧とターンオフ損失のトレードオフを良好にできる。

【0131】

図 22 は、本実施形態に係る半導体チップ 120 の上面の一例を示す図である。図 22 に示すように、本例の半導体チップ 120 は、トランジスタ部 70 およびダイオード部 80 が、XY 面内において交互に周期的に配列されている。図 22 は、トランジスタ部 70 が X 軸方向に 3 つ、Y 軸方向に 7 つ設けられ、ダイオード部 80 が X 軸方向に 3 つ、Y 軸方向に 6 つ設けられる一例を示している。

【0132】

X 軸方向に同じ位置を有するトランジスタ部 70 およびダイオード部 80 と、当該トランジスタ部 70 および当該ダイオード部の X 軸正側または負側で隣り合う、別のトランジスタ部 70 およびダイオード部 80 との間には、分割部 46 が設けられてよい。分割部 46 には、トランジスタ部 70 にゲート電圧を供給するゲートランナー 48 が設けられてよい。

【0133】

幅 WI は、トランジスタ部 70 の Y 軸方向における幅である。幅 WF はダイオード部 80 の Y 軸方向における幅である。幅 Wh は、後述するように、X 軸正側のウェル領域 11 の端部から、X 軸負側のウェル領域 11 の端部までの幅である。当該幅は、ベース領域 14 が半導体基板 10 の上面 21 側に設けられ、且つウェル領域 11 が設けられていない部分の幅に等しい。

【0134】

トランジスタ部 70 において、幅 Wh で示される領域には、上面 21 に露出してコンタクト領域 15 およびエミッタ領域 12 が設けられる。ダイオード部 80 において、幅 Wh で示される領域には、上面 21 に露出してコンタクト領域 15 およびベース領域 14 が設けられる。

【0135】

半導体チップ 120 の外周縁と、トランジスタ部 70 およびダイオード部 80 の間には、エッジ終端部があってよい。また、エッジ終端部とトランジスタ部 70 およびダイオード部 80 の間には、ゲート金属層 50 と、ゲート金属層 50 が集約されたゲートパッド部（不図示）、または他の所定のパッド部があってよい。トランジスタ部 70 およびダイオード部 80 の配列方向（Y 軸方向）において、外周側の両端にはトランジスタ部 70 が配置されてよい。当該トランジスタ部 70 は、エッジ終端部と対向してよい。

【0136】

本例の半導体チップ 120 には、上面側ライフタイム制御領域 72 および下面側ライフタイム制御領域 74 が設けられる。図 22 において、上面視で上面側ライフタイム制御領域 72 および下面側ライフタイム制御領域 74 が設けられる範囲を、それぞれ斜線部で示している。上面側ライフタイム制御領域 72 および下面側ライフタイム制御領域 74 は、X 軸正側のエッジ終端部から X 軸負側のエッジ終端部まで、分割部 46 をまたいで X 軸方向に連続して設けられてよい。

【0137】

上面側ライフタイム制御領域 72 は、ダイオード部 80 の Y 軸正側で隣り合うトランジスタ部 70 の Y 軸方向における一部から、当該ダイオード部 80 の Y 軸負側で隣り合うトランジスタ部 70 の Y 軸方向における一部まで、Y 軸方向に連続して設けられてよい。即ち、上面側ライフタイム制御領域 72 は、ダイオード部 80 の Y 軸方向における全体を覆うように、当該ダイオード部 80 の Y 軸正側で隣り合うトランジスタ部 70 から、Y 軸負側で隣り合うトランジスタ部 70 まで、Y 軸方向に連続して設けられてよい。トランジスタ部 70 の Y 軸方向における中央部には、上面側ライフタイム制御領域 72 が設けられなくてよい。

【0138】

10

20

30

40

50

下面側ライフタイム制御領域74は、トランジスタ部70のうちダイオード部80に隣り合う領域から、当該ダイオード部80のうち当該トランジスタ部70に隣り合う領域まで、Y軸方向に連続して設けられてよい。即ち、下面側ライフタイム制御領域74は、トランジスタ部70とダイオード部80との境界をまたいで、当該トランジスタ部70から当該ダイオード部80にわたって、Y軸方向に連続して設けられてよい。

【0139】

ダイオード部80のY軸方向における中央部には、下面側ライフタイムキラーが設けられなくてよい。上面視で、ダイオード部80にY軸正側で隣り合うトランジスタ部70との境界と重なる領域に設けられる下面側ライフタイム制御領域74と、Y軸負側で隣り合うトランジスタ部70との境界と重なる領域に設けられる下面側ライフタイム制御領域74は、それぞれ別の下面側ライフタイム制御領域74であってよい。

10

【0140】

図23は、図22における領域A1の拡大図である。図23は、ダイオード部80におけるカソード領域82およびフローティング領域17の構成を示す図である。図23においては、ダイオード部80およびトランジスタ部70に設けられるゲートトレンチ部40およびダミートレンチ部30等、カソード領域82およびフローティング領域17以外の構成を省略して示している。

【0141】

本例の半導体装置300は、ダイオード部80において、カソード領域82のXY平面内における内側に、フローティング領域17がX軸方向に10個、Y軸方向に2個設けられる。また、本例の半導体装置300は、ダイオード部80およびトランジスタ部70のX軸正側に、P+型のウェル領域11の端部Sが設けられる。また、本例の半導体装置300は、ダイオード部80およびトランジスタ部70のX軸負側に、P+型のウェル領域11の端部S'が設けられる。本例において、ウェル領域11はトランジスタ部70とダイオード部80が交互に配置された領域の外側に設けられている。言い換えると、本例においては、端部Sよりもトランジスタ部70およびダイオード部80の内部の領域にはウェル領域11が設けられていない。

20

【0142】

カソード領域82と、コンタクトホール54、ダミートレンチ部30、および、コンタクトホール54のX軸方向における端部に設けられたコンタクト領域15等、カソード領域82以外の構成との位置関係は、図1および図18に示した上面図における位置関係と等しくてよい。

30

【0143】

本例の半導体装置300は、ダイオード部80のY軸正側およびY軸負側の双方に、当該ダイオード部80と隣り合ってトランジスタ部70が設けられる。トランジスタ部70のY軸方向の幅WIは、ダイオード部80のY軸方向の幅WFよりも大きくてよい。幅WIは、幅WFの2倍以上5倍以下であってよい。幅WIは、1200μm以上2000μm以下であってよい。幅WIは、一例として1500μmである。幅WFは、400μm以上600μm以下であってよい。幅WFは、一例として500μmである。

40

【0144】

また、X軸正側のウェル領域11の端部Sから、X軸負側のウェル領域11の端部S'までの幅Whは、幅WIよりも大きくてよい。幅Whは、幅WIの1.5倍以上3倍以下であってよい。幅Whは、3000μm以上3600μm以下であってよい。幅Whは、一例として3100μmである。

【0145】

幅Whは、幅WIと幅WFの和よりも大きくてよい。本例の半導体装置300は、幅Whが幅WIと幅WFの和よりも大きいので、トランジスタ部70がオン状態となる場合、またはダイオード部80が導通状態となる場合に、スナッチバック現象を抑制できる。スナッチバック現象とは、コレクタ電極24とエミッタ電極52との間に流れる電流の増加に対して、コレクタ電極24とエミッタ電極52との間の電圧が急に減少する現象である

50

【 0 1 4 6 】

本例の半導体装置 3 0 0 は、上面側ライフタイム制御領域 7 2 が、ダイオード部 8 0 の Y 軸正側で隣り合うトランジスタ部 7 0 の Y 軸方向における一部から、当該ダイオード部 8 0 の Y 軸負側で隣り合うトランジスタ部 7 0 の Y 軸方向における一部まで、Y 軸方向に連続して設けられる。上面側ライフタイム制御領域 7 2 は、トランジスタ部 7 0 およびダイオード部 8 0 の X 軸正側に設けられるウェル領域 1 1 から X 軸負側に設けられるウェル領域 1 1 まで、X 軸方向に連続して設けられてよい。図 2 3 において、上面側ライフタイム制御領域が設けられる領域を斜線部で示している。上面側ライフタイム制御領域 7 2 は、トランジスタ部 7 0 の Y 軸方向における一部には設けられなくてよい。

10

【 0 1 4 7 】

長さ L_s は、上面側ライフタイム制御領域 7 2 の Y 軸方向における長さである。距離 B は、ダイオード部 8 0 に Y 軸正側で隣り合うトランジスタ部 7 0 との境界から、上面側ライフタイム制御領域 7 2 の Y 軸正側の端までの距離である。また、距離 B は、ダイオード部 8 0 に Y 軸負側で隣り合うトランジスタ部 7 0 との境界から、上面側ライフタイム制御領域 7 2 の Y 軸負側の端までの距離である。

【 0 1 4 8 】

本例の半導体装置 3 0 0 は、下面側ライフタイム制御領域 7 4 が、トランジスタ部 7 0 のうちダイオード部 8 0 に隣り合う領域から、当該ダイオード部 8 0 のうち当該トランジスタ部 7 0 に隣り合う領域まで、Y 軸方向に連続して設けられる。即ち、本例において、下面側ライフタイム制御領域 7 4 は、トランジスタ部 7 0 とダイオード部 8 0 との境界をまたいで、当該トランジスタ部 7 0 から当該ダイオード部 8 0 にわたって、Y 軸方向に連続して設けられる。長さ L_b は、下面側ライフタイム制御領域 7 4 の Y 軸方向における長さである。

20

【 0 1 4 9 】

本例の半導体装置 3 0 0 は、ダイオード部 8 0 の Y 軸方向における中央部に下面側ライフタイムキラーが設けられない。また、本例においては、半導体基板 1 0 の上面視で、ダイオード部 8 0 に Y 軸正側で隣り合うトランジスタ部 7 0 との境界と重なる領域と、Y 軸負側で隣り合うトランジスタ部 7 0 との境界と重なる領域とは、それぞれ別の下面側ライフタイム制御領域 7 4 が設けられる。

30

【 0 1 5 0 】

下面側ライフタイム制御領域 7 4 は、上面視で、フローティング領域 1 7 のうち、トランジスタ部 7 0 とダイオード部 8 0 との境界側の Y 軸方向における一部と重なるように設けられてよい。距離 C は、ダイオード部 8 0 の Y 軸正側で隣り合うトランジスタ部 7 0 との境界から、下面側ライフタイム制御領域 7 4 の Y 軸負側の端までの距離である。また、距離 C は、ダイオード部 8 0 の Y 軸負側で隣り合うトランジスタ部 7 0 との境界から、下面側ライフタイム制御領域 7 4 の Y 軸正側の端までの距離である。

【 0 1 5 1 】

距離 D は、Y 軸正側の下面側ライフタイム制御領域 7 4 の Y 軸負側の端から、Y 軸負側の下面側ライフタイム制御領域 7 4 の Y 軸正側の端までの、Y 軸方向における距離である。距離 A は、Y 軸正側の下面側ライフタイム制御領域 7 4 の Y 軸正側の端から、上面側ライフタイム制御領域 7 2 の Y 軸正側の端までの、Y 軸方向における距離である。

40

【 0 1 5 2 】

距離 A は、距離 B よりも小さくてよい。即ち、トランジスタ部 7 0 において、下面側ライフタイム制御領域 7 4 は、上面側ライフタイム制御領域 7 2 よりもダイオード部 8 0 側に配置されてよい。本例の半導体装置 3 0 0 は、距離 A が距離 B よりも小さいので、ダイオード部 8 0 の動作時に、トランジスタ部 7 0 のエミッタ領域 1 2 からダイオード部 8 0 のカソード領域 8 2 への正孔の注入を抑制できる。このため、本例の半導体装置 3 0 0 は、ダイオード部 8 0 の逆回復特性を改善できる。なお、距離 A は、距離 B の 0 . 2 5 倍以上 0 . 5 倍以下であってよい。また、距離 A は、5 0 μ m 以上 1 0 0 μ m 以下であってよ

50

い。

【0153】

長さ L_b は、距離 C よりも長くてよい。即ち、トランジスタ部70とダイオード部80との境界からダイオード部80側に設けられる下面側ライフタイム制御領域74よりも、当該境界からトランジスタ部70側に設けられる下面側ライフタイム制御領域74の方が、 Y 軸方向に長くてよい。本例の半導体装置300は、長さ L_b が距離 C よりも長いので、ダイオード部80の動作時に、トランジスタ部70のエミッタ領域12からダイオード部80のカソード領域82への正孔の注入を抑制できる。このため、本例の半導体装置300は、ダイオード部80の逆回復特性を改善できる。

【0154】

図24は、図23における領域B1の拡大図である。図24は、図23におけるダイオード部80の X 軸正側のウェル領域11の端 S から X 軸負側のウェル領域11の端 S' までを、拡大して示している。本例の半導体装置300は、ダイオード部80において、カソード領域82の XY 平面内における内側に、フローティング領域17が、 X 軸方向に10個、 Y 軸方向に2個設けられる。

【0155】

幅 W_{wc} は、 X 軸正側のウェル領域11の端部 S からカソード領域82の X 軸正側の端までの X 軸方向における幅である。また、幅 W_{wc} は、 X 軸負側のウェル領域11の端部 S' からカソード領域82の X 軸負側の端までの X 軸方向における幅である。

【0156】

幅 W_{wc} は、ダイオード部80の幅 W_F よりも小さくてよい。幅 W_{wc} は、幅 W_F の0.25倍以上0.75倍以下であってよい。幅 W_{wc} は、 $150\mu\text{m}$ 以上 $300\mu\text{m}$ 以下であってよい。幅 W_{wc} は、一例として $250\mu\text{m}$ である。

【0157】

コンタクトホール54は、 Y 軸方向に複数並んで設けられる。図24においては、コンタクトホール54は1つが図示されているが、実際には、図1および図18に示した上面図から明らかなように、 X 軸方向における位置が当該コンタクトホール54の端部 T の位置に等しく、且つ、当該コンタクトホール54の端部 T' の位置に等しいコンタクトホール54が、 Y 軸方向に複数設けられている。

【0158】

幅 W_{wca} は、ウェル領域11の X 軸正側の端部 S と、コンタクトホール54の X 軸正側の端部 T との間の X 軸方向における幅である。また、幅 W_{wca} は、ウェル領域11の X 軸負側の端部 S' と、コンタクトホール54の X 軸負側の端部 T' との間の X 軸方向における幅である。

【0159】

本例において、コンタクトホール54の X 軸正側の端部 T は、ウェル領域11の X 軸正側の端部 S から X 軸負側に、幅 W_{wca} 離れて設けられている。また、コンタクトホール54の X 軸負側の端部 T' は、ウェル領域11の X 軸負側の端部 S' から X 軸正側に、幅 W_{wca} 離れて設けられている。コンタクトホール54は、端部 T から端部 T' まで、 X 軸方向に連続して設けられてよい。

【0160】

幅 W_{wcb} は、コンタクトホール54の端部 T とカソード領域82の X 軸正側の端との間の X 軸方向における幅である。また、幅 W_{wcb} は、コンタクトホール54の端部 T' とカソード領域82の X 軸負側の端との間の X 軸方向における幅である。

【0161】

幅 W_{wca} は、幅 W_{wcb} よりも小さくてよい。幅 W_{wca} は、幅 W_{wcb} の0.1倍以上0.9倍以下であってよい。幅 W_{wca} は、 $20\mu\text{m}$ 以上 $110\mu\text{m}$ 以下であってよい。幅 W_{wcb} は、 $120\mu\text{m}$ 以上 $180\mu\text{m}$ 以下であってよい。幅 W_{wca} は、一例として $100\mu\text{m}$ である。幅 W_{wcb} は、一例として $150\mu\text{m}$ である。幅 W_{wca} と幅 W_{wcb} の和は、幅 W_{wc} である。

10

20

30

40

50

【 0 1 6 2 】

本例において、カソード領域 8 2 の X Y 平面内における内側には、フローティング領域 1 7 が設けられる。フローティング領域 1 7 は、コレクタ電極 2 4 およびエミッタ電極 5 2 のいずれにも電氣的に接続されない。

【 0 1 6 3 】

本例において、フローティング領域 1 7 は、X Y 平面内において格子状に設けられる。格子状とは、フローティング領域 1 7 が X 軸方向および Y 軸方向の双方に、周期的に配列されている状態を指す。本例において、フローティング領域 1 7 は Y 軸方向に 2 つ設けられ、X 軸方向に 1 0 個設けられる。

【 0 1 6 4 】

開口領域 8 5 は、X 軸方向に隣り合って設けられる 2 つのフローティング領域 1 7 の X 軸方向における間の領域である。また、開口領域 8 5 は、Y 軸方向に隣り合って設けられる 2 つのフローティング領域 1 7 の Y 軸方向における間の領域である。本例において、フローティング領域 1 7 は、カソード領域 8 2 の X 軸負側から X 軸正側にわたって、開口領域 8 5 を挟んで 1 0 個設けられる。

【 0 1 6 5 】

幅 W_{ff2} は、開口領域 8 5 の X 軸方向における幅である。幅 W_{ff2} は、フローティング領域 1 7 の X 軸方向における幅 W_{f12} よりも小さい。幅 W_{ff2} は、ダイオード部 8 0 の幅 W_F より小さくてよい。幅 W_{ff2} は、幅 W_F の 0.01 倍以上 0.05 倍以下であってよい。幅 W_{ff2} は、6 μm 以上 20 μm 以下であってよい。幅 W_{ff2} は、一例として 10 μm である。

【 0 1 6 6 】

フローティング領域 1 7 の X 軸方向における幅 W_{f12} は、ダイオード部 8 0 の幅 W_F より小さくてよい。幅 W_{f12} は、幅 W_F の 0.25 倍以上 0.75 倍以下であってよい。幅 W_{f12} は、150 μm 以上 300 μm 以下であってよい。幅 W_{f12} は、一例として 240 μm である。

【 0 1 6 7 】

フローティング領域 1 7 の Y 軸方向における幅 W_{f11} は、ダイオード部 8 0 の幅 W_F より小さくてよい。幅 W_{f11} は、幅 W_F の 0.25 倍以上 0.75 倍以下であってよい。幅 W_{f11} は、150 μm 以上 300 μm 以下であってよい。幅 W_{f11} は、幅 W_{f12} と等しくてもよいし、異なってもよい。幅 W_{f11} は、一例として 240 μm である。

【 0 1 6 8 】

幅 W_{cf2} は、カソード領域 8 2 の X 軸正側の端と、X 軸方向の最も正側に配置されるフローティング領域 1 7 の X 軸正側の端との間の X 軸方向における幅である。幅 W_{cf2} は、幅 W_{ff2} よりも小さくてよい。幅 W_{cf2} は、幅 W_{ff2} の 0.1 倍以上 0.9 倍以下であってよい。幅 W_{cf2} は、ゼロでなければよい。幅 W_{cf2} は、2 μm 以上 6 μm 以下であってよい。幅 W_{cf2} は、一例として 5 μm である。なお、カソード領域 8 2 の X 軸負側の端と、X 軸方向の最も負側に配置されるフローティング領域 1 7 の X 軸負側の端との間の X 軸方向における幅も、幅 W_{cf2} に等しくてもよい。

【 0 1 6 9 】

本例の半導体装置 3 0 0 において、フローティング領域 1 7 は、Y 軸方向に開口領域 8 5 を挟んで 2 つ設けられる。ここで、幅 W_{ff1} は、開口領域 8 5 の Y 軸方向における幅である。幅 W_{ff1} は、幅 W_{f11} よりも小さくてよい。幅 W_{ff1} は、ダイオード部 8 0 の幅 W_F よりも小さくてよい。幅 W_{ff1} は、ダイオード部 8 0 の幅 W_F の 0.01 倍以上 0.05 倍以下であってよい。幅 W_{ff1} は、6 μm 以上 20 μm 以下であってよい。幅 W_{ff1} は、幅 W_{ff2} と等しくてもよいし、異なってもよい。幅 W_{ff1} は、一例として 10 μm である。

【 0 1 7 0 】

カソード領域 8 2 の内側に配置される複数のフローティング領域 1 7 の X Y 平面内にお

10

20

30

40

50

ける面積の合計は、当該カソード領域 8 2 の X Y 平面内における面積よりも小さくてよい。当該複数のフローティング領域 1 7 の X Y 平面内における面積の合計は、当該カソード領域 8 2 の X Y 平面内における面積の 5 0 % 以上 9 9 % 以下であってよい。一例として、 W_h が $3100\ \mu\text{m}$ 、 W_{wc} が $250\ \mu\text{m}$ 、 W_{f12} および W_{f11} が $240\ \mu\text{m}$ 、 W_{cf2} および W_{cf1} が $5\ \mu\text{m}$ 、並びに W_{ff2} および W_{ff1} が $10\ \mu\text{m}$ の場合、X Y 平面内において、カソード領域 8 2 の面積に占める複数のフローティング領域 1 7 の面積の合計は、88.6%となる。即ち、カソード領域 8 2 の一部分は、フローティング領域 1 7 に覆われなくてよい。本例の半導体装置 3 0 0 は、カソード領域 8 2 の一部分がフローティング領域 1 7 に覆われないので、ダイオード部 8 0 がダイオード動作できる。

【0171】

幅 W_{cf1} は、カソード領域 8 2 の Y 軸正側の端から、Y 軸正側のフローティング領域 1 7 の Y 軸正側の端までの幅である。また、幅 W_{cf1} は、カソード領域 8 2 の Y 軸負側の端から、Y 軸負側のフローティング領域 1 7 の Y 軸負側の端までの幅である。

【0172】

幅 W_{cf1} は、ダイオード部 8 0 の幅 W_F より小さくてよい。幅 W_{cf1} は、幅 W_F の 0.01 倍以上 0.05 倍以下であってよい。幅 W_{cf1} は、ゼロでなければよい。また、幅 W_{cf1} は、幅 W_{cf2} と等しくてもよいし、異なってもよい。幅 W_{cf1} は、 $2\ \mu\text{m}$ 以上 $6\ \mu\text{m}$ 以下であってよい。幅 W_{cf1} は、一例として $5\ \mu\text{m}$ である。

【0173】

幅 W_{cnt} は、コンタクトホール 5 4 の配列方向 (Y 軸方向) の幅である。幅 W_{cnt} は、 W_{ff2} より小さくてよい。本例において幅 W_{cnt} は、 W_{ff1} より小さくてよい。本例において幅 W_{cnt} は、 W_{cf2} より小さくてよい。本例において幅 W_{cnt} は、 W_{cf1} より小さくてよい。幅 W_{cnt} は、 $0.3\ \mu\text{m}$ 以上 $0.7\ \mu\text{m}$ 以下であってよい。幅 W_{cnt} は、一例として $0.5\ \mu\text{m}$ である。

【0174】

本例において、上面側ライフタイム制御領域 7 2 は、上面視で領域 B 1 の全面に設けられる。本例において、下面側ライフタイム制御領域 7 4 は、X 軸方向における領域 B の X 軸正側から負側まで、連続して設けられる。本例において、下面側ライフタイム制御領域 7 4 は、上面視でダイオード部 8 0 に Y 軸正側で隣り合うトランジスタ部 7 0 との境界と重なる領域と、Y 軸負側で隣り合うトランジスタ部 7 0 との境界と重なる領域とに、それぞれ設けられる。本例において、ダイオード部 8 0 の Y 軸方向における中央部には、下面側ライフタイム制御領域 7 4 が設けられない。

【0175】

距離 C は、ダイオード部 8 0 の Y 軸正側で隣り合うトランジスタ部 7 0 との境界から、下面側ライフタイム制御領域 7 4 の Y 軸負側の端までの距離である。また、距離 C は、ダイオード部 8 0 の Y 軸負側で隣り合うトランジスタ部 7 0 との境界から、下面側ライフタイム制御領域 7 4 の Y 軸正側の端までの距離である。距離 D は、Y 軸正側の下面側ライフタイム制御領域 7 4 の Y 軸負側の端から、Y 軸負側の下面側ライフタイム制御領域 7 4 の Y 軸正側の端までの、Y 軸方向における距離である。即ち、距離 D は、Y 軸方向において、下面側ライフタイム制御領域 7 4 が設けられない領域の幅である。

【0176】

図 2 5 は、図 2 4 における領域 B 2 の拡大図である。本例において、幅 W_{cf2} は、カソード領域 8 2 の X 軸正側の端と、X 軸方向において最も正側に配置されるフローティング領域 1 7 の X 軸正側の端との間の X 軸方向における幅である。また、幅 W_{cf1} は、カソード領域 8 2 の Y 軸正側の端と、Y 軸正側のフローティング領域 1 7 の Y 軸正側の端との間の Y 軸方向における幅である。幅 W_{cf1} は、一例として $5\ \mu\text{m}$ である。

【0177】

幅 W_{ff2} は、開口領域 8 5 の X 軸方向における幅である。幅 W_{f12} は、フローティング領域 1 7 の X 軸方向における幅である。幅 W_{cf2} は、幅 W_{f12} よりも小さくてよい。本例の半導体装置 3 0 0 は、幅 W_{cf2} が幅 W_{f12} よりも小さいので、ダイオード

10

20

30

40

50

部 80 の端部において、カソード領域 82 からの電子の注入を抑制できる。距離 C は、ダイオード部 80 に Y 軸正側で隣り合うトランジスタ部 70 との境界と、下面側ライフタイム制御領域 74 の Y 軸負側の端との間の Y 軸方向における距離である。

【 0 1 7 8 】

図 26 は、図 24 における h - h' 断面の一例を示す図である。ダイオード部 80 においては、上面 21 に設けられるベース領域 14 の下方に、第 1 導電型の高濃度領域 19 が設けられてよい。本例の高濃度領域 19 は、一例として N + 型である。ダイオード部 80 には、高濃度領域 19 が設けられなくてもよい。

【 0 1 7 9 】

高濃度領域 19 は、Z 軸方向に複数設けられてもよい。本例においては、高濃度領域 19 が 2 つ、即ち、高濃度領域 19 - 1 および高濃度領域 19 - 2 が設けられている。Z 軸方向において、高濃度領域 19 - 1 と高濃度領域 19 - 2 の間には、N 型の領域が設けられる。当該 N 型の領域におけるドーピング濃度は、高濃度領域 19 - 1 および高濃度領域 19 - 2 よりも低濃度であってよい。当該 N 型の領域におけるドーピング濃度は、ドリフト領域 18 のドーピング濃度と等しいか、またはドリフト領域 18 のドーピング濃度よりも高濃度であってよい。

【 0 1 8 0 】

高濃度領域 19 においては、ドリフト領域 18 と比べて、電荷中性条件により正孔の濃度が減少する。即ち、高濃度領域 19 が、ベース領域 14 からドリフト領域 18 への正孔の注入を抑制する。このため、本例の半導体装置 300 は、ベース領域 14 からドリフト領域 18 への少数キャリアの注入効率を格段に低減できる。

【 0 1 8 1 】

少数キャリアの注入効率は、高濃度領域 19 の個数が多いほど低減される。このため、高濃度領域 19 の個数が多いほど、ダイオード部 80 の逆回復特性、特にリカバリー電流が大きく低減される。

【 0 1 8 2 】

本例の半導体装置 300 は、ダイオード部 80 において、カソード領域 82 の上方に設けられたバッファ領域 20 内に、フローティング領域 17 が設けられる。本例において、フローティング領域 17 は、h - h' 断面において、Y 軸方向に 2 つ設けられる。

【 0 1 8 3 】

本例においては、半導体基板 10 の下面 23 と平行な面内において、コレクタ領域 22 とカソード領域 82 との境界位置が 2 つ存在する。境界位置 P1 は、Y 軸正側の境界位置である。また、境界位置 P1' は、Y 軸負側の境界位置である。境界位置 P1 および P1' は、h - h' 断面と平行な断面における境界位置である。本例において、h - h' 断面は下面 23 と垂直であり、且つ、ダミートレンチ部 30 の配列方向と平行な面である。

【 0 1 8 4 】

本例においては、下面 23 と平行な面内において、フローティング領域 17 の端部位置が 2 つ存在する。端部位置 P2 は、Y 軸正側に配置されるフローティング領域 17 の、境界位置 P1 に最も近い端部の Y 軸方向における位置である。また、端部位置 P2' は、Y 軸負側に配置されるフローティング領域 17 の、境界位置 P1' に最も近い端部の Y 軸方向における位置である。フローティング領域 17 は、端部位置 P2 から端部位置 P2' まで、Y 軸方向に複数設けられてよい。本例においては、フローティング領域 17 は、端部位置 P2 から端部位置 P2' まで、Y 軸方向に 2 つ設けられる。

【 0 1 8 5 】

また、本例においては、Z 軸方向においてフローティング領域 17 と略同一の深さ位置に、フローティング領域 17 が設けられていない開口領域 85 が存在する。開口領域 85 は、Y 軸方向においてフローティング領域 17 に挟まれた領域を指してよい。一例として、開口領域 85 は N + 型の領域である。開口領域 85 のドーピング濃度は、ドリフト領域 18 またはバッファ領域 20 のドーピング濃度と略同一であってよい。開口領域 85 は、フローティング領域 17 が形成されずに残存したドリフト領域 18 またはバッファ領域 2

10

20

30

40

50

0であってよい。

【0186】

幅 W_{cf1} は、境界位置 $P1$ から端部位置 $P2$ までの幅である。また、幅 W_{cf1} は、境界位置 $P1'$ から端部位置 $P2'$ までの幅である。幅 W_{ff1} は、 Y 軸方向において、開口領域85を挟んで隣り合う2つのフローティング領域17の間隔である。幅 W_{cf1} は、幅 W_{ff1} よりも小さくてよい。幅 W_{cf1} は、幅 W_{ff1} の半分以下であってよく、 $1/4$ 以下であってよい。幅 W_{cf1} は、ゼロでなければよい。本例の半導体装置300は、幅 W_{cf1} が小さいので、ダイオード部80の端部において、カソード領域82からの電子の注入を抑制できる。

【0187】

幅 W_d は、フローティング領域17の Z 軸方向の幅である。幅 W_d は、幅 W_{cf1} よりも小さくてよい。幅 W_d は、幅 W_{cf1} の 0.05 倍以上 0.5 倍以下であってよい。幅 W_d は、 $0.3\mu\text{m}$ 以上 $1\mu\text{m}$ 以下であってよい。幅 W_d は、一例として $0.5\mu\text{m}$ である。

【0188】

本例の半導体装置300は、上面21側に上面側ライフタイム制御領域72が設けられる。また、下面23側に下面側ライフタイム制御領域74が設けられる。上面側ライフタイム制御領域72のライフタイムキラー濃度のピークは、上面21から Z 軸負側に距離 D_s の位置に設けられる。下面側ライフタイム制御領域74のライフタイムキラー濃度のピークは、下面23から Z 軸正側に距離 D_b の位置に設けられる。距離 D_s および距離 D_b は、共に半導体基板10の厚さ T の $1/2$ よりも小さくてよい。距離 D_b は、距離 D_s よりも小さくてよい。距離 D_s は、 $10\mu\text{m}$ 以上 $30\mu\text{m}$ 以下であってよい。距離 D_s は、一例として $17\mu\text{m}$ である。距離 D_b は、 $5\mu\text{m}$ 以上 $20\mu\text{m}$ 以下であってよい。距離 D_b は、一例として $10\mu\text{m}$ である。

【0189】

本例において、上面側ライフタイム制御領域72は、 $h-h'$ 断面において Y 軸方向における全体に設けられる。即ち、本例において、上面側ライフタイム制御領域72は、ダイオード部80の Y 軸正側に隣り合うトランジスタ部70から Y 軸負側に隣り合うトランジスタ部70にわたって、当該ダイオード部80を通過して Y 軸方向に連続して設けられる。

【0190】

距離 C は、ダイオード部80の Y 軸正側で隣り合うトランジスタ部70との境界から、下面側ライフタイム制御領域74の Y 軸負側の端までの Y 軸方向における距離である。また、距離 C は、ダイオード部80の Y 軸負側で隣り合うトランジスタ部70との境界から、下面側ライフタイム制御領域74の Y 軸正側の端までの Y 軸方向における距離である。距離 D は、 Y 軸正側の下面側ライフタイム制御領域74の Y 軸負側の端と、 Y 軸負側の下面側ライフタイム制御領域74の Y 軸正側の端との間の Y 軸方向における距離である。即ち、距離 D は、 Y 軸方向において、下面側ライフタイム制御領域74が設けられない領域の幅である。

【0191】

距離 D は、幅 WF の 95% 以上 99% 以下であってよい。より好ましくは、距離 D は、幅 WF の 98% であってよい。即ち、下面側ライフタイム制御領域74が設けられる領域は、 Y 軸方向において、幅 WF の 1% 以上 5% 以下であってよく、より好ましくは 2% 以上 4% 以下であってよい。本例の半導体装置300は、ダイオード部80にフローティング領域17が設けられるので、ダイオード部80において、半導体基板10の深さ方向におけるキャリア分布を調整できる。

【0192】

また、本例の半導体装置300は、トランジスタ部70に下面側ライフタイム制御領域74が設けられるので、ドリフト領域18に生じた少数キャリアの正孔が、短いライフタイムで多数キャリアの電子と相殺しやすくなる。このため、本例の半導体装置300は、

10

20

30

40

50

トランジスタ部 70 のリーク電流特性を改善できる。また、本例の半導体装置 300 は、トランジスタ部 70 のオン電圧とターンオフ損失のトレードオフを良好にできる。

【0193】

図 27 は、図 24 における $j - j'$ 断面の一例を示す図である。 $j - j'$ 断面は、図 26 における $J'' - J'''$ 線を通る XZ 平面である。本例の半導体装置 300 は、ダイオード部 80 において、カソード領域 82 の上方に設けられたバッファ領域 20 内に、フローティング領域 17 が設けられる。

【0194】

本例の半導体装置 300 は、 $j - j'$ 断面において、上面 21 側に上面側ライフタイム制御領域 72 が設けられる。当該 $j - j'$ 断面においては、下面 23 側に下面側ライフタイム制御領域 74 が設けられない。

10

【0195】

本例においては、半導体基板 10 の下面 23 と平行な面内において、コレクタ領域 22 とカソード領域 82 との境界位置が 2 つ存在する。境界位置 P5 は、X 軸負側の境界の X 軸方向における位置である。また、境界位置 P5' は、X 軸正側の境界の X 軸方向における位置である。境界位置 P5 および P5' は、 $j - j'$ 断面と平行な断面における境界位置である。本例において、 $j - j'$ 断面は下面 23 と垂直であり、且つ、ダミートレンチ部 30 の延伸方向と平行な面である。

【0196】

本例においては、下面 23 と平行な面内において、フローティング領域 17 の端部位置が 2 つ存在する。端部位置 P6 は、X 軸方向において最も負側に配置されるフローティング領域 17 の、境界位置 P5 に最も近い端部の X 軸方向における位置である。また、端部位置 P6' は、X 軸方向において最も正側に配置されるフローティング領域 17 の、境界位置 P5' に最も近い端部の X 軸方向における位置である。

20

【0197】

また、本例においては、Z 軸方向において、フローティング領域 17 と略同一深さ位置には、フローティング領域 17 が設けられていない開口領域 85 が存在する。開口領域 85 は、X 軸方向においてフローティング領域 17 に挟まれた領域を指してよい。一例として、開口領域 85 は N+ 型の領域である。開口領域 85 のドーピング濃度は、ドリフト領域 18 またはバッファ領域 20 のドーピング濃度と略同一であってよい。開口領域 85 は、フローティング領域 17 が形成されずに残存したドリフト領域 18 またはバッファ領域 20 であってよい。

30

【0198】

幅 W_{f12} は、フローティング領域 17 の X 軸方向における幅である。幅 W_{cf2} は、境界位置 P5 と端部位置 P6 との間の X 軸方向における幅である。また、幅 W_{cf2} は、境界位置 P5' と端部位置 P6' との間の X 軸方向における幅である。また、幅 W_{ff2} は、X 軸方向において、開口領域 85 を挟んで隣り合う 2 つのフローティング領域 17 の間隔である。幅 W_{cf2} は、幅 W_{ff2} よりも小さくてよい。本例の半導体装置 300 は、ダイオード部 80 において、フローティング領域 17 を XY 平面内において格子状に設けているので、ダイオード部 80 の逆回復時のサージ電圧（オーバーシュート電圧）を抑制できる。

40

【0199】

図 28 は、図 22 における領域 A1 の他の拡大図である。本例の半導体装置 300 は、図 23 に示す半導体装置 300 と同様に、ダイオード部 80 の Y 軸正側および負側に、ダイオード部 80 と隣り合ってトランジスタ部 70 が設けられる。

【0200】

本例の半導体装置 300 は、ダイオード部 80 におけるフローティング領域 17 の配置が、図 23 に示す半導体装置 300 と異なる。本例の半導体装置 300 は、ダイオード部 80 において、XY 平面内におけるカソード領域 82 の内側に、フローティング領域 17 が、破線部で示すカソード領域 82 の Y 軸正側の境界側から Y 軸負側の境界側まで、連続

50

的に設けられる。フローティング領域 17 が Y 軸方向に連続的に設けられるとは、カソード領域 82 の Y 軸正側の境界側から Y 軸負側の境界側までの Y 軸方向何れの場所においても、X 軸方向に、フローティング領域 17 が設けられない領域が無いことを指す。

【0201】

図 29 は、図 28 における領域 C1 の拡大図である。図 29 は、図 28 におけるダイオード部 80 の X 軸正側のウェル領域 11 の端 S から X 軸負側のウェル領域 11 の端 S' までを、拡大して示している。

【0202】

本例においては、フローティング領域 17 は、XY 平面内においてストライプ状に設けられる。ストライプ状とは、長形状のフローティング領域 17 が、当該長方形の短辺方向に、所定の間隔を置いて複数設けられている状態を指す。本例のフローティング領域 17 は、Y 軸方向を長辺、X 軸方向を短辺とする長形状である。本例においては、当該フローティング領域 17 が、カソード領域 82 の X 軸方向における最も負側から最も正側にわたって、X 軸方向に複数設けられてい。幅 $W_{ff2'}$ は、X 軸方向に隣り合って設けられる 2 つのフローティング領域 17 の間の X 軸方向における幅である。

【0203】

幅 $W_{ff2'}$ は、ダイオード部 80 の幅 W_F より小さくてよい。幅 $W_{ff2'}$ は、幅 W_F の 0.01 倍以上 0.05 倍以下であってよい。幅 $W_{ff2'}$ は、6 μm 以上 20 μm 以下であってよい。幅 $W_{ff2'}$ は、一例として 10 μm である。

【0204】

幅 $W_{f12'}$ は、フローティング領域 17 の X 軸方向の幅である。幅 $W_{f12'}$ は、ダイオード部 80 の幅 W_F よりも小さくてよい。幅 $W_{f12'}$ は、幅 W_F の 0.04 倍以上 0.13 倍以下であってよい。幅 $W_{f12'}$ は、25 μm 以上 50 μm 以下であってよい。幅 $W_{f12'}$ は、一例として 40 μm である。

【0205】

幅 $W_{f11'}$ は、フローティング領域 17 の Y 軸方向における幅である。幅 $W_{f11'}$ は、ダイオード部 80 の幅 W_F より小さくてよい。幅 $W_{f11'}$ は、幅 W_F の 0.5 倍以上 0.99 倍以下であってよい。幅 $W_{f11'}$ は、440 μm 以上 540 μm 以下であってよい。幅 $W_{f11'}$ は、一例として 490 μm である。

【0206】

幅 W_{cf2} は、カソード領域 82 の X 軸正側の端と、X 軸方向において最も正側に配置されるフローティング領域 17 の X 軸正側の端との間の X 軸方向における幅である。また、幅 W_{cf2} は、カソード領域 82 の X 軸負側の端と、X 軸方向において最も負側に配置されるフローティング領域 17 の X 軸負側の端との間の X 軸方向における幅である。

【0207】

幅 W_{cf2} は、幅 $W_{ff2'}$ よりも小さくてよい。幅 W_{cf2} は、幅 $W_{ff2'}$ の 0.1 倍以上 0.9 倍以下であってよい。幅 W_{cf2} は、ゼロでなければよい。幅 W_{cf2} は、2 μm 以上 6 μm 以下であってよい。幅 W_{cf2} は、一例として 5 μm である。

【0208】

カソード領域 82 の内側に配置される複数のフローティング領域 17 の XY 平面内における面積の合計は、当該カソード領域 82 の XY 平面内における面積よりも小さくてよい。当該複数のフローティング領域 17 の XY 平面内における面積の合計は、当該カソード領域 82 の XY 平面内における面積の 50% 以上 99% 以下であってよい。一例として、 W_h が 3100 μm 、 W_{wc} が 250 μm 、 $W_{f12'}$ が 40 μm 、 $W_{f11'}$ が 490 μm 、 W_{cf2} および W_{cf1} が 5 μm 、並びに $W_{ff2'}$ が 10 μm の場合、フローティング領域 17 は、上面視で、カソード領域 82 の内側に X 軸方向に 51 個、Y 軸方向に 1 個、設けられる。この場合、カソード領域 82 の面積に占める複数のフローティング領域 17 の面積の合計は、76.8% となる。本例の半導体装置 300 は、カソード領域 82 の一部分がフローティング領域 17 に覆われないので、ダイオード部 80 がダイオード動作できる。

10

20

30

40

50

【 0 2 0 9 】

カソード領域 8 2 の Y 軸正側の端と、フローティング領域 1 7 の Y 軸正側の端との間の Y 軸方向における幅 W_{cf1} は、ダイオード部 8 0 の幅 W_F よりも小さくてよい。幅 W_{cf1} は、幅 W_F の 0.01 倍以上 0.05 倍以下であってよい。また、幅 W_{cf1} は、幅 W_{cf2} と等しくてもよいし、異なってもよい。幅 W_{cf1} は、ゼロでなければよい。幅 W_{cf1} は、 $2\ \mu\text{m}$ 以上 $6\ \mu\text{m}$ 以下であってよい。幅 W_{cf1} は、一例として $5\ \mu\text{m}$ である。なお、カソード領域 8 2 の Y 軸負側の端から、フローティング領域 1 7 の Y 軸負側の端までの幅も、幅 W_{cf1} に等しくてもよい。

【 0 2 1 0 】

本例において、上面側ライフタイム制御領域 7 2 は、上面視で領域 B 1 の全面に設けられる。本例において、下面側ライフタイム制御領域 7 4 は、X 軸方向において領域 B の X 軸正側から負側まで、連続して設けられる。本例において、下面側ライフタイム制御領域 7 4 は、上面視でダイオード部 8 0 に Y 軸正側で隣り合うトランジスタ部 7 0 との境界と重なる領域と、Y 軸負側で隣り合うトランジスタ部 7 0 との境界と重なる領域とに、それぞれ設けられる。本例において、ダイオード部 8 0 の Y 軸方向における中央部には、下面側ライフタイム制御領域 7 4 が設けられない。

10

【 0 2 1 1 】

距離 C は、ダイオード部 8 0 の Y 軸正側で隣り合うトランジスタ部 7 0 との境界から、下面側ライフタイム制御領域 7 4 の Y 軸負側の端までの Y 軸方向における距離である。また、距離 C は、ダイオード部 8 0 の Y 軸負側で隣り合うトランジスタ部 7 0 との境界から、下面側ライフタイム制御領域 7 4 の Y 軸正側の端までの Y 軸方向における距離である。距離 D は、Y 軸正側の下面側ライフタイム制御領域 7 4 の Y 軸負側の端と、Y 軸負側の下面側ライフタイム制御領域 7 4 の Y 軸正側の端との間の、Y 軸方向における距離である。即ち、距離 D は、Y 軸方向において、下面側ライフタイム制御領域 7 4 が設けられない領域の幅である。

20

【 0 2 1 2 】

図 3 0 は、図 2 9 における領域 C 2 の拡大図である。本例において、幅 W_{cf2} は、カソード領域 8 2 の X 軸正側の端と、X 軸方向において最も正側に配置されるフローティング領域 1 7 の X 軸正側の端との間の X 軸方向における幅である。また、幅 W_{cf1} は、カソード領域 8 2 の Y 軸正側の端と、フローティング領域 1 7 の Y 軸正側の端との間の Y 軸方向における幅である。幅 W_{cf1} は、一例として $5\ \mu\text{m}$ である。幅 $W_{ff2'}$ は、開口領域 8 5 の X 軸方向における幅である。幅 $W_{fl2'}$ は、フローティング領域 1 7 の X 軸方向における幅である。距離 C は、ダイオード部 8 0 に Y 軸正側で隣り合うトランジスタ部 7 0 との境界から、下面側ライフタイム制御領域 7 4 の Y 軸負側の端までの Y 軸方向における距離である。

30

【 0 2 1 3 】

図 3 1 は、図 2 9 における k - k' 断面の一例を示す図である。本例の半導体装置 3 0 0 は、ダイオード部 8 0 において、カソード領域 8 2 の上方に設けられたバッファ領域 2 0 内に、フローティング領域 1 7 が設けられる。本例のフローティング領域 1 7 は、k - k' 断面において、Y 軸正側から負側に渡って連続的に設けられる。

40

【 0 2 1 4 】

本例においては、図 2 6 の例と同様に、境界位置 P 1 および端部位置 P 2、並びに境界位置 P 1' および端部位置 P 2' が存在する。本例においては、フローティング領域 1 7 が、端部位置 P 2 から端部位置 P 2' にわたって連続的に設けられる。このため、本例において開口領域 8 5 は存在しない。

【 0 2 1 5 】

幅 W_{cf1} は、図 2 6 の例と同様に、境界位置 P 1 と端部位置 P 2 との間の距離である。また、幅 W_{cf1} は、境界位置 P 1' と端部位置 P 2' との間の距離である。フローティング領域 1 7 の Z 軸方向における幅 W_d は、幅 W_{cf1} よりも小さくてよい。幅 W_{cf1} は、幅 W_d の 0.05 倍以上 0.5 倍以下であってよい。幅 W_d は、 $0.3\ \mu\text{m}$ 以上 $1\ \mu$

50

m以下であってよい。幅Wdは、一例として $0.5\mu\text{m}$ である。また、幅Wcf1は、幅Wf11よりも小さくてよい。本例の半導体装置300は、幅Wcf1が小さいので、ダイオード部80の端部において、カソード領域82からの電子の注入を抑制できる。

【0216】

本例の半導体装置300は、上面21側に上面側ライフタイム制御領域72が設けられる。また、下面23側に下面側ライフタイム制御領域74が設けられる。本例において、上面側ライフタイム制御領域72のライフタイムキラー濃度のピークは、上面21からZ軸負側に距離Dsの位置に設けられる。本例において、下面側ライフタイム制御領域74のライフタイムキラー濃度のピークは、下面23からZ軸正側に距離Dbの位置に設けられる。

10

【0217】

本例において、上面側ライフタイム制御領域72は、k-k'断面においてY軸方向の全体に設けられる。即ち、本例において、上面側ライフタイム制御領域72は、ダイオード部80のY軸正側に隣り合うトランジスタ部70からY軸負側に隣り合うトランジスタ部70にわたって、当該ダイオード部80を通過してY軸方向に連続して設けられる。

【0218】

距離Cは、ダイオード部80のY軸正側で隣り合うトランジスタ部70との境界から、下面側ライフタイム制御領域74のY軸負側の端までのY軸方向における距離である。また、距離Cは、ダイオード部80のY軸負側で隣り合うトランジスタ部70との境界から、下面側ライフタイム制御領域74のY軸正側の端までのY軸方向における距離である。距離Dは、Y軸正側の下面側ライフタイム制御領域74のY軸負側の端と、Y軸負側の下面側ライフタイム制御領域74のY軸正側の端との間のY軸方向における距離である。即ち、距離Dは、Y軸方向において、下面側ライフタイム制御領域74が設けられない領域の幅である。

20

【0219】

距離Dは、ダイオード部80の幅WFの95%以上99%以下であってよい。より好ましくは、距離Dは、幅WFの98%であってよい。即ち、本例において、下面側ライフタイム制御領域74が設けられる領域は、Y軸方向において、幅WFの1%以上5%以下であってよく、より好ましくは2%であってよい。本例の半導体装置300は、ダイオード部80にフローティング領域17が設けられるので、ダイオード部80において、半導体基板10の深さ方向におけるキャリア分布を調整できる。

30

【0220】

また、本例の半導体装置300は、トランジスタ部70に下面側ライフタイム制御領域74が設けられるので、ドリフト領域18に生じた少数キャリアの正孔が、短いライフタイムで多数キャリアの電子と相殺しやすくなる。このため、本例の半導体装置300は、トランジスタ部70のリーク電流特性を改善できる。また、本例の半導体装置300は、トランジスタ部70のオン電圧とターンオフ損失のトレードオフを良好にできる。

【0221】

図32は、図29におけるm-m'断面の一例を示す図である。m-m'断面は、図31におけるm''-m'''線を通るXZ平面である。本例の半導体装置300は、ダイオード部80において、カソード領域82の上方に設けられたバッファ領域20内に、フローティング領域17が設けられる。

40

【0222】

本例の半導体装置300は、m-m'断面において、上面21側に上面側ライフタイム制御領域72が設けられる。本例の半導体装置300は、m-m'断面においては、下面23側に下面側ライフタイム制御領域74が設けられない。

【0223】

本例においては、図27の例と同様に、境界位置P5および端部位置P6、並びに境界位置P5'および端部位置P6'が存在する。本例において、m-m'断面は、半導体基板10の下面23と垂直であり、且つ、ダミートレンチ部30の延伸方向と平行な面である

50

。本例においても、図 27 の例と同様に、Z 軸方向において、フローティング領域 17 と同一の深さ位置には、フローティング領域 17 が設けられていない開口領域 85 が存在する。

【0224】

幅 $W_{f12'}$ は、フローティング領域 17 の X 軸方向における幅である。幅 W_{cf2} は、図 27 の例と同様に、境界位置 P5 と端部位置 P6 との間の X 軸方向における距離である。また、幅 W_{cf2} は、境界位置 P5' と端部位置 P6' との間の X 軸方向における距離である。また、幅 $W_{ff2'}$ は、X 軸方向において、開口領域 85 を挟んで隣り合うフローティング領域 17 の間隔である。幅 W_{cf2} は、幅 $W_{ff2'}$ よりも小さくてよい。

【0225】

本例の半導体装置 300 は、ダイオード部 80 において、フローティング領域 17 が、端部位置 P6 から端部位置 P6' にわたって開口領域 85 を挟んで複数設けられる。また、本例の半導体装置 300 は、フローティング領域 17 を XY 平面内においてストライプ状に設けられる。このため、本例の半導体装置 300 は、ダイオード部 80 の逆回復時のサージ電圧を抑制できる。

【0226】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

【0227】

請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

【符号の説明】

【0228】

10・・・半導体基板、11・・・ウェル領域、12・・・エミッタ領域、14・・・ベース領域、15・・・コンタクト領域、16・・・蓄積領域、18・・・ドリフト領域、20・・・バッファ領域、21・・・上面、22・・・コレクタ領域、23・・・下面、24・・・コレクタ電極、25・・・接続部、29・・・延伸部分、30・・・ダミートレンチ部、31・・・接続部分、32・・・ダミー絶縁膜、34・・・ダミー導電部、38・・・層間絶縁膜、39・・・延伸部分、40・・・ゲートトレンチ部、41・・・接続部分、42・・・ゲート絶縁膜、44・・・ゲート導電部、46・・・分割部、48・・・ゲートランナー、49・・・コンタクトホール、50・・・ゲート金属層、52・・・エミッタ電極、54・・・コンタクトホール、56・・・コンタクトホール、60・・・トランジスタメサ部、62・・・境界メサ部、64・・・ダイオードメサ部、70・・・トランジスタ部、72・・・上面側ライフタイム制御領域、74・・・下面側ライフタイム制御領域、74-1・・・下面側ライフタイム制御領域、74-2・・・下面側ライフタイム制御領域、74-3・・・下面側ライフタイム制御領域、74-4・・・下面側ライフタイム制御領域、80・・・ダイオード部、82・・・カソード領域、90・・・境界部、98・・・半導体チップ、100・・・半導体装置、120・・・半導体チップ、150・・・半導体装置、200・・・半導体装置、272・・・上面側ライフタイム制御領域、274・・・下面側ライフタイム制御領域、300・・・半導体装置

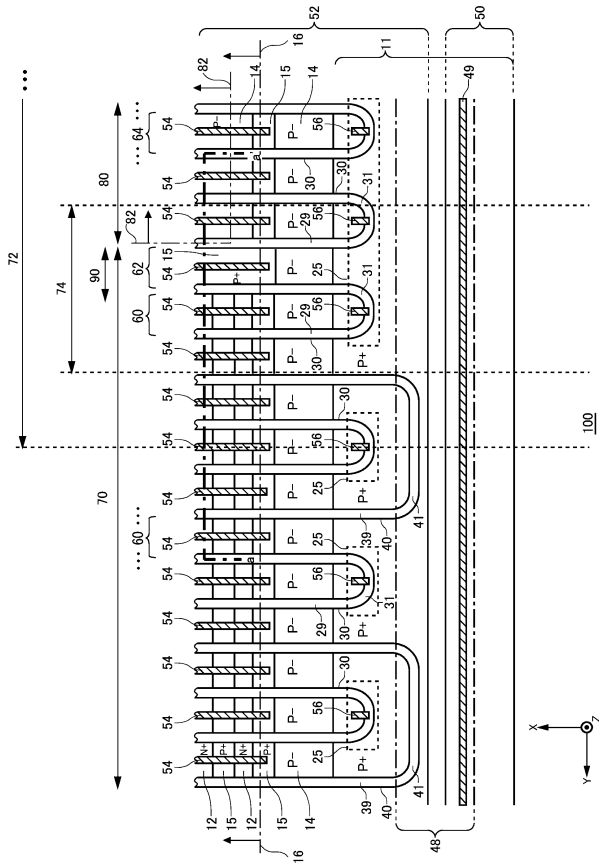
10

20

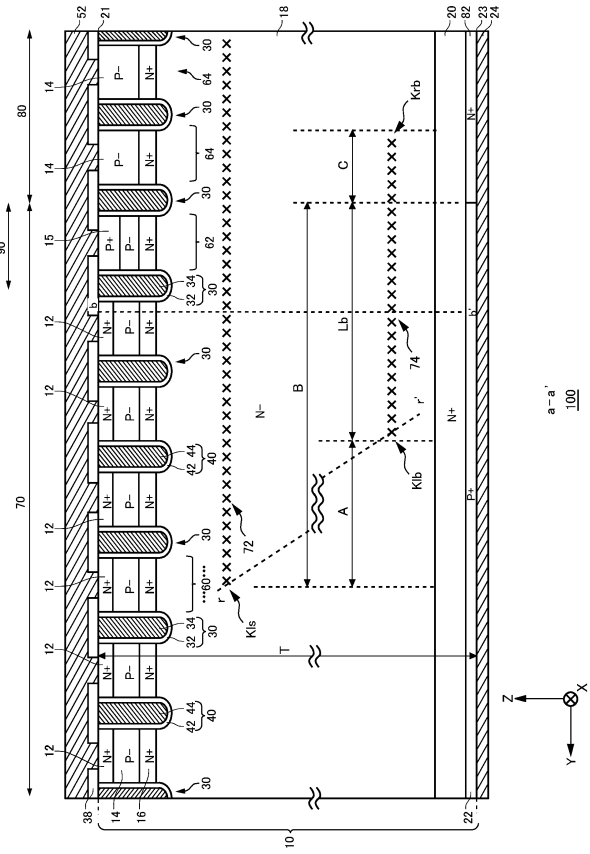
30

40

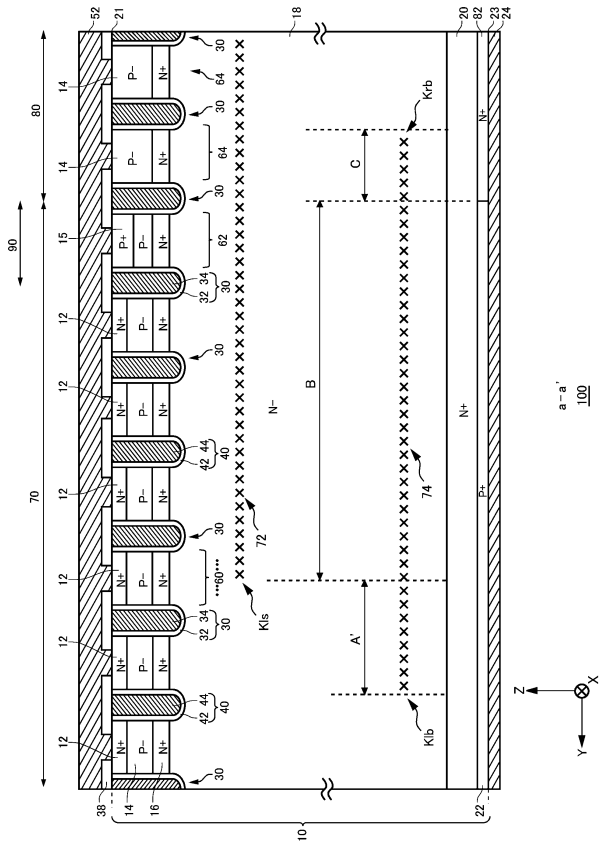
【図1】



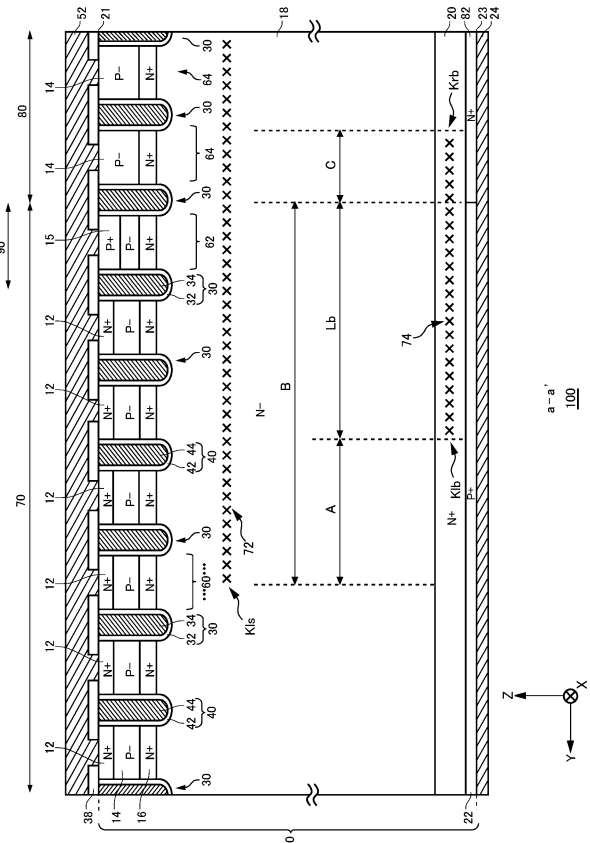
【図2】



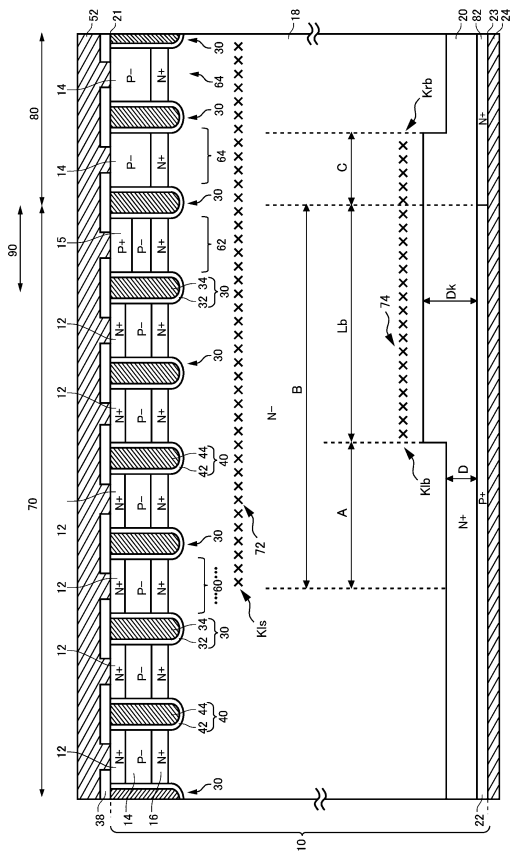
【図3】



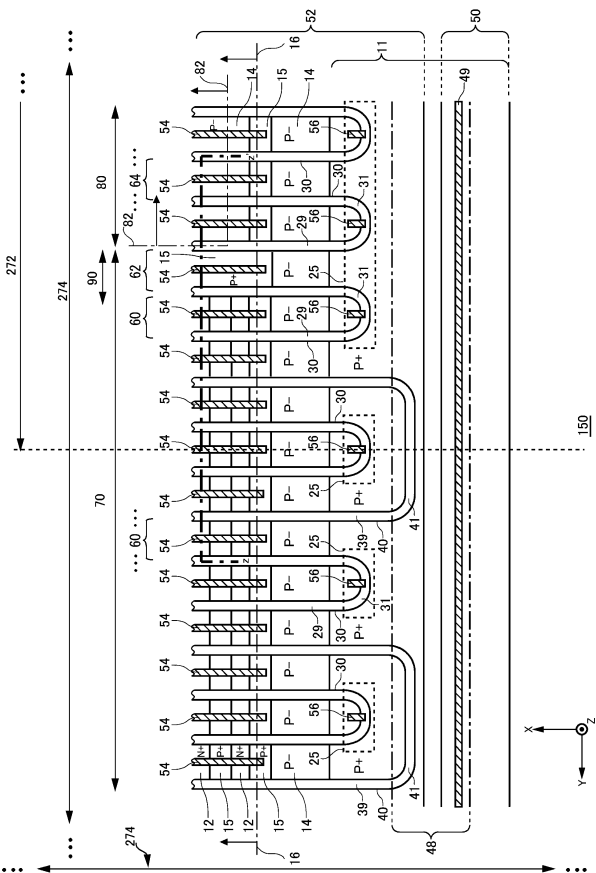
【図4】



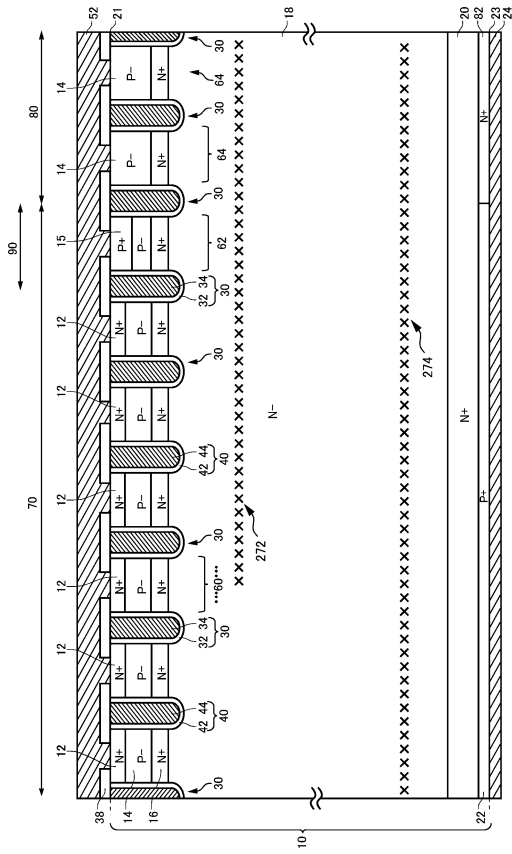
【図5】



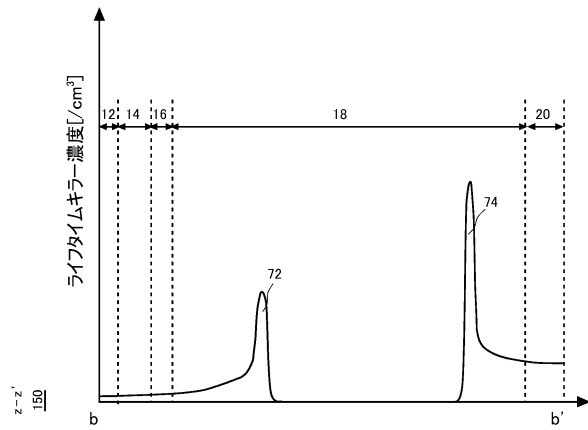
【図6】



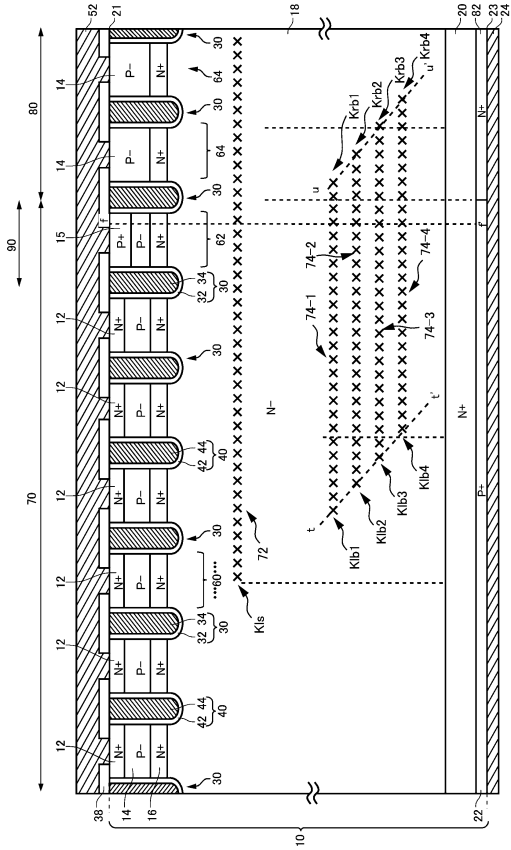
【図7】



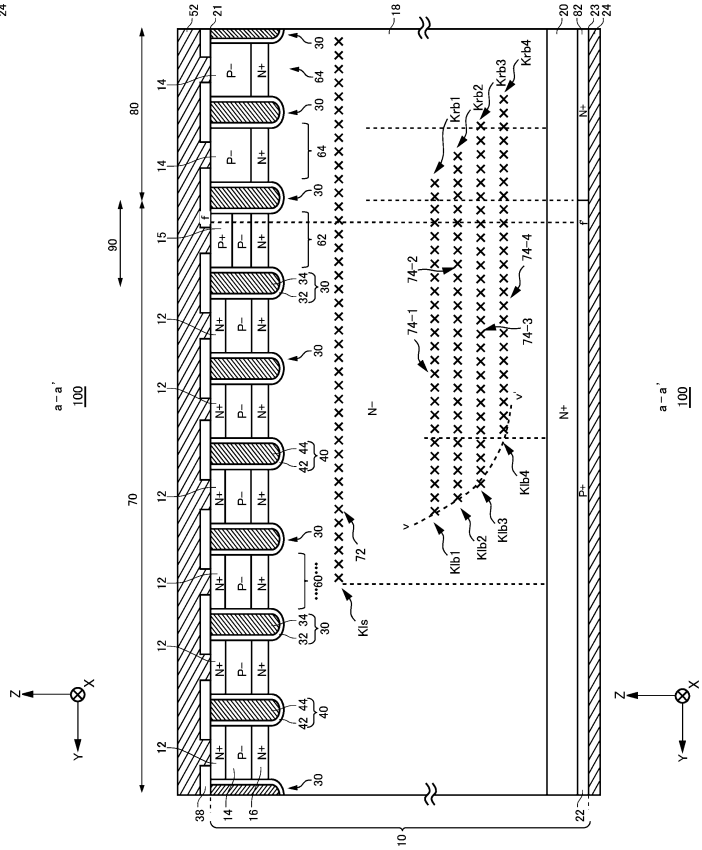
【図8】



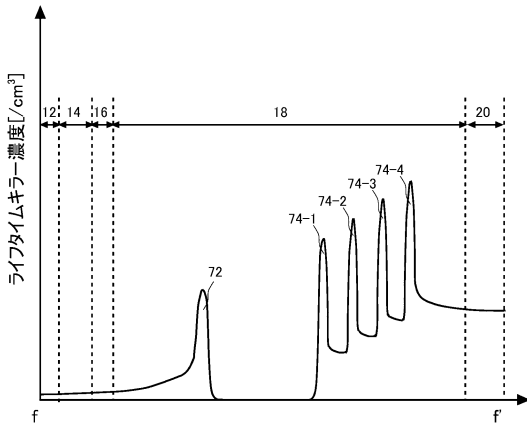
【図9】



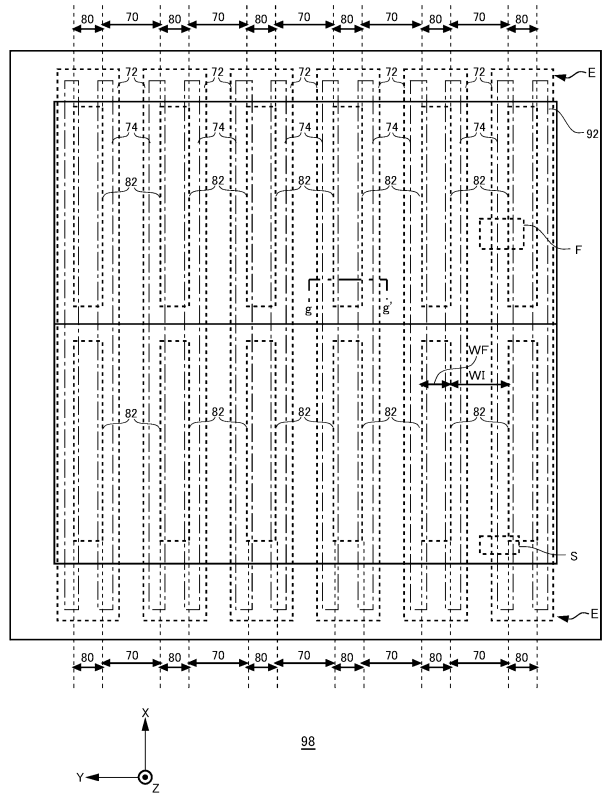
【図10】



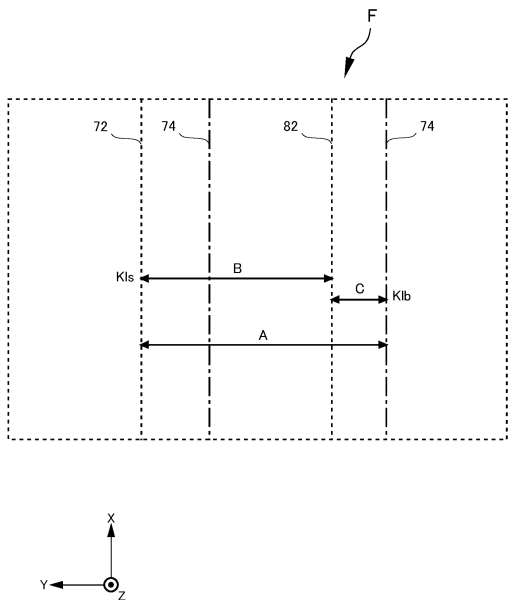
【図11】



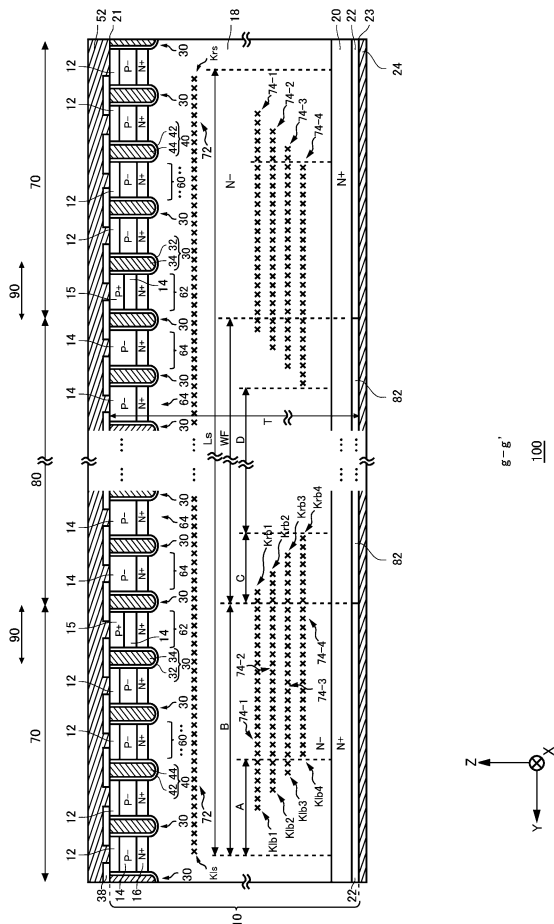
【図12】



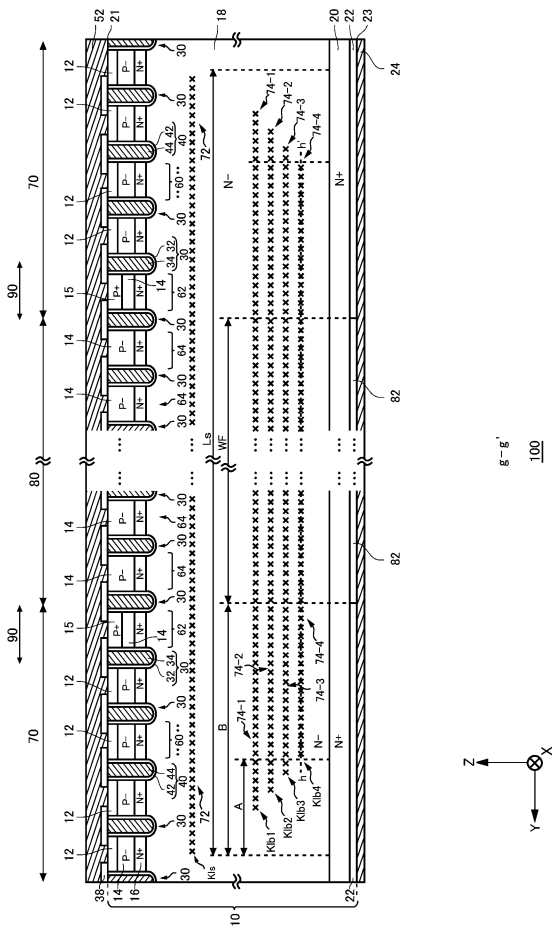
【図 13】



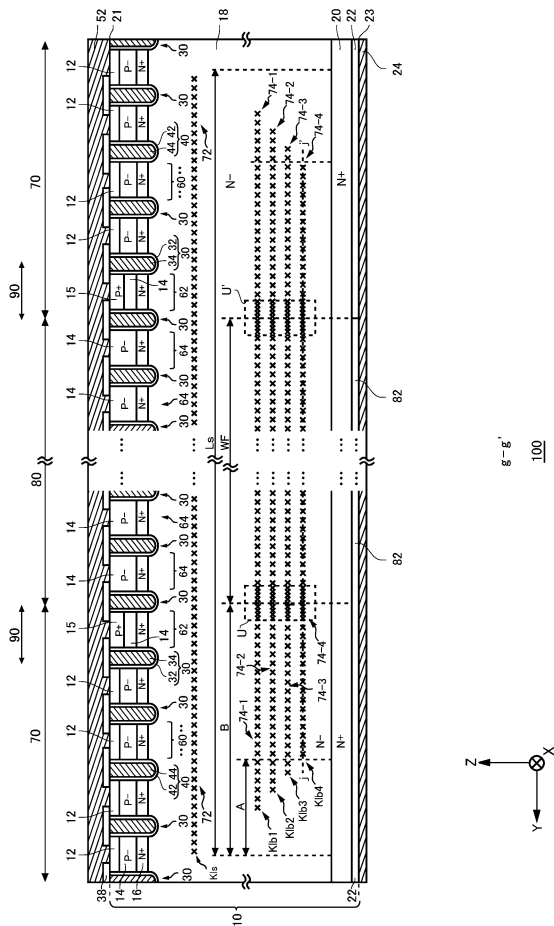
【図 14】



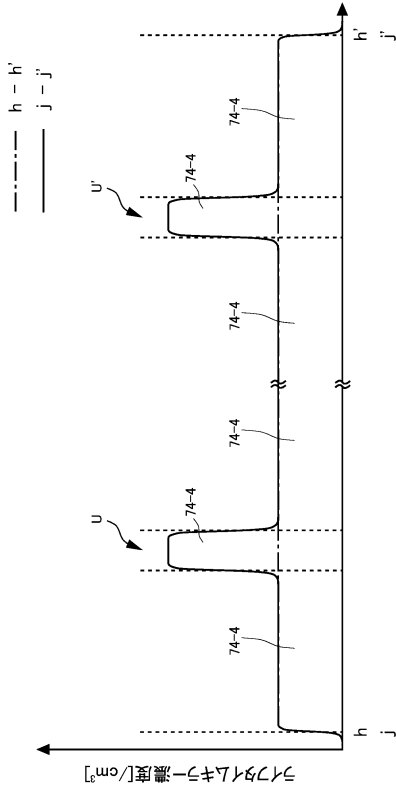
【図 15】



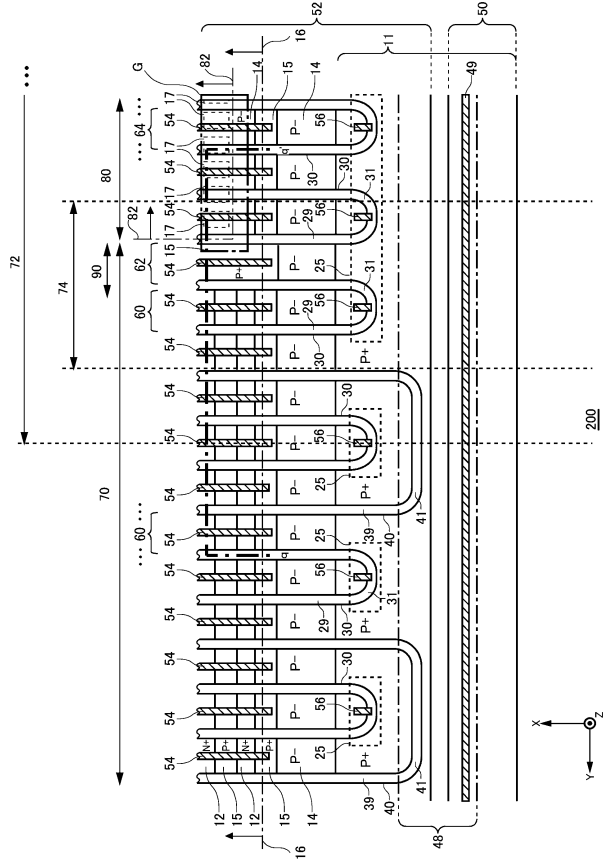
【図 16】



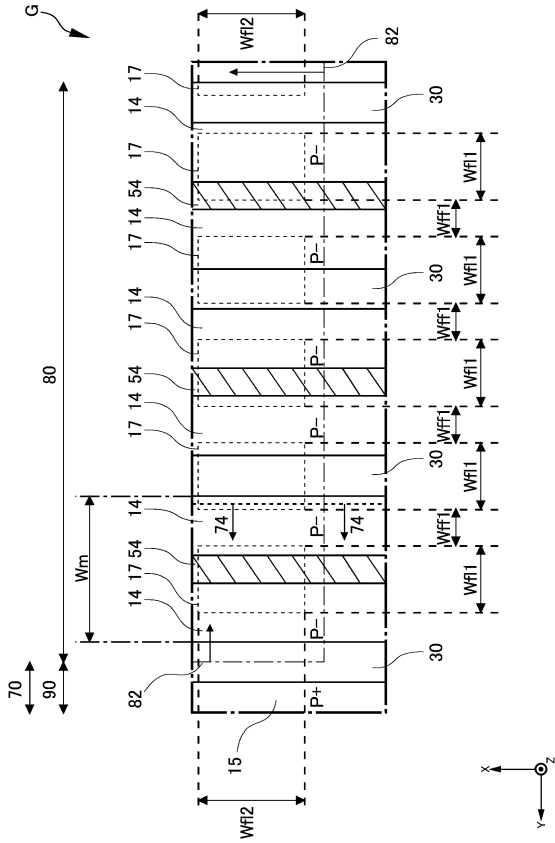
【図 17】



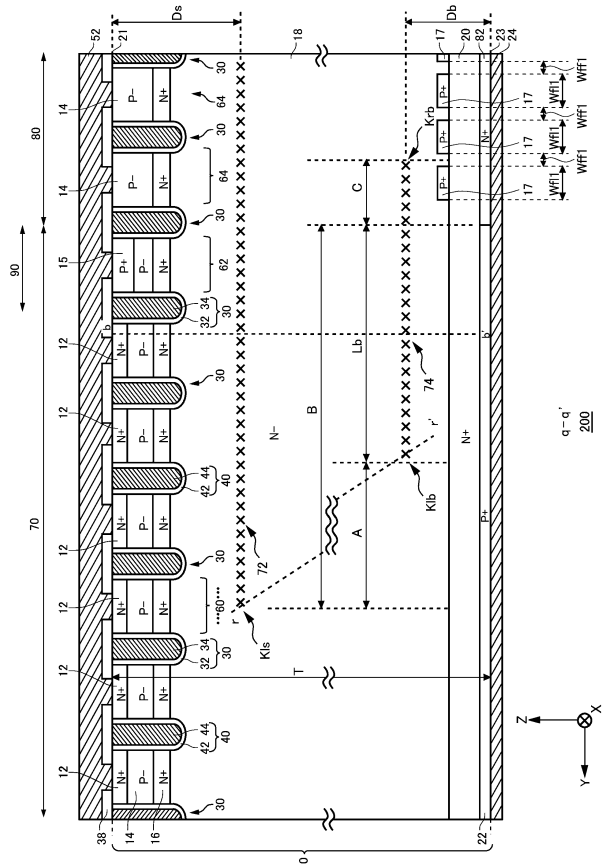
【図 18】



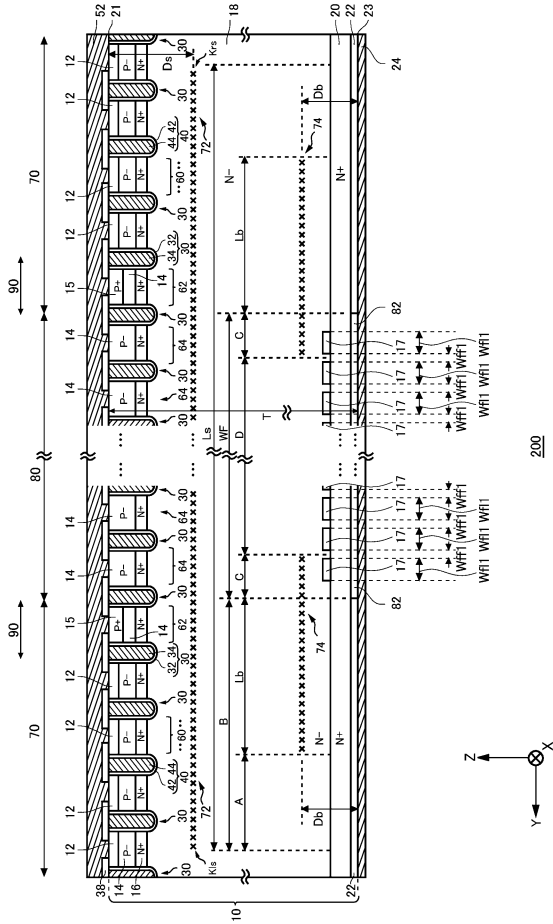
【図 19】



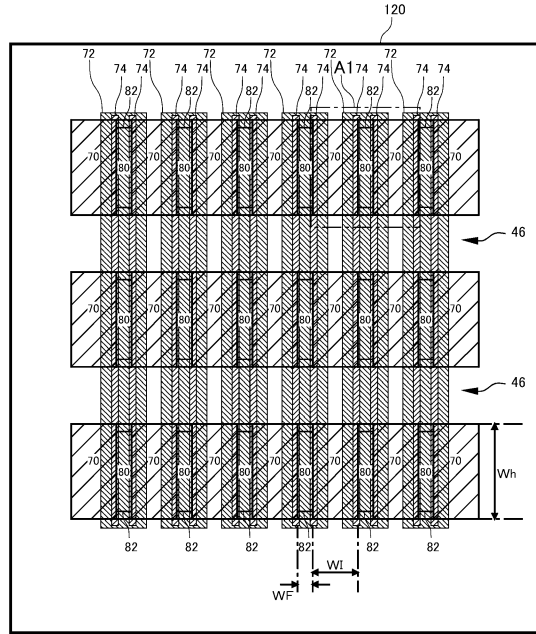
【図 20】



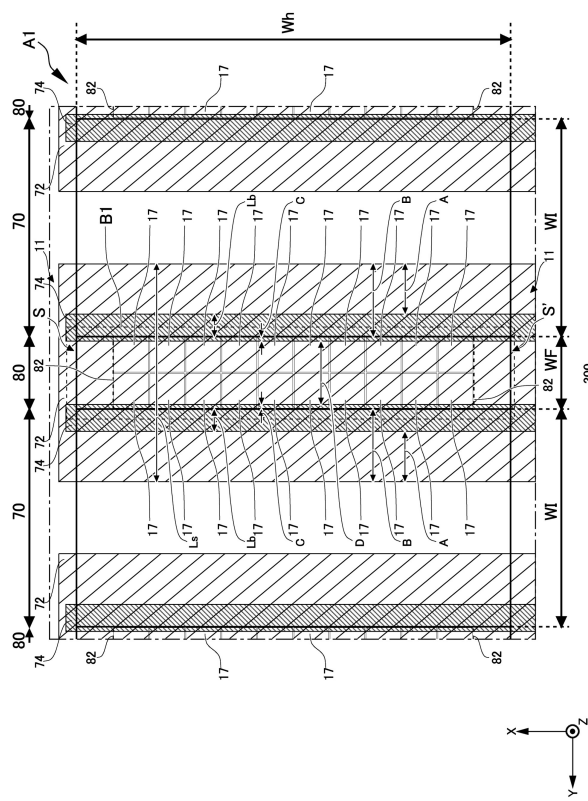
【 2 1 】



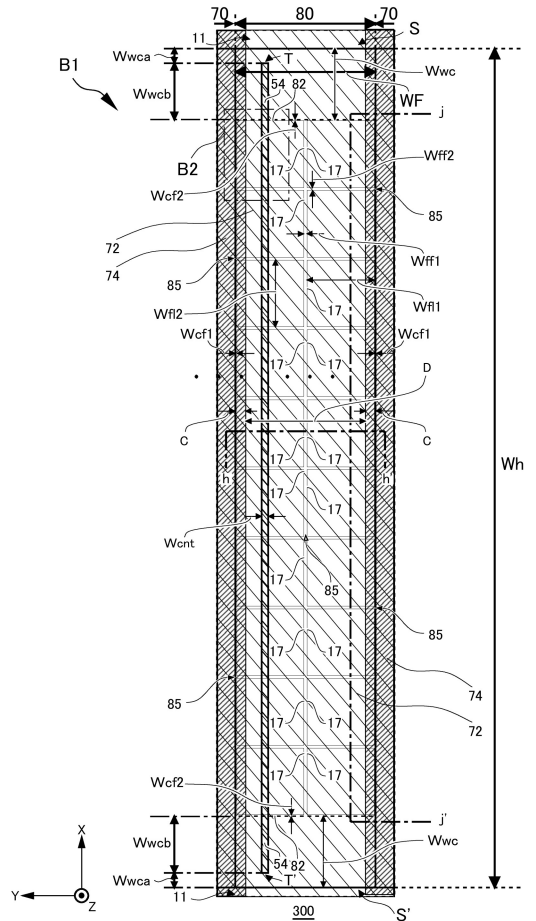
【 2 2 】



【 2 3 】



【 2 4 】



フロントページの続き

(51) Int.Cl.		F I		
H 0 1 L	29/12	(2006.01)	H 0 1 L	29/91 C
H 0 1 L	29/06	(2006.01)	H 0 1 L	29/91 H
H 0 1 L	21/8234	(2006.01)	H 0 1 L	29/78 6 5 5 B
H 0 1 L	27/06	(2006.01)	H 0 1 L	29/78 6 5 2 D
H 0 1 L	27/088	(2006.01)	H 0 1 L	29/78 6 5 2 T
			H 0 1 L	29/91 F
			H 0 1 L	29/06 3 0 1 D
			H 0 1 L	29/06 3 0 1 V
			H 0 1 L	27/06 1 0 2 A
			H 0 1 L	27/088 E

- (56)参考文献 国際公開第 2 0 1 5 / 1 4 5 9 2 9 (W O , A 1)
 国際公開第 2 0 1 4 / 1 5 6 8 4 9 (W O , A 1)
 特開 2 0 1 4 - 0 5 6 9 4 2 (J P , A)
 特開 2 0 1 7 - 0 4 5 9 4 9 (J P , A)
 特開 2 0 1 5 - 2 1 1 1 4 9 (J P , A)
 特開 2 0 1 6 - 0 7 2 3 5 9 (J P , A)
 特開 2 0 1 5 - 1 5 3 7 8 4 (J P , A)

(58)調査した分野(Int.Cl. , D B名)

H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 1 / 8 2 3 4
 H 0 1 L 2 7 / 0 6
 H 0 1 L 2 7 / 0 8 8
 H 0 1 L 2 9 / 0 6
 H 0 1 L 2 9 / 1 2
 H 0 1 L 2 9 / 7 3 9
 H 0 1 L 2 9 / 7 8
 H 0 1 L 2 9 / 8 6 1
 H 0 1 L 2 9 / 8 6 8