

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la
Propriété Intellectuelle
Bureau international



(10) Numéro de publication internationale
WO 2014/135513 A1

(43) Date de la publication internationale
12 septembre 2014 (12.09.2014)

WIPO | PCT

(51) Classification internationale des brevets :
G06F 13/372 (2006.01)

Boulogne-billancourt (FR). **MARTI, Nicolas**; C/O SAGEM DEFENSE SECURITE 18/20 Quai du Point du Jour, F-92100 Boulogne-billancourt (FR).

(21) Numéro de la demande internationale :

PCT/EP2014/054121

(74) Mandataire : **REGIMBEAU**; 20, rue de Chazelles, F-75847 Paris Cedex 17 (FR).

(22) Date de dépôt international :

4 mars 2014 (04.03.2014)

(81) États désignés (sauf indication contraire, pour tout titre de protection nationale disponible) : AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(25) Langue de dépôt :

français

(26) Langue de publication :

français

(30) Données relatives à la priorité :

1352017 6 mars 2013 (06.03.2013) FR

(71) Déposant : **SAGEM DEFENSE SECURITE** [FR/FR]; 18/20 Quai du Point du Jour, F-92100 Boulogne-billancourt (FR).

(72) Inventeurs : **LIU, Céline**; C/O SAGEM DEFENSE SECURITE 18/20 Quai du Point du Jour, F-92100 Boulogne-billancourt (FR). **CHARRIER, Nicolas**; C/O SAGEM DEFENSE SECURITE 18/20 Quai du Point du Jour, F-92100

(84) États désignés (sauf indication contraire, pour tout titre de protection régionale disponible) : ARIPO (BW, GH,

[Suite sur la page suivante]

(54) Title : BANDWIDTH CONTROL METHOD FOR AN ON-CHIP SYSTEM

(54) Titre : PROCÉDÉ DE CONTRÔLE DE BANDE PASSANTE POUR SYSTÈME SUR PUCE

(57) Abstract : The invention concerns a bandwidth control method in an on-chip system comprising at least one main master module, at least one secondary master module, at least one slave module and a bus connected to each module on a communication link, the bus comprising interconnection means to make at least one common slave module communicate with at least one main master module and with at least one secondary master module via at least one common path portion, the method comprising the following steps carried out for each common slave module: first detection of a first request to access the common slave module, issued by a main master module, definition of a blocking time D_j associated with the common slave module, blocking, during blocking time D_j , of any data transfer on the at least one common path portion between a secondary master module and the common slave module.

(57) Abrégé : L'invention concerne un procédé de contrôle de bande passante dans un système sur puce comprenant au moins un module maître principal, au moins un module maître secondaire, au moins un module esclave et un bus connecté à chaque module sur un lien de communication, le bus comprenant des moyens d'interconnexion pour faire communiquer au moins un module esclave commun avec au moins un module maître principal et avec au moins un module maître secondaire par au moins une portion de route commune, le procédé comprenant les étapes suivantes réalisées pour chaque module esclave commun: première détection d'une première requête d'accès au module esclave commun émise par un module maître principal, détermination d'un délai de blocage D_j associé au module esclave commun, blocage pendant le délai de blocage D_j de tout transfert de données sur l'au moins une portion de route commune entre un module maître secondaire et le module esclave commun.

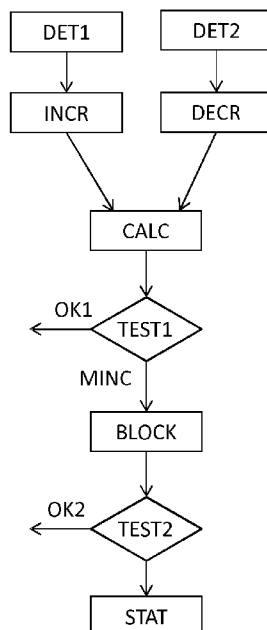


FIG. 5a

WO 2014/135513 A1

GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), eurasien (AM, AZ, BY, KG, KZ, RU, TJ, TM), européen (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Déclarations en vertu de la règle 4.17 :

— *relative à la qualité d'inventeur (règle 4.17.iv)*

Publiée :

— *avec rapport de recherche internationale (Art. 21(3))*

Procédé de contrôle de bande passante pour système sur puce

DOMAINE DE L'INVENTION

L'invention se rapporte au domaine des systèmes sur puce souvent désigné
5 par le terme anglais system on chip ou son abréviation SoC.

L'invention concerne plus particulièrement les systèmes sur puce dans
lesquels les interconnexions entre modules sont réalisées par des bus
informatiques internes.

10 ART ANTERIEUR

Un système sur puce (SoC), est un système complet embarqué sur une
puce pouvant comprendre un ou plusieurs processeurs, de la mémoire, des
périphériques d'interface et/ou d'autres composants nécessaires à la
réalisation d'une fonction complexe.

15 Les SoC présentent généralement une architecture hiérarchisée : des
modules « maîtres » effectuent des requêtes d'accès en lecture ou écriture
à des modules dits « esclaves ». Par exemple, des maîtres typiques sont
les processeurs ou les contrôleurs d'accès direct à la mémoire (DMA) ; des
esclaves typiques sont des mémoires de stockage ou des périphériques
20 réseau.

Les interconnexions entre des maîtres et des esclaves sont typiquement
prises en charge par des bus informatiques internes compatibles avec un
ou plusieurs protocoles de communication.

Par exemple, le protocole AMBA (« Advanced Microcontroller Bus
25 Architecture ») est un standard de communication aujourd'hui largement
utilisé notamment sur les SoC multiprocesseurs. Ce protocole se décline en
plusieurs versions et variantes, dont par exemple AHB (« Advanced High-
performance Bus ») et AXI (« Advanced eXtensible Interface ») qui sont
plus particulièrement dédiées aux transferts de données haut-débit par
30 salves (« bursts »).

En référence à la figure 1, un bus informatique B assure des
interconnexions entre k modules maîtres $M_i, i \in \llbracket 1, k \rrbracket$ et n modules

esclaves S_j , $j \in \llbracket 1, n \rrbracket$. Le bus B comprend k ports esclaves PS_i , $i \in \llbracket 1, k \rrbracket$ sur chacun desquels est connecté un module maître, et n ports maîtres PM_j , $j \in \llbracket 1, n \rrbracket$, sur chacun desquels est connecté un module esclave. Ainsi, le bus est vu comme un esclave par chaque module maître, et vu comme
5 un maître par chaque module esclave. Sur chaque liaison entre un port du bus et un module, des données peuvent être transmises selon un protocole de communication spécifique.

Le bus B comprend des moyens de routage internes, par exemple un ou plusieurs étages de commutateurs (« switches ») représentés sur la figure 1
10 par des flèches en pointillés. Ces moyens assurent le routage de communications entre un maître et un esclave.

Le bus B illustré sur la figure 1 réalise toutes les interconnexions possibles entre un des k maîtres et un des n esclaves, soit $k * n$ interconnexions. Ainsi, l'esclave S1 peut par exemple recevoir des requêtes émises par les
15 plusieurs maîtres, et être en accès partagé alternativement entre ceux-ci. Par exemple, le maître M1 peut être en cours d'accès à S1, tandis que le maître M2 reste en attente. Une fois l'accès par M1 terminé, le maître M2 peut à son tour réaliser un accès à S1.

Ces attentes peuvent notamment s'avérer gênantes dans le cas où des
20 accès de haute priorité doivent être réalisés très rapidement. C'est le cas par exemple des systèmes sur puce de niveau de criticité A selon le standard RTCA DO-254, sur lesquels des pannes ou même des lenteurs de transaction peuvent avoir des conséquences catastrophiques, comme par exemple, des systèmes sur puce dédiés au contrôle des commandes d'un
25 aéronef.

Par ailleurs, certains systèmes sur puce font une distinction physique entre des maîtres principaux de haute priorité et des maîtres secondaires de plus basse priorité. Sur de tels systèmes, les accès demandés par un maître principal doivent être prioritaires par rapport aux accès demandés par un
30 module maître secondaire ; par conséquent, le blocage d'une transaction en cours impliquant un module maître secondaire alors qu'un maître principal est maintenu en attente peut avoir des conséquences dramatiques.

Or, la plupart des bus informatiques AMBA vendus dans le commerce n'offrent de contrôle des transactions entre un maître et un esclave, et ne permettent pas gérer des priorités entre plusieurs maîtres.

5 PRESENTATION DE L'INVENTION

L'invention vise à résoudre les problèmes de l'art antérieur.

Pour ce faire, l'invention concerne notamment un procédé de contrôle de bande passante dans un système sur puce comprenant au moins un module maître principal, au moins un module maître secondaire, au moins un module esclave et un bus connecté à chaque module sur un lien de communication, le bus comprenant des moyens d'interconnexion pour faire communiquer au moins un module esclave commun avec au moins un module maître principal et avec au moins un module maître secondaire par au moins une portion de route commune, le procédé comprenant les étapes

10

15

- première détection d'une première requête d'accès au module esclave commun émise par un module maître principal,
- détermination d'un délai de blocage associée au module esclave commun,
- 20 – blocage pendant le délai de blocage de tout transfert de données sur l'au moins une portion de route commune entre un module maître secondaire et le module esclave commun.

Le procédé décrit permet notamment de réserver de la bande passante pour tout module maître principal souhaitant accéder à un module esclave commun tous deux interconnectés au moyen de n'importe quel bus informatique AMBA vendu dans le commerce. L'adaptation d'un bus informatique AMBA pour les besoins d'un système sur puce à haut niveau de criticité n'est donc pas nécessaire.

25

DESCRIPTION DES FIGURES

D'autres caractéristiques, buts et avantages de l'invention ressortiront de la description qui suit, qui est purement illustrative et non limitative, et qui doit être lue en regard des dessins annexés sur lesquels :

- 5 – La figure 1 représente schématiquement un système sur puce connu.
- La figure 2 représente schématiquement deux transactions successives.
- La figure 3 représente une séquence de signaux du protocole AXI émis au cours d'une lecture.
- 10 – La figure 4 représente une séquence de signaux du protocole AXI émis au cours d'une écriture.
- Les figures 5a à 5d représentent des diagrammes d'étapes du procédé de contrôle de bande passante selon l'invention.
- La figure 6 représente l'évolution dans le temps de la valeur d'un
- 15 compteur associé à un module esclave commun en fonction de requêtes détectées.
- La figure 7 représente schématiquement un système sur puce protégé grâce au dispositif de contrôle de bande passante selon l'invention.
- 20 Sur l'ensemble des figures, les éléments similaires portent des références identiques.

DESCRIPTION DETAILLEE DE L'INVENTION

La figure 1 a été décrite précédemment.

- 25 En référence à la figure 2, une transaction TRANS0, TRANS1 entre un maître et un esclave comporte au moins deux phases. Dans une première phase de requête, le module maître demande notamment un accès à un esclave que celui-ci accepte ou refuse. Si l'accès est accepté, une
- deuxième phase de transfert DATA0, DATA1 débute dans laquelle des
- 30 données sont transférées par salves du maître vers l'esclave dans le cas d'une écriture, ou de l'esclave vers le maître dans le cas d'une lecture.

Dans chacune des phases de requête et de transfert, des informations sont échangées entre le maître et l'esclave sur des signaux parallèles. Pour réaliser une transaction en lecture ou en écriture les signaux doivent être positionnés selon une séquence ordonnée comprenant les phases de requête et de transfert.

- Plusieurs phénomènes peuvent indiquer une consommation importante de bande passante sur la route de communication entre le maître et l'esclave. Premièrement, si la durée T_0 , respectivement T_1 , d'une phase de transfert de données $DATA_0$, respectivement $DATA_1$, est trop long.
- 10 D'autre part, si le temps écoulé T_{I1} entre le début de deux transactions successives $TRANS_0$ et $TRANS_1$ à un même esclave par un même maître est trop court.

Le protocole AXI définit une interface unique pour décrire des transactions entre un module maître et un module esclave, un module maître et le port esclave d'un bus, ou le port maître d'un bus et un module esclave.

Cette interface se compose de cinq canaux :

- Deux canaux dédiés à la lecture (un canal de contrôle et un canal de données)
- 20 – Trois canaux dédiés à l'écriture (un canal de contrôle, un canal de données et un canal de réponse).

Les canaux transportent chacun un ensemble de signaux émis par une source et ce de manière unidirectionnelle. Par exemple, le canal de contrôle de lecture transporte des signaux de requête depuis un maître vers un esclave, tandis que le canal de données de lecture retourne alors des signaux porteurs de données depuis un esclave vers un maître.

Deux exemples de séquence de positionnement pour une lecture et une écriture selon le protocole AXI vont maintenant être détaillés.

30 EXEMPLE DE LECTURE SELON LE PROTOCOLE AXI

La figure 2 illustre par exemple une séquence de positionnement de signaux pour une lecture selon le protocole AXI, réalisée en quatre

transferts de données. Les fonctions des signaux utilisés sont récapitulées dans le tableau ci-dessous :

Signal	Source	Description
ACLK	Source d'horloge	Horloge de référence.
ARADDR	Maître	Adresse de lecture .
ARVALID	Maître	Positionné à 1 pendant la transmission par le maître d'une adresse de lecture valide, sinon à 0.
ARREADY	Esclave	Indique si l'esclave est prêt (1) ou non (0) pour accepter une adresse de lecture et des signaux de contrôle associés.
RREADY	Maître	Indique si le maître est prêt (1) ou non (0) pour recevoir des données de lectures.
RDATA	Esclave	Données de lectures.
RVALID	Esclave	Indique si les données de lecture attendues sont prêtes pour le transfert (1) ou non (0)
RLAST	Esclave	Indique le dernier transfert de données en lecture.

En référence à la figure 2, une transaction en lecture selon le protocole AXI
5 comprend les étapes suivantes.

Le signal ACLK est synchronisé sur une horloge source. Un maître émet le
signal ARADDR contenant une adresse de lecture A de l'esclave à laquelle
il souhaite accéder en lecture. Parallèlement, le maître positionne à un le
signal ARVALID pour signifier à l'esclave destinataire la validité de l'adresse
10 A.

L'esclave confirme la disponibilité de l'adresse A en positionnant le signal
ARREADY.

Le maître positionne ensuite le signal RREADY à un pour signifier à
l'esclave qu'il est prêt à lire des données.

15 Les données de lecture sont ensuite transmises par l'esclave sur le signal
RDATA. La figure 2 illustre une salve de quatre transferts D(A0), D(A1),
D(A2) et D(A3). Pendant chaque transfert, le signal RVALID est positionné

à un par l'esclave pour signifier au maître la validité des données. Pour indiquer au maître qu'un transfert est le dernier, le signal RLAST est positionné à un au début du dernier transfert D(A3).

La lecture illustrée en figure 2 est réalisée en treize coups d'horloge (entre
5 les coups d'horloge T0 et T13), dont huit pour la seule phase de transfert de données.

EXEMPLE D'ECRITURE SELON LE PROTOCOLE AXI

La figure 3 présente un exemple une séquence de positionnement de
10 signaux pour une écriture selon le protocole AXI également réalisée en quatre transferts de données. Les fonctions de ces signaux sont récapitulées dans le tableau ci-dessous :

Signal	Source	Description
ACLK	Source d'horloge	Horloge de référence.
AWADDR	Maître	Adresse d'écriture.
AWVALID	Maître	Positionné à 1 pendant la transmission par le maître d'une adresse d'écriture valide, sinon à 0.
AWREADY	Esclave	Indique si l'esclave est prêt (1) ou non (0) pour accepter une adresse d'écriture et des signaux de contrôle associés.
WREADY	Esclave	Indique si l'esclave est prêt (1) ou non (0) pour recevoir des données d'écriture.
WDATA	Maître	Données d'écriture.
WVALID	Maître	Indique si les données d'écriture sont prêtes pour le transfert (1) ou non (0) à l'esclave.
BRESP	Esclave	Résultat de l'écriture (2 bits) : OKAY, EXOKAY, SLVERR, ou DECERR.
BVALID	Esclave	Positionné à 1 pendant la transmission par le l'esclave d'un résultat d'écriture valide, sinon à 0.
WLAST	Maître	Indique le dernier transfert de données en écriture.

BREADY	Maître	Positionné à 1 pour signifier que le maître est prêt à recevoir un résultat d'écriture, sinon à 0.
--------	--------	--

En référence à la figure 3, une transaction en lecture selon le protocole AXI comprend les étapes suivantes.

Le signal ACLK est synchronisé sur une horloge source. Un maître émet le signal AWADDR contenant une adresse d'écriture A de l'esclave à laquelle
 5 il souhaite accéder. Parallèlement, le maître positionne à un le signal AWVALID pour signifier à l'esclave destinataire la validité de l'adresse A.

L'esclave confirme la disponibilité de l'adresse A en positionnant le signal AWREADY à un.

10 Le maître positionne ensuite le signal WREADY à un pour signifier à l'esclave qu'il est prêt à transmettre des données à écrire.

Les données d'écriture sont ensuite transmises par le maître sur le signal WDATA. La figure 3 illustre une salve de quatre transferts D(A0), D(A1), D(A2) et D(A3). Au début du premier transfert, le signal BREADY est
 15 positionné à un par le maître pour indiquer qu'il est prêt à recevoir un résultat d'écriture qui sera transmis à la fin de la séquence. Pendant chaque transfert, le signal WVALID est positionné à un par le maître pour signifier à l'esclave la validité des données à écrire. Pour indiquer à l'esclave qu'un transfert D(A3) est le dernier, le signal WLAST est positionné à un au début
 20 du dernier transfert.

Pour confirmer l'écriture au maître, l'esclave positionne ensuite le signal BRESP à la valeur OKAY. Ce positionnement est accompagné d'un positionnement du signal BVALID à un pendant la durée de transmission de la valeur OKAY. Le maître repositionne enfin le signal BREADY à zéro une
 25 fois cette valeur reçue.

L'écriture illustrée en figure 3 est réalisée en dix coups d'horloge (entre les coups d'horloge T0 et T10), dont sept pour la seule phase de transfert de données.

D'autres signaux du protocole AXI sont en pratique positionnés pendant une lecture ou une écriture mais ils ne sont pas détaillés dans le présent document dans un souci de simplicité.

- 5 Les autres protocoles de la famille AMBA (AHB, AHB-Lite, APB) suivent le même principe général de transaction en écriture/écriture réalisent les phases successives de requête et de transfert de données avec des signaux différents.

10 Chaque interface entre un bus conforme au standard AMBA et un module esclave ou maître peut implémenter un des protocoles de la famille AMBA.

En référence à la figure 7, soit un système sur puce comprenant au moins un module maître principal Ma , au moins un module maître secondaire $M1$, ..., Mi , ..., Mk , au moins un module esclave $S1$, ..., Sj , ..., Sn et un bus B
15 connecté à chaque module par un lien de communication.

le bus B comprend des moyens d'interconnexion pour faire communiquer au moins un module esclave commun Sj avec au moins un module maître principal Ma et au moins un module maître secondaire $M1$, ..., Mi , ..., Mk .

20 Dans le présent document, un module esclave dit « commun » désignera un module esclave sur lequel plusieurs modules maître concurrents peuvent accéder par l'intermédiaire du bus B.

La route de communication entre un module maître secondaire Mi et un module esclave Sj comprend au moins deux liens de communication: un premier lien de communication entre le module maître secondaire Mi et un
25 port esclave PSi du bus B, et un deuxième lien de communication entre un port maître PMj du bus B et le module esclave Sj . Les signaux émis par le module maître secondaire Mi transitent par le port esclave PSi , puis sont routés par le bus B vers le port maître PMj puis sont transmis au module esclave Sj connecté à ce port maître PMj . Les signaux émis par le module
30 esclave Sj à destination du maître secondaire Mi suivent la même route en sens inverse.

De manière similaire, la route de communication entre un module maître principal Ma et le module esclave S_j comprend deux liens de communication : un premier lien de communication entre le module maître Ma et un port esclave PSa du bus B , et un deuxième lien de communication
5 entre le port maître PM_j du bus B et le module esclave commun S_j . Les signaux émis par le module maître Ma transitent par le port esclave PSa , puis sont routés par le bus B vers le port maître PM_j puis sont transmis au module esclave S_j connecté à ce port maître PM_j . Les signaux émis par le module esclave S_j à destination du maître secondaire M_i suivent la même
10 route en sens inverse.

Les deux routes de communications entre le module esclave commun S_j et les modules maître concurrents Ma et M_i ont donc au moins une portion de route commune. Cette portion de route commune comprend au moins le port maître PM_j et le lien de communication entre ce port maître PM_j et le
15 module esclave commun S_j .

Le procédé de contrôle de bande passante de l'invention va maintenant être décrit en référence aux diagrammes des figures 5a à 5d.

Dans une étape de première détection « DET1 », une première requête
20 d'accès à un module esclave commun S_j émise par un module maître principal Ma est détectée.

Un délai de blocage D_j associé au module esclave commun S_j est ensuite déterminé dans une étape référencée « CALC ».

Enfin, tout transfert de données sur l'au moins une portion de route
25 commune entre un module maître secondaire M_i quelconque et le module esclave commun S_j est bloquée « BLOCK », et ce pendant le délai de blocage D_i déterminé précédemment.

Pendant le délai D_j de blocage, la portion de route commune partagée avec le module maître principal Ma n'est pas occupée par des données
30 transférées entre un module maître secondaire M_i et le module esclave commun S_j . Par conséquent, de la bande passante est libérée sur la route

de communication entre un module maître principal (par exemple le module Ma) et le module esclave commune Sj.

Le procédé peut être répété pour tous les modules esclaves communs du système sur puce.

5

Dans une variante de réalisation, on peut faire varier le délai de blocage D_j associé à un module esclave Sj commun selon le nombre de requêtes d'accès à ce module Sj émises par un ensemble de modules maîtres.

Cette variation peut être assurée par un compteur d'occurrences C_j associé au module esclave commun Sj. La première détection DET1 est alors suivie d'une incrémentation INCR dudit compteur d'occurrences C_j associé au module esclave commun Sj, dont la valeur croît avec le délai D_j .

Ainsi, plus des modules maîtres principaux sollicitent des accès au module esclave commun Sj, plus des modules maître secondaires requérant des accès à ce module esclave commun Sj seront sanctionnés, c'est-à-dire devront attendre pour y accéder.

L'étape de détermination CALC peut comprendre une lecture de la valeur v_j du compteur d'occurrences associé au module esclave commun Sj et calculer le délai D_j de blocage selon une formule prédéterminée.

Le délai de blocage D_j peut par exemple être proportionnel à la valeur v_j du compteur d'occurrences correspondant. On peut également appliquer la formule suivante :

$$D_j = v_j * T_{max} + T_B, \text{ où}$$

- T_{max} est la durée d'un transfert de données prédéterminé entre, par exemple la durée d'un transfert de taille maximale autorisé dans le système entre un module maître et un module esclave.
- T_B est la durée de propagation d'une requête dans le bus B.

Le compteur d'occurrences C_j peut par ailleurs être décrémenté « DECR » après une deuxième détection DET2 d'une deuxième requête émise par un

30

module maître principal pouvant avoir accès au module esclave commun S_j par l'intermédiaire du bus B, à un autre module esclave que le module S_j .

Le module maître principal émetteur de la deuxième requête peut être l'émetteur de la première requête, ou plus généralement tout module maître principal disposant d'une route de communication le liant au module esclave commun S_j . Ainsi, un maître secondaire souhaitant accéder à un module esclave commun ne sera pas sanctionné si aucun module maître principal n'a besoin d'accéder à ce même module S_j .

Dans une variante non illustrée, l'étape de décrémentation DECR peut être remplacée par une remise à zéro complète du compteur d'occurrence C_j .

L'étape de blocage (BLOCK) peut en outre comprendre les sous-étapes suivantes répétées pendant le délai de blocage D_j :

- deuxième interception « CATCH2 » d'un signal de réponse à destination du module maître secondaire M_i positionné à une valeur active indiquant une disponibilité du module esclave commun S_j ,
- repositionnement « FILTER » dudit signal de réponse à une valeur inactive indiquant une indisponibilité dudit module esclave commun S_j .

Ceci permet d'assurer un blocage pendant la phase de requête, avant que la phase de transfert ne commence. Ainsi, aucune donnée ne transite sur la route de communication entière entre le module esclave secondaire M_i et le module esclave commun S_j , y compris la portion de route commune avec le module maître principal M_a . De plus, le module maître secondaire peut, à la réception du signal de réponse, demander un autre accès à un autre module sans perdre du temps à transférer des données qui seraient de toutes façon bloquées avant d'atteindre le module esclave commun S_j .

Par ailleurs, l'étape de blocage BLOCK peut être réalisée inconditionnellement, ou seulement si une condition est remplie.

Une condition peut consister à comparer dans une étape référencée « TEST1 » la valeur v_j du compteur d'occurrences associé au module S_j avec un premier seuil d'occurrences N_j prédéterminé.

- si $v_j \geq N_j$ (« MINC ») alors le blocage BLOCK est réalisé ;
- 5 – sinon (« OK1 »), le blocage BLOCK n'est pas réalisé.

Cette condition permet de réserver une plage de valeurs pour le compteur d'occurrences C_j dans laquelle des accès au module esclave commun ne sont pas considérés pénalisants, car ne consomment pas suffisamment de bande passante pour retarder des accès demandés au module esclave commun S_j de façon significative.

Un module maître secondaire souhaitant accéder au module esclave commun S_j ne sera alors pas sanctionné. En d'autres termes, ce premier seuil permet de ne pas introduire systématiquement des blocages dans le système, mais uniquement lorsque la valeur du compteur sort de cette

15 plage de valeurs.

Le procédé peut en outre comporter une étape supplémentaire d'envoi « STAT » d'un message de statut vers un contrôleur d'interruption (non représenté sur les figures) après un blocage BLOCK. Cette étape STAT permet notamment de notifier la consommation courante de bande

20 passante à un module maître, esclave ou bien à tout autre module tiers du système sur puce.

Par ailleurs, l'étape d'envoi STAT peut être réalisée inconditionnellement, ou seulement si une condition est remplie.

Une condition peut consister à comparer dans une étape référencée

- 25 « TEST2 » la valeur v_j du compteur d'occurrences C_j associé au module S_j avec un deuxième seuil d'occurrences N'_j prédéterminé.
- si $v_j \geq N'_j$ (« MAXC ») alors l'envoi STAT est réalisé ;
 - sinon (« OK2 »), l'envoi STAT n'est pas réalisé.

Le deuxième seuil N'_j peut être supérieur au premier seuil N_j . Ne sont alors

30 notifiés dans l'étape STAT que des messages indiquant des consommations de bande passante critiques pour le système.

Le procédé peut également comprendre des étapes de :

- troisième détection « DET3 » d'une troisième requête d'accès au module esclave commun S_j émise par un module maître principal, la
5 troisième détection étant postérieure à la première détection DET1,
 - décrémentation DECR du compteur C_j associé au module esclave commun S_j avant la troisième détection DET3, à chaque fois que le temps écoulé depuis la première détection DET1 franchit une valeur multiple d'un seuil temporel prédéterminé.
- 10 Cette variante permet de prendre en considération la fréquence d'accès de l'ensemble des modules maîtres principaux au module esclave commun S_j pour calculer un délai de blocage, et sanctionner un module maître secondaire requérant un accès à ce même esclave commun S_j .
- En effet, si aucun module maître principal n'accède au module esclave commun S_j dans une plage de temps supérieure au seuil temporel, la valeur
15 du compteur C_j va diminuer progressivement, et ainsi diminuer le temps de blocage imposé à un module maître secondaire requérant un accès à S_j .
- Cette variante peut être réalisée à l'aide d'un compteur de temps associé au module esclave commun S_j .
- 20 Après la première détection DET1 de la première requête émanant d'un module maître principal au module esclave commun S_j , le compteur de temps est initialisé et démarré dans une étape « RESETT ».
- Dans une étape ELAPS, la valeur du compteur de temps est surveillée. A chaque fois (« TIMEOUT ») que la valeur de ce compteur de temps franchit
25 le seuil temporel T_j , le compteur d'occurrence C_j est décrémenté, et le compteur de temps est réinitialisé et redémarré RESETT.
- En revanche, si la troisième détection DET3 survient avant que la valeur du compteur de temps ne franchisse le seuil temporel (« OKT »), alors le compteur d'occurrence C_j n'est pas décrémenté.
- 30 Chaque compteur C_j peut être un compteur d'occurrences configuré avec une valeur d'incrément égale à 1.

En variante, chaque compteur est un compteur dont la valeur d'incrément est supérieure à 1. Chaque incrémentation et décrémentation modifie alors la valeur du compteur d'une valeur supérieure à 1.

- 5 Un exemple d'évolution du compteur C_j associé à un module esclave commun S_j en fonction de requêtes d'accès détectées au cours du temps va maintenant être détaillé en regard de la figure 6.

La valeur du compteur C_j est initialement configurée à la valeur 1, et son incrément à 1 également.

- 10 Survient une première détection DET1 d'une première requête d'accès émise par un module maître principal au module esclave S_j ; le compteur C_j est alors incrémenté INCR à la valeur 2. Le compteur de temps associé au module esclave S_j est par ailleurs initialisé et démarré (étape RESETT).

- 15 Survient ensuite une deuxième détection DET2 d'une deuxième requête d'accès émise par un module maître principal pouvant avoir accès module esclave S_j , à un autre module esclave que le module S_j ; le compteur C_j est alors décrémenté DECR à la valeur 1.

- Lorsque le seuil temporel T_j est atteint (TIMEOUT) par le compteur de temps, une décrémentation DECR du compteur d'occurrences C_j est
20 réalisée, sa valeur devenant égale à 0. Le compteur de temps associé au module esclave S_j est par ailleurs réinitialisé et redémarré (RESETT).

- Enfin, survient une troisième détection DET3 d'une troisième requête d'accès émise par un module maître principal au module esclave S_j , avant que le seuil temporel T_j ne soit à nouveau atteint par le compteur de temps
25 associé au module S_j . Le compteur C_j est alors incrémenté à la valeur 1. Le compteur de temps associé au module esclave S_j est par ailleurs réinitialisé et redémarré (RESETT).

- L'étape de réinitialisation/redémarrage RESETT du compteur de temps associé au module esclave commun S_j est effectuée pour chaque première
30 détection DET1, et/ou chaque troisième détection DET3.

L'étape RESETT peut également être réalisée pour chaque deuxième détection DET2.

Par ailleurs, les étapes de détection DET1, DET2, DET3 peuvent être réalisées sur le lien de communication entre le module maître secondaire Mi et le bus B. Cet emplacement de détection permet de distinguer simplement et avec certitude que le module maître émetteur d'une requête est
5 secondaire et non principal, et donc de bloquer ses accès à un module esclave au profit d'un module maître principal tiers.

De la même manière, l'étape de blocage BLOCK peut être réalisée sur ce même lien de communication. Ceci garantit que seul le module maître secondaire émetteur de la requête d'accès au module esclave commun Sj
10 sera bloqué.

Les étapes de détection DET1, DET2, DET3 peuvent par ailleurs comprendre des sous-étapes de

- première interception « CATCH1 » d'un signal comprenant une adresse d'accès,
- 15 – recherche « SEARCH » d'un module esclave destinataire correspondant à l'adresse d'accès dans une table d'adressage prédéterminée.

Les étapes de détection DET1, DET2, DET3 et/ou de blocage BLOCK peuvent par ailleurs être réalisées chacune sur un lien de communication
20 selon un protocole suivant le standard AMBA, tel que le protocole AXI ou le protocole AHB.

Les signaux suivants du protocole AXI peuvent être utilisés :

- signal comprenant une adresse d'accès intercepté dans l'étape de détection :
25
 - pour un accès en écriture : AWADDR (le signal AWVALID doit être positionné à 1 pour signifier la validité de l'adresse),
 - pour un accès en lecture : ARADDR (le signal ARVALID doit être positionné à 1 pour signifier la validité de l'adresse),
- signal de réponse intercepté dans l'étape de blocage BLOCK :
30 AWREADY (pour un accès en écriture) ou ARREADY (pour un accès en lecture),

Les signaux suivants du protocole AHB peuvent également être utilisés :

- signal comprenant une adresse d'accès intercepté dans l'étape de détection : HADDR (le signal HSELx doit être positionné à 1 pour signifier la validité de l'adresse),
- signal de réponse intercepté dans l'étape de blocage : HREADY
5 positionné à HIGH (ce signal est alors repositionné à LOW dans la sous-étape de repositionnement pour indiquer une indisponibilité du module esclave commun Sj au module maître secondaire Mi).

Le compteur de temps peut être par ailleurs synchronisé avec une horloge utilisée pour synchroniser des signaux de communication entre le module
10 maître et le module esclave. Le compteur de temps peut alors s'incrémenter pour chaque front montant détecté sur le signal ACLK d'un lien de communication suivant le protocole AXI ; ainsi, le seuil temporel est vu comme un nombre maximal de coups d'horloge.

Le procédé de contrôle de bande passante peut être généralisé à tout
15 protocole du standard AMBA ou à toute combinaison de protocoles de la famille AMBA utilisée sur une route de communication entre un module maître et un module esclave interconnectés par au moins un bus B.

Le procédé de contrôle de bande passante peut être mis en œuvre dans un
20 dispositif Xi qui va maintenant être détaillé.

Le dispositif Xi de contrôle de bande passante comprend des moyens de détection de signaux, des moyens de stockage, n compteurs d'occurrences et des moyens de traitement configurés pour mettre en œuvre n fois en parallèle le procédé de contrôle de bande décrit plus haut. Le dispositif Xi
25 peut également comprendre n compteurs de temps.

Les moyens de stockage du dispositif Xi sont prévus pour le stockage de n délais de blocage, n premiers seuils d'occurrences, de n deuxièmes seuils d'occurrences et/ou de n seuils temporels.

Les moyens de stockage du dispositif Xi sont également prévus pour
30 stocker n identifiants de modules esclaves communs, et n tables d'adressages.

Toutes ces informations peuvent être écrites dans les moyens de stockage une seule fois avant la mise en service du système sur puce, ou être reconfigurées dynamiquement.

Les moyens de stockage peuvent par exemple être une ou plusieurs
5 mémoires flash ou EEPROM.

En référence à la figure 7, l'invention concerne également un système sur puce comprenant au moins un module maître principal Ma, au moins un module maître secondaire M1, ..., Mi, ..., Mk, au moins un module esclave
10 S1, ..., Sj, ..., Sn et un bus B connecté à chaque module sur un lien de communication et au moins un dispositif de contrôle de bande passante X1, ..., Xi, ..., Xk tel que décrit plus haut.

Le bus B comprend des moyens d'interconnexion pour faire communiquer au moins un module esclave commun avec au moins un module maître principal et avec au moins un module maître secondaire par au moins une
15 portion de route commune.

Chaque dispositif de contrôle de bande passante X1, ..., Xi, ..., Xk est connecté à un module maître secondaire M1, ..., Mk, à au moins un maître principal Ma, et au bus B.

20 Le dispositif de contrôle de bande passante X peut, au choix, être intégré à un bus, faire partie d'un module maître secondaire, ou bien être se présenter sous la forme d'un module autonome placé sur la liaison entre un module maître secondaire et un port esclave d'un bus B. Chaque dispositif peut alors être associé à un seul module maître secondaire et bloquer des
25 requêtes d'accès émanant de ce module maître secondaire.

Dans chaque dispositif de contrôle de bande passante X1, ..., Xi, ..., Xk associé à un module maître secondaire respectif M1, ..., Mi, ..., Mk, un compteur d'occurrences Cj, un premier seuil d'occurrence N_j , un deuxième seuil d'occurrence N'_j , un compteur de temps et un seuil temporel peuvent
30 être affectés à un module esclave commun Sj présent dans le système sur puce.

De cette manière, toute requête d'accès à un module esclave commune émanant d'un module maître secondaire peut être contrôlé, et ce avec des paramètres spécifiques à chaque paire formée par un module maître secondaire et un module esclave commun.

- 5 Dans le mode de réalisation de système sur puce illustré en figure 7, un seul module maître principal Ma est présent, et peut avoir accès à tous les modules esclaves, qui sont tous des modules esclaves communs partagés avec les modules maîtres secondaires M1, ..., Mi, ..., Mk. En conséquence, chaque dispositif de contrôle de bande passante est connecté au module
- 10 maître principal Ma, et est destiné à bloquer des requêtes émanant d'un module maître secondaire respectif.

En variante, un système peut comporter plusieurs modules maîtres principaux, et les modules esclaves ne sont pas tous des modules esclaves communs.

- 15 Les dispositifs de contrôle de bande passante peuvent être insérés dans un système sur puce classique tel que celui illustré en figure 1 de la manière suivante:

- identification des modules esclaves communs parmi les modules esclaves connectés à un bus B ;
- 20 – Pour chaque module esclave commun identifié,
 - identification des modules maîtres secondaires pouvant avoir accès au module esclave commun par l'intermédiaire du bus B,
 - identification des modules maîtres principaux pouvant avoir
- 25 – Pour chaque module maître secondaire identifié,
 - insertion d'un dispositif de contrôle de bande passante respectif sur le lien de communication entre le module maître secondaire et le bus B,
 - 30 ○ connexion du dispositif de contrôle de bande passante inséré à chaque module maître principal identifié.

Un système sur puce selon l'invention est alors obtenu.

REVENDEICATIONS

1. Procédé de contrôle de bande passante dans un système sur puce comprenant au moins un module maître principal (Ma), au moins un
5 module maître secondaire (M1, ..., Mk), au moins un module esclave (S1, ..., Sn) et un bus (B) connecté à chaque module sur un lien de communication, le bus (B) comprenant des moyens d'interconnexion pour faire communiquer au moins un module esclave commun avec au moins un module maître principal et avec au moins un module maître
10 secondaire par au moins une portion de route commune, le procédé comprenant les étapes suivantes réalisées pour chaque module esclave commun (Sj):
 - première détection (DET1) d'une première requête d'accès au
15 module esclave commun (Sj) émise par un module maître principal (Ma),
 - détermination (CALC) d'un délai de blocage D_j associé au module esclave commun (Sj),
 - blocage (BLOCK) pendant le délai de blocage D_j de tout transfert
20 de données sur l'au moins une portion de route commune entre un module maître secondaire (Mi) et le module esclave commun (Sj).
2. Procédé selon la revendication 1, dans lequel la première détection (DET1) entraîne une incrémentation (INCR) d'un compteur
25 d'occurrences (Cj) associé au module esclave commun (Sj), le délai D_j de blocage associé au module esclave commun (Sj) croissant en fonction de la valeur v_j dudit compteur d'occurrences (Cj).
3. Procédé selon la revendication 2, dans lequel l'étape de détermination
30 (CALC) comprend une lecture de la valeur v_j du compteur d'occurrences

associé au module esclave commun (Sj) et un calcul du délai D_j de blocage selon la formule $D_j = v_j * T_{max} + T_B$, où

- T_{max} est la durée d'un transfert de données de taille maximale entre un module maître et un module esclave, et
 - 5 – T_B est la durée de propagation d'une requête dans le bus (B).
4. Procédé selon l'une des revendications 2 et 3 comprenant en outre les étapes de :
- deuxième détection (DET2) d'une deuxième requête d'accès à un
 - 10 module esclave n'étant pas le module esclave commun (Sj) émise par un module maître principal (Ma) connecté au module esclave commun (Sj) par l'intermédiaire du bus (B), et
 - décrémentation (DECR) du compteur d'occurrences (Cj) associé au module esclave commun (Sj) entraînée par la deuxième
 - 15 détection (DET2).
5. Procédé selon l'une des revendications 2 à 4, dans lequel l'étape de blocage (BLOCK) est réalisée seulement si la valeur v_j du compteur d'occurrences (Cj) associé au module esclave commun (Sj) est
- 20 supérieure (MINC) à un premier seuil d'occurrences N_j prédéterminé.
6. Procédé selon l'une des revendications 2 à 5, comprenant en outre une étape d'envoi (STAT) d'un message de statut à un contrôleur d'erreurs seulement si la valeur v_j du compteur d'occurrences (Cj) associé au
- 25 module esclave commun (Sj) est supérieure (MAXC) à un deuxième seuil d'occurrences N'_j prédéterminé supérieur ou égal au premier seuil d'occurrences N_j .
7. Procédé selon l'une des revendications 2 à 6, comprenant en outre des
- 30 étapes de :

- troisième détection (DET3) d'une troisième requête d'accès au module esclave commun (S_j) émise par un module maître principal (Ma), la troisième détection étant postérieure à la première détection (DET1),
- 5
- décrémentation (DECR) du compteur (C_j) associé au module esclave commun (S_j) avant la troisième détection (DET3) réalisée à chaque fois que le temps écoulé depuis la première détection (DET1) franchit une valeur multiple d'un seuil temporel T_j prédéterminé.
- 10
8. Procédé selon l'une des revendications 1 à 7, dans lequel les étapes de détection (DET1, DET2, DET3) et/ou de blocage (BLOCK) sont réalisées sur le lien de communication entre un module maître secondaire (M_i) et le bus (B).
- 15
9. Procédé selon l'une des revendications 1 à 8, dans lequel chaque étape de détection (DET1, DET2, DET3) comprend des sous-étapes de :
- première interception (CATCH1) d'un signal comprenant une adresse d'accès,
- 20
- recherche (SEARCH) d'un module esclave destinataire correspondant à l'adresse d'accès dans une table d'adressage prédéterminée.
- 25
10. Procédé selon la revendication 9 dans lequel le signal comprenant une adresse d'accès est HADDR, l'étape de première interception étant réalisée sur un lien de communication selon le protocole AHB.
- 30
11. Procédé selon l'une des revendications 1 à 10, dans lequel l'étape de blocage (BLOCK) comprend les sous-étapes suivantes répétées pendant le délai de blocage D_j :

- deuxième interception (CATCH2) d'un signal de réponse à destination du module maître secondaire (Mi) positionné à une valeur active indiquant une disponibilité du module esclave commun (Sj),
- 5 – repositionnement (FILTER) dudit signal de réponse à une valeur inactive indiquant une indisponibilité dudit module esclave commun (Sj).
12. Procédé selon la revendication 11, dans lequel le signal de réponse est
10 HREADY, l'étape de blocage (BLOCK) étant réalisée sur un lien de communication selon le protocole AHB.
13. Dispositif (W1, ..., Wi, ..., Wk) de contrôle de bande passante comprenant des moyens de détection de signaux, des moyens de
15 stockage, N compteurs d'occurrence et des moyens de traitement configurés pour mettre en œuvre N fois en parallèle le procédé de contrôle de bande passante selon l'une des revendications 1 à 12, N étant supérieur ou égale à un.
- 20 14. Système sur puce comprenant au moins un module maître principal (Ma), au moins un module maître secondaire (M1, ..., Mk), au moins un module esclave (S1, ..., Sn) et un bus (B) connecté à chaque module sur un lien de communication, le bus comprenant des moyens
25 d'interconnexion pour faire communiquer au moins un module esclave commun avec au moins un module maître principal et avec au moins un module maître secondaire par au moins une portion de route commune, et au moins un dispositif de contrôle de bande passante (W1, ..., Wi, ..., Wk) selon la revendication 13 connecté à un module maître secondaire (M1, ..., Mk), à au moins un maître principal (Ma), et au bus (B).

1/4

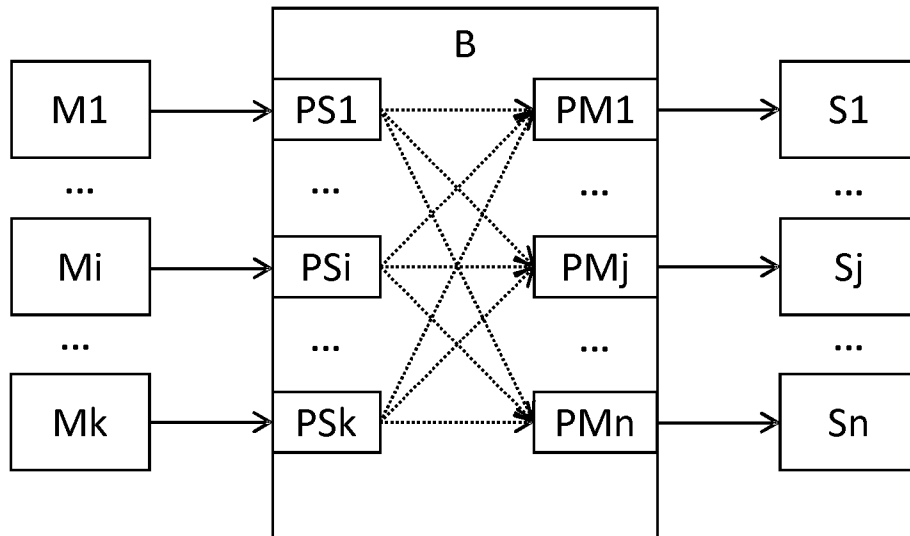


FIG. 1

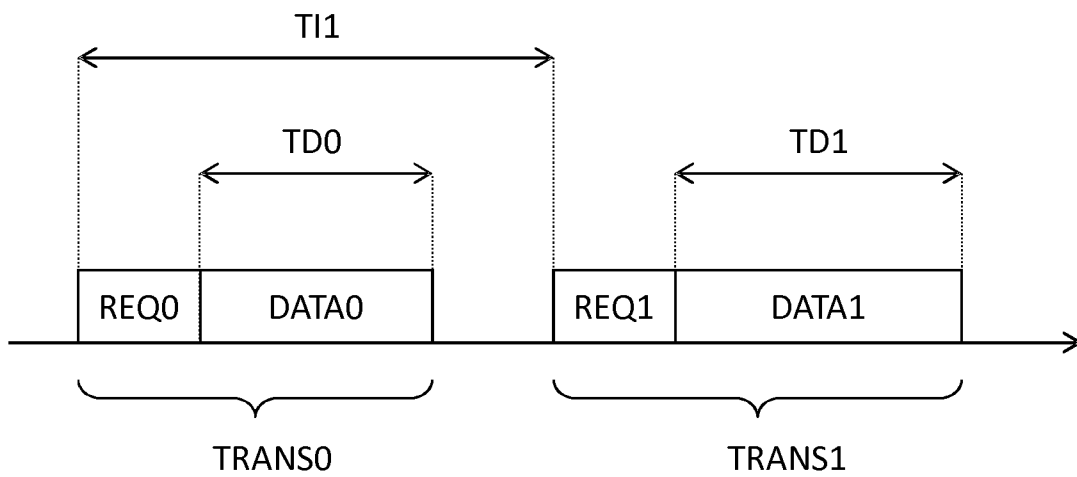


FIG. 2

2/4

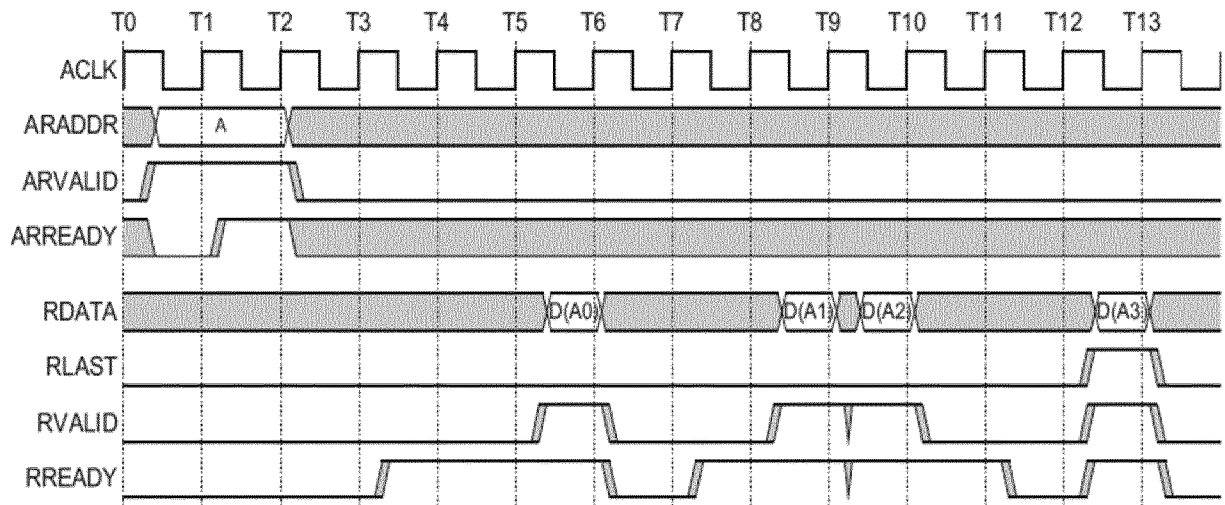


FIG. 3

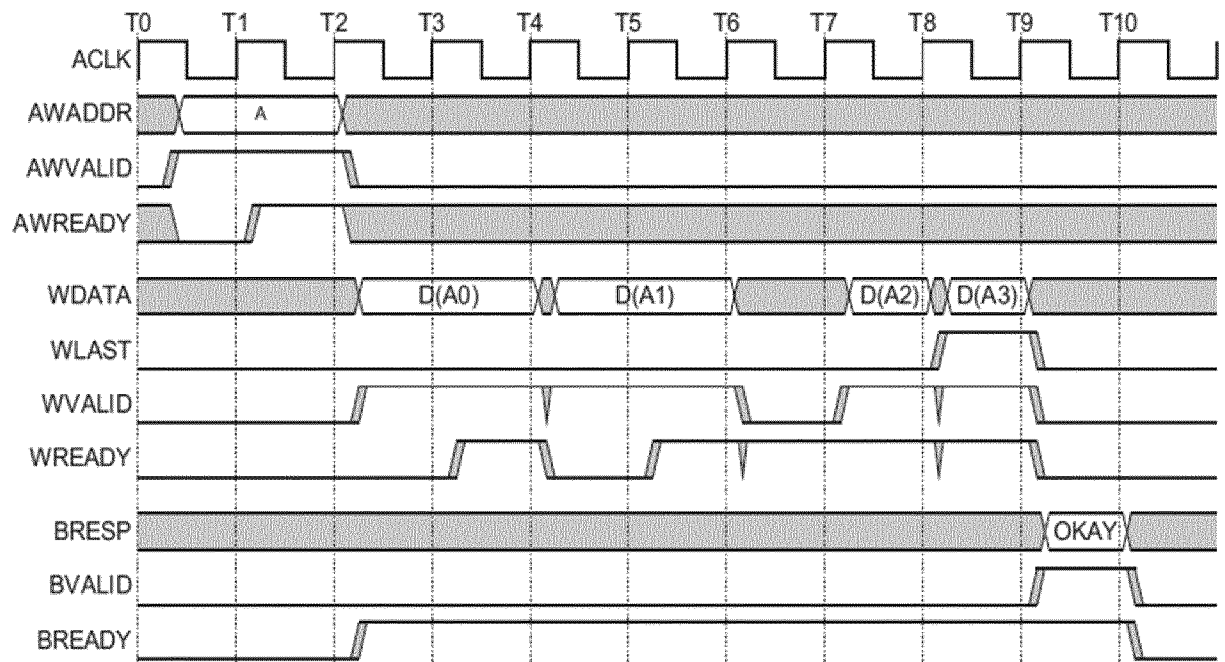


FIG. 4

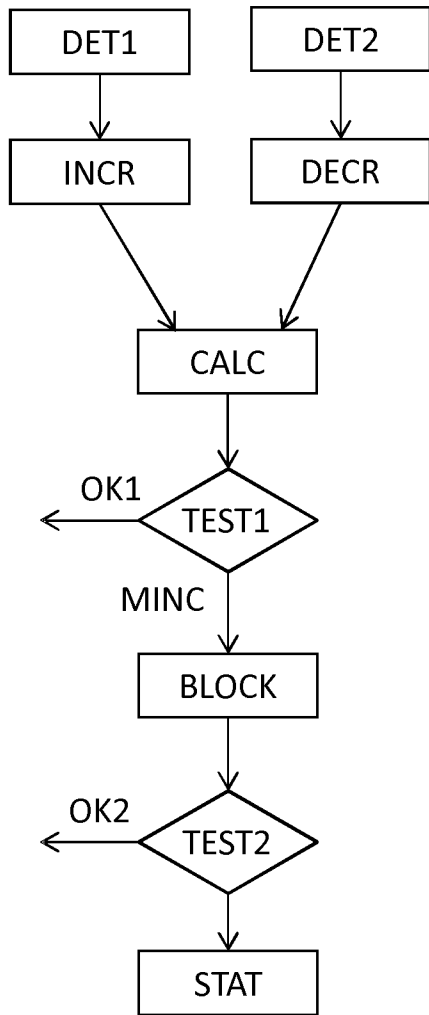


FIG. 5a

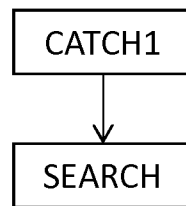
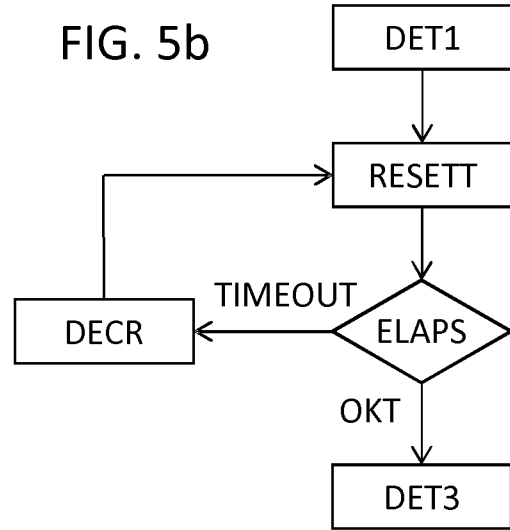


FIG. 5c

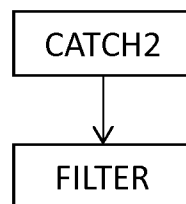


FIG. 5d

FIG. 6

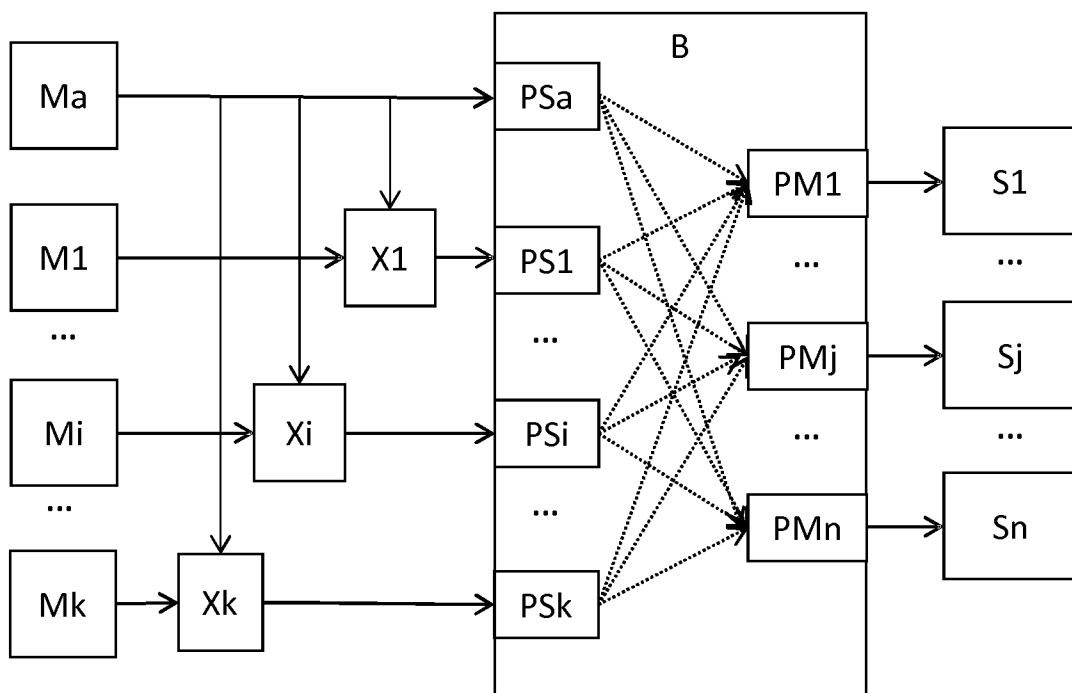
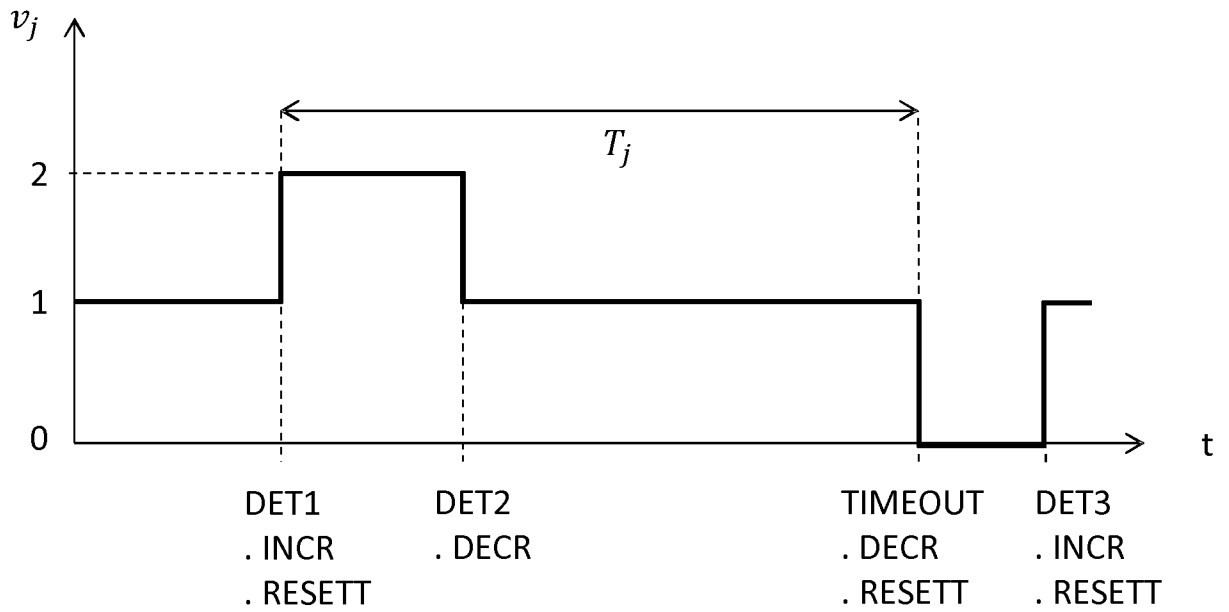


FIG. 7

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2014/054121

A. CLASSIFICATION OF SUBJECT MATTER INV. G06F13/372 ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G06F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 8 250 280 B1 (ROHANA TAREK [IL] ET AL) 21 August 2012 (2012-08-21) figure 4 figure 5 column 1 - column 2 column 10, line 9 - column 12, line 7 -----	1-14
A	US 2012/246368 A1 (KWON WOO CHEOL [KR] ET AL) 27 September 2012 (2012-09-27) the whole document -----	1-14
<input type="checkbox"/> Further documents are listed in the continuation of Box C.		
<input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents :		
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention	
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family	
"P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search <p style="text-align: center;">4 April 2014</p>	Date of mailing of the international search report <p style="text-align: center;">09/05/2014</p>	
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Authorized officer <p style="text-align: center;">Ghidini, Mario</p>	

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2014/054121

Patent document cited in search report	Publication date	Patent family member(s)	Publication date	
US 8250280	B1	21-08-2012	US 8250280 B1	21-08-2012
			US 8688886 B1	01-04-2014

US 2012246368	A1	27-09-2012	CN 102693202 A	26-09-2012
			KR 20120109051 A	08-10-2012
			US 2012246368 A1	27-09-2012

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°

PCT/EP2014/054121

A. CLASSEMENT DE L'OBJET DE LA DEMANDE INV. G06F13/372 ADD.		
Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB		
B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE		
Documentation minimale consultée (système de classification suivi des symboles de classement) G06F		
Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche		
Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	US 8 250 280 B1 (ROHANA TAREK [IL] ET AL) 21 août 2012 (2012-08-21) figure 4 figure 5 colonne 1 - colonne 2 colonne 10, ligne 9 - colonne 12, ligne 7 -----	1-14
A	US 2012/246368 A1 (KWON WOO CHEOL [KR] ET AL) 27 septembre 2012 (2012-09-27) le document en entier -----	1-14
<input type="checkbox"/> Voir la suite du cadre C pour la fin de la liste des documents <input checked="" type="checkbox"/> Les documents de familles de brevets sont indiqués en annexe		
* Catégories spéciales de documents cités:		
"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent "E" document antérieur, mais publié à la date de dépôt international ou après cette date "L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée) "O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens "P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée "T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention "X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément "Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier "&" document qui fait partie de la même famille de brevets		
Date à laquelle la recherche internationale a été effectivement achevée 4 avril 2014		Date d'expédition du présent rapport de recherche internationale 09/05/2014
Nom et adresse postale de l'administration chargée de la recherche internationale Office Européen des Brevets, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Fonctionnaire autorisé Ghidini, Mario

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale n°

PCT/EP2014/054121

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 8250280	B1	US 8250280 B1	21-08-2012
		US 8688886 B1	01-04-2014

US 2012246368	A1	CN 102693202 A	26-09-2012
		KR 20120109051 A	08-10-2012
		US 2012246368 A1	27-09-2012
