

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G11C 11/407

H03K 19/00 H03F 3/45



[12] 发明专利说明书

[21] ZL 专利号 98119270. X

[45] 授权公告日 2004 年 9 月 29 日

[11] 授权公告号 CN 1169156C

[22] 申请日 1998. 9. 15 [21] 申请号 98119270. X

[30] 优先权

[32] 1998. 1. 16 [33] JP [31] 6499/1998

[71] 专利权人 三菱电机株式会社

地址 日本东京都

[72] 发明人 小桥寿夫 樱井干夫 谷田进

审查员 陈 炜

[74] 专利代理机构 中国专利代理(香港)有限公司

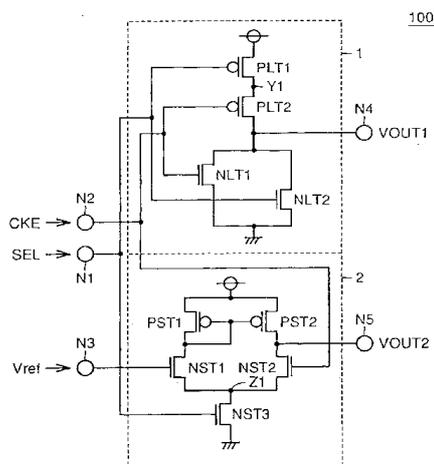
代理人 杨 凯 叶恺东

权利要求书 11 页 说明书 14 页 附图 10 页

[54] 发明名称 具备能抑制消耗电流的接口电路的
半导体存储器

[57] 摘要

本发明的半导体存储器中的时钟缓冲器具备 2 种接口电路, 即 LVTTTL 接口(NOR 电路)和 SSTL 接口(差分放大器)。在设定成能抑制消耗功率的特定的模式(自更新模式)的情况下, 半导体存储器使用 LVTTTL 接口从外部取入信号。此外, 在除自更新模式以外的模式下, 使用 SSTL 接口从外部取入信号。由此, 在特定的模式下, 可抑制消耗电流。



ISSN 1008-4274

1. 一种半导体存储器，其特征在于：

具备：

5 模式寄存器（124），该模式寄存器响应从外部输入的模式指定信号，检测出特定的模式被指定的情况，作为检测结果输出对应的模式触发信号；

接收从外部传送来的输入信号的输入端子，从外部传送来的输入信号在上述特定的模式下，是第 1 电位电平的信号，在除上述特定的模式以外的模式下，是在第 2 电位电平上重叠了小振幅逻辑信号的信号；
10 以及

响应输入信号而工作的内部电路，

还具备：

第 1 接口装置（1，3）和第 2 接口装置（2，4），其中，第 1 接口装置在上述特定的模式下激活，根据从上述输入端子输入的上述输入
15 信号的电位电平与阈值的电位电平的比较，判定上述输入信号的逻辑电平，将对应于判定结果的内部信号输出到上述内部电路，第 2 接口装置在除上述特定的模式以外的模式下激活，根据从上述输入端子输入的上述输入信号的电位电平与上述第 2 电位电平的比较，判定上述输入信号的逻辑电平，将对应于判定结果的内部信号输出到上述内部
20 电路。

2. 如权利要求 1 中所述的半导体存储器，其特征在于：

还包括：

存储单元阵列（126），包含配置成行列状的多个存储单元；以及
地址产生装置（125），响应上述模式寄存器的检测结果，产生指
25 定上述存储单元阵列的上述存储单元的内部地址信号，

所谓上述特定模式，是响应上述地址产生装置（125）产生的上述内部地址信号，将上述存储单元的数据更新的自更新模式。

3. 如权利要求 2 中所述的半导体存储器，其特征在于：

上述第 1 接口装置（1）由 NOR 电路构成。

30 4. 如权利要求 2 中所述的半导体存储器，其特征在于：

上述第 1 接口装置由 NAND 电路（3）构成。

5. 如权利要求 2 中所述的半导体存储器，其特征在于：

上述第 2 接口装置（2，4）由放大上述第 2 电位电平与上述输入信

号的电位差的差分放大器构成。

6. 如权利要求3中所述的半导体存储器, 其特征在于:

上述模式触发信号在上述自更新模式下变成低电平的激活状态,

上述第1接口装置(1)包括:

5 第1 P 沟道型 MOS 晶体管 (PLT1), 其一个导通端子连接到电源电位;

第2 P 沟道型 MOS 晶体管 (PLT2), 其一个导通端子与上述第1 P 沟道型 MOS 晶体管 (PLT1) 的另一个导通端子连接; 以及

10 第1 N 沟道型 MOS 晶体管 (NLT1) 和第2 N 沟道型 MOS 晶体管 (NLT2), 并联地连接在上述第2 P 沟道型 MOS 晶体管 (PLT2) 的另一个导通端子与接地电位之间,

上述第1 P 沟道型 MOS 晶体管 (PLT1) 和上述第2 N 沟道型 MOS 晶体管 (NLT2) 的各自的栅电极接收上述模式触发信号,

15 上述第2 P 沟道型 MOS 晶体管 (PLT2) 和上述第1 N 沟道型 MOS 晶体管 (NLT1) 的各自的栅电极接收上述输入信号,

从上述第2 P 沟道型 MOS 晶体管 (PLT2) 与上述第1 N 沟道型 MOS 晶体管 (NLT1) 的连接节点输出上述内部信号。

7. 如权利要求4中所述的半导体存储器, 其特征在于:

上述模式触发信号在上述自更新模式下变成低电平的激活状态,

20 上述第1接口装置(3)包括:

第1 P 沟道型 MOS 晶体管 (PLT3) 和第2 P 沟道型 MOS 晶体管 (PLT4), 其一个导通端子分别连接到电源电位; 以及

25 第1 N 沟道型 MOS 晶体管 (NLT3) 和第2 N 沟道型 MOS 晶体管 (NLT4), 串联地连接在上述第1 P 沟道型 MOS 晶体管 (PLT3) 和第2 P 沟道型 MOS 晶体管 (PLT4) 的各自的另一个导通端子与接地电位之间,

上述第2 P 沟道型 MOS 晶体管 (PLT4) 和上述第2 N 沟道型 MOS 晶体管 (NLT4) 的各自的栅电极接收将上述模式触发信号反转后的信号,

上述第1 P 沟道型 MOS 晶体管 (PLT3) 和上述第1 N 沟道型 MOS 晶体管 (NLT3) 的各自的栅电极接收上述输入信号,

30 从上述第1 P 沟道型 MOS 晶体管 (PLT3) 与上述第1 N 沟道型 MOS 晶体管 (NLT3) 的连接节点输出上述内部信号。

8. 如权利要求5中所述的半导体存储器, 其特征在于:

上述模式触发信号在上述自更新模式下变成低电平的激活状态，

上述第2接口装置(2)包括：

第1P沟道型MOS晶体管(PST1)和第2P沟道型MOS晶体管(PST2)，
其各自的一个导通端子分别连接到电源电位；

5 第1N沟道型MOS晶体管(NST1)，其一个导通端子与上述第1P
沟道型MOS晶体管(PST1)的另一个导通端子连接；

第2N沟道型MOS晶体管(NST2)，其一个导通端子与上述第2P
沟道型MOS晶体管(PST2)的另一个导通端子连接；

以及

10 第3N沟道型MOS晶体管(NST3)，连接在上述第1N沟道型MOS
晶体管(NST1)和第2N沟道型MOS晶体管(NST2)的各自的另一个导
通端子与接地电位之间，

将上述第1P沟道型MOS晶体管(PST1)和上述第2P沟道型MOS
晶体管(PST2)的各自的栅电极连接到上述第1P沟道型MOS晶体管
15 (PST1)与上述第1N沟道型MOS晶体管(NST1)的连接节点，

上述第3N沟道型MOS晶体管(NST3)的栅电极接收上述模式触发
信号，

上述第1N沟道型MOS晶体管(NST1)的栅电极接收上述第2电位
电平的基准电位，

20 上述第2N沟道型MOS晶体管(NST2)的栅电极接收上述输入信号，
从上述第2P沟道型MOS晶体管(PST2)与上述第2N沟道型MOS
晶体管(NST2)的连接节点输出上述内部信号。

9. 如权利要求5中所述的半导体存储器，其特征在于：

上述模式触发信号在上述自更新模式下变成低电平的激活状态，

25 上述第2接口装置(4)包括：

第1P沟道型MOS晶体管(PST1)和第2P沟道型MOS晶体管(PST2)，
将各自的一个导通端子连接起来；

第1N沟道型MOS晶体管(NST1)，连接在上述第1P沟道型MOS
晶体管(PST1)的另一个导通端子与接地电位之间；

30 第2N沟道型MOS晶体管(NST2)，连接在上述第2P沟道型MOS
晶体管(PST2)的另一个导通端子与接地电位之间；

以及

第 3 P 沟道型 MOS 晶体管 (PST3), 连接在上述第 1 P 沟道型 MOS 晶体管 (PST1) 和上述第 2 P 沟道型 MOS 晶体管 (PST2) 的各自的另一个导通端子与电源电位之间,

将上述第 1 P 沟道型 MOS 晶体管 (PST1) 和上述第 2 P 沟道型 MOS 晶体管 (PST2) 的各自的栅电极连接到上述第 1 P 沟道型 MOS 晶体管 (PST1) 与上述第 1 N 沟道型 MOS 晶体管 (NST1) 的连接节点,

上述第 3 P 沟道型 MOS 晶体管 (PST3) 的栅电极接收将上述模式触发信号反转后的信号,

上述第 1 N 沟道型 MOS 晶体管 (NST1) 的栅电极接收上述第 2 电位电平的基准电位,

上述第 2 N 沟道型 MOS 晶体管 (NST2) 的栅电极接收上述输入信号, 从上述第 2 P 沟道型 MOS 晶体管 (PST2) 与上述第 2 N 沟道型 MOS 晶体管 (NST2) 的连接节点输出上述内部信号。

10. 如权利要求 2 中所述的半导体存储器, 其特征在于:
上述模式触发信号在上述自更新模式下变成低电平的激活状态,
上述第 1 接口装置 (1) 包括:

第 1 P 沟道型 MOS 晶体管 (PLT1), 其一个导通端子连接到电源电位;

第 2 P 沟道型 MOS 晶体管 (PLT2), 其一个导通端子与上述第 1 P 沟道型 MOS 晶体管 (PLT1) 的另一个导通端子连接; 以及

第 1 N 沟道型 MOS 晶体管 (NLT1) 和第 2 N 沟道型 MOS 晶体管 (NLT2), 并联地连接在上述第 2 P 沟道型 MOS 晶体管 (PLT2) 的另一个导通端子与接地电位之间,

上述第 1 P 沟道型 MOS 晶体管 (PLT1) 和上述第 2 N 沟道型 MOS 晶体管 (NLT2) 的各自的栅电极接收上述模式触发信号,

上述第 2 P 沟道型 MOS 晶体管 (PLT2) 和上述第 1 N 沟道型 MOS 晶体管 (NLT1) 的各自的栅电极接收上述输入信号,

从上述第 2 P 沟道型 MOS 晶体管 (PLT2) 与上述第 1 N 沟道型 MOS 晶体管 (NLT1) 的连接节点输出上述内部信号,

上述第 2 接口装置 (2) 包括:

第 3 P 沟道型 MOS 晶体管 (PST1) 和第 4 P 沟道型 MOS 晶体管 (PST2), 其各自的一个导通端子分别连接到电源电位;

第 3 N 沟道型 MOS 晶体管 (NST1), 其一个导通端子与上述第 3 P 沟道型 MOS 晶体管 (PST1) 的另一个导通端子连接;

第 4 N 沟道型 MOS 晶体管 (NST2), 其一个导通端子与上述第 4 P 沟道型 MOS 晶体管 (PST2) 的另一个导通端子连接;

5 以及

第 5 N 沟道型 MOS 晶体管 (NST3), 连接在上述第 3 N 沟道型 MOS 晶体管 (NST1) 和第 4 N 沟道型 MOS 晶体管 (NST2) 的各自的另一个导通端子与接地电位之间,

10 将上述第 3 P 沟道型 MOS 晶体管 (PST1) 和上述第 4 P 沟道型 MOS 晶体管 (PST2) 的各自的栅电极连接到上述第 3 P 沟道型 MOS 晶体管 (PST1) 与上述第 3 N 沟道型 MOS 晶体管 (NST1) 的连接节点,

上述第 5 N 沟道型 MOS 晶体管 (NST3) 的栅电极接收上述模式触发信号,

15 上述第 3 N 沟道型 MOS 晶体管 (NST1) 的栅电极接收上述第 2 电位电平的基准电位,

上述第 4 N 沟道型 MOS 晶体管 (NST2) 的栅电极接收上述输入信号,

从上述第 4 P 沟道型 MOS 晶体管 (PST2) 与上述第 4 N 沟道型 MOS 晶体管 (NST2) 的连接节点输出上述内部信号。

11. 如权利要求 2 中所述的半导体存储器, 其特征在于:

20 上述模式触发信号在上述自更新模式下变成低电平的激活状态,

上述第 1 接口装置 (3) 包括:

第 1 P 沟道型 MOS 晶体管 (PLT3) 和第 2 P 沟道型 MOS 晶体管 (PLT4), 其一个导通端子分别连接到电源电位; 以及

25 第 1 N 沟道型 MOS 晶体管 (NLT3) 和第 2 N 沟道型 MOS 晶体管 (NLT4), 串联地连接在上述第 1 P 沟道型 MOS 晶体管 (PLT3) 和第 2 P 沟道型 MOS 晶体管 (PLT4) 的各自的另一个导通端子与接地电位之间,

上述第 2 P 沟道型 MOS 晶体管 (PLT4) 和上述第 2 N 沟道型 MOS 晶体管 (NLT4) 的各自的栅电极接收将上述模式触发信号反转后的信号,

30 上述第 1 P 沟道型 MOS 晶体管 (PLT3) 和上述第 1 N 沟道型 MOS 晶体管 (NLT3) 的各自的栅电极接收上述输入信号,

从上述第 1 P 沟道型 MOS 晶体管 (PLT3) 与上述第 1 N 沟道型 MOS 晶体管 (NLT3) 的连接节点输出上述内部信号,

上述第 2 接口装置 (2) 包括:

第 3 P 沟道型 MOS 晶体管 (PST1) 和第 4 P 沟道型 MOS 晶体管 (PST2), 其各自的一个导通端子分别连接到电源电位;

第 3 N 沟道型 MOS 晶体管 (NST1), 其一个导通端子与上述第 3 P 沟道型 MOS 晶体管 (PST1) 的另一个导通端子连接;

第 4 N 沟道型 MOS 晶体管 (NST2), 其一个导通端子与上述第 4 P 沟道型 MOS 晶体管 (PST2) 的另一个导通端子连接;

以及

第 5 N 沟道型 MOS 晶体管 (NST3), 连接在上述第 3 N 沟道型 MOS 晶体管 (NST1) 和第 4 N 沟道型 MOS 晶体管 (NST2) 的各自的另一个导通端子与接地电位之间,

将上述第 3 P 沟道型 MOS 晶体管 (PST1) 和上述第 4 P 沟道型 MOS 晶体管 (PST2) 的各自的栅电极连接到上述第 3 P 沟道型 MOS 晶体管 (PST1) 与上述第 3 N 沟道型 MOS 晶体管 (NST1) 的连接节点,

上述第 5 N 沟道型 MOS 晶体管 (NST3) 的栅电极接收上述模式触发信号,

上述第 3 N 沟道型 MOS 晶体管 (NST1) 的栅电极接收上述第 2 电位电平的基准电位,

上述第 4 N 沟道型 MOS 晶体管 (NST2) 的栅电极接收上述输入信号, 从上述第 4 P 沟道型 MOS 晶体管 (PST2) 与上述第 4 N 沟道型 MOS 晶体管 (NST2) 的连接节点输出上述内部信号。

12. 如权利要求 2 中所述的半导体存储器, 其特征在于:

上述模式触发信号在上述自更新模式下变成低电平的激活状态,

上述第 1 接口装置 (1) 包括:

第 1 P 沟道型 MOS 晶体管 (PLT1), 其一个导通端子连接到电源电位;

第 2 P 沟道型 MOS 晶体管 (PLT2), 其一个导通端子与上述第 1 P 沟道型 MOS 晶体管 (PLT1) 的另一个导通端子连接; 以及

第 1 N 沟道型 MOS 晶体管 (NLT1) 和第 2 N 沟道型 MOS 晶体管 (NLT2), 并联地连接在上述第 2 P 沟道型 MOS 晶体管 (PLT2) 的另一个导通端子与接地电位之间,

上述第 1 P 沟道型 MOS 晶体管 (PLT1) 和上述第 2 N 沟道型 MOS 晶

晶体管 (NLT2) 的各自的栅电极接收上述模式触发信号,

上述第 2 P 沟道型 MOS 晶体管 (PLT2) 和上述第 1 N 沟道型 MOS 晶体管 (NLT1) 的各自的栅电极接收上述输入信号,

从上述第 2 P 沟道型 MOS 晶体管 (PLT2) 与上述第 1 N 沟道型 MOS
5 晶体管 (NLT1) 的连接节点输出上述内部信号,

上述第 2 接口装置 (4) 包括:

第 3 P 沟道型 MOS 晶体管 (PST1) 和第 4 P 沟道型 MOS 晶体管 (PST2),
将各自的一个导通端子连接起来;

第 3 N 沟道型 MOS 晶体管 (NST1), 连接在上述第 3 P 沟道型 MOS
10 晶体管 (PST1) 的另一个导通端子与接地电位之间;

第 4 N 沟道型 MOS 晶体管 (NST2), 连接在上述第 4 P 沟道型 MOS
晶体管 (PST2) 的另一个导通端子与接地电位之间;

以及

第 5 P 沟道型 MOS 晶体管 (PST3), 连接在上述第 3 P 沟道型 MOS
15 晶体管 (PST1) 和上述第 4 P 沟道型 MOS 晶体管 (PST2) 的各自的另一个导通端子与电源电位之间,

将上述第 3 P 沟道型 MOS 晶体管 (PST1) 和上述第 4 P 沟道型 MOS
晶体管 (PST2) 的各自的栅电极连接到上述第 3 P 沟道型 MOS 晶体管
(PST1) 与上述第 3 N 沟道型 MOS 晶体管 (NST1) 的连接节点;

20 上述第 5 P 沟道型 MOS 晶体管 (PST3) 的栅电极接收将上述模式触发信号反转后的信号,

上述第 3 N 沟道型 MOS 晶体管 (NST1) 的栅电极接收上述第 2 电位
电平的基准电位,

上述第 4 N 沟道型 MOS 晶体管 (NST2) 的栅电极接收上述输入信号,

25 从上述第 4 P 沟道型 MOS 晶体管 (PST2) 与上述第 4 N 沟道型 MOS
晶体管 (NST2) 的连接节点输出上述内部信号。

13. 如权利要求 2 中所述的半导体存储器, 其特征在于:

上述模式触发信号在上述自更新模式下变成低电平的激活状态,

上述第 1 接口装置 (3) 包括:

30 第 1 P 沟道型 MOS 晶体管 (PLT3) 和第 2 P 沟道型 MOS 晶体管 (PLT4),
其一个导通端子分别连接到电源电位; 以及

第 1 N 沟道型 MOS 晶体管 (NLT3) 和第 2 N 沟道型 MOS 晶体管 (NLT4),

串联地连接在上述第 1 P 沟道型 MOS 晶体管 (PLT3) 和第 2 P 沟道型 MOS 晶体管 (PLT4) 的各自的另一个导通端子与接地电位之间,

上述第 2 P 沟道型 MOS 晶体管 (PLT4) 和上述第 2 N 沟道型 MOS 晶体管 (NLT4) 的各自的栅电极接收将上述模式触发信号反转后的信号,

5 上述第 1 P 沟道型 MOS 晶体管 (PLT3) 和上述第 1 N 沟道型 MOS 晶体管 (NLT3) 的各自的栅电极接收上述输入信号,

从上述第 1 P 沟道型 MOS 晶体管 (PLT3) 与上述第 1 N 沟道型 MOS 晶体管 (NLT3) 的连接节点输出上述内部信号,

上述第 2 接口装置 (4) 包括:

10 第 3 P 沟道型 MOS 晶体管 (PST1) 和第 4 P 沟道型 MOS 晶体管 (PST2), 将各自的一个导通端子连接起来;

第 3 N 沟道型 MOS 晶体管 (NST1), 连接在上述第 3 P 沟道型 MOS 晶体管 (PST1) 的另一个导通端子与接地电位之间;

15 第 4 N 沟道型 MOS 晶体管 (NST2), 连接在上述第 4 P 沟道型 MOS 晶体管 (PST2) 的另一个导通端子与接地电位之间;

以及

第 5 P 沟道型 MOS 晶体管 (PST3), 连接在上述第 3 P 沟道型 MOS 晶体管 (PST1) 和上述第 4 P 沟道型 MOS 晶体管 (PST2) 的各自的另一个导通端子与电源电位之间,

20 将上述第 3 P 沟道型 MOS 晶体管 (PST1) 和上述第 4 P 沟道型 MOS 晶体管 (PST2) 的各自的栅电极连接到上述第 3 P 沟道型 MOS 晶体管 (PST1) 与上述第 3 N 沟道型 MOS 晶体管 (NST1) 的连接节点,

上述第 5 P 沟道型 MOS 晶体管 (PST3) 的栅电极接收将上述模式触发信号反转后的信号,

25 上述第 3 N 沟道型 MOS 晶体管 (NST1) 的栅电极接收上述第 2 电位电平的基准电位,

上述第 4 N 沟道型 MOS 晶体管 (NST2) 的栅电极接收上述输入信号,

从上述第 4 P 沟道型 MOS 晶体管 (PST2) 与上述第 4 N 沟道型 MOS 晶体管 (NST2) 的连接节点输出上述内部信号。

30 14. 如权利要求 1 中所述的半导体存储器, 其特征在于:

上述模式触发信号在上述自更新模式下变成低电平的激活状态,

上述第 1 接口装置 (1) 包括:

第 1 P 沟道型 MOS 晶体管 (PLT1), 其一个导通端子连接到电源电位;

第 2 P 沟道型 MOS 晶体管 (PLT2), 其一个导通端子与上述第 1 P 沟道型 MOS 晶体管 (PLT1) 的另一个导通端子连接; 以及

- 5 第 1 N 沟道型 MOS 晶体管 (NLT1) 和第 2 N 沟道型 MOS 晶体管 (NLT2), 并联地连接在上述第 2 P 沟道型 MOS 晶体管 (PLT2) 的另一个导通端子与接地电位之间,

上述第 1 P 沟道型 MOS 晶体管 (PLT1) 和上述第 2 N 沟道型 MOS 晶体管 (NLT2) 的各自的栅电极接收上述模式触发信号,

- 10 上述第 2 P 沟道型 MOS 晶体管 (PLT2) 和上述第 1 N 沟道型 MOS 晶体管 (NLT1) 的各自的栅电极接收上述输入信号,

从上述第 2 P 沟道型 MOS 晶体管 (PLT2) 与上述第 1 N 沟道型 MOS 晶体管 (NLT1) 的连接节点输出上述内部信号,

上述第 2 接口装置 (2) 包括:

- 15 第 3 P 沟道型 MOS 晶体管 (PST1) 和第 4 P 沟道型 MOS 晶体管 (PST2), 其各自的一个导通端子分别连接到电源电位;

第 3 N 沟道型 MOS 晶体管 (NST1), 其一个导通端子与上述第 3 P 沟道型 MOS 晶体管 (PST1) 的另一个导通端子连接;

- 20 第 4 N 沟道型 MOS 晶体管 (NST2), 其一个导通端子与上述第 4 P 沟道型 MOS 晶体管 (PST2) 的另一个导通端子连接;

以及

第 5 N 沟道型 MOS 晶体管 (NST3), 连接在上述第 3 N 沟道型 MOS 晶体管 (NST1) 和第 4 N 沟道型 MOS 晶体管 (NST2) 的各自的另一个导通端子与接地电位之间,

- 25 将上述第 3 P 沟道型 MOS 晶体管 (PST1) 和上述第 4 P 沟道型 MOS 晶体管 (PST2) 的各自的栅电极连接到上述第 3 P 沟道型 MOS 晶体管 (PST1) 与上述第 3 N 沟道型 MOS 晶体管 (NST1) 的连接节点,

上述第 5 N 沟道型 MOS 晶体管 (NST3) 的栅电极接收上述模式触发信号,

- 30 上述第 3 N 沟道型 MOS 晶体管 (NST1) 的栅电极接收上述第 2 电位电平的基准电位,

上述第 4 N 沟道型 MOS 晶体管 (NST2) 的栅电极接收上述输入信号,

从上述第 4 P 沟道型 MOS 晶体管 (PST2) 与上述第 4 N 沟道型 MOS 晶体管 (NST2) 的连接节点输出上述内部信号。

15. 如权利要求 1 中所述的半导体存储器, 其特征在于:

上述模式触发信号在上述特定的模式下变成低电平的激活状态,

5 上述第 1 接口装置 (3) 包括:

第 1 P 沟道型 MOS 晶体管 (PLT3) 和第 2 P 沟道型 MOS 晶体管 (PLT4), 其一个导通端子分别连接到电源电位; 以及

10 第 1 N 沟道型 MOS 晶体管 (NLT3) 和第 2 N 沟道型 MOS 晶体管 (NLT4), 串联地连接在上述第 1 P 沟道型 MOS 晶体管 (PLT3) 和第 2 P 沟道型 MOS 晶体管 (PLT4) 的各自的另一个导通端子与接地电位之间,

上述第 2 P 沟道型 MOS 晶体管 (PLT4) 和上述第 2 N 沟道型 MOS 晶体管 (NLT4) 的各自的栅电极接收将上述模式触发信号反转后的信号,

上述第 1 P 沟道型 MOS 晶体管 (PLT3) 和上述第 1 N 沟道型 MOS 晶体管 (NLT3) 的各自的栅电极接收上述输入信号,

15 从上述第 1 P 沟道型 MOS 晶体管 (PLT3) 与上述第 1 N 沟道型 MOS 晶体管 (NLT3) 的连接节点输出上述内部信号,

上述第 2 接口装置 (4) 包括:

第 3 P 沟道型 MOS 晶体管 (PST1) 和第 4 P 沟道型 MOS 晶体管 (PST2), 将各自的一个导通端子连接起来;

20 第 3 N 沟道型 MOS 晶体管 (NST1), 连接在上述第 3 P 沟道型 MOS 晶体管 (PST1) 的另一个导通端子与接地电位之间;

第 4 N 沟道型 MOS 晶体管 (NST2), 连接在上述第 4 P 沟道型 MOS 晶体管 (PST2) 的另一个导通端子与接地电位之间;

以及

25 第 5 P 沟道型 MOS 晶体管 (PST3), 连接在上述第 3 P 沟道型 MOS 晶体管 (PST1) 和上述第 4 P 沟道型 MOS 晶体管 (PST2) 的各自的另一个导通端子与电源电位之间,

30 将上述第 3 P 沟道型 MOS 晶体管 (PST1) 和上述第 4 P 沟道型 MOS 晶体管 (PST2) 的各自的栅电极连接到上述第 3 P 沟道型 MOS 晶体管 (PST1) 与上述第 3 N 沟道型 MOS 晶体管 (NST1) 的连接节点,

上述第 5 P 沟道型 MOS 晶体管 (PST3) 的栅电极接收将上述模式触发信号反转后的信号,

上述第 3 N 沟道型 MOS 晶体管 (NST1) 的栅电极接收上述第 2 电位电平的基准电位,

上述第 4 N 沟道型 MOS 晶体管 (NST2) 的栅电极接收上述输入信号,
从上述第 4 P 沟道型 MOS 晶体管 (PST2) 与上述第 4 N 沟道型 MOS
5 晶体管 (NST2) 的连接节点输出上述内部信号。

具备能抑制消耗电流的接口电路的半导体存储器

本发明涉及半导体存储器，特别是涉及能以多种工作模式工作的结构，
5 即用于实现半导体存储器的低消耗电流和高速工作的结构。

使用图 11 简单地说明现有的半导体存储器。

图 11 中示出的现有的半导体存储器 9000 具备输入缓冲器 1.1、
1.2、…、1.m、内部电路 900 和输出缓冲器 9.1、9.2、…、9.n。

输入缓冲器 1.1、1.2、…、1.m（以下，总称为输入缓冲器 1）分别
10 判定从外部传送来的信号 EXT1、EXT2、…、EXT_m 的逻辑电平，生成对
应的逻辑电平的内部信号，输出到内部电路 900。内部电路 900 根据从
各个输入缓冲器 1 供给的内部信号，进行规定的工作。输出缓冲器 9.1、
9.2、…、9.n 放大由内部电路 900 生成的信号，并输出（信号 D1、D2、…、
D_n）到外部。作为输入缓冲器 1，可举出作为 TTL（晶体管晶体管逻辑）
15 系列接口的代表例的 LVTTTL 接口。

在此，使用图 12 说明输入缓冲器 1 的具体的结构的一例。

图 12 中示出的输入缓冲器 1 是现有的 LVTTTL 接口的一种，由 NOR 电
路构成（以下，简单地称为 NOR 电路 1）。

图 12 中示出的 NOR 电路 1 包含 P 沟道型 MOS 晶体管 PLT1 和 PLT2 以
20 及 N 沟道型 MOS 晶体管 NLT1 和 NLT2。P 沟道型 MOS 晶体管 PLT1 和 PLT2
串联连接在电源电位 VDD 和 N 沟道型 MOS 晶体管 NLT1 和 NLT2 的一个导
通端子之间。N 沟道型 MOS 晶体管 NLT1 和 NLT2 的另一个导通端子连接
到接地电位。

P 沟道型 MOS 晶体管 PLT2 和 N 沟道型 MOS 晶体管 NLT1 的各自的栅
25 电极接收输入信号 VIN（图 11 中的信号 EXT1、EXT2、…、EXT_m 的任一
个）。

P 沟道型 MOS 晶体管 PLT2 和 N 沟道型 MOS 晶体管 NLT1 构成 CMOS 倒
相器。P 沟道型 MOS 晶体管 PLT1 和 N 沟道型 MOS 晶体管 NLT2 是控制晶
体管，各自的栅电极接收激活信号 SEL。NOR 电路 1 响应 P 沟道型 MOS
30 晶体管 PLT1 和 N 沟道型 MOS 晶体管 NLT2 的导通/非导通状态，变成启
动（enable）/禁止（disenable）状态。

响应输入信号 VIN，从 P 沟道型 MOS 晶体管 PLT2、N 沟道型 MOS 晶体

管 NLT1 和 N 沟道型 MOS 晶体管 NLT2 的连接节点输出信号 VOUT。将信号 VOUT 传送到图 1 中示出的内部电路 900。

在 LVTTTL 接口的情况下，从芯片外部输入的输入信号 VIN 的电位的上限是 2.0V，下限是 0.8V（LVTTTL 电平）。

- 5 在 LVTTTL 电平下，构成接口电路 1 的 MOS 晶体管的任一个都成为导通状态，产生穿通电流。因此，在芯片为非选择状态下，接口电路 1 响应激活信号 SEL 而变成非激活（禁止）状态，以免在接口部分中消耗无用的功率。

其次，说明图 12 中示出的 NOR 电路 1 的工作。在激活信号 SEL 为低电平的激活状态的情况下，P 沟道型 MOS 晶体管 PLT1 变成导通状态，N 沟道型 MOS 晶体管 NLT2 变成非导通状态。由此，输入信号 VIN 变成可输入的状态。例如，如果输入高电平的输入信号 VIN（2.0V），则 N 沟道型 MOS 晶体管 NLT1 变成导通状态，输出低电平的信号 VOUT。此外，如果输入低电平的输入信号 VIN（0.8V），则 P 沟道型 MOS 晶体管 PLT2 15 变成导通状态，输出高电平的信号 VOUT。

在激活信号 SEL 为高电平的非激活状态的情况下，P 沟道型 MOS 晶体管 PLT1 变成非导通状态，N 沟道型 MOS 晶体管 NLT2 变成导通状态。由此，NOR 电路 2 成为禁止状态，输出信号 VOUT 与输入信号 VIN 无关，固定于低电平。

- 20 上述的 LVTTTL 接口是对应于电源电压 VDD 为 3.3V 的规格，可覆盖约 60MHz ~ 100MHz 的工作频率。

但是，近年来 CPU、MPU 等的工作频率提高，对连接 CPU、MPU 等与存储器的逻辑接口的高速化的要求越来越强。

在这种情况下，LVTTTL 接口也达到了其性能的极限。在使用 TTL 系列的接口时，在工作频率低的情况下没有问题，但如果工作频率提高，则上冲（overshoot）及下冲（undershoot）现象变得明显，此外，由于切换而变动的电源电位及接地电位为原因而发生的噪音、反射噪音、或串扰（crosstalk）噪音等噪音增大，对芯片整体的工作造成严重的问题。此外，在总线系列中，由于传送信号的振幅（LVTTTL 电平的宽度）25 大，故也引起装置的消耗功率变大的问题。因此，能抑制信号的振幅的高速接口的实用化变得很必要。

- 30 作为解决这个问题的对策，有作为高速接口的 SSTL（Stub Series

Terminated Logic 桩模块串联端接逻辑) 接口。使用图 13 说明 SSTL 接口的构成。

如图 13 所示, SSTL 接口电路 2 包含 P 沟道型 MOS 晶体管 PST1 和 PST2 以及 N 沟道型 MOS 晶体管 NST1、NST2 和 NST3。SSTL 接口电路 2 由差分放大电路构成。以下, 为了简单起见, 将 SSTL 接口电路 2 称为差分放大器 2。

如图 13 所示, P 沟道型 MOS 晶体管 PST1 和 N 沟道型 MOS 晶体管 NST1 串联连接在电源电位 VDD 与节点 Z1 之间。P 沟道型 MOS 晶体管 PST2 和 N 沟道型 MOS 晶体管 NST2 串联连接在电源电位 VDD 与节点 Z1 之间。

10 P 沟道型 MOS 晶体管 PST1 和 PST2 的各自的栅电极都连接到 P 沟道型 MOS 晶体管 PST1 与 N 沟道型 MOS 晶体管 NST1 的连接节点(记为节点 X1) 上。

N 沟道型 MOS 晶体管 NST1 的栅电极接收中间电位、例如电源电位 VDD $\times 0.45V$ (电源电位 VDD 为 3.3V 时, 约 1.5V) 的基准电位 V_{ref} 。N 沟道型 MOS 晶体管 NST2 在栅电极处接收输入信号 VIN。输入信号 VIN 是相对于基准电位 V_{ref} 以微小的振幅 V_H (例如, $\pm 0.4V$) 上下振荡的信号。

N 沟道型 MOS 晶体管 NST3 连接在节点 Z1 与接地电位之间。N 沟道型 MOS 晶体管 NST3 在栅电极处接收激活信号 SEL。N 沟道型 MOS 晶体管 NST3 是控制晶体管, 差分放大器 2 响应 N 沟道型 MOS 晶体管 NST3 的导通/非导通状态, 变成启动/禁止状态。

响应输入信号 VIN, 从 P 沟道型 MOS 晶体管 PST2 和 N 沟道型 MOS 晶体管 NST2 的连接节点输出信号 VOUT。将信号 VOUT 例如传送到图 11 中示出的内部电路 900。

25 其次说明图 13 中示出的差分放大器 2 的工作。在激活信号 SEL 为低电平的激活状态下, 差分放大器 2 成为启动状态, 将输入信号 VIN 与基准电位 V_{ref} 的电位差放大后输出。例如, 如果输入高电平的输入信号 VIN, 则信号 VOUT 下降到低电平。此外, 如果输入低电平的输入信号 VIN, 则信号 VOUT 上升到高电平。

30 在激活信号 SEL 为高电平的非激活状态下, 差分放大器 2 成为禁止状态, 输出信号 VOUT 与输入信号 VIN 无关, 固定于低电平。

再有, 由于差分放大器 2 的结构是以导电方式的双绞线结构, 噪音

成分被抵消。因而，具有能高速传送振幅小的信号的优点。

但是，在图 13 中示出的差分放大器 2 中，由于经常供给作为中间电位的基准电位 V_{ref} ，故 N 沟道型 MOS 晶体管 NST1 经常处于导通状态。

因而，在激活信号 SEL 为高电平的情况下（启动状态），将节点 X1
5 拉到接地电位。因此，如果节点 X1 的电位超过 P 沟道型 MOS 晶体管的
阈值电压，则 P 沟道型 MOS 晶体管 PST1 开始导通，将节点 X1 的电位固
定于从 P 沟道型 MOS 晶体管 PST1 供给的电流的能力与从 N 沟道型 MOS
晶体管 NST1 供给的电流的能力相平衡的电位处。

即，在激活信号 SEL 为高电平的情况下（启动状态），意味着穿通
10 电流（电流）从 P 沟道型 MOS 晶体管 PST1 通过 N 沟道型 MOS 晶体管 NST1
流动。

因而，在半导体存储器 9000 中，在采用了图 13 中示出的差分放大
器 2 的情况下，即使在尽可能打算抑制消耗功率的工作模式下，也存在
只要接收输入信号就流过很大的穿通电流（消耗电流）的问题。

15 因此，本发明的目的在于，提供一种在实现高速信号传送的同时，
能在抑制消耗电流的特定的模式下降低在接口部分产生的消耗功率的半
导体存储器。

本发明的半导体存储器具备：模式检测电路；接收从外部传送来的
输入信号的输入端子；以及响应输入信号而工作的内部电路，其中，模
20 式检测电路响应从外部输入的模式指定信号，检测出特定的模式被指定
的情况，作为检测结果输出对应的模式触发信号，其中，从外部传送来的
输入信号在特定的模式下，是第 1 电位电平的信号，在除特定的模式
以外的模式下，是在第 2 电位电平上重叠了小振幅逻辑信号的信号，还
具备：第 1 接口电路和第 2 接口电路，其中，第 1 接口电路在特定的模
25 式下激活，根据从输入端子输入的输入信号的电位电平与阈值的比较，
判定输入信号的逻辑电平，将对应于判定结果的内部信号输出到内部电
路，第 2 接口电路在除特定的模式以外的模式下激活，根据从输入端子
输入的输入信号的电位电平与第 2 电位电平的比较，判定输入信号的逻
辑电平，将对应于判定结果的内部信号输出到内部电路。

30 因而，本发明的主要的优点在于，通过设置 2 种接口电路并对其进行
切换，在通常的模式下，通过传送小振幅的信号来实现高速接口，在
特定的模式下，可降低在接口部分中的消耗电流。

特别是在自更新模式下，通过切换接口电路，可抑制消耗功率。

特别是在自更新模式下，通过使 LVTTTL 接口工作，可抑制在自更新模式中的接口部分的消耗电流。

特别是在除特定的模式以外的模式下，通过使作为 SSTL 接口的差分放大器工作，可高速地传送信号。

图 1 是示出本发明的实施例 1 的半导体存储器 1000 的主要部分的结构的一例的概略框图。

图 2 是示出本发明的实施例 1 的时钟缓冲器 120 的主要部分的结构的一例的图。

图 3 是示出本发明的实施例 1 的接口电路 100 的具体结构的一例的电路图。

图 4A~图 4H 是用于说明图 1~图 3 中示出的本发明的实施例 1 的半导体存储器 1000 的工作的时序图。

图 5 是示出实施例 2 的接口电路 200 的具体结构的一例的电路图。

图 6A~图 6H 是用于说明图 5 中示出的接口电路 200.1 的工作的时序图。

图 7 是示出实施例 2 的接口电路 200 的另一具体结构的电路图。

图 8A~图 8H 是用于说明图 7 中示出的接口电路 200.2 的工作的时序图。

图 9 是示出本发明的实施例 2 的接口电路 200 的具体结构的一例的电路图。

图 10A~图 10H 是用于说明图 9 中示出的接口电路 200.3 的工作的时序图。

图 11 是示出现有的半导体存储器 9000 的主要部分的结构的一例的概略框图。

图 12 是示出现有的输入缓冲器 1 (LVTTTL 接口电路) 的具体结构的一例的电路图。

图 13 是示出现有的 SSTL 接口电路 2 的具体结构的一例的电路图。

[实施例 1]

本发明的实施例 1 的半导体存储器具备多个接口电路，通过响应与工作模式而切换接口电路，可实现高速传送和降低消耗电流。

使用图 1 说明本发明的实施例 1 的半导体存储器。

图 1 中示出的半导体存储器 1000 包含地址缓冲器 121、控制缓冲器 122 和模式寄存器 124。

地址缓冲器 121 从地址引脚取入外部地址信号 A，将对应的内部地址信号输出到控制电路 123。控制缓冲器 122 从多个控制引脚接收外部控制信号（例如，外部行地址选通信号/RAS、外部列地址选通信号/CAS、外部写启动信号/WE 等），将对应的内部控制信号输出到控制电路 123。

控制电路 123 响应从地址缓冲器 121 接收的内部地址信号和从控制缓冲器 122 接收的内部控制信号，生成使内部电路工作的内部信号。模式寄存器 124 从控制电路 123 接收内部信号。通过将内部信号之一取入到模式寄存器 124 中，来决定半导体存储器 1000 的工作模式。

半导体存储器 1000 还包含存储单元阵列 126、输入输出缓冲器 128、自更新计数器 125 和时钟缓冲器 120。

存储单元阵列 126 包含图中未示出的多个存储单元。响应从控制电路 123 接收的内部信号和由模式寄存器 124 决定的模式，向图中未示出的存储单元进行数据的写入或读出。输入输出缓冲器 128 从输入输出数据引脚接收写入到存储单元阵列 126 中的数据，或将从存储单元阵列 126 读出的数据输出到数据输入输出引脚（DQ）。

例如，在读出工作模式下，通过外部控制信号的组合将模式寄存器 124 设置于读出工作模式。再者，对应于外部地址信号 A 的存储单元成为选择状态。而且，根据控制电路 123 的控制，进行被选择的存储单元的存储信息的读出。将被读出的存储单元的存储信息传送到输入输出缓冲器 128，从数据输入输出引脚（DQ）输出到外部。在写入工作模式下，在选择了某个存储单元之后，将从数据输入输出引脚输入的数据 DQ 写入到被选择的存储单元中。

时钟缓冲器 120 接收外部时钟信号 ext. CLK，输出与其同步的内部时钟信号。包含控制电路 123、地址缓冲器 121 和控制缓冲器 122 的内部电路与对应于外部时钟信号 ext. CLK 的内部时钟信号的上升定时（timing）同步地工作。

时钟缓冲器 120 还接收外部时钟启动信号 ext. CKE，输出对应的内部信号。外部时钟启动信号 ext. CKE 在自更新模式下，保持一定的电位电平（具体地说，是低电平），在除自更新模式以外的模式下，经常地保持高电平（基准电位 $V_{ref} +$ 振幅 V_H ）状态。

模式寄存器 124 通过多个外部控制信号和对应于低电平的外部时钟启动信号 ext. CKE 的内部信号的组合, 检测出自更新模式被指定的情况, 输出自更新触发信号 SEL。自更新计数器 125 响应自更新触发信号 SEL, 发生内部地址信号。

- 5 在自更新模式下, 根据由自更新计数器 125 发生的内部地址信号, 自动地进行存储单元阵列 126 中包含的存储单元的更新。除时钟缓冲器 120 以外的缓冲器 (地址缓冲器 121、控制缓冲器 122 和输入输出缓冲器 128) 响应对应于低电平的外部时钟启动信号 ext. CKE 的内部信号, 分别停止其工作。即, 在自更新模式下, 来自地址引脚、控制引脚和数据输入输出引脚的输入分别变成禁止接收的状态, 只是时钟缓冲器 120 处于工作状态。

- 15 时钟缓冲器 120 如下面所述那样, 包含多个接口电路, 根据特定的模式来切换取入输入信号的接口电路。以下, 作为具体例, 对特定的工作模式是自更新模式、作为接口电路切换对象的输入信号是时钟启动信号 CKE、即对应于外部时钟启动信号 ext. CKE 的内部信号时的工作进行描述。

其次, 使用图 2 说明本发明的实施例 1 中的时钟缓冲器 120 中包含的接口电路。图 2 中示出的时钟缓冲器 120 包含接口电路 100、逻辑电路 102 和 NOR 电路 104。

- 20 接口电路 100 如下面所述那样, 包含 2 种接口电路。接口电路 100 从节点 N1 接收自更新触发信号 SEL, 从节点 N2 接收内部信号、即时钟启动信号 CKE, 从节点 N3 接收基准电位 V_{ref} 。接口电路 100 响应自更新触发信号 SEL, 从节点 N4 或节点 N5 分别输出对应于时钟启动信号 CKE 的 VOUT1 或 VOUT2。

- 25 逻辑电路 102 接收 VOUT1 或 VOUT2, 使逻辑电平一致。NOR 电路 104 从逻辑电路 102 接收对应于信号 VOUT1 的信号或对应于信号 VOUT2 的信号, 输出对应于时钟启动信号 CKE 的内部信号 (在图 2 中是 OUT)。

其次, 使用图 3 说明接口电路 100 的具体结构。

接口电路 100 包含 NOR 电路 1 和差分放大器 2。

- 30 如图 12 中已说明的那样, NOR 电路 1 包含 P 沟道型 MOS 晶体管 PLT1 和 PLT2 以及 N 沟道型 MOS 晶体管 NLT1 和 NLT2。

P 沟道型 MOS 晶体管 PLT1 和 N 沟道型 MOS 晶体管 NLT2 的各自的栅

电极接收自更新触发信号 SEL。此外 P 沟道型 MOS 晶体管 PLT2 和 N 沟道型 MOS 晶体管 NLT1 的各自的栅电极接收时钟启动信号 CKE。

响应时钟启动信号 CKE，从与 P 沟道型 MOS 晶体管 PLT2 和 N 沟道型 MOS 晶体管 NLT1 的连接节点连接的节点 N4 输出信号 VOUT1。再有，NOR 电路 1 如以上所述，是 LVTTTL 接口，响应 LVTTTL 电平的输入信号，输出 VOUT1。

如图 13 所说明的那样，差分放大器 2 包含 P 沟道型 MOS 晶体管 PST1 和 PST2 以及 N 沟道型 MOS 晶体管 NST1、NST2 和 NST3。

N 沟道型 MOS 晶体管 NST3 的栅电极接收自更新触发信号 SEL。N 沟道型 MOS 晶体管 NST2 的栅电极接收时钟启动信号 CKE。N 沟道型 MOS 晶体管 NST1 的栅电极接收基准电位 V_{ref} 。响应时钟启动信号 CKE，从与 P 沟道型 MOS 晶体管 PST2 和 N 沟道型 MOS 晶体管 NST2 的连接节点连接的节点 N5 输出信号 VOUT2。再有，差分放大器 2 如以上所述，是 SSTL 接口，响应以中间电位、即基准电位 V_{ref} 为基准微小地振荡的信号，输出 VOUT2。

其次，使用作为时序图的图 4A ~ 图 4H，说明图 1 ~ 图 3 中示出的半导体存储器 1000 中的主要部分的工作。

首先，说明在除自更新模式以外的模式下的半导体存储器 1000 的工作（时刻 $t_0 \sim t_1$ ）。此时，自更新触发信号 SEL 处于高电平的非激活状态。N 沟道型 MOS 晶体管 NST3 为导通状态，节点 Z1（N 沟道型 MOS 晶体管 NST1 与 N 沟道型 MOS 晶体管 NST2 的连接节点）的电位处于低电平。因而，差分放大器 2 处于启动状态。

另一方面，P 沟道型 MOS 晶体管 PLT1 是非导通状态，N 沟道型 MOS 晶体管 NLT2 是导通状态，节点 Y1（P 沟道型 MOS 晶体管 PLT1 和 P 沟道型 MOS 晶体管 PLT2 的连接节点）的电位处于比低电平稍高的状态。由此，NOR 电路 1 处于禁止状态。

在该状态下如果输入高电平（基准电位 $V_{ref} +$ 振幅 V_H ）的时钟启动信号 CKE，则差分放大器 2 放大时钟启动信号 CKE 的与基准电位 V_{ref} 的电位差，输出 VOUT2。由 NOR 电路 1 输出的 VOUT1 维持于低电平。

其次，说明指定了自更新模式的情况。此时，与自更新模式对应，发生低电平的自更新触发信号 SEL（时刻 $t_1 \sim$ ）。

N 沟道型 MOS 晶体管 NST3 成为非导通状态，节点 Z1 的电位上升到 P

沟道型 MOS 晶体管 PST1 与 N 沟道型 MOS 晶体管 NST1 的电流相平衡为止。由此，差分放大器 2 成为禁止状态。

另一方面，P 沟道型 MOS 晶体管 PLT1 成为导通状态，节点 Y1 的电位上升到电源电位 VDD。响应时钟启动信号 CKE，从 NOR 电路 1 输出信号 5 VOUT1。

再有，更具体地说，在自更新模式下，外部时钟启动信号 ext.CKE 是 0.2V 以下，由于处于比构成 NOR 电路 1 的晶体管的阈值电压低的电压电平，故在构成 NOR 电路 1 的 CMOS 倒相器中，不流过穿通电流。此外，由于差分放大器 2 处于禁止状态，故不产生电流。因而，与单独地 10 使用差分放大器 2 作为接口电路的情况相比，可降低消耗电流。

如上所述，本发明的实施例 1 的半导体存储器在有必要抑制消耗电流的模式（例如，自更新模式）下，通过切换接口电路，可减少消耗电流。

[实施例 2]

15 关于实施例 2 的半导体存储器进行说明。实施例 2 的半导体存储器的整体结构与图 1 中示出的半导体存储器 1000 的结构相同。

实施例 2 的半导体存储器 1000 具备以下示出的接口电路 200，来代替图 1 示出的接口电路 100。使用图 5 的电路图，说明实施例 2 的接口电路 200 具体结构的一例。

20 对于与图 3 中示出的实施例 1 的接口电路 100 相同的结构要素，附以相同的记号和符号，省略其说明。图 5 中示出的接口电路 200（以下称为接口电路 200.1）包含倒相电路 I2、NAND 电路 3 和差分放大器 4。

倒相电路 I2 将在节点 N1 接收的自更新触发信号 SEL 反转后输出（称为反转自更新触发信号/SEL）。

25 差分放大器 4 包含 P 沟道型 MOS 晶体管 PST1 和 PST2 以及 N 沟道型 MOS 晶体管 NST1、NST2 和 NST3。关于其结构，与图 2 中已说明的结构一样。

再者，差分放大器 4 包含倒相电路 I1。倒相电路 I1 将反转自更新触发信号/SEL 反转后输出。N 沟道型 MOS 晶体管 NST3 的栅电极通过倒相电路 I1 接收与自更新触发信号 SEL 同步的信号。响应时钟启动信号 CKE， 30 从与 P 沟道型 MOS 晶体管 PST2 和 N 沟道型 MOS 晶体管 NST2 的连接节点连接的节点 N5 输出信号 VOUT2。再有，差分放大器 4 如以上所述，是 SSTL 接口。

NAND 电路 3 包含 P 沟道型 MOS 晶体管 PLT3 和 PLT4 以及 N 沟道型 MOS 晶体管 NLT3 和 NLT4。将 P 沟道型 MOS 晶体管 PLT3 和 P 沟道型 MOS 晶体管 PLT4 并联地连接在电源电位 VDD 与 N 沟道型 MOS 晶体管 NLT3 的一个导通端子之间。将 N 沟道型 MOS 晶体管 NLT4 的一个导通端子与接地电位连接，将另一个导通端子与 N 沟道型 MOS 晶体管 NLT3 的另一个导通端子和通过节点 Y2 连接。

P 沟道型 MOS 晶体管 PLT3 和 N 沟道型 MOS 晶体管 NLT3 的各自的栅电极接收时钟启动信号 CKE。P 沟道型 MOS 晶体管 PLT4 和 N 沟道型 MOS 晶体管 NLT4 的各自的栅电极从倒相电路 I2 接收反转自更新触发信号 /SEL。响应时钟启动信号 CKE，从与 P 沟道型 MOS 晶体管 PST3 和 N 沟道型 MOS 晶体管 NST3 的连接节点连接的节点 N4 输出信号 VOUT1。再有，NAND 电路 3 是 LVTTTL 接口的一种，响应 LVTTTL 电平的输入信号，将信号 VOUT1 输出。

其次，使用图 6A~图 6H 的时序图，说明图 5 中示出的接口电路 200.1 的工作。

首先，说明在除自更新模式以外的模式下的工作（时刻 $t_0 \sim t_1$ ）。此时，自更新触发信号 SEL 处于高电平（反转自更新触发信号 /SEL 是低电平）的非激活状态，N 沟道型 MOS 晶体管 NST3 是导通状态，节点 Z1（N 沟道型 MOS 晶体管 NLT1 与 N 沟道型 MOS 晶体管 NLT2 的连接节点）的电位处于低电平。由此，差分放大器 4 处于启动状态。

另一方面，N 沟道型 MOS 晶体管 NLT4 是非导通状态，P 沟道型 MOS 晶体管 PLT4 是导通状态，节点 Y2（N 沟道型 MOS 晶体管 NLT3 和 N 沟道型 MOS 晶体管 NLT4 的连接节点）的电位处于比低电平稍高的状态。由此，NAND 电路 3 处于禁止状态。

在该状态下如果输入高电平（基准电位 $V_{ref} +$ 振幅 V_H ）的时钟启动信号 CKE，则差分放大器 4 放大时钟启动信号 CKE 的与基准电位 V_{ref} 的电位差，输出信号 VOUT2。由 NAND 电路 3 输出的 VOUT1 维持于低电平。

其次，说明指定了自更新模式的情况。此时，与自更新模式对应，发生低电平的自更新触发信号 SEL（时刻 $t_1 \sim$ ）。

N 沟道型 MOS 晶体管 NST3 成为非导通状态，节点 Z1 的电位上升到 P 沟道型 MOS 晶体管 PST1 与 N 沟道型 MOS 晶体管 NST1 的电流相平衡为止。由此，差分放大器 4 成为禁止状态。

另一方面，N 沟道型 MOS 晶体管 NLT4 成为导通状态，P 沟道型 MOS 晶体管 PLT4 成为非导通状态，节点 Y2 的电位下降到低电平。由此，NAND 电路 3 成为启动状态。响应作为内部信号的时钟启动信号 CKE，从 NAND 电路 3 输出信号 VOUT1。

5 如上所述，更具体地说，在自更新模式下，外部时钟启动信号 ext.CKE 是 0.2V 以下，由于处于比构成 NAND 电路 3 的晶体管的阈值电压低的电位电平，故在构成 NAND 电路 3 的 CMOS 倒相器中，不流过穿通电流。此外，由于差分放大器 4 处于禁止状态，故不产生电流。因而，与单独地使用差分放大器 4 作为接口电路的情况相比，可降低消耗电流。

10 其次，使用图 7 说明本发明的实施例 2 的接口电路 200 的其他的具体结构的一例。

对于与图 3 中示出的接口电路 100 相同的结构要素，附以相同的符号和记号，省略其说明。

图 7 中示出的接口电路 200（以下称为接口电路 200.2）包含 NOR 电
15 路 1 和差分放大器 5。如上所述，NOR 电路 1 是 LVTTTL 接口，响应自更新触发信号 SEL，输出与时钟启动信号 CKE 对应的信号 VOUT1。

差分放大器 5 包含 P 沟道型 MOS 晶体管 PST1 和 PST2 以及 N 沟道型 MOS 晶体管 NST1 和 NST2。关于 P 沟道型 MOS 晶体管 PST1 和 PST2、N 沟道型 MOS 晶体管 NST1 和 NST2 的连接关系，与图 3 中的差分放大器 2 的结
20 构相同。

差分放大器 5 还包括倒相电路 I3 和 P 沟道型 MOS 晶体管 PST3。倒相电路 I3 将自更新触发信号 SEL 反转后输出。

将 P 沟道型 MOS 晶体管 PST3 连接在电源电位 VDD 与 P 沟道型 MOS 晶体管 PST1 和 PST2 的各自的一个导通端子之间。P 沟道型 MOS 晶体管 PST3
25 是控制晶体管，其栅电极通过倒相电路 I3，接收将自更新触发信号 SEL 反转后的信号（称为反转自更新触发信号/SEL）。差分放大器 5 响应 P 沟道型 MOS 晶体管 PST3 的导通/非导通状态，变成启动/禁止状态。再有，差分放大器 5 是 SSTL 接口。

其次，使用图 8A~图 8H 的时序图，说明图 7 中示出的接口电路 200.2
30 的工作。

首先，说明在除自更新模式以外的模式下的工作（时刻 $t_0 \sim t_1$ ）。此时，自更新触发信号 SEL 处于高电平（反转自更新触发信号/SEL 是低

电平)的非激活状态, P 沟道型 MOS 晶体管 PST3 是导通状态, 节点 Z1 (N 沟道型 MOS 晶体管 NST1 与 N 沟道型 MOS 晶体管 NST2 的连接节点) 处于低电平的状态。由此, 差分放大器 5 处于启动状态。

另一方面, N 沟道型 MOS 晶体管 NLT2 是导通状态, P 沟道型 MOS 晶体管 PLT1 是非导通状态, 节点 Y1 (P 沟道型 MOS 晶体管 PLT1 和 P 沟道型 MOS 晶体管 PLT2 的连接节点) 的电位处于比低电平稍高的状态。由此, NOR 电路 1 处于禁止状态。

在该状态下如果输入高电平 (基准电位 $V_{ref} +$ 振幅 V_H) 的时钟启动信号 CKE, 则差分放大器 5 放大时钟启动信号 CKE 的与基准电位 V_{ref} 的电位差, 输出信号 VOUT2。由 NOR 电路 1 输出的 VOUT1 维持于低电平。

其次, 说明指定了自更新模式的情况。此时, 与自更新模式对应, 发生低电平的自更新触发信号 SEL (时刻 $t_1 \sim$)。

P 沟道型 MOS 晶体管 PST3 成为非导通状态, 差分放大器 5 成为禁止状态。

另一方面, P 沟道型 MOS 晶体管 PLT1 成为导通状态, 节点 Y1 的电位上升到电源电位 VDD。由此, NOR 电路 1 成为启动状态。响应时钟启动信号 CKE, 从 NOR 电路 1 输出信号 VOUT1。

如上所述, 更具体地说, 在自更新模式下, 外部时钟启动信号 ext. CKE 是 0.2V 以下, 由于处于比构成 NOR 电路 1 的晶体管的阈值电压低的电压电平, 故在构成 NOR 电路 1 的 CMOS 倒相器中, 不流过穿通电流。此外, 由于差分放大器 5 处于禁止状态, 故不产生电流。因而, 与单独地使用差分放大器 5 作为接口电路的情况相比, 可降低消耗电流。

其次, 使用图 9 说明本发明的实施例 2 的接口电路 200 的其他的结构的一例。

对于与图 3、图 5 和图 7 中示出的接口电路 100 和 200 相同的结构要素, 附以相同的符号和记号, 省略其说明。图 9 中示出的接口电路 200 (以下称为接口电路 200.3) 包含倒相电路 I4、NAND 电路 3 和差分放大器 6。

倒相电路 I4 将在节点 N1 接收的自更新触发信号 SEL 反转后输出 (称为反转自更新触发信号/SEL)。

差分放大器 6 包含 P 沟道型 MOS 晶体管 PST1、PST2 和 PST3 以及 N 沟道型 MOS 晶体管 NST1、NST2 和 NST3。关于这些结构, 与图 7 中已说

明的结构一样。

P 沟道型 MOS 晶体管 PST3 是控制晶体管，P 沟道型 MOS 晶体管 PST3 的栅电极通过倒相电路 I4，接收反转自更新触发信号/SEL。差分放大器 6 响应 P 沟道型 MOS 晶体管 PST3 的导通/非导通状态，变成启动/禁止状态。再有，差分放大器 6 是 SSTL 接口。

作为 NAND 电路 3 的控制晶体管的 P 沟道型 MOS 晶体管 PLT4 和 N 沟道型 MOS 晶体管 NLT4 的栅电极分别通过倒相电路 I4，接收反转自更新触发信号/SEL。如上所述，NAND 电路 3 是 LVTTTL 接口的一种，响应自更新触发信号 SEL，输出对应于时钟启动信号 CKE 的信号 VOUT1。

其次，使用图 10A ~ 图 10H 的时序图，说明图 9 中示出的接口电路 200.3 的工作。

首先，说明在除自更新模式以外的模式下的工作（时刻 $t_0 \sim t_1$ ）。此时，自更新触发信号 SEL 处于高电平（反转自更新触发信号/SEL 是低电平）的非激活状态，P 沟道型 MOS 晶体管 PST3 是导通状态，节点 Z1（N 沟道型 MOS 晶体管 NST1 与 N 沟道型 MOS 晶体管 NST2 的连接节点）处于低电平的狀態。由此，差分放大器 6 处于启动状态。

另一方面，N 沟道型 MOS 晶体管 NLT4 是非导通状态，P 沟道型 MOS 晶体管 PLT4 是导通状态，节点 Y2（N 沟道型 MOS 晶体管 NLT3 和 N 沟道型 MOS 晶体管 NLT4 的连接节点）的电位处于比低电平稍高的状态。由此，NAND 电路 3 处于禁止状态。

在该状态下如果输入高电平（基准电位 $V_{ref} +$ 振幅 V_H ）的时钟启动信号 CKE，则差分放大器 6 放大时钟启动信号 CKE 的与基准电位 V_{ref} 的电位差，输出信号 VOUT2。由 NAND 电路 3 输出的 VOUT1 维持于低电平。

其次，说明指定了自更新模式的情况。此时，与自更新模式对应，发生低电平的自更新触发信号 SEL（时刻 $t_1 \sim$ ）。

P 沟道型 MOS 晶体管 PST3 成为非导通状态，差分放大器 6 成为禁止状态。

另一方面，N 沟道型 MOS 晶体管 NLT4 成为导通状态，节点 Y2 的电位下降到低电平。由此，NAND 电路 3 成为启动状态。响应时钟启动信号 CKE，从 NAND 电路 3 输出信号 VOUT1。

如上所述，更具体地说，在自更新模式下，外部时钟启动信号 ext. CKE 是 0.2V 以下，由于处于比构成 NAND 电路 3 的晶体管的阈值电压低的电

压电平，故在构成 NAND 电路 3 的 CMOS 倒相器中，不流过穿通电流。此外，由于差分放大器 6 处于禁止状态，故不产生电流。因而，与单独地使用差分放大器 6 作为接口电路的情况相比，可降低消耗电流。

5 如上所述，在本发明的实施例 2 的半导体存储器中，在有必要抑制消耗电流的模式（例如，自更新模式）下，通过切换接口电路，也可减少消耗电流。

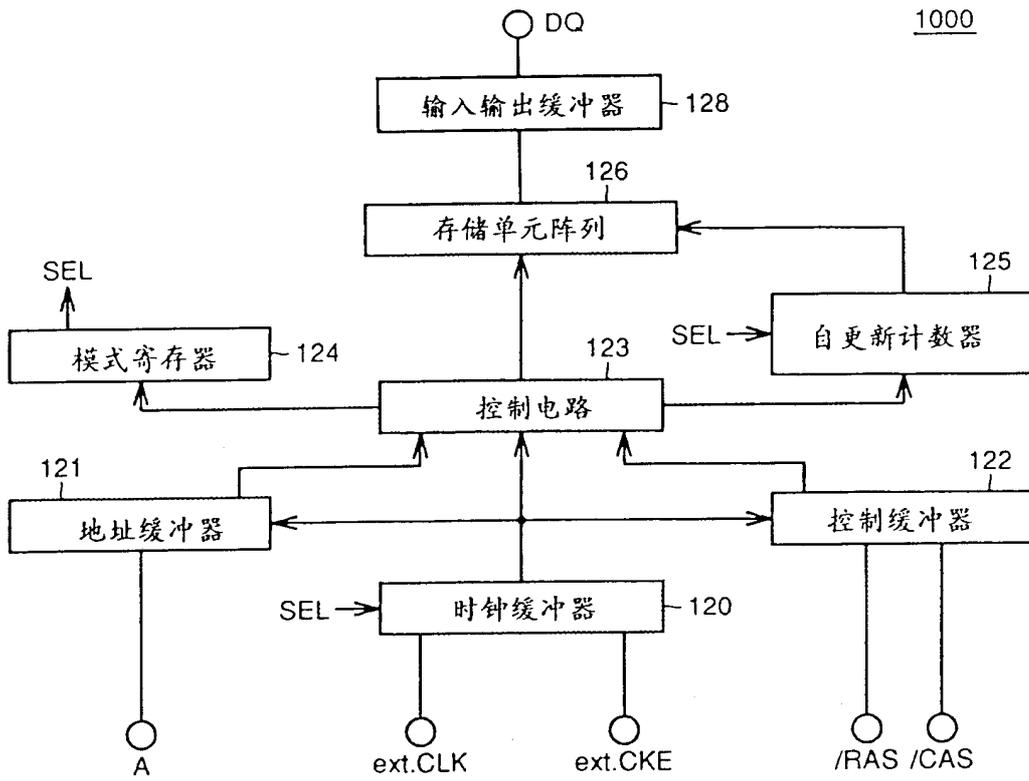


图 1

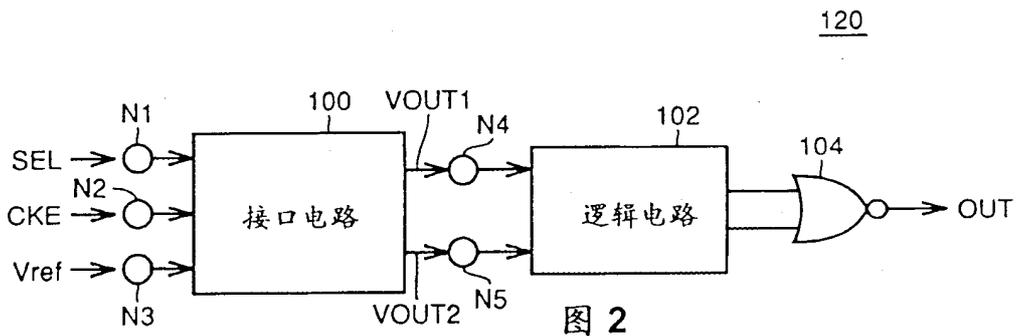


图 2

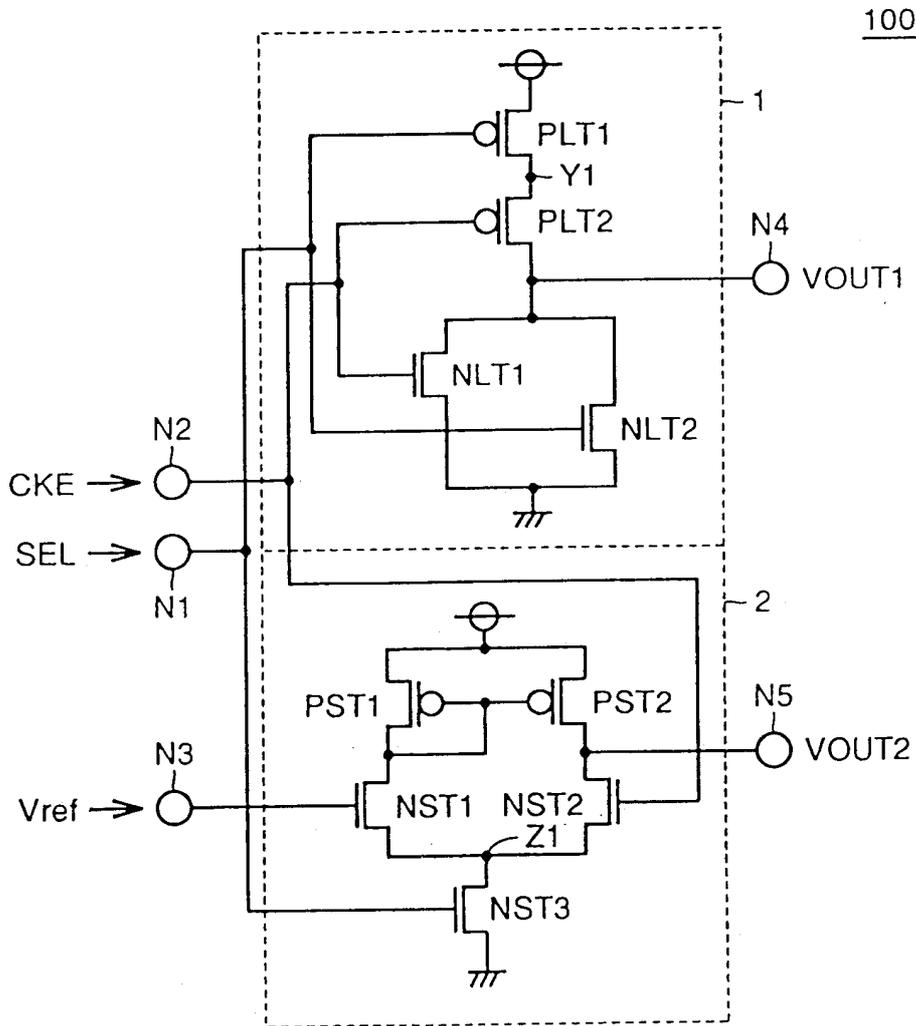
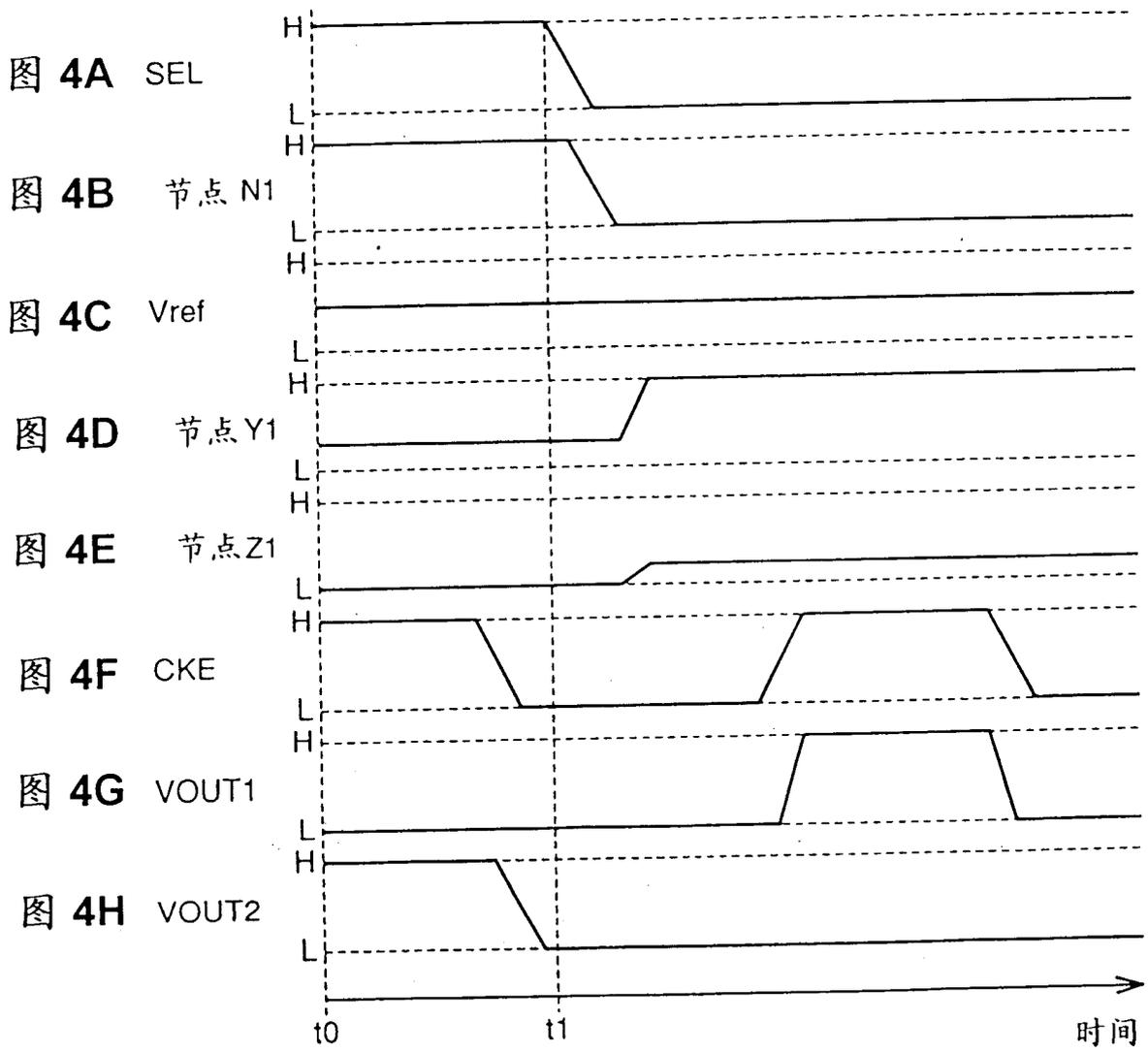


图 3



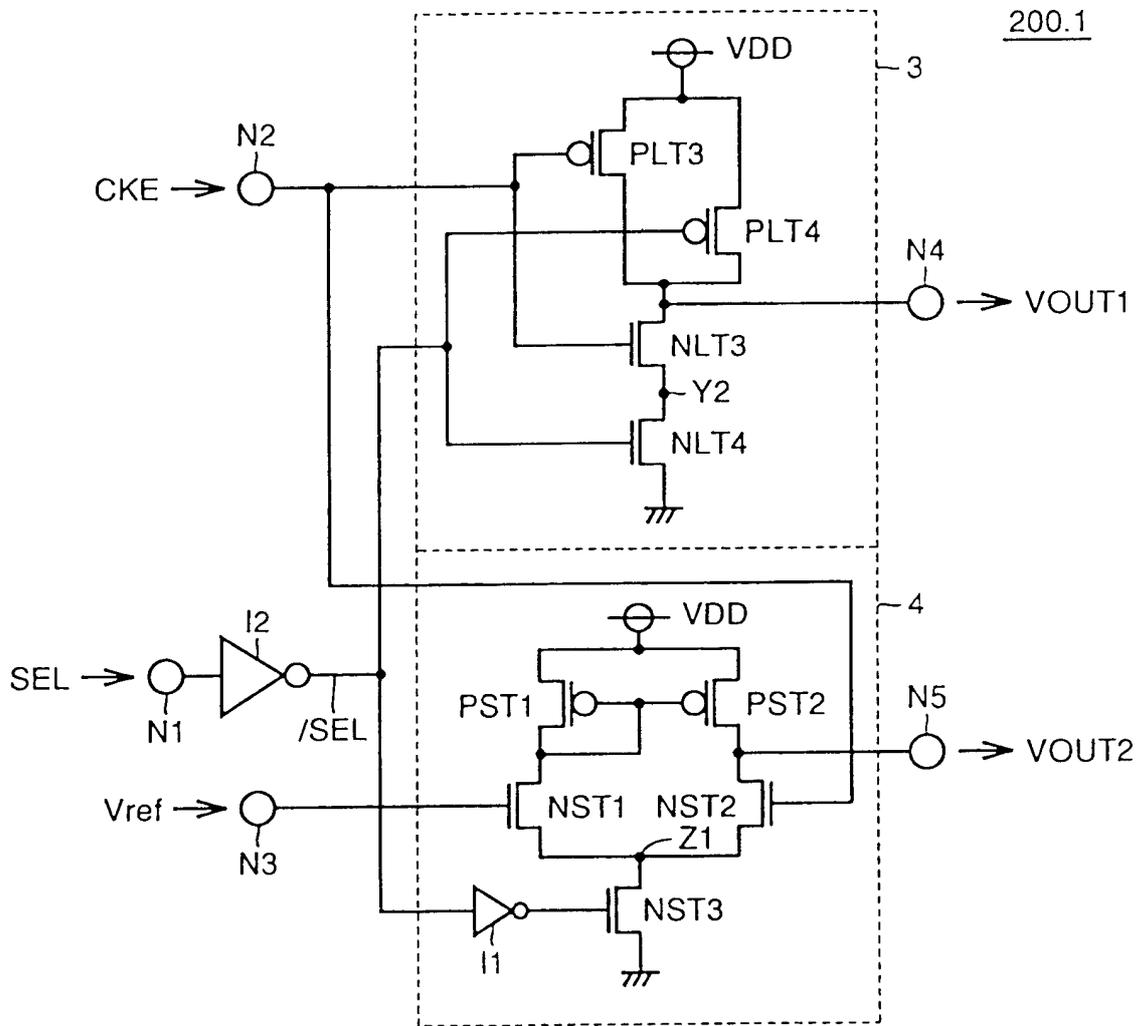
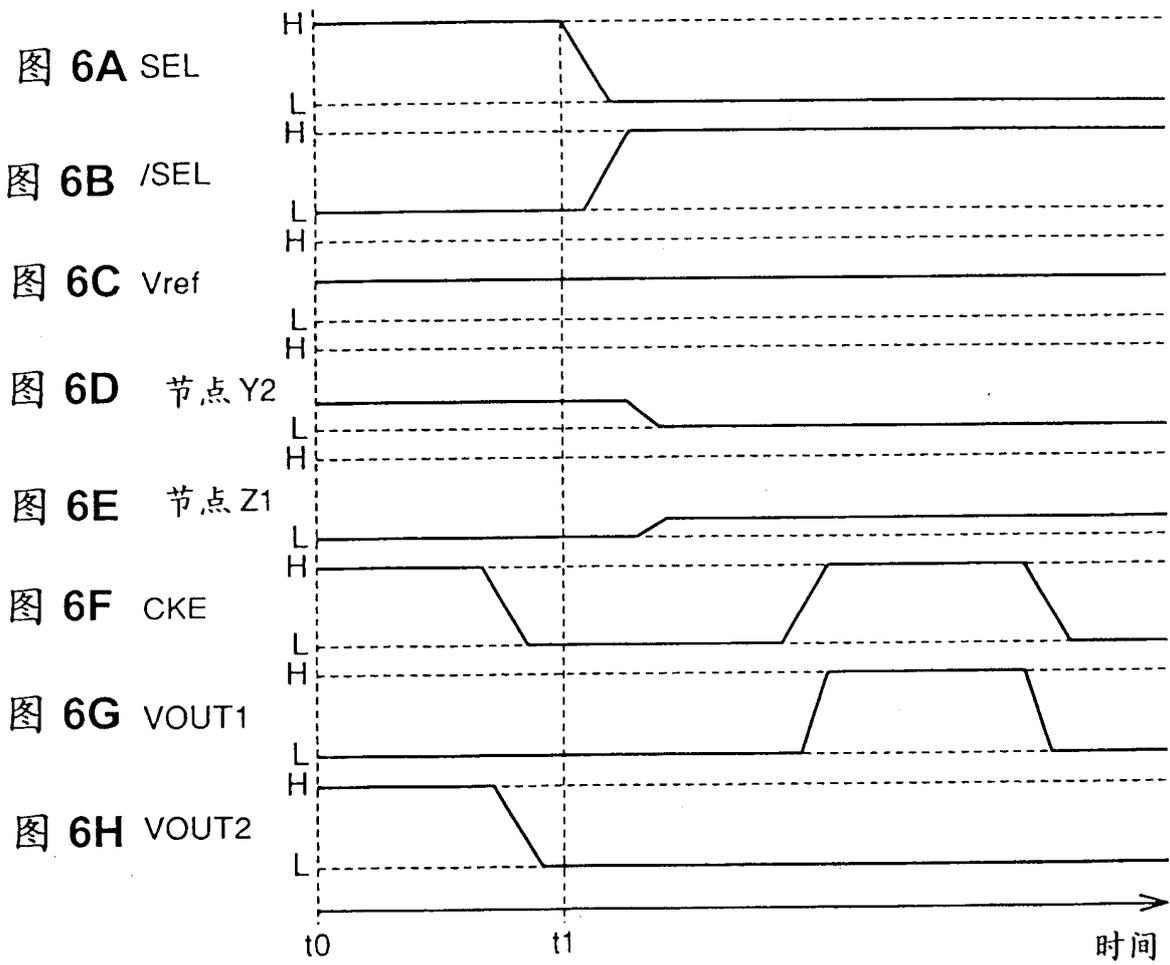


图 5



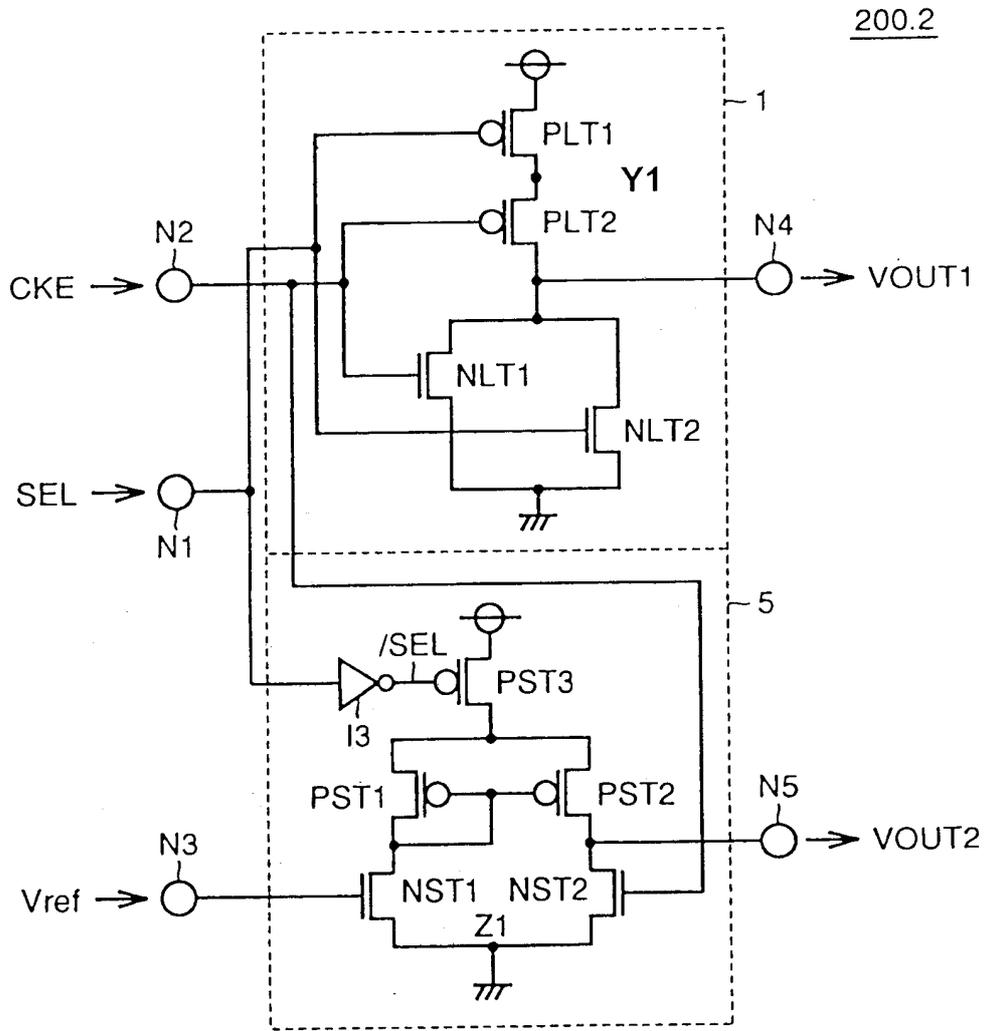
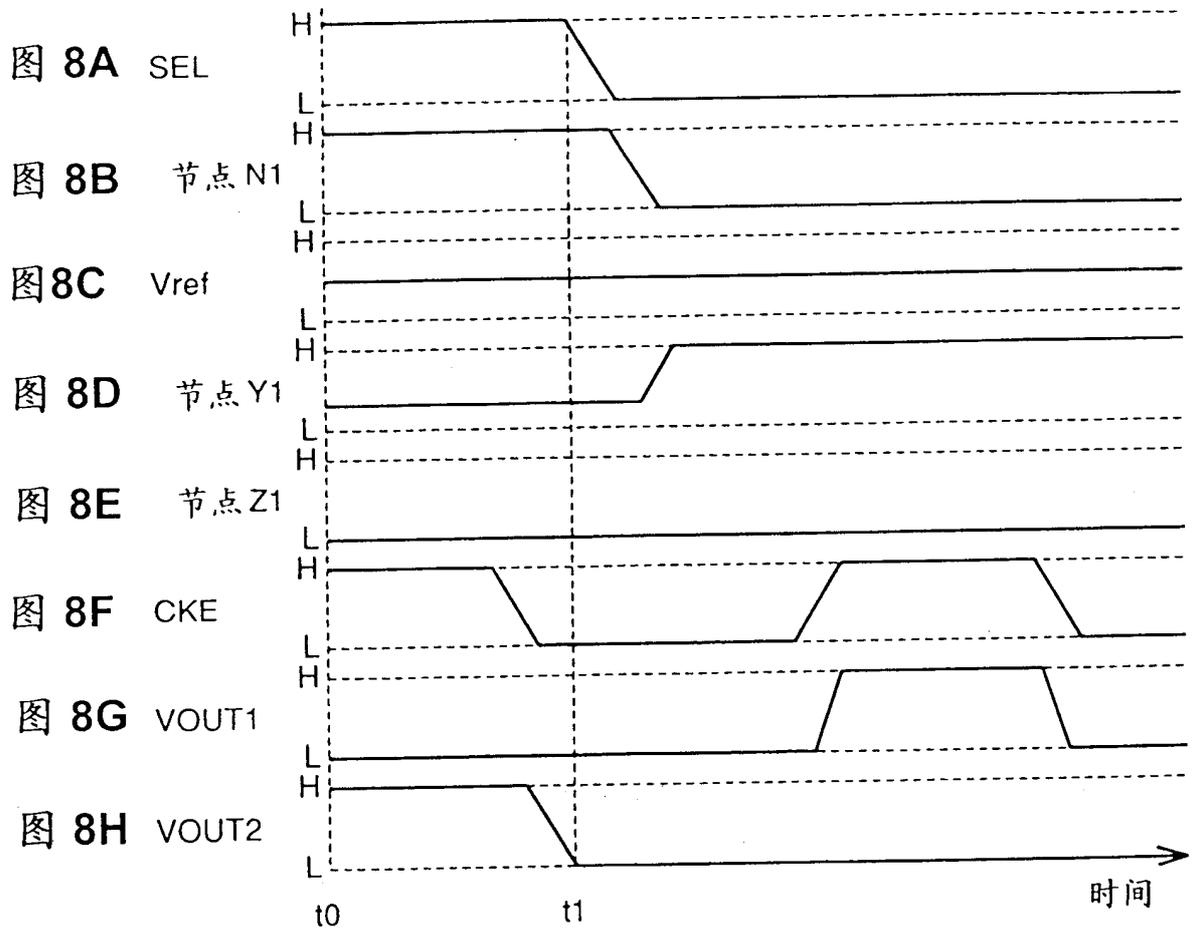
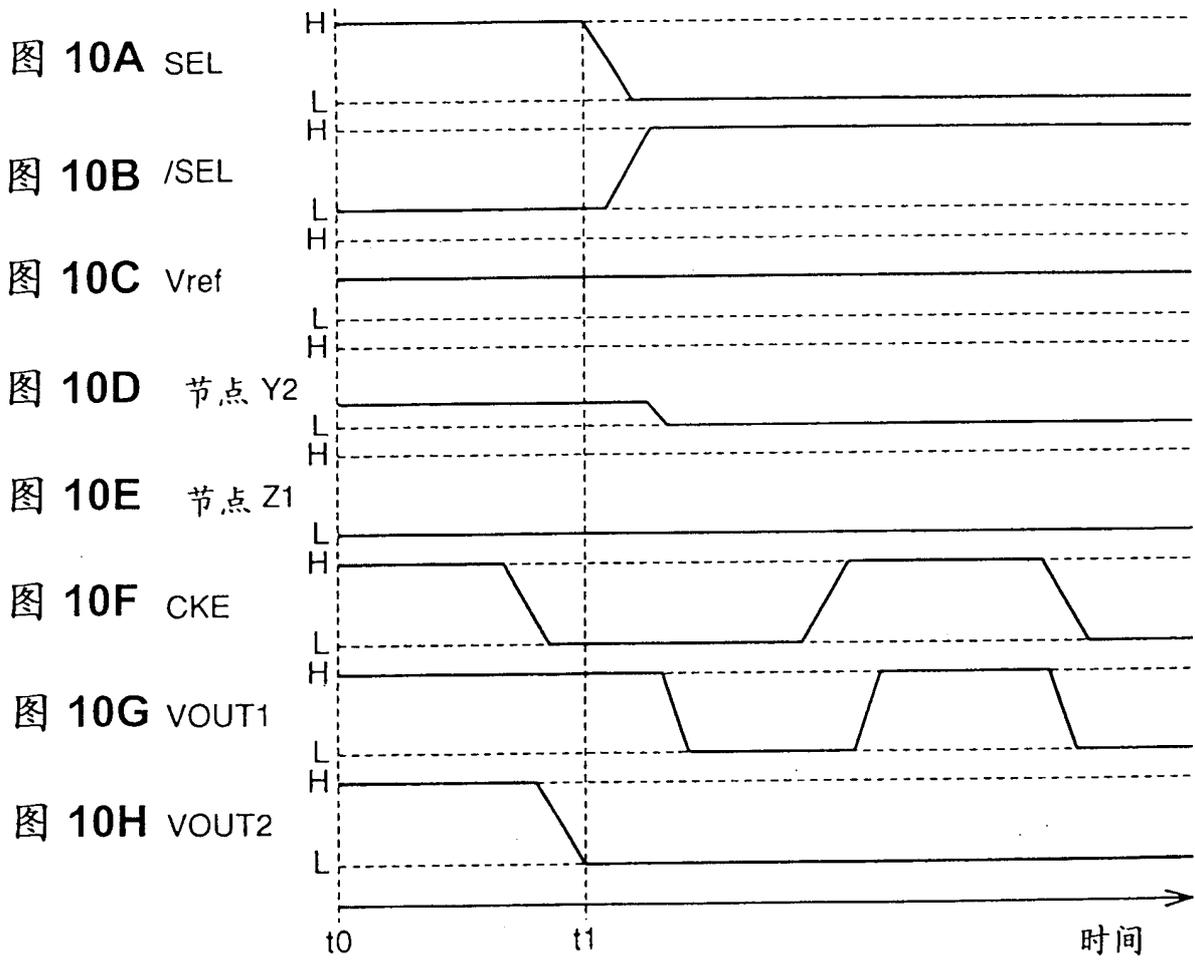


图 7





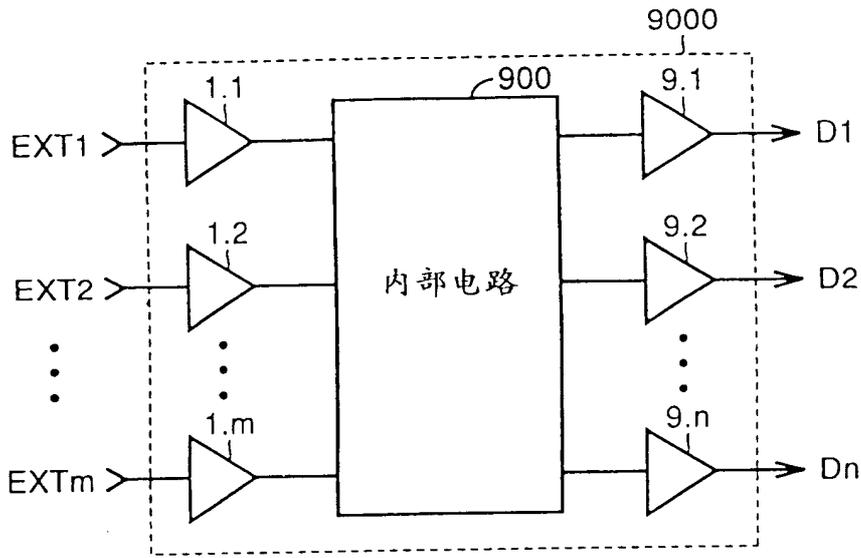


图 11 现有技术

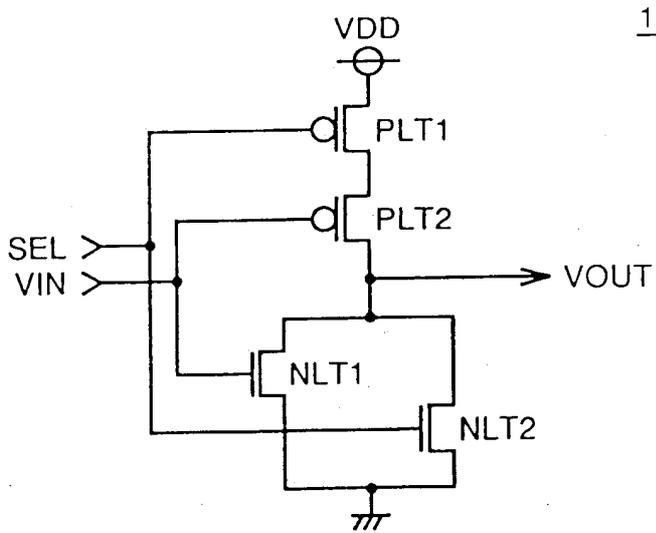


图 12 现有技术

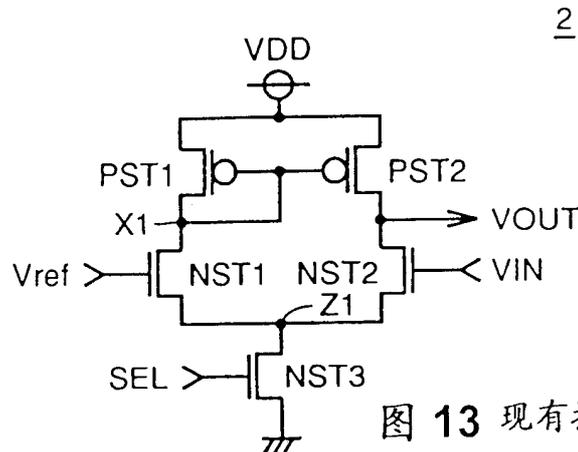


图 13 现有技术