



(12) 发明专利

(10) 授权公告号 CN 1909239 B

(45) 授权公告日 2010.04.21

(21) 申请号 200610121248.9

US 2005/0029502 A1, 2005.02.10, 全文.

(22) 申请日 2006.08.04

审查员 赵敏

(30) 优先权数据

71482/05 2005.08.04 KR

(73) 专利权人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 卢振瑞 姜闰浩 李相睦 徐东硕

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 陶凤波

(51) Int. Cl.

H01L 27/24(2006.01)

H01L 21/82(2006.01)

H01L 45/00(2006.01)

(56) 对比文件

CN 1604210 A, 2005.04.06, 全文.

US 2004/0037179 A1, 2004.02.26, 全文.

US 2005/0062087 A1, 2005.03.24, 全文.

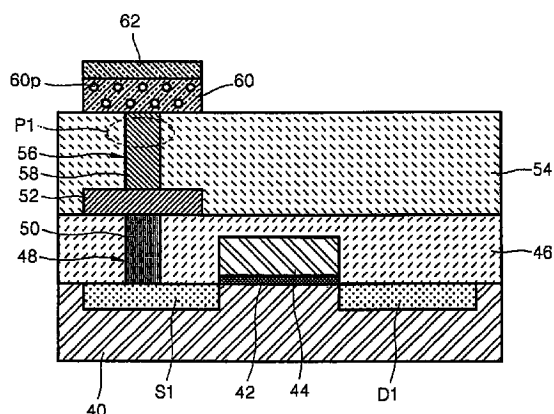
权利要求书 3 页 说明书 9 页 附图 10 页

(54) 发明名称

相变材料、制造和操作其的方法和相变随机存取存储器

(57) 摘要

本发明公开了一种相变材料、包括该相变材料的PRAM以及制造和操作这种PRAM的方法。绝缘杂质均匀分布在相变材料的整个或部分区域上。该PRAM包括含有相变材料的相变层。相变材料的绝缘杂质含量可小于相变材料体积的10%。相变材料绝缘杂质的含量可以通过控制施加到包括绝缘杂质的靶的电能调节。



1. 一种相变随机存取存储器,包括:
开关器件;
连接到所述开关器件的下电极;
形成在所述下电极上的下电极接触层;
形成在所述下电极接触层上的相变层,所述相变层下表面的部分区域接触所述下电极接触层的上表面;和
形成在所述相变层上的上电极,
其中所述相变层包括均匀分布的绝缘杂质,
其中所述绝缘杂质是选自由 SiO_x 、 SiN 、 Si_3N_4 、 TiO_x 、 AlO 和 Al_2O_3 组成的组中的至少一种,其中 $x = 1 \sim 4$ 。
2. 如权利要求 1 的相变随机存取存储器,其中所述绝缘杂质均匀分布在所述相变层的整个区域中。
3. 如权利要求 1 的相变随机存取存储器,其中所述绝缘杂质仅均匀分布在发生相变的相变层的部分区域中。
4. 如权利要求 1 的相变随机存取存储器,其中所述绝缘杂质的含量小于所述相变层体积的 10%。
5. 如权利要求 1 的相变随机存取存储器,其中所述下电极接触层由 TiN 、 TiAlN 或具有比 TiN 或 TiAlN 大的绝对值的负塞贝克系数、比 TiN 或 TiAlN 低的热导率和与 TiN 或 TiAlN 相同水平的电阻的材料形成。
6. 如权利要求 1 的相变随机存取存储器,其中所述下电极接触层填充接触孔的一部分,所述相变层填充所述接触孔的剩余部分。
7. 一种相变随机存取存储器,包括:
开关器件;
连接到所述开关器件的下电极;
覆盖所述开关器件和所述下电极的层间绝缘层;
形成在所述层间绝缘层内的第一接触孔,以暴露所述下电极;
填充所述第一接触孔的第一下电极接触层;
形成在所述层间绝缘层上的第二下电极接触层,以覆盖所述第一下电极接触层;
形成在所述第二下电极接触层上的绝缘层,所述绝缘层包括形成在其中的第二接触孔,以暴露所述第二下电极接触层;
形成在所述绝缘层上表面上的相变层,以填充所述第二接触孔;和
形成在所述相变层上的上电极,
其中所述相变层包括均匀分布的绝缘杂质,
其中所述绝缘杂质是选自由 SiO_x 、 SiN 、 Si_3N_4 、 TiO_x 、 AlO 和 Al_2O_3 组成的组的至少一种,其中 $x = 1 \sim 4$ 。
8. 如权利要求 7 的相变随机存取存储器,其中所述绝缘杂质均匀分布在所述相变层整个区域中。
9. 如权利要求 7 的相变随机存取存储器,其中所述绝缘杂质仅均匀分布在接触下电极接触层的相变层部分区域中。

10. 如权利要求 7 的相变随机存取存储器,其中所述绝缘杂质的含量小于所述相变层体积的 10%。

11. 如权利要求 7 的相变随机存取存储器,其中所述第一和第二下电极接触层由 TiN、TiAlN、或具有比 TiN 或 TiAlN 大的绝对值的负塞贝克系数、比 TiN 或 TiAlN 低的热导率和与 TiN 或 TiAlN 相同水平的电阻的材料形成。

12. 一种相变随机存取存储器的操作方法,所述相变随机存取存储器包括:开关器件,连接到所述开关器件的下电极,形成在所述下电极上的下电极接触层,形成在所述下电极接触层上的相变层,所述相变层下表面的部分区域接触所述下电极接触层的上表面,和形成在所述相变层上的上电极,所述相变层包括均匀分布的绝缘杂质,所述方法包括:

施加流过所述相变层和所述下电极接触层的复位电流,以将接触所述下电极接触层的相变层的部分变成非晶态,

其中所述绝缘杂质是选自由 SiO_x 、 SiN 、 Si_3N_4 、 TiO_x 、 AlO 和 Al_2O_3 组成的组的至少一种,其中 $x = 1 \sim 4$ 。

13. 如权利要求 12 的方法,其中当所述下电极接触层由具有比 TiN 或 TiAlN 大的绝对值的负塞贝克系数、比 TiN 或 TiAlN 低的热导率以及与 TiN 或 TiAlN 相同水平的电阻的材料形成时,所述复位电流比当 TiN 或 TiAlN 层用作所述下电极接触层时施加的复位电流小。

14. 如权利要求 12 的方法,其中所述下电极接触层填充接触孔的部分,所述相变层填充接触孔的所述剩余部分。

15. 如权利要求 12 的方法,其中在所述复位电流施加到所述相变随机存取存储器之后,用比所述复位电流的施加时间更长的时间,施加流过所述相变层和所述下电极接触层的置位电流。

16. 如权利要求 12 的方法,其中所述绝缘杂质均匀分布在所述相变层整个区域中。

17. 如权利要求 12 的方法,其中所述绝缘杂质分布在接触所述下电极接触层的相变层部分区域中。

18. 如权利要求 12 的方法,其中所述相变层是 T 形的,所述下电极接触层包括:

连接到所述开关器件的第一下电极接触层;和

连接所述 T 形相变层和所述第一下电极接触层的第二下电极接触层。

19. 如权利要求 12 的方法,其中所述下电极接触层的侧表面用间隔物覆盖。

20. 一种制造相变随机存取存储器的方法,所述相变随机存取存储器包括:形成在所述衬底上的开关器件,连接到所述开关器件的下电极,形成在所述下电极上的下电极接触层,形成在所述下电极接触层上的相变层,所述相变层下表面的部分区域接触所述下电极接触层的上表面,和形成在所述相变层上的上电极,所述相变层包括均匀分布的绝缘杂质,所述方法包括:

通过在形成了所述下电极接触层的所得到结构的上表面上形成混合材料,来形成包括均匀分布的绝缘杂质的相变层,所述混合材料通过均匀地混合除绝缘杂质之外的相变层的组成材料和所述绝缘杂质的材料而形成,

其中所述绝缘杂质是选自由 SiO_x 、 SiN 、 Si_3N_4 、 TiO_x 、 AlO 和 Al_2O_3 组成的组的至少一种,其中 $x = 1 \sim 4$ 。

21. 如权利要求 20 的方法,其中通过同时溅射包括一部分组成材料的靶和包括剩余部

分组成材料的另一靶形成除所述绝缘杂质以外的相变层的组成材料。

22. 如权利要求 20 的方法,其中所述绝缘杂质的材料是通过溅射包括所述绝缘杂质的靶形成的。

23. 如权利要求 22 的方法,其中电能施加到包括所述绝缘杂质的靶上,从而所述绝缘杂质的含量低于所述相变层体积的 10%,电能根据环境变化。

24. 如权利要求 23 的方法,其中施加到包括所述绝缘杂质的靶的电能是 30-500W。

25. 如权利要求 20 的方法,其中所述相变层形成 T 形,所述下电极接触层形成以包括:连接到所述开关器件的第一下电极接触层;和

连接所述 T 形相变层和所述第一下电极接触层的第二下电极接触层。

26. 如权利要求 20 的方法,其中所述下电极接触层的侧表面被间隔物覆盖。

27. 如权利要求 20 的方法,其中所述下电极接触层由 TiN、TiAlN 或具有比 TiN 或 TiAlN 大的绝对值的负塞贝克系数、比 TiN 或 TiAlN 低的热导率和与 TiN 或 TiAlN 相同水平的电阻的材料形成。

28. 如权利要求 20 的方法,其中所述下电极接触层填充接触孔的部分,所述相变层填充所述接触孔的剩余部分。

29. 如权利要求 21 的方法,其中所述绝缘杂质的材料是通过溅射包括所述绝缘杂质的靶形成的。

30. 一种相变材料,包括:

结晶温度和非晶温度彼此不同的第一材料;和

均匀分布在所述第一材料中的绝缘杂质,

其中所述绝缘杂质是选自由 SiO_x 、 SiN 、 Si_3N_4 、 TiO_x 、 AlO 和 Al_2O_3 组成的组的至少一种,其中 $x = 1 \sim 4$ 。

31. 如权利要求 30 的相变材料,其中所述绝缘杂质均匀分布在所述第一材料整个区域中,或仅在所述第一材料部分区域中。

32. 如权利要求 30 的相变材料,其中所述绝缘杂质的含量少于所述第一材料体积的 10%。

33. 如权利要求 30 的相变材料,其中所述绝缘杂质位于所述第一材料中空位或间隙位置。

相变材料、制造和操作其的方法和相变随机存取存储器

技术领域

[0001] 本发明涉及一种半导体存储器件,更具体地,涉及一种相变材料、包含该相变材料的相变随机存取存储器 (PRAM) 以及制造和操作该存储器的方法。

背景技术

[0002] 在 PRAM 中,根据温度存储数据的相变层变成晶体或非晶。当相变层是晶体的时候,PRAM 具有低电阻。相反,当相变层是非晶的时候,PRAM 具有高电阻。PRAM 是一种非易失性存储器件,其利用根据相态的相变层的电阻不同在从相变层上写入位数据或从相变层读取位数据。

[0003] 常规的 PRAM 问题在于,为了将相变层变成非晶需要高复位电流 $I_{\text{复位}}$ 。

[0004] 由于半导体技术的发展,通过减小包含相变层的晶体管和存储节点的尺寸来增加 PRAM 的集成水平并不困难。

[0005] 然而,当晶体管尺寸减小时,晶体管的最大允许电流也减小了。因此,在不减小复位电流的情况下增加 PRAM 的集成水平是困难的。

[0006] 而且,由于常规的 PRAM 具有低的结晶温度,容易受周围环境影响。这降低了常规 PRAM 的可靠性和记忆特性。

发明内容

[0007] 本发明提供一种具有低非晶 (或熔化) 温度 T_m 和高结晶温度 T_x 的相变材料。

[0008] 本发明还提供一种包括上述相变材料的 PRAM,由此该 PRAM 具有低的复位电流和提高的记忆特性。

[0009] 本发明还提供一种操作上述 PRAM 的方法。

[0010] 本发明还提供一种制造上述 PRAM 的方法。

[0011] 根据本发明的一个方面,提供一种相变材料,其包括:结晶温度和非晶温度彼此不同的第一材料;和均匀分布在第一材料上的绝缘杂质。

[0012] 绝缘杂质可均匀分布在第一材料整个区域的上,或仅在第一材料部分区域上。绝缘杂质可以是 SiO_x ($x = 1 \sim 4$)、 SiN 、 Si_3N_4 、 TiO_x ($x = 1 \sim 4$)、 AlO 和 Al_2O_3 的至少一种。绝缘杂质的含量可以小于第一材料体积的 10%。绝缘杂质可位于第一材料中的空位或间隙位置。

[0013] 根据本发明的另一个方面,提供一种 PRAM (相变随机存取存储器),其包括:开关器件;连接到开关器件的下电极;形成在下电极上的下电极接触层;形成在下电极接触层上的相变层,相变层下表面的部分区域接触下电极接触层的上表面;和形成在相变层上的上电极,其中相变层包括均匀分布的绝缘杂质。

[0014] 绝缘杂质可均匀分布在相变层的整个区域上。

[0015] 绝缘杂质可仅均匀分布在发生相变的相变层的部分区域上。

[0016] 绝缘杂质是 SiO_x ($x = 1 \sim 4$)、 SiN 、 Si_3N_4 、 TiO_x ($x = 1 \sim 4$)、 AlO 和 Al_2O_3 的至少一

种。

[0017] 绝缘杂质的含量可少于相变层体积的 10%。

[0018] 下电极接触层可由 TiN、TiAlN 或具有比 TiN 或 TiAlN 大的绝对值的负塞贝克系数、比 TiN 或 TiAlN 低的热导率和与 TiN 或 TiAlN 相同水平的电阻的材料形成。

[0019] 下电极接触层可以是选自掺杂的 TiN 层、TiAlN 层、n 型 SiGe 层、n 型 PbTe 层、n 型多晶硅层和钴硅层组成的一种。

[0020] 可进一步在下电极接触层的周围设置间隔物。

[0021] 下电极接触层填充接触孔的一部分中,相变层填充在接触孔的剩余部分中。

[0022] 根据本发明的另一方面,提供一种 PRAM(相变随机存取存储器),其包括:开关器件;连接到开关器件的下电极;覆盖开关器件和下电极的层间绝缘层;形成在层间绝缘层内的第一接触孔,以暴露下电极;填充第一接触孔的第一下电极接触层;形成在层间绝缘层上的第二下电极接触层,以覆盖第一下电极接触层;形成在第二下电极接触层上的绝缘层,绝缘层包括形成在其中的第二接触孔,以暴露第二下电极接触层;形成在绝缘层上表面上的相变层,以填充第二接触孔;和形成在相变层上的上电极,其中相变层包括均匀分布的绝缘杂质。

[0023] 绝缘杂质均匀分布在相变层的整个区域上。

[0024] 根据本发明的另一方面,提供一种操作 PRAM(相变随机存取存储器)的方法,该 PRAM 包括:开关器件,连接到开关器件的下电极,形成在下电极上的下电极接触层,形成在下电极接触层上的相变层,相变层下表面的部分区域接触下电极接触层的上表面,和形成在相变层上的上电极,相变层包括均匀分布的绝缘杂质,该方法包括:施加流过相变层和下电极接触层的复位电流,以将接触下电极接触层的相变层的一部分变成非晶态。

[0025] 下电极接触层可填充接触孔的一部分,相变层填充接触孔的剩余部分。

[0026] 在复位电流施加到 PRAM 上之后,可以用比复位电流的施加时间更长的时间施加流过相变层和下电极接触层的置位电流。

[0027] 绝缘杂质可分布在相变层整个区域上。

[0028] 相变层可以是 T 形的,下电极接触层可包括:连接到开关器件的第一下电极接触层;和连接 T 形的相变层和第一下电极接触层的第二下电极接触层。

[0029] 下电极接触层的侧表面可用间隔物覆盖。

[0030] 根据本发明的另一方面,提供一种制造 PRAM(相变随机存取存储器)的方法,该 PRAM 包括:形成在衬底处的开关器件,连接到开关器件的下电极,形成在下电极上的下电极接触层,形成在下电极接触层上的相变层,相变层下表面的部分区域接触下电极接触层的上表面,和形成在相变层上的上电极,相变层包括均匀分布的绝缘杂质,该方法包括:通过在其中形成了下电极接触层所得到的结构的上表面上形成混合材料,来形成包括均匀分布的绝缘杂质的相变层,该混合材料通过均匀地混合除绝缘杂质之外的相变层的组成材料和绝缘杂质的材料而形成。

[0031] 可通过同时溅射包括一部分的组成材料的靶和包括剩余部分的组成材料的另一个靶来形成除绝缘杂质以外的相变层的组成材料。

[0032] 绝缘杂质的材料可通过溅射包括绝缘杂质的靶形成。

[0033] 电能可施加到包括绝缘杂质的靶上,从而绝缘杂质含量小于相变层体积的 10%,

电能根据环境来变化。

[0034] 施加到包括绝缘杂质的靶的电能可以是 30-500W。

[0035] 绝缘杂质可以是 SiO_x ($x = 1 \sim 4$)、 SiN 、 Si_3N_4 、 TiO_x ($x = 1 \sim 4$)、 AlO 和 Al_2O_3 的至少一种。

[0036] 相变层可形成 T 形,且下电极接触层可以被形成以包括:连接到开关器件的第一下电极接触层;和连接 T 形相变层和第一下电极接触层的第二下电极接触层。

[0037] 下电极接触层的侧表面可由间隔物覆盖。

[0038] 下电极接触层可填充接触孔的一部分,相变层可填充接触孔的剩余部分。

[0039] 根据本发明,由于均匀分布在相变层上的绝缘杂质,该 PRAM 的结晶温度 T_m 减小了而非晶温度 T_x 增加。从而,PRAM 的复位电流减小了。因此,根据减小的复位电流可以减小晶体管的尺寸。而且,由于结晶温度的增加,能够提高 PRAM 的保持特性。

附图说明

[0040] 通过参考附图详细描述本发明的示范性实施例,本发明的上述和其它特征以及优点将变得更加显而易见,其中:

[0041] 图 1 是根据本发明一个实施例的 PRAM 的截面图;

[0042] 图 2 是示出图 1 中下电极接触层的部分区域 P1 的放大截面图;

[0043] 图 3 是示出接触孔的上部部分填充有延伸到图 1 中下电极接触层的上部部分的相变层的情况的截面图;

[0044] 图 4 是根据本发明另一实施例的 PRAM 的截面图;

[0045] 图 5 到 12 是示出进行测量根据本发明实施例的 PRAM 的物理特性的实验结果的曲线图;

[0046] 图 13 是示出图 1 中 PRAM 的下电极接触层的改进的截面图;

[0047] 图 14 和 15 是示出根据本发明实施例的 PRAM 的制造方法的截面图;和

[0048] 图 16 是示出根据本发明实施例的 PRAM 的操作方法的截面图。

具体实施方式

[0049] 现在将参考附图更充分地描述本发明,在附图中示出了该发明的示范性实施例。在各图中,为了清楚放大了层和区域的厚度。

[0050] 图 1 是根据本发明一个实施例的 PRAM 的截面图。现在将该 PRAM 称为第一 PRAM。相变材料与第一 PRAM 的相变层完全一致,由此它的描述将用下面关于相变层的描述所代替。

[0051] 参考图 1,第一 PRAM 包括衬底 40。在衬底 40 上形成用预定的导电杂质(例如, n 型杂质)掺杂的第一和第二杂质区域 S1 和 D1,以预定的距离彼此隔离开。衬底 40 可以是 p 型硅衬底。第一和第二杂质区域 S1 和 D1 可以具有各种形状。第一和第二杂质区域 S1 和 D1 中的一个可以是源区,另一个可以是漏区。在第一和第二杂质区域 S1 和 D1 之间的衬底 40 上形成栅绝缘层 42,在栅绝缘层 42 上形成栅 44。衬底 40、第一和第二杂质区域 S1 和 D1 以及栅 44 组成场效应晶体管。该场效应晶体管可以用 PN 结二极管代替。

[0052] 其后,在衬底 40 上形成第一层间绝缘层 46 以覆盖该晶体管。在第一层间绝缘层

46 中形成接触孔 48 以暴露第一杂质区域 S1。可选地,可形成接触孔 48 穿过第一层间绝缘层 46,以暴露第二杂质区域 D1 而不是第一杂质区域 S1。用导电插塞 50 填充接触孔 48。在第一层间绝缘层 46 上形成下电极 52,以覆盖导电插塞 50 的暴露的上表面。下电极 52 也用作衬垫层。第二层间绝缘层 54 形成在第一层间绝缘层 46 上,以覆盖下电极 52,并形成穿过第二层间绝缘层 54 的接触孔 56,以暴露下电极 52 的上表面。第二层间绝缘层 54 可用与第一层间绝缘层 46 相同的材料形成。用下电极接触层 58 填充接触孔 56。下电极接触层 58 可由具有比 TiN 或 TiAlN 大的绝对值的负塞贝克系数、比 TiN 或 TiAlN 低的热导率 and 与 TiN 或 TiAlN 相同水平的电阻的材料形成。在第二层间绝缘层 54 上形成相变层 60,以覆盖下电极接触层 58 的暴露的上表面。相变层 60 包括结晶或非晶(熔化)温度彼此不同的第一材料。第一材料包括空位和间隙位置。相变层 60 进一步包括绝缘杂质 60p,以及第一材料。绝缘杂质 60p 可均匀分布在第一材料的整个或部分区域上。在这一点上,绝缘杂质 60p 可放置在空位或间隙位置。例如,相变层 60 的第一材料可以是 GST($\text{Ge}_2\text{Sb}_2\text{Te}_5$)。绝缘杂质 60p 可以以粒子、分子或原子态存在。绝缘杂质 60p 可以是选自氧化硅(SiO_x ; $x = 1 \sim 4$)、氮化硅(SiN , Si_3N_4)、氧化钛(TiO_x , $x = 1 \sim 4$)和氧化铝(AlO , Al_2O_3)组成的组中的一种。氧化硅(SiO_x)可以是 SiO_2 或 SiO_4 。氧化钛(TiO_x)可以是 TiO_2 。绝缘杂质 60p 的含量可小于相变层 60 的体积的 10%,并且它们的最佳含量可根据它们的类型在上面的范围内变化。例如,当绝缘杂质 60p 是 SiO_2 时,它们的含量大约可以是体积的 6%。在相变层 60 上形成上电极 62。上电极 62 可以是氮化钛(TiN)电极或氮化铝钛(TiAlN)电极。

[0053] 图 2 是示出图 1 中下电极接触层 58 的部分区域 P1 的放大截面图。

[0054] 如图 2 所示,在下电极接触层 58 和第二层间绝缘层 54 之间形成间隔物 70。提供间隔物 70 以便减小接触孔 56 的尺寸。根据下电极接触层 58 的材料,间隔物 70 可由选自 SiN 、 SiO_2 、 Al_2O_3 和 SiON 组成的组的任意材料形成。

[0055] 图 3 是示出接触孔 56 的上部填充有延伸到图 1 中下电极接触层 58 的上部的相变层 60 的情况的截面图。

[0056] 即,如图 3 所示,接触孔 56 的大部分可用下电极接触层 58 填充,剩余部分可用相变层 60 填充。

[0057] 图 4 是根据本发明另一实施例的 PRAM 的截面图。现在将该 PRAM 称为第二 PRAM。第二 PRAM 的特征在于:绝缘杂质 60p 均匀地分布在相变层 60 的部分区域上。

[0058] 参考图 4,绝缘杂质 60p 没有分布在相变层 60 的整个区域上,而是仅均匀地分布在相变层 60 的部分区域 A1 上,其中部分区域 A1 接触下电极接触层 58,相变实际上发生在部分区域 A1 中。

[0059] 本发明人对第一和第二 PRAM 进行了测试,以便验证绝缘杂质 60p 是否均匀分布在相变层 60 中和相应的影响。

[0060] 为了验证绝缘杂质 60p 是否存在于相变层 60 中,本发明人制造了具有不同含量绝缘杂质 60p 的第一到第三测试 PRAM。在测试中, GST 层用作相变层 60, SiO_2 用作绝缘杂质 60p。

[0061] 第一测试 PRAM 的相变层是通过溅射沉积工艺形成,在该工艺中将 60-W 电能施加到从其中发射绝缘杂质 60p 的 SiO_2 靶上。第二测试 PRAM 的相变层是通过向 SiO_2 靶施加 100-W 电能形成的,第三测试 PRAM 的相变层是通过向 SiO_2 靶施加 120-W 电能形成的。

[0062] 图 5 到 12 是示出上面测试结果的曲线图。

[0063] 图 5 到 7 分别示出了对于第一、第二和第三测试 PRAM 的相变层的 X 射线光电子光谱 (XPS) 测试结果。

[0064] 在图 5 到 7 中,第一到第三虚线框 B1、B2 和 B3 指示 SiO_2 的峰值。从框 B1、B2 和 B3 的比较可以看出,从第一测试 PRAM 的相变层到第三测试 PRAM 的相变层 SiO_2 的峰值变得更清楚。

[0065] 从该比较结果,可以看到 SiO_2 作为绝缘杂质在第一到第三测试 PRAM 的相变层中存在,也可以看出 SiO_2 在相变层中的含量随着施放到 SiO_2 靶的电能增加而增加。

[0066] 在相变层形成期间,相变层的 SiO_2 含量和施放到 SiO_2 靶的电能之间的关系可以从全部的相变层的椭圆光度法分析结果看出。

[0067] 图 8 示出了第一到第三测试 PRAM 的相变层的椭圆光度法分析结果。

[0068] 从图 8 可以看出,相变层的 SiO_2 含量与施放到 SiO_2 靶的电能成比例增加。

[0069] 本发明人还测量了根据施放到 SiO_2 靶的电能在第一到第三测试 PRAM 中相变层的薄层电阻的变化,并且图 9 示出了测量结果。对于上面的测量,为了保持第一到第三测试 PRAM 的整个相变层在结晶状态,在第一到第三测试 PRAM 的制造期间,相变层形成之后,立即在 300°C 对形成的相变层退火大约 10 分钟。因此,图 9 中的结果示出全部在结晶状态的相变层的薄层电阻的变化。

[0070] 参考图 9,考虑到常规的 GST 层具有 $200\ \Omega/\square$ 的薄层电阻 R_s ,可以看到相变层的薄层电阻随着施放到 SiO_2 靶的电能增加而增加。如从图 9 中的图表 G1 所看到的,薄层电阻随着施加的电能增加而指数增加。

[0071] 如从图 8 可看到的,相变层的 SiO_2 含量随着施加的电能增加而增加。由此,可以看到,相变层的薄层电阻随着相变层 SiO_2 含量的增加而指数增加。

[0072] 如上所述,根据本发明 PRAM 的相变层具有比常规 PRAM 的相变层更高的薄层电阻。因此,即使当给常规的相变层和本相变层提供相同的复位电流时,本相变层产生比常规的相变层更高的焦耳热。这意味着本相变层需要比常规相变层更低的复位电流来产生相同的焦耳热。

[0073] 同时,随着相变层的 SiO_2 含量或施放到 SiO_2 靶的电能的增加,相变层的薄层电阻指数增加。因此,当 SiO_2 含量过度增加时,薄层电阻也大大地增加。因此,优选相变层 SiO_2 含量保持低于体积的 10%。

[0074] 本发明人还对第三测试 PRAM 的本相变层和不含绝缘杂质的常规相变层进行了 X 射线衍射分析。图 10 示出了分析结果。在图 10 中,第二曲线 G2 涉及常规 PRAM 的相变层,第三曲线 G3 涉及第三测试 PRAM 的相变层。

[0075] 如从第二和第三曲线 G2 和 G3 可示出的,与常规的相变层类似,第三测试 PRAM 的相变层具有面心立方 (FCC) 的晶格结构。而且,在第三测试 PRAM 的相变层的情况下,可以看出,这些峰值在不同晶体方向具有大的半峰全宽、低振幅、稍稍大的宽度和噪声峰值。因此,可以看到第三测试 PRAM 的相变层与常规的 PRAM 相比具有小的晶粒和稍微变形的晶格。

[0076] 为了观察本 PRAM 的相变层中绝缘杂质的分布,本发明人还通过将 180-W 电能施放到 SiO_2 靶来制作相变层,然后通过使用 Gatan 图像滤波器 (GIF) 对于制作的相变层测量硅 (Si) 图。图 11 示出了该测量结果。在图 11 中,黑色部分和白色部分分别对应于 GSP 和 Si。

[0077] 如从图 11 可以看出的,硅均匀地分布在相变层 60 上,而在相变层 60 观察不到颗粒或团聚型的 SiO_x 。

[0078] 本发明人还根据相变层的绝缘杂质含量测量了本 PRAM 中相变层的相变温度(即,结晶温度和非晶温度)。测量的目标是在共溅射工艺期间分别通过将 120-W 电能、180-W 电能和 300-W 电能施加到 SiO_2 靶形成的第一、第二和第三相变层。

[0079] 在图 12 中示出了该测量结果。在图 12 中,水平轴表示温度变化,垂直轴表示指示相变层相变的 β 值变化。在图 12 中,第一、第二和第三曲线 GG1、GG2 和 GG3 分别表示第一、第二和第三相变层的测量结果。

[0080] 参考图 12,第一到第三曲线 GG1、GG2 和 GG3 首先在第一区间 AA1 处发生扭曲,以此减小 β 值。在第一区间 AA1 处 β 值的减小意味着第一到第三相变层的相从晶态变成了非晶态。即,第一到第三相变层在第一区间 AA1 处结晶。第一到第三相变层的结晶温度在第一区间 AA1 是彼此不同的。

[0081] 具体地,第一和第二相变层分别在大约 150°C 和 180°C 的温度结晶,第三相变层在比第二相变层更高的温度结晶。由结晶温度从第一相变层到第三相变层增加的事实,可以看出本 PRAM 中相变层的结晶温度 T_x 随着相变层的绝缘杂质含量的增加而增加。当常规 PRAM 中相变层的结晶温度大约是 150°C 时,第一到第三相变层的结晶温度大约是 $150\text{--}200^\circ\text{C}$ 。即,本相变层比常规相变层具有更高的结晶温度。

[0082] 第一到第三曲线 GG1、GG2 和 GG3 从第一区间 AA1 继续增加,然后在第二区间 AA2 再次发生扭曲,这意味着 β 值大大减小。由于第一到第三相变层的相从晶态变成非晶态,所以 β 值减小。即,在第二区间 AA2,第一到第三相变层熔化并变成非晶态。与结晶温度类似,第一到第三相变层的非晶温度根据相变层的绝缘杂质含量而变化。

[0083] 具体地,在第二区间 AA2 中,第一、第二和第三相变层分别在大约 630°C 、 640°C 和 600°C 的温度下熔化并变成非晶态。这揭示了本相变层的非晶温度 T_m 随着相变层的绝缘杂质(例如, SiO_2)含量增加而减小。当常规 PRAM 中相变层的非晶温度大约是 630°C 时,本 PRAM 中相变层的非晶温度比常规相变层具有更低的非晶温度。而且,图 12 的结果揭示了根据相变层绝缘杂质的含量,本相变层的非晶温度可减少到 600°C 以下。

[0084] 如从上面测试结果可看到的,具有包含均匀分布绝缘杂质的相变层的第一和第二 PRAM 比常规 PRAM 具有更高的结晶温度和更低的非晶温度。因此,第一和第二 PRAM 比常规 PRAM 具有更低的复位电流。由于第一和第二 PRAM 比常规 PRAM 更高的结晶温度,在第一和第二 PRAM 中以复位电流写入的数据改变的可能性比在常规的 PRAM 中的低。即,第一和第二 PRAM 比常规的 PRAM 能更长地稳定保持写入的数据。这意味着第一和第二 PRAM 比常规的 PRAM 具有更好的保持特性。

[0085] 同时,第一和第二 PRAM 的下电极接触层 58 可由与用作常规 PRAM 下电极接触层的材料的 TiN 或 TiAlN 相比具有相似电阻、更好的珀尔帖(Peltier)效应和低的多的热导率的材料制成。

[0086] 当复位电流施加到第一和第二 PRAM 的相变层 60 时,在相变层 60 的部分区域产生了热量。由于该产生的热量,相变层 60 的部分区域的温度快速地增加到相变温度之上,由此部分区域的相由晶态变成非晶态。

[0087] 通过施加的复位电流在部分区域产生的全部热量是焦耳热、热传导损失和由于珀

尔帖效应产生的热量（下文中称为“珀尔帖热”）的总和。

[0088] 由于珀尔帖热是由于珀尔帖效应产生的，所以置位电阻不能根据下电极接触层 58 尺寸的改变而改变。因此，当珀尔帖热增加时，在不考虑置位电阻增加的情况下，相变层 60 的部分区域产生的全部热量可以增加。这意味着复位电流可以减少到与由于珀尔帖热引起的全部热量的增加所对应的程度。

[0089] 下电极接触层 58 比由 TiN 或 TiAlN 形成的常规下电极接触层产生大的多的珀尔帖热。因此，第一和第二 PRAM 的复位电流可以减少与珀尔帖热增量一样多。此时，由于下电极接触层 58 的尺寸没有改变，所以置位电阻没有增加。由于下电极接触层 58 和相变层 60 的优点，第一和第二 PRAM 的复位电流可以进一步减小。

[0090] 第一和第二 PRAM 的下电极接触层 58 可改变形状。例如，下电极接触层 58 可以是宽的和平的，相变层 60 可以是下部被第二层间绝缘层（参考图 13 中的 66）限制的 T 形。即，下电极接触层 58 和相变层 60 之间的接触表面可由层间绝缘层 66 限定。

[0091] 图 13 是示出图 1 中 PRAM 的下电极接触层的改进的截面图。

[0092] 参考图 13，用第一下电极接触层 59a 填充在绝缘层 54 中形成的接触孔 56。进一步在第一下电极接触层 59a 的周围提供间隔物。在绝缘层 54 上形成第二下电极接触层 59b，以覆盖第一下电极接触层 59a 的暴露的上表面。第一和第二下电极接触层 59a 和 59b 优选可由相同材料形成，或由不同材料形成。第一和第二下电极接触层 59a 和 59b 的材料可与第一和第二 PRAM 的下电极接触层 58 的材料相同。第一和第二下电极接触层 59a 和 59b 可同时或顺序形成。

[0093] 在第二下电极接触层 59b 上形成绝缘层 66。在绝缘层 66 中形成接触孔 68，以暴露第二下电极接触层 59b 的预定区域。在绝缘层 66 上形成相变层 72 以填充接触孔 68。相变层 72 可与图 1 中第一 PRAM 的相变层 60 相同或不同。在相变层 72 上形成上电极 74。

[0094] 图 1 和 4 中第一和第二 PRAM 中的晶体管是开关器件的一个例子。该晶体管可用其它的开关器件例如二极管型开关器件代替。

[0095] 图 14 和 15 是示出制造根据本发明实施例的 PRAM 的方法的截面图。

[0096] 图 1 的层间绝缘层 54 和前面的元件是通过常规工艺制造的。在层间绝缘层 54 中形成接触孔 56，然后用下电极接触层 58 将其填充。可在图 2 示出的结构中形成下电极接触层 58。此时，下电极接触层 58 的材料特性与图 2 中的相同。而且，下电极接触层 58 可包括第一和第二下电极接触层 59a 和 59b，如图 13 所示。

[0097] 其后，如图 14 所示，将层间绝缘层 54 和下电极接触层 58 装载在溅射沉积设备的基座 80 上。

[0098] 放置第一到第三靶 T1、T2 和 T3 与层间绝缘层 54 的上表面间隔分开一预定的距离。第一到第三电源 P1、P2 和 P3 分别连接至第一到第三靶 T1、T2 和 T3。可以调节来自第一到第三电源 P1、P2 和 P3 的电。第一靶 T1 可以是包括 GST 的一些元素，即，GeTe 的靶。第二靶 T2 可由选自 SiO_x ($x = 1 \sim 4$)、 SiN 、 Si_3N_4 、 TiO_x ($x = 1 \sim 4$)、 AlO 和 Al_2O_3 组成的绝缘材料，例如， SiO_2 或 SiO_4 形成。第三靶 T3 可以是包括 GST 的其它元素，即， Sb_2Te_3 的靶。

[0099] 衬底 40 装载于基座 80 上。其后，施加到第一和第三靶 T1 和 T3 的电保持不变，施加到第二靶 T2 的电调节到 700W 以下，例如，根据第二靶 T2 的材料调节到 30-500W 的

范围（优选 60–300W）。

[0100] 在这种状态下，溅射气体碰撞到第一到第三靶 T1、T2 和 T3 以产生等离子体。以这种方式，第一到第三靶 T1、T2 和 T3 的材料溅射到衬底 40 上。衬底 40 上的溅射材料是由第一到第三靶 T1、T2 和 T3 发射的材料的均匀混合物。如图 15 所示，该混合材料沉积在层间绝缘层 54 和下电极接触层 58 的上表面上。该沉积材料形成相变层 60。因此，形成相变层 60 以包括均匀分布的绝缘杂质 60p。通过在上述范围内调节施加到第二靶 T2 的电，可以增加或减少相变层 60 中绝缘杂质 60p 的含量。为了该目的，可以进一步对于第二电源 P2 提供电能调节器。

[0101] 在层间绝缘层 54 和下电极接触层 58 上形成相变层 60 之后，可通过常规工艺形成上电极。

[0102] 同时，接触孔 56 的下部分可以用下电极接触层 58 填充，扩展的上部分可用相变层 60 填充。

[0103] 在层间绝缘层 54 上形成掩模（未示出），以暴露下电极接触层 58 的上表面和在下电极接触层 58 的上表面周围的层间绝缘层 54 的部分上表面。其后，利用溅射沉积设备，仅在由掩模暴露的区域上形成相变层 60。此时，形成相变层 60 为小于相变层 60 的目标厚度的厚度。其后，移除掩模，在中断第二靶 T2 的电之后进行溅射沉积工艺。结果，如图 4 所示，仅在相变层 60 的部分区域 A1 上均匀分布绝缘杂质 60p。

[0104] 图 16 是示出根据本发明实施例的 PRAM 的方法的操作截面图。下面的操作方法可以应用到第一和第二 PRAM 的任意一个。为了方便，将参考图 16 对第一 PRAM 进行下面描述。

[0105] 在该操作中晶体管一直是导通的。因此，为了方便，在图 16 中没有示出开关器件和相变层中均匀分布的绝缘杂质。

[0106] 写操作

[0107] 如图 16A 所示，复位电流 I_{rs} 持续预定的时间（例如，几纳秒）施加到全部结晶的相变层 60。此时，由于本下电极接触层 58 比常规的下电极接触层产生更多的珀耳帖热，所以复位电流 I_{rs} 比常规复位电流小。例如，在 16MbPRAM 的情况下，常规的 PRAM 需要 1.6mA 的复位电流，而本 PRAM 需要小于 1.6mA 的复位电流 I_{rs} 。此外，在 64Mb PRAM 的情况下，常规的 PRAM 需要 1.1mA 的复位电流，而本 PRAM 需要小于 1.1mA 的复位电流 I_{rs} 。

[0108] 由于本 PRAM 具有由于相变层 60 和下电极接触层 58 引起的效果，所以本复位电流 I_{rs} 可以比常规复位电流小。

[0109] 图 16 中的参考数字 h2 表示复位电流 I_{rs} 的高度（或强度），其低于常规复位电流的高度 h1。

[0110] 当复位电流 I_{rs} 施加到相变层 60 时，接触下电极接触层 58 的相变层 60 的部分区域的温度突然增加到相变温度之上的温度。结果，如图 16 中 (b) 所示，在相变层 60 中形成非晶区域 90。当相变层的部分区域 90 变成非晶区域时，相变层 60 的电阻增大。在这种情况下，认为在图 1 的第一 PRAM 中写入了位数据“1”。

[0111] 当相变层的部分区域 90 是结晶区域时，认为在第一 PRAM 中写入了位数据“0”。

[0112] 如图 16 中 (b) 所示，在相变层 60 具有非晶区域 90 的情形下，比复位电流“ I_{rs} ”小的置位电流“ I_s ”施加到相变层 60。置位电流“ I_s ”施加比复位电流“ I_{rs} ”更长的持续时间。

[0113] 当施加该置位电流“ I_s ”时,相变层 60 的非晶区域 90 变成结晶,相变层 60 变成全部结晶,如图 16 中 (c) 所示。在图 16A 和 16C 中相变层 60 的状态是相同的。因此,如图 16 中 (b) 所示的相变层 60 上置位电流“ I_s ”的施加可以看作擦除在相变层 60 上写的位数据“1”,或在相变层 60 上写数据“0”。

[0114] 读操作

[0115] 在读操作中,当具有不能改变相变层 60 的相的强度的电流施加到相变层 60 上时,检查测量的电阻以确定写在相变层 60 上的位数据是“1”还是“0”。因此,在读操作期间,施加到相变层 60 上的电流可比复位电流“ I_{rs} ”和置位电流“ I_s ”低。

[0116] 本领域的普通技术人员将理解,下电极接触层 58 可利用比上述的材料层具有更大珀耳帖效应的材料层形成。而且,相变层 60 可以是除 GST 层外的任何材料层。此外,可实行在反方向上施加复位电流和置位电流的操作方法。因此,本发明并不限于这里描述的实施例,而应通过在权利要求中叙述的技术构思来限定。

[0117] 如上所述,本 PRAM 包括在相变层中均匀分布的绝缘杂质。由于均匀分布的绝缘杂质,非晶温度 T_m 减小了,结晶温度 T_x 增加了。从而,PRAM 的复位电流减小了,由此对应减小的复位电流可以减小晶体管的尺寸。而且,由于结晶温度的增加,可以提高 PRAM 的保持特性。

[0118] 此外,本 PRAM 用指定的材料层作为接触相变层 60 下表面的下电极接触层 58。当与常规的 TiAlN 比较时,指定的材料层具有大绝对值的负塞贝克系数、低的热导率和类似的电阻。由于指定的材料层具有高的塞贝克系数,其可以比常规材料层产生更大的珀耳帖热。

[0119] 因此,由于相变层 60 可以减小复位电流。此外,复位电流可以进一步减小与珀耳帖热的增加量一样多的量。这能够大大地减小晶体管最大允许电流。从而,与常规晶体管相比,晶体管可以减小尺寸,最终增加了 PRAM 的集成水平。

[0120] 由于珀耳帖效应导致的复位电流的减小与下电极接触层 58 尺寸的减小不相关。从而,在不增加置位电阻的前提下,可以增加 PRAM 的集成水平。

[0121] 虽然参考本发明的示范性实施例已具体示出和描述了本发明,但本领域的普通技术人员将理解,在不偏离如由权利要求所界定的本发明的精神和范围的前提下,可对形式和细节进行各种改变。

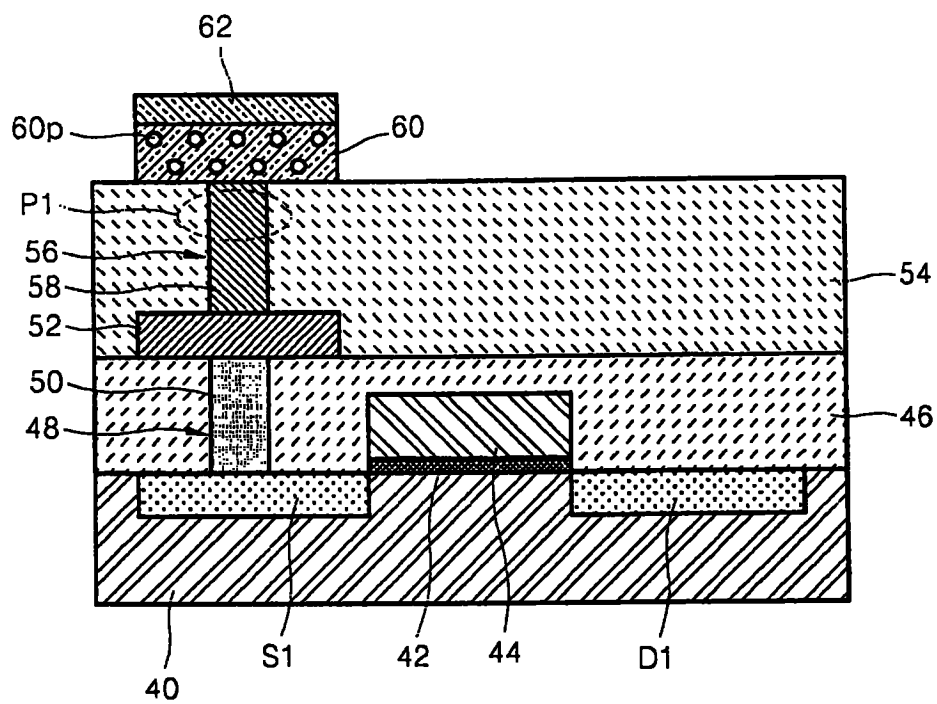


图 1

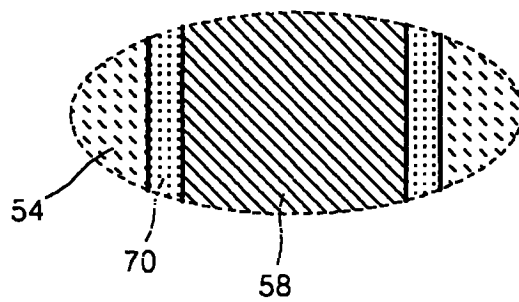


图 2

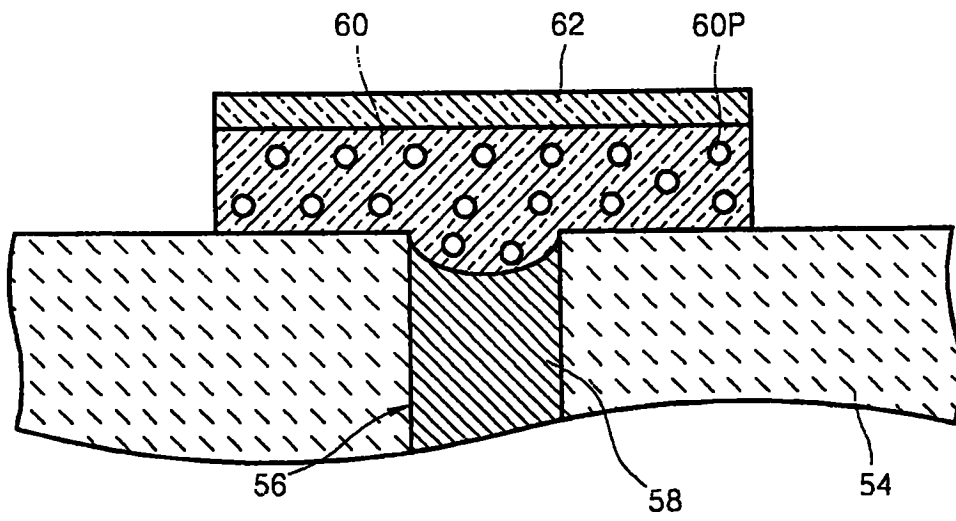


图 3

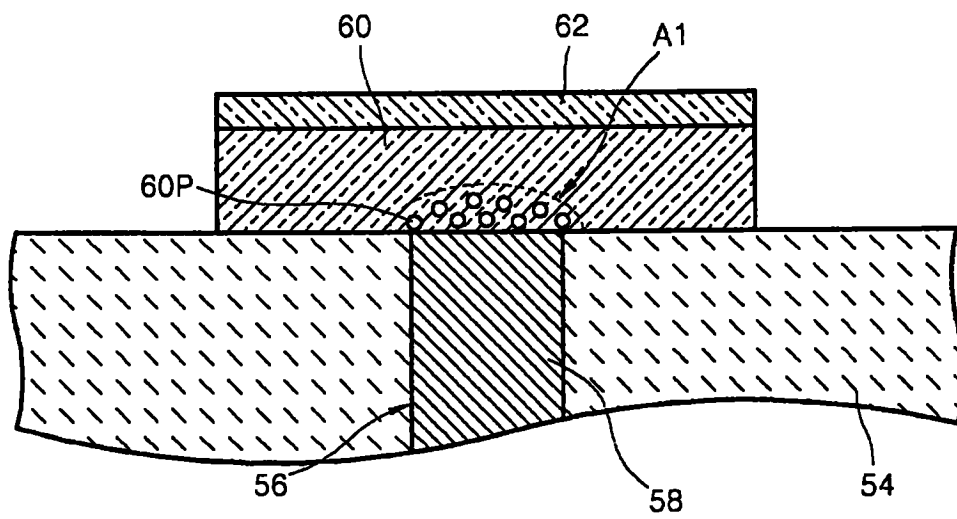


图 4

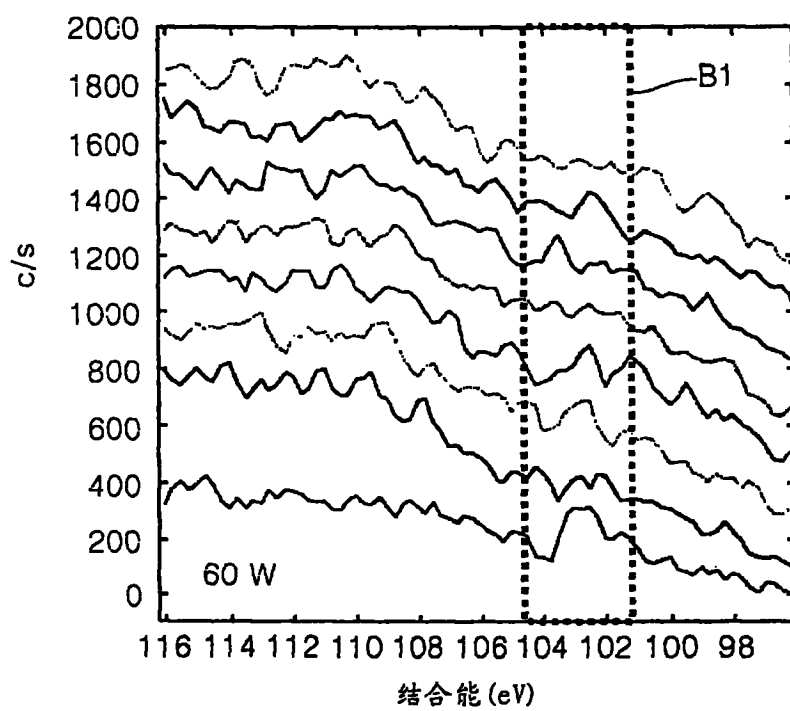


图 5

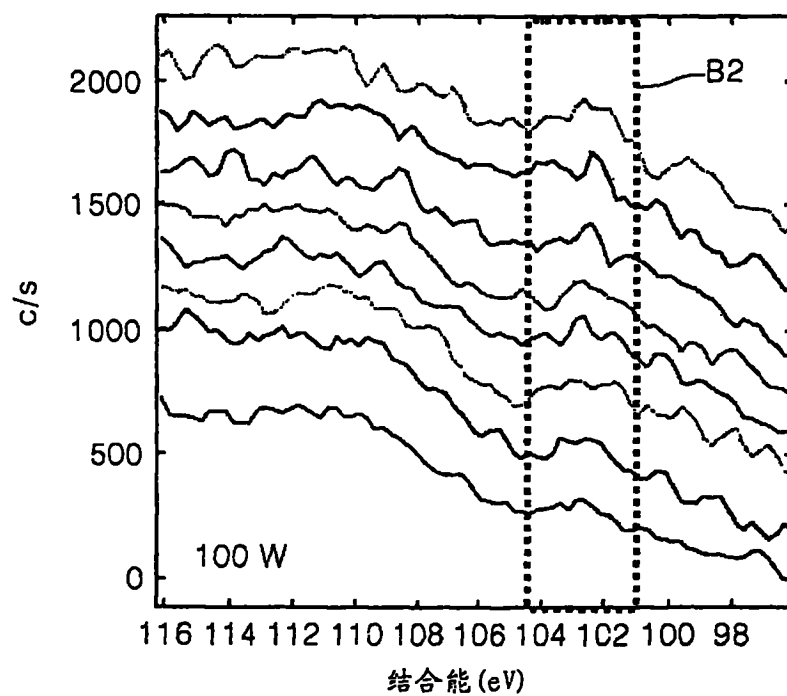


图 6

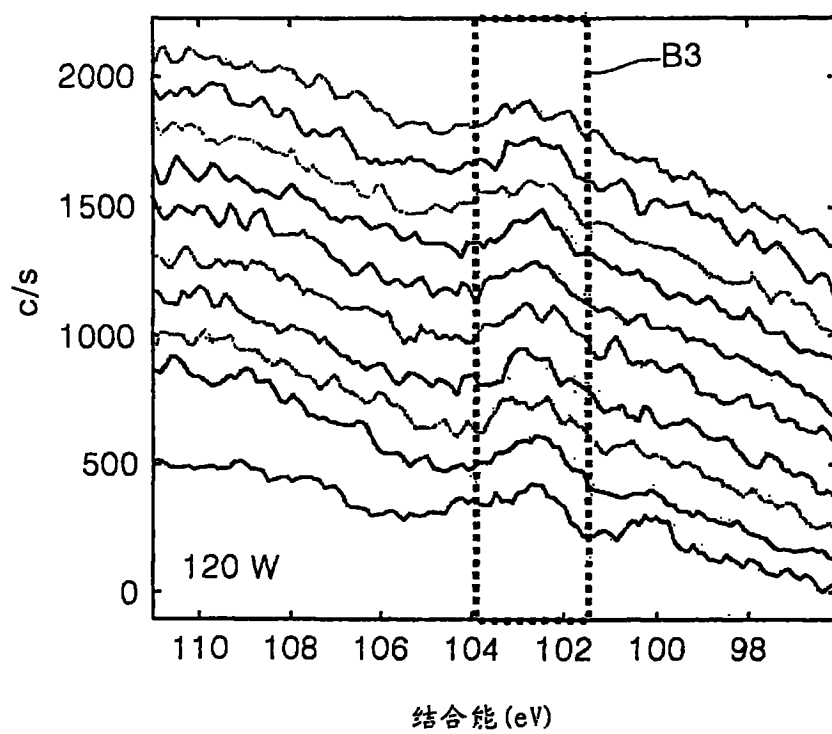


图 7

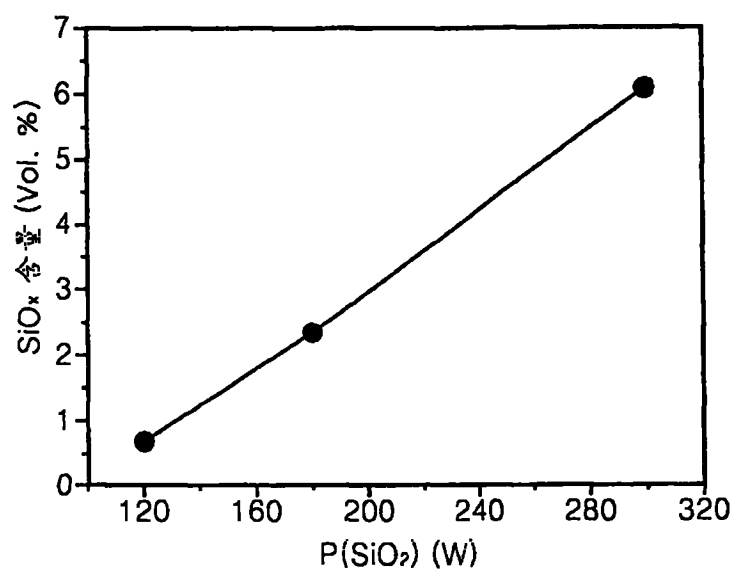


图 8

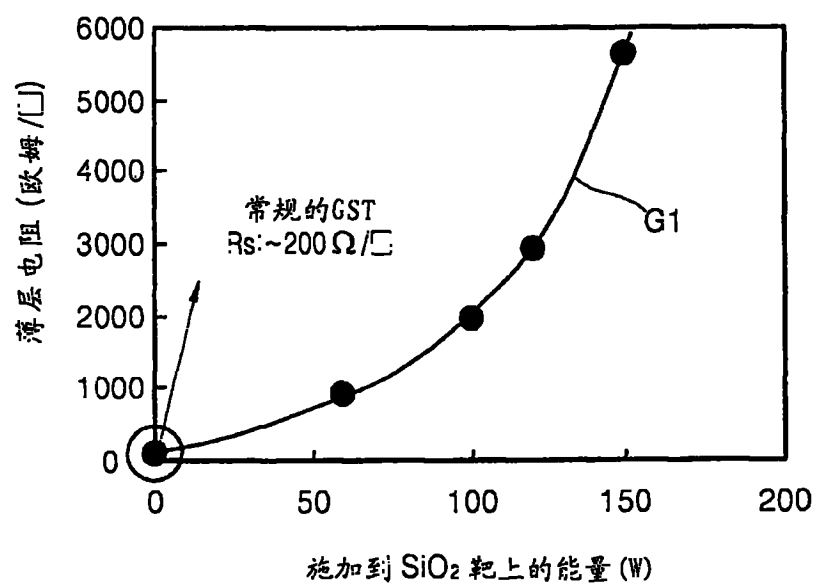


图 9

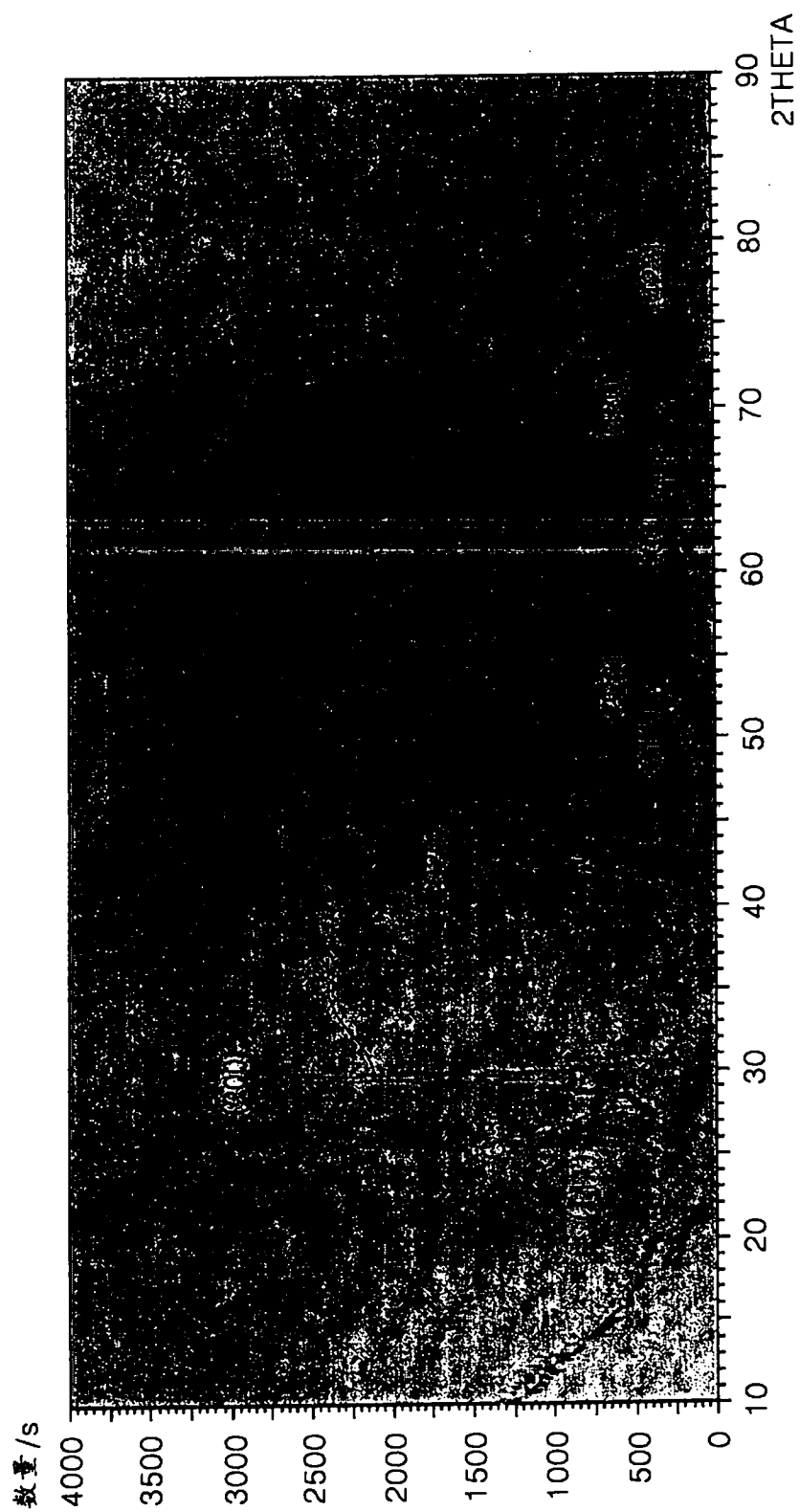


图 10

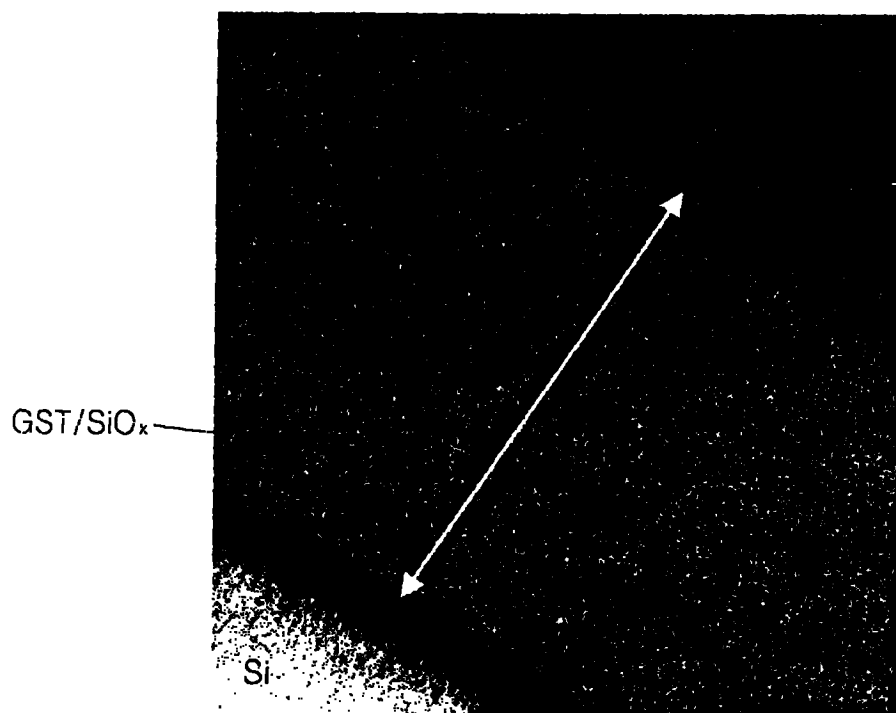


图 11

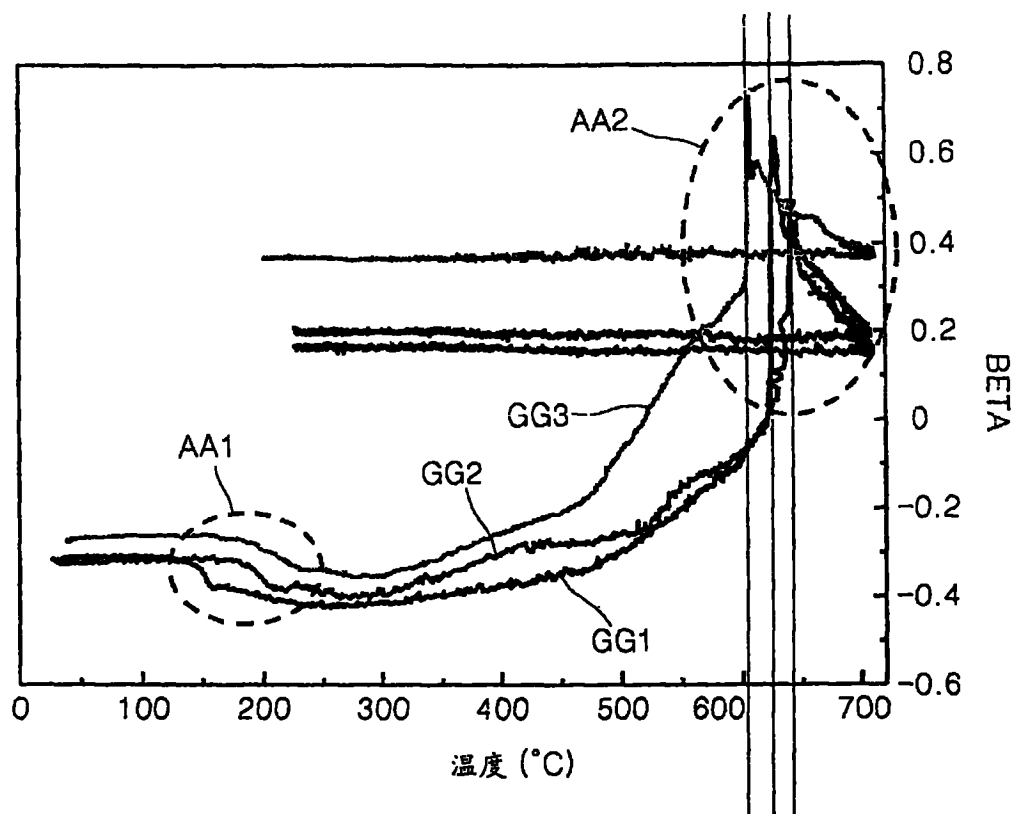


图 12

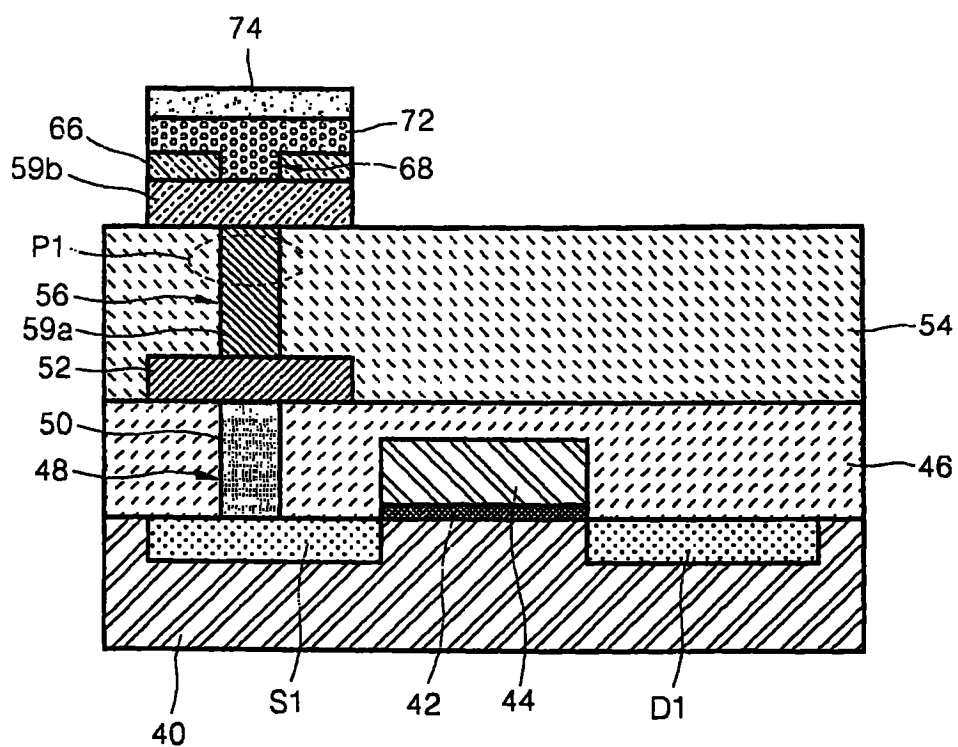


图 13

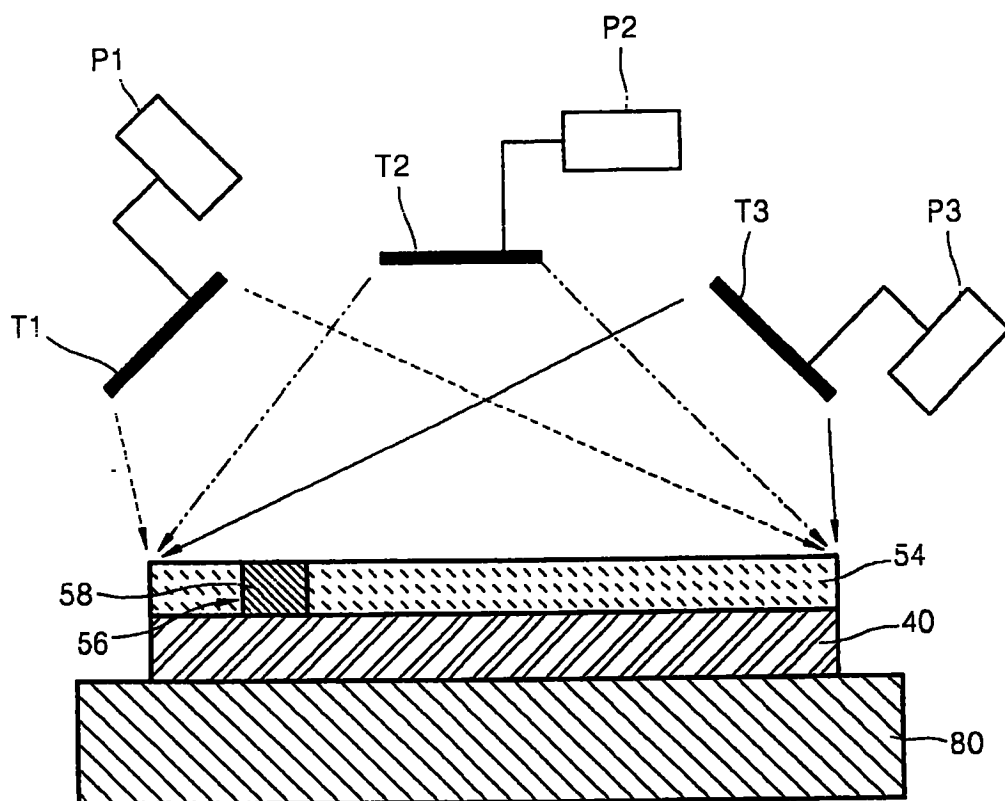


图 14

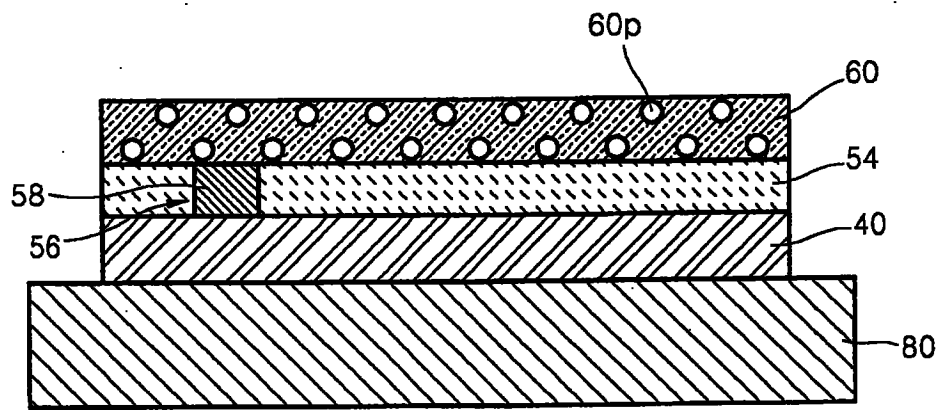


图 15

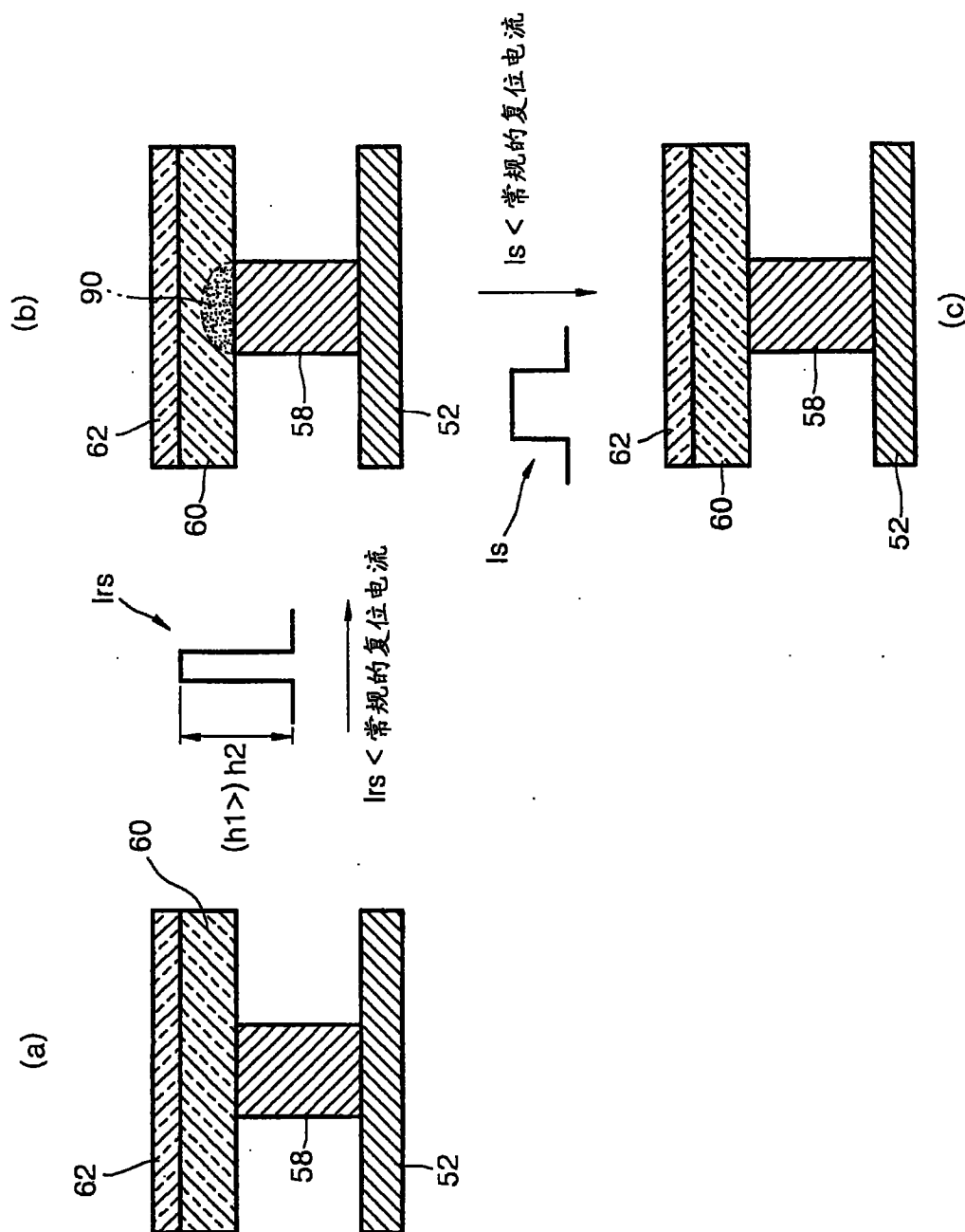


图 16