

公告本

申請日期	88.11.29
案 號	881253P2
類 別	G11C 8/00

A4
C4

487925

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	具有非同步及同步協定之多埠口記憶體
	英 文	MULTI-PORTED MEMORY WITH ASYNCHRONOUS AND SYNCHRONOUS PROTOCOL
二、發明 創作人	姓 名	1.凱文 A.白赤森 2.格瑞特 S.柯霍 3.謝巴斯汀 T.芬傳
	國 籍	1.美國 2.美國 3.美國
三、申請人	住、居所	1.美國佛蒙特市韋利斯頓日落大道 312 號 2.美國佛蒙特市傑佛遜蘋果樹大道 54 號 3.美國佛蒙特州南柏林敦巴特勒大道 38 號
	姓 名 (名稱)	美商·萬國商業機器公司
	國 籍	美國
	住、居所 (事務所)	美國紐約州阿蒙市新果園路
	代 表 人 姓 名	傑拉德羅森瑟爾

裝
訂
線

經濟部智慧財產局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ☒有 ☐無主張優先權

本案已向美國申請專利；申請日：2000 年 3 月 13 日 案號：09/524,661 號

有關微生物已寄存於： 寄存日期： 寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明()

發明領域：

本發明係有關於一種記憶體技術，且特別是有關於一種具有非同步及同步協定之多埠口記憶體。

發明背景：

電子工業之目前傾向是在特殊應用積體電路(ASIC)設計內發展使用多記憶容量之應用。通常此種應用執行大量的同時運作，各種運作可在 ASIC 設計之不同「通道(channel)」上執行。為了達到預期的執行效能之水準，這些通道通常必須共同以非同步的方式來操作。

一般用於通道間之共用元件是一記憶體裝置(例如一隨機存取記憶體(RAM))。然而，傳統的 RAM 是單埠口(或大多是雙埠口)裝置，其具有由記憶體控制器仲裁之一第一至第一(first-come-first)伺服協定。這種型式之已限制埠口裝置無法在多通道中支援同時運作，特別是當伴隨非同步操作時。因此，一種具有非同步及同步協定之多埠口記憶體是有存在的必要。

發明目的及概述：

為了滿足習知技藝之需要，在此提供一種具有非同步及同步協定之多埠口記憶體的發明。具體來說，本發明係提供一種多埠口記憶體，其包含用以接收同步記憶體要求的裝置、用以接收非同步記憶體要求的裝置，以及用以同時處理該已接收同步及非同步記憶體要求的裝置。同時提供一種使用多埠口記憶體之系統與方法。此發明的多埠口記憶體可支援多通道之同時運作，同時

五、發明說明()

包含同步及非同步操作。

為使本發明之其他目的、特徵和優點能更明顯易懂，下文特舉較佳實施例、申請專利範圍並配合所附圖式，作詳細說明如下。

圖式簡單說明：

本發明之描述，請配合參考所附圖式。在圖式中，類似參考標號代表相等或功能上類似元件。此外，參考標號之最左邊的阿拉伯數字視為圖中第一次出現之參考標號。

第 1 圖為依照本發明之多埠口記憶體系統的示意圖；

第 2 圖為多要求非同步/同步 RAM (Multi-Request Asynchronous/Synchronous RAM, MRASR) 之示意圖，其代表第 1 圖之任一 MRASRs 的較佳實施例；

第 3 圖為第 1 圖之記憶體分發/控制器之較佳實施例的示意圖；

第 4 圖為第 3 圖之第一同步讀取埠口控制之較佳實施例的示意圖；

第 5A 圖至第 5E 圖為在同步讀取及寫入操作期間，第 1 圖之多埠口記憶體系統之操作的時序圖；以及第 6A 圖至第 6E 圖為在非同步讀取及寫入操作期間，第 1 圖之多埠口記憶體系統之操作的時序圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

圖號對照說明：

- | | | | |
|---------------------|------------------|--------|-----------|
| 100 | 多埠口記憶體系統 | 102a-x | 同步裝置 |
| 104a-y | 非同步裝置 | 106 | 記憶體分發/控制器 |
| 108、212 | 隨機存取記憶體 | | |
| 110a-n、200 | 多要求非同步/同步隨機存取記憶體 | | |
| 112、112a-np | 同步寫入資料匯流排 | | |
| 114、114a-np | 同步讀取資料匯流排 | | |
| 116、116a-np | 同步讀取位址匯流排 | | |
| 118、118a-np | 同步寫入位址匯流排 | | |
| 120、120a-np | 同步讀取命令匯流排 | | |
| 122、122a-np | 同步寫入命令匯流排 | | |
| 124、124a-np | 同步讀取確認匯流排 | | |
| 126、126a-np | 同步寫入確認匯流排 | | |
| 128、128a-nq | 非同步讀取命令匯流排 | | |
| 130、130a-nq | 非同步寫入命令匯流排 | | |
| 132、132a-nq | 非同步讀取確認匯流排 | | |
| 134、134a-nq | 非同步寫入確認匯流排 | | |
| 136、136a-nq | 非同步寫入資料匯流排 | | |
| 138、138a-nq | 非同步讀取資料匯流排 | | |
| 140、140a-nq | 非同步讀取位址匯流排 | | |
| 142、142a-nq | 非同步寫入位址匯流排 | | |
| 144a-x | 同步匯流排組 | 146a-y | 非同步匯流排組 |
| 202 | 非同步讀取埠口 | 204 | 非同步寫入埠口 |
| 206、208 | 同步讀取埠口 | 210 | 同步寫入埠口 |
| 214、224 | 多工器 | | |
| 216、218、226、228、230 | 暫存器組 | | |

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明()

- 220、222、240 AND 閘
- 232、234、404 多工器控制
- 236、238 正反器
- 302、304 同步讀取埠口控制
- 306 同步寫入埠口控制
- 308 非同步讀取埠口控制
- 310 非同步寫入埠口控制
- 402a-n 通道多工器 406 確認通知控制電
- 408a-x 確認通知多工器

發明詳細說明：

第 1 圖為依照本發明之多埠口記憶體系統 100 的示意圖。本發明之多埠口記憶體系統 100 包含複數個同步裝置 102a-x 與複數個非同步裝置 104a-y 皆耦接至記憶體分發/控制器 106，以及一隨機存取記憶體 108 耦接記憶體分發/控制器 106。同步裝置 102a-x 可包含任何數量之同步裝置例如微處理器、中央處理單元、微控制器、信號處理器、控制邏輯等，以及非同步裝置 104a-y 可包含任何數量之非同步裝置例如串列埠、類比數位轉換器等。

記憶體分發/控制器 106 最好是以傳統的記憶體控制器為基礎，但包含一額外的記憶體巨集協定(描述於下)，用以執行為數眾多的新記憶體功能。舉例來說，此記憶體巨集協定最好是仲裁來自同步裝置 102a-x 及非同步裝置 104a-y 之同步及非同步要求，監視要求及傳送各要求至多埠口記憶體系統 100 之一適當通道

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

中，若無適當通道存在時拖延要求，則執行記憶體繪圖功能，以及類似者。記憶體分發/控制器 106 之記憶體巨集協定可以軟體、硬體或其結合而被收錄於其中。在較佳的情況下，記憶體巨集協定包含最初硬體，如同下文參照第 3 圖與第 4 圖之說明。

RAM 108 包含由多埠口記憶體元件，此處稱為多要求非同步/同步 RAMs (MRASRs) 110a-n 構成之一 RAM。如下所述，各 MRASR 110a-n 支援複數個同步埠口與複數個非同步埠口。此外，最好能夠提供一足夠數量之 MRASRs 來填滿 RAM 108 之整個記憶體。具體來說，MRASRs 之數量定義 RAM 108 之顆粒狀態 (granularity)，RAM 108 之顆粒狀態與大小定義各 MRASR 110a-n 之記憶體大小。舉例來說，假如 RAM 108 是一 32 千位元組的 RAM 且顆粒狀態 32 是所需的，則各 MRASR 110a-n 之記憶體大小是 1 Kbyte。

第 1 圖係顯示本發明多埠口記憶體系統 100 之一「完全接線」版本，其中提供有一足夠數量之匯流排，使得各 MRASR 110a-n 之各埠口具有其各自的匯流排組。對各有 m 個埠口之 n 個 MRASR 來說，本發明多埠口記憶體系統 100 之完全接線版本必須被提供有 n 乘以 m (下述以 "nm" 表示) 的匯流排組或「通道」。各同步通道可包含一或多個：

1) 一同步寫入資料匯流排 112，用以在一同步寫入至 MRASR 110a-n 期間，提供資料 (SYNCWRDATA) 至一 MRASR 110a-n 中；

2) 一同步讀取資料匯流排 114，用以在從 MRASR

五、發明說明 ()

110a-n 同步讀取期間，接收來自 MRASR 110a-n 之資料 (SYNCRDDATA)；

3) 一同步讀取位址匯流排 116，用以提供儲存在 MRASR 110a-n 內資料之位址 (SYNCRDADDR) 至 MRASR 110a-n，其中資料從 MRASR 110a-n 被同步讀取；

4) 一同步寫入位址匯流排 118，用以提供 MRASR 110a-n 內記憶體位置之一位址 (SYNCWRADDR) 至一 MRASR 110a-n，其中資料被同步寫入至 MRASR 110a-n 中；

5) 一同步讀取命令匯流排 120，用以提供一同步讀取命令 (SYNCRD) 至一 MRASR 110a-n 中；

6) 一同步寫入命令匯流排 122，用以提供一同步寫入命令 (SYNCWR) 至一 MRASR 110a-n 中；

7) 一同步讀取確認匯流排 124，用以接收來自一 MRASR 110a-n 之一確認信號 (SYNCRDACK)，而提出至 MRASR 110a-n 之一同步讀取命令會經由 MRASR 110a-n 執行；以及

8) 一同步寫入確認匯流排 126，用以接收來自一 MRASR 110a-n 之一確認信號 (SYNCWRACK)，而提出至 MRASR 110a-n 之一同步寫入命令會經由 MRASR 110a-n 執行；

以較佳的情況而言，各同步讀取通道包含一同步讀取資料匯流排 114、一同步讀取位址匯流排 116、一同步讀取命令匯流排 120 與一同步讀取確認匯流排 124；以及各同步寫入通道最好包含一同步寫入資料匯流排

五、發明說明()

112、一同步寫入位址匯流排 118、一同步寫入命令匯流排 122 與一同步寫入確認匯流排 126。各非同步通道可包含一或多個：

1)一非同步寫入資料匯流排 136，用以在一非同步寫入至 MRASR 110a-n 期間，提供資料 (ASYNCWRDATA) 至一 MRASR 110a-n 中；

2)一非同步讀取資料匯流排 138，用以在從 MRASR 110a-n 非同步讀取期間，接收來自 MRASR 110a-n 之資料 (ASYNCRDDATA)；

3)一非同步讀取位址匯流排 140，用以提供儲存在 MRASR 110a-n 內資料之位址 (ASYNCRDADDR) 至 MRASR 110a-n，其中資料從 MRASR 110a-n 被非同步讀取；

4)一非同步寫入位址匯流排 142，用以提供 MRASR 110a-n 內記憶體位置之一位址 (ASYNCWRADDR) 至一 MRASR 110a-n，其中資料被非同步寫入至 MRASR 110a-n 中；

5)一非同步讀取命令匯流排 128，用以提供一非同步讀取命令 (ASYNCRD) 至一 MRASR 110a-n 中；

6)一非同步寫入命令匯流排 130，用以提供一非同步寫入命令 (ASYNCWR) 至一 MRASR 110a-n 中；

7)一非同步讀取確認匯流排 132，用以接收來自一 MRASR 110a-n 之一確認信號 (ASYNCRDACK)，而提出至 MRASR 110a-n 之一非同步讀取命令會經由 MRASR 110a-n 執行；以及

8)一非同步寫入確認匯流排 134，用以接收來自一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 ()

MRASR 110a-n 之一確認信號(ASYNCWRACK)，而提出至 MRASR 110a-n 之一非同步寫入命令會經由 MRASR 110a-n 執行；

以較佳的情況而言，各非同步讀取通道包含一非同步讀取資料匯流排 138、一非同步讀取位址匯流排 140、一非同步讀取命令匯流排 128 與一非同步讀取確認匯流排 132；以及各非同步寫入通道最好包含一非同步寫入資料匯流排 136、一非同步寫入位址匯流排 142、一非同步寫入命令匯流排 130 與一非同步寫入確認匯流排 134。

請參照第 1 圖，假定各 MRASR 110a-n 具有 p 個同步埠口與 q 個非同步埠口，則本發明多埠口記憶體系統 100 最好包含：1) np 個同步與 nq 個非同步寫入資料匯流排 112a-np, 136a-nq；2) np 個同步與 nq 個非同步讀取資料匯流排 114a-np, 138a-nq；3) np 個同步與 nq 個非同步讀取位址匯流排 116a-np, 140a-nq；4) np 個同步與 nq 個非同步寫入位址匯流排 118a-np, 142a-nq；5) np 個同步與 nq 個非同步讀取命令匯流排 120a-np, 128a-nq；6) np 個同步與 nq 個非同步寫入命令匯流排 122a-np, 130a-nq；7) np 個同步與 nq 個非同步讀取確認匯流排 124a-np, 132a-nq；8) np 個同步與 nq 個非同步寫入確認匯流排 126a-np, 134a-nq。舉例來說，假如本發明 RAM 108 是一具有 $n=32$ 之顆粒狀態之 32 Kbyte RAM，以及各 MRASR 具有 $m=5$ 個埠口，兩個是同步 ($p=2$) 以及三個是非同步 ($q=3$)，則本發明多埠口記憶體系統 100 之完全接線版本需要有 $nm=32 \times 5=160$ 個匯流排組(定義

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

160 個通道)，包含 $np=32 \times 2=64$ 個同步匯流排組與 $nq=32 \times 3=96$ 個非同步匯流排組。如下所述，在許多情況下(例如由於空間的要求)，使用如此大量的匯流排是很不切實際的，並且最好使用明顯少數量的匯流排組(例如 5 至 10 個匯流排組)。

請參照第 1 圖，各同步裝置 102a-x 包含一同步匯流排組 144a-x，用以傳送同步讀取與寫入命令至記憶體分發/控制器 106 中，並且用以完成同步讀取與寫入命令(經由接收資料等，傳送資料/位址至記憶體分發/控制器 106 中)，以及各非同步裝置 104a-y 包含一非同步匯流排組 146a-y，用以傳送非同步讀取與寫入命令至記憶體分發/控制器 106 中，並且用以完成非同步讀取與寫入命令。記憶體分發/控制器 106、RAM 108 與同步裝置 102a-x 都接收一系統時脈(CLKIN)。

一般來說，記憶體分發/控制器 106 接收來自同步裝置 102a-x 之同步要求(例如同步讀取與寫入命令)、接收來自非同步裝置 104a-y 之非同步要求(例如非同步讀取與寫入命令)以及傳送這些要求至 RAM 108 之適當同步與非同步通道中。一旦 RAM 108 執行一要求命令，RAM 108 會傳送(經由記憶體分發/控制器 106)要求命令已執行之確認通知給要求的裝置。舉例來說，假如記憶體分發/控制器 106 接收到來自同步裝置 102a-x 之一之同步讀取命令，記憶體分發/控制器 106 從要求的同步裝置 102a-x 獲得被讀取資料之位址，記憶體分發/控制器 106 會確認哪一個同步讀取位址匯流排 114a-np 是一「合適的」匯流排以 伺服此要求(例如記憶體分發/

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 ()

控制器 106 執行一記憶體繪圖功能以確認此要求資料之適當 MRASR 位址 (SYNCRDADDR)，以及哪一個同步讀取位址匯流排 114a-np 伺服含有被讀取資料之 MRASR)，以及記憶體分發/控制器 106 傳送位址 (SYNCRDADDR)至確認的同步讀取位址匯流排 114a-np。一旦 MRASR 執行讀取命令，確認信號 (SYNCRDACK) 會從 MRASR 被傳送至記憶體分發/控制器 106 (經由同步讀取確認匯流排 124a-np 之一)，並且從記憶體分發/控制器 106 傳送至要求的同步裝置 102a-x (經由同步匯流排組 102a-x 之一)。

假如無通道存在於適當的 MRASR (例如，假如用於伺服 MRASR 之所有的同步讀取位址匯流排 114a-np 都在使用中) 中，記憶體分發/控制器 106 會拖延此讀取命令。MRASR 也可能拖延此讀取命令如下所述。應注意的是，當使用本發明之多埠口記憶體系統 100 之「完全接線」實作時，拖延未必會發生，但若是大量同時發生的命令被送至相同的 MRASR 時則可能發生。

假如記憶體分發/控制器 106 接收到來自非同步裝置 104a-y 之一之非同步讀取命令時，記憶體分發/控制器 106 會執行一類似的操作。記憶體分發/控制器 106 從要求的非同步裝置 104a-y 中獲得被讀取資料的位址，確認哪一個非同步讀取位址匯流排 140a-nq 是一「合適的」匯流排以伺服此要求，以及傳送適當的 MRASR 位址 (ASYNCRDADDR) 至確認的非同步讀取位址匯流排 140a-nq。一旦 MRASR 執行讀取命令，確認信號 (ASYNCRDACK) 會從 MRASR 被傳送至記憶體分發/控

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

制器 106(經由非同步讀取確認匯流排 132a-nq 之一)，並且從記憶體分發/控制器 106 傳送至要求的非同步裝置 104a-y(經由非同步匯流排組 146a-y 之一)。假如無通道存在於適當的 MRASR(例如，假如用於伺服 MRASR 之所有的非同步讀取位址匯流排 140a-nq 都在使用中)中，記憶體分發/控制器 106(及/或 MRASR)會拖延此讀取命令。然而，由於同步裝置 102a-x 及非同步裝置 104a-y 上運作之多數應用之獨立本質，因此不論是在同步或非同步要求期間，介於應用間之記憶體重疊的數量一般是很少且拖延之發生是罕見的。

第 2 圖為 MRASR 200 之示意圖，其代表第 1 圖之任一 MRASRs 110a-n 的一較佳實施例。請參照第 2 圖，MRASR 200 包含兩個非同步埠口(例如一非同步讀取埠口 202 及一非同步寫入埠口 204)以及三個同步埠口(例如一第一同步讀取埠口 206、一第二同步讀取埠口 208 及一同步寫入埠口 210)。MRASR 200 使用一 RAM 212(例如 1 Kbyte RAM)且經由第一多工器 214、第一暫存器組 216、第二暫存器組 218、第一 AND 閘 220 與第二 AND 閘 222 耦接至非同步讀取埠口 202 與 204。RAM 212 經由第一多工器 214、第二多工器 224、第三暫存器組 226、第四暫存器組 228 與第五暫存器組 230 耦接至同步埠口 206-210。並且也提供有第一多工器控制 232(用以控制第一多工器 214)與第二多工器控制 234(用以控制第二多工器 224)。第一多工器控制 232 耦接第一正反器 236 之輸出、第二正反器 238 之輸出、第二多工器控制 234 之輸出及 RAM 212 之處理終端

五、發明說明()

(EOP)輸出端。第二多工器控制 234 耦接第一多工器控制 232 之輸出、RAM 212 之 EOP 輸出端及第三 AND 閘 240 之輸出。

在操作中，來自同步裝置 102a-x 及非同步裝置 104a-y 之同步及非同步要求，會經由記憶體分發/控制器 106 被送至 MRASR 200 中。如下所述，記憶體分發/控制器 106 最好是監視各 MRASR，以便在通道都佔線時，保證(ensure)要求不會被送至 MRASR 之通道上。請參照第 2 圖之 MRASR 200，記憶體分發/控制器 106 最好是監視 RAM 212 之 ASYNCACK 輸出，並保證 RAM 212 之 ASYNCACK 輸出處於非致動態(例如具有一低邏輯位準)且先於送出一非同步要求至 MRASR 200 中。記憶體分發/控制器 106 也會監視 RAM 212 之 SYNCACK 輸出，且最好在送出一同步要求至 MRASR 200 前，保證 RAM 212 之 SYNCACK 輸出是非致動態(例如具有一低邏輯位準)。如下所述並參照第 3-6E 圖，記憶體分發/控制器 106 也會監視 ASYNCACK/SYNCACK 輸出在其送出一非同步/同步要求至 MRASR 時，以便保證在送出一額外非同步/同步要求至 MRASR 前，接收到來自 MRASR 之確認信號(表示此要求功能已被執行)。

當 ASYNCACK 輸出是致動態時(例如具有一高邏輯位準)，非同步讀取埠口 202 經由第一 AND 閘 220 被閘道區隔，以及非同步寫入埠口 204 經由第二 AND 閘 222 被閘道區隔；以及當 SYNCACK 輸出是致動時，CLKIN 信號經由第三 AND 閘 240 被閘道區隔，使得第一同步讀取埠口 206、第二同步讀取埠口 208 及同步寫

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

入埠口 210 無法分別經由第三暫存器組 226、第四暫存器組 228 與第五暫存器組 230 被門鎖住。應注意的是，一般來說，分離的 ASYNCACK 輸出與分離的 SYNCACK 輸出可被提供於 MRASR 之各埠口(例如，如第 1 圖所示)。然而，對第 2 圖之 MRASR 200 來說，一單一 ASYNCACK 輸出被用於非同步埠口 202 與 204，以及一單一 SYNCACK 輸出被用於同步埠口 206-210。

假定無同步拖延發生(例如 SYNCACK 是非致動)，CLKIN 之前緣分別門鎖第一同步讀取埠口 206、第二同步讀取埠口 208 與同步寫入埠口 210 上之任何致動要求信號至第三暫存器組 226、第四暫存器組 228 與第五暫存器組 230 中(例如門鎖在位址與寫入資料)。此後，假如非同步讀取埠口 202 及非同步寫入埠口 204 都不含一致動非同步要求，第二多工器控制 234 與第一多工器控制 232 導引第二多工器 224 與第一多工器 214 送出(submit)被暫存器組 226-230 門鎖之任何同步命令至 RAM 212 中。同步要求會在一預定次序組並經由第二多工器控制 234 被送至 RAM 212 中。

在非同步讀取埠口 202 及/或非同步寫入埠口 204 上之非同步要求的事件中，假定 ASYNCACK 輸出不是致動態，則位址及寫入資料(假如任何)會被門鎖至第一暫存器組 216 及/或第二暫存器組 218 中。為回應被門鎖至第一暫存器組 216 中之資料，第一正反器 236 會被設定(set)，以及為回應被門鎖至第二暫存器組 218 中之資料，第二正反器 238 會被設定。第一正反器 236 及/或第二正反器 238 之設定狀態會導引第一多工器控制

五、發明說明()

232 送出任何被門鎖的非同步要求至 RAM 212 中，使得 RAM 212 之進行中的操作儘速完成(例如當 RAM 212 之 EOP 輸出是非致動態時)。非同步埠口 202 與 204 因此具有超過同步埠口 206-210 之優先權，被門鎖在第三暫存器組 226、第四暫存器組 228 及/或第五暫存器組 230 內之任何同步要求會被第一多工器控制 232 及/或第二多工器控制 234 拖延直到完成非同步要求為止。

以較佳的情況而言，非同步埠口 202 與 204 是連續地被選出，非同步埠口操作會在現行致動態上被起始(例如不管 CLKIN 之狀態為何)。假如有一進行中的埠口操作，非同步要求將會儘速開始完成進行中的埠口操作(例如，如非致動 EOP 信號所指示)。如指定所示，任何同步要求最好是被拖延直到滿足所有的非同步要求為止。此外，假定同步操作沒有被拖延，若同步要求都存在於所有三個同步埠口 206-210 上，第一同步讀取埠口 206 上之同步要求最好是被第一執行，第二同步讀取埠口 208 上之同步要求最好是被第二執行，以及同步寫入埠口 210 上之同步要求最好是被第三執行。

可以了解的是，MRASE 200 使用之特別優先權方案(例如非同步要求比同步要求具有還要高的優先權)是任意的，以及同步要求可以比非同步要求被給予較高優先權。MRASE 200 之多工結構的顯著優點是可輕易修改其優先權方案。

如先前所述，在一些環境下，需要使用到大量匯流排之多埠口記憶體系統 100 之完全接線實作是很不切實際的。舉例來說，假定 RAM 108 是一具有 32 個

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

MRASRs 之 32 Kbyte RAM。假如 8 個匯流排組是可利用的，則 8 個匯流排組可被架構如下：兩個匯流排組用來伺服 MRASRs 1-8、兩個匯流排組用來伺服 MRASRs 9-16、兩個匯流排組用來伺服 MRASRs 17-24 以及兩個匯流排組用來伺服 MRASRs 25-32。匯流排組之實際分配是可變動的，但最好是根據同步裝置 102a-x 及非同步裝置 104a-y 之記憶體使用來選擇。匯流排組分配最好可以被動態的變動(例如經由硬體、軟體或其結合者)。

在多埠口記憶體系統 100 之較佳架構中，記憶體分發/控制器 106 保有大約各 MRASR 110a-n 之大小、RAM 108 之顆粒狀態、可用於傳輸非同步及同步要求至各 MRASE 之匯流排數量以及用來轉變非同步/同步位址讀取與寫入至適當 MRASRs 之記憶體繪圖之資訊。記憶體分發/控制器 106 也可設定一優先權介於非同步及同步要求間(例如在非同步要求之前送出同步要求至 RAM 108 中，或反之亦然)。

第 3 圖為第 1 圖之記憶體分發/控制器 106 之較佳實施例的示意圖。在第 3 圖之實施例中，假定各 MRASR 110a-n 使用 3 個同步埠口(一第一同步讀取埠口、一第二同步讀取埠口與一同步寫入埠口)及 2 個非同步埠口(一非同步讀取埠口與一非同步寫入埠口)。也可採用具有其他數量之同步與非同步埠口之其他架構。

請參照第 3 圖，記憶體分發/控制器 106 包含一第一同步讀取埠口控制 302、一第二同步讀取埠口控制 304 與一同步寫入埠口控制 306 且各耦接至同步裝置

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 ()

102a-x 及 RAM 108，以及一非同步讀取埠口控制 308 與一非同步寫入埠口控制 310 且各耦接至非同步裝置 104a-y 及 RAM 108。第一同步讀取埠口控制 302 用以控制傳送同步記憶體要求(來自同步裝置 102a-x 之同步讀取)及介於記憶體分發/控制器 106 與任一 MRASR 110a-n 之第一同步讀取埠口(未顯示)間之確認通知。具體來說，第一同步讀取埠口控制 302 選擇 RAM 108 之適當 MRASR 用以一特定同步記憶體要求，傳送記憶體要求至選擇的 MRASR，接收實行同步記憶體要求之 MRASR 之確認通知，以及傳送確認通知至要求的同步裝置中。第二同步讀取埠口控制 304、同步寫入埠口控制 306、非同步讀取埠口控制 308 與非同步寫入埠口控制 310 分別執行有關於 MRASR 之同步讀取與第二同步讀取埠口、MRASR 之同步寫入與同步寫入埠口、MRASR 之非同步讀取與非同步讀取埠口，以及 MRASR 之非同步寫入與非同步寫入埠口之類似操作。

第 4 圖為第 3 圖之第一同步讀取埠口控制 302 之較佳實施例的示意圖。第二同步讀取埠口控制 304、同步寫入埠口控制 306、非同步讀取埠口控制 308 與非同步寫入埠口控制 310 最好為類似的架構，故此處不再贅述。請參照第 4 圖，第一同步讀取埠口控制 302 包含複數個通道多工器 402a-n 且各分別耦接至任一同步裝置 102a-x 之同步匯流排組 144a-x 及各 MRASR 110a-n 之第一同步讀取埠口(未顯示)。第一同步讀取埠口控制 302 也包含一多工器控制 404 耦接至通道多工器 402a-n(用以控制其之操作)，以及一確認通知控制電路 406

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明()

耦接至各 MRASR 110a-n 之第一同步讀取埠口與任一同步裝置 102a-x 之同步匯流排組 144a-x(經由複數個確認通知多工器 408a-x)。

在操作中，來自同步裝置 102a-x 之一之同步記憶體讀取要求會經由記憶體分發/控制器 106 解碼，若 MRASR 之第一同步讀取埠口被用來執行同步記憶體讀取，記憶體分發/控制器 106 解碼此記憶體要求之較高位元，以確定哪一個通道被裝置所要求。假如多過一個記憶體要求在相同通道上競賽(competes)，則多工器控制 404 會以優先順序排列這些記憶體要求。再者，多工器控制 404 會確認被要求的通道不是在使用中(例如不在伺服先前送出的要求的情況下)。舉例來說，經由一通道送出一同步記憶體讀取要求至 MRASR 之後，多工器控制 404 會監視此通道(例如經由確認通知控制電路 406)，以確定此送出的同步記憶體讀取要求是否已被執行(例如通道目前未被佔用(free))。假如要求的通道是在使用中，記憶體分發/控制器 106 會拖延同步記憶體讀取要求直到通道是空閒(free)為止。來自 MRASR 之各同步記憶體讀取確認通知會從確認通知控制電路 406 被傳送至確認通知多工器 408a-x，並且從確認通知多工器 408a-x 被傳送至要求裝置中。

值得注意的是，一般任一同步裝置 102a-x 及任一非同步裝置 104a-y 能夠要求 RAM 108 之完整位址範圍。記憶體分發/控制器 106 解碼各要求裝置之較高位元，以確定哪一個通道被裝置所要求。假如相同通道之任何先前要求未被確認，記憶體分發/控制器 106 會拖

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 ()

延此要求裝置。然而，假如要求的通道是空閒的(或變成空閒)，則記憶體分發/控制器 106 會遞送要求的位址至通道上，並且此要求會經由適當的 MRASR 來執行。

假如兩個裝置在不同的 MRASR 通道邊界中要求存取位址，此時不會有通道衝突存在，這些要求可同時被處理而不論是同步或非同步。然而，假如兩個裝置在相同週期上要求相同通道，記憶體分發/控制器 106 只會伺候兩裝置之一並拖延另一裝置。經由維持高度可用通道之數量並分離非同步與同步要求，通道衝突之可能性可被大大地降低。

第 5A 圖至第 5E 圖為在同步讀取及寫入操作期間，第 1 圖之多埠口記憶體系統 100 之操作的時序圖。請參照第 1 圖與第 5A 圖，在同步裝置 102-x 之一發出一同步讀取命令(SYNCRD)至記憶體分發/控制器 106 之後，記憶體分發/控制器 106 會確認 RAM 108 之哪一個 MRASRs 100a-n 含有被讀取的資料，接著選擇一通道給經確認的 MRASR，然後傳送同步讀取命令(SYNCRD)至 MRASR 中。在時序 t1，經確認的 MRASR 接收此讀取命令(SYNCRD)及要求的資料之位址(SYNCRDADDR)，並且隨後馬上執行讀取命令之確認(SYNCRDACK)。此要求資料(SYNCRDDATA)會被放置在適當的同步讀取資料匯流排上以傳送至記憶體分發/控制器 106，接著傳送至要求的同步裝置中。

在第 5B 圖中，第一與第二同步讀取命令會經由一或多個同步裝置 102a-x，依序被送至記憶體分發/控制器 106 中。在回應當中，記憶體分發/控制器 106 傳送

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 ()

第一同步讀取命令至適當的 MRASR。在時序 t_1 ，MRASR 接收第一同步讀取命令 (SYNCRD) 及要求的資料之位址 (SYNCRDADDR)，並且隨後馬上執行第一讀取命令之確認 (SYNCRDACK)。此要求資料 (SYNCRDDATA) 會被放置在適當的同步讀取資料匯流排上以傳送至記憶體分發/控制器 106 以及至要求的裝置中。在接收第一讀取命令之執行確認通知後，第二同步讀取命令 (SYNCRD) 會被送至 MRASR，並且在時序 t_3 ，MRASR 接收第二同步讀取命令 (SYNCRD) 及此要求資料之位址 (SYNCRDADDR)。隨後馬上執行第二同步讀取命令之 MRASR 確認 (SYNCRDACK)，並且此要求資料 (SYNCRDDATA) 會被放置在適當的同步讀取資料匯流排上以傳送至記憶體分發/控制器 106 以及至要求的裝置中。值得注意的是，記憶體分發/控制器 106 維持追蹤送至 MRASR 之一埠口中之先前要求是否已經過 MRASR 確認，且最好將不會送出另一要求至此埠口中，直到此埠口是可用為止 (例如在接收來自 MRASR 伴隨此埠口之一確認通知後)。

第 5C 圖為類似於第 5B 圖之時序圖的時序圖。然而，在第 5C 圖之時序圖中，第一同步讀取命令 (SYNCRD) 不會立即被確認 (例如 MRASR 是拖延)。因此，記憶體分發/控制器 106 拖延，並且持續輸出第二同步讀取命令 (SYNCRD) 至 MRASR 直到 MRASR 確認在時序 t_4 完成第一同步讀取命令為止。第 5D 與 5E 圖為在一未拖延 (第 5D 圖) 與一拖延的 (第 5E 圖) 同步寫入要求期間，第 1 圖之多埠口記憶體系統 100 的類似操作。第 6A-6E 圖為

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明()

多埠口記憶體系統 100 之非同步讀取及寫入操作，其類似於第 5A-5E 圖所述之同步讀取及寫入操作。

先前描述僅揭露出本發明之較佳實施例，任何熟習此項技藝者，在本發明之範圍內，皆可針對上述揭露之設備及方法做各種更動。例如，可使用具有任何數量之 MRASRs(具有任何數量之埠口)及具有任何數量之通道之任何尺寸的 RAM 108。

因此，雖然本創作已以較佳實施例揭露如上，然其並非用以限定本創作，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要 (發明之名稱：)

具有非同步及同步協定之多埠口記憶體

一種多埠口記憶體，其包含用以接收同步記憶體要求的裝置、用以接收非同步記憶體要求的裝置，以及用以同時處理此接收的同步及非同步記憶體要求的裝置。此外另提供使用此多埠口記憶體之系統及方法。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要 (發明之名稱：)

MULTI-PORTED MEMORY WITH
ASYNCHRONOUS AND SYNCHRONOUS PROTOCOL

A multi-port memory is provided that includes means for receiving synchronous memory requests, means for receiving asynchronous memory requests, and means for processing the received synchronous and asynchronous memory requests simultaneously. Systems and methods that employ the multi-port memory are also provided.

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

1. 一種多埠口記憶體，其至少包含：
 - 一用以接收同步記憶體要求之裝置；
 - 一用以接收非同步記憶體要求之裝置；以及
 - 一用以同時處理該接收的同步及非同步記憶體要求之裝置。
2. 如申請專利範圍第 1 項所述之多埠口記憶體，其中該裝置用以接收同步記憶體要求及該裝置用以接收非同步記憶體要求包含記憶體分發裝置，該記憶體分發裝置係用以：
 - 接收的同步及非同步記憶體要求；
 - 經由同步記憶體通道傳送同步記憶體要求至一多埠口記憶體陣列中；以及
 - 經由非同步記憶體通道傳送非同步記憶體要求至該多埠口記憶體陣列中。
3. 如申請專利範圍第 2 項所述之多埠口記憶體，其中該裝置用以同時處理該接收的同步及非同步記憶體要求包含耦接至該記憶體分發裝置之記憶體裝置，該記憶體裝置包含：
 - 一用以接收來自該記憶體分發裝置之同步記憶體要求的裝置；
 - 一用以執行接收的同步記憶體要求的裝置；
 - 一用以傳送經執行的同步記憶體要求之確認通知至該記憶體分發裝置中的裝置；
 - 一用以接收來自該記憶體分發裝置之非同步記憶

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

體要求的裝置；

一用以執行接收的非同步記憶體要求的裝置；以及

一用以傳送經執行的非同步記憶體要求之確認通知至該記憶體分發裝置中的裝置。

4.如申請專利範圍第3項所述之多埠口記憶體，其中該記憶體裝置更包含：

一優先權裝置，用以定義介於執行接收的同步記憶體要求與執行接收的非同步記憶體要求間之一優先權方案。

5.一種多埠口記憶體裝置，其至少包含：

一記憶體分發/控制器，適用於接收來自至少一同步裝置之同步記憶體要求及接收來自至少一非同步裝置之非同步記憶體要求；以及

一記憶體電路，具有耦接至該記憶體分發/控制器之至少一多要求記憶體陣列，該至少一多要求記憶體陣列具有：

複數個同步埠口，適用於接收來自該記憶體分發/控制器之同步記憶體要求；

複數個非同步埠口，適用於接收來自該記憶體分發/控制器之非同步記憶體要求；

一要求處理電路，耦接該複數個同步埠口及該複數個非同步埠口，該要求處理電路適用於處理經由該同步及非同步埠口接收之同步及非同步記憶

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

體要求；以及

一記憶體陣列，耦接該要求處理電路。

6.如申請專利範圍第5項所述之多埠口記憶體裝置，其中該要求處理電路包含：

一第一複數個儲存裝置，耦接該複數個同步埠口，並且適用於儲存在該同步埠口上之同步記憶體要求；

一第二複數個儲存裝置，耦接該複數個非同步埠口，並且適用於儲存在該非同步埠口上之非同步記憶體要求；以及

一優先權電路，耦接該第一與第二複數個儲存裝置及該記憶體陣列，該優先權電路適用於經由該記憶體陣列以優先順序排列執行儲存在該第一複數個儲存裝置內之同步記憶體要求及儲存在該第二複數個儲存裝置內之非同步記憶體要求。

7.如申請專利範圍第6項所述之多埠口記憶體裝置，其中該優先權電路包含：

一第一選擇電路，耦接該第一複數個儲存裝置，並且適用於選擇在儲存在該第一複數個儲存裝置中之同步記憶體要求之間；以及

一第二選擇電路，耦接該第二複數個儲存裝置及該第一選擇電路，該第二選擇電路適用於選擇在儲存在該第二複數個儲存裝置中之非同步記憶體要求與經由該第一選擇電路選擇之一同步記憶體要求之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

間。

8.如申請專利範圍第7項所述之多埠口記憶體裝置，其中該第一選擇電路包含：

一第一多工器，耦接該第一複數個儲存裝置；以及

一第一多工器控制器，耦接該第一多工器，並且適用於控制該第一多工器之一操作。

9.如申請專利範圍第8項所述之多埠口記憶體裝置，其中該第二選擇電路包含：

一第二多工器，耦接該第二複數個儲存裝置及該第一多工器；以及

一第二多工器控制器，耦接該第二多工器及該第一多工器控制器，該第二多工器控制器適用於控制該第二多工器之一操作。

10.如申請專利範圍第5項所述之多埠口記憶體裝置，其中該至少一多要求記憶體陣列更包含：

一開道電路，耦接該複數個同步埠口、該複數個非同步埠口及該記憶體陣列，該開道電路適用於在執行該記憶體陣列之一記憶體要求期間，阻擋至少一該複數個同步埠口及至少一該複數個非同步埠口。

11.如申請專利範圍第5項所述之多埠口記憶體裝置，其中該記憶體電路包含複數個多要求記憶體陣列。

六、申請專利範圍

12.如申請專利範圍第11項所述之多埠口記憶體裝置，其中該記憶體電路包含32 Kbyte之記憶體，以及其中該複數個多要求記憶體陣列包含32個多要求記憶體陣列。

13.如申請專利範圍第11項所述之多埠口記憶體裝置，其中各多要求記憶體陣列包含：

- 一 第一同步讀取埠口；
- 一 第二同步讀取埠口；
- 一 同步寫入埠口；
- 一 非同步讀取埠口；以及
- 一 非同步寫入埠口。

14.一種記憶體電路，其至少包含：

至少一多要求記憶體陣列，該至少一多要求記憶體陣列包含：

複數個同步埠口，適用於接收來自一記憶體/分發控制器之同步記憶體要求；

複數個非同步埠口，適用於接收來自該記憶體/分發控制器之非同步記憶體要求；

一要求處理電路，耦接該複數個同步埠口及該複數個非同步埠口，該要求處理電路適用於處理經由該同步及非同步埠口接收之同步及非同步記憶體要求；以及

一記憶體陣列，耦接該要求處理電路。

六、申請專利範圍

15.如申請專利範圍第 14 項所述之記憶體電路，其中該要求處理電路包含：

一第一複數個儲存裝置，耦接該複數個同步埠口，並且適用於儲存在該同步埠口上之同步記憶體要求；

一第二複數個儲存裝置，耦接該複數個非同步埠口，並且適用於儲存在該非同步埠口上之非同步記憶體要求；以及

一優先權電路，耦接該第一與第二複數個儲存裝置及該記憶體陣列，該優先權電路適用於經由該記憶體陣列以優先順序排列執行儲存在該第一複數個儲存裝置內之同步記憶體要求及儲存在該第二複數個儲存裝置內之非同步記憶體要求。

16.如申請專利範圍第 14 項所述之記憶體電路，更包含複數個多要求記憶體陣列。

17.一種處理非同步及同步記憶體要求之方法，包含：

提供具有一記憶體電路之一記憶體裝置，該記憶體電路包含複數個多要求記憶體陣列，各多要求記憶體陣列具有複數個同步埠口及複數個非同步埠口；

接收一同步記憶體要求；

選擇可伺服該同步記憶體要求之該複數個多要求記憶體陣列之一；

傳送該同步記憶體要求至該經選擇的多要求記憶

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

體陣列中；

接收一非同步記憶體要求；

選擇可伺服該非同步記憶體要求之該複數個多要求記憶體陣列之一；以及

傳送該非同步記憶體要求至該經選擇的多要求記憶體陣列中。

18.如申請專利範圍第 17 項所述之方法，其中傳送該同步記憶體要求至該經選擇的多要求記憶體陣列中，包含確定可伺服該同步記憶體要求之該複數個多要求記憶體陣列之該經選擇對象是否為佔線中，若是的話，延遲傳送該同步記憶體要求至該選擇的多要求記憶體陣列中直到該選擇的多要求記憶體陣列不再是佔線為止。

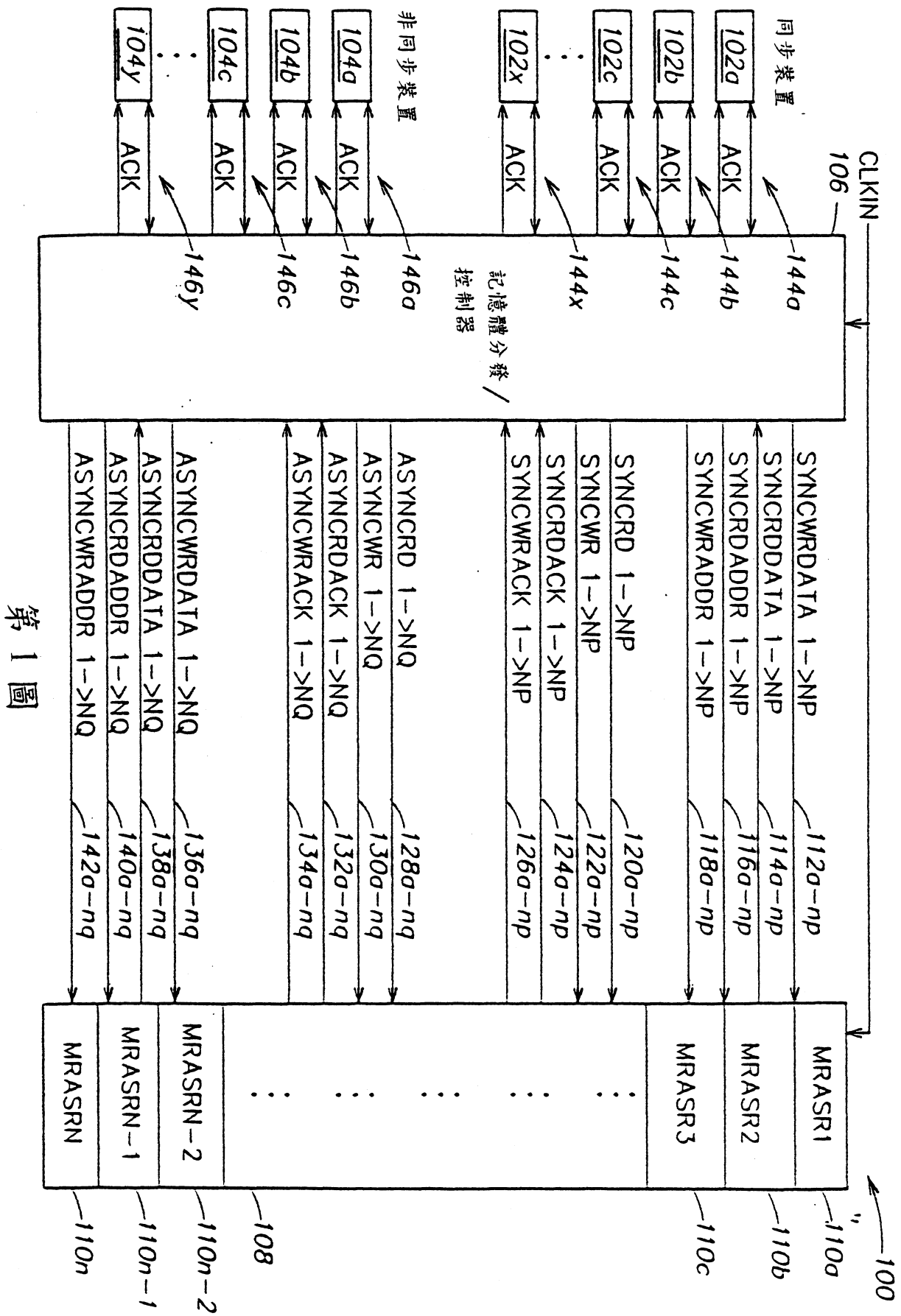
19.如申請專利範圍第 17 項所述之方法，更包含確定可伺服該同步記憶體要求之該複數個多要求記憶體陣列之該經選擇對象及可伺服該非同步記憶體要求之該複數個多要求記憶體陣列之該經選擇對象是否為相同的多要求記憶體陣列，若是的話，以優先順序排列執行該同步及非同步記憶體要求。

(請先閱讀背面之注意事項再填寫本頁)

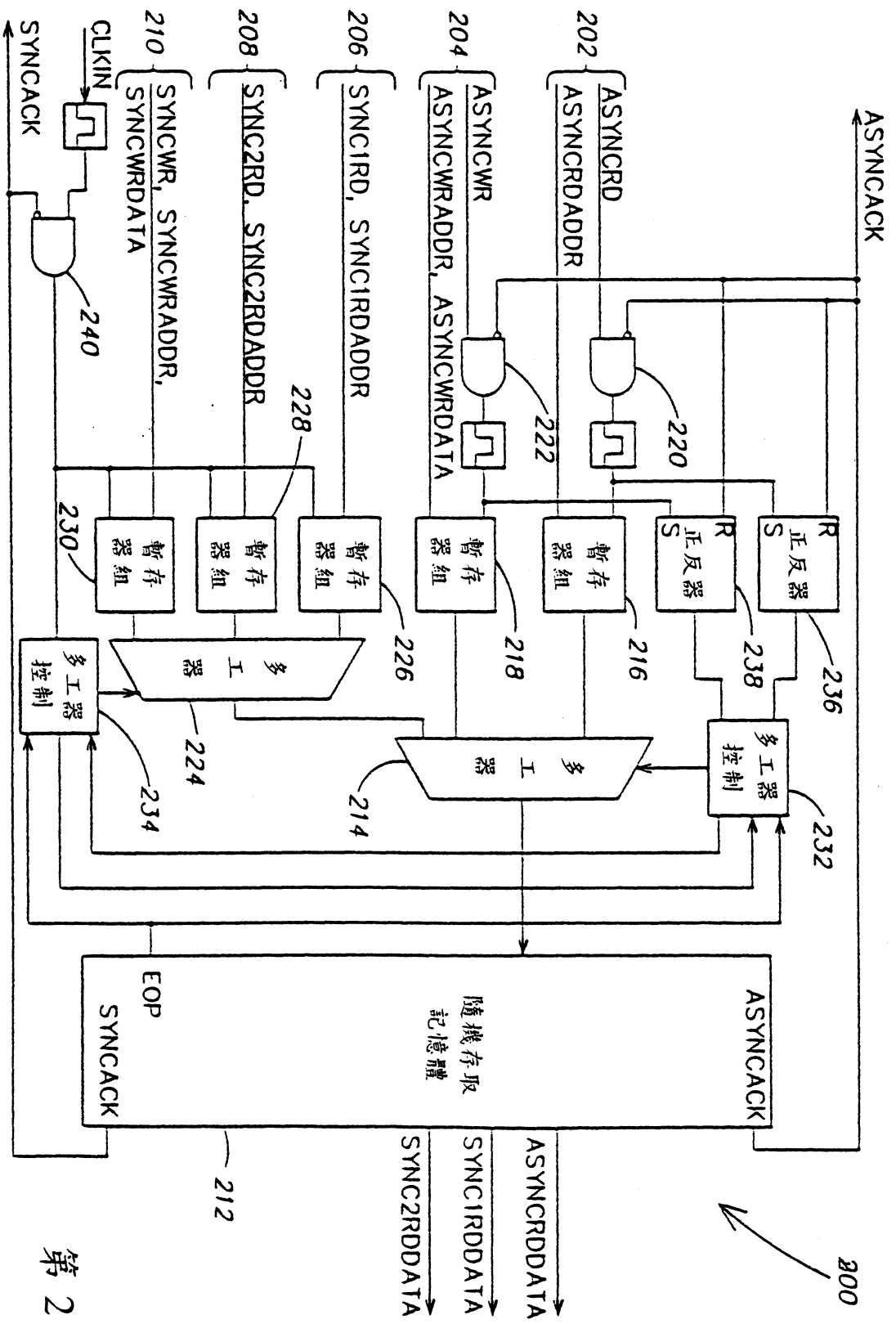
裝

訂

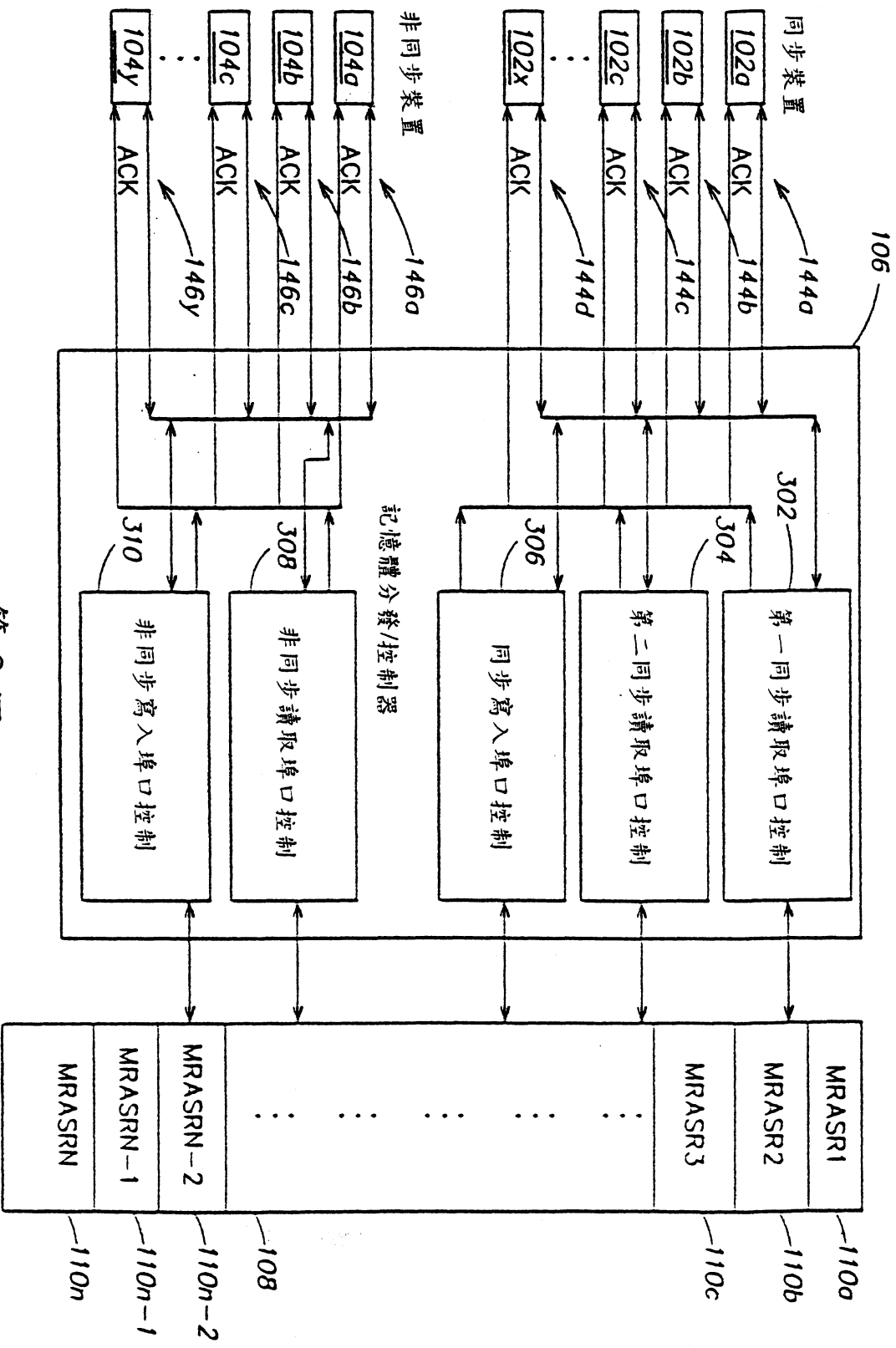
線



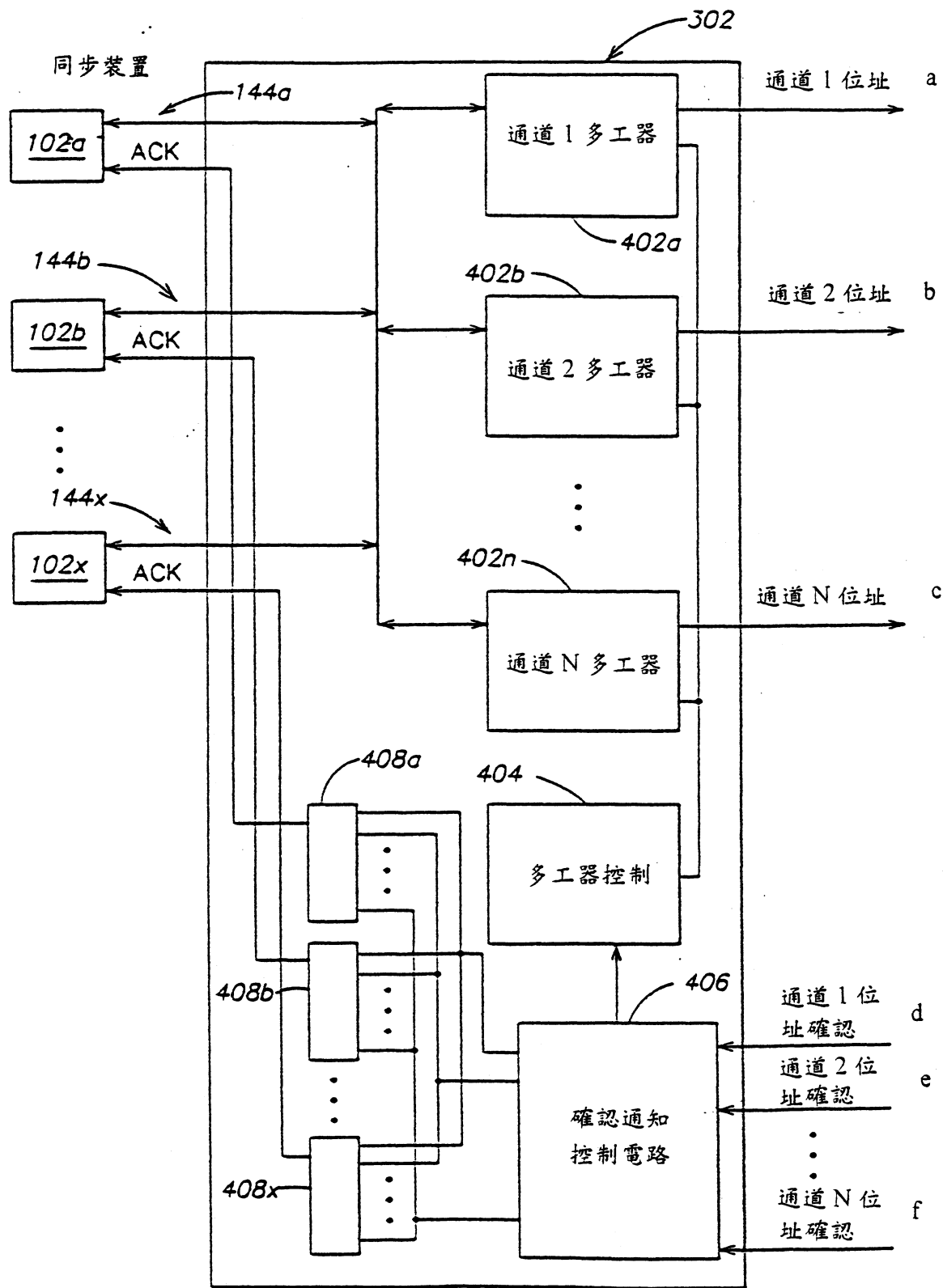
第 1 圖



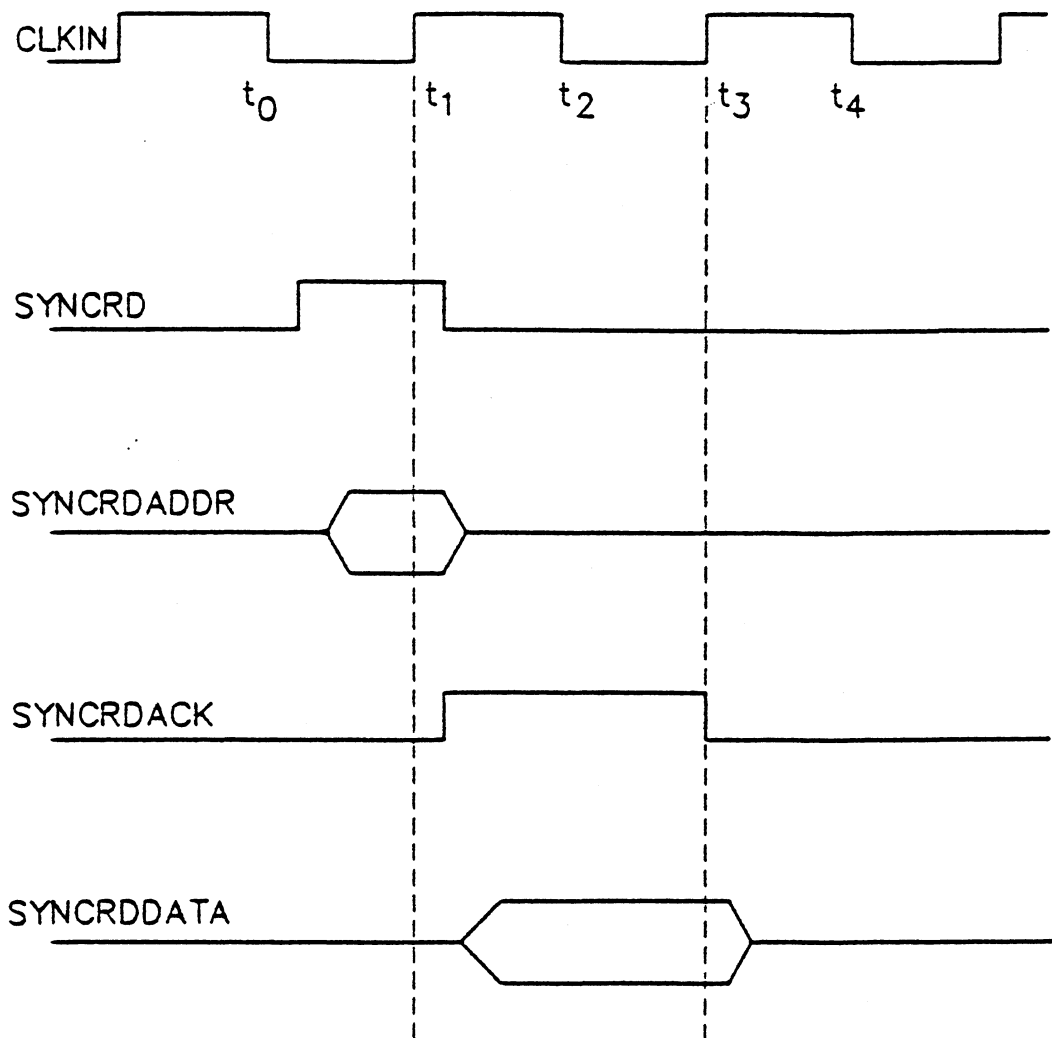
第 2 圖



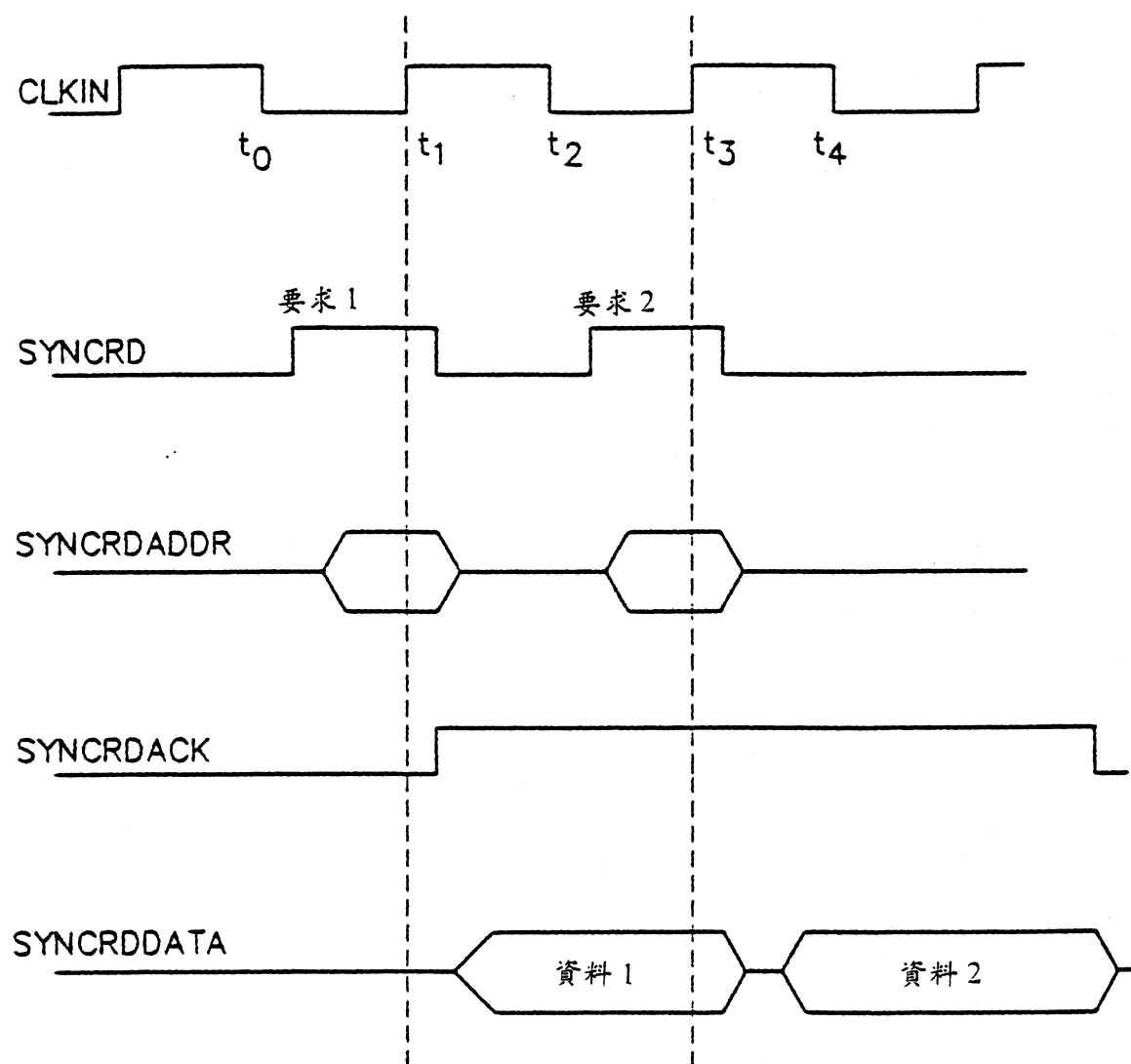
第 3 圖



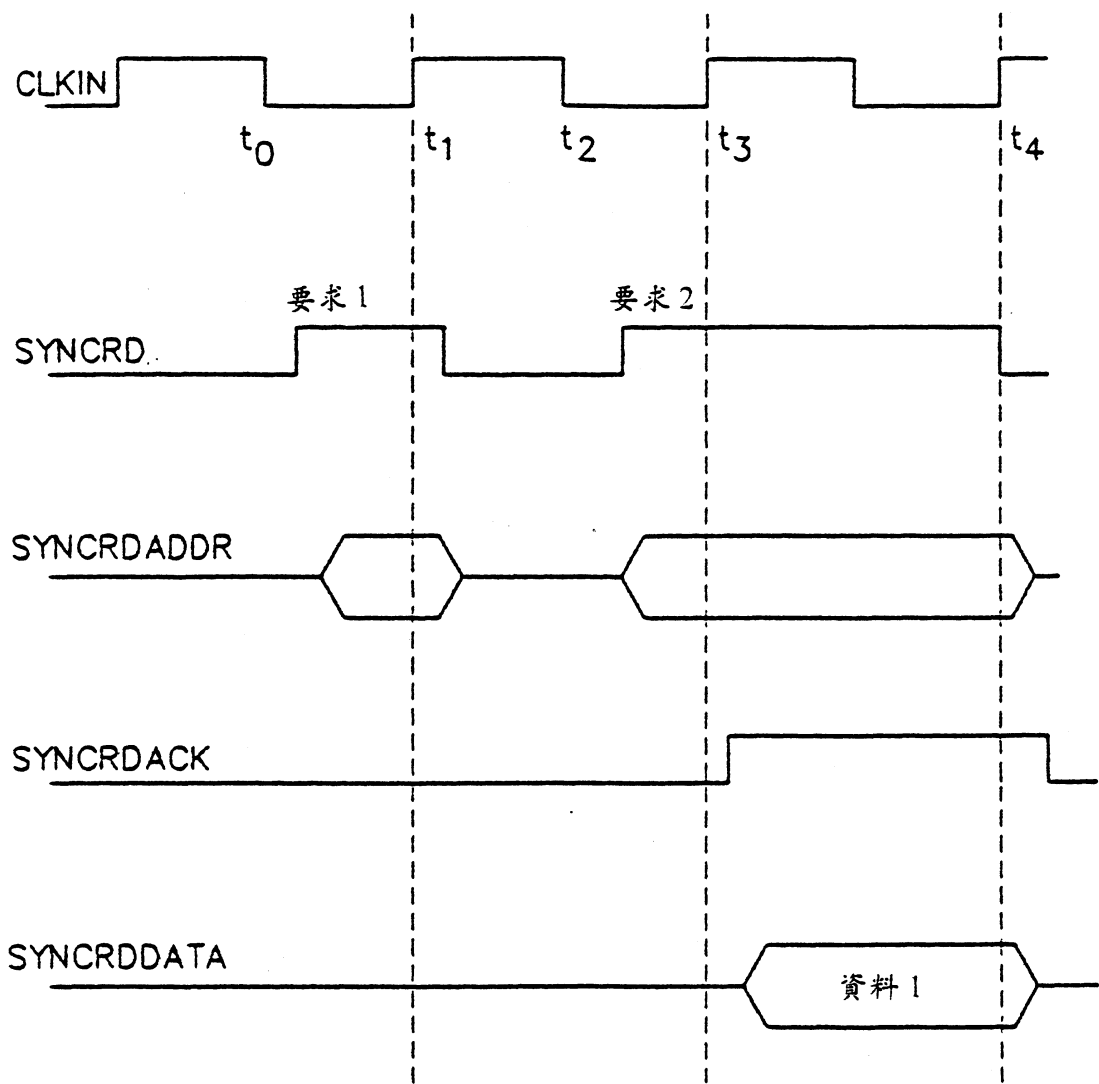
第 4 圖



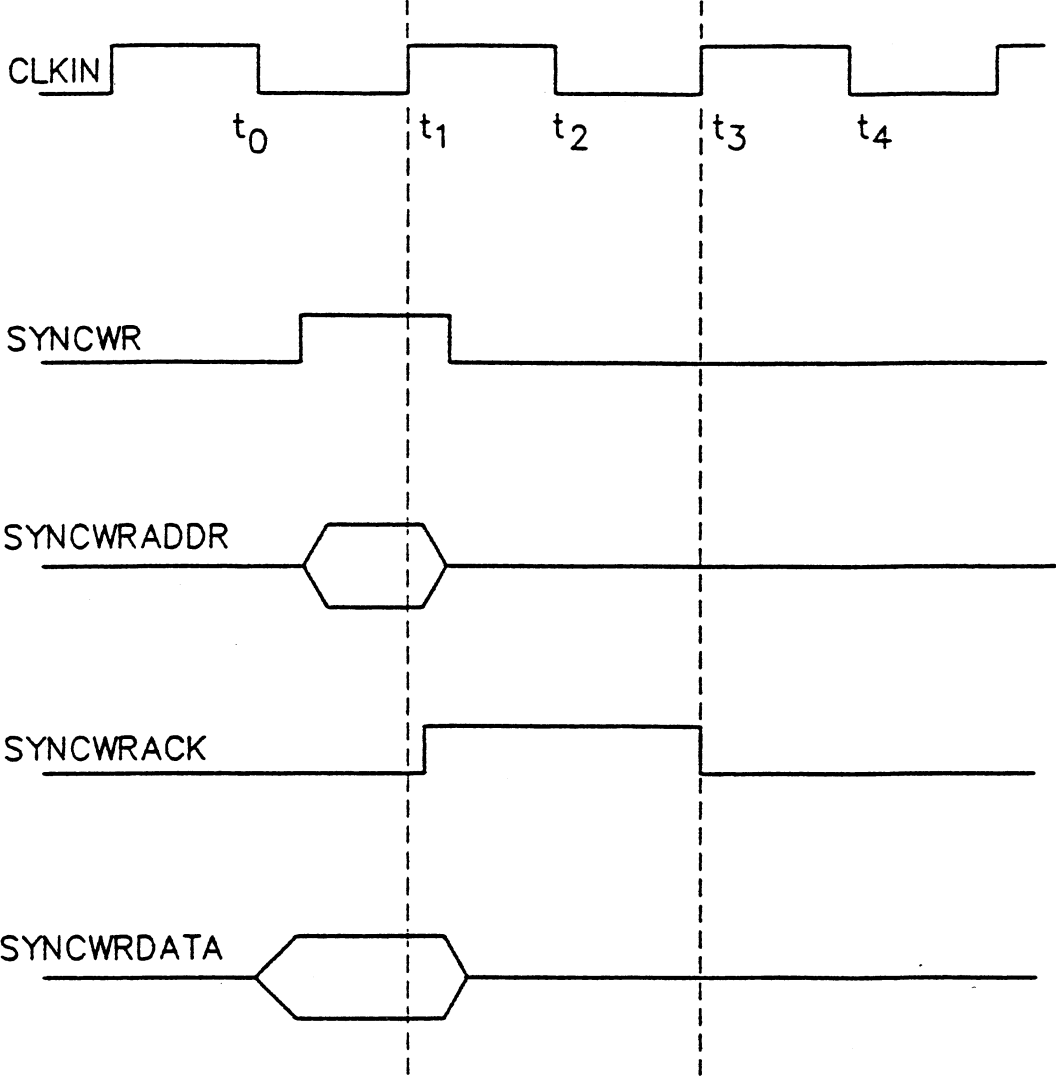
第 5A 圖



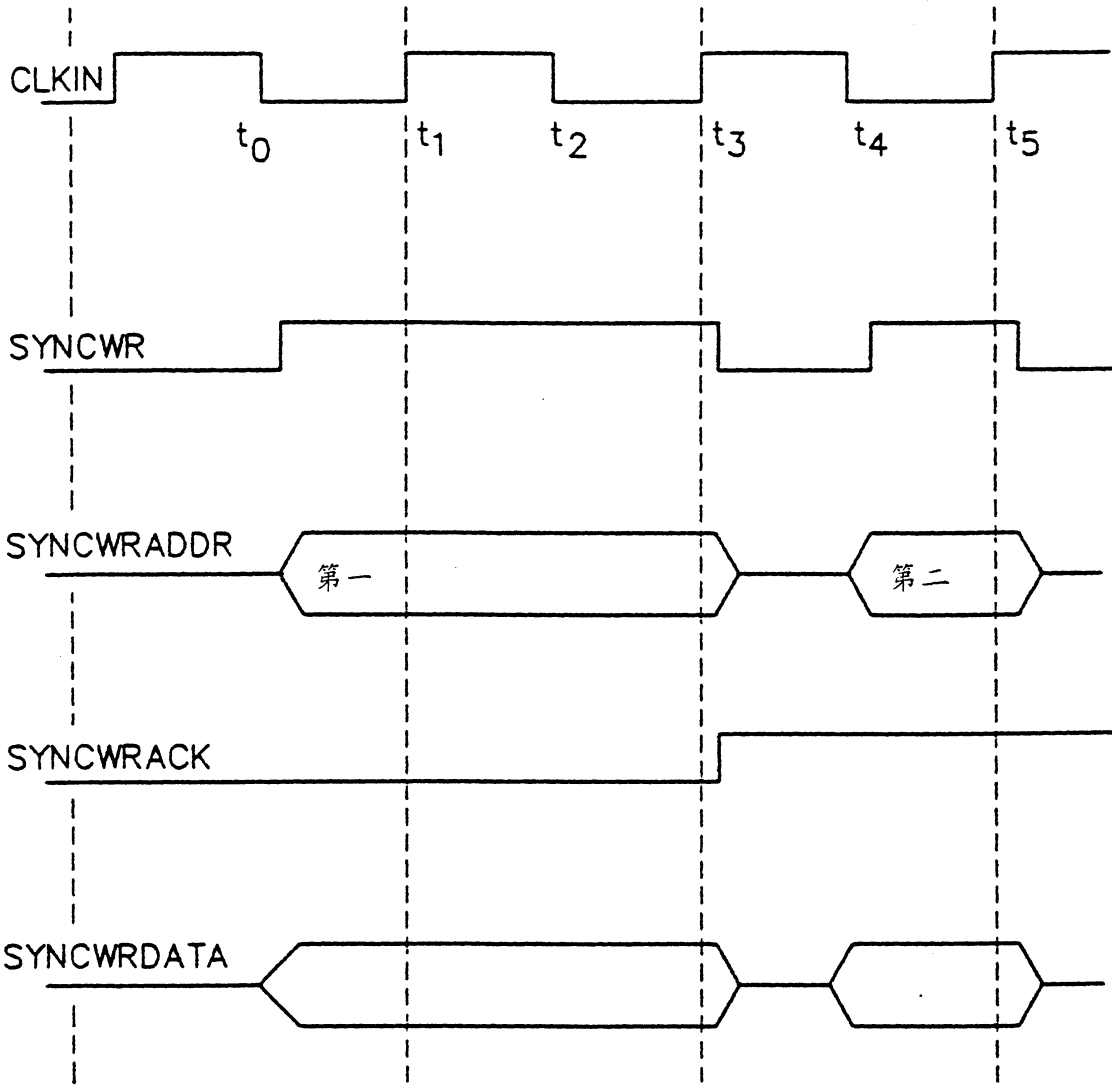
第 5B 圖



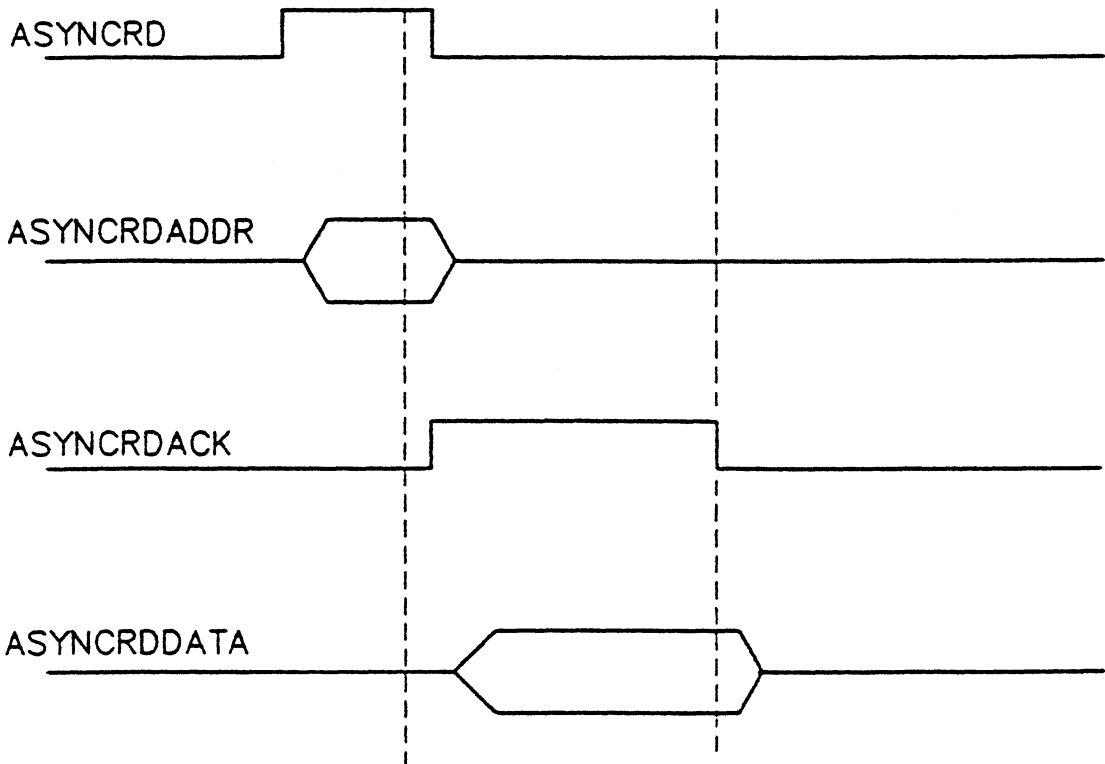
第 5C 圖



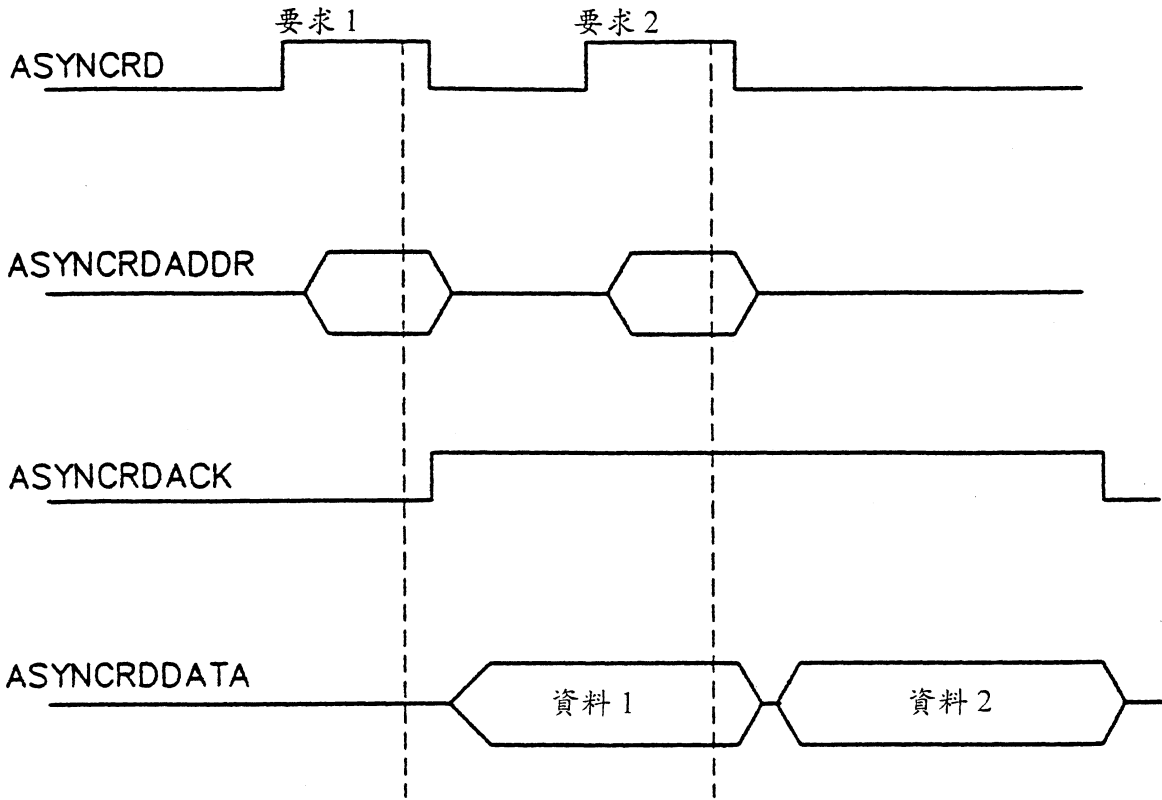
第 5D 圖



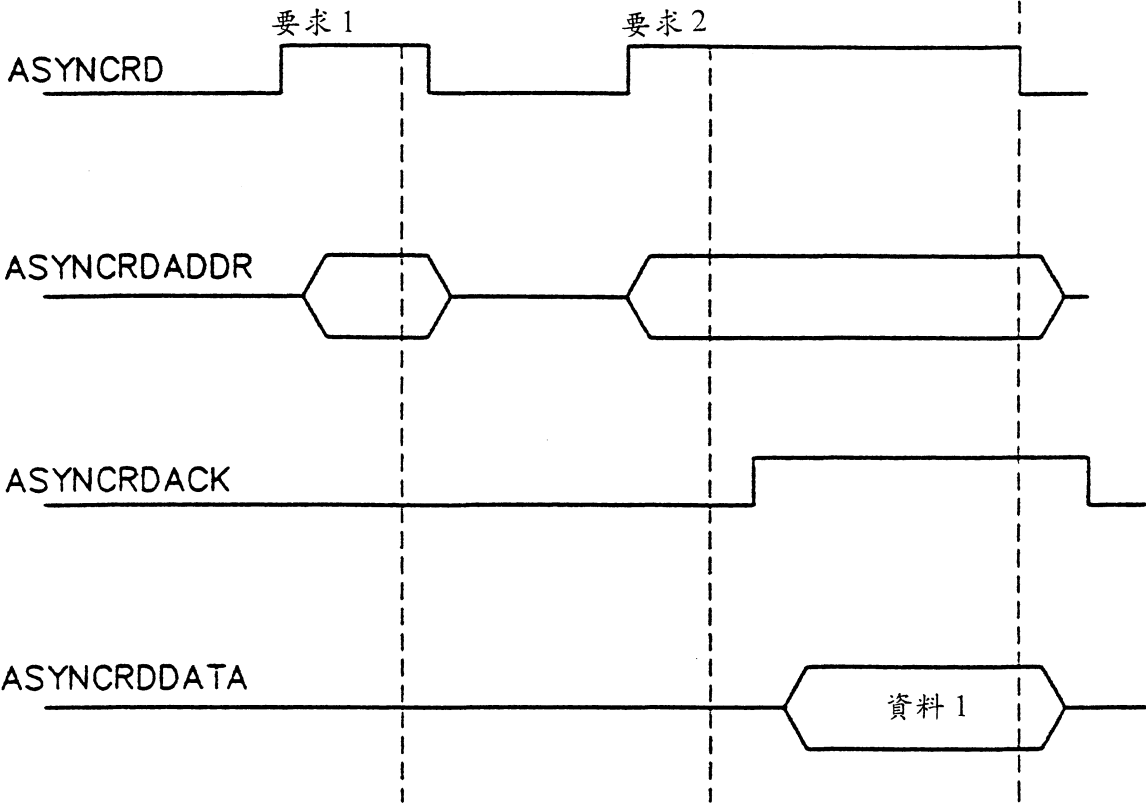
第 5E 圖



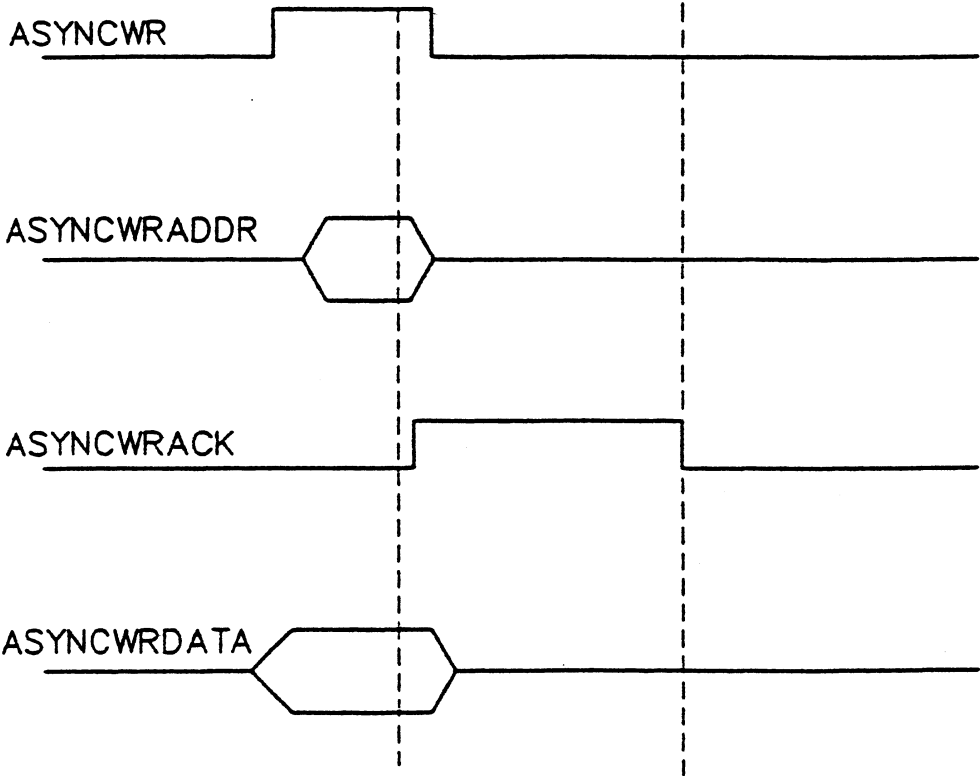
第 6A 圖



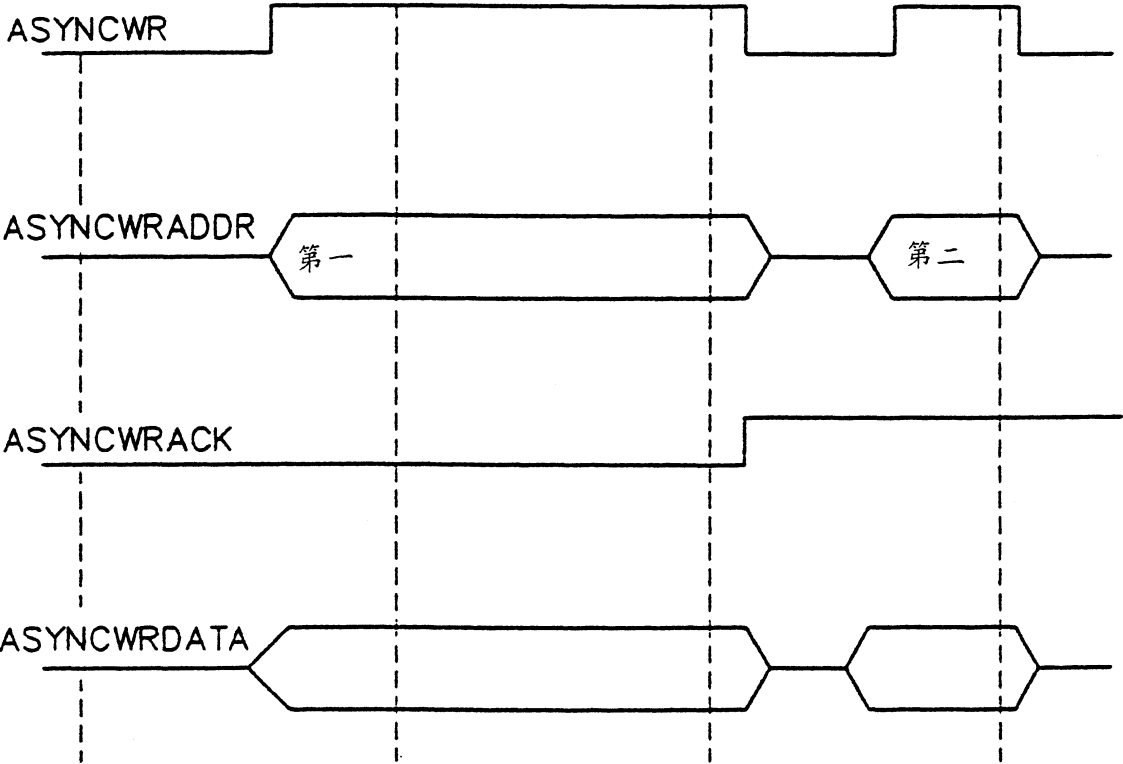
第 6B 圖



第 6C 圖



第 6D 圖



第 6E 圖