

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5889552号
(P5889552)

(45) 発行日 平成28年3月22日 (2016. 3. 22)

(24) 登録日 平成28年2月26日 (2016. 2. 26)

(51) Int. Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G09G 3/20 (2006.01)	G09G 3/20 641E
G09G 3/34 (2006.01)	G09G 3/34 J
G02F 1/133 (2006.01)	G09G 3/20 622E
	G09G 3/20 622P
	請求項の数 4 (全 46 頁) 最終頁に続く

(21) 出願番号	特願2011-142652 (P2011-142652)	(73) 特許権者	000153878
(22) 出願日	平成23年6月28日 (2011. 6. 28)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2012-32798 (P2012-32798A)		神奈川県厚木市長谷398番地
(43) 公開日	平成24年2月16日 (2012. 2. 16)	(72) 発明者	山崎 舜平
審査請求日	平成26年5月7日 (2014. 5. 7)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2010-152411 (P2010-152411)		半導体エネルギー研究所内
(32) 優先日	平成22年7月2日 (2010. 7. 2)	(72) 発明者	平形 吉晴
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	小山 潤
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		審査官	小野 健二
			最終頁に続く

(54) 【発明の名称】 液晶表示装置の駆動方法

(57) 【特許請求の範囲】

【請求項 1】

m行n列 (m、nは、4以上の自然数) のマトリクス状に配設された複数の画素とその後方に設けられるバックライトを備え且つ同じ列に配設された複数の画素は同じ信号線と電氣的に接続される液晶表示装置の1行目乃至A行目 (Aは、m/2以下の自然数) にマトリクス状に配設された複数の画素に対して、第1の色を呈する光の透過を制御するための画像信号を入力し、且つA+1行目乃至2A行目にマトリクス状に配設された複数の画素に対して第2の色を呈する光の透過を制御するための画像信号を入力する期間に、

前記第1の色を呈する光の透過を制御するための画像信号であって、1行目乃至B行目 (Bは、A/2以下の自然数) に配設された複数の画素に係るものの中から、最大値検出回路を用いて第1の最も明るい階調の第1の画像信号を検出し、前記第1の画像信号を表示する第1の画素の透過率を最大とし、前記第1の最も明るい階調に比べて階調が暗くなる割合に応じて画素の透過率を低減するようにガンマ補正して、前記第1の色を呈する光の透過を制御するための画像信号を1行目乃至B行目に配設された複数の画素に出力するステップと、

前記第2の色を呈する光の透過を制御するための画像信号であって、A+1行目乃至A+B行目に配設された複数の画素に係るものの中から、最大値検出回路を用いて第2の最も明るい階調の第2の画像信号を検出し、前記第2の画像信号を表示する第2の画素の透過率を最大とし、前記第2の最も明るい階調に比べて階調が暗くなる割合に応じて画素の透過率を低減するようにガンマ補正して、前記第2の色を呈する光の透過を制御するため

10

20

の画像信号を $A + 1$ 行目乃至 $A + B$ 行目に配設された複数の画素に出力するステップを備え、

s 行目 (s は A 未満の自然数) に配設された複数の画素及び $A + s$ 行目に配接された複数の画素に s 行目に配設された複数の画素用の画像信号が出力された後に、 $A + s$ 行目に配接された複数の画素に $A + s$ 行目に配接された複数の画素用の画像信号が出力され、

次いで、前記 1 行目乃至 B 行目に配設された複数の画素に、透過率が最大の前記第 1 の画素において前記第 1 の画像信号に相当する階調の表示が行われる強さで前記第 1 の色を呈する光を、前記 $A + 1$ 行目乃至 $A + B$ 行目に配設された複数の画素に、透過率が最大の前記第 2 の画素において前記第 2 の画像信号に相当する階調の表示が行われる強さで前記第 2 の色を呈する光を、同時に照射するステップを備える液晶表示装置の駆動方法。

10

【請求項 2】

m 行 n 列 (m 、 n は、4 以上の自然数) のマトリクス状に配設された複数の画素とその後方に設けられるバックライトを備え且つ同じ列に配設された複数の画素は同じ信号線と電氣的に接続される液晶表示装置の 1 行目乃至 A 行目 (A は、 $m / 2$ 以下の自然数) に配設された複数の画素に対して、第 1 の色を呈する光の透過を制御するための画像信号を入力し、且つ $A + 1$ 行目乃至 $2A$ 行目に配設された複数の画素に対して第 2 の色を呈する光の透過を制御するための画像信号を入力する期間に、

1 行目乃至 A 行目を p 個 (p は 2 以上の自然数) に分割したいずれか一の第 1 の領域に配設された複数の画素に前記第 1 の色を呈する光の透過を制御するための画像信号の中から、最大値検出回路を用いて最も明るい階調の第 1 の画像信号を検出し、前記第 1 の画像信号を表示する画素の透過率を最大とし、前記第 1 の最も明るい階調に比べて階調が暗くなる割合に応じて画素の透過率を低減するようにガンマ補正して、前記第 1 の色を呈する光の透過を制御するための画像信号を前記第 1 の領域に出力するステップと、

20

$A + 1$ 行目乃至 $2A$ 行目を q 個 (q は 2 以上の自然数) に分割したいずれか一の第 2 の領域に配設された複数の画素に前記第 2 の色を呈する光の透過を制御するための画像信号の中から、最大値検出回路を用いて最も明るい階調の第 2 の画像信号を検出し、前記第 2 の画像信号を表示する画素の透過率を最大とし、前記第 2 の最も明るい階調に比べて階調が暗くなる割合に応じて画素の透過率を低減するようにガンマ補正して、前記第 2 の色を呈する光の透過を制御するための画像信号を前記第 2 の領域に出力するステップを備え、

s 行目 (s は A 未満の自然数) に配設された複数の画素及び $A + s$ 行目に配接された複数の画素に s 行目に配設された複数の画素用の画像信号が出力された後に、 $A + s$ 行目に配接された複数の画素に $A + s$ 行目に配接された複数の画素用の画像信号が出力され、

30

次いで、前記 p 個の領域を独立して照明できる光源が接続された第 1 のパルス幅変調回路を用いて、 $1 / (p - 1)$ 以下のデューティ比で、前記第 1 の領域に配設された透過率が最大の画素において前記第 1 の画像信号に相当する階調の表示が行われるように前記第 1 の色を呈する光を照射し、前記 q 個の領域を独立して照明できる光源が接続された第 2 のパルス幅変調回路を用いて、 $1 / (q - 1)$ 以下のデューティ比で、前記第 2 の領域に配設された、透過率が最大の画素において前記第 2 の画像信号に相当する階調の表示が行われるように前記第 2 の色を呈する光を照射するステップを備える液晶表示装置の駆動方法。

40

【請求項 3】

請求項 1 又は請求項 2 において、

走査線駆動回路を有し、

前記走査線駆動回路は、第 1 乃至第 m のパルス出力回路を有し、

前記第 A のパルス出力回路からシフトパルスが出力されるタイミングと同じタイミングで、スタートパルスを前記走査線駆動回路に入力することを特徴とする液晶表示装置の駆動方法。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、

前記複数の画素は、トランジスタを有し、

50

前記トランジスタのチャネル形成領域は、化学量論的組成比より酸素が多い絶縁層と接する酸化物半導体を有することを特徴とする液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置の駆動方法に関する。特に、フィールドシーケンシャル方式によって表示を行う液晶表示装置の駆動方法に関する。

【背景技術】

【0002】

液晶表示装置の表示方法として、カラーフィルター方式及びフィールドシーケンシャル方式が知られている。前者によって表示を行う液晶表示装置では、各画素に、特定色を呈する波長の光のみを透過するカラーフィルター（例えば、R（赤）、G（緑）、B（青））を有する複数の副画素が設けられる。そして、副画素毎に白色光の透過を制御し、且つ画素毎に複数の色を混色することで所望の色を形成している。一方、後者によって表示を行う液晶表示装置では、異なる色を呈する複数の光源（例えば、R（赤）、G（緑）、B（青））が設けられる。そして、当該異なる色を呈する複数の光源のそれぞれが点滅を繰り返し、且つ画素毎にそれぞれの色を呈する光の透過を制御することで所望の色を形成している。すなわち、前者は、特定色を呈する光毎に面積分割することで所望の色を形成する方式であり、後者は、特定色を呈する光毎に時間分割することで所望の色を形成する方式である。

【0003】

フィールドシーケンシャル方式によって表示を行う液晶表示装置は、カラーフィルター方式によって表示を行う液晶表示装置と比較し、以下の利点を有する。まず、フィールドシーケンシャル方式によって表示を行う液晶表示装置では、各画素に副画素を設ける必要がない。そのため、開口率を向上させること又は画素数を増加させることが可能である。加えて、フィールドシーケンシャル方式によって表示を行う液晶表示装置では、カラーフィルターを設ける必要がない。つまり、当該カラーフィルターにおける光吸収による光の損失がない。そのため、透過率を向上させること及び消費電力を低減することが可能である。

【0004】

特許文献1では、フィールドシーケンシャル方式によって表示を行う液晶表示装置が開示されている。具体的には、各画素に、画像信号の入力を制御するトランジスタと、該画像信号を保持する信号保持容量と、該信号保持容量から表示画素容量への電荷の移動を制御するトランジスタとが設けられた液晶表示装置が開示されている。当該構成を有する液晶表示装置は、信号保持容量に対する画像信号の入力と、表示画素容量が保持する電荷に応じた表示とを並行して行うことが可能である。

【0005】

また、特許文献2では、バックライト光源の消費電力が低減された液晶表示装置が開示されている。具体的には、R、G、B各色の1画面（1フィールド）中の階調の最大値を検出する最大値検出回路と、画像信号に応じてR、G、B各色の光を重ねないように出力するバックライト光源を備える液晶表示装置である。

【0006】

上述の液晶表示装置は、最大値検出回路が最大の階調を表示する画素を検出し、その開口率（言い換えると液晶の偏向角）が最大となるよう当該画素を駆動し、当該画素において検出された最大の階調を表示するようにバックライト光源の明るさを調整して表示を行う。また、他の階調を表示する画素においては、検出された最大の階調との差に応じて画素の開口率（液晶の偏向角）を低減するように画素を駆動する。R、G、B各色の1画面（1フィールド）毎に、階調が最大となる明るさに合わせてバックライト光源を駆動することで、消費電力の低減を図ることが可能である。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2009-42405号公報

【特許文献2】特開2006-47594号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

上述したように、フィールドシーケンシャル方式によって表示を行う液晶表示装置では色情報が時間分割される。そのため、利用者の瞬きなど短時間の表示の遮りに起因して特定の表示情報が欠落し、よって、当該利用者に視認される表示が本来の表示情報に基づく表示から変化（劣化）すること（カラーブレイク、色割れともいう）がある。

10

【0009】

また、画像信号を用いてバックライト光源が発する光の透過を制限することで階調を表現する液晶表示装置は、バックライト光源が発するエネルギーを無駄にする。そのため、R、G、B各色の1画面（1フィールド）中において、階調が最大となる明るさに合わせて画素とバックライト光源を駆動する特許文献2記載の液晶表示装置は消費電力の低減に一定の効果を発揮する。しかし、最大値検出回路が一画面（1フィールド）内に一画素でもバックライト光源が最大輝度で光る必要がある階調を検出した場合には、他の領域にどのように階調が分布していてもバックライト光源は最大輝度で発光する必要があるが生じ、その結果消費電力を低減することができない。すなわち、明るい階調が全画面に見つからない場合のみ消費電力を低減する効果を奏する。

20

【0010】

そこで、本発明の一態様は、フィールドシーケンシャル方式によって表示を行う液晶表示装置の画質の低下を抑制し、加えて効果的にバックライトの消費電力を低減することを課題の一とする。

【課題を解決するための手段】

【0011】

上記目的を達成するために、本発明はフィールドシーケンシャル方式が適用された液晶表示装置に入力する画像信号の頻度と、各フレームにおいて最も明るい階調を表示する画素の透過率に着眼した。そして、マトリクス状に配設された複数の画素およびバックライトを行方向に複数の領域に分けて画像信号を入力することにより、各画素に対する画像信号の入力頻度を高める構成とすると共に、一の領域に表示する第1の色に係る画像信号の中から、最も明るい階調の信号を検出し、次いで当該信号を表示する画素の透過率を最大とし、当該信号を表示する画素に比べて階調が暗い画素には、暗くなる割合に応じて透過率を低減するように画像信号をガンマ補正する。次いで元の画像信号に相当する表示が該画素において行われるように、バックライトを用いて第1の色の光を一の領域に照射すればよい。また、他の領域においても、一の領域で行った方法と同様な方法で、画像信号をガンマ補正し、且つバックライトを調整して、当該他の領域に他の色の光を一の領域に第1の色を照射するのと同時に照射する。このようにして、画素部を複数の領域に分割し、領域毎に検出された最も明るい階調の画像信号に応じたガンマ補正及びバックライトの調整をして、領域毎に順次色を変えて表示を行えばよい。

30

40

【0012】

すなわち、本発明の一態様は、 m 行 n 列（ m 、 n は、4以上の自然数）のマトリクス状に配設された複数の画素とその後方に設けられるバックライトを備える液晶表示装置の1行目乃至 A 行目（ A は、 $m/2$ 以下の自然数）にマトリクス状に配設された複数の画素に対して第1の色を呈する光の透過を制御するための画像信号を入力し、且つ $A+1$ 行目乃至 $2A$ 行目にマトリクス状に配設された複数の画素に対して第2の色を呈する光の透過を制御するための画像信号を入力する期間において、第1の色を呈する光の透過を制御するための画像信号であって、1行目乃至 B 行目（ B は、 $A/2$ 以下の自然数）に配設された複数の画素に係るものの中から、最大値検出回路を用いて第1の最も明るい階調の第1の画

50

像信号を検出し、前記第1の画像信号を表示する第1の画素の透過率を最大とし、第1の最も明るい階調に比べて階調が暗くなる割合に応じて画素の透過率を低減するようにガンマ補正して、前記第1の色を呈する光の透過を制御するための画像信号を1行目乃至B行目に配設された複数の画素に出力するステップを備える。また、第2の色を呈する光の透過を制御するための画像信号であって、 $A + 1$ 行目乃至 $A + B$ 行目に配設された複数の画素に係るものの中から、最大値検出回路を用いて第2の最も明るい階調の第2の画像信号を検出し、前記第2の画像信号を表示する第2の画素の透過率を最大とし、第2の最も明るい階調に比べて階調が暗くなる割合に応じて画素の透過率を低減するようにガンマ補正して、前記第2の色を呈する光の透過を制御するための画像信号を $A + 1$ 行目乃至 $A + B$ 行目に配設された複数の画素に出力するステップを備える。続いて、前記1行目乃至B行目に配設された複数の画素に、透過率が最大の第1の画素において前記第1の画像信号に相当する階調の表示が行われる強さで第1の色を呈する光を、前記 $A + 1$ 行目乃至 $A + B$ 行目に配設された複数の画素に、透過率が最大の第2の画素において前記第2の画像信号に相当する階調の表示が行われる強さで第2の色を呈する光を、同時に照射するステップを備える液晶表示装置の駆動方法である。

10

【0013】

上記本発明の一態様によれば、 m 行 n 列のマトリクス状に配設された複数の画素を複数の領域に分割し、それぞれの領域で液晶パネルをフィールドシーケンシャル方式で駆動する。また、それぞれの領域において最も明るい階調を表示する液晶素子の透過率を最大とするガンマ補正を施し、さらにバックライトの光の強度を制御する。これにより、カラーブレイク現象を抑制して高品位な画像表示が可能になるだけでなく、液晶表示装置の消費電力を効果的に低減することができる。

20

【0014】

また、本発明の一態様は、 m 行 n 列（ m 、 n は、4以上の自然数）のマトリクス状に配設された複数の画素とその後方に設けられるバックライトを備える液晶表示装置の1行目乃至 A 行目（ A は、 $m / 2$ 以下の自然数）に配設された複数の画素に対して第1の色を呈する光の透過を制御するための画像信号を入力し、且つ $A + 1$ 行目乃至 $2A$ 行目に配設された複数の画素に対して第2の色を呈する光の透過を制御するための画像信号を入力する期間において、1行目乃至 A 行目を p 個（ p は2以上の自然数）に分割したいずれか一の第1の領域に配設された複数の画素に第1の色を呈する光の透過を制御するための画像信号の中から、最大値検出回路を用いて最も明るい階調の第1の画像信号を検出し、前記第1の画像信号を表示する画素の透過率を最大とし、第1の最も明るい階調に比べて階調が暗くなる割合に応じて画素の透過率を低減するようにガンマ補正して、前記第1の色を呈する光の透過を制御するための画像信号を第1の領域に出力するステップを備える。また、 $A + 1$ 行目乃至 $2A$ 行目を q 個（ q は2以上の自然数）に分割したいずれか一の第2の領域に配設された複数の画素に第2の色を呈する光の透過を制御するための画像信号の中から、最大値検出回路を用いて最も明るい階調の第2の画像信号を検出し、前記第2の画像信号を表示する画素の透過率を最大とし、第2の最も明るい階調に比べて階調が暗くなる割合に応じて画素の透過率を低減するようにガンマ補正して、前記第2の色を呈する光の透過を制御するための画像信号を第2の領域に出力するステップを備える。続いて、 p 個の領域を独立して照明できる光源が接続された第1のパルス幅変調回路を用いて、 $1 / (p - 1)$ 以下のデューティ比で、第1の領域に配設された透過率が最大の画素において第1の画像信号に相当する階調の表示が行われるように第1の色を呈する光を照射し、 q 個の領域を独立して照明できる光源が接続された第2のパルス幅変調回路を用いて、 $1 / (q - 1)$ 以下のデューティ比で第2の領域に配設された透過率が最大の画素において前記第2の画像信号に相当する階調の表示が行われるように第2の色を呈する光を照射するステップを備える液晶表示装置の駆動方法である。

30

40

【0015】

上記本発明の一態様によれば、 m 行 n 列のマトリクス状に配設された複数の画素を複数の領域に分割し、それぞれの領域で液晶パネルをフィールドシーケンシャル方式で駆動する

50

。また、それぞれの領域において最も明るい階調を表示する液晶素子の透過率を最大とするガンマ補正を施し、さらにバックライトの光の強度を制御する。これにより、カラーブレイク現象を抑制して高品位な画像表示が可能になるだけでなく、液晶表示装置の消費電力を効果的に低減することができる。

【0016】

加えて、 m 行 n 列 (m 、 n は、4以上の自然数)のマトリクス状に配設された複数の画素とその後方にバックライトを備える液晶表示装置を、少ない数の電源回路を用いて駆動することができ、液晶表示装置の部品点数を削減できる。

【0017】

また、本発明の一態様は、光源としてLEDを適用したバックライトを用いる上述の液晶表示装置の駆動方法である。

10

【0018】

上記本発明の一態様によれば、入力信号に対する応答性が優れ、発光効率が高いLEDをバックライトの光源に適用する。これにより、カラーブレイクと消費電力を低減することができる。

【0019】

また、本発明の一態様は、100Hz以上10GHz以下の周波数で点灯するバックライトを用いる液晶表示装置の駆動方法である。

【0020】

上記本発明の一態様によれば、バックライトに適用した光源が人の目に認識されない速さで駆動できる。これにより、チラツキなど目の疲労の原因を軽減できる。

20

【発明の効果】

【0021】

本発明の一態様の液晶表示装置は、画素部全面において画像信号の入力及びバックライトの点灯を順次行うのではなく、同時に画素部の特定の領域毎に画像信号の入力及びバックライトの点灯を順次行うことが可能である。これにより、当該液晶表示装置の各画素に対する画像信号の入力頻度を向上させることなどが可能になる。その結果、当該液晶表示装置において生じるカラーブレイクなどの表示劣化を抑制し、画質を向上させることが可能である。加えて、画素部の特定の領域毎に画像信号に含まれる最も明るい階調の画像信号を検出することにより、バックライト光源の発光強度をきめ細やかに制御することが可能になる。その結果、当該液晶表示装置の消費電力を効果的に低減することができる。

30

【図面の簡単な説明】

【0022】

【図1】(A)液晶表示装置の構成例を示す図、(B)画素の構成例を示す図。

【図2】(A)走査線駆動回路の構成例を示す図、(B)走査線駆動回路で用いられる信号の一例を示すタイミングチャート、(C)パルス出力回路の構成例を示す図。

【図3】(A)パルス出力回路の一例を示す回路図、(B)～(D)パルス出力回路の動作の一例を示すタイミングチャート。

【図4】(A)信号線駆動回路の構成例を示す図、(B)信号線駆動回路の動作の一例を示す図。

40

【図5】バックライトの構成例を示す図。

【図6】液晶表示装置の動作例を説明する図。

【図7】(A)、(B)パルス出力回路の一例を示す回路図。

【図8】(A)、(B)パルス出力回路の一例を示す回路図。

【図9】液晶表示装置の動作例を説明する図。

【図10】液晶表示装置の動作例を説明する図。

【図11】液晶表示装置の動作例を説明する図。

【図12】液晶表示装置の動作例を説明する図。

【図13】液晶表示装置の動作例を説明する図。

【図14】液晶表示装置の動作例を説明する図。

50

【図 1 5】液晶表示装置の動作例を説明する図。

【図 1 6】液晶表示装置の構成を説明する図。

【図 1 7】(A) ~ (D) トランジスタの具体例を示す図。

【図 1 8】画素のレイアウトの具体例を示す上面図。

【図 1 9】画素のレイアウトの具体例を示す断面図。

【図 2 0】液晶表示装置の具体例を示す(A) 上面図、及び(B) 断面図。

【図 2 1】液晶表示装置の具体例を示す斜視図。

【図 2 2】(A) ~ (F) 電子機器の一例を示す図。

【図 2 3】(A) ~ (E)、(C') ~ (E') 液晶表示装置において用いられる基板の一形態を説明する図。

10

【図 2 4】液晶表示装置の一例を示す図。

【発明を実施するための形態】

【0023】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

【0024】

20

(実施の形態 1)

本実施の形態では、本発明の一態様の液晶表示装置について図 1 ~ 図 6 を参照して説明する。

【0025】

< 液晶表示装置の構成例 >

図 1 (A) は、液晶表示装置の構成例を示す図である。図 1 (A) に示す液晶表示装置は、画素部 1 0 と、走査線駆動回路 1 1 と、信号線駆動回路 1 2 と、各々が平行又は略平行に配設され、且つ走査線駆動回路 1 1 によって電位が制御される m 本の走査線 1 3 と、各々が平行又は略平行に配設され、且つ信号線駆動回路 1 2 によって電位が制御される、n 本の信号線 1 4 と、を有する。さらに、画素部 1 0 は、3 つの領域 (領域 1 0 1 ~ 領域 1 0 3) に分割され、領域毎にマトリクス状に配設された複数の画素を有する。なお、各走査線 1 3 は、画素部 1 0 において m 行 n 列に配設された複数の画素のうち、いずれかの行に配設された n 個の画素に電気的に接続される。また、各信号線 1 4 は、m 行 n 列に配設された複数の画素のうち、いずれかの列に配設された m 個の画素に電気的に接続される。

30

【0026】

図 1 (B) は、図 1 (A) に示す液晶表示装置が有する画素 1 5 の回路図の一例を示す図である。図 1 (B) に示す画素 1 5 は、ゲートが走査線 1 3 に電気的に接続され、ソース及びドレインの一方が信号線 1 4 に電気的に接続されたトランジスタ 1 6 と、一方の電極がトランジスタ 1 6 のソース及びドレインの他方に電気的に接続され、他方の電極が容量電位を供給する配線 (容量配線ともいう) に電気的に接続された容量素子 1 7 と、一方の電極 (画素電極ともいう) がトランジスタ 1 6 のソース及びドレインの他方及び容量素子 1 7 の一方の電極に電気的に接続され、他方の電極 (対向電極ともいう) が対向電位を供給する配線に電気的に接続された液晶素子 1 8 と、を有する。なお、トランジスタ 1 6 は、n チャネル型のトランジスタである。また、容量電位と対向電位を同一の電位とすることが可能である。

40

【0027】

< 走査線駆動回路 1 1 の構成例 >

図 2 (A) は、図 1 (A) に示す液晶表示装置が有する走査線駆動回路 1 1 の構成例を示す図である。図 2 (A) に示す走査線駆動回路 1 1 は、第 1 の走査線駆動回路用クロッ

50

ク信号（GCK1）を供給する配線乃至第4の走査線駆動回路用クロック信号（GCK4）を供給する配線と、第1のパルス幅制御信号（PWC1）を供給する配線乃至第6のパルス幅制御信号（PWC6）を供給する配線と、1行目に配設された走査線13に電氣的に接続された第1のパルス出力回路20__1、乃至、m行目に配設された走査線13に電氣的に接続された第mのパルス出力回路20__mと、を有する。なお、ここでは、第1のパルス出力回路20__1～第kのパルス出力回路20__k（kは、m/2未満の4の倍数）が、領域101に配設された走査線13に電氣的に接続され、第k+1のパルス出力回路20__k+1～第2kのパルス出力回路20__2kが、領域102に配設された走査線13に電氣的に接続され、第2k+1のパルス出力回路20__2k+1～第mのパルス出力回路20__mが領域103に配設された走査線13に電氣的に接続されることとする。また、第1のパルス出力回路20__1乃至第mのパルス出力回路20__mは、第1のパルス出力回路20__1に入力される走査線駆動回路用スタートパルス（GSP）をきっかけとしてシフト期間毎にシフトパルスを順次シフトする機能を有する。さらに、第1のパルス出力回路20__1乃至第mのパルス出力回路20__mにおいて複数のシフトパルスのシフトを並行して行うことが可能である。すなわち、第1のパルス出力回路20__1乃至第mのパルス出力回路20__mにおいてシフトパルスのシフトが行われている期間内であっても、第1のパルス出力回路20__1に走査線駆動回路用スタートパルス（GSP）を入力することが可能である。

10

【0028】

図2（B）は、上記信号の具体的な波形の一例を示す図である。図2（B）に示す第1の走査線駆動回路用クロック信号（GCK1）は、周期的にハイレベルの電位（高電源電位（Vdd））とロウレベルの電位（低電源電位（Vss））を繰り返す、デューティ比が1/4の信号である。また、第2の走査線駆動回路用クロック信号（GCK2）は、第1の走査線駆動回路用クロック信号（GCK1）から1/4周期分位相がずれた信号であり、第3の走査線駆動回路用クロック信号（GCK3）は、第1の走査線駆動回路用クロック信号（GCK1）から1/2周期位相がずれた信号であり、第4の走査線駆動回路用クロック信号（GCK4）は、第1の走査線駆動回路用クロック信号（GCK1）から3/4周期位相がずれた信号である。第1のパルス幅制御信号（PWC1）は、周期的にハイレベルの電位（高電源電位（Vdd））とロウレベルの電位（低電源電位（Vss））を繰り返す、デューティ比が1/3の信号である。また、第2のパルス幅制御信号（PWC2）は、第1のパルス幅制御信号（PWC1）から1/6周期位相がずれた信号であり、第3のパルス幅制御信号（PWC3）は、第1のパルス幅制御信号（PWC1）から1/3周期位相がずれた信号であり、第4のパルス幅制御信号（PWC4）は、第1のパルス幅制御信号（PWC1）から1/2周期位相がずれた信号であり、第5のパルス幅制御信号（PWC5）は、第1のパルス幅制御信号（PWC1）から2/3周期位相がずれた信号であり、第6のパルス幅制御信号（PWC6）は、第1のパルス幅制御信号（PWC1）から5/6周期位相がずれた信号である。なお、ここでは、第1の走査線駆動回路用クロック信号（GCK1）乃至第4の走査線駆動回路用クロック信号（GCK4）のパルス幅と第1のパルス幅制御信号（PWC1）乃至第6のパルス幅制御信号（PWC6）のパルス幅の比は、3：2とする。

20

30

40

【0029】

上述した液晶表示装置においては、第1のパルス出力回路20__1乃至第mのパルス出力回路20__mとして、同一の構成を有する回路を適用することができる。ただし、パルス出力回路が有する複数の端子の電氣的な接続関係は、パルス出力回路毎に異なる。具体的な接続関係について図2（A）、（C）を参照して説明する。

【0030】

第1のパルス出力回路20__1乃至第mのパルス出力回路20__mのそれぞれは、端子21～端子27を有する。なお、端子21～端子24及び端子26は入力端子であり、端子25及び端子27は出力端子である。

【0031】

50

まず、端子 2 1 について述べる。第 1 のパルス出力回路 2 0 _ 1 の端子 2 1 は、走査線駆動回路用スタートパルス (G S P) を供給する配線に電氣的に接続され、第 2 のパルス出力回路 2 0 _ 2 ~ 第 m のパルス出力回路 2 0 _ m の端子 2 1 は、前段のパルス出力回路の端子 2 7 に電氣的に接続される。

【 0 0 3 2 】

次いで、端子 2 2 について述べる。第 (4 a - 3) のパルス出力回路 (a は、 $m / 4$ 以下の自然数) の端子 2 2 は、第 1 の走査線駆動回路用クロック信号 (G C K 1) を供給する配線に電氣的に接続され、第 (4 a - 2) のパルス出力回路の端子 2 2 は、第 2 の走査線駆動回路用クロック信号 (G C K 2) を供給する配線に電氣的に接続され、第 (4 a - 1) のパルス出力回路の端子 2 2 は、第 3 の走査線駆動回路用クロック信号 (G C K 3) を供給する配線に電氣的に接続され、第 4 a のパルス出力回路の端子 2 2 は、第 4 の走査線駆動回路用クロック信号 (G C K 4) を供給する配線に電氣的に接続される。

10

【 0 0 3 3 】

次いで、端子 2 3 について述べる。第 (4 a - 3) のパルス出力回路の端子 2 3 は、第 2 の走査線駆動回路用クロック信号 (G C K 2) を供給する配線に電氣的に接続され、第 (4 a - 2) のパルス出力回路の端子 2 3 は、第 3 の走査線駆動回路用クロック信号 (G C K 3) を供給する配線に電氣的に接続され、第 (4 a - 1) のパルス出力回路の端子 2 3 は、第 4 の走査線駆動回路用クロック信号 (G C K 4) を供給する配線に電氣的に接続され、第 4 a のパルス出力回路の端子 2 3 は、第 1 の走査線駆動回路用クロック信号 (G C K 1) を供給する配線に電氣的に接続される。

20

【 0 0 3 4 】

次いで、端子 2 4 について述べる。第 (2 b - 1) のパルス出力回路 (b は、 $k / 2$ 以下の自然数) の端子 2 4 は、第 1 のパルス幅制御信号 (P W C 1) を供給する配線に電氣的に接続され、第 2 b のパルス出力回路の端子 2 4 は、第 4 のパルス幅制御信号 (P W C 4) を供給する配線に電氣的に接続され、第 (2 c - 1) のパルス出力回路 (c は、 $(k / 2 + 1)$ 以上 k 以下の自然数) の端子 2 4 は、第 2 のパルス幅制御信号 (P W C 2) を供給する配線に電氣的に接続され、第 2 c のパルス出力回路の端子 2 4 は、第 5 のパルス幅制御信号 (P W C 5) を供給する配線に電氣的に接続され、第 (2 d - 1) のパルス出力回路 (d は、 $(k + 1)$ 以上 $m / 2$ 以下の自然数) の端子 2 4 は、第 3 のパルス幅制御信号 (P W C 3) を供給する配線に電氣的に接続され、第 2 d のパルス出力回路の端子 2 4 は、第 6 のパルス幅制御信号 (P W C 6) を供給する配線に電氣的に接続される。

30

【 0 0 3 5 】

次いで、端子 2 5 について述べる。第 x のパルス出力回路 (x は、 m 以下の自然数) の端子 2 5 は、x 行目に配設された走査線 1 3 _ x に電氣的に接続される。

【 0 0 3 6 】

次いで、端子 2 6 について述べる。第 y のパルス出力回路 (y は、 $m - 1$ 以下の自然数) の端子 2 6 は、第 (y + 1) のパルス出力回路の端子 2 7 に電氣的に接続され、第 m のパルス出力回路の端子 2 6 は、第 m のパルス出力回路用ストップ信号 (S T P) を供給する配線に電氣的に接続される。なお、第 m のパルス出力回路用ストップ信号 (S T P) は、仮に第 (m + 1) のパルス出力回路が設けられていれば、当該第 (m + 1) のパルス出力回路の端子 2 7 から出力される信号に相当する信号である。具体的には、これらの信号は、実際にダミー回路として第 (m + 1) のパルス出力回路を設けること、又は外部から当該信号を直接入力することなどによって第 m のパルス出力回路に供給することができる。

40

【 0 0 3 7 】

各パルス出力回路の端子 2 7 の接続関係は既出である。そのため、ここでは前述の説明を援用することとする。

【 0 0 3 8 】

< パルス出力回路の構成例 >

図 3 (A) は、図 2 (A)、(C) に示すパルス出力回路の構成例を示す図である。図

50

3 (A) に示すパルス出力回路は、トランジスタ 3 1 乃至トランジスタ 3 9 を有する。

【 0 0 3 9 】

トランジスタ 3 1 は、ソース及びドレインの一方が高電源電位 (V_{dd}) を供給する配線 (以下、高電源電位線ともいう) に電氣的に接続され、ゲートが端子 2 1 に電氣的に接続される。

【 0 0 4 0 】

トランジスタ 3 2 は、ソース及びドレインの一方が低電源電位 (V_{ss}) を供給する配線 (以下、低電源電位線ともいう) に電氣的に接続され、ソース及びドレインの他方がトランジスタ 3 1 のソース及びドレインの他方に電氣的に接続される。

【 0 0 4 1 】

トランジスタ 3 3 は、ソース及びドレインの一方が端子 2 2 に電氣的に接続され、ソース及びドレインの他方が端子 2 7 に電氣的に接続され、ゲートがトランジスタ 3 1 のソース及びドレインの他方並びにトランジスタ 3 2 のソース及びドレインの他方に電氣的に接続される。

【 0 0 4 2 】

トランジスタ 3 4 は、ソース及びドレインの一方が低電源電位線に電氣的に接続され、ソース及びドレインの他方が端子 2 7 に電氣的に接続され、ゲートがトランジスタ 3 2 のゲートに電氣的に接続される。

【 0 0 4 3 】

トランジスタ 3 5 は、ソース及びドレインの一方が低電源電位線に電氣的に接続され、ソース及びドレインの他方がトランジスタ 3 2 のゲート及びトランジスタ 3 4 のゲートに電氣的に接続され、ゲートが端子 2 1 に電氣的に接続される。

【 0 0 4 4 】

トランジスタ 3 6 は、ソース及びドレインの一方が高電源電位線に電氣的に接続され、ソース及びドレインの他方がトランジスタ 3 2 のゲート、トランジスタ 3 4 のゲート、並びにトランジスタ 3 5 のソース及びドレインの他方に電氣的に接続され、ゲートが端子 2 6 に電氣的に接続される。なお、トランジスタ 3 6 のソース及びドレインの一方が、低電源電位 (V_{ss}) よりも高電位であり且つ高電源電位 (V_{dd}) よりも低電位である電源電位 (V_{cc}) を供給する配線に電氣的に接続される構成とすることもできる。

【 0 0 4 5 】

トランジスタ 3 7 は、ソース及びドレインの一方が高電源電位線に電氣的に接続され、ソース及びドレインの他方がトランジスタ 3 2 のゲート、トランジスタ 3 4 のゲート、トランジスタ 3 5 のソース及びドレインの他方、並びにトランジスタ 3 6 のソース及びドレインの他方に電氣的に接続され、ゲートが端子 2 3 に電氣的に接続される。なお、トランジスタ 3 7 のソース及びドレインの一方が、電源電位 (V_{cc}) を供給する配線に電氣的に接続される構成とすることもできる。

【 0 0 4 6 】

トランジスタ 3 8 は、ソース及びドレインの一方が端子 2 4 に電氣的に接続され、ソース及びドレインの他方が端子 2 5 に電氣的に接続され、ゲートがトランジスタ 3 1 のソース及びドレインの他方、トランジスタ 3 2 のソース及びドレインの他方、並びにトランジスタ 3 3 のゲートに電氣的に接続される。

【 0 0 4 7 】

トランジスタ 3 9 は、ソース及びドレインの一方が低電源電位線に電氣的に接続され、ソース及びドレインの他方が端子 2 5 に電氣的に接続され、ゲートがトランジスタ 3 2 のゲート、トランジスタ 3 4 のゲート、トランジスタ 3 5 のソース及びドレインの他方、トランジスタ 3 6 のソース及びドレインの他方、並びにトランジスタ 3 7 のソース及びドレインの他方に電氣的に接続される。

【 0 0 4 8 】

なお、以下においては、トランジスタ 3 1 のソース及びドレインの他方、トランジスタ 3 2 のソース及びドレインの他方、トランジスタ 3 3 のゲート、並びにトランジスタ 3 8

10

20

30

40

50

のゲートが電氣的に接続するノードをノード A とし、トランジスタ 32 のゲート、トランジスタ 34 のゲート、トランジスタ 35 のソース及びドレインの他方、トランジスタ 36 のソース及びドレインの他方、トランジスタ 37 のソース及びドレインの他方、並びにトランジスタ 39 のゲートが電氣的に接続するノードをノード B として説明する。

【0049】

< パルス出力回路の動作例 >

上述したパルス出力回路の動作例について図 3 (B) ~ (D) を参照して説明する。なお、ここでは、第 1 のパルス出力回路 20 _ 1 の端子 21 に入力される走査線駆動回路用スタートパルス (G S P) の入力タイミングを制御することで、第 1 のパルス出力回路 20 _ 1、第 (k + 1) のパルス出力回路 20 _ k + 1、及び第 (2 k + 1) のパルス出力回路 20 _ 2 k + 1 の端子 27 から同一タイミングでシフトパルスを出力する場合の動作例について説明する。具体的には、図 3 (B) は、走査線駆動回路用スタートパルス (G S P) が入力される際の第 1 のパルス出力回路 20 _ 1 の各端子に入力される信号の電位、並びにノード A 及びノード B の電位を示しており、図 3 (C) は、第 k のパルス出力回路 20 _ k からハイレベルの電位が入力される際の第 (k + 1) のパルス出力回路 20 _ k + 1 の各端子に入力される信号の電位、並びにノード A 及びノード B の電位を示しており、図 3 (D) は、第 2 k のパルス出力回路 20 _ 2 k からハイレベルの電位が入力される際の第 (2 k + 1) のパルス出力回路 20 _ 2 k + 1 の各端子に入力される信号の電位、並びにノード A 及びノード B の電位を示している。なお、図 3 (B) ~ (D) では、各端子に入力される信号を括弧書きで付記している。また、それぞれの後段に配設されるパルス出力回路 (第 2 のパルス出力回路 20 _ 2、第 (k + 2) のパルス出力回路 20 _ k + 2、第 (2 k + 2) のパルス出力回路 20 _ 2 k + 2) の端子 25 から出力される信号 (G o u t 2、G o u t k + 2、G o u t 2 k + 2) 及び端子 27 の出力信号 (S R o u t 2 = 第 1 のパルス出力回路 20 _ 1 の端子 26 の入力信号、S R o u t k + 2 = 第 (k + 1) のパルス出力回路 20 _ k + 1 の端子 26 の入力信号、S R o u t 2 k + 2 = 第 (2 k + 1) のパルス出力回路 20 _ 2 k + 1 の端子 26 の入力信号) も付記している。なお、図中において、G o u t は、パルス出力回路の走査線に対する出力信号を表し、S R o u t は、当該パルス出力回路の、後段のパルス出力回路に対する出力信号を表している。

【0050】

まず、図 3 (B) を参照して、第 1 のパルス出力回路 20 _ 1 に走査線駆動回路用スタートパルス (G S P) としてハイレベルの電位が入力される場合について説明する。

【0051】

期間 t 1 において、端子 21 にハイレベルの電位 (高電源電位 (V d d)) が入力される。これにより、トランジスタ 31、35 がオン状態となる。そのため、ノード A の電位がハイレベルの電位 (高電源電位 (V d d)) からトランジスタ 31 のしきい値電圧分下降した電位) に上昇し、且つノード B の電位が低電源電位 (V s s) に下降する。これに付随して、トランジスタ 33、38 がオン状態となり、トランジスタ 32、34、39 がオフ状態となる。以上により、期間 t 1 において、端子 27 から出力される信号は、端子 22 に入力される信号となり、端子 25 から出力される信号は、端子 24 に入力される信号となる。ここで、期間 t 1 において、端子 22 及び端子 24 に入力される信号は、共にロウレベルの電位 (低電源電位 (V s s)) である。そのため、期間 t 1 において、第 1 のパルス出力回路 20 _ 1 は、第 2 のパルス出力回路 20 _ 2 の端子 21、及び画素部において 1 行目に配設された走査線にロウレベルの電位 (低電源電位 (V s s)) を出力する。

【0052】

期間 t 2 において、各端子に入力される信号は期間 t 1 から変化しない。そのため、端子 25 及び端子 27 から出力される信号も変化せず、共にロウレベルの電位 (低電源電位 (V s s)) を出力する。

【0053】

期間 t_3 において、端子 24 にハイレベルの電位（高電源電位（ V_{dd} ））が入力される。なお、ノード A の電位（トランジスタ 31 のソースの電位）は、期間 t_1 においてハイレベルの電位（高電源電位（ V_{dd} ））からトランジスタ 31 のしきい値電圧分下降した電位）まで上昇している。そのため、トランジスタ 31 はオフ状態となっている。この時、端子 24 にハイレベルの電位（高電源電位（ V_{dd} ））が入力されることで、トランジスタ 38 のソースとゲートの容量結合によって、ノード A の電位（トランジスタ 38 のゲートの電位）がさらに上昇する（ブートストラップ動作）。また、当該ブートストラップ動作を行うことによって、端子 25 から出力される信号が端子 24 に入力されるハイレベルの電位（高電源電位（ V_{dd} ））から下降することがない。そのため、期間 t_3 において、第 1 のパルス出力回路 20_1 は、画素部において 1 行目に配設された走査線にハイレベルの電位（高電源電位（ V_{dd} ））= 選択信号）を出力する。

10

【0054】

期間 t_4 において、端子 22 にハイレベルの電位（高電源電位（ V_{dd} ））が入力される。ここで、ノード A の電位は、ブートストラップ動作によって上昇しているため、端子 27 から出力される信号が端子 22 に入力されるハイレベルの電位（高電源電位（ V_{dd} ））から下降することがない。そのため、期間 t_4 において、端子 27 からは、端子 22 に入力されるハイレベルの電位（高電源電位（ V_{dd} ））が出力される。すなわち、第 1 のパルス出力回路 20_1 は、第 2 のパルス出力回路 20_2 の端子 21 にハイレベルの電位（高電源電位（ V_{dd} ））= シフトパルス）を出力する。また、期間 t_4 において、端子 24 に入力される信号はハイレベルの電位（高電源電位（ V_{dd} ））を維持するため、第 1 のパルス出力回路 20_1 から画素部において 1 行目に配設された走査線に対して出力される信号は、ハイレベルの電位（高電源電位（ V_{dd} ））= 選択信号）のままである。なお、期間 t_4 における当該パルス出力回路の出力信号には直接関与しないが、端子 21 にロウレベルの電位（低電源電位（ V_{ss} ））が入力されるためトランジスタ 35 はオフ状態となる。

20

【0055】

期間 t_5 において、端子 24 にロウレベルの電位（低電源電位（ V_{ss} ））が入力される。ここで、トランジスタ 38 はオン状態を維持する。そのため、期間 t_5 において、第 1 のパルス出力回路 20_1 から画素部において 1 行目に配設された走査線に対して出力される信号は、ロウレベルの電位（低電源電位（ V_{ss} ））となる。

30

【0056】

期間 t_6 において、各端子に入力される信号は期間 t_5 から変化しない。そのため、端子 25 及び端子 27 から出力される信号も変化せず、端子 25 からはロウレベルの電位（低電源電位（ V_{ss} ））が出力され、端子 27 からはハイレベルの電位（高電源電位（ V_{dd} ））= シフトパルス）が出力される。

【0057】

期間 t_7 において、端子 23 にハイレベルの電位（高電源電位（ V_{dd} ））が入力される。これにより、トランジスタ 37 がオン状態となる。そのため、ノード B の電位がハイレベルの電位（高電源電位（ V_{dd} ））からトランジスタ 37 のしきい値電圧分下降した電位）に上昇する。つまり、トランジスタ 32、34、39 がオン状態となる。また、これに付随して、ノード A の電位がロウレベルの電位（低電源電位（ V_{ss} ））へと下降する。つまり、トランジスタ 33、38 がオフ状態となる。以上により、期間 t_7 において、端子 25 及び端子 27 から出力される信号は、共に低電源電位（ V_{ss} ）となる。すなわち、期間 t_7 において、第 1 のパルス出力回路 20_1 は、第 2 のパルス出力回路 20_2 の端子 21、及び画素部において 1 行目に配設された走査線に低電源電位（ V_{ss} ）を出力する。

40

【0058】

次いで、図 3（C）を参照して、第 $(k+1)$ のパルス出力回路 20_ $k+1$ の端子 21 に第 k のパルス出力回路 20_ k からシフトパルスとしてハイレベルの電位が入力される場合について説明する。

50

【 0 0 5 9 】

期間 t_1 及び期間 t_2 において、第 $(k+1)$ のパルス出力回路 20_k+1 の動作は、上述した第 1 のパルス出力回路 20_1 と同様である。そのため、ここでは前述の説明を援用することとする。

【 0 0 6 0 】

期間 t_3 において、各端子に入力される信号は期間 t_2 から変化しない。そのため、端子 25 及び端子 27 から出力される信号も変化せず、共にロウレベルの電位（低電源電位（ V_{ss} ））を出力する。

【 0 0 6 1 】

期間 t_4 において、端子 22 及び端子 24 にハイレベルの電位（高電源電位（ V_{dd} ））が入力される。なお、ノード A の電位（トランジスタ 31 のソースの電位）は、期間 t_1 においてハイレベルの電位（高電源電位（ V_{dd} ））からトランジスタ 31 のしきい値電圧分下降した電位）まで上昇している。そのため、トランジスタ 31 は、期間 t_1 においてオフ状態となっている。ここで、端子 22 及び端子 24 にハイレベルの電位（高電源電位（ V_{dd} ））が入力されることで、トランジスタ 33 のソースとゲート及びトランジスタ 38 のソースとゲートの容量結合によって、ノード A の電位（トランジスタ 33、38 のゲートの電位）がさらに上昇する（ブートストラップ動作）。また、当該ブートストラップ動作を行うことによって、端子 25 及び端子 27 から出力される信号が端子 22 及び端子 24 に入力されるハイレベルの電位（高電源電位（ V_{dd} ））から下降することがない。そのため、期間 t_4 において、第 $(k+1)$ のパルス出力回路 20_k+1 は、画素部において $k+1$ 行目に配設された走査線及び第 $(k+2)$ のパルス出力回路 20_k+2 の端子 21 にハイレベルの電位（高電源電位（ V_{dd} ））＝選択信号、シフトパルス）を出力する。

【 0 0 6 2 】

期間 t_5 において、各端子に入力される信号は期間 t_4 から変化しない。そのため、端子 25 及び端子 27 から出力される信号も変化せず、ハイレベルの電位（高電源電位（ V_{dd} ））＝選択信号、シフトパルス）を出力する。

【 0 0 6 3 】

期間 t_6 において、端子 24 にロウレベルの電位（低電源電位（ V_{ss} ））が入力される。ここで、トランジスタ 38 はオン状態を維持する。そのため、期間 t_6 において、第 $(k+1)$ のパルス出力回路 20_k+1 から画素部において $k+1$ 行目に配設された走査線に対して出力される信号は、ロウレベルの電位（低電源電位（ V_{ss} ））となる。

【 0 0 6 4 】

期間 t_7 において、端子 23 にハイレベルの電位（高電源電位（ V_{dd} ））が入力される。これにより、トランジスタ 37 がオン状態となる。そのため、ノード B の電位がハイレベルの電位（高電源電位（ V_{dd} ））からトランジスタ 37 のしきい値電圧分下降した電位）に上昇する。つまり、トランジスタ 32、34、39 がオン状態となる。また、これに付随して、ノード A の電位がロウレベルの電位（低電源電位（ V_{ss} ））へと下降する。つまり、トランジスタ 33、38 がオフ状態となる。以上により、期間 t_7 において、端子 25 及び端子 27 から出力される信号は、共に低電源電位（ V_{ss} ）となる。すなわち、期間 t_7 において、第 $(k+1)$ のパルス出力回路 20_k+1 は、第 $(k+2)$ のパルス出力回路 20_2 の端子 21、及び画素部において $k+1$ 行目に配設された走査線に低電源電位（ V_{ss} ）を出力する。

【 0 0 6 5 】

次いで、図 3 (D) を参照して、第 $(2k+1)$ のパルス出力回路 20_2k+1 の端子 21 に第 $2k$ のパルス出力回路 20_2k からシフトパルスとしてハイレベルの電位が入力される場合について説明する。

【 0 0 6 6 】

期間 t_1 乃至期間 t_3 において、第 $(2k+1)$ のパルス出力回路 20_2k+1 の動作は、上述した第 $(k+1)$ のパルス出力回路 20_k+1 と同様である。そのため、こ

10

20

30

40

50

ここでは前述の説明を援用することとする。

【 0 0 6 7 】

期間 t_4 において、端子 2 2 にハイレベルの電位（高電源電位（ V_{dd} ））が入力される。なお、ノード A の電位（トランジスタ 3 1 のソースの電位）は、期間 t_1 においてハイレベルの電位（高電源電位（ V_{dd} ））からトランジスタ 3 1 のしきい値電圧分下降した電位）まで上昇している。そのため、トランジスタ 3 1 は、期間 t_1 においてオフ状態となっている。ここで、端子 2 2 にハイレベルの電位（高電源電位（ V_{dd} ））が入力されることで、トランジスタ 3 3 のソースとゲートの容量結合によって、ノード A の電位（トランジスタ 3 3 のゲートの電位）がさらに上昇する（ブートストラップ動作）。また、当該ブートストラップ動作を行うことによって、端子 2 7 から出力される信号が端子 2 2 に入力されるハイレベルの電位（高電源電位（ V_{dd} ））から下降することがない。そのため、期間 t_4 において、第 $(2k+1)$ のパルス出力回路 20_k+1 は、第 $(2k+2)$ のパルス出力回路 20_k+2 の端子 2 1 にハイレベルの電位（高電源電位（ V_{dd} ））＝シフトパルス）を出力する。なお、期間 t_4 における当該パルス出力回路の出力信号には直接関与しないが、端子 2 1 にロウレベルの電位（低電源電位（ V_{ss} ））が入力されるためトランジスタ 3 5 はオフ状態となる。

10

【 0 0 6 8 】

期間 t_5 において、端子 2 4 にハイレベルの電位（高電源電位（ V_{dd} ））が入力される。ここで、ノード A の電位は、ブートストラップ動作によって上昇しているため、端子 2 5 から出力される信号が端子 2 4 に入力されるハイレベルの電位（高電源電位（ V_{dd} ））から下降することがない。そのため、期間 t_5 において、端子 2 5 からは、端子 2 2 に入力されるハイレベルの電位（高電源電位（ V_{dd} ））が出力される。すなわち、第 $(2k+1)$ のパルス出力回路 20_1 は、画素部において $2k+1$ 行目に配設された走査線にハイレベルの電位（高電源電位（ V_{dd} ））＝選択信号）を出力する。また、期間 t_5 において、端子 2 2 に入力される信号はハイレベルの電位（高電源電位（ V_{dd} ））を維持するため、第 $(2k+1)$ のパルス出力回路 20_2k+1 から第 $(2k+2)$ のパルス出力回路 20_2k+2 の端子 2 1 に対して出力される信号は、ハイレベルの電位（高電源電位（ V_{dd} ））＝シフトパルス）のままである。

20

【 0 0 6 9 】

期間 t_6 において、各端子に入力される信号は期間 t_5 から変化しない。そのため、端子 2 5 及び端子 2 7 から出力される信号も変化せず、共にハイレベルの電位（高電源電位（ V_{dd} ））＝選択信号、シフトパルス）を出力する。

30

【 0 0 7 0 】

期間 t_7 において、端子 2 3 にハイレベルの電位（高電源電位（ V_{dd} ））が入力される。これにより、トランジスタ 3 7 がオン状態となる。そのため、ノード B の電位がハイレベルの電位（高電源電位（ V_{dd} ））からトランジスタ 3 7 のしきい値電圧分下降した電位）に上昇する。つまり、トランジスタ 3 2、3 4、3 9 がオン状態となる。また、これに付随して、ノード A の電位がロウレベルの電位（低電源電位（ V_{ss} ））へと下降する。つまり、トランジスタ 3 3、3 8 がオフ状態となる。以上により、期間 t_7 において、端子 2 5 及び端子 2 7 から出力される信号は、共に低電源電位（ V_{ss} ）となる。すなわち、期間 t_7 において、第 $(k+1)$ のパルス出力回路 20_k+1 は、第 $(k+2)$ のパルス出力回路 20_2 の端子 2 1、及び画素部において $k+1$ 行目に配設された走査線に低電源電位（ V_{ss} ）を出力する。

40

【 0 0 7 1 】

図 3 (B) ~ (D) に示すように、第 1 のパルス出力回路 20_1 乃至第 m のパルス出力回路 20_m では、走査線駆動回路用スタートパルス（GSP）の入力タイミングを制御することで、複数のシフトパルスのシフトを並行して行うことが可能である。具体的には、走査線駆動回路用スタートパルス（GSP）の入力後、第 k のパルス出力回路 20_k の端子 2 7 からシフトパルスが出力されるタイミングと同じタイミングで再度走査線駆動回路用スタートパルス（GSP）を入力することによって、第 1 のパルス出力回路 20

50

— 1 及び第 ($k + 1$) のパルス出力回路 20 — $k + 1$ から同じタイミングでシフトパルス
を出力させることが可能である。また、同様に走査線駆動回路用スタートパルス (G S P)
を入力することによって、第 1 のパルス出力回路 20 — 1、第 ($k + 1$) のパルス出力
回路 20 — $k + 1$ 、及び第 ($2k + 1$) のパルス出力回路 20 — $2k + 1$ から同じタイミ
ングでシフトパルスを出しさせることが可能である。

【 0072 】

加えて、第 1 のパルス出力回路 20 — 1、第 ($k + 1$) のパルス出力回路 20 — $k + 1$
、及び第 ($2k + 1$) のパルス出力回路 20 — $2k + 1$ は、上記の動作に並行して、それ
ぞれ異なるタイミングで走査線に対する選択信号の供給を行うことが可能である。すなわ
ち、上述した走査線駆動回路は、固有のシフト期間を有するシフトパルスを複数シフトし
且つ同一タイミングにおいてシフトパルスが入力された複数のパルス出力回路がそれぞれ
異なるタイミングで走査線に対して選択信号を供給することが可能である。

【 0073 】

< 信号線駆動回路 12 の構成例 >

図 4 (A) は、図 1 (A) に示す液晶表示装置が有する信号線駆動回路 12 の構成例を
示す図である。図 4 (A) に示す信号線駆動回路 12 は、第 1 の出力端子乃至第 n の出力
端子を有するシフトレジスタ 120 と、画像信号 (DATA) を供給する配線と、ソース
及びドレインの一方が画像信号 (DATA) を供給する配線に電氣的に接続され、ソース
及びドレインの他方が画素部において 1 列目に配設された信号線 14 — 1 に電氣的に接続
され、ゲートがシフトレジスタ 120 の第 1 の出力端子に電氣的に接続されたトランジスタ
121 — 1、乃至、ソース及びドレインの一方が画像信号 (DATA) を供給する配線
に電氣的に接続され、ソース及びドレインの他方が画素部において n 列目に配設された信
号線 14 — n に電氣的に接続され、ゲートがシフトレジスタ 120 の第 n の出力端子に電
氣的に接続されたトランジスタ 121 — n と、を有する。なお、シフトレジスタ 120 は
、信号線駆動回路用スタートパルス (SSP) をきっかけとしてシフト期間毎に順次第 1
の出力端子乃至第 n の出力端子からハイレベルの電位を出力する機能を有する。すなわ
ち、トランジスタ 121 — 1 乃至トランジスタ 121 — n は、シフト期間毎に順次オン状態
となる。

【 0074 】

図 4 (B) は、画像信号 (DATA) を供給する配線が供給する画像信号のタイミング
の一例を示す図である。図 4 (B) に示すように、画像信号 (DATA) を供給する配線
は、期間 t_4 において、1 行目に配設された画素用画像信号 (data 1) を供給し、
期間 t_5 において、 $k + 1$ 行目に配設された画素用画像信号 (data $k + 1$) を供給
し、期間 t_6 において、 $2k + 1$ 行目に配設された画素用画像信号 (data $2k + 1$)
を供給し、期間 t_7 において、2 行目に配設された画素用画像信号 (data 2) を
供給する。以下、同様に画像信号 (DATA) を供給する配線は、特定の行毎に配設され
た画素用画像信号を順次供給する。具体的には、 s 行目 (s は、 k 未満の自然数) に配設
された画素用画像信号 $k + s$ 行目に配設された画素用画像信号 $2k + s$ 行目に配設され
た画素用画像信号 $s + 1$ 行目に配設された画素用画像信号という順序で画像信号を供
給する。上述した走査線駆動回路及び信号線駆動回路が当該動作を行うことにより、走査
線駆動回路が有するパルス出力回路におけるシフト期間毎に画素部に配設された 3 行の画
素に対する画像信号の入力を行うことが可能である。

【 0075 】

< バックライト、及びバックライト駆動回路の構成例 >

図 5 は、図 1 (A) に示す液晶表示装置の画素部 10 の後方に設けられるバックライトパ
ネル 40 の構成例を示す図である。図 5 (A) に示すバックライトパネル 40 は、複数の
バックライトアレイ 41 を列方向に並べて備え、それぞれのバックライトアレイ 41 は、
赤 (R)、緑 (G)、青 (B) の 3 色を呈する光源を含むバックライトユニット 42 を複
数並べて備える。なお、複数のバックライトユニット 42 は、特定の領域毎に点灯を制御
することが可能であればよく、画素部 10 の後方に例えばマトリクス状に配設すればよい

10

20

30

40

50

。

【0076】

なお、バックライトユニット42に用いる光源としては、発光効率が高いLED(Light-Emitting Diode)やOLED(Organic Light-Emitting Diode)などの発光素子が好適である。

【0077】

図5(B)には、図示されないm行n列に配設された複数の画素15と、その後方に設けられるバックライトパネル40の位置関係を示す。バックライトパネルには、少なくともt行毎(ここでは、tは、 $k/4$ とする)にバックライトアレイ41が設けられており、それぞれのバックライトアレイ41はt行n列に配列された複数の画素15を実質的に均一に照明する。なお、バックライトアレイ41が備えるバックライトユニット42の配置は特に限定されず、t行n列に配列された複数の画素15を実質的に均一に照明できれば、どのような配置であってもよい。

10

【0078】

該バックライトアレイ41は独立に点灯できることとする。すなわち、当該バックライトパネル40が、少なくとも1行目乃至t行目用バックライトアレイ41 $a_1 \sim 2k+3t+1$ 行目乃至m行目用バックライトアレイ41 c_4 を有し、それぞれのバックライトアレイを独立に点灯できることとする。さらに、それぞれのバックライトアレイにおいて、赤(R)、緑(G)、及び青(B)の3色を呈する光源を独立に点灯できることとする。すなわち、いずれかひとつのバックライトアレイ41において、赤(R)、緑(G)、及び青(B)のいずれか一つの色を呈する光源を点灯させることで画素部10の特定の領域に対して赤(R)、緑(G)、又は青(B)を呈する光を照射することが可能であることとする。

20

【0079】

なお、赤(R)、緑(G)、及び青(B)のいずれか二つの色を呈する光源を点灯させることで画素部10に対して二つの光の混色によって形成される有彩色を呈する光を照射すること、並びに赤(R)、緑(G)、及び青(B)の色を呈する全ての光源を点灯させることで画素部10に対して三つの光の混色によって形成される白(W)を呈する光を照射することが可能な構成としてもよい。

【0080】

バックライトユニット42にLEDやOLEDなどの発光素子を光源として用いる場合、発光素子の発光効率は投入電力に依存して変化してしまう。本実施の形態では、LEDやOLEDなどの発光素子が高い効率で発光する電力をパルス状に供給し、デューティ比を制御して発光強度を調整する方法を用いる。この方法により、LEDやOLEDなどの発光素子の発光効率を損なうことなく、最適な条件で駆動することができ、消費電力を低減できる。

30

【0081】

また、バックライトユニット42をパルス状の電力で駆動する方法により、発光素子の温度上昇を抑制できるため、継続的に電力を供給する方法によりLEDやOLEDなどの発光素子の温度が上昇し、発光効率が低下してしまうという問題を回避できる。

40

【0082】

図16に、バックライトパネル40をパルス幅変調(PWM:Pulse Width Modulation)回路を用いて駆動する構成の一例を示す。バックライト駆動回路45は3つのパルス幅変調回路(46a、46b、46c)を備え、それぞれのパルス幅変調回路は4つのバックライトアレイ41に電力を供給して、その発光色と発光強度を制御する構成となっている。パルス幅変調回路を用いると、発光素子が高い効率で発光する電力をバックライトパネル40にパルス状に供給できる。なお、発光強度はデューティ比を変えて制御すればよい。例えばLEDは入力信号に対し高速に応答可能なため、超高周波(例えば、1GHz)で駆動することができる。例えば、液晶素子を駆動する1パルスの信号の期間の間に10パルスをLEDに供給して駆動することもできる。

50

【 0 0 8 3 】

なお発光強度を制御する手段は、バックライトユニット 4 2 に用いる光源の種類に応じて適宜選択して用いることができる。

【 0 0 8 4 】

< 画像処理回路の構成例 >

液晶表示装置に入力された映像信号 V (d a t a) を、画像処理回路 7 0 を介して、液晶パネル 1 9 と、バックライトパネル 4 0 に出力する構成の一例を、図 1 6 を用いて説明する。

【 0 0 8 5 】

画像処理回路 7 0 は、映像信号 V (d a t a) をデジタル信号に変換する A D コンバータ 7 1 と、少なくとも映像信号に含まれる一画面分の画像を記憶するフレームメモリ 7 2 と、最大値検出回路 7 3 と、ガンマ補正回路 7 4 を備える。最大値検出回路 7 3 は表示画像の特定の領域に含まれる特定の色毎に、その明るさを解析して階調の最大値を検出する。ガンマ補正回路 7 4 は検出した階調の最大値において液晶素子が最大の透過率となり、階調が暗くなる割合に応じて画素の透過率を低減するようにガンマ補正する回路である。最大値検出回路 7 3 が検出した階調の最大値に応じて明るさが調整されたバックライトを、該ガンマ補正された液晶素子に用いることで、画像データに対応する表示が可能になる。液晶パネル 1 9 が備えるそれぞれの画素 1 5 は、ガンマ補正回路 7 4 によって特定の領域毎に補正された画像データを用いて駆動される。

【 0 0 8 6 】

また、画像処理回路 7 0 はバックライト駆動回路 4 5 を介してバックライトパネル 4 0 に接続されている。

【 0 0 8 7 】

画像処理回路 7 0 が映像信号 V (d a t a) を、第 1 の領域 (1 行目乃至 k 行目) と、第 2 の領域 (k + 1 行目乃至 2 k 行目) と、第 3 の領域 (2 k + 1 行目乃至 m 行目) と、に分け、液晶パネル 1 9 のそれぞれの領域毎に画像データを出力し、且つバックライトパネル 4 0 に制御信号を出力する場合について説明する。なお、映像信号 V (d a t a) の分割位置は、各領域の () 内に付記された映像信号 V (d a t a) が表示される画素の行数を用いて表記する。

【 0 0 8 8 】

最大値検出回路 7 3 は、第 1 の領域 (1 行目乃至 k 行目) に表示される画像データの各色の最大値を検出する第 1 の最大値検出回路 7 3 a と、第 2 の領域 (k + 1 行目乃至 2 k 行目) に表示される画像データの各色の最大値を検出する第 2 の最大値検出回路 7 3 b と、第 3 の領域 (2 k + 1 行目乃至 m 行目) に表示される画像データの各色の最大値を検出する第 3 の最大値検出回路 7 3 c を備える。また、ガンマ補正回路 7 4 は第 1 の領域 (1 行目乃至 k 行目) に表示される画像データをガンマ補正する第 1 のガンマ補正回路 7 4 a と、第 2 の領域 (k + 1 行目乃至 2 k 行目) に表示される画像データをガンマ補正する第 2 のガンマ補正回路 7 4 b と、第 3 の領域 (2 k + 1 行目乃至 m 行目) に表示される画像データをガンマ補正する第 3 のガンマ補正回路 7 4 c を備える。

【 0 0 8 9 】

入力された映像信号 V (d a t a) は、A D コンバータ 7 1 によりデジタル画像データに変換され、フレームメモリ 7 2 に保存される。次に、第 1 の最大値検出回路 7 3 a、第 2 の最大値検出回路 7 3 b、第 3 の最大値検出回路 7 3 c が、それぞれ特定の領域に表示する画像データの各色の最大値を検出する。そして、それぞれの最大値検出回路は、検出した階調の最大値を対応する領域のガンマ補正回路と、パルス幅変調回路に出力する。

【 0 0 9 0 】

例えば、第 1 の最大値検出回路 7 3 a が第 1 の領域 (1 行目乃至 k 行目) の 1 行目乃至 t 行目に表示する赤 (R) の画像データの中から、全階調幅が 2 5 6 段階である中の階調 1 2 8 を最も明るい階調として検出した場合、第 1 の最大値検出回路 7 3 a はその値 1 2 8 を第 1 のガンマ補正回路 7 4 a と、第 1 のパルス幅変調回路 4 6 a に出力する。

【0091】

第1のガンマ補正回路74aは、階調128が検出された画素に設けた液晶素子の透過率が最大となり、階調が暗くなるほど透過率が低減するように、第1の領域(1行目乃至k行目)の1行目乃至t行目の画像データにガンマ補正して出力する。

【0092】

一方、バックライト駆動回路45の第1のパルス幅変調回路46aは、透過率が最大となる液晶素子を備えた画素が赤(R)色の階調128を表現する明るさで点灯するように、パルス幅を変調してバックライトアレイ41a₁が備える赤色の光源を点灯し、液晶パネル19の第1の領域(1行目乃至k行目)の1行目乃至k行目に照射する。

【0093】

このようにして、第1の領域(1行目乃至k行目)の1行目乃至t行目に赤(R)色の階調128の画素を表示することができる。なお、赤(R)色の階調128の画素において、液晶素子の透過率は最大となっているため、バックライトアレイ41a₁が発するエネルギーの無駄を抑制できる。また、第1の最大値検出回路73aは第1の領域(1行目乃至k行目)の1行目乃至t行目の限られた範囲から最大輝度を検出する。従って、全画面の他の領域に階調128より高い階調が検出される場合であっても、バックライトアレイ41a₁の発光強度を抑制することができ、依って消費電力を低減できる。

【0094】

なお、上述の方法と同様に第2の最大値検出回路73bは第2の領域(k+1行目乃至2k行目)のk+1行目乃至k+t行目に表示する青(B)色画像データについて解析し、第3の最大値検出回路73cは第3の領域(2k+1行目乃至m行目)の2k+1行目乃至2k+t行目に表示する緑(G)色画像データについて解析する。そして、それぞれが液晶パネル19の特定の領域のガンマ補正回路と、バックライト駆動回路45の特定の領域のパルス幅変調回路に解析結果を出力する。その結果、それぞれの領域においてバックライトアレイの発光強度を最適化することができ、消費電力を低減できる。

【0095】

<液晶表示装置の動作例>

図6は、上述した液晶表示装置における選択信号の走査と、バックライトが有する1行目乃至t行目用バックライトアレイ41a₁~2k+3t+1行目乃至m行目用バックライトアレイ41c₄の点灯タイミングとを示す図である。なお、図6において縦軸は画素部における行(1行目乃至m行目)を表し、横軸は時間を表している。図6に示すように当該液晶表示装置では、1行目に配設された走査線~m行目に配設された走査線に対して順次選択信号を供給するのではなく、k行分隔離されて配設された走査線に対して順次選択信号を供給する(1行目に配設された走査線 k+1行目に配設された走査線 2k+1行目に配設された走査線 2行目に配設された走査線という順序で選択信号を供給する)ことが可能である。そのため、期間(T1)において、1行目に配設されたn個の画素からt行目に配設されたn個の画素を順次選択し、且つk+1行目に配設されたn個の画素からk+t行目に配設されたn個の画素を順次選択し、且つ2k+1行目に配設されたn個の画素から2k+t行目に配設されたn個の画素を順次選択することで、各画素に画像信号を入力することが可能である。なお、ここでは、1行目に配設されたn個の画素乃至t行目に配設されたn個の画素には、赤(R)を呈する光の透過を制御する画像信号が入力され、k+1行目に配設されたn個の画素乃至k+t行目に配設されたn個の画素には、青(B)を呈する光の透過を制御する画像信号が入力され、2k+1行目に配設されたn個の画素乃至2k+t行目に配設されたn個の画素には、緑(G)を呈する光の透過を制御する画像信号が入力されることとする。

【0096】

また、図6に示すように当該液晶表示装置では、特定の領域において画像信号の入力が行われる合間の期間において、バックライトアレイの点灯を行う。具体的には、期間T1及び期間T2の合間の期間において、1行目乃至t行目用バックライトアレイ41a₁において赤(R)の光源を点灯させ、且つk+1行目乃至k+t行目用バックライトアレイ

10

20

30

40

50

4 1 b₁において青(B)の光源を点灯させ、且つ2 k + 1行目乃至2 k + t行目用バックライトアレイ4 1 c₁において緑(G)の光源を点灯させる。なお、当該液晶表示装置においては、図6に示す、赤(R)を呈する光の透過を制御するための画像信号の入力~バックライトアレイにおける青(B)の光源の点灯までの動作によって画素部に1枚の画像が形成されることとする。

【0097】

期間T₁及び期間T₂の合間の期間における1行目乃至t行目用バックライトアレイ4 1 a₁の赤(R)の光源を点灯する方法については、<画像処理回路の構成例>においてすでに説明してあるため、ここでは繰り返して説明しない。

【0098】

次に、パルス幅変調回路が複数のバックライトアレイを駆動する方法の詳細について、期間T₁における第1のパルス幅変調回路4 6 aの動作を例に、図5、図6及び図16を用いて説明する。第1のパルス幅変調回路4 6 aにはバックライトアレイ4 1 a₁乃至バックライトアレイ4 1 a₄の4つのバックライトアレイが接続されている。本実施の形態では第1の領域(1行目乃至k行目)を4つに分割し、バックライトアレイ4 1 a₁を用いて1行目乃至t行目を、バックライトアレイ4 1 a₂を用いてt + 1行目乃至2 t行目を、バックライトアレイ4 1 a₃を用いて2 t + 1行目乃至3 t行目を、及びバックライトアレイ4 1 a₄を用いて3 t + 1行目乃至k行目を照明する。

【0099】

期間T₁において、バックライトアレイ4 1 a₁は消灯し、1行目乃至t行目に設けられた画素に画像データが書き込まれる。バックライトアレイ4 1 a₂はt + 1行目乃至2 t行目に設けられた画素を照明し、バックライトアレイ4 1 a₃は2 t + 1行目乃至3 t行目に設けられた画素を照明し、バックライトアレイ4 1 a₄は3 t + 1行目乃至k行目に設けられた画素を照明する。第1のパルス幅変調回路4 6 aは、期間T₁を3つのバックライトアレイに分配して駆動する。したがって、それぞれのバックライトアレイが点灯できるデューティ比は最大1 / 3になる。

【0100】

このような方法で駆動することにより、本実施の形態で例示する液晶表示装置に用いるパルス幅変調回路の数を削減できる。

【0101】

<本実施の形態で開示される液晶表示装置について>

本実施の形態の液晶表示装置は、画像信号の入力と、バックライトの点灯とを並行して行うことが可能である。そのため、当該液晶表示装置の各画素に対する画像信号の入力頻度を向上させることなどが可能になる。その結果、フィールドシーケンシャル方式によって表示を行う液晶表示装置において生じるカラーブレイクを抑制し、該液晶表示装置が表示する画質を向上させることが可能である。

【0102】

また、本実施の形態で開示される液晶表示装置は、上記の動作を簡便な画素構成でありながら実現することが可能である。具体的には、特許文献1で開示される液晶表示装置の画素には、本実施の形態で開示される液晶表示装置の画素の構成に加えて、電荷の移動を制御するトランジスタが必要になる。また、該トランジスタのスイッチングを制御するための信号線も別途必要になる。これに対し、本実施の形態の液晶表示装置の画素構成は、簡便である。すなわち、本実施の形態の液晶表示装置は、特許文献1で開示される液晶表示装置と比較して画素の開口率を向上させることが可能である。また、画素部に延在する配線数を低減することで各種配線間に生じる寄生容量を低減することが可能である。すなわち、画素部に延在する各種配線の高速駆動が可能となる。

【0103】

また、図6に示す動作例のようにバックライトを点灯する場合、隣接するバックライトユニットが異なる色を呈することがない。具体的には、期間T₁において画像信号の入力が行われる領域に対して当該書き込み後にバックライトを点灯する場合、隣接するバック

10

20

30

40

50

ライトユニットが異なる色を呈することがない。例えば、期間 T_1 において、 $k+1$ 行目に配設された n 個の画素から $k+t$ 行目に配設された n 個の画素に対して青 (B) を呈する光の透過を制御するための画像信号の入力が終了した後に $k+1$ 行目乃至 $k+t$ 行目用バックライトユニットにおいて青 (B) の光源を点灯させる際に、 $3t+1$ 行目乃至 k 行目用バックライトユニット及び $k+t+1$ 行目乃至 $k+2t$ 行目用バックライトユニットにおいては、青 (B) の光源が点灯される又は点灯自体が行われず (赤 (R)、緑 (G) が点灯されることがない)。そのため、特定の色の画像情報が入力された画素を、当該特定の色と異なる色を呈する光が透過する確率を低減することが可能である。

【0104】

<変形例>

本実施の形態の液晶表示装置は、本発明の一態様であり、当該液晶表示装置と異なる点を有する液晶表示装置も本発明には含まれる。

【0105】

例えば、本実施の形態の液晶表示装置においては、画素部 10 を 3 つの領域に分割し、該 3 つの領域に並行して画像信号を供給する構成について示したが、本発明の液晶表示装置は、当該構成に限定されない。すなわち、本発明の液晶表示装置では、画素部 10 を 3 つ以外の複数の領域に分割し、該複数の領域に並行して画像信号を供給する構成とすることが可能である。なお、当該領域数を変化させる場合、当該領域数に応じて走査線駆動回路用クロック信号及びパルス幅制御信号を設定する必要があることを付記する。

【0106】

また、本実施の形態の液晶表示装置においては、液晶素子に印加される電圧を保持するための容量素子が設けられる構成 (図 1 (B) 参照) について示したが、当該容量素子を設けない構成とすることも可能である。この場合、画素の開口率を向上させることが可能である。また、画素部に延在する容量配線を削除することができるため、画素部に延在する各種配線の高速駆動が可能となる。

【0107】

また、パルス出力回路として、図 3 (A) に示したパルス出力回路に、ソース及びドレインの一方が高電源電位線に電氣的に接続され、ソース及びドレインの他方がトランジスタ 32 のゲート、トランジスタ 34 のゲート、トランジスタ 35 のソース及びドレインの他方、トランジスタ 36 のソース及びドレインの他方、トランジスタ 37 のソース及びドレインの他方、並びにトランジスタ 39 のゲートに電氣的に接続され、ゲートがリセット端子 (Reset) に電氣的に接続されたトランジスタ 50 を付加した構成 (図 7 (A) 参照) を適用することが可能である。なお、当該リセット端子には、画素部に 1 枚の画像が形成された後の期間においてハイレベルの電位が入力され、その他の期間においてはロウレベルの電位が入力される。なお、トランジスタ 50 は、ハイレベルの電位が入力されることでオン状態となるトランジスタである。これにより、各ノードの電位を初期化することができるので、誤動作を防止することが可能となる。なお、当該初期化を行う場合には、画素部に 1 枚の画像が形成される期間後に初期化期間を設ける必要があることを付記する。また、図 9 を参照して後述するが、画素部に 1 枚の画像を形成する期間後にバックライトを消灯する期間を設ける場合、当該消灯する期間において当該初期化を行うことが可能である。

【0108】

また、パルス出力回路として、図 3 (A) に示したパルス出力回路に、ソース及びドレインの一方がトランジスタ 31 のソース及びドレインの他方並びにトランジスタ 32 のソース及びドレインの他方に電氣的に接続され、ソース及びドレインの他方がトランジスタ 33 のゲート及びトランジスタ 38 のゲートに電氣的に接続され、ゲートが高電源電位線に電氣的に接続されたトランジスタ 51 を付加した構成 (図 7 (B) 参照) を適用することも可能である。なお、トランジスタ 51 は、ノード A の電位がハイレベルの電位となる期間 (図 3 (B) ~ (D) に示した期間 t_1 ~ 期間 t_6) においてオフ状態となる。そのため、トランジスタ 51 を付加した構成とすることで、期間 t_1 ~ t_6 において、トラン

10

20

30

40

50

ジスタ 33 のゲート及びトランジスタ 38 のゲートと、トランジスタ 31 のソース及びドレインの他方並びにトランジスタ 32 のソース及びドレインの他方との電氣的な接続を遮断することが可能となる。これにより、期間 t_1 ~ 期間 t_6 に含まれる期間において、当該パルス出力回路で行われるブートストラップ動作時の負荷を低減することが可能である。

【0109】

また、パルス出力回路として、図 7 (B) に示したパルス出力回路に、ソース及びドレインの一方がトランジスタ 33 のゲート並びにトランジスタ 51 のソース及びドレインの他方に電氣的に接続され、ソース及びドレインの他方がトランジスタ 38 のゲートに電氣的に接続され、ゲートが高電源電位線に電氣的に接続されたトランジスタ 52 を付加した構成 (図 8 (A) 参照) を適用することも可能である。なお、上述したようにトランジスタ 52 を設けることによって、当該パルス出力回路で行われるブートストラップ動作時の負荷を低減することが可能である。特に、当該パルス出力回路がトランジスタ 33 のソースとゲートとの容量結合のみによってノード A の電位を上昇させる場合 (図 3 (D) 参照)、当該負荷の低減する効果が大きい。

【0110】

また、パルス出力回路として、図 8 (A) に示したパルス出力回路からトランジスタ 51 を削除し、且つソース及びドレインの一方がトランジスタ 31 のソース及びドレインの他方、トランジスタ 32 のソース及びドレインの他方、並びにトランジスタ 52 のソース及びドレインの一方に電氣的に接続され、ソース及びドレインの他方がトランジスタ 33 のゲートに電氣的に接続され、ゲートが高電源電位線に電氣的に接続されたトランジスタ 53 を付加した構成 (図 8 (B) 参照) を適用することも可能である。なお、上述したようにトランジスタ 53 を設けることによって、当該パルス出力回路で行われるブートストラップ動作時の負荷を低減することが可能である。また、当該パルス出力回路に生じる不正パルスが、トランジスタ 33、38 のスイッチングに与える影響を軽減することが可能である。

【0111】

また、本実施の形態の液晶表示装置においては、バックライトユニットとして赤 (R)、緑 (G)、青 (B) の 3 色を呈する光源を横に直線的に並べる構成 (図 5 参照) について示したが、バックライトユニットの構成は、当該構成に限定されない。例えば、当該 3 色を呈する光源を 3 角配置しても良いし、当該 3 色を呈する光源を縦に直線的に並べてもよいし、赤 (R) のバックライトユニット、緑 (G) のバックライトユニット、及び青 (B) のバックライトユニットを別途設けても良い。また、上述した液晶表示装置においては、バックライトとして直下型方式のバックライトを適用する構成 (図 5 参照) について示したが、当該バックライトとしてエッジライト方式のバックライトを適用することも可能である。

【0112】

また、本実施の形態の液晶表示装置においては、選択信号の走査及びバックライトユニットの点灯を連続的に行う構成 (図 6 参照) について示したが、液晶表示装置の動作は、当該構成に限定されない。例えば、画素部において 1 枚の画像を形成する期間 (図 6 では、赤 (R) を呈する光の透過を制御するための画像信号の入力 ~ バックライトユニットにおいて青 (B) の光源が点灯される期間に相当する) の前後に、選択信号の走査及びバックライトユニットの点灯が行われない期間を設ける構成とすることが可能である (図 9 参照)。これにより、当該液晶表示装置において生じるカラーブレイクを抑制し、該液晶表示装置が表示する画質を向上させることが可能である。なお、図 9 においては、選択信号の走査及びバックライトユニットの点灯の双方を行わない構成について例示しているが、選択信号の走査を行い各画素に対して光を透過させないための画像信号を入力する構成とすることも可能である。

【0113】

また、本実施の形態の液晶表示装置においては、画素部の特定の領域毎にバックライト

10

20

30

40

50

ユニットが有する3つの光源の1つを点灯させる期間を設ける構成(図6参照)について示したが、バックライトユニットが有する3つの光源の1つ乃至すべてが点灯される期間を設ける構成(図10参照)とすることも可能である。この場合、液晶表示装置の表示輝度をさらに向上させること及び表示色調をさらに細分化させることが可能である。なお、図10に示す動作例においては、赤(R)を呈する光の透過を制御するための画像信号の入力~バックライトユニットにおける赤(R)の光源、緑(G)の光源、及び青(B)の光源の点灯までの動作によって画素部に1枚の画像が形成されることとする。

【0114】

また、本実施の形態の液晶表示装置においては、画素部の特定の領域毎にバックライトユニットを赤(R) 緑(G) 青(B)の順で点灯することで1枚の画像を形成する構成(図6参照)について示したが、本実施の形態の液晶表示装置における光源の点灯順は当該順に限定されない。例えば、青(B) 青(B)及び緑(G) 緑(G) 緑(G) 及び赤(R) 赤(R) 赤(R)及び青(B)の順で点灯することで1枚の画像を形成する構成(図11参照)、青(B) 青(B)及び赤(R) 赤(R) 赤(R)及び緑(G) 緑(G) 緑(G)及び青(B)の順で点灯することで1枚の画像を形成する構成(図12参照)、青(B) 赤(R)及び緑(G) 緑(G) 青(B)及び赤(R)

赤(R) 緑(G)及び青(B)の順で点灯することで1枚の画像を形成する構成(図13参照)、青(B) 赤(R)及び緑(G) 青(B)及び緑(G) 赤(R) 緑(G) 赤(R)及び青(B)の順で点灯することで1枚の画像を形成する構成(図14参照)などとすることも可能である。なお、光源の点灯順に合わせて、特定色を呈する光の透過を制御するための画像信号の入力順も適宜設計する必要があることは言うまでもない。

【0115】

また、本実施の形態の液晶表示装置においては、バックライトユニットが有する赤(R)、緑(G)、及び青(B)の光源のそれぞれを1回点灯することで1枚の画像を形成する構成(図6参照)について示したが、本実施の形態の液晶表示装置における光源毎の点灯回数を異ならせることも可能である。例えば、視感度が高い赤(R)及び緑(G)を呈する光が2回点灯され、且つ視感度の低い青(B)が3回点灯されるように、バックライトユニットを点灯することで1枚の画像を形成する構成(図15参照)とすることも可能である。なお、図15に示す動作例においては、赤(R)を呈する光の透過を制御するための画像信号の入力~バックライトユニットにおける緑(G)及び青(B)の光源の点灯までの動作によって画素部に1枚の画像が形成されることとする。

【0116】

また、本実施の形態の液晶表示装置においては、バックライトとして赤(R)、緑(G)、青(B)の3色の光源を組み合わせる構成について示したが、本発明の液晶表示装置は、当該構成に限定されない。すなわち、本発明の液晶表示装置では、任意の色を呈する光源を組み合わせるバックライトを構成することが可能である。例えば、赤(R)、緑(G)、青(B)、白(W)、若しくは赤(R)、緑(G)、青(B)、黄(Y)の4色の光源を組み合わせる用いること、又はシアン(C)、マゼンタ(M)、イエロー(Y)の3色の光源を組み合わせる用いることなどが可能である。なお、バックライトユニットが白(W)を呈する光を発光する光源を有する場合は、白(W)を呈する光を混色によって形成するのではなく、当該光源を用いて白(W)を呈する光を形成することができる。当該光源は、発光効率が高いため、当該光源を用いてバックライトを構成することで、消費電力を低減することが可能である。また、バックライトユニットが補色の関係にある2色の光源を有する場合(例えば、青(B)と黄(Y)の2色の光源を有する場合)、当該2色を呈する光を混色することで白(W)を呈する光を形成することも可能である。さらに、淡色の赤(R)、緑(G)、及び青(B)、並びに濃色の赤(R)、緑(G)、及び青(B)の6色の光源を組み合わせる用いること、又は赤(R)、緑(G)、青(B)、シアン(C)、マゼンタ(M)、イエロー(Y)の6色の光源を組み合わせる用いることなども可能である。このように、より多種の光源を組み合わせる用いることで、当該

液晶表示装置において表現できる色域を拡大し、画質を向上させることが可能である。

【0117】

本実施の形態で例示した、画素部全面において画像信号の入力及びバックライトの点灯を順次行うのではなく、画素部の特定の領域毎に画像信号の入力及びバックライトの点灯を順次行う液晶表示装置は、液晶表示装置の各画素に対する画像信号の入力頻度を向上させることなどが可能になる。その結果、当該液晶表示装置において生じるカラーブレイクなどの表示劣化を抑制し、画質を向上させることが可能である。加えて、画素部の特定の領域毎に画像信号に含まれる最も明るい階調の画像信号を検出することにより、バックライト光源の発光強度をきめ細やかに制御することが可能になる。その結果、当該液晶表示装置の消費電力を効果的に低減することができる。

10

【0118】

なお、本実施の形態の変形例として述べた構成の複数を、本実施の形態の液晶表示装置に対して適用することも可能である。

【0119】

また、本実施の形態の内容又は該内容の一部を、他の実施の形態の内容又は該内容の一部と組み合わせることが可能である。

【0120】

(実施の形態2)

本実施の形態では、実施の形態1に示した液晶表示装置の具体的な構成について、説明する。

20

【0121】

<トランジスタの具体例>

まず、上述した液晶表示装置の画素部又は各種回路に用いられるトランジスタの具体例について図17を参照して説明する。なお、当該液晶表示装置において、画素部及び各種回路のそれぞれに設けられるトランジスタは、同一構成を有するトランジスタを適用してもよいし、それぞれ異なる構成を有するトランジスタを適用してもよい。

【0122】

図17(A)に示すトランジスタ2450は、基板2400上にゲート層2401が形成され、ゲート層2401上にゲート絶縁層2402が形成され、ゲート絶縁層2402上に半導体層2403が形成され、半導体層2403上に、ソース層2405a、及びドレイン層2405bが形成されている。また、半導体層2403、ソース層2405a、及びドレイン層2405b上に絶縁層2407が形成されている。また、絶縁層2407上に保護絶縁層2409を形成してもよい。トランジスタ2450は、ボトムゲート構造のトランジスタの一つであり、逆スタガ型トランジスタの一つでもある。

30

【0123】

図17(B)に示すトランジスタ2460は、基板2400上にゲート層2401が形成され、ゲート層2401上にゲート絶縁層2402が形成され、ゲート絶縁層2402上に半導体層2403が形成され、半導体層2403上にチャネル保護層2406が形成され、チャネル保護層2406及び半導体層2403上に、ソース層2405a、及びドレイン層2405bが形成されている。また、ソース層2405a、及びドレイン層2405b上に保護絶縁層2409を形成してもよい。トランジスタ2460は、チャネル保護型(チャネルストップ型ともいう)と呼ばれるボトムゲート構造のトランジスタの一つであり、逆スタガ型トランジスタの一つでもある。

40

【0124】

図17(C)に示すトランジスタ2470は、基板2400上に下地層2436が形成され、下地層2436上に半導体層2403が形成され、半導体層2403、及び下地層2436上に、ソース層2405a、及びドレイン層2405bが形成され、半導体層2403、ソース層2405a、及びドレイン層2405b上にゲート絶縁層2402が形成され、ゲート絶縁層2402上にゲート層2401が形成されている。また、ゲート層2401上に保護絶縁層2409を形成してもよい。トランジスタ2470は、トップゲ

50

ート構造のトランジスタの一つである。

【0125】

図17(D)に示すトランジスタ2480は、基板2400上に、第1のゲート層2411が形成され、第1のゲート層2411上に第1のゲート絶縁層2413が形成され、第1のゲート絶縁層2413上に半導体層2403が形成され、半導体層2403、及び第1のゲート絶縁層2413上に、ソース層2405a、及びドレイン層2405bが形成されている。また、半導体層2403、ソース層2405a、及びドレイン層2405b上に第2のゲート絶縁層2414が形成され、第2のゲート絶縁層2414上に第2のゲート層2412が形成されている。また、第2のゲート層2412上に保護絶縁層2409を形成してもよい。

10

【0126】

トランジスタ2480は、トランジスタ2450とトランジスタ2470を併せた構造を有する。第1のゲート層2411と第2のゲート層2412を電氣的に接続して一つのゲート層として機能させることができる。また、第1のゲート層2411と第2のゲート層2412のうち、どちらか一方を単に「ゲート」と呼び、他方を「バックゲート」と呼ぶことがある。なお、トランジスタ2480において、バックゲートの電位を変化させることで、ゲートの電位によってスイッチングを制御する際のトランジスタ2480のしきい値電圧を変化させることができる。

【0127】

なお、基板2400としては、半導体基板（例えば単結晶基板又はシリコン基板）、S O I基板、ガラス基板、石英基板、表面に絶縁層が設けられた導電性基板、又はプラスチック基板、貼り合わせフィルム、繊維状の材料を含む紙、若しくは基材フィルムなどの可撓性基板などがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、又はソーダライムガラスなどがある。可撓性基板の一例としては、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルホン（PES）に代表されるプラスチック、又はアクリル等の可撓性を有する合成樹脂などがある。

20

【0128】

また、ゲート層2401及び第1のゲート層2411としては、アルミニウム（Al）、銅（Cu）、チタン（Ti）、タンタル（Ta）、タングステン（W）、モリブデン（Mo）、クロム（Cr）、ネオジム（Nd）、スカンジウム（Sc）から選ばれた元素、上述した元素を成分とする合金、または上述した元素を成分とする窒化物を適用することができる。また、これらの材料の積層構造を適用することもできる。

30

【0129】

また、ゲート絶縁層2402、第1のゲート絶縁層2413、第2のゲート絶縁層2414としては、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化タンタル、酸化ガリウムなどの絶縁体を適用することができる。また、これらの材料の積層構造を適用することもできる。なお、酸化窒化シリコンとは、その組成として、窒素よりも酸素の含有量が多いものであり、濃度範囲として酸素が55～65原子%、窒素が1～20原子%、シリコンが25～35原子%、水素が0.1～10原子%の範囲において、合計100原子%となるように各元素を任意の濃度で含むものをいう。また、窒化酸化シリコン膜とは、その組成として、酸素よりも窒素の含有量が多いものであり、濃度範囲として酸素が15～30原子%、窒素が20～35原子%、Siが25～35原子%、水素が15～25原子%の範囲において、合計100原子%となるように各元素を任意の濃度で含むものをいう。

40

【0130】

また、半導体層2403としては、シリコン（Si）若しくはゲルマニウム（Ge）などの周期表第14族元素を主構成元素とする材料、シリコンゲルマニウム（SiGe）若しくはガリウムヒ素（GaAs）などの化合物、酸化亜鉛（ZnO）若しくはインジウム（In）及びガリウム（Ga）を含む酸化亜鉛などの酸化物、又は半導体特性を示す有機

50

化合物などの半導体材料を適用することができる。また、これらの半導体材料からなる層の積層構造を適用することもできる。

【0131】

さらに、半導体層2403としてシリコン(Si)を適用する場合、当該半導体層2403の結晶状態は限定されない。すなわち、アモルファスシリコン、微結晶シリコン、多結晶シリコン、及び単結晶シリコンのいずれかを半導体層2403として適用することが可能である。なお、微結晶シリコンは、そのラマンスペクトルが単結晶シリコンを示す 520 cm^{-1} よりも低波数側に、シフトしている。即ち、単結晶シリコンを示す 520 cm^{-1} とアモルファスシリコンを示す 480 cm^{-1} の間に微結晶シリコンのラマンスペクトルのピークがある。また、未結合手(ダングリングボンド)を終端するため水素またはハロゲンを少なくとも1原子%またはそれ以上含んでいる。さらに、ヘリウム、アルゴン、クリプトン、またはネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで、安定性が増し良好な微結晶半導体が得られる。

10

【0132】

また、半導体層2403として酸化物(酸化物半導体)を適用する場合、少なくともIn、Ga、Sn、Zn、Al、Mg、Hf及びランタノイドから選ばれた一種以上の元素を含有する。例えば、四元系金属酸化物であるIn-Sn-Ga-Zn-O系金属酸化物、三元系金属酸化物であるIn-Ga-Zn-O系金属酸化物、In-Sn-Zn-O系金属酸化物、In-Al-Zn-O系金属酸化物、Sn-Ga-Zn-O系金属酸化物、Al-Ga-Zn-O系金属酸化物、Sn-Al-Zn-O系金属酸化物、In-Hf-Zn-O系金属酸化物、In-La-Zn-O系金属酸化物、In-Ce-Zn-O系金属酸化物、In-Pr-Zn-O系金属酸化物、In-Nd-Zn-O系金属酸化物、In-Pm-Zn-O系金属酸化物、In-Sm-Zn-O系金属酸化物、In-Eu-Zn-O系金属酸化物、In-Gd-Zn-O系金属酸化物、In-Tb-Zn-O系金属酸化物、In-Dy-Zn-O系金属酸化物、In-Ho-Zn-O系金属酸化物、In-Er-Zn-O系金属酸化物、In-Tm-Zn-O系金属酸化物、In-Yb-Zn-O系金属酸化物、In-Lu-Zn-O系金属酸化物、二元系金属酸化物であるIn-Ga-O系金属酸化物、In-Zn-O系金属酸化物、Sn-Zn-O系金属酸化物、Al-Zn-O系金属酸化物、Zn-Mg-O系金属酸化物、Sn-Mg-O系金属酸化物、In-Mg-O系金属酸化物、または単元系金属酸化物であるIn-O系金属酸化物、Sn-O系金属酸化物、Zn-O系金属酸化物などを用いることができる。また、上記酸化物半導体に珪素を含んでもよい。ここで、例えば、In-Ga-Zn-O系酸化物半導体とは、少なくともInとGaとZnを含む酸化物であり、その組成比に特に制限はない。また、InとGaとZn以外の元素を含んでもよい。

20

30

【0133】

また、酸化物半導体として、化学式 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$)で表記される薄膜を用いることができる。ここで、Mは、Ga、Al、MnおよびCoから選ばれた一または複数の金属元素を示す。例えばMとして、Ga、Ga及びAl、Ga及びMn、またはGa及びCoなどを選択することができる。

【0134】

また、ソース層2405a、ドレイン層2405b、及び第2のゲート層2412としては、アルミニウム(Al)、銅(Cu)、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、ネオジム(Nd)、スカンジウム(Sc)から選ばれた元素、上述した元素を成分とする合金、または上述した元素を成分とする窒化物を適用することができる。また、これらの材料の積層構造を適用することもできる。

40

【0135】

また、ソース層2405a、ドレイン層2405b(これらと同じ層で形成される配線層を含む)となる導電膜は導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム(In_2O_3)、酸化スズ(SnO_2)、酸化亜鉛(ZnO)、酸

50

化インジウム酸化スズ (In_2O_3 、 SnO_2 、ITOと略記する)、酸化インジウム酸化亜鉛 (In_2O_3 、 ZnO) またはこれらの金属酸化物材料に酸化シリコンを含ませたものを用いることができる。

【0136】

なお、チャネル保護層2406としては、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化タンタル、酸化ガリウムなどの絶縁体を適用することができる。また、これらの材料の積層構造を適用することもできる。

【0137】

また、絶縁層2407としては、酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウムなどの絶縁体を適用することができる。また、これらの材料の積層構造を適用することもできる。

10

【0138】

また、保護絶縁層2409としては、窒化シリコン、窒化アルミニウム、窒化酸化シリコン、窒化酸化アルミニウムなどの絶縁体を適用することができる。また、これらの材料の積層構造を適用することもできる。

【0139】

また、下地層2436としては、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化タンタル、酸化ガリウムなどの絶縁体を適用することができる。また、これらの材料の積層構造を適用することもできる。

【0140】

20

なお、半導体層2403として酸化物半導体を適用する場合、該酸化物半導体に接する絶縁層(ここでは、ゲート絶縁層2402、絶縁層2407、チャネル保護層2406、下地層2436、第1のゲート絶縁層2413、第2のゲート絶縁層2414が相当する)としては、第13族元素および酸素を含む絶縁材料を用いることが好ましい。酸化物半導体材料には第13族元素を含むものが多く、第13族元素を含む絶縁材料は酸化物半導体との相性が良く、これを酸化物半導体に接する絶縁層に用いることで、酸化物半導体との界面の状態を良好に保つことができる。

【0141】

第13族元素を含む絶縁材料とは、一または複数の第13族元素を含む絶縁材料を意味する。第13族元素を含む絶縁材料としては、例えば、酸化ガリウム、酸化アルミニウム、酸化アルミニウムガリウム、酸化ガリウムアルミニウムなどがある。ここで、酸化アルミニウムガリウムとは、ガリウムの含有量(原子%)よりアルミニウムの含有量(原子%)が多いものを示し、酸化ガリウムアルミニウムとは、ガリウムの含有量(原子%)がアルミニウムの含有量(原子%)以上のものを示す。

30

【0142】

例えば、ガリウムを含有する酸化物半導体層に接して絶縁層を形成する場合に、絶縁層に酸化ガリウムを含む材料を用いることで酸化物半導体層と絶縁層の界面特性を良好に保つことができる。例えば、酸化物半導体層と酸化ガリウムを含む絶縁層とを接して設けることにより、酸化物半導体層と絶縁層の界面における水素のパイルアップを低減することができる。なお、絶縁層に酸化物半導体の成分元素と同じ族の元素を用いる場合には、同様の効果を得ることが可能である。例えば、酸化アルミニウムを含む材料を用いて絶縁層を形成することも有効である。なお、酸化アルミニウムは、水を透過させにくいという特性を有しているため、当該材料を用いることは、酸化物半導体層への水の侵入防止という点においても好ましい。

40

【0143】

また、半導体層2403として酸化物半導体を適用する場合、該酸化物半導体に接する絶縁層としては、酸素雰囲気下による熱処理や、酸素ドーピングなどにより、絶縁材料を化学量論的組成比より酸素が多い状態とすることが好ましい。酸素ドーピングとは、酸素をバルクに添加することをいう。なお、当該バルクという用語は、酸素を薄膜表面のみでなく薄膜内部に添加することを明確にする趣旨で用いている。また、酸素ドーピングには、プラズマ化

50

した酸素をバルクに添加する酸素プラズマドーピングが含まれる。また、酸素ドーピングは、イオン注入法またはイオンドーピング法を用いて行ってもよい。

【0144】

例えば、当該絶縁層として酸化ガリウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドーピングを行うことにより、酸化ガリウムの組成を Ga_2O_X ($X = 3 +$ 、 $0 < < 1$) とすることができる。

【0145】

また、当該絶縁層として酸化アルミニウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドーピングを行うことにより、酸化アルミニウムの組成を Al_2O_X ($X = 3 +$ 、 $0 < < 1$) とすることができる。

10

【0146】

また、当該絶縁層として酸化ガリウムアルミニウム（酸化アルミニウムガリウム）を用いた場合、酸素雰囲気下による熱処理や、酸素ドーピングを行うことにより、酸化ガリウムアルミニウム（酸化アルミニウムガリウム）の組成を $Ga_X Al_{2-X} O_3 +$ ($0 < X < 2$ 、 $0 < < 1$) とすることができる。

【0147】

酸素ドーピング処理を行うことにより、化学量論的組成比より酸素が多い領域を有する絶縁層を形成することができる。このような領域を備える絶縁層と酸化物半導体層が接することにより、絶縁層中の過剰な酸素が酸化物半導体層に供給され、酸化物半導体層中、または酸化物半導体層と絶縁層の界面における酸素不足欠陥を低減し、酸化物半導体層を I 型

20

【0148】

なお、半導体層 2403 として酸化物半導体を適用する場合において、半導体層 2403 に接する絶縁層のうち、上層に位置する絶縁層及び下層に位置する絶縁層の一方のみを化学量論的組成比より酸素が多い領域を有する絶縁層とすることもできるが、両方の絶縁層を化学量論的組成比より酸素が多い領域を有する絶縁層とすることが好ましい。化学量論的組成比より酸素が多い領域を有する絶縁層を、半導体層 2403 に接する絶縁層の、上層及び下層に位置する絶縁層に用い、半導体層 2403 を挟む構成とすることで、上記効果をより高めることができる。

【0149】

また、半導体層 2403 として酸化物半導体を適用する場合において、半導体層 2403 の上層または下層に用いる絶縁層は、上層と下層で同じ構成元素を有する絶縁層としても良いし、異なる構成元素を有する絶縁層としても良い。例えば、上層と下層とも、組成が Ga_2O_X ($X = 3 +$ 、 $0 < < 1$) の酸化ガリウムとしても良いし、上層と下層の一方を組成が Ga_2O_X ($X = 3 +$ 、 $0 < < 1$) の酸化ガリウムとし、他方を組成が Al_2O_X ($X = 3 +$ 、 $0 < < 1$) の酸化アルミニウムとしても良い。

30

【0150】

また、半導体層 2403 として酸化物半導体を適用する場合において、半導体層 2403 に接する絶縁層は、化学量論的組成比より酸素が多い領域を有する絶縁層の積層としても良い。例えば、半導体層 2403 の上層に組成が Ga_2O_X ($X = 3 +$ 、 $0 < < 1$) の酸化ガリウムを形成し、その上に組成が $Ga_X Al_{2-X} O_3 +$ ($0 < X < 2$ 、 $0 < < 1$) の酸化ガリウムアルミニウム（酸化アルミニウムガリウム）を形成してもよい。なお、半導体層 2403 の下層を、化学量論的組成比より酸素が多い領域を有する絶縁層の積層としても良いし、半導体層 2403 の上層及び下層の両方を、化学量論的組成比より酸素が多い領域を有する絶縁層の積層としても良い。

40

【0151】

<画素レイアウトの具体例>

次いで、上述した液晶表示装置の画素のレイアウトの具体例について図18、19を参照して説明する。なお、図18は、図1(B)に示した画素のレイアウトの上面図を示す図であり、図19は、図18に示すA-B線における断面図を示す図である。なお、図1

50

8においては、液晶層、対向電極などの構成は割愛している。以下、具体的な構造について図19を参照して説明する。

【0152】

トランジスタ16は、基板220上に絶縁層221を介して設けられた導電層222と、導電層222上に設けられた絶縁層223と、導電層222上に絶縁層223を介して設けられた半導体層224と、半導体層224の一端上に設けられた導電層225aと、半導体層224の他端上に設けられた導電層225bと、を有する。なお、導電層222は、ゲート層として機能し、絶縁層223は、ゲート絶縁層として機能し、導電層225a及び導電層225bの一方は、ソース層、他方はドレイン層として機能する。

【0153】

容量素子17は、基板220上に絶縁層221を介して設けられた導電層226と、導電層226上に設けられた絶縁層227と、導電層226上に絶縁層227を介して設けられた導電層228と、を有する。なお、導電層226は、容量素子17の一方の電極として機能し、絶縁層227は、容量素子17の誘電体として機能し、導電層228は、容量素子17の他方の電極として機能する。また、導電層226は、導電層222と同一材料からなり、絶縁層227は、絶縁層223と同一材料からなり、導電層228は、導電層225a及び導電層225bと同一材料からなる。また、導電層226は、導電層225bと電氣的に接続されている。

【0154】

なお、トランジスタ16及び容量素子17上には、絶縁層229及び平坦化絶縁層230が設けられている。

【0155】

液晶素子18は、平坦化絶縁層230上に設けられた透明導電層231と、対向基板240上に設けられた透明導電層241と、透明導電層231と透明導電層241に挟持された液晶層250と、を有する。なお、透明導電層231は、液晶素子18の画素電極として機能し、透明導電層241は、液晶素子18の対向電極として機能する。また、透明導電層231は、導電層225b及び導電層226と電氣的に接続されている。

【0156】

なお、透明導電層231と液晶層250の間、または透明導電層241と液晶層250の間に、配向膜を適宜設けても良い。配向膜は、ポリイミド、ポリビニルアルコールなどの有機樹脂を用いて形成することができ、その表面には、ラビングなどの、液晶分子を一定方向に配列させるための配向処理が施されている。ラビングは、配向膜に接するように、ナイロンなどの布を巻いたローラーを回転させて、上記配向膜の表面を一定方向に擦ることで、行うことができる。なお、酸化珪素などの無機材料を用い、配向処理を施すことなく、蒸着法で配向特性を有する配向膜を直接形成することも可能である。

【0157】

また、液晶層250を形成するために行われる液晶の注入には、ディスペンサ式（滴下式）を用いても良いし、ディップ式（汲み上げ式）を用いても良い。

【0158】

なお、画素間における液晶の配向の乱れに起因するディスクリネーションが視認されるのを防ぐため、又は、拡散した光が隣接する複数の画素に並行して入射するのを防ぐために、対向基板240上に光を遮蔽することができる遮蔽層242が設けられている。遮蔽層242には、カーボンブラック、二酸化チタンよりも酸化数が小さい低次酸化チタンなどの黒色顔料を含む有機樹脂を用いることができる。また、クロムを用いた膜で、遮蔽層242を形成することも可能である。

【0159】

透明導電層231、及び透明導電層241は、例えば、酸化珪素を含む酸化インジウムスズ（ITO）、酸化インジウムスズ（ITO）、酸化亜鉛（ZnO）、酸化インジウム亜鉛（IZO）、ガリウムを添加した酸化亜鉛（GZO）などの透光性を有する導電材料を用いることができる。

10

20

30

40

50

【 0 1 6 0 】

なお、図 1 9 では、透明導電層 2 3 1 と透明導電層 2 4 1 の間に液晶層 2 5 0 が挟持される構造を有する液晶素子を例に挙げて説明したが、本発明の一態様に係る液晶表示装置はこの構成に限定されない。IPS 型の液晶素子やブルー相を用いた液晶素子のように、一对の電極が共に一の基板に形成されていても良い。

【 0 1 6 1 】

< 液晶表示装置の具体例 >

次いで、液晶表示装置のパネルの外観について、図 2 0 を用いて説明する。図 2 0 (A) は、基板 4 0 0 1 と対向基板 4 0 0 6 とをシール材 4 0 0 5 によって接着させたパネルの上面図であり、図 2 0 (B) は、図 2 0 (A) の C - D 線における断面図に相当する。

10

【 0 1 6 2 】

基板 4 0 0 1 上に設けられた画素部 4 0 0 2 と、走査線駆動回路 4 0 0 4 とを囲むように、シール材 4 0 0 5 が設けられている。また、画素部 4 0 0 2、走査線駆動回路 4 0 0 4 の上に対向基板 4 0 0 6 が設けられている。よって、画素部 4 0 0 2 と走査線駆動回路 4 0 0 4 は、基板 4 0 0 1 とシール材 4 0 0 5 と対向基板 4 0 0 6 とによって、液晶 4 0 0 7 と共に封止されている。

【 0 1 6 3 】

また、基板 4 0 0 1 上のシール材 4 0 0 5 によって囲まれている領域とは異なる領域に、信号線駆動回路 4 0 0 3 が形成された基板 4 0 2 1 が、実装されている。図 2 0 (B) では、信号線駆動回路 4 0 0 3 に含まれるトランジスタ 4 0 0 9 を例示している。

20

【 0 1 6 4 】

また、基板 4 0 0 1 上に設けられた画素部 4 0 0 2、走査線駆動回路 4 0 0 4 は、トランジスタを複数有している。図 2 0 (B) では、画素部 4 0 0 2 に含まれるトランジスタ 4 0 1 0、トランジスタ 4 0 2 2 を例示している。

【 0 1 6 5 】

また、液晶素子 4 0 1 1 が有する画素電極 4 0 3 0 は、トランジスタ 4 0 1 0 と電氣的に接続されている。そして、液晶素子 4 0 1 1 の対向電極 4 0 3 1 は、対向基板 4 0 0 6 に形成されている。画素電極 4 0 3 0 と対向電極 4 0 3 1 と液晶 4 0 0 7 とが重なっている部分が、液晶素子 4 0 1 1 に相当する。

【 0 1 6 6 】

また、スペーサ 4 0 3 5 が、画素電極 4 0 3 0 と対向電極 4 0 3 1 との間の距離（セルギャップ）を制御するために設けられている。なお、図 2 0 (B) では、スペーサ 4 0 3 5 が、絶縁膜をパターンニングすることで形成されている場合を例示しているが、球状スペーサを用いても良い。

30

【 0 1 6 7 】

また、信号線駆動回路 4 0 0 3、走査線駆動回路 4 0 0 4、画素部 4 0 0 2 に与えられる各種信号及び電位は、引き回し配線 4 0 1 4 及び引き回し配線 4 0 1 5 を介して、接続端子 4 0 1 6 から供給されている。接続端子 4 0 1 6 は、FPC 4 0 1 8 が有する端子と、異方性導電膜 4 0 1 9 を介して電氣的に接続されている。

【 0 1 6 8 】

なお、基板 4 0 0 1、対向基板 4 0 0 6、基板 4 0 2 1 には、ガラス、セラミックス、プラスチックを用いることができる。プラスチックには、FRP (Fiber glass - Reinforced Plastic) 板、PVF (ポリビニルフルオライド) フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムなどが含まれる。

40

【 0 1 6 9 】

但し、液晶素子 4 0 1 1 からの光の取り出し方向に位置する基板には、ガラス板、プラスチック、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

【 0 1 7 0 】

図 2 1 は、本発明の一態様に係る液晶表示装置の構造を示す、斜視図の一例である。図

50

図 21 に示す液晶表示装置は、画素部を有するパネル 1601 と、第 1 の拡散板 1602 と、プリズムシート 1603 と、第 2 の拡散板 1604 と、導光板 1605 と、バックライトパネル 1607 と、回路基板 1608 と、信号線駆動回路の形成された基板 1611 とを有している。

【0171】

パネル 1601 と、第 1 の拡散板 1602 と、プリズムシート 1603 と、第 2 の拡散板 1604 と、導光板 1605 と、バックライトパネル 1607 とは、順に積層されている。バックライトパネル 1607 は、複数のバックライトユニットで構成されたバックライト 1612 を有している。導光板 1605 内部に拡散されたバックライト 1612 からの光は、第 1 の拡散板 1602、プリズムシート 1603 及び第 2 の拡散板 1604 によって、パネル 1601 に照射される。

10

【0172】

なお、ここでは、第 1 の拡散板 1602 と第 2 の拡散板 1604 とを用いているが、拡散板の数はこれに限定されず、単数であっても 3 以上であっても良い。そして、拡散板は導光板 1605 とパネル 1601 の間に設けられていれば良い。よって、プリズムシート 1603 よりもパネル 1601 に近い側にのみ拡散板が設けられていても良いし、プリズムシート 1603 よりも導光板 1605 に近い側にのみ拡散板が設けられていても良い。

【0173】

また、プリズムシート 1603 は、図 21 に示した断面が鋸歯状の形状に限定されず、導光板 1605 からの光をパネル 1601 側に集光できる形状を有していれば良い。

20

【0174】

回路基板 1608 には、パネル 1601 に入力される各種信号を生成する回路、またはこれら信号に処理を施す回路などが設けられている。そして、図 21 では、回路基板 1608 とパネル 1601 とが、COF テープ 1609 を介して接続されている。また、信号線駆動回路の形成された基板 1611 が、COF (Chip On Film) 法を用いて COF テープ 1609 に接続されている。

【0175】

図 21 では、バックライト 1612 の駆動を制御する制御系の回路が回路基板 1608 に設けられており、該制御系の回路とバックライトパネル 1607 とが FPC 1610 を介して接続されている例を示している。ただし、上記制御系の回路はパネル 1601 に形成されていても良く、この場合はパネル 1601 とバックライトパネル 1607 とが FPC などにより接続されるようにする。

30

【0176】

<液晶表示装置を搭載した各種電子機器について>

以下では、本明細書で開示される液晶表示装置を搭載した電子機器の例について図 22 を参照して説明する。

【0177】

図 22 (A) は、ノート型のパーソナルコンピュータを示す図であり、本体 2201、筐体 2202、表示部 2203、キーボード 2204 などによって構成されている。

【0178】

図 22 (B) は、携帯情報端末 (PDA) を示す図であり、本体 2211 には表示部 2213 と、外部インターフェイス 2215 と、操作ボタン 2214 等が設けられている。また、操作用の付属品としてスタイラス 2212 がある。

40

【0179】

図 22 (C) は、電子書籍 2220 を示す図である。電子書籍 2220 は、筐体 2221 および筐体 2223 の 2 つの筐体で構成されている。筐体 2221 および筐体 2223 は、軸部 2237 により一体とされており、該軸部 2237 を軸として開閉動作を行うことができる。このような構成により、電子書籍 2220 は、紙の書籍のように用いることが可能である。

【0180】

50

筐体 2 2 2 1 には表示部 2 2 2 5 が組み込まれ、筐体 2 2 2 3 には表示部 2 2 2 7 が組み込まれている。表示部 2 2 2 5 および表示部 2 2 2 7 は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部（図 2 2（C）では表示部 2 2 2 5）に文章を表示し、左側の表示部（図 2 2（C）では表示部 2 2 2 7）に画像を表示することができる。

【0181】

また、図 2 2（C）では、筐体 2 2 2 1 に操作部などを備えた例を示している。例えば、筐体 2 2 2 1 は、電源 2 2 3 1、操作キー 2 2 3 3、スピーカー 2 2 3 5などを備えている。操作キー 2 2 3 3により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍 2 2 2 0 は、電子辞書としての機能を持たせた構成としてもよい。

10

【0182】

また、電子書籍 2 2 2 0 は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0183】

図 2 2（D）は、携帯電話機を示す図である。当該携帯電話機は、筐体 2 2 4 0 および筐体 2 2 4 1 の二つの筐体で構成されている。筐体 2 2 4 1 は、表示パネル 2 2 4 2、スピーカー 2 2 4 3、マイクロフォン 2 2 4 4、ポインティングデバイス 2 2 4 6、カメラ用レンズ 2 2 4 7、外部接続端子 2 2 4 8などを備えている。また、筐体 2 2 4 0 は、当該携帯電話機の充電を行う太陽電池セル 2 2 4 9、外部メモリスロット 2 2 5 0などを備えている。また、アンテナは筐体 2 2 4 1 内部に内蔵されている。

20

【0184】

表示パネル 2 2 4 2 はタッチパネル機能を備えており、図 2 2（D）には映像表示されている複数の操作キー 2 2 4 5 を点線で示している。なお、当該携帯電話は、太陽電池セル 2 2 4 9 から出力される電圧を各回路に必要な電圧に昇圧するための昇圧回路を実装している。また、上記構成に加えて、非接触 IC チップ、小型記録装置などを内蔵した構成とすることもできる。

30

【0185】

表示パネル 2 2 4 2 は、使用形態に応じて表示の方向が適宜変化する。また、表示パネル 2 2 4 2 と同一面上にカメラ用レンズ 2 2 4 7 を備えているため、テレビ電話が可能である。スピーカー 2 2 4 3 およびマイクロフォン 2 2 4 4 は音声通話に限らず、テレビ電話、録音、再生などが可能である。さらに、筐体 2 2 4 0 と筐体 2 2 4 1 はスライドし、図 2 2（D）のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。

【0186】

外部接続端子 2 2 4 8 は AC アダプタや USB ケーブルなどの各種ケーブルと接続可能であり、充電やデータ通信が可能になっている。また、外部メモリスロット 2 2 5 0 に記録媒体を挿入し、より大量のデータの保存および移動に対応できる。また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。

40

【0187】

図 2 2（E）は、デジタルカメラを示す図である。当該デジタルカメラは、本体 2 2 6 1、表示部（A） 2 2 6 7、接眼部 2 2 6 3、操作スイッチ 2 2 6 4、表示部（B） 2 2 6 5、バッテリー 2 2 6 6 などによって構成されている。

【0188】

図 2 2（F）は、テレビジョン装置を示す図である。テレビジョン装置 2 2 7 0 では、筐体 2 2 7 1 に表示部 2 2 7 3 が組み込まれている。表示部 2 2 7 3 により、映像を表示

50

することが可能である。なお、ここでは、スタンド 2 2 7 5 により筐体 2 2 7 1 を支持した構成を示している。

【 0 1 8 9 】

テレビジョン装置 2 2 7 0 の操作は、筐体 2 2 7 1 が備える操作スイッチや、別体のリモコン操作機 2 2 8 0 により行うことができる。リモコン操作機 2 2 8 0 が備える操作キー 2 2 7 9 により、チャンネルや音量の操作を行うことができ、表示部 2 2 7 3 に表示される映像を操作することができる。また、リモコン操作機 2 2 8 0 に、当該リモコン操作機 2 2 8 0 から出力する情報を表示する表示部 2 2 7 7 を設ける構成としてもよい。

【 0 1 9 0 】

なお、テレビジョン装置 2 2 7 0 は、受信機やモデムなどを備えた構成とするのが好適である。受信機により、一般のテレビ放送の受信を行うことができる。また、モデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことが可能である。

【 0 1 9 1 】

（実施の形態 3）

本実施の形態では、本発明の一態様に係る液晶表示装置において用いられる、基板の一形態について図 2 3、2 4 を参照して説明する。

【 0 1 9 2 】

まず、作製基板 6 2 0 0 上に、剥離層 6 2 0 1 を介して、トランジスタや層間絶縁膜、配線、画素電極など、素子基板として必要な要素を含む被剥離層 6 1 1 6 を形成する。

【 0 1 9 3 】

作製基板 6 2 0 0 としては、石英基板、サファイア基板、セラミック基板や、ガラス基板、金属基板などを用いることができる。なお、これら基板に、可撓性を明確に表さない程度に厚みのあるものを使用することで、精度良くトランジスタなどの素子を形成することができる。可撓性を明確に表さない程度とは、通常液晶ディスプレイを作製する際に使用されているガラス基板の弾性率程度、またはそれより弾性率が大きいことを言う。

【 0 1 9 4 】

剥離層 6 2 0 1 は、スパッタリング法やプラズマ C V D 法、塗布法、印刷法等により、タングステン（W）、モリブデン（Mo）、チタン（Ti）、タンタル（Ta）、ニオブ（Nb）、ニッケル（Ni）、コバルト（Co）、ジルコニウム（Zr）、亜鉛（Zn）、ルテニウム（Ru）、ロジウム（Rh）、パラジウム（Pd）、オスミウム（Os）、イリジウム（Ir）、珪素（Si）から選択された元素、又は上記元素を主成分とする合金材料、又は上記元素を主成分とする化合物材料からなる層を、単層又は積層して形成する。

【 0 1 9 5 】

剥離層 6 2 0 1 が単層構造の場合、好ましくは、タングステン層、モリブデン層、又はタングステンとモリブデンの混合物を含む層を形成する。また、剥離層 6 2 0 1 として、タングステンの酸化物若しくは酸化窒化物を含む層、モリブデンの酸化物若しくは酸化窒化物を含む層、又はタングステンとモリブデンの混合物の酸化物若しくは酸化窒化物を含む層を形成することも可能である。なお、タングステンとモリブデンの混合物は、例えば、タングステンとモリブデンの合金に相当する。

【 0 1 9 6 】

剥離層 6 2 0 1 が積層構造の場合、好ましくは、1 層目として金属層を形成し、2 層目として金属酸化物層を形成する。代表的には 1 層目としてタングステン層、モリブデン層、又はタングステンとモリブデンの混合物を含む層を形成し、2 層目として、タングステン、モリブデン若しくはタングステンとモリブデンの混合物の酸化物、それらの窒化物、それらの酸化窒化物、又はそれらの窒化酸化物を形成すると良い。2 層目の金属酸化物層の形成は、1 層目の金属層上に、酸化物層（例えば酸化シリコンなどの絶縁層として利用できるもの）を形成することで金属層表面に当該金属の酸化物が形成されることを応用し

10

20

30

40

50

ても良い。

【0197】

続いて、剥離層6201上に、被剥離層6116を形成する(図23(A)参照)。被剥離層6116としては、トランジスタや層間絶縁膜、配線、画素電極など、素子基板として必要な要素が含まれる。これらは、フォトリソグラフィ法などを用いて作製することができる。

【0198】

次いで、剥離用接着剤6203を用いて被剥離層6116を仮支持基板6202に接着した後、被剥離層6116を作製基板6200の剥離層6201から剥離して転置する(図23(B)参照)。これにより被剥離層6116は、仮支持基板側に設けられる。なお、本明細書において、作製用基板から仮支持基板に被剥離層を転置する工程を転置工程という。

10

【0199】

仮支持基板6202は、ガラス基板、石英基板、サファイア基板、セラミック基板、金属基板などを用いることができる。また、以降の処理温度に耐えうる耐熱性を有するプラスチック基板を用いても良い。

【0200】

また、ここで用いる剥離用接着剤6203には、水や溶媒に可溶なものや、紫外線などの照射により可塑化させることが可能であるような、必要時に仮支持基板6202と被剥離層6116とを分離することが可能な接着剤を用いる。

20

【0201】

なお、仮支持基板6202への転置工程には、様々な方法を適宜用いることができる。例えば、剥離層6201として、被剥離層6116と接する側に金属酸化膜を含む膜を形成した場合は、当該金属酸化膜を結晶化させることにより脆弱化させて、被剥離層6116を作製基板6200から剥離することができる。また、作製基板6200と被剥離層6116の間に、剥離層6201として水素を含む非晶質シリコン膜を形成した場合は、レーザー光の照射またはエッチングにより当該水素を含む非晶質シリコン膜を除去して、被剥離層6116を作製基板6200から剥離することができる。また、剥離層6201として窒素、酸素や水素等を含む膜(例えば、水素を含む非晶質シリコン膜、水素含有合金膜、酸素含有合金膜など)を用いた場合には、剥離層6201にレーザー光を照射して剥離層6201内に含有する窒素、酸素や水素をガスとして放出させ、被剥離層6116と作製基板6200との分離を促進することができる。他の方法として、剥離層6201と被剥離層6116との界面に液体を浸透させて作製基板6200から被剥離層6116を剥離してもよい。剥離層6201をタングステンで形成し、アンモニア水と過酸化水素水の混合溶液により剥離層6201をエッチングしながら剥離を行う方法もある。

30

【0202】

また、上記剥離方法を複数組み合わせることでより容易に剥離工程を行うことができる。レーザー光の照射、ガスや溶液などによる剥離層6201へのエッチング、鋭いナイフやメスなどによる機械的な除去を部分的に行い、剥離層6201と被剥離層6116とを剥離しやすい状態にしてから、物理的な力(機械等による)によって剥離を行う工程などがこれに当たる。剥離層6201を金属と金属酸化物との積層構造により形成した場合、レーザー光の照射によって形成される溝や鋭いナイフやメスなどによる傷などをきっかけとして、剥離層6201から物理的に引き剥がすことも容易となる。

40

【0203】

また、これら剥離を行う際に水などの液体をかけながら剥離してもよい。

【0204】

被剥離層6116を作製基板6200から分離する方法としては、他に、被剥離層6116が形成された作製基板6200を、機械的に研磨などを行って除去する方法や、溶液や NF_3 、 BrF_3 、 ClF_3 等のフッ化ハロゲンガスによるエッチングで除去する方法等も用いることができる。この場合は、剥離層6201を設けなくとも良い。

50

【0205】

続いて、作製基板6200から剥離され、露出した剥離層6201、若しくは被剥離層6116表面に剥離用接着剤6203とは異なる接着剤による第1の接着剤層6111を用いて転置基板6110を接着する(図23(C)参照)。

【0206】

第1の接着剤層6111の材料としては、紫外線硬化型接着剤など光硬化型の接着剤、反応硬化型接着剤、熱硬化型接着剤、または嫌気型接着剤など各種硬化型接着剤を用いることができる。

【0207】

転置基板6110としては、じん性が大きい各種基板を用い、例えば、有機樹脂のフィルムや金属基板などを好適に使用することができる。じん性の大きい基板は耐衝撃性に優れ、破損し難い基板である。有機樹脂のフィルムは軽量であり、また、金属基板も薄いものは軽量であることから、通常のガラス基板を使用する場合と比較して、大幅な軽量化が可能となる。このような基板を用いることによって、軽く、破損しにくい表示装置を作製することができるようになる。

10

【0208】

このような基板を構成する材料としては、例えば、ポリエチレンテレフタレート(PET)又はポリエチレンナフタレート(PEN)等のポリエステル樹脂、アクリル樹脂、ポリアクリルニトリル樹脂、ポリイミド樹脂、ポリメチルメタクリレート樹脂、ポリカーボネート樹脂(PC)、ポリエーテルスルホン樹脂(PES)、ポリアミド樹脂、シクロオレフィン樹脂、ポリスチレン樹脂、ポリアミドイミド樹脂、ポリ塩化ビニル樹脂等などが挙げられる。これら有機樹脂からなる基板は、じん性が大きいことから、耐衝撃性にも優れ、破損しにくい基板である。また、これら有機樹脂のフィルムは軽量であることから、通常のガラス基板と比較して、非常に軽量化された表示装置を作製することが可能となる。また、この場合、転置基板6110は、少なくとも各画素の光が透過する領域と重なる部分に開口が設けられた金属板6206をさらに備えることが好ましい構成である。この構成とすることによって、寸法変化を抑制しながらじん性が大きく、耐衝撃性が高く破損しにくい転置基板6110を構成できる。さらに、金属板6206の厚さを薄くすることで、従来のガラス基板よりも軽い転置基板6110を構成できる。このような基板を用いることによって、軽く、破損しにくい表示装置を作製することができるようになる。(図23(D)参照)。

20

30

【0209】

図24(A)は、液晶表示装置の上面図の一例を示す図である。図24(A)のように、第1の配線層6210と第2の配線層6211とが交差し、第1の配線層6210と第2の配線層6211に囲まれた領域が光の透過する領域6212である液晶表示装置の場合、図24(B)のように、第1の配線層6210及び第2の配線層6211と重なる部分が残し、基盤の目状に開口が設けられた金属板6206を用いれば良い。このような金属板6206を液晶表示装置に貼り合わせて用いることにより、有機樹脂からなる基板を用いたことによる合わせ精度の悪化や基板の伸びによる寸法変化を抑制することができる(図24(C)参照)。なお、偏光板(図示せず)が必要な場合には、転置基板6110と金属板6206の間に設けても、金属板6206のさらに外側に設けても良い。偏光板はあらかじめ金属板6206に貼り付けられていても良い。なお、軽量化の観点からは、金属板6206として上記寸法安定化の効果を奏する範囲内において薄い基板を採用することが好ましい。

40

【0210】

その後、被剥離層6116から仮支持基板6202を分離する。剥離用接着剤6203は必要時に仮支持基板6202と被剥離層6116とを分離することが可能な材料で形成されているので、当該材料に合った方法により仮支持基板6202を分離すれば良い。なお、バックライトは図面矢印のように照射される(図23(E)参照)。

【0211】

50

以上により、トランジスタから画素電極までが形成された被剥離層 6 1 1 6 を転置基板 6 1 1 0 上に作製することができ、軽量かつ耐衝撃性の高い素子基板を作製することができる。

【 0 2 1 2 】

< 変形例 >

上述した構成を有する表示装置は、本発明の一態様であり、当表示装置と異なる構成を備える以下の表示装置も、本発明に含まれる。上述の転置工程（図 2 3（B）参照）の後、転置基板 6 1 1 0 を貼り付ける前に、露出した剥離層 6 2 0 1、若しくは被剥離層 6 1 1 6 表面に、金属板 6 2 0 6 を貼り付けても良い（図 2 3（C'）参照）。この場合、金属板 6 2 0 6 からの汚染物質が、被剥離層 6 1 1 6 におけるトランジスタの特性に悪影響を及ぼすことを防ぐため、バリア層 6 2 0 7 を間に設けると良い。バリア層 6 2 0 7 を設ける場合は、露出した剥離層 6 2 0 1、または被剥離層 6 1 1 6 表面にバリア層 6 2 0 7 を設けてから、金属板 6 2 0 6 を貼り付ければ良い。バリア層 6 2 0 7 は無機材料や有機材料などにより形成すれば良く、代表的には窒化シリコンなどが挙げられるが、トランジスタの汚染を防止することができれば、これらに限られることはない。バリア層 6 2 0 7 は透光性を有する材料で形成するか、もしくは透光性を有する程度に薄い膜とするなど、少なくとも可視光に対する透光性を有するように作製する。なお、金属板 6 2 0 6 は、剥離用接着剤 6 2 0 3 とは異なる接着剤を用いて第 2 の接着剤層（図示せず）を形成し、接着すればよい。

【 0 2 1 3 】

この後、第 1 の接着剤層 6 1 1 1 を金属板 6 2 0 6 表面に形成し、転置基板 6 1 1 0 を貼り付け（図 2 3（D'））、被剥離層 6 1 1 6 から仮支持基板 6 2 0 2 を分離する（図 2 3（E'））ことにより、同様に軽量且つ耐衝撃性の高い素子基板を作製することができる。なお、バックライトは図面矢印のように照射される。

【 0 2 1 4 】

このように作製した軽量かつ耐衝撃性の高い素子基板と、対向基板とを液晶層を間に挟持させてシール材で固着することによって、軽量かつ耐衝撃性の高い液晶表示装置を作製することができる。対向基板としては、じん性が大きく、可視光に対する透光性を有する基板（転置基板 6 1 1 0 に用いることが可能なプラスチック基板と同様のもの）を用いることができる。必要に応じてこれに偏光板、ブラックマトリクス、及び配向膜が設けられていても良い。液晶層を形成する方法としては、ディスペンサ法や注入法などを適用することができる。

【 0 2 1 5 】

以上のように作製された軽量かつ耐衝撃性の高い液晶表示装置は、トランジスタなどの微細な素子の作製を、寸法安定性が比較的良好なガラス基板上などで行うことができ、また、従来どおりの作製方法の適用が可能であることから、微細な素子であっても精度良く形成することができる。このため、耐衝撃性を有しながらも、高精細で高品質な画像を提供でき、且つ軽量の液晶表示装置を提供することが可能となる。

【 0 2 1 6 】

さらに、上記のように作製した液晶表示装置は、可撓性を有せしめることも可能である。

【 符号の説明 】

【 0 2 1 7 】

- 1 0 画素部
- 1 1 走査線駆動回路
- 1 2 信号線駆動回路
- 1 3 走査線
- 1 4 信号線
- 1 5 画素
- 1 6 トランジスタ

10

20

30

40

50

1 7	容量素子	
1 8	液晶素子	
1 9	液晶パネル	
2 0	パルス出力回路	
2 1	端子	
2 2	端子	
2 3	端子	
2 4	端子	
2 5	端子	
2 6	端子	10
2 7	端子	
3 1	トランジスタ	
3 2	トランジスタ	
3 3	トランジスタ	
3 4	トランジスタ	
3 5	トランジスタ	
3 6	トランジスタ	
3 7	トランジスタ	
3 8	トランジスタ	
3 9	トランジスタ	20
4 0	バックライトパネル	
4 1	バックライトアレイ	
4 1 a ₁	バックライトアレイ	
4 1 a ₂	バックライトアレイ	
4 1 a ₃	バックライトアレイ	
4 1 a ₄	バックライトアレイ	
4 1 b ₁	バックライトアレイ	
4 1 c ₁	バックライトアレイ	
4 1 c ₄	バックライトアレイ	
4 2	バックライトユニット	30
4 5	バックライト駆動回路	
4 6 a	パルス幅変調回路	
5 0	トランジスタ	
5 1	トランジスタ	
5 2	トランジスタ	
5 3	トランジスタ	
7 0	画像処理回路	
7 1	A/Dコンバータ	
7 2	フレームメモリ	
7 3	最大値検出回路	40
7 3 a	最大値検出回路	
7 3 b	最大値検出回路	
7 3 c	最大値検出回路	
7 4	ガンマ補正回路	
7 4 a	ガンマ補正回路	
7 4 b	ガンマ補正回路	
7 4 c	ガンマ補正回路	
1 0 1	領域	
1 0 2	領域	
1 0 3	領域	50

1 2 0	シフトレジスタ	
1 2 1	トランジスタ	
2 2 0	基板	
2 2 1	絶縁層	
2 2 2	導電層	
2 2 3	絶縁層	
2 2 4	半導体層	
2 2 5 a	導電層	
2 2 5 b	導電層	
2 2 6	導電層	10
2 2 7	絶縁層	
2 2 8	導電層	
2 2 9	絶縁層	
2 3 0	平坦化絶縁層	
2 3 1	透明導電層	
2 4 0	対向基板	
2 4 1	透明導電層	
2 4 2	遮蔽層	
2 5 0	液晶層	
2 6 5	透明導電層	20
1 6 0 1	パネル	
1 6 0 2	拡散板	
1 6 0 3	プリズムシート	
1 6 0 4	拡散板	
1 6 0 5	導光板	
1 6 0 7	バックライトパネル	
1 6 0 8	回路基板	
1 6 0 9	C O F テープ	
1 6 1 0	F P C	
1 6 1 1	基板	30
1 6 1 2	バックライト	
2 2 0 1	本体	
2 2 0 2	筐体	
2 2 0 3	表示部	
2 2 0 4	キーボード	
2 2 1 1	本体	
2 2 1 2	スタイラス	
2 2 1 3	表示部	
2 2 1 4	操作ボタン	
2 2 1 5	外部インターフェイス	40
2 2 2 0	電子書籍	
2 2 2 1	筐体	
2 2 2 3	筐体	
2 2 2 5	表示部	
2 2 2 7	表示部	
2 2 3 1	電源	
2 2 3 3	操作キー	
2 2 3 5	スピーカー	
2 2 3 7	軸部	
2 2 4 0	筐体	50

2 2 4 1	筐体	
2 2 4 2	表示パネル	
2 2 4 3	スピーカ	
2 2 4 4	マイクロフォン	
2 2 4 5	操作キー	
2 2 4 6	ポインティングデバイス	
2 2 4 7	カメラ用レンズ	
2 2 4 8	外部接続端子	
2 2 4 9	太陽電池セル	
2 2 5 0	外部メモリスロット	10
2 2 6 1	本体	
2 2 6 3	接眼部	
2 2 6 4	操作スイッチ	
2 2 6 5	表示部 (B)	
2 2 6 6	バッテリー	
2 2 6 7	表示部 (A)	
2 2 7 0	テレビジョン装置	
2 2 7 1	筐体	
2 2 7 3	表示部	
2 2 7 5	スタンド	20
2 2 7 7	表示部	
2 2 7 9	操作キー	
2 2 8 0	リモコン操作機	
2 4 0 0	基板	
2 4 0 1	ゲート層	
2 4 0 2	ゲート絶縁層	
2 4 0 3	半導体層	
2 4 0 5 a	ソース層	
2 4 0 5 b	ドレイン層	
2 4 0 6	チャネル保護層	30
2 4 0 7	絶縁層	
2 4 0 9	保護絶縁層	
2 4 1 1	ゲート層	
2 4 1 2	ゲート層	
2 4 1 3	ゲート絶縁層	
2 4 1 4	ゲート絶縁層	
2 4 3 6	下地層	
2 4 5 0	トランジスタ	
2 4 6 0	トランジスタ	
2 4 7 0	トランジスタ	40
2 4 8 0	トランジスタ	
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	
4 0 0 5	シール材	
4 0 0 6	対向基板	
4 0 0 7	液晶	
4 0 0 9	トランジスタ	
4 0 1 0	トランジスタ	50

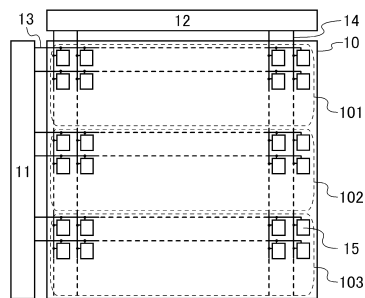
4 0 1 1	液晶素子
4 0 1 4	配線
4 0 1 5	配線
4 0 1 6	接続端子
4 0 1 8	F P C
4 0 1 9	異方性導電膜
4 0 2 1	基板
4 0 2 2	トランジスタ
4 0 3 0	画素電極
4 0 3 1	対向電極
4 0 3 5	スペーサ
6 1 1 0	転置基板
6 1 1 1	接着剤層
6 1 1 6	被剥離層
6 2 0 0	作製基板
6 2 0 1	剥離層
6 2 0 2	仮支持基板
6 2 0 3	剥離用接着剤
6 2 0 6	金属板
6 2 0 7	バリア層
6 2 1 0	配線層
6 2 1 1	配線層
6 2 1 2	領域

10

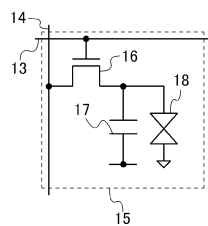
20

【図 1】

(A)

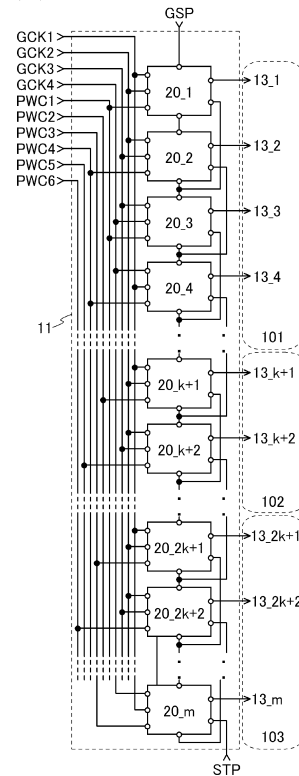


(B)

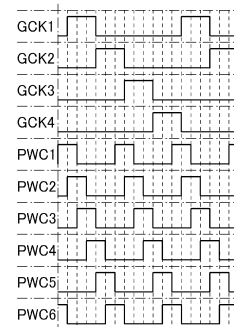


【図 2】

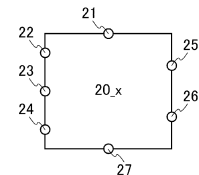
(A)



(B)

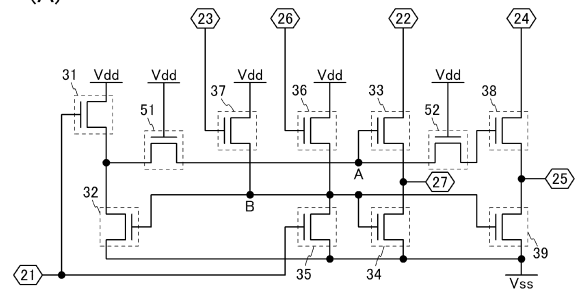


(C)

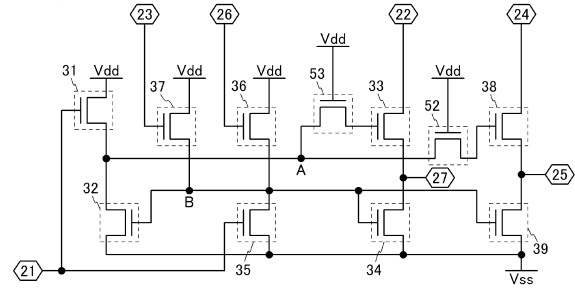


【 図 8 】

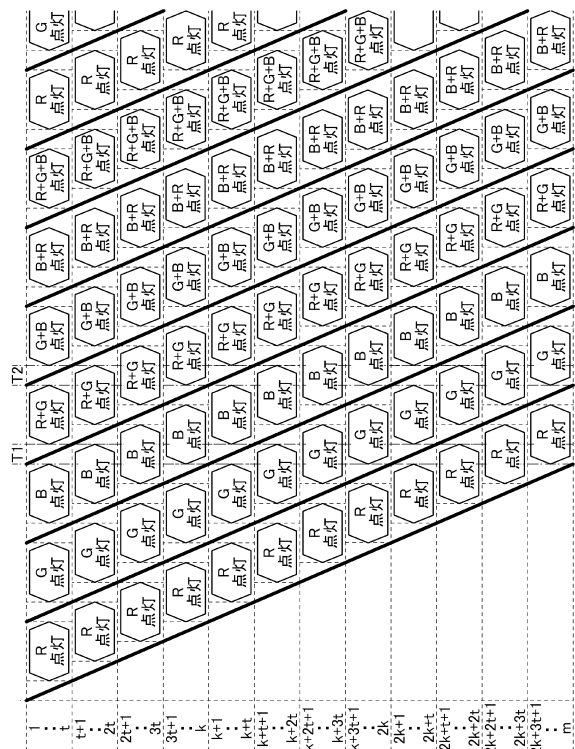
(A)



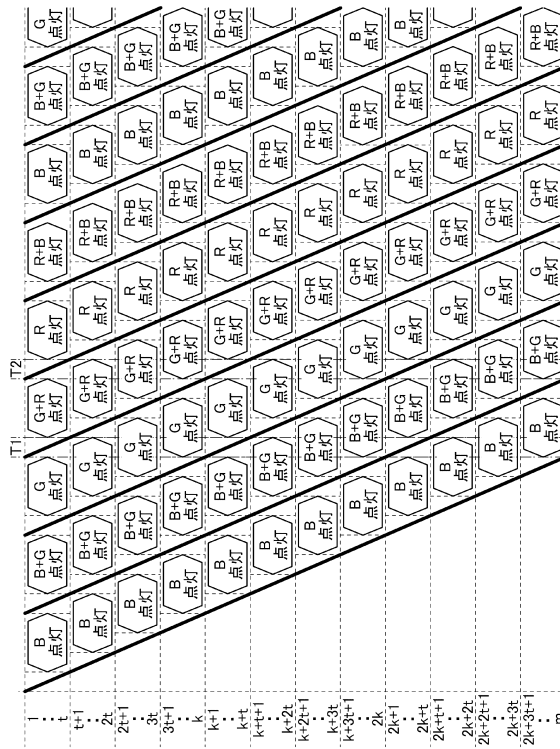
(B)



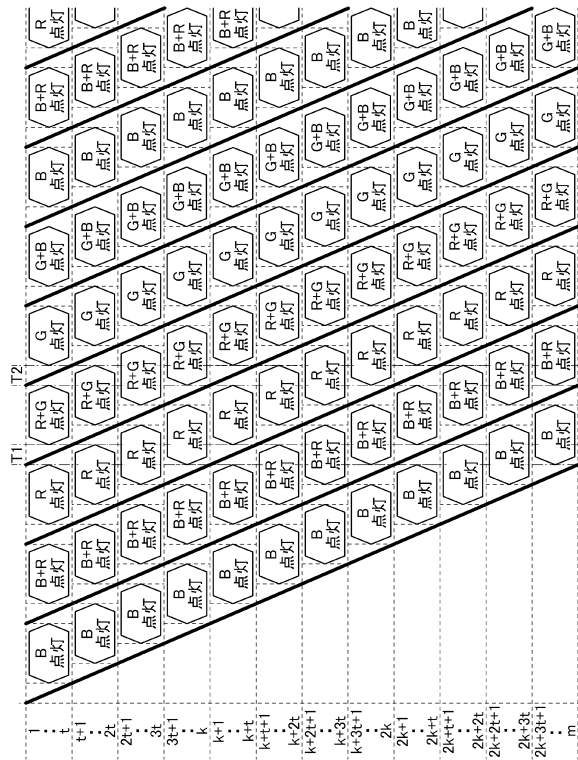
【 図 1 0 】



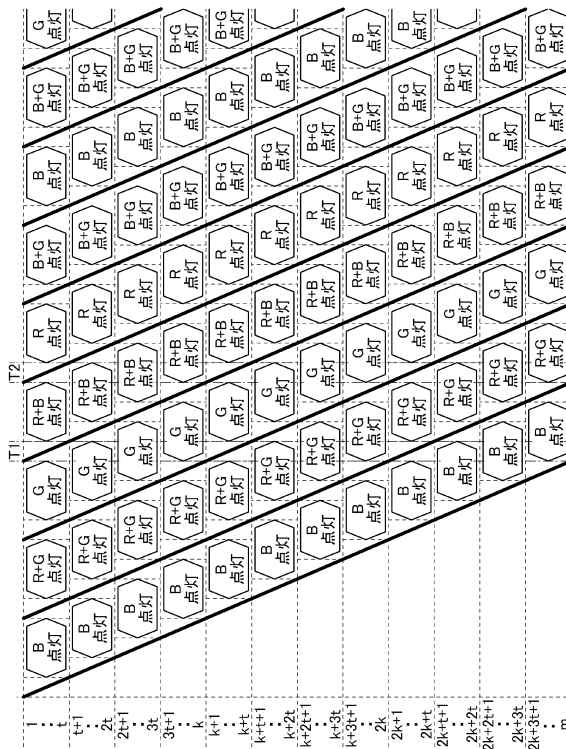
【図 1 1】



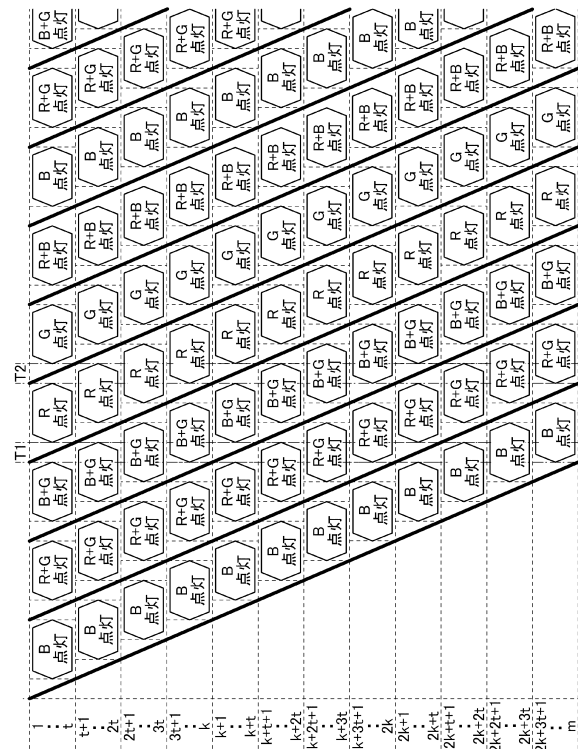
【図 1 2】



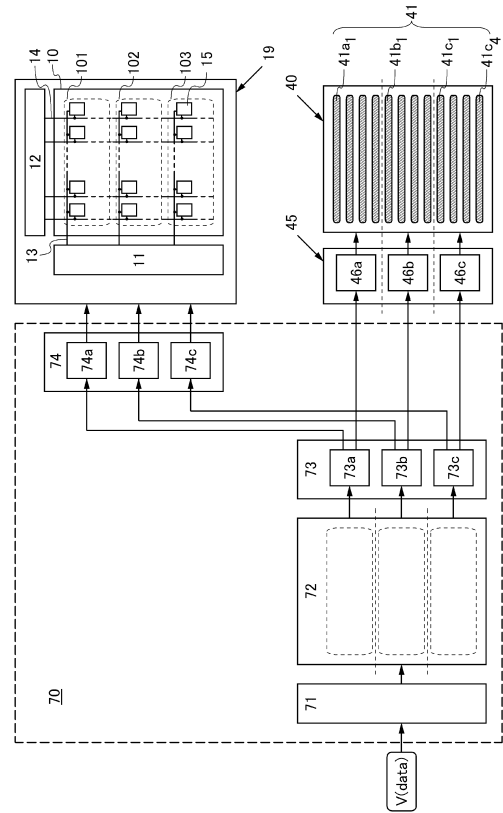
【図 1 3】



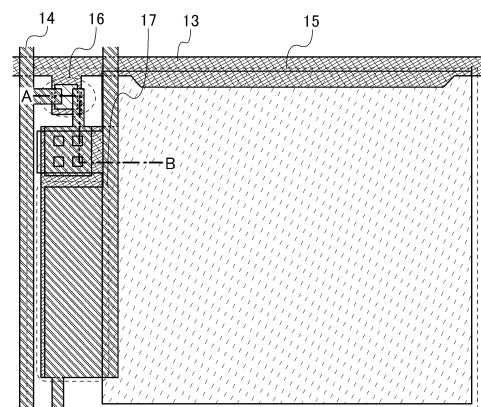
【図 1 4】



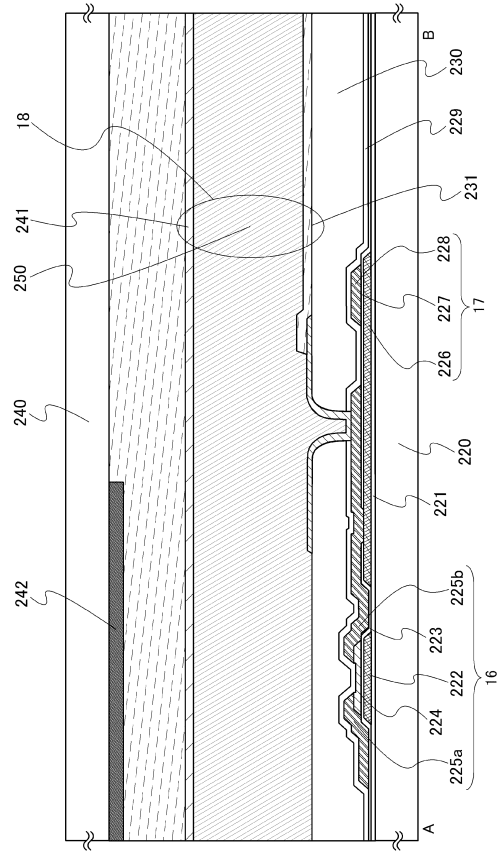
【 図 1 6 】



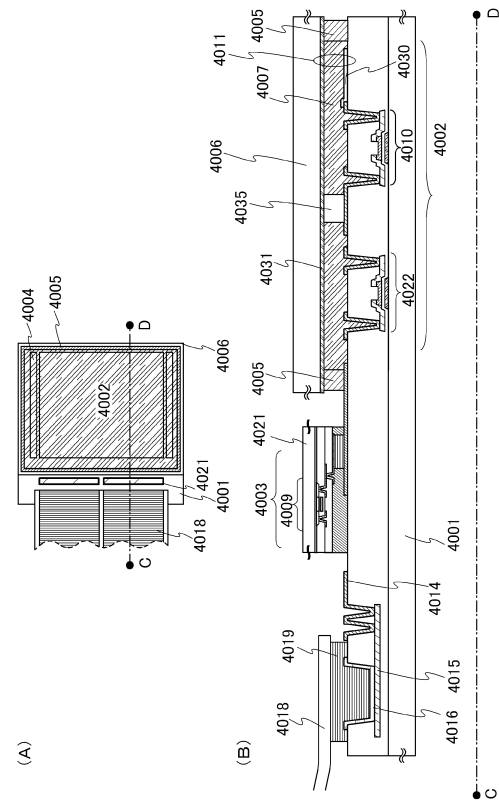
【 図 1 8 】



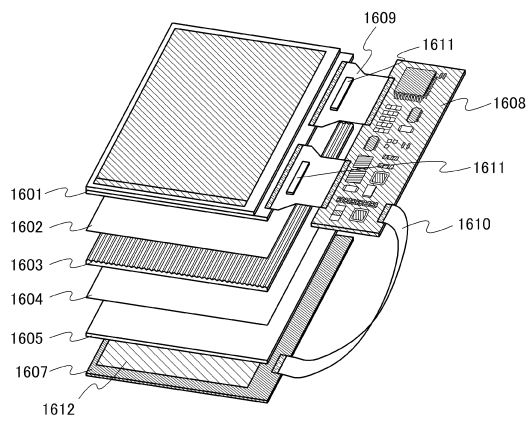
【図 19】



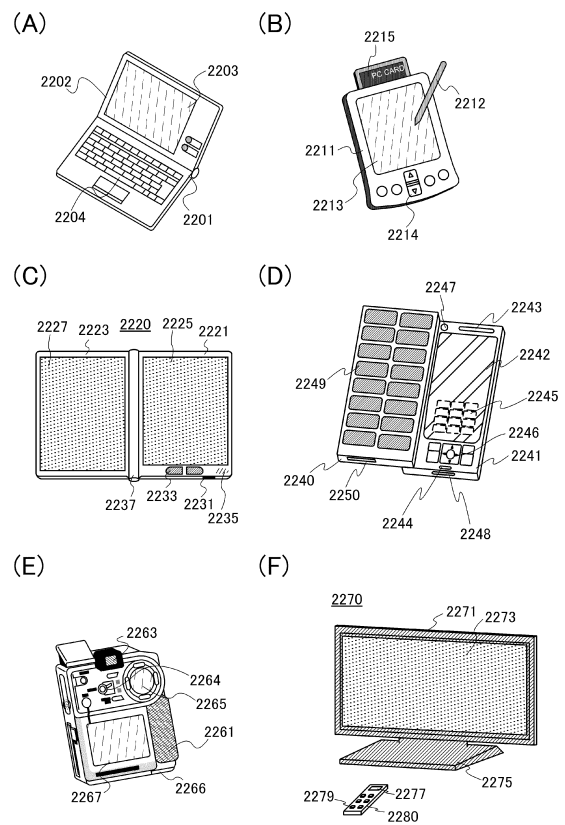
【図 20】



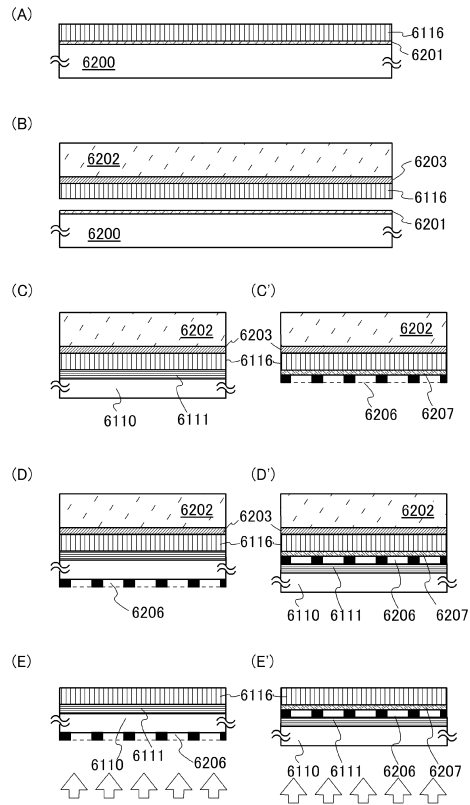
【図 21】



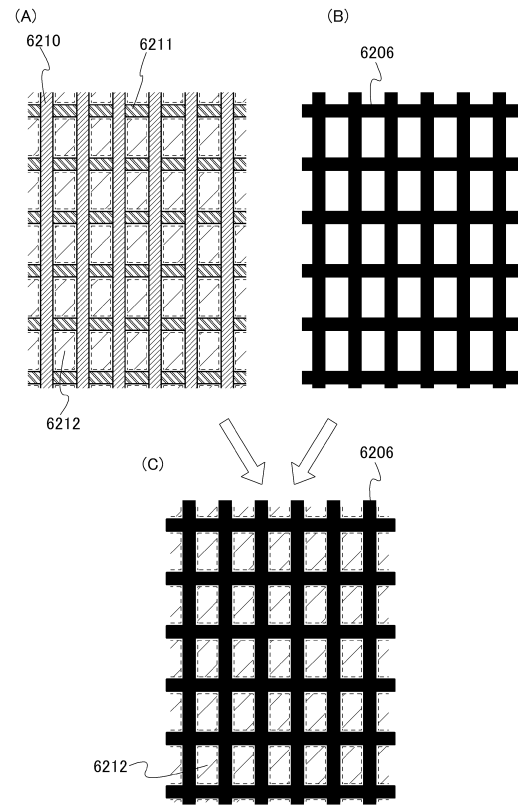
【図 22】



【図 23】



【図 24】



フロントページの続き

(51)Int.Cl. F I
G 0 2 F 1/133 5 3 5

(56)参考文献 特開 2 0 0 4 - 2 3 3 5 5 5 (J P , A)
特開 2 0 0 5 - 3 1 6 0 9 2 (J P , A)
特開平 0 6 - 2 2 2 3 3 0 (J P , A)
特開 2 0 0 7 - 1 0 3 9 1 8 (J P , A)
特開平 1 1 - 3 3 7 9 0 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3