



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 103 43 344 B4 2006.04.20**

(12)

Patentschrift

(21) Aktenzeichen: **103 43 344.9**
 (22) Anmeldetag: **12.09.2003**
 (43) Offenlegungstag: **04.05.2005**
 (45) Veröffentlichungstag
 der Patenterteilung: **20.04.2006**

(51) Int Cl.⁸: **G06F 17/50 (2006.01)**

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 2 Patentkostengesetz).

(73) Patentinhaber:

Infineon Technologies AG, 81669 München, DE

(74) Vertreter:

Maikowski & Ninnemann, Pat.-Anw., 10707 Berlin

(72) Erfinder:

Baader, Peter, 81673 München, DE; Neunhoeffer, Tilman, Dr., 82008 Unterhaching, DE

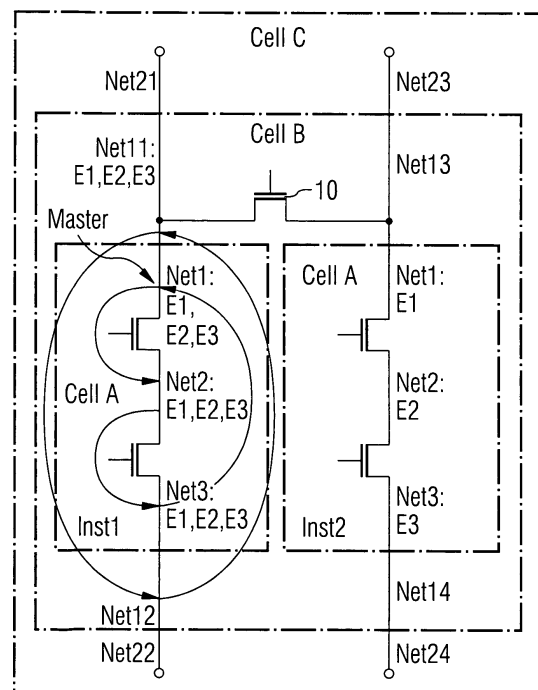
(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:

DE 101 06 247 A1
US 65 91 402 B1

(54) Bezeichnung: **Verfahren zum Prüfen einer elektrischen Schaltung**

(57) Hauptanspruch: Verfahren zum Erzeugen eines Markierungssignals, das angibt, bei welchen Komponenten einer elektrischen Schaltung oder bei welchen Schaltungsbereichen der elektrischen Schaltung ein vorgegebener, zumindest durch ein Spannungspotential oder einen logischen Zustand definierter Schaltungszustand eintreten könnte, bei dem

- aus einer die Schaltungsstruktur der elektrischen Schaltung beschreibenden Original-Netzliste eine transformierte Netzliste gebildet wird, indem
- alle elektrischen Komponenten der elektrischen Schaltung zumindest einer vorgegebenen Komponentengruppe oder zumindest einer vorgegebenen Komponentenart zumindest bezüglich jeweils eines Anschlusspaares als kurzgeschlossen behandelt werden,
- alle über eine oder mehrere der als kurzgeschlossen zu behandelnden Komponenten verbundenen Netzknoten jeweils zu einer Äquivalenzklasse zusammengefasst werden, wobei jeder Äquivalenzklasse jeweils alle Spannungspotentiale oder logischen Zustände der zugehörigen Netzknoten zugeordnet werden,
- unter Berücksichtigung der Äquivalenzklassen festgestellt wird, ob und bei welchen Komponenten oder bei welchen Schaltungsbereichen der elektrischen Schaltung der vorgegebene Schaltungszustand auftreten kann, und
- als das Markierungssignal ein Signal erzeugt wird, das...



Beschreibung

[0001] Elektrische Schaltungen, insbesondere integrierte Halbleiterschaltungen bzw. Halbleiterchips werden bereits vor ihrer Fertigung auf Funktionsfähigkeit getestet, um eine Herstellung fehlerbehafteter Schaltungen bzw. Chips zu vermeiden.

Stand der Technik

[0002] Zur Überprüfung einer Schaltung werden üblicherweise Schaltungssimulationen durchgeführt, bei denen das elektrische Verhalten der Schaltung simuliert wird. Schaltungssimulationen sind zwar zur Erkennung von Schwachstellen im Design der elektrischen Schaltung nützlich, jedoch weisen sie den Nachteil auf, dass das Schaltungsverhalten nur für jeweils einen vorgegebenen Stimulus-Vektor bzw. einen vorgegebenen Stimulus-Satz von Eingangsspannungen und/oder sonstigen Parametern (z.B. Temperatur, Ströme, etc.) untersucht wird. Ein Fehler in der elektrischen Schaltung kann daher nur dann aufgefunden werden, wenn der jeweils verwendete Stimulus-Vektor bzw. der verwendete Stimulus-Satz von Parametern die Schaltung in einer Weise fordert, dass ein in der elektrischen Schaltung enthaltener Designfehler auftritt und erkennbar wird.

[0003] Ein weiterer Nachteil eingehender Schaltungssimulationen besteht in relativ hohen Rechenzeiten.

[0004] In dem US-Patent 6,591,402 B1 wird ein Verfahren zum Analysieren eines Schaltkreises beschrieben. Im Rahmen des Analyseverfahrens wird der Schaltkreis zunächst in Schaltkreisstrukturen unterteilt. Anschließend wird jeweils einer der Schaltkreisstrukturen eine Behauptung bzw. eine Aussage zugeordnet, die eine Art „Randbedingung“ für die Überprüfung des Schaltkreises beschreibt. Anschließend wird im Rahmen eines Überprüfungsverfahrens festgestellt, ob die jeweilige Randbedingung erfüllt ist.

[0005] Aus DE 101 06 247 A1 ist ein Verfahren zur Simulation von Schaltungsnetzwerken bekannt. Bei diesem Verfahren wird das Schaltungsnetzwerk zunächst in Teilnetzwerke unterteilt, und jedes Teilnetzwerk wird getrennt simuliert. Die Simulationsergebnisse der Teilnetzwerke werden anschließend an ein Hauptprogramm übergeben, das die Teilsimulationsergebnisse der Teilnetzwerke bei der Simulation des Gesamtsystems berücksichtigt.

Aufgabenstellung

[0006] Der Erfindung liegt die Aufgabe zugrunde, ein Verfahren zum Überprüfen einer elektrischen Schaltung anzugeben, bei dem eine eingehende elektrische Schaltungssimulation nicht erforderlich ist und trotz allem Schaltungsfehler zuverlässig erkannt werden.

[0007] Diese Aufgabe wird erfindungsgemäß durch ein Verfahren mit den Merkmalen gemäß Patentanspruch 1 gelöst. Vorteilhafte Ausgestaltungen der Erfindung sind in den Unteransprüchen angegeben.

[0008] Danach ist erfindungsgemäß ein Verfahren zum Erzeugen eines Markierungssignals vorgesehen, das angibt, bei welchen Komponenten einer elektrischen Schaltung oder bei welchen Schaltungsbereichen der elektrischen Schaltung ein vorgegebener, zumindest durch ein Spannungspotential oder einen logischen Zustand definierter Schaltungszustand eintreten könnte. Bei dem Verfahren wird aus einer die Schaltungsstruktur der elektrischen Schaltung beschreibenden Original-Netzliste eine transformierte Netzliste gebildet, indem alle elektrischen Komponenten der elektrischen Schaltung zumindest einer vorgegebenen Komponentengruppe oder zumindest einer vorgegebenen Komponententypart zumindest bezüglich jeweils eines Anschlusspaars als kurzgeschlossen behandelt werden. Alle über eine oder mehrere der als kurzgeschlossen zu behandelnden Komponenten verbundenen Netzknoten – nachfolgend auch kurz „Netze“ genannt – werden jeweils zu einer Äquivalenzklasse zusammengefasst. Unter einer Äquivalenzklasse ist dabei ein „fiktives“ Ersatznetz zu verstehen, das alle zugehörigen Netze bei der weiteren Simulation ersetzt. Dabei werden jeder Äquivalenzklasse jeweils alle Spannungspotentiale oder logischen Zustände zugeordnet, die an einem der zugehörigen Netzknoten auftreten könnten. Unter Berücksichtigung der so gebildeten Äquivalenzklassen wird anschließend festgestellt, ob und bei welchen Komponenten oder bei welchen Schaltungsbereichen der elektrischen Schaltung der vorgegebene Schaltungszustand eintreten kann. Als das Markierungssignal wird ein Signal erzeugt, das die anhand der transformierten Netzliste identifizierten Komponenten oder Schaltungsbereiche in der Original-Netzliste markiert und somit identifizierbar macht.

[0009] Ein wesentlicher Vorteil des erfindungsgemäßen Verfahrens besteht darin, dass es sich sehr einfach durchführen lässt, weil die Prüfung der elektrischen Schaltung anhand einer „transformierten“ bzw. vereinfach-

ten Netzliste durchgeführt wird. Die transformierte Netzliste wird dabei dadurch gebildet, dass einzelne oder mehrere Netzknoten der Netzliste zu einer Äquivalenzklasse zusammengefasst werden. Anschaulich betrachtet ist eine Äquivalenzklasse ein neues Netz bzw. ein neuer Netzknoten, der die „zusammengefassten“ Netzknoten bzw. Netze der Original-Netzliste repräsentiert. Durch das Zusammenfassen von Netzen in Äquivalenzklassen wird die Original-Netzliste vereinfacht, weil insgesamt weniger Netze bzw. Netzknoten bei der weiteren Prüfung zu berücksichtigen sind. Mit anderen Worten wird also die Prüfung an einer vereinfachten „Ersatzschaltung“ durchgeführt. Der Kern der Erfindung besteht also darin, die Prüfung der elektrischen Schaltung anhand einer transformierten Netzliste durchzuführen, die gegenüber der Original-Netzliste vereinfacht ist.

[0010] Ein weiterer wesentlicher Vorteil der Erfindung besteht dabei darin, dass sich die transformierte Netzliste ohne großen Aufwand bilden lässt, da erfindungsgemäß auf die Original-Netzliste einfach nur eine vorgegebene „Regel“ angewandt wird. Eine solche Regel beinhaltet dabei, alle elektrischen Komponenten zumindest einer vorgegebenen Komponentengruppe oder zumindest einer vorgegebenen Komponententart als kurzgeschlossen zu behandeln. Dadurch wird erreicht, dass sich zumindest alle Netzknoten, die über die entsprechend definierten Komponenten verbunden sind, zu einer Äquivalenzklasse zusammenfassen lassen.

[0011] Um zu erreichen, dass das Markierungssignal mit besonders hoher Wahrscheinlichkeit tatsächlich einen Fehler definiert und keinen „Fehlalarm“ darstellt, wird es gemäß einer Weiterbildung des Verfahrens als vorteilhaft angesehen, wenn nach dem Bilden des Markierungssignals anhand der Original-Netzliste nachgeprüft bzw. verifiziert wird, ob der vorgegebene – beispielsweise kritische – Schaltungszustand bei den durch das Markierungssignal markierten Komponenten oder bei den durch das Markierungssignal markierten Schaltungsbereichen tatsächlich auftreten kann. Ein solches Verifizieren lässt sich beispielsweise durch eine eingehende Simulation der Teilbereiche der elektrischen Schaltung durchführen, indem der markierte Teilbereich der elektrischen Schaltung für sich im Detail simuliert wird.

[0012] Wird bei der Verifikation festgestellt, dass der vorgegebene Schaltungszustand bei den durch das Markierungssignal markierten Komponenten bzw. Schaltungsbereichen nicht auftritt, so wird das Markierungssignal vorzugsweise unter Bildung eines korrigierten Markierungssignals korrigiert.

[0013] Um Fehler bei der Bildung des Markierungssignals zu vermeiden, wird es als vorteilhaft angesehen, sogenannte „Stoppnetze“ gesondert zu berücksichtigen. Unter „Stoppnetzen“ werden dabei diejenigen Netzknoten oder Anschlusspins der elektrischen Schaltung verstanden, denen ein elektrisches Spannungspotential, ein Strom oder ein logischer Zustand fest zugewiesen ist. Derartige Stoppnetze müssen von einer Aufnahme in eine Äquivalenzklasse ausgeschlossen werden, da eine Zuweisung anderer Potentiale bzw. Zustände als dem fest zugewiesenen Potential bzw. fest zugewiesenen Zustand bei einem solchen „Stoppnetz“ unzulässig wäre. Ein „Stoppnetz“ kann beispielsweise durch einen Außenanschluss bzw. Außenpin der elektrischen Schaltung gebildet sein, der mit einem festen Potential – beispielsweise Massepotential oder Versorgungsspannungspotential – fest beaufschlagt ist. Darüber hinaus können „Stoppnetze“ aber beispielsweise auch durch in der elektrischen Schaltung vorhandene Spannungs- bzw. Stromquellen gebildet sein, die feste Spannungspotentiale oder Ströme innerhalb der Schaltung an vorgegebenen Netzen vorgeben. Da Stoppnetze stets feste Potentiale bzw. Zustände zugeordnet sind, dürfen diese nicht in eine Äquivalenzklasse aufgenommen werden.

[0014] Wird bei der Bildung von Äquivalenzklassen festgestellt, dass ein „Stoppnetz“ vorhanden ist, so wird das Spannungspotential, der Strom oder der logische Zustand jedes der „Stoppnetze“ in jede der mit dem „Stoppnetz“ verbundenen Äquivalenzklasse kopiert. Es erfolgt also ein Kopieren des Potentials bzw. des Zustands des „Stoppnetzes“ ausschließlich in eine Richtung, nämlich in Richtung Äquivalenzklasse. Ein rückwärtiges Kopieren von der Äquivalenzklasse zum „Stoppnetz“ ist ausgeschlossen.

[0015] Um eine elektrische Simulation der elektrischen Schaltung zu vermeiden, wird es gemäß einer weiteren Fortbildung des Verfahrens als vorteilhaft angesehen, wenn alle elektrischen Komponenten der elektrischen Schaltung komponentenindividuell bezüglich jedes Anschlusspaars der Komponente entweder als kurzgeschlossen oder als nichtleitend behandelt werden. Bei dieser Fortbildung des Verfahrens findet nur noch eine statische „Simulation“ der elektrischen Schaltung statt, da die Komponenten der elektrischen Schaltung nicht mehr im Detail simuliert, sondern nur noch pauschal als kurzgeschlossen oder nichtleitend behandelt werden. Im Falle von Komponenten mit lediglich zwei Anschlüssen bzw. Anschlusspins werden die Komponenten lediglich als kurzgeschlossen oder als nichtleitend behandelt. Bei Komponenten mit mehreren Anschlüssen werden die Verbindungsstrecken zwischen allen möglichen Anschlusspaaren definiert: Beispielsweise bei einer Komponente mit drei Anschlüssen (z. B. Transistor) A1, A2 und A3 ist somit für die Verbindungen zwischen den Anschlüssen A1-A2, A1-A3 sowie A2-A3 jeweils festzulegen, ob die Verbindungsstrecke als

kurzgeschlossen oder als nichtleitend behandelt werden soll. Bei drei Anschlüssen sind also drei Festlegungen erforderlich. Entsprechend ist bei einer Komponente mit vier Anschlüssen (z. B. MOS-Transistor mit Substratanschluss, Thyristor) A1, A2, A3 und A4 somit für die Verbindungen zwischen den Anschlüssen A1-A2, A1-A3, A1-A4, A2-A3, A2-A4 und A3-A4 jeweils festzulegen, ob die Verbindungsstrecke als kurzgeschlossen oder als nichtleitend behandelt werden soll. Bei vier Anschlüssen sind also sechs Festlegungen erforderlich.

[0016] Bevorzugt werden alle Transistoren zumindest eines vorgegebenen Transistortyps bezüglich ihrer Schaltstrecke als kurzgeschlossen behandelt. Unter dem Begriff „Schaltstrecke“ wird dabei die Source-Drain-Strecke im Falle eines Feldeffekttransistors und die Emitter-Kollektor-Strecke im Falle eines bipolaren Transistors verstanden. Bei dieser Ausbildung des Verfahrens wird berücksichtigt, dass die Schaltstrecken von Transistoren üblicherweise durchgeschaltet werden können, so dass davon auszugehen ist, dass ein an einem Anschluss der Schaltstrecke anliegendes Potential bzw. Zustand auch zu dem jeweils anderen Anschluss der Schaltstrecke gelangen kann. Diesem Sachverhalt wird durch die Behandlung der Schaltstrecke als „kurzgeschlossen“ bei der Bildung von Äquivalenzklassen Rechnung getragen.

[0017] Bezüglich der Behandlung von Widerständen wird es als vorteilhaft angesehen, wenn alle Widerstände mit einem Widerstandswert unter einem vorgegebenen Grenzwert als kurzgeschlossen und alle Widerstände mit einem Widerstandswert über dem vorgegebenen Grenzwert als nichtleitend behandelt werden. Bei dieser Vorgehensweise wird berücksichtigt, dass bei niederohmigen Widerständen ein an einem Anschluss des Widerstands anliegendes Potential quasi „ungeschwächt“ bzw. unverändert auch an den anderen Anschluss des Widerstandes gelangen wird. Bei hochohmigen Widerständen wird jedoch ein deutlicher Spannungsabfall auftreten, so dass ein an einem Anschluss des Widerstandes anliegendes Potential nicht ohne Weiteres zum anderen Anschluss gelangen wird. In einem solchen Fall kann der Widerstand vereinfacht als „nichtleitend“ behandelt werden.

[0018] In entsprechender Weise können für beliebige Komponenten der elektrischen Schaltung, also auch für exotische "Devices" bzw. Bauelemente entsprechende Regeln aufgestellt werden, die angeben ob bzw. unter welchen Umständen die Anschlusspaare der jeweiligen Komponenten als kurzgeschlossen bzw. als nichtleitend behandelt werden sollen.

[0019] Vorzugsweise wird das erfindungsgemäße Verfahren zum Erzeugen des Markierungssignals für solche Schaltungszustände eingesetzt, die besonders kritisch sind und einen Schaltungsfehler darstellen.

[0020] Fehler im Schaltungsdesign können beispielsweise darin bestehen, dass an vorgegebenen Netzknoten ein vorgegebenes Grenzspannungspotential oder ein vorgegebener Grenzstrom erreicht oder unter-/überschritten wird oder ein vorgegebener logischer Zustand erreicht wird. Bevorzugt wird das Markierungssignal dementsprechend dann erzeugt, wenn für die vorgegebenen Netzknoten und damit für die vorgegebenen Äquivalenzklassen das jeweils vorgegebene Grenzspannungspotential erreicht oder unter-/überschritten wird oder die entsprechenden Netzknoten den jeweils vorgegebenen logischen Zustand erreichen.

[0021] Im Übrigen kann ein Fehler im Schaltungsdesign auch dann vorliegen, wenn an ausgewählten Komponenten eine Spannung anliegt, die eine für die Komponente individuell vorgegebene Grenzspannung erreicht oder unter-/überschreitet. Entsprechend wird das Markierungssignal vorzugsweise dann erzeugt, wenn für die vorgegebenen Komponenten der als kritisch vorgegebene Zustand erreicht oder unter-/überschritten wird.

[0022] Die Vorgabe von Grenzspannungen und Grenzzuständen kann dabei individuell für jede Komponente einzeln erfolgen; alternativ ist es jedoch auch möglich, für alle Komponenten einer vorgegebenen Komponententart bzw. Komponentenkategorie entsprechende Grenzspannungen vorzugeben und das Markierungssignal dann für alle diejenigen Komponenten der zugeordneten Komponententart bzw. Komponentenkategorie zu erzeugen, die den jeweils für die Komponententart bzw. Komponentenkategorie vorgegebenen Grenzwert unter-/überschreiten.

[0023] Besonders einfach und damit vorteilhaft lässt sich das Verfahren mit einer Datenverarbeitungsanlage durchführen, in die die Schaltungsstruktur der elektrischen Schaltung als Original-Netzliste eingegeben ist.

[0024] Der Erfindung liegt darüber hinaus die Aufgabe zugrunde, eine Einrichtung anzugeben, mit der sich eine elektrische Schaltung überprüfen lässt, ohne dass eine eingehende Schaltungssimulation erforderlich wäre, wobei trotz allem Schaltungsfehler zuverlässig erkannt werden sollen.

[0025] Diese Aufgabe wird erfindungsgemäß durch eine Einrichtung mit den Merkmalen gemäß Patentanspruch 14 gelöst. Vorteilhafte Ausgestaltungen der erfindungsgemäßen Einrichtung sind in Unteransprüchen angegeben.

[0026] Bezüglich der Vorteile der erfindungsgemäßen Einrichtung wird auf die obigen Ausführungen im Zusammenhang mit dem erfindungsgemäßen Verfahren verwiesen.

[0027] Als erfindungsgemäß wird darüber hinaus auch ein Datenträger angesehen, der mit einem Programm versehen ist, das derart ausgestaltet ist, dass eine Datenverarbeitungsanlage nach einer Installation des Programms die Verfahrensschritte nach einem der Ansprüche 1 bis 13 durchführt.

Ausführungsbeispiel

[0028] Die Erfindung wird nachfolgend beispielhaft anhand von fünf elektrischen Schaltungen erläutert. Dabei zeigen:

[0029] [Fig. 1](#) bis [Fig. 7](#) ein Ausführungsbeispiel für eine elektrische Schaltung ohne „Stoppnetz“,

[0030] [Fig. 8](#) bis [Fig. 14](#) ein Ausführungsbeispiel für eine elektrische Schaltung mit „Stoppnetz“,

[0031] [Fig. 15](#) und [Fig. 16](#) ein weiteres Ausführungsbeispiel für eine elektrische Schaltung mit „Stoppnetz“,

[0032] [Fig. 17](#) ein weiteres Ausführungsbeispiel für eine elektrische Schaltung ohne „Stoppnetz“ und

[0033] [Fig. 18](#) und [Fig. 19](#) ein drittes Ausführungsbeispiel für eine elektrische Schaltung mit „Stoppnetz“.

[0034] Bei dem nachfolgend erläuterten Ausführungsbeispiel der Erfindung wird die elektrische Schaltung mit einer Netzliste beschrieben. Die Netzliste kann dabei prinzipiell eine beliebige Datenstruktur aufweisen. Die hier im Rahmen des Ausführungsbeispiels verwendete Datenstruktur hat folgendes Format:

```
typedef struct noderec          /* Datenstruktur eines Netzes in einer Zelle */
{
    ...
    netPinSetArray pinTypeSet; /* PinTypes des Netzes bzw. der äquivalenten Netze */
    netPinSetArray origPinTypeSet; /* PinTypes in der Originalnetzliste */
    netPinSetArray eqPinTypeSet; /* temporär für PinTypes im Äquivalenzring */
    struct noderec *equivalent; /* Ringverkettung äquivalenter Knoten durch
                                kurzgeschlossene Devices */
    equiMasterRefRec *equiMaster; /* Liste der Master Netze äquivalenter Netze
                                in verschiedenen Instanziierungen */
    equiMasterPinTypeRec *equiMasterPin; /* für alle equiMaster:
                                PinTypes für äquivalenten Netze */
    ...
}

typedef long netPinSetArray[PINSET_SIZE]; /* es können mehrere Pintypen (wie z.B. VDD, IN,
                                           OUT, ... oder auch unterschiedliche Spannungs
                                           level gespeichert werden */

/* Masternode in der Instanz instId */
struct equiMasterRefRec
{
    struct equiMasterRefRec *next;
    noderec *master;
    long instId;
};

/* PinTypes aller äquivalenten Netze des Masters in der Instanz instId */
struct equiMasterPinTypeRec
{
    struct equiMasterPinTypeRec *next;
    netPinSetArray equiPinTypeSet;
    long instId;
};
```

[0035] Bei dieser Datenstruktur enthält jedes Netz bzw. jeder Netzknoten einen Zeiger, der mit dem Wort „equivalent“ bezeichnet ist. Dieser Zeiger „equivalent“ dient zur temporären Ringverkettung aller äquivalenten Netze, d.h. also aller zu einer Äquivalenzklasse gehörenden Netze. Ist eine Äquivalenzklasse gebildet, so wird in dieser Klasse ein Netz, ein sogenannter Master, ausgewählt. Da die Äquivalenzklassen in einer Zelle von

Instanziierung zu Instanziierung unterschiedlich sein können, werden pro Netz für jede Instanziierung einer Zelle in der Liste equiMaster Zeiger auf den jeweiligen Master der Äquivalenzklasse, der das Netz angehört, abgespeichert. Die Begriffe „Äquivalenzring" und „Äquivalenzklasse " sind gleichbedeutend und werden nachfolgend als Synonyme verwendet.

[0036] Die Pintypen der Begriff "Pintyp" wird später erläutert eines jeden Äquivalenzringes sind in der Variablen „equiMasterPin" gespeichert. Jedes Netz im Äquivalenzring weist einen solchen Pintypen „equiMasterPin" auf.

[0037] Der Pintyp jedes Netzes ist in der Original-Netzliste in der Variablen „origPinTypeSet" abgelegt. Die Variable „pinType-Set" enthält die im jeweils aktuellen Zustand der Netzliste – also beispielsweise abhängig davon, welche Komponenten der elektrischen Schaltung als kurzgeschlossen oder nichtleitend angesehen werden – gültigen Pintyp des Netzes.

[0038] Unter Zugrundelegung der beschriebenen Datenstruktur der Netze der Netzliste werden zwei getrennte rekursive Durchläufe durch die Instanzen benötigt. Der erste dieser beiden rekursiven Durchläufe wird nachfolgend als Schritt I und der zweite der beiden rekursiven Durchläufe als Schritt II bezeichnet. Zwei rekursive Durchläufe sind hierbei erforderlich, da die Netzeigenschaften durch die Hierarchie der Netzliste transportiert werden müssen.

[0039] Nachfolgend werden die Schritte zunächst in allgemeiner abstrakter Form erläutert. Anschließend wird dann anhand der Figuren im Detail gezeigt, wie die Schritte angewandt werden.

[0040] Im Schritt I werden zuerst „Top-Down" die Pintypen der einzelnen Netze von oben nach unten hinuntergereicht. Anschließend werden die Äquivalenzklassen „Bottom-Up" zusammengefasst, und es werden die Pintypen nach oben geschoben.

[0041] Im Schritt II werden zuerst „Top-Down" die Pintypen von oben nach unten hinuntergereicht, wobei diesmal bereits die Pintypen der modifizierten Netzliste, d.h. die Äquivalenzklassen bzw. Äquivalenzringe, berücksichtigt werden. Anschließend werden dann „Bottom-Up" die Prüfungen mit der modifizierten Netzliste durchgeführt. Ein Beispiel für eine solche Prüfung folgt später. Die Schritte I und II werden im Detail wie folgt durchgeführt.

Schritt I:

[0042] Der Schritt I umfasst den rekursiven Aufruf der Funktionen zur Erstellung der Äquivalenzen für alle Instanzen. Dabei werden folgende Einzelschritte durchgeführt:

I.1. In diesem Schritt wird eine instanzweise Initialisierung vor dem hierarchischen Abstieg in Top-Down-Reihenfolge durchgeführt. Dabei werden die Pin-Typen der Netze hinuntergereicht.

I.2. Bei diesem Schritt erfolgt ein instanzabhängiger Aufbau der Äquivalenzklassen in Bottom-up-Reihenfolge. Die Netzliste wird dabei durch Verkettung von kurzgeschlossenen Komponenten der elektrischen Schaltung in Äquivalenzringe bzw. Äquivalenzklassen ergänzt. Die ursprüngliche Netzliste bleibt davon unberührt. Es muss ausgehend von der ursprünglichen Netzliste nur eine entsprechende Umformung bzw. ein entsprechender „Walk" über die Äquivalenzringe durchgeführt werden, um auf die modifizierte Netzliste zugreifen zu können. Alternativ kann in entsprechender Weise auch eine eigenständige modifizierte Netzliste generiert und abgespeichert werden.

I.2.1. Bei allen in einem vorgegebenen Regelfile spezifizierten Komponenten der elektrischen Schaltung, die bezüglich einem oder mehrerer Anschlusspaare als kurzgeschlossen behandelt werden sollen, werden die zugehörigen Netze bzw. Netzknoten äquivalent gemacht und verkettet. Dabei kann es sich nicht nur um Komponenten in einer Zelle, sondern auch um eine Zelle selbst handeln, bei der die zugehörigen Pins äquivalent gemacht werden. Unter dem Begriff „äquivalent machen" wird dabei verstanden, dass jedem Netzknoten jeweils alle Zustände (Potentiale, logische Zustände, etc.) aller übrigen Netzknoten der zugeordneten Äquivalenzklasse zugeordnet werden.

[0043] Falls ein Netz an einer als kurzgeschlossen zu behandelnden Komponente ein Stoppnetz ist, wird das Netz nicht mit in den Äquivalenzring eingefügt. Stattdessen wird der Pintyp des Stoppnetzes in den Äquivalenzring hineinkopiert; denn die Netze im Äquivalenzring dürfen die jeweiligen Netzeigenschaften zwar annehmen, sie jedoch nicht unbeschränkt weitertransportieren. Durch die Berücksichtigung von „Stoppnetzen" wird das Verfahren instanzabhängig.

[0044] Nachfolgend wird beispielhaft bei Feldeffekttransistoren die Schaltstrecke – also die Source-Drain-Strecke – und bei bipolaren Transistoren die Basis-Emitter-Strecke als kurzgeschlossen behandelt. Widerstände werden je nach der Größe des Widerstandswerts als kurzgeschlossen oder als nichtleitend betrachtet.

I.2.2. In diesem Schritt wird für jede Äquivalenzklasse ein Knoten als Master bestimmt. In diesen Master werden alle Pintypen des Äquivalenzringes eingetragen. Als Master wird vorzugsweise ein solches Netz gewählt, das eine Verbindung in eine höhere Zelle, also beispielsweise an ein externes Netz bzw. ein Pin, aufweist. Existiert kein solches Netz, wird ein beliebiges Netz des Äquivalenzringes ausgewählt.

I.2.3. Für alle Masternetze wird in diesem Schritt die Variable „equiMasterPin“ angelegt und mit der temporär angelegten Variabel „equiPinTypeSet“ des Masters belegt.

I.2.4. Alle Netze in der Vaterzelle, die über lokale Äquivalenzringe in der aktuellen Zelle verbunden sind, werden in einem Äquivalenzring verkettet. Die Variable „equiPinTypeSet“ eines Subnetzes wird an das jeweilige verbundene Netz in der Vaterzelle übertragen.

Schritt II:

[0045] Im Schritt II wird ein rekursiver Durchlauf durch die Hierarchie und ein Aufruf der Checkfunktionen für alle Instanzen durchgeführt. Dabei werden die folgenden Einzelschritte pro Instanz nacheinander abgearbeitet:

II.1. Die Pintypen der Äquivalenzklassen werden Top-Down in die Instanzen hinuntergereicht.

II.2.1. Es erfolgt ein Update der Äquivalenzklassen, indem aus der Liste equiMaster die Daten für die jeweilige Instanz geladen werden.

II.2.2. Alle Prüfungen werden Bottom-Up in der Instanz angestoßen.

[0046] Die in abstrakter, allgemeiner Form erläuterten Verfahrensschritte I und II werden nun im Detail anhand der in den Figuren dargestellten Schaltungsbeispiele erläutert.

[0047] In der [Fig. 1](#) erkennt man zwei Zellen A, die jeweils durch zwei in Reihe geschaltete Transistoren gebildet werden. Die in der [Fig. 1](#) linke Zelle A bildet dabei die Instanz 1 (Inst1) und die in der [Fig. 1](#) rechte Zelle A die Instanz 2 (Inst2).

[0048] Wie sich der [Fig. 1](#) entnehmen lässt, weist jede der beiden Instanzen 1 und 2 bzw. die Zelle A jeweils drei Netze Net1 Net2 und Net3 auf. Jedes dieser Netze Net1, Net2 bzw. Net3 besitzt eine Eigenschaft, die mit E1, E2 oder E3 bezeichnet ist. Bei einer solchen Eigenschaft kann es sich beispielsweise um einen Pintyp wie „VDD“ (gleich Versorgungsspannung) oder um eine andere Spannung wie beispielsweise 2,8 V handeln.

[0049] Die Zelle A ist als Instanz Inst1 und Instanz Inst2 in der Zelle B zweimal eingesetzt. Die Zelle B weist darüber hinaus einen Transistor **10** auf, der an den Netzen Net11 und Net13 angeschlossen ist. Die vier Netze Net12, Net12, Net13 und Net14 bilden darüber hinaus Verbindungsnetze jeweils zwischen den Zellen A und C. Die Zelle C weist die Netze Net21, Net22, Net23 und Net24 auf, die die in die Zelle C eingesetzte Zelle B an die Zelle C anschließen.

[0050] In der [Fig. 2](#) lässt sich nun der Schritt I für die Instanz Inst1 der Zelle A erkennen. Die Durchführung des Schrittes erfolgt dabei in Bottom-Up-Reihenfolge. Innerhalb dieses Schrittes werden alle an den beiden Transistoren der Zelle A der Instanz Inst1 anliegenden Netze in einem Äquivalenzring zusammengefasst (Schritt I.2.1), da die beiden Transistoren der Zelle A als kurzgeschlossen behandelt werden. Die Eigenschaften der Netze Net1, Net2 und Net3 werden an alle Netze im Äquivalenzring verteilt. Dies bedeutet, dass jedes der drei Netze Net1, Net2 und Net3 jeweils drei Eigenschaften aufweist, nämlich die Eigenschaften E1, E2, E3.

[0051] In der [Fig. 3](#) erkennt man, wie der Schritt I.2.2 im Detail durchgeführt wird. Die beiden Netze Net11 und Net12 werden in der Zelle B mit dem Äquivalenzring der Zelle A der Instanz Inst1 verbunden. Deshalb kommen die beiden Netze Net11 und Net12 in einen Äquivalenzring in Zelle B. Die Netzeigenschaften des zuvor gebildeten Äquivalenzrings der Zelle A der Instanz Inst1 werden von dem Netz Net1 an das Netz Net11 übertragen; denn das Netz Net1 wurde zuvor gemäß Schritt I.2.2 als Master ausgewählt. Als Ergebnis weist das Netz Net11 nun die Eigenschaften E1, E2 und E3 auf.

[0052] In der [Fig. 4](#) ist die Durchführung der entsprechenden Schritte für die Zelle A der Instanz inst2 beschrieben. Auch bei dieser Zelle wird die Bearbeitung in Bottom-Up-Reihenfolge durchgeführt.

[0053] In der [Fig. 5](#) ist der Schritt I für die Zelle B dargestellt. Man erkennt, dass die Netze Net11, Net12, Net13 und Net14 in einem Äquivalenzring zusammengefasst werden, wie es oben im Zusammenhang mit dem

Schritt I.2.1 erläutert worden ist. Dabei werden die Netzeigenschaften dieser Netze an alle Netze im Ring der Zelle B übertragen.

[0054] Im Ergebnis ist feststellen, dass die Netze Net1, Net2 und Net3 sowie die Netze Net11, Net12, Net13 und Net14 nunmehr jeweils drei mögliche Eigenschaften E1, E2 und E3 aufweisen.

[0055] [Fig. 6](#) zeigt den Schritt I.2.4 für die Zelle B. Die Netze Net21, Net22, Net23 und Net24 werden durch den Äquivalenzring in Zelle B verbunden. Die Netzeigenschaften des Äquivalenzrings in Zelle B werden dabei vom Netz Net11, das gemäß Schritt I.2.2 als Master ausgewählt wurde, an das Netz Net21 übertragen. Das Netz Net21 weist nun die Eigenschaften E1, E2 und E3 auf.

[0056] In der [Fig. 7](#) ist das Ergebnis der Äquivalenzklassenbildung durch Übertragung der Netzeigenschaften dargestellt. Alle Netze innerhalb der Zelle C haben nun die Eigenschaften E1, E2 und E3. Die durch die Äquivalenzklasse bzw. durch die Äquivalenzringe gebildete transformierte Netzliste kann nun gemäß Prüfung Schritt II geprüft werden. Die Original-Netzliste steht dabei weiterhin zur Verfügung.

[0057] Im Ergebnis ist somit festzustellen, dass durch die in den [Fig. 1-Fig. 7](#) dargestellte Zuordnung von Netzeigenschaften an Netze eine transformierte Netzliste gebildet ist, die zu Prüfungszwecken und zum Erzeugen eines Markierungssignals, das das Auftreten eines vorgegebenen Schaltungszustands markiert, herangezogen werden kann.

[0058] Bei dem Ausführungsbeispiel gemäß den [Fig. 1-Fig. 7](#) konnte jedem der Netze der Zelle C jede Eigenschaft zugewiesen werden, weil keines der Netze ein sogenanntes „Stoppnetz“ bildete. Im Zusammenhang mit den [Fig. 8-Fig. 14](#) wird nun erläutert, wie das Verfahren zum Erzeugen eines Markierungssignals beispielsweise bei elektrischen Schaltungen durchgeführt werden kann, bei deren Netzliste sogenannte „Stoppnetze“ zu berücksichtigen sind.

[0059] In der [Fig. 8](#) ist die gleiche Ausgangsschaltung wie in der [Fig. 1](#) dargestellt. Die Schaltung gemäß der [Fig. 8](#) unterscheidet sich von der Schaltung gemäß der [Fig. 1](#) jedoch darin, dass das Netz Net23 nunmehr ein „Stoppnetz“ ist. Dies bedeutet, dass dem Netz Net23 eine Netzeigenschaft, beispielsweise ein elektrisches Spannungspotential, ein Strom oder ein logischer Zustand fest zugewiesen ist. Andere Eigenschaften als die vorgegebene Eigenschaft kann das Netz Net23 somit nicht aufweisen. Die Netzeigenschaft des Netzes Net23 wird nachfolgend als „EX“ bezeichnet. In Schritt I wird die Netzeigenschaft EX an die mit dem „Stoppnetz“ Net23 über die Hierarchie verbundenen Netze kopiert. Dies ist in der [Fig. 8](#) dargestellt; so zeigt die [Fig. 8](#), dass die Netzeigenschaft EX an die mit dem Netz Net23 verbundenen Netze Net13 in Zelle B und Net1 in der Instanz Inst2 von Zelle A kopiert wird.

[0060] In der [Fig. 9](#) und der [Fig. 10](#) werden die bereits im Zusammenhang mit den [Fig. 2](#) und [Fig. 3](#) im ersten Ausführungsbeispiel erläuterten Schritte in entsprechender bzw. in identischer Weise durchgeführt. Das Stoppnetz Net13 spielt zu diesem Zeitpunkt noch keine Rolle. Man erkennt also, dass den Netzen Net1, Net2 und Net3 der Zelle A der Instanz Inst1 jeweils die Netzeigenschaften E1, E2 und E3 zugewiesen werden. Darüber hinaus wird das Netz Net1 als Master ausgewählt.

[0061] In der [Fig. 11](#) erkennt man den Schritt I für die Instanz Inst2 der Zelle A. Die am unteren Transistor der Instanz Inst2 anliegenden Netze Net2 und Net3 sind in einem Äquivalenzring zusammengefasst (vgl. Schritt I.2.1). Die Eigenschaften der Netze Net2 und Net3 sind im Äquivalenzring an die beiden Netze Net2 und Net3 verteilt. Dies bedeutet, dass die beiden Netze Net2 und Net3 nunmehr die Eigenschaften E1, E2, E3 und EX aufweisen. Das Netz Net1 ist nicht mit in den Äquivalenzring aufgenommen, da es sich um ein Stoppnetz handelt. Die Netzeigenschaften des Netzes Net1 (dies sind die Eigenschaften E1 und EX) sind aber in den Äquivalenzring hinein kopiert worden, so dass diese auch an den beiden Netzen Net2 und Net3 anliegen.

[0062] In der [Fig. 12](#) ist der Schritt I.2.4 für die Instanz Inst2 der Zelle A dargestellt. Die Netzeigenschaften des Äquivalenzrings der Zelle A der Instanz Inst2 werden vom Netz Net3, das gemäß Schritt I.2.2 als Master ausgewählt wurde, an das Netz Net14 übertragen. Das Netz Net14 weist nunmehr die Eigenschaften E1, E2, E3 und EX auf. Ebenso werden die Netzeigenschaften des Masternetzes Net1 an Net13 übertragen. Da das Netz Net13 ein „Stoppnetz“ ist, wird dieses Netz Net13 in keinen Äquivalenzring mit aufgenommen; lediglich werden die Netzeigenschaften des Netzes Net13 auf das Netz Net11 übertragen.

[0063] In der [Fig. 13](#) ist das Ergebnis der Äquivalenzbildung und Übertragung der Netzeigenschaften dargestellt. Die Netze Net21, Net22 und Net24 der Zelle C weisen nun die Eigenschaften E1, E2, E3 und EX auf.

Das Stoppnetz Net23 hat hingegen lediglich die Eigenschaften E1 und EX.

[0064] In der [Fig. 14](#) ist das endgültige Ergebnis der Äquivalenzbildung gezeigt. Im Gegensatz zu dem ersten Ausführungsbeispiel – vgl. insbesondere die [Fig. 7](#) –, bei dem kein Stoppnetz vorhanden war, gibt es nun drei Masternetze, d.h. drei nicht miteinander verbundene neue Äquivalenzklassen bzw. drei „neue“ Netze. Das Stoppnetz Net23 und die mit ihm verbundenen Netze Net13 und Net1 haben ihre ursprüngliche Netzeigenschaft nicht geändert. Trotzdem hat das Netz Net23 seine Eigenschaft EX an die anderen Netze weitergegeben.

[0065] Zusammengefasst besteht das im Zusammenhang mit den [Fig. 1-Fig. 14](#) erläuterte Verfahren also darin, eine Originalliste in eine transformierte Netzliste umzuformen, wobei die Original-Netzliste bestehen bleibt. Das Bestehenbleiben der Original-Netzliste ist wichtig, da der Bezug bzw. die „Cross-Referenz“ zur Original-Netzliste bei der Fehlerausgabe erhalten bleiben soll. Die Original-Netzliste wird beispielsweise zum graphischen „Proben“ bzw. „Testen“ benötigt. Darüber hinaus sind die Komponenten und Netze, bei denen kritische Schaltungszustände auftreten können, vorzugsweise immer in einer Original-Netzliste zu melden, da nur die Original-Netzliste einen unmittelbaren Bezug zum tatsächlichen Schaltungsentwurf aufweist.

[0066] In der neu gebildeten modifizierten bzw. transformierten Netzliste werden die Netzeigenschaften der bisherigen Netze übernommen. Da mehrere „alte“ Netze in ein „neues“ Netz überführt werden, kann ein neues Netz mehrere unterschiedliche Netzeigenschaften (zum Beispiel mehrere Spannungen, mehrere logische Zustände, etc.) annehmen. Durch Bildung der erläuterten Äquivalenzklassen können die Netzeigenschaften über verschiedene Komponenten der elektrischen Schaltung hinweg transportiert bzw. kopiert werden.

[0067] Das beschriebene Verfahren zeichnet sich also dadurch aus, dass alle Netze, die durch als kurzgeschlossen zu betrachtende Komponenten der elektrischen Schaltung verbunden sind, in Äquivalenzklassen zusammengefasst werden. Jede Äquivalenzklasse repräsentiert ein neues logisches bzw. elektrisches Netz. Das Bilden der Äquivalenzklassen erfolgt dabei über die jeweilige Schaltungshierarchie hinweg. Dabei werden „Stoppnetze“ berücksichtigt, die nicht mit in die Äquivalenzklasse aufgenommen werden. Stattdessen wird lediglich der Pintyp des Stoppnetzes in die jeweilige Äquivalenzklasse kopiert, wodurch in der Äquivalenzklasse die Pintypen aller anliegenden „Stoppnetze“ bekannt sind. Außerdem werden die Äquivalenzklassen der Subnetze berücksichtigt. Dadurch wird das Verfahren instanzabhängig und nicht mehr zellabhängig. Dies bedeutet beispielsweise, dass ein und dieselbe Zelle in unterschiedlichen Instanzen unterschiedlich beschaltet sein kann. Handelt es sich dabei um Stoppnetze, die nicht mit in eine Äquivalenzklasse aufgenommen werden können, wird dies bei der Übertragung von Eigenschaften von Netzen berücksichtigt.

[0068] Ein Vorteil des erläuterten Verfahrens besteht in der Möglichkeit, eine Netzliste gemäß den Anforderungen in einem separaten „Regelfile“ bzw. in einer separaten Regeldatei schnell in eine andere zu transformieren und diese transformierte Netzliste zur statischen Überprüfung elektrischer Eigenschaften zu verwenden.

[0069] Werden bei der Durchführung des Verfahrens – wie im Zusammenhang mit den Beispielen gemäß den [Fig. 1](#) und [Fig. 14](#) beschrieben – alle Komponenten als kurzgeschlossen oder nichtleitend betrachtet, so kann mit Hilfe der transformierten Netzliste eine vollständige statische Überprüfung der elektrischen Eigenschaften der elektrischen Schaltung durchgeführt werden. Eine solche statische Überprüfung der elektrischen Schaltung weist eine deutlich höhere Geschwindigkeit und eine deutlich bessere Testabdeckung auf, als dies bei einer dynamischen, ins Detail gehenden elektrischen Simulation der elektrischen Schaltung möglich wäre. Aufgrund der „Crossreferenz“ zur Originalliste bleibt es dabei möglich, entdeckte Fehler den jeweils betroffenen Schaltungsbereichen der Schaltung zuzuweisen. Das beschriebene Verfahren ist darüber hinaus auch bei hierarchischen Netzlisten anwendbar.

[0070] Im Zusammenhang mit den [Fig. 15](#) bis [Fig. 19](#) soll nun beispielhaft erläutert werden, wie sich anhand der transformierten bzw. modifizierten Netzliste ein Markierungssignal erzeugen lässt.

[0071] In der [Fig. 15](#) erkennt man fünf MOS-Transistoren NMOS1, NMOS2, NMOS3, NMOS4 und NMOS5. Dabei ist ein Schaltstreckenanschluss (d. h. Source- oder Drain-Anschluss) des Transistors NMOS5 an einen Netzknoten bzw. an ein Netz mit der Bezeichnung P2 angeschlossen. Ein anderer Anschluss des Transistors NMOS5 steht mit einem Netz B in Verbindung, mit dem auch ein Schaltstrecken-Anschluss des Transistors NMOS4 verbunden ist. Der andere Schaltstrecken-Anschluss des Transistors NMOS4 ist mit einem Schaltstrecken-Anschluss des Transistors NMOS2 sowie mit einem Netz A verbunden. Der andere Schaltstrecken-Anschluss des Transistors NMOS2 steht mit einem Schaltstrecken-Anschluss des Transistors NMOS1 sowie mit

einem Netz P1 in Verbindung. Der andere Schaltstrecken-Anschluss des Transistors NMOS1 ist elektrisch mit einem Schaltstrecken-Anschluss des Transistors NMOS3 sowie mit einem Netz C verbunden. Der andere Schaltstrecken-Anschluss des Transistors NMOS3 bildet ein Netz D.

[0072] Den beiden Netzen bzw. Netzknoten P1 und P2 wird jeweils eine elektrische Zustandsgröße fest zugewiesen, und zwar dem Netz P1 die Versorgungsspannung VDD und dem Netz P2 das Massepotenzial VSS.

[0073] Darüber hinaus werden die fünf Transistoren NMOS 1 bis NMOS 5 als kurzgeschlossen behandelt. Die feste Zuweisung der elektrischen Zustandsgrößen für die beiden Netze P1 und P2 sowie die Behandlung der Transistoren NMOS1 bis NMOS5 als kurzgeschlossen lässt sich beispielsweise durch folgende Programieranweisung erreichen:

```
ercDefines(
  defPins(
    pin "VSS" = "P2"
    pin "VDD" = "P1"
  )
  shortDevices(
    short "MOS"
    excludingPinTypes "VSS" "VDD"
  )
)
```

[0074] Dadurch, dass die fünf Transistoren NMOS1 bis NMOS5 als kurzgeschlossen behandelt werden, können die Spannungspotenziale VDD und VSS an den beiden Netzen P1 und P2 nun allen denjenigen Netzen zugewiesen werden, die mit den Netzen P1 und P2 über die Transistoren in Verbindung stehen.

[0075] Dabei ist jedoch zu berücksichtigen, dass die beiden Netze P1 und P2 fest zugewiesene elektrische Potenziale, nämlich die Potenziale VDD und VSS aufweisen, so dass diese beiden Netze P1 und P2 als sogenannte „Stopnetze“ aufzufassen sind.

[0076] Dies bedeutet, dass das Potenzial VSS an dem Netz P2 über den als kurzgeschlossen zu behandelnden Transistor NMOS5 zum Netz B und über den als kurzgeschlossen zu behandelnden Transistor NMOS4 zum Netz A gelangt bzw. zu diesem „propagiert“ wird. Damit ist den beiden Netzen A und B also jeweils das Potenzial VSS zugewiesen. In entsprechender Weise wird das Potenzial VDD von Netz P1 über den als kurzgeschlossen zu behandelnden Transistor NMOS2 zum Netz A und über als kurzgeschlossen zu behandelnden Transistor NMOS4 zum Netz B gelangen. Damit sind den beiden Netzen A und B also jeweils die beiden Potenziale VSS und VDD zugewiesen.

[0077] Wie sich in der [Fig. 16](#) erkennen lässt, erfolgt jedoch keine Zuordnung des Potentials VDD zum Netz P2 und ebenfalls keine Zuordnung des Potentials VSS zum Potenzial P1. Dies liegt darin begründet, dass die beiden Netze P1 und P2 „Stopnetze“ bilden, denen eine elektrische Zustandsgröße fest zugeordnet ist. Bei dem Beispiel gemäß den [Fig. 15](#) und [Fig. 16](#) ist – wie oben ausgeführt – dem Netz P1 das Potenzial VDD und dem Netz P2 das Potenzial VSS fest zugewiesen.

[0078] In entsprechender Weise wird das Potenzial VDD nun über den als kurzgeschlossenen behandelten Transistor NMOS1 dem Netz C zugeordnet. Damit kann bzw. muss das Potenzial VDD auch dem Netz D zugeordnet werden, da auch der Transistor NMOS3 als kurzgeschlossen zu behandeln ist.

[0079] Im Ergebnis bildet sich somit eine Zuordnung von Spannungspotenzialen, wie sie in der [Fig. 16](#) dargestellt ist. Dies bedeutet, dass den beiden Netzen A und B jeweils die Potenziale VSS und VDD und den beiden Netzen C und D jeweils das Potenzial VDD zugewiesen ist. Die beiden Netze P1 und P2 behalten die ihnen fest zugewiesenen Potenziale VDD bzw. VSS, da sie Stopnetze sind. Es gilt also:

P1: VDD
P2: VSS
A: VDD, VSS

B: VDD, VSS
 C: VDD
 D: VDD

[0080] Die Netze C und D einerseits sowie die Netze A und B andererseits bilden somit also jeweils eine Äquivalenzklasse.

[0081] Die elektrische Schaltung gemäß den [Fig. 15](#) und [Fig. 16](#) kann nun dahingehend überprüft werden, ob ein vorgegebener, zumindest durch eine elektrische Zustandsgröße definierter Schaltungszustand erreicht ist. Dies soll an einem Beispiel verdeutlicht werden, bei dem ein Markierungssignal (bzw. Prüfsignal) für alle diejenigen Knoten ausgegeben wird, die keine Verbindung zum Potenzial VDD oder keine Verbindung zum Potenzial VSS aufweisen. Eine entsprechende Abfrage könnte in einer Programmiersprache wie folgt lauten:

```
ercRules(
  reportNet(
    pinTypes
    condition count "VSS" "VDD" <= 1
    title "No path to VDD or no path to VSS"
  )
)
```

[0082] Wie sich der [Fig. 16](#) entnehmen lässt, werden die Netze P1, P2, C und D gemeldet. Die Netze P1 und P2 werden gemeldet, da sie Stoppnetze sind und kein anderes Potential annehmen können. Die Netze C und D werden gemeldet, da sie nicht das Potential VSS annehmen können. Es wird also ein Prüfsignal erzeugt.

[0083] Eine andere Prüfanfrage könnte beispielsweise derart lauten, dass alle Netze bzw. Netzknoten ausgegeben werden sollen, die auf dem Potenzial VSS liegen können. Die entsprechende Such- bzw. Prüfanfrage könnte in einer Programmiersprache wie folgt lauten:

```
ercRules(
  reportNet(
    pinTypes
    condition
    including "VSS"
    title "path to VSS"
  )
)
```

[0084] Das Ergebnis dieser Prüfanfrage würde lauten, dass die Netze A und B sowie P2 das Potenzial VSS aufweisen können. Das Potenzial P1 kann – wie oben aufgeführt – das Potenzial VSS nicht aufweisen, da es sich um ein Stoppnetz handelt. Entsprechend können auch die beiden Netze C und D das Potenzial VSS nicht aufweisen, da sie lediglich mit dem Potenzial VDD über das Stoppnetz P1 beaufschlagt werden.

[0085] In der [Fig. 17](#) ist das Ausführungsbeispiel gemäß den [Fig. 15](#) und [Fig. 16](#) in einer abgewandelten Form dargestellt. Auch bei der elektrischen Schaltung gemäß der [Fig. 17](#) ist dem Netz P1 das Potenzial VDD und dem Netz P2 das Potenzial VSS zugewiesen. Im Unterschied zu dem Ausführungsbeispiel gemäß den [Fig. 15](#) und [Fig. 16](#) handelt es sich jedoch dabei nicht um eine feste Zuweisung, so dass die beiden Netze P1 und P2 keine Stoppnetze bilden. Somit können den beiden Netzen P1 und P2 zusätzlich zu den zuvor zugeordneten Potenzialen VDD bzw. VSS auch weitere, andere Potenziale zugewiesen werden. Die Definition der Pinbelegung bzw. der Pintypen der Netze und das Kurzschließen lässt sich beispielsweise durch folgende Programmzeilen definieren:

```

ercDefines (
  defPins (
    pin "VSS" = "P2"
    pin "VDD" = "P1"
  )
  shortDevices (
    short "MOS"
  )
)

```

[0086] Wird das im Zusammenhang mit den [Fig. 15](#) und [Fig. 16](#) erläuterte Verfahren nun hier angewandt, so wird das dem Netz P2 zugeordnete VSS über den als kurzgeschlossen behandelten Transistor NMOS5 zum Netz B und von dort über den als kurzgeschlossen behandelten Transistor NMOS4 zum Netz A gelangen. Darüber hinaus wird das Potenzial VSS über den als kurzgeschlossen behandelten Transistor NMOS2 zum Netz P1 gelangen können, da das Netz P1 kein Stopnetz mehr bildet. Von dem Netz P1 gelangt das Potenzial VSS dann über den Transistor NMOS1 zum Netz C und über den Transistor NMOS3 von dort zum Netz D. Damit kann das Potenzial VSS somit an allen Netzen P1, P2, A, B, C und D anliegen.

[0087] In entsprechender Weise erfolgt nun auch eine Zuordnung des Potentials VDD an die Netze A, B, C und D – wie auch schon im obigen Ausführungsbeispiel – und darüber hinaus über den Transistor NMOS5 zum Netz P2, da das Netz P2 ebenfalls kein Stopnetz mehr bildet.

[0088] Im Ergebnis können alle Netze jeweils beide Potentiale VSS und VDD aufweisen. Es gilt also:

P1: VDD, VSS

P2: VDD, VSS

A: VDD, VSS

B: VDD, VSS

C: VDD, VSS

D: VDD, VSS

[0089] Die Netze P1, P2, A, B, C und D bilden somit eine Äquivalenzklasse.

[0090] In den [Fig. 18](#) und [Fig. 19](#) ist eine fünfte elektrische Schaltung dargestellt, anhand derer die Durchführung des Prüf- bzw. Markierungsverfahrens nachfolgend erläutert wird.

[0091] Man erkennt in der [Fig. 18](#) einen „kleinen“ n-Kanal MOS-Feldeffekttransistor NMOS SMALL, der mit seinem einen Schaltstrecken-Anschluss – dem Source-Anschluss – mit dem Netz P5 verbunden ist. An dem Netz P5 liegt das Potential VSS an. Das Gate des Transistors NMOS SMALL liegt an P4 mit dem Potential VINT. Der andere Schaltstrecken-Anschluss – der Drain-Anschluss – des Transistors NMOS SMALL steht mit einem Schaltstrecken-Anschluss – dem Drain-Anschluss – eines „kleinen“ p-Kanal MOS-Feldeffekttransistors PMOS SMALL in Verbindung. Der andere Schaltstrecken-Anschluss – der Source-Anschluss – des Transistor PMOS SMALL ist mit einem Netz P2 verbunden, an dem das Potential VINT anliegt.

[0092] Der Gate-Anschluss des Transistors PMOS SMALL ist über einen Widerstand R mit einem Schaltstreckenanschluss eines „großen“ p-Kanal MOS-Feldeffekttransistors PMOS BIG verbunden, dessen anderer Schaltstreckenanschluss mit dem Netz P1 in Verbindung steht. Der Gate-Anschluss des Transistors PMOS BIG ist mit einem Netz P3 verbunden, das mit dem Potential VSS beaufschlagt ist.

[0093] Bei den Netzen P1, P2, P3, P4 und P5 handelt es sich um Stopnetze, die ausschließlich das ihnen zugewiesene Potential aufweisen können.

[0094] Alle Widerstände der elektrischen Schaltung, die einen Widerstandswert größer als 500 Ω aufweisen, sollen als nichtleitend angesehen werden, wohingegen alle übrigen Widerstände mit einem Widerstandswert kleiner als oder gleich 500 Ω ideal bzw. verlustfrei leitend sein sollen. Demgemäß wird der Widerstand R als kurzgeschlossen behandelt.

[0095] Die entsprechende Zuordnung der Potenziale für die Netze P1, P2, P3 F4 und P5 sowie die Definition des elektrischen Verhaltens der Komponenten wird beispielsweise mit folgenden Programmierregeln erreicht:

```

/* Zuordnung der Pintypen und Spannungen */
ercDefines(
  defPins(
    pin "VSS"          voltage 0      = "P5" "P3"
    pin "VINT"         voltage 2.0    = "P2" "P4"
    pin "VPP"          voltage 3.0    = "P1"
  )

  /* Definition der Devices, über die die Spannung transportiert werden soll und der Stoppnetze */
  shortDevices(
    short "MOS" BIG
    short "MOS" SMALL

    short "RES" value =< 500
    excludingPinTypes "VPP" "VINT" "VSS"
  )

```

[0096] Die in den [Fig. 18](#) und [Fig. 19](#) gezeigte Schaltung soll nun dahingehend überprüft werden, ob bei dem kleinen p-Kanal-Transistor PMOS SMALL eine zu hohe Spannung auftreten kann. Bei dem p-Kanal-Transistor PMOS SMALL handelt es sich um einen Transistor, bei dem zwischen dem Gateanschluss und dem Source- bzw. Drain-Anschluss keine Spannung anliegen darf, die größer als VINT ist. Gemäß der oben genannten Definition beträgt die Spannung VINT = 2 Volt.

[0097] Zur Durchführung der Prüfung muss zuerst festgestellt werden, welchen Netzknoten bzw. welchen Netzen der elektrischen Schaltung welche Potenziale bzw. Zustände zugeordnet werden müssen. Hierzu wird wie folgt vorgegangen:

Zunächst wird festgestellt, dass es sich bei dem Netz P2 um ein Stoppnetz handelt, so dass dieses Netz P2 lediglich das Potenzial VINT aufweisen kann. Das Potenzial VINT kann jedoch über den Transistor PMOS SMALL, der bezüglich seiner Schaltstrecke bzw. seines Source-Drain-Anschlusspaares als kurzgeschlossen zu behandeln ist, zu dem Netz A gelangen. Darüber hinaus ist dem Netz A auch das Potenzial VSS zuzuordnen, da auch der Transistor NMOS SMALL bezüglich seiner Schaltstrecke bzw. seines Source-Drain-Anschlusspaares als kurzgeschlossen anzusehen ist.

[0098] Das Potenzial VPP am Netz P1 gelangt über den Transistor PMOS BIG, der bezüglich seiner Schaltstrecke bzw. seines Source-Drain-Anschlusspaares als kurzgeschlossen zu behandeln ist, zu dem Netz B. Da der Widerstand R lediglich einen Widerstandswert von $R = 100 \Omega$ aufweist, ist dieser Widerstand gemäß der oben genannten Regel als kurzgeschlossen anzusehen; damit ist das Potenzial VPP ebenfalls dem Netz C und damit dem Gate-Anschluss des Transistors PMOS SMALL zuzuordnen.

[0099] Es bildet sich somit eine Zuordnung der Potenziale, wie sie in der [Fig. 19](#) dargestellt ist.

[0100] Somit ist festzustellen, dass an dem Netz A und damit an dem Drain-Anschluss des Transistors PMOS SMALL die Potenziale VSS und VINT auftreten können und an dem Netz C und damit an dem Gate-Anschluss des Transistors PMOS SMALL das Potenzial VPP auftreten kann.

[0101] Die elektrische Schaltung soll nun dahingehend überprüft werden, ob bei dem „kleinen“ p-Kanal-Transistor PMOS SMALL eine Gate-Source-Spannung oder eine Gate-Drain-Spannung anliegt, die größer als VINT ist. Eine solche Prüfanfrage kann beispielsweise wie folgt aussehen:

```

/* Testregel */
reportDevice(
  "MOS"
  models SMALL
  condition nodeVoltage(voltage "GATE" - voltage "SDRAIN"
    > "VINT") || nodeVoltage(voltage "SDRAIN" - voltage
    "GATE" > "VINT")
  title "SMALL MOS, voltage difference Gate- Sour-
ce/Drain/Substrate > VINT"
)

```

[0102] Gemäß dieser Prüfabfrage wird geprüft, ob es „kleine“ MOS-Feldtransistoren gibt, bei denen zwischen dem Gate-Anschluss und dem Source- bzw. Drain-Anschluss eine Spannung anliegt, die die Spannungsgrenze von $V_{INT} = 2\text{ V}$ überschreitet.

[0103] Die Lösung dieser Prüfanfrage lässt sich der [Fig. 19](#) unmittelbar entnehmen; denn in der [Fig. 19](#) ist gezeigt, dass zwischen dem Drain-Anschluss und dem Gate-Anschluss des kleinen p-Kanal-Transistors PMOS SMALL eine Gate-Drain-Spannung U_{gd} von

$U_{gd} = V_{PP} - V_{SS} = 3\text{ Volt}$ und

$U_{gd} = V_{PP} - V_{INT} = 1\text{ Volt}$

anliegen kann.

[0104] Falls der Gate-Anschluss mit dem Potenzial V_{PP} beaufschlagt ist, kann sich also zwischen dem Gate-Anschluss und dem Drain-Anschluss eine Spannungsdifferenz von $U_{gd} = 3\text{ V} > 2\text{ V}$ bilden. Die vorgegebene Grenzspannung bzw. maximale Spannungsdifferenz von $U_{gd} = V_{INT} = 2\text{ V}$ wird somit deutlich überschritten.

[0105] Als Ergebnis der genannten Prüfanfrage würde somit der kleine p-Kanal-Transistor PMOS SMALL gemeldet werden. Die elektrische Schaltung gemäß den [Fig. 18](#) und [Fig. 19](#) ist also nicht ausreichend dimensioniert. Anstelle des kleinen p-Kanal-Transistors PMOS SMALL wäre ein „großer“ p-Kanal-Transistor PMOS BIG einzusetzen, da bei einem MOS-Transistor der Typs „BIG“ eine Spannungsdifferenz von V_{DD} zwischen Gate- und Source- bzw. Gate- und Drain-Anschluss unkritisch wäre.

[0106] Anstelle dessen könnte die elektrische Schaltung gemäß den [Fig. 18](#) und [Fig. 19](#) auch anders modifiziert werden, indem beispielsweise der Widerstandswert des Widerstands R erhöht wird. Würde nämlich der Widerstandswert des Widerstands R einen Wert größer als $500\ \Omega$ aufweisen, so würde das Potenzial V_{PP} über diesen Widerstand R nicht zum Gate-Anschluss des kleinen p-Kanal-Transistor PMOS SMALL „propagiert“ werden können, so dass an dem Transistor keine Überspannung auftreten würde. Der Transistor würde dann nicht gemeldet werden.

[0107] Das beschriebene Prüfverfahren kann darüber hinaus auch weitere Parameter der elektrischen Schaltung berücksichtigen. So kann beispielsweise eine Abfrage, ob an einem Transistor eine vorgegebene Grenzspannung überschritten wird, darüber hinaus mit geometrischen Parametern des Transistors verbunden werden. Beispielsweise können alle diejenigen „kleinen“ p-Kanal-Transistoren mittels des beschriebenen Prüfverfahrens aufgefunden werden, bei denen zwischen dem Source-Anschluss und dem Drain-Anschluss eine Spannungsdifferenz anliegt die größer als V_{INT} ist und deren Gate-Länge kleiner als 280 nm ist. Eine entsprechende Prüfanfrage könnte beispielsweise wie folgt lauten:

```

reportDevice(
  "MOS"
  models P_SMALL
  condition length < 280 &&
    nodeVoltage(voltage "SDRAIN" > "vint") &&
    nodeVoltage(voltage "SOURCE" - voltage "DRAIN" >
"vint")
  title "Small PMOS, length < 280, voltage SOURCE-DRAIN >
vint"
)

```

[0108] Im Ergebnis kann somit mit dem beschriebenen Verfahren eine vollständige Überprüfung elektrischer Schaltungen in sehr einfacher Weise erreicht werden, ohne dass es einer vollständigen elektrischen Simulation der Schaltung bedarf.

Patentansprüche

1. Verfahren zum Erzeugen eines Markierungssignals, das angibt, bei welchen Komponenten einer elektrischen Schaltung oder bei welchen Schaltungsbereichen der elektrischen Schaltung ein vorgegebener, zumindest durch ein Spannungspotential oder einen logischen Zustand definierter Schaltungszustand eintreten könnte, bei dem

- aus einer die Schaltungsstruktur der elektrischen Schaltung beschreibenden Original-Netzliste eine transformierte Netzliste gebildet wird, indem
- alle elektrischen Komponenten der elektrischen Schaltung zumindest einer vorgegebenen Komponenten-Gruppe oder zumindest einer vorgegebenen Komponententypart zumindest bezüglich jeweils eines Anschluss-paares als kurzgeschlossen behandelt werden,
- alle über eine oder mehrere der als kurzgeschlossen zu behandelnden Komponenten verbundenen Netzknoten jeweils zu einer Äquivalenzklasse zusammengefasst werden, wobei jeder Äquivalenzklasse jeweils alle Spannungspotentiale oder logischen Zustände der zugehörigen Netzknoten zugeordnet werden,
- unter Berücksichtigung der Äquivalenzklassen festgestellt wird, ob und bei welchen Komponenten oder bei welchen Schaltungsbereichen der elektrischen Schaltung der vorgegebene Schaltungszustand auftreten kann, und
- als das Markierungssignal ein Signal erzeugt wird, das die anhand der transformierten Netzliste identifizierten Komponenten oder Schaltungsbereiche in der Original-Netzliste markiert.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass anschließend anhand der Original-Netzliste verifiziert wird, ob der vorgegebene Schaltungszustand bei den markierten Komponenten oder bei den markierten Schaltungsbereichen tatsächlich auftreten kann.

3. Verfahren nach Anspruch 2, dadurch gekennzeichnet, dass das Markierungssignal korrigiert wird in Bezug auf diejenigen Komponenten und Schaltungsbereiche, bei denen die Verifikation ergibt, dass der vorgegebene Schaltungszustand ausgeschlossen ist.

4. Verfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass

- diejenigen Netzknoten oder Anschlusspins der elektrischen Schaltung, denen ein elektrisches Spannungspotential oder ein logischer Zustand fest zugewiesen ist, von einer Aufnahme in eine Äquivalenzklasse ausgeschlossen werden.

5. Verfahren nach Anspruch 4, dadurch gekennzeichnet, dass

- das Spannungspotential oder der logische Zustand jedes Netzknotens mit fest zugewiesenem Spannungspotential oder logischen Zustand in jede der mit dem Netzknoten jeweils verbundene Äquivalenzklassen kopiert wird.

6. Verfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass alle elektrischen Komponenten der elektrischen Schaltung komponentenindividuell bezüglich jedes Anschluss-paares der Komponente entweder als kurzgeschlossen oder als nichtleitend behandelt werden.

7. Verfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass alle Transistoren zumindest eines vorgegebenen Transistortyps bezüglich ihrer Schaltstrecke als kurzgeschlossen behandelt werden.

8. Verfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass alle Widerstände mit einem Widerstandswert unter einem vorgegebenen Grenzwert als kurzgeschlossen und alle Widerstände mit einem Widerstandswert über dem vorgegebenen Grenzwert als nichtleitend behandelt werden.

9. Verfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass als vorgegebener Schaltungszustand ein für die Schaltung kritischer Schaltungszustand gewählt wird und das Verfahren für den kritischen Schaltungszustand durchgeführt wird.

10. Verfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass das Markierungssignal für die diejenigen Netzknoten oder Äquivalenzklassen erzeugt wird, die ein vorgegebenes Grenzspannungspotential erreichen oder unter-/überschreiten oder einen vorgegebenen logischen Zustand erreichen.

11. Verfahren nach einem der vorangehenden Ansprüche 1 bis 9, dadurch gekennzeichnet, dass das Markierungssignal für diejenigen Komponenten erzeugt wird, bei denen eine Spannung anliegt, die eine für die Komponente individuell vorgegebene Grenzspannung erreicht oder unter-/überschreitet.

12. Verfahren nach einem der vorangehenden Ansprüche 1 bis 9, dadurch gekennzeichnet, dass das Markierungssignal für diejenigen Komponenten erzeugt wird, bei denen eine Spannung anliegt, die eine für die jeweilige Komponententyp vorgegebene Grenzspannung erreicht oder unter-/überschreitet.

13. Verfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass das Verfahren mit Hilfe einer Datenverarbeitungsanlage durchgeführt wird, in die die Schaltungsstruktur der elektrischen Schaltung als Original-Netzliste eingegeben ist.

14. Einrichtung zum Erzeugen eines Markierungssignals, das angibt, bei welchen Komponenten einer elektrischen Schaltung oder bei welchen Schaltungsbereichen der elektrischen Schaltung ein vorgegebener, zumindest durch ein Spannungspotential oder einen logischen Zustand definierter Schaltungszustand eintreten könnte, mit

- einem Speicher, in dem eine die Schaltungsstruktur der elektrischen Schaltung beschreibende Original-Netzliste abgespeichert ist, und
- einer mit dem Speicher verbundenen Rechneinrichtung, die derart ausgestaltet ist,
- dass sie aus der Original-Netzliste eine transformierte Netzliste bildet, indem sie
- alle elektrischen Komponenten der elektrischen Schaltung zumindest einer vorgegebenen Komponentengruppe oder zumindest einer vorgegebenen Komponententyp als kurzgeschlossen behandelt,
- alle über eine oder mehrere der als kurzgeschlossen zu behandelnden Komponenten verbundenen Netzknoten jeweils zu einer Äquivalenzklasse zusammenfasst, wobei sie jeder Äquivalenzklasse jeweils alle Spannungspotentiale oder logischen Zustände der zugehörigen Netzknoten zuordnet,
- dass sie unter Berücksichtigung der Äquivalenzklassen feststellt, ob und bei welchen Komponenten oder bei welchen Schaltungsbereichen der elektrischen Schaltung der vorgegebene Schaltungszustand auftreten kann, und
- dass sie als das Markierungssignal ein Signal erzeugt, das die anhand der transformierten Netzliste identifizierten Komponenten oder Schaltungsbereiche in der Original-Netzliste markiert.

15. Einrichtung nach Anspruch 14, dadurch gekennzeichnet, dass die Rechneinrichtung derart ausgestaltet ist, dass sie beim Erzeugen des Markierungssignals zumindest einen der Verfahrensschritte nach einem der voranstehenden Ansprüche 2 bis 13 durchführt.

16. Datenträger mit einem Programm, das derart ausgestaltet ist, dass eine Datenverarbeitungsanlage nach einer Installation des Programms die Verfahrensschritte nach einem der Ansprüche 1 bis 13 durchführt.

Es folgen 11 Blatt Zeichnungen

FIG 2

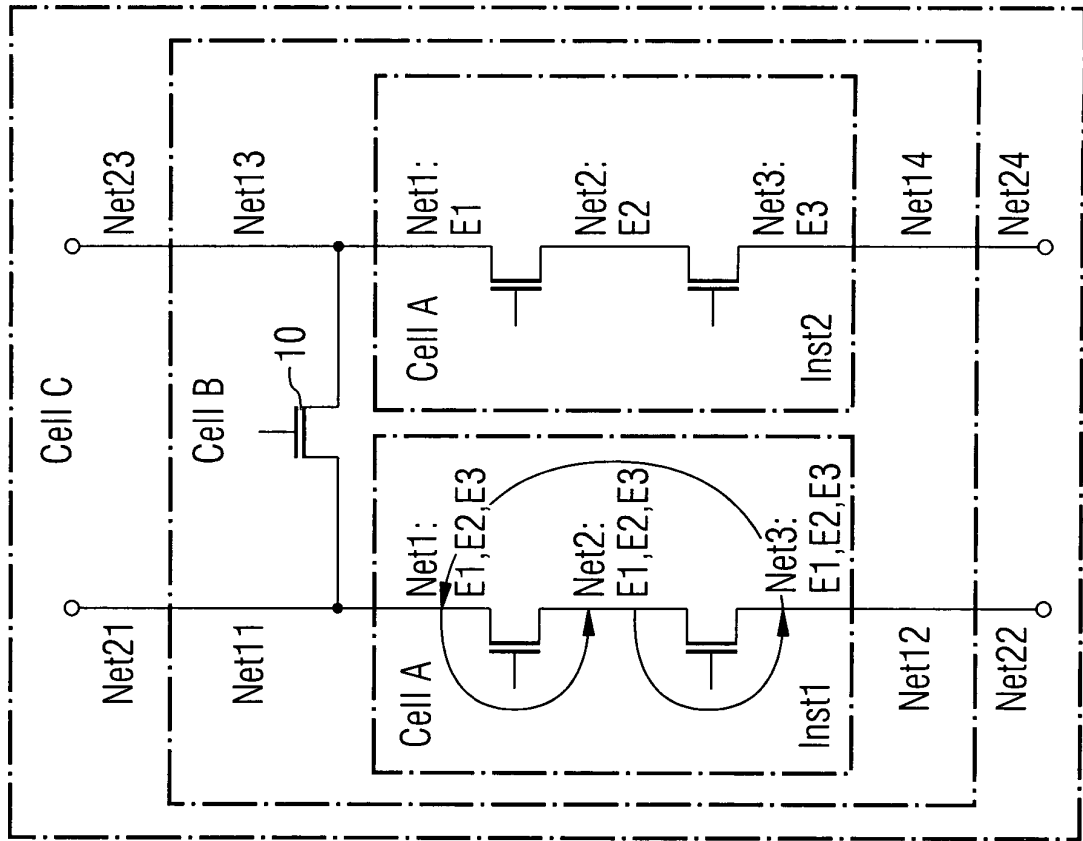


FIG 1

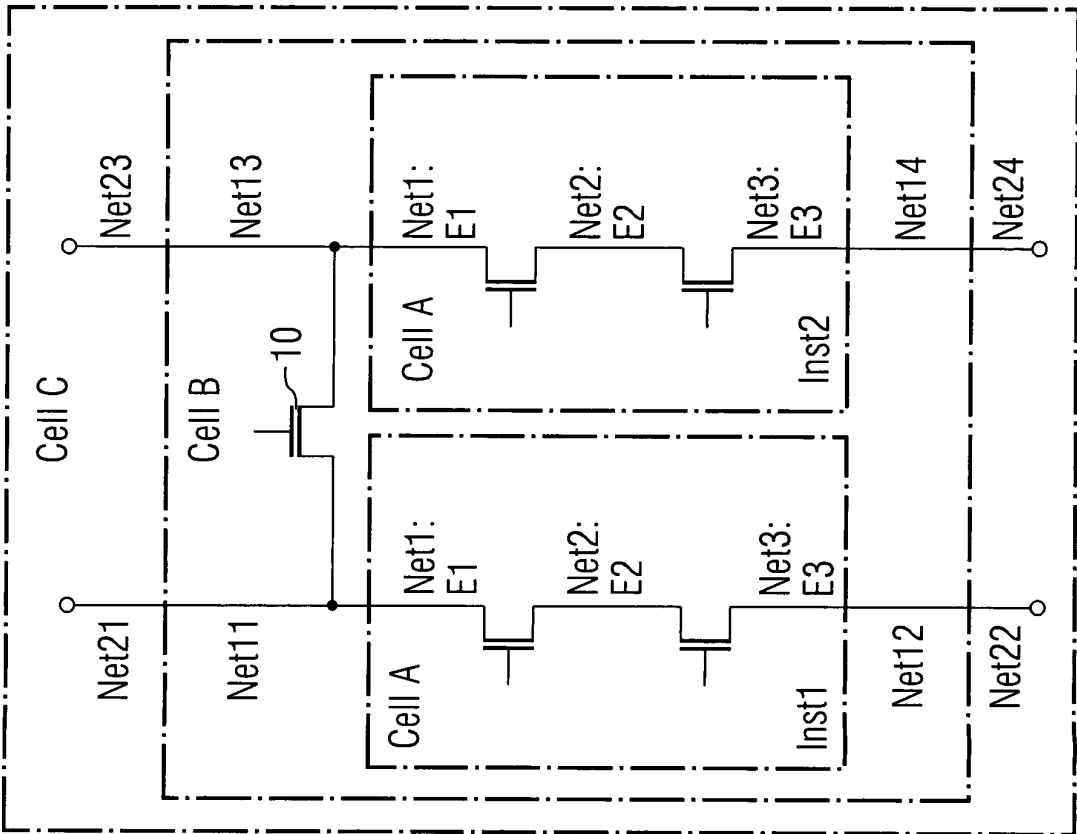


FIG 4

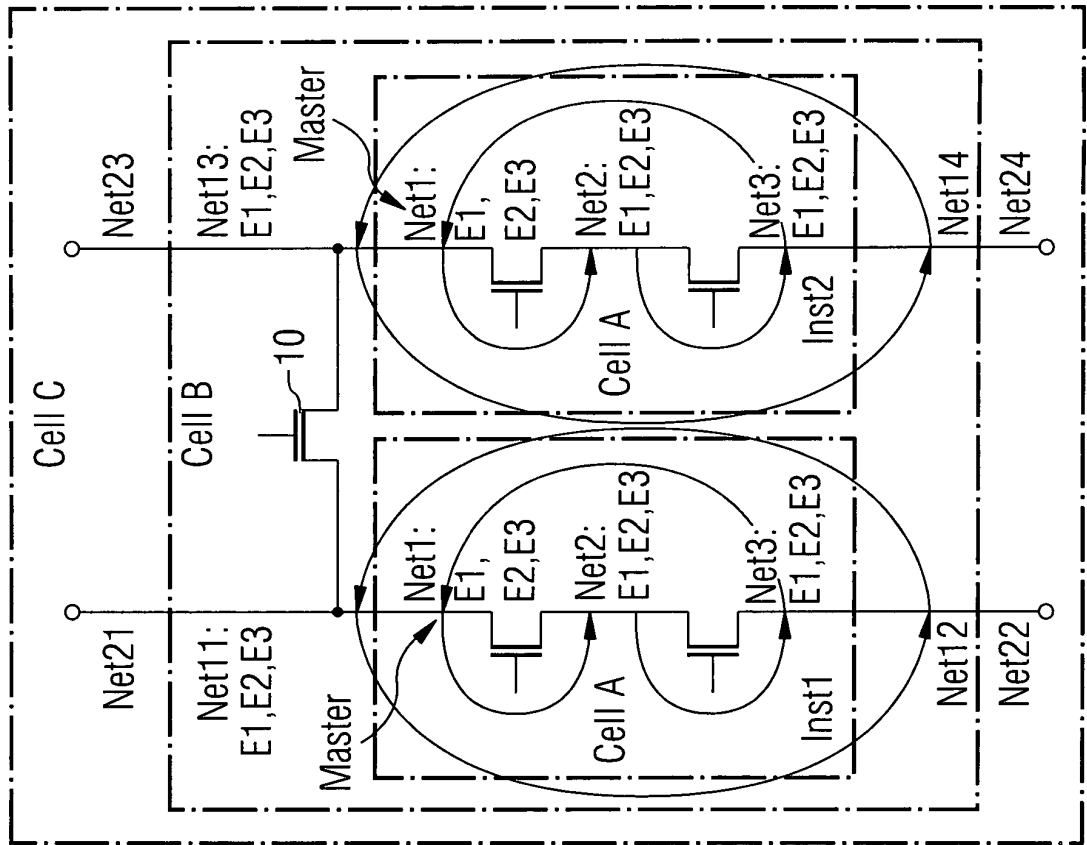


FIG 3

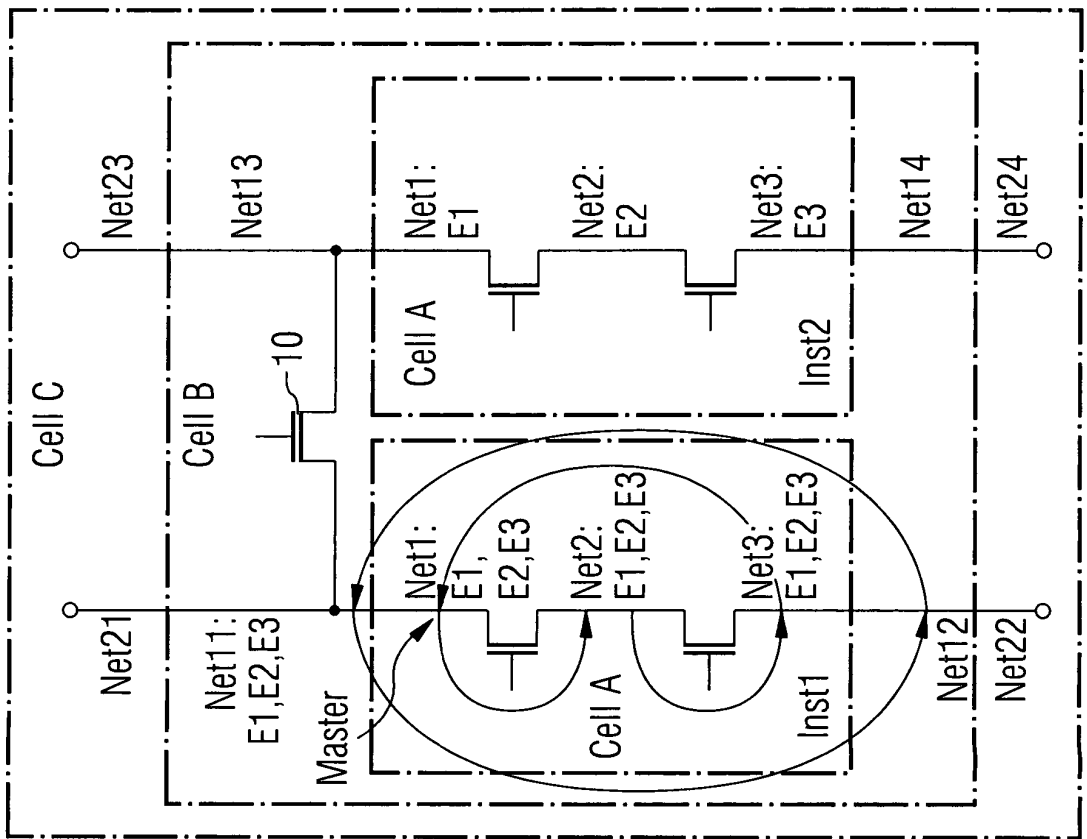


FIG 6

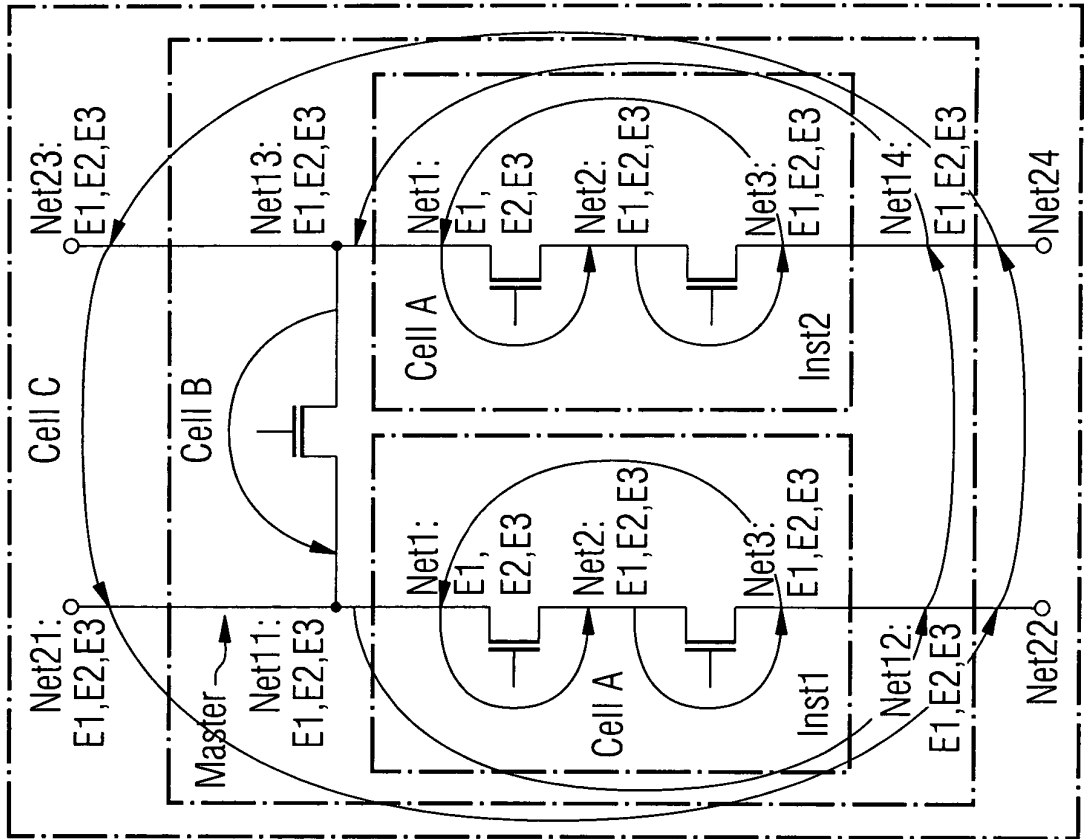


FIG 5

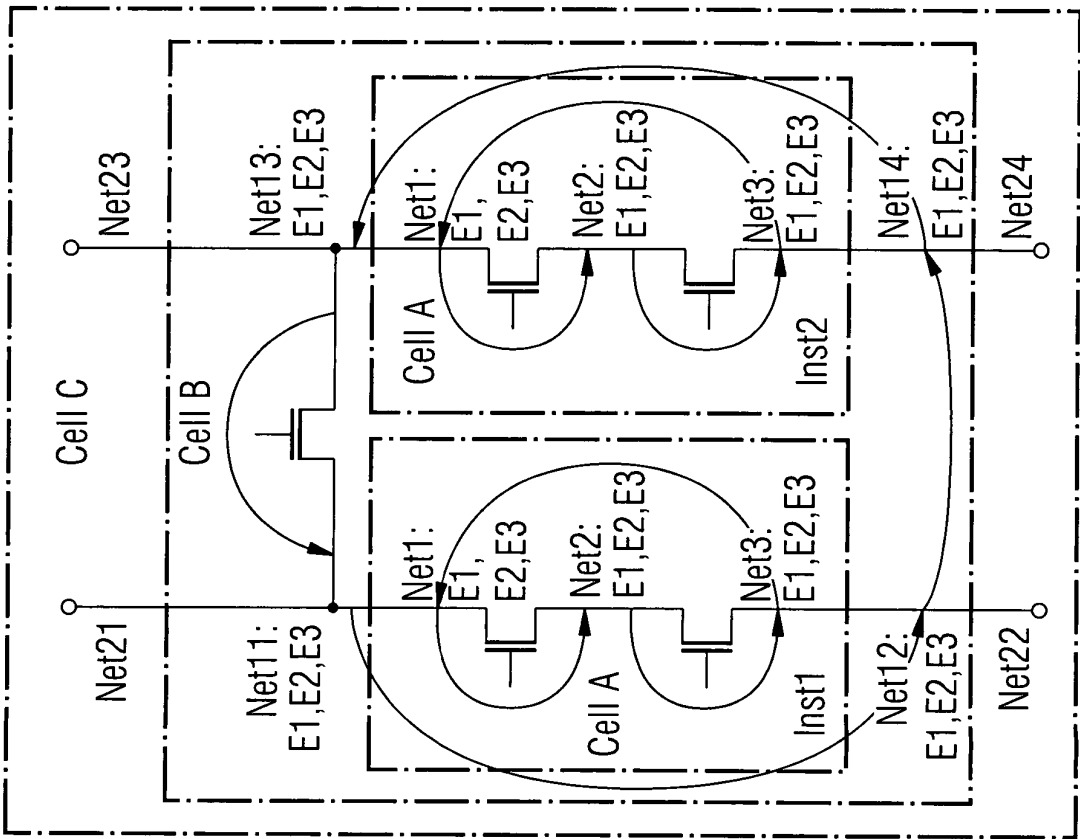


FIG 7

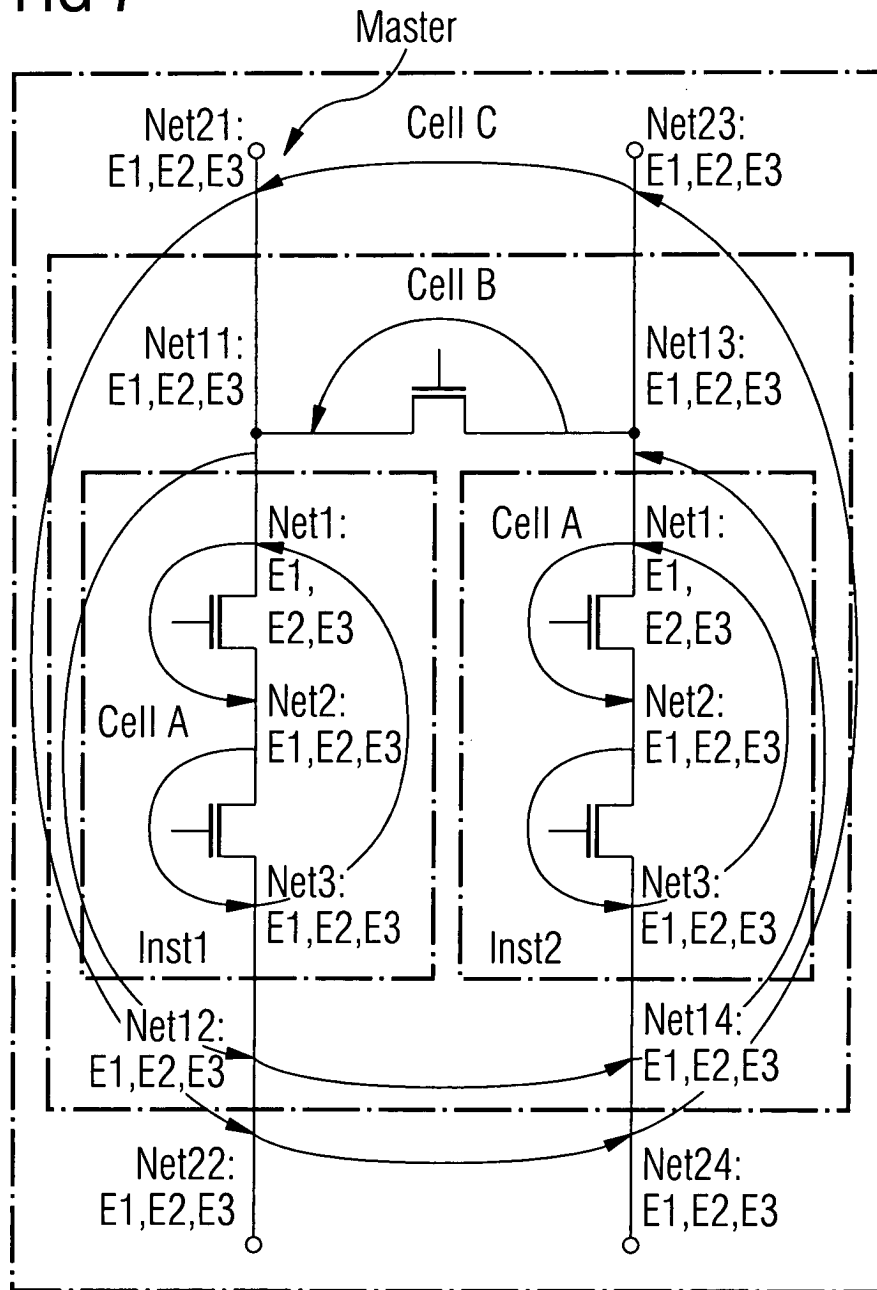


FIG 9

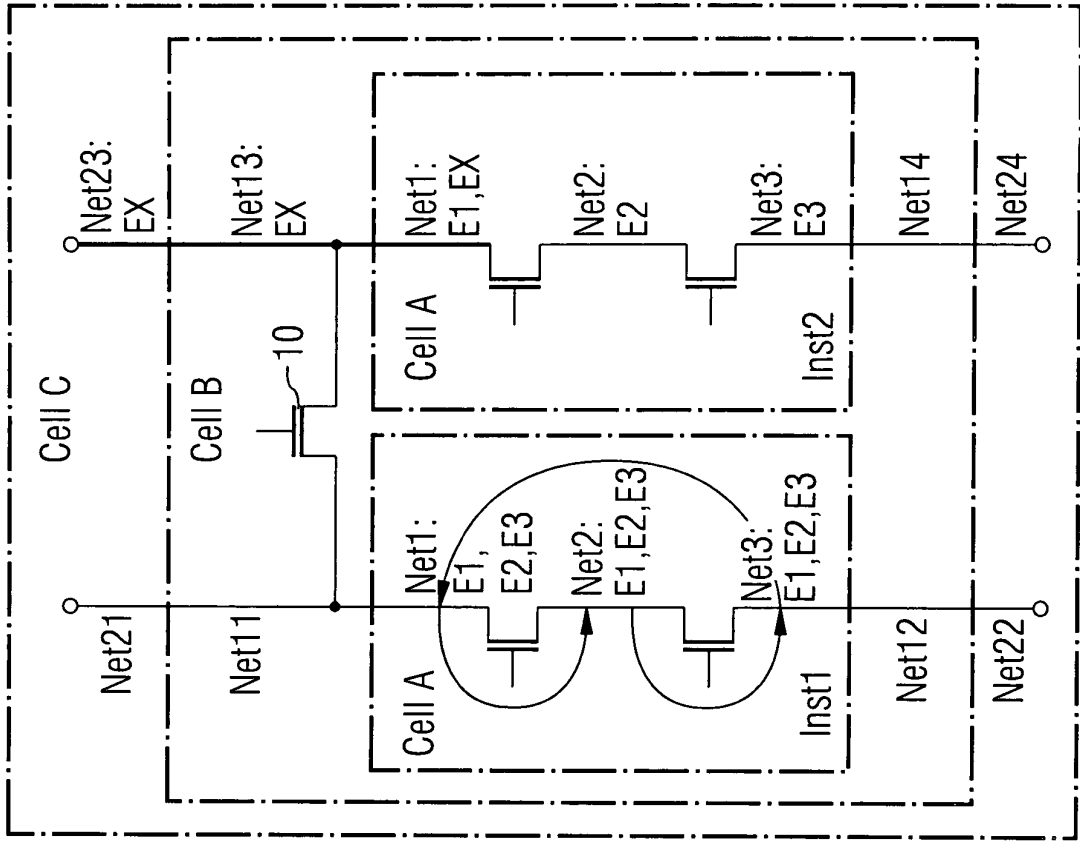


FIG 8

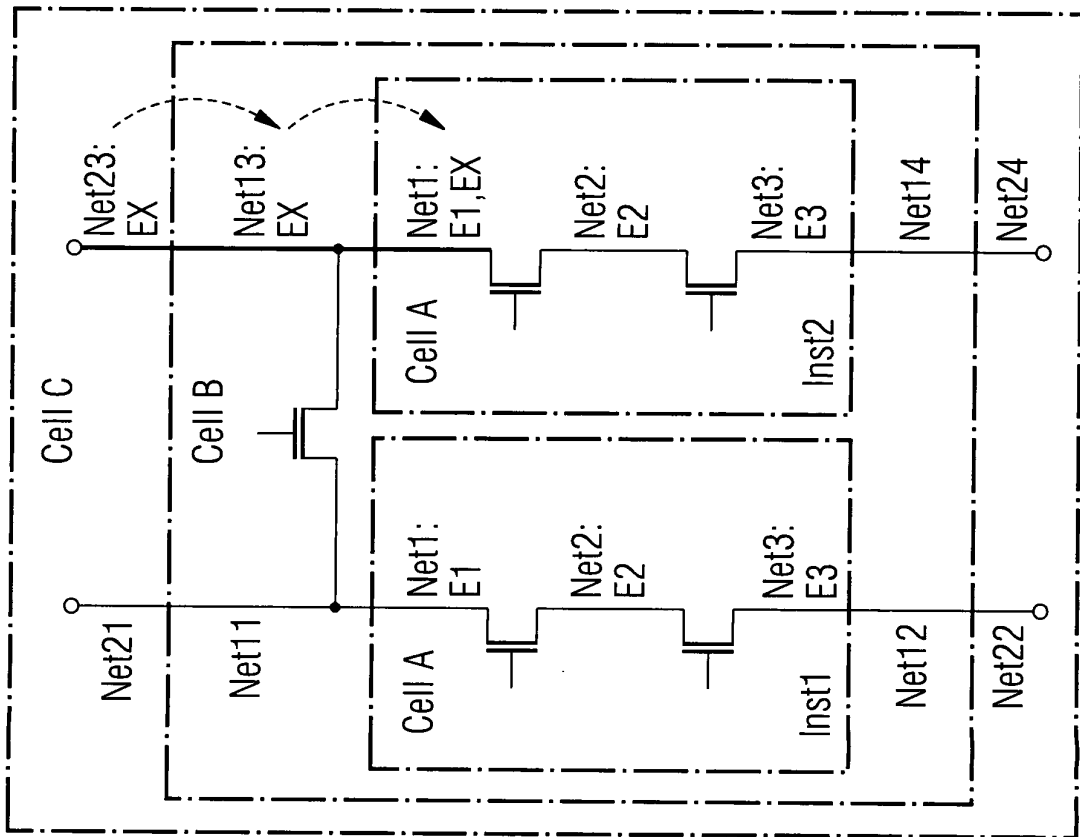


FIG 11

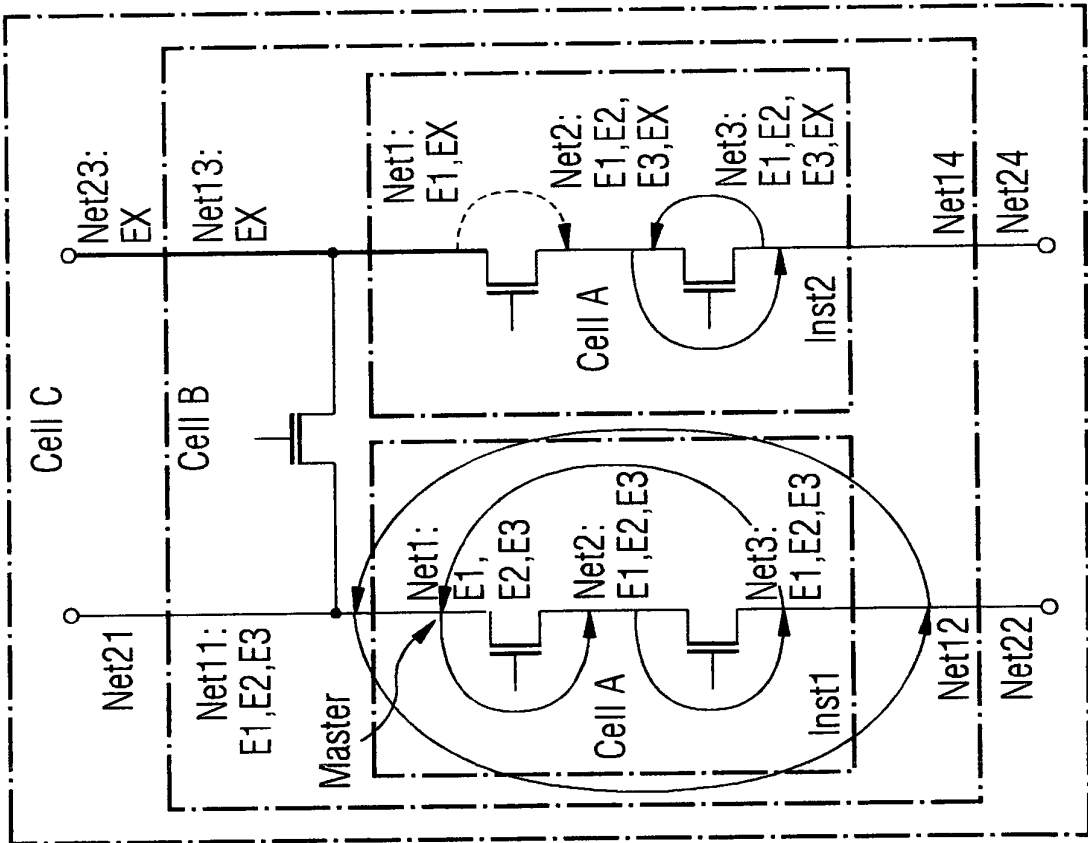


FIG 10

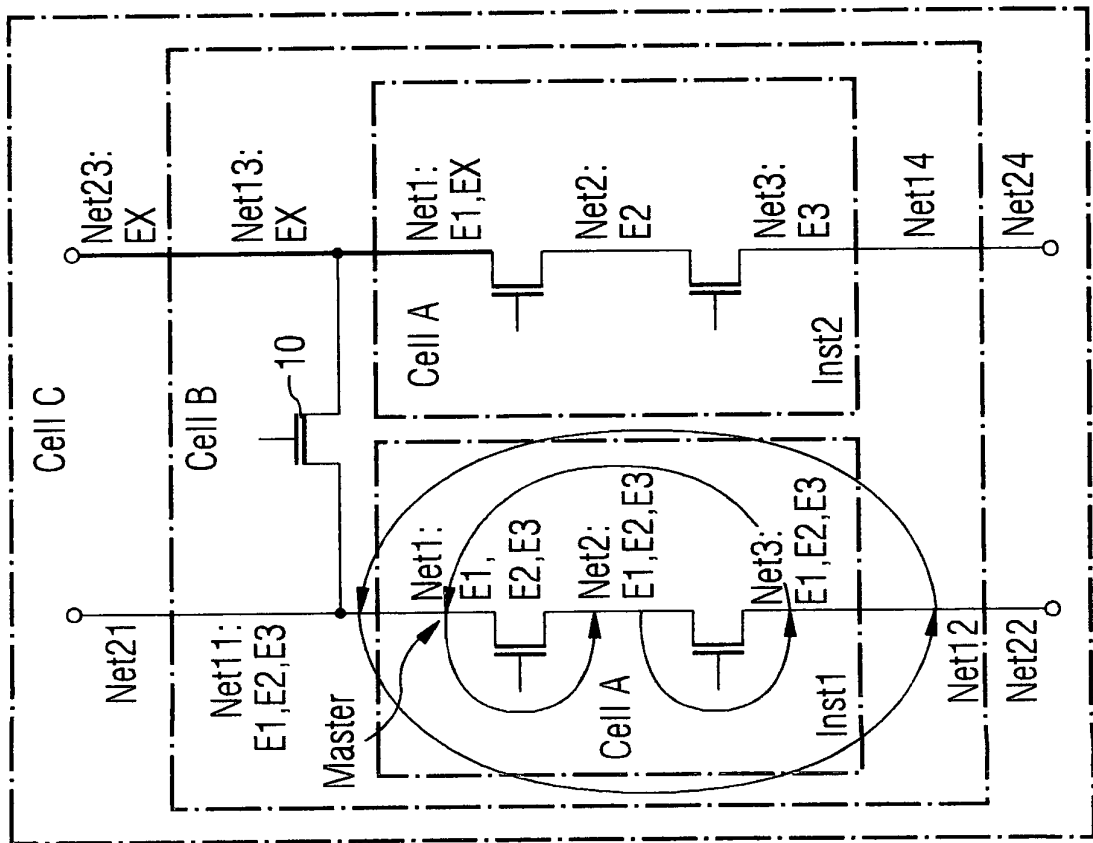


FIG 12

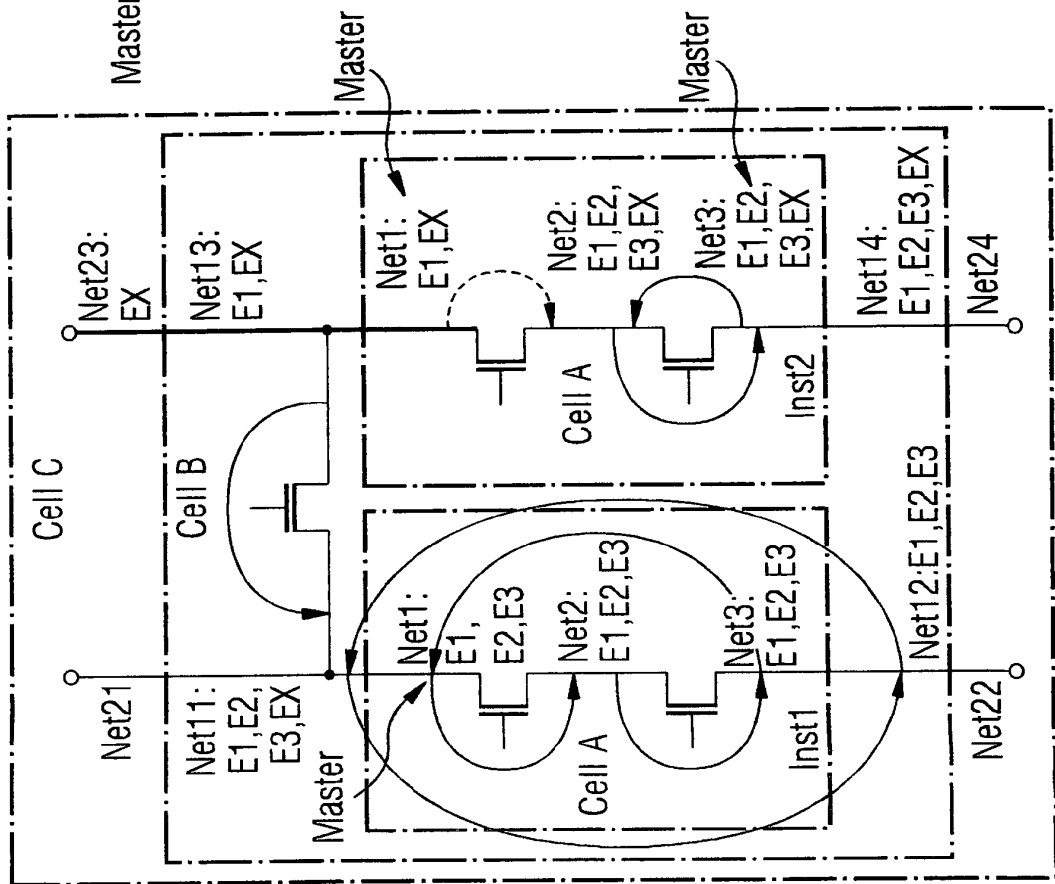


FIG 13

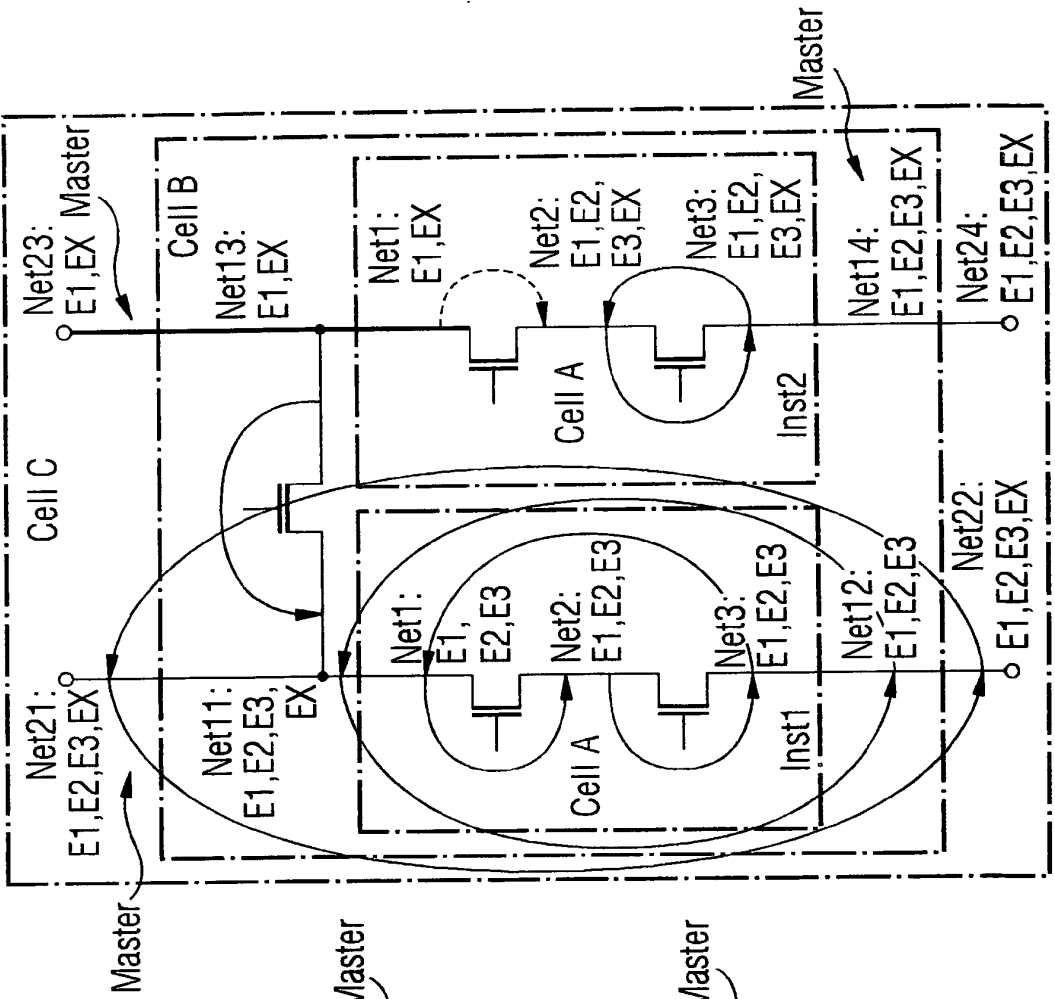


FIG 14

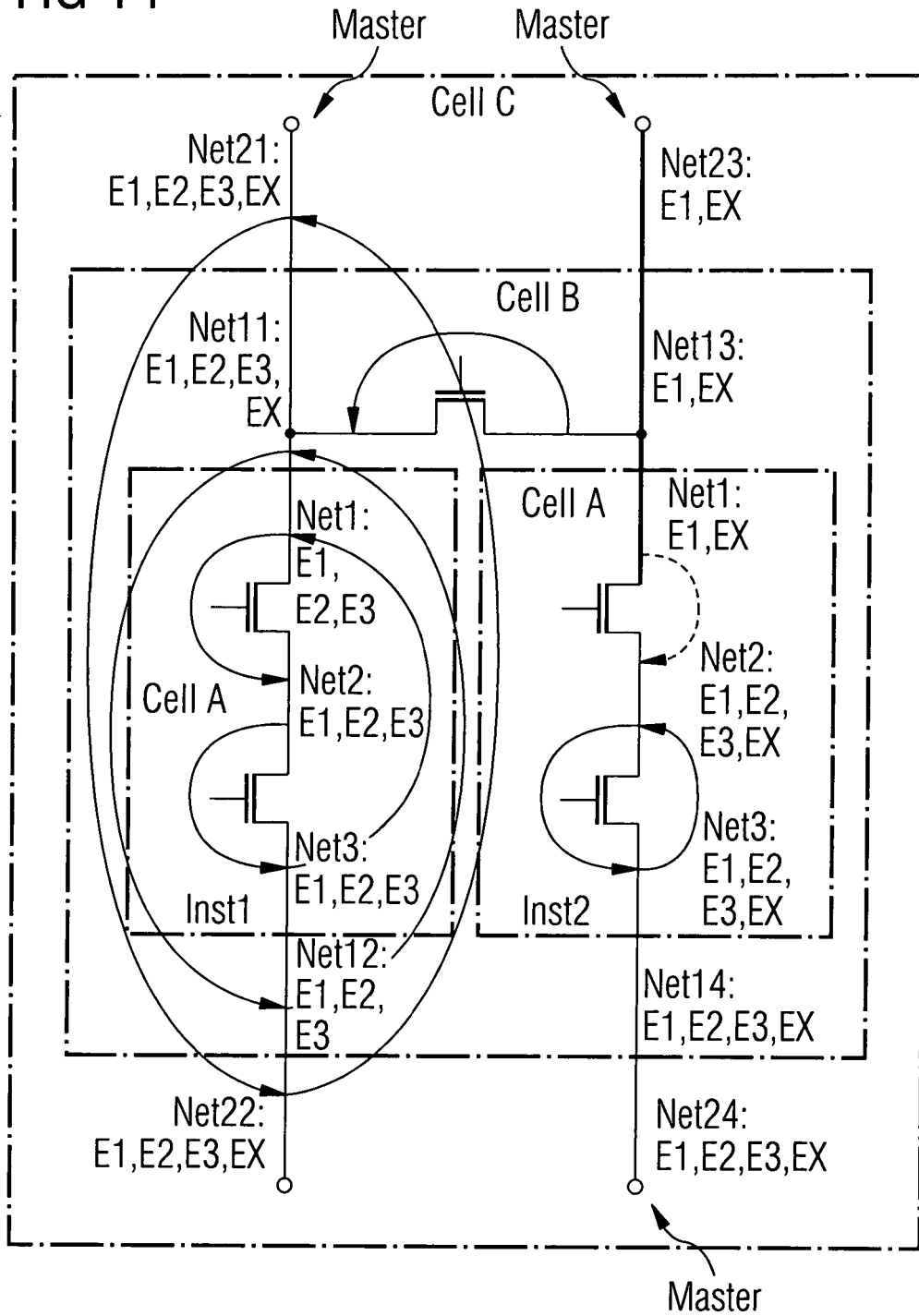


FIG 15

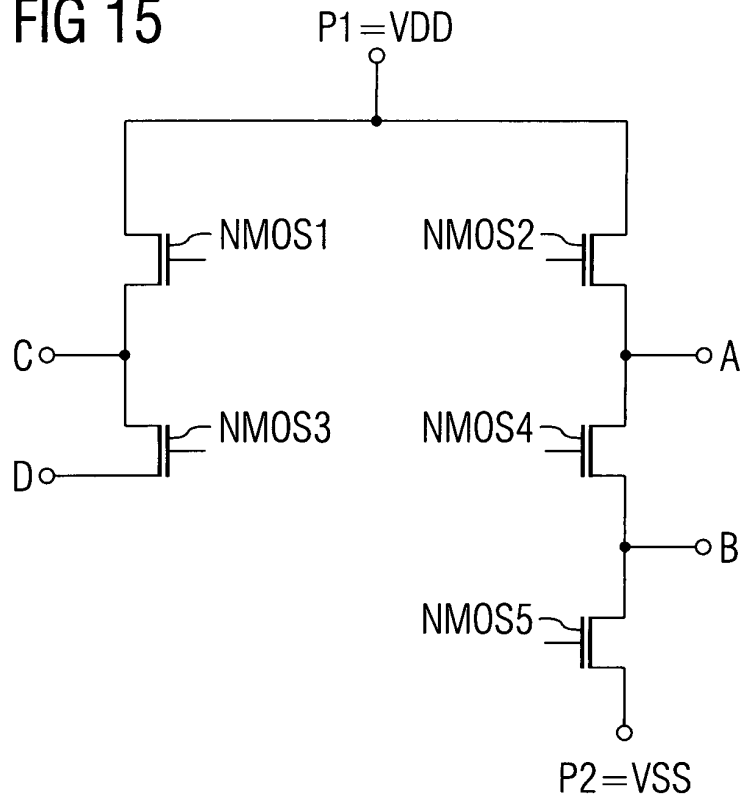


FIG 16

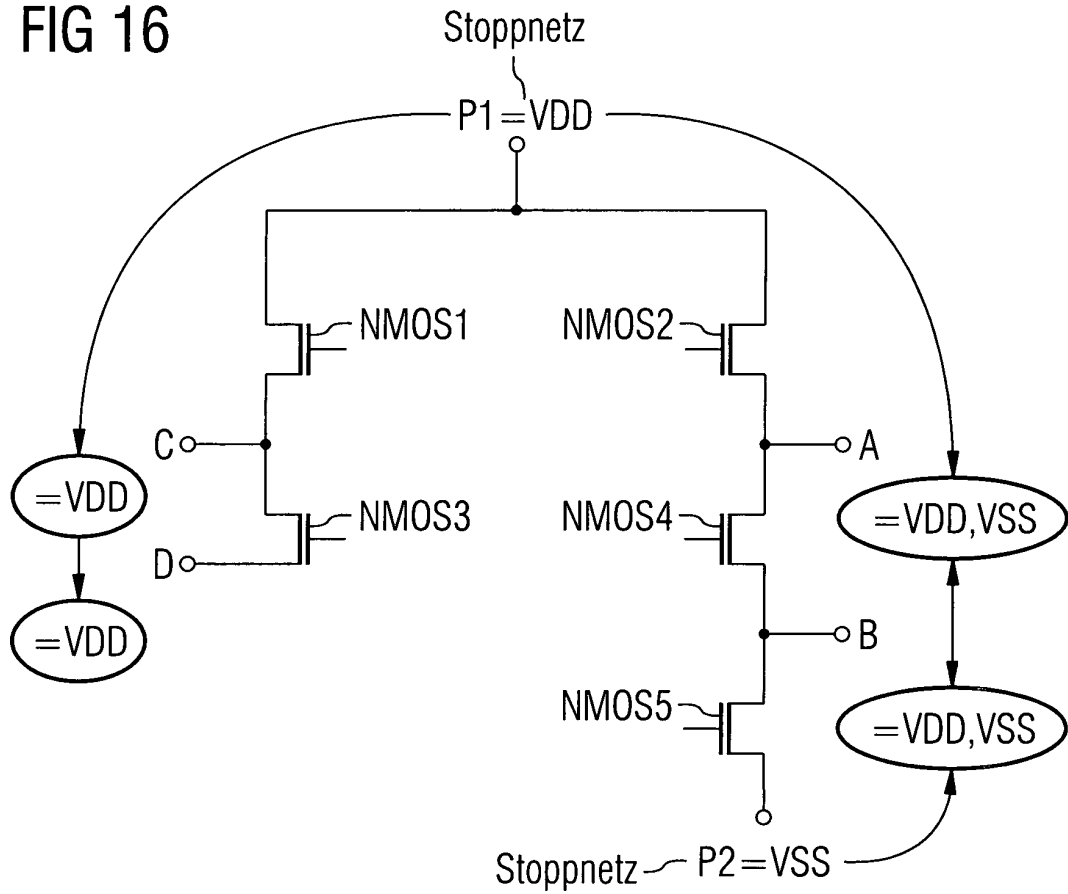


FIG 17

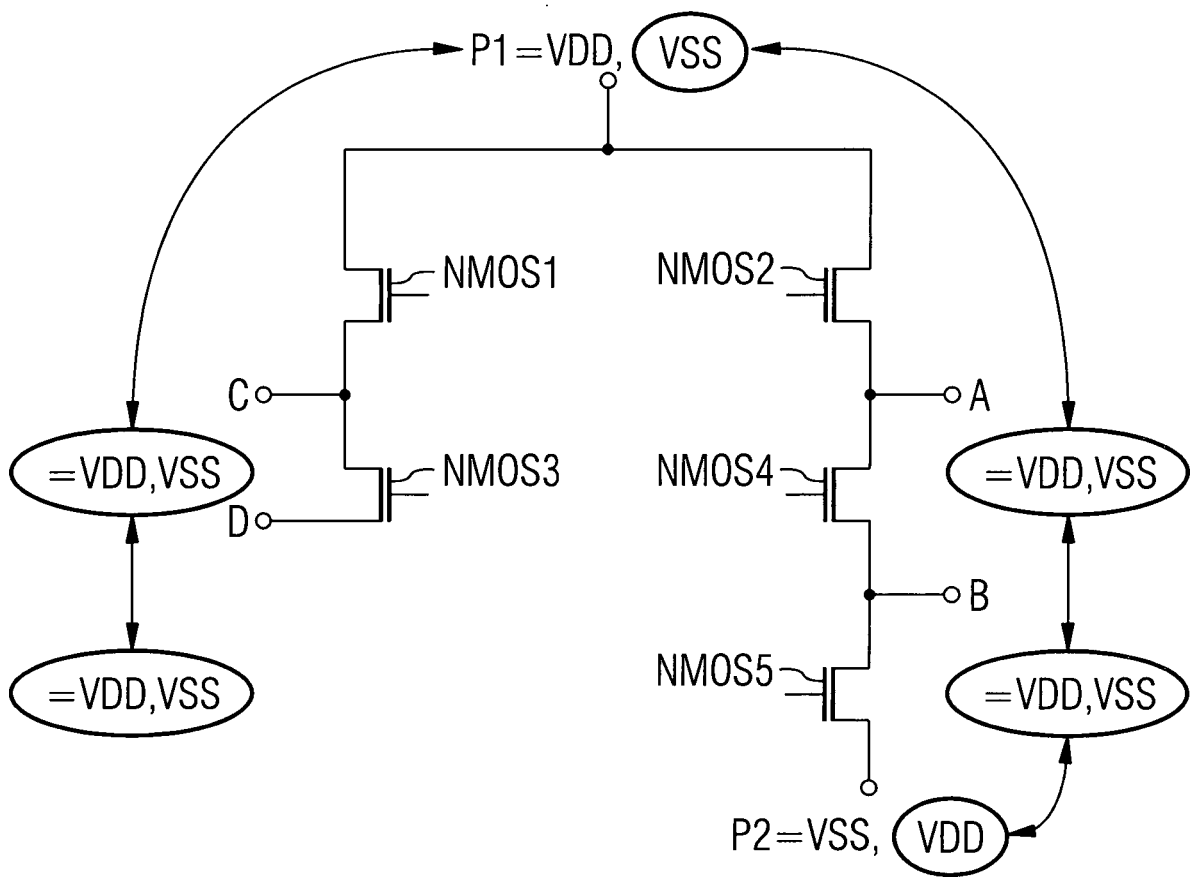


FIG 18

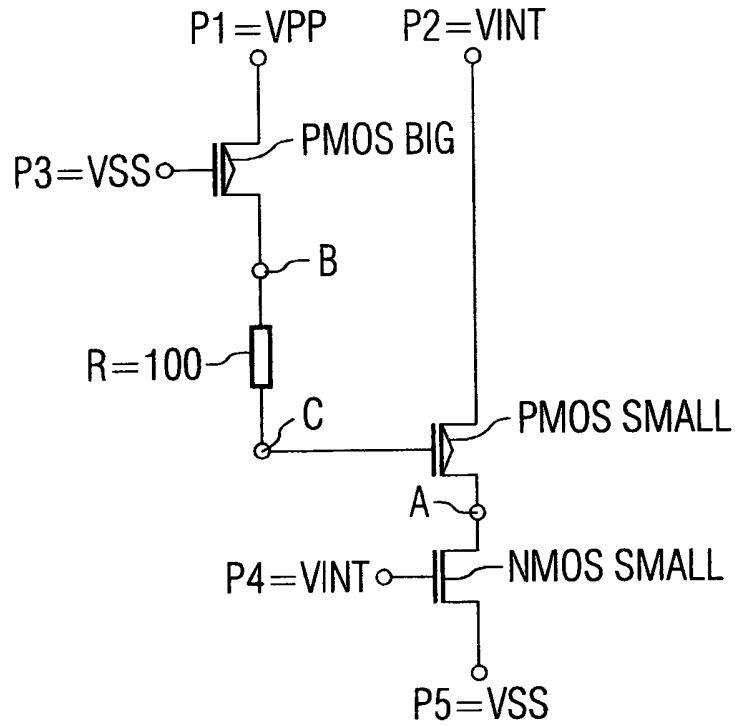


FIG 19

