



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I661425 B

(45)公告日：中華民國 108 (2019) 年 06 月 01 日

(21)申請案號：106116629

(22)申請日：中華民國 104 (2015) 年 10 月 19 日

(51)Int. Cl. : G11C16/06 (2006.01)

G11C16/08 (2006.01)

G11C16/24 (2006.01)

(30)優先權：2014/10/20 美國

14/518,807

(71)申請人：美商美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)

美國

(72)發明人：潘芬 PAN,FENG (US)；朴在寬 PARK,JAEKWAN (US)；葛德西雷敏

GHODSI,RAMIN (US)

(74)代理人：陳長文

(56)參考文獻：

TW	201110121A1	US	8837218B2
US	2006/0250849A1	US	2010/0195395A1
US	2011/0058423A1	US	2013/0258779A1
US	2014/0029345A1	US	2014/0098612A1
US	2014/0241060A1	US	2014/0286099A1

審查人員：劉聖尉

申請專利範圍項數：項 圖式數： 共頁

(54)名稱

用於經劃分之選擇閘源線之裝置及方法

APPARATUSES AND METHODS FOR SEGMENTED SGS LINES

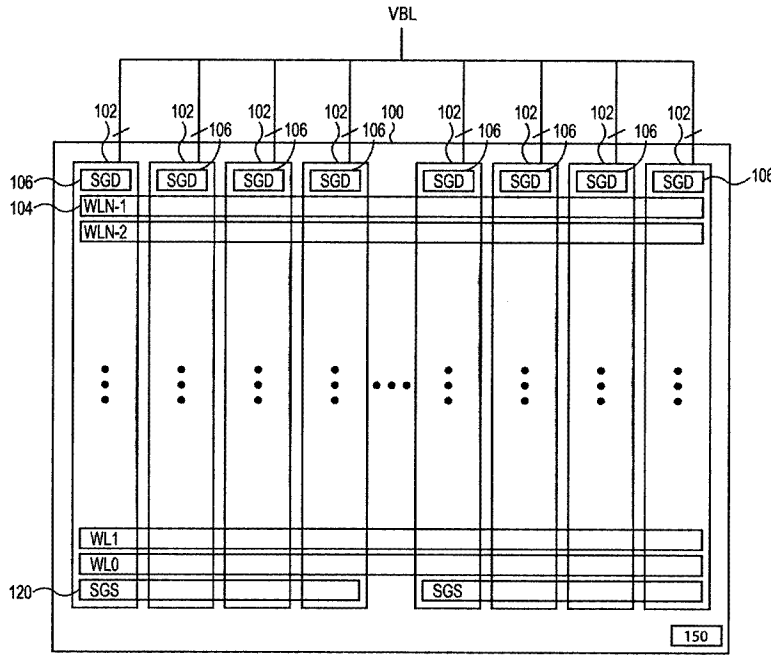
(57)摘要

本案關於經劃分之選擇閘源線之裝置及方法。例示性裝置包含記憶體區塊之第一及第二複數個記憶體子區塊。該裝置包含與第一複數個記憶體子區塊相關之第一選擇閘控制線，及與第二複數個記憶體子區塊相關之第二選擇閘控制線。第一選擇閘控制線經耦合至第一複數個記憶體子區塊之第一複數個選擇閘開關。第二選擇閘控制線經耦合至第二複數個記憶體子區塊之第二複數個選擇閘開關。第一及第二複數個選擇閘開關經耦合至源極。該裝置包含與第一及第二複數個記憶體子區塊之各者相關的複數個記憶體存取線。

Apparatuses and methods for segmented SGS lines are described. An example apparatus may include first and second pluralities of memory subblocks of a memory block. The apparatus may include a first select gate control line associated with the first plurality of memory subblocks and a second select gate control line associated with the second plurality of memory subblocks. The first select gate control line may be coupled to a first plurality of select gate switches of the first plurality of memory subblocks. The second select gate control line may be coupled to a second plurality of select gate switches of the second plurality of memory subblocks. The first and second pluralities of select gate switches may be coupled to a source. The apparatus may include a plurality of memory access lines associated with each the first and second pluralities of memory subblocks.

指定代表圖：

100



【圖 1】

符號簡單說明：

100 . . . 記憶體區塊/區塊

102 . . . 記憶體子區塊

104 . . . 記憶體存取線

106 . . . 選擇閘汲(SGD)控制線/作用中選擇閘汲(SGD)控制線/非作用中選擇閘汲(SGD)控制線/選擇閘汲(SGD)線

120 . . . 選擇閘源(SGS)控制線/選擇閘源(SGS)線/作用中選擇閘源(SGS)控制線/非作用中選擇閘源(SGS)控制線/第一選擇閘源(SGS)控制線/第二選擇閘源(SGS)控制線/作用中選擇閘源(SGS)線/非作用中選擇閘源(SGS)線

150 . . . 控制單元

VBL . . . 信號線

WL . . . 記憶體存取線

【發明說明書】

【中文發明名稱】

用於經劃分之選擇閘源線之裝置及方法

【英文發明名稱】

APPARATUSES AND METHODS FOR SEGMENTED SGS LINES

【技術領域】

【先前技術】

已顯著改良記憶體胞密度(諸如非揮發性記憶體之記憶體胞密度)以試圖達成更大儲存容量，同時未顯著增加成本或記憶體佔用面積。一種廣泛採用的解決方案已用以(例如)使用垂直定向之NAND串實施三維之記憶體胞。

然而，以此方式實施記憶體已提出挑戰。藉由實例，由於三維實施方案，區塊大小已增加且作為一必然結果，在操作期間產生之電容性負載及電阻性負載亦已增加。

【發明內容】

本文中揭示例示性裝置。一例示性裝置可包含一記憶體區塊之第一複數個記憶體子區塊、該記憶體區塊之第二複數個記憶體子區塊及與該第一複數個記憶體子區塊相關聯之一第一選擇閘控制線。該第一選擇閘控制線可耦合至該第一複數個記憶體子區塊之第一複數個選擇閘開關，且該第一複數個選擇閘開關可耦合至一源極。該例示性裝置可進一步包含與該第二複數個記憶體子區塊相關聯之一第二選擇閘控制線。該第二選擇閘控制線可耦合至該第二複數個記憶體子區塊之第二複數個選擇閘開關，且該第二複數個選擇閘開關可耦合至該源極。該例示性裝置可進一步包含複數條

記憶體存取線，該複數條記憶體存取線之各記憶體存取線與該第一複數個記憶體子區塊之各記憶體子區塊及該第二複數個記憶體子區塊之各記憶體子區塊相關聯。

另一例示性裝置可包含與第一複數個記憶體子區塊相關聯之一第一選擇閘源控制線及與第二複數個記憶體子區塊相關聯之一第二選擇閘源控制線。該例示性裝置可進一步包含該第一複數個記憶體子區塊之一記憶體子區塊，該記憶體子區塊包含第一複數個選擇閘源開關。該第一複數個選擇閘源開關之各選擇閘源開關可耦合至該第一選擇閘源控制線且經組態以回應於一經確證選擇閘控制信號之接收而啟用。該例示性裝置可進一步包含該第二複數個記憶體子區塊之一記憶體子區塊，該記憶體子區塊包含第二複數個選擇閘源開關。該第二複數個選擇閘源開關之各選擇閘源開關可耦合至該第二選擇閘源控制線且經組態以回應於該經確證選擇閘源控制信號之接收而啟用。該例示性裝置可進一步包含一控制單元，該控制單元耦合至該等第一及第二選擇閘源控制線且經組態以回應於與該第一複數個記憶體子區塊之該記憶體子區塊相關聯之一讀取操作而使用該第一選擇閘源控制線提供該選擇閘源控制信號至該第一複數個選擇閘源開關之各選擇閘源開關，且回應於與該第二複數個記憶體子區塊之該記憶體子區塊相關聯之一讀取操作而使用該第二選擇閘源控制線提供該選擇閘源控制信號至該第二複數個選擇閘源開關之各選擇閘源開關。

另一例示性裝置可包含複數條選擇閘源控制線。該複數條選擇閘源控制線之各選擇閘源控制線可與一區塊之各自複數個記憶體子區塊相關聯。該另一例示性裝置可進一步包含與該區塊之各記憶體子區塊相關聯之一記憶體存取線。該記憶體存取線可實質上平行於該複數條選擇閘源控制

線之各選擇閘源控制線。

本文中揭示例示性方法。一例示性方法可包含在一讀取操作期間在一第一選擇閘源控制線上提供一第一控制信號以啟用一區塊之第一複數個記憶體子區塊之選擇閘源開關。該例示性方法可進一步包含在該讀取操作期間在一第二選擇閘源控制線上提供一第二控制信號以停用該區塊之第二複數個記憶體子區塊之選擇閘源開關。

另一例示性方法可包含在一讀取操作期間在複數條選擇閘源控制線之各選擇閘源控制線上選擇性提供一各自控制信號以啟用一區塊之複數個記憶體子區塊之選擇閘源開關。該複數條選擇閘源控制線之各選擇閘源控制線可平行於該區塊之至少一記憶體存取線。

【圖式簡單說明】

圖1係根據本發明之一實施例之包含一記憶體區塊之一裝置之一示意性方塊圖。

圖2係根據本發明之一實施例之三維記憶體陣列之一方塊圖。

圖3a係根據本發明之一實施例之在一程式化操作期間之一選定子區塊之一NAND串之一示意圖。

圖3b係根據本發明之一實施例之在一程式化操作期間之一未選定子區塊之一NAND串之一示意圖。

圖3c係根據本發明之一實施例之在一讀取操作期間之一選定子區塊之一NAND串之一示意圖。

圖3d係根據本發明之一實施例之在一讀取操作期間之一未選定子區塊之一NAND串之一示意圖。

圖3e係根據本發明之一實施例之在一讀取操作期間之一未選定子區

塊之一NAND串之一示意圖。

圖4係根據本發明之一實施例之一記憶體之一方塊圖。

【實施方式】

相關申請案之交叉參考

本申請案主張於2014年10月20日申請之美國非臨時申請案第14/518,807號之優先權，該申請案之全文針對任一目的以引用的方式併入本文中。

本文中描述用於經劃分之選擇閘源(SGS)線之裝置及方法。下文闡述特定細節以提供本發明之實施例之一充分理解。然而，熟習此項技術者將明白可在無此等特定細節之情況下實踐本發明之實施例。此外，本文中所描述之本發明之特定實施例係藉由實例提供且不應用於將本發明之範疇限於此等特定實施例。在其他例項中，未詳細展示熟知電路、控制信號、時序協定及軟體操作以免不必要地使本發明模糊。

圖1係根據本發明之一實施例之包含一記憶體區塊100之一裝置之一方塊圖。如本文中所使用，裝置可係指(例如)一積體電路、一記憶體器件、一記憶體系統、一電子器件或系統、一智慧型電話、一平板電腦、一電腦、一伺服器。該記憶體區塊100包含複數個記憶體子區塊102、複數條記憶體存取線104、複數條選擇閘汲(SGD)控制線106、複數條選擇閘源(SGS)控制線120，及控制單元150。該等SGD控制線106之各者可與一各自記憶體子區塊102相關聯，且該等SGS控制線120之各者可與各自複數個記憶體子區塊102相關聯。

在一些實例中，記憶體子區塊102之各者可包含可經配置成列及/或行之複數個記憶體胞，諸如非揮發性記憶體胞(例如，NAND記憶體胞)。

在一些實例中，記憶體胞之各者可為一單位階記憶體胞(SLC)且/或可為一多位階記憶體胞(MLC)。以此方式，各記憶體胞可經程式化至相異電壓狀態，該等電壓狀態之各者可對應於二進制資料(例如，單位元資料0、1；多位元資料00、01、10、11)之一特定表示。因為各複數個記憶體胞可包含NAND記憶體胞，所以可使用各記憶體子區塊102內的一或多個NAND串來實施各複數個記憶體胞。例如，各串可包含32個非揮發性記憶體胞或可包含更大或更少數目個記憶體胞，且各串之記憶體胞可共用一共同通道。各記憶體子區塊102可包含任何數目個串。

參考圖3a至圖3e，各串可包含經定位於該串之一第一端處之一選擇閘汲(SGD)開關及經定位於該串之與該第一端相對之一第二端處之一選擇閘源(SGS)開關。該SGD開關及該SGS開關可係實施為電晶體，如圖3a至圖3e之實施例中所展示。該串之記憶體胞可係以一串聯組態耦合於該SGD開關與該SGS開關之間。該串之記憶體胞之各者可經耦合至可用於存取該記憶體胞之一各自記憶體存取線WL。記憶體存取線驅動器可在記憶體操作期間(例如，在程式化操作、讀取操作、擦除操作以及其他記憶體操作期間)提供各種電壓至該等記憶體存取線。

在一些實施例中，一SGD開關可經組態以將一串選擇性耦合至一信號線VBL，且一SGS開關可經組態以將一串選擇性耦合至一源極(例如，源線) SRC。藉由實例，包含於一記憶體子區塊102中之一串之一SGD開關可經耦合至與該記憶體子區塊102相關聯之一各自SGD控制線106。在該SGD控制線106上提供(例如，確證)一控制信號(例如，作用中控制信號)可啟用各自SGD開關，藉此將相關聯串耦合至該信號線VBL。以此方式提供一控制信號以啟用SGD開關之一SGD控制線106在本文中係描述為

一「作用中」SGD控制線106。類似地，一記憶體子區塊102之一SGS開關可經耦合至與該記憶體子區塊102相關聯之一SGS線120。在該SGS線120上提供一控制信號可啟用該SGS開關，藉此將各自串耦合至源極。以此方式提供一控制信號以啟用SGS開關之一SGS控制線120在本文中係描述為一「作用中」SGS控制線120。在SGD控制線106上提供(例如，撤銷確證)一控制信號(例如，非作用中控制信號)可停用各自SGD開關，藉此使相關聯串自信號線VBL解除耦合。以此方式提供一控制信號以停用SGD開關之一SGD控制線106在本文中係描述為一「非作用中」SGD控制線106。類似地，一記憶體子區塊102之一SGS開關可自與該記憶體子區塊102相關聯之一SGS線120解除耦合。在該SGS線120上提供一控制信號可停用該SGS開關，藉此將各自串與源極解除耦合。以此方式提供一控制信號以停用SGS開關之一SGS控制線120在本文中係描述為一「非作用中」SGS控制線120。

在一些實例中，分別提供於各自SGD控制線106及SGS控制線120上的控制信號可係由控制單元150提供。該控制單元150可經耦合至SGD控制線106及SGS控制線120之各者，且進一步可經組態以提供控制信號以執行本文中所描述之各自記憶體操作。控制單元150可係實施於軟體及/或硬體中，且可包含執行操作所需要的任何電路及/或邏輯。在一些實例中，控制單元150可係包含於區塊100中，且在其他實例中，該控制單元150可經定位於該區塊100外部，例如，定位在經耦合至該區塊100之一列解碼器、一位址解碼器、控制邏輯中及/或一控制器中(圖1中未展示)。以此方式，可以一分佈式組態採用控制單元150之電路及/或邏輯的一或多個部分。

各SGD控制線106可與區塊100之一各自記憶體子區塊102相關聯，各記憶體存取線104可與區塊100之全部記憶體子區塊102相關聯，及/或各SGS控制線120可與區塊100之各自複數個記憶體子區塊102相關聯。因此，各SGD控制線106可至少部分包含於一各自記憶體子區塊102中且可耦合至該對應記憶體子區塊102之SGD開關。以此方式，各作用中SGD控制線106可將一各自記憶體子區塊102之串或若干串耦合至(例如)由各記憶體子區塊102共用之一組信號線。一記憶體存取線104可耦合至區塊100之各記憶體子區塊102中之一串之一記憶體胞。因此，一記憶體存取線104可跨越區塊100之全部記憶體子區塊102且可耦合至一特定記憶體胞列之各記憶體胞。各SGS控制線120可跨越相關聯複數個記憶體子區塊102且可耦合至該等相關聯記憶體子區塊102之SGS開關。以此方式，一作用中SGS控制線120可將該相關聯複數個記憶體子區塊102之串耦合至一源極SRC。在一些實例中，SGD控制線106及/或SGS控制線120可在與記憶體存取線104相同之一方向上跨越記憶體子區塊102使得該等SGD控制線106、記憶體存取線104及/或SGS控制線120實質上平行。在其他實例中，SGD控制線106及/或SGS控制線120可在相對於記憶體存取線104之一正交方向或其他非平行方向上跨越記憶體子區塊。例如，SGD控制線106及SGS控制線120可實質上平行於一或多條信號線。

因為各SGS控制線120可與各自複數個記憶體子區塊102相關聯，所以可啟用耦合至一作用中SGS控制線120之SGS開關同時可停用耦合至一非作用中SGS控制線120之SGS開關。如下文將更詳細闡釋，藉由以此方式選擇性啟用SGS開關，可減小在一或多個記憶體操作(例如，讀取操作)期間之電容性負載。

在一些實例中，可達成SGD控制線106對SGS控制線120之任何比率及/或記憶體存取線104對SGS控制線120之任何比率。藉由實例，區塊100可包含32個記憶體子區塊102且各SGS控制線120可耦合至區塊100之4個記憶體子區塊102之串之SGS開關。因此，可達成SGD控制線106對SGS控制線120之一4:1比率及記憶體存取線104對SGS控制線120之一1:8比率。在其他實例中，各SGS控制線120可耦合至2個、8個、16個、32個、64個或任何其他數目個記憶體子區塊102之串之SGS開關。將理解，在一些實例中，各SGS控制線120可耦合至相同數目個記憶體子區塊102之串之SGS開關且在其他實例中，SGS控制線120可耦合至不同數目個記憶體子區塊102之串之SGS開關。例如，一第一SGS控制線120可耦合至8個記憶體子區塊之串之SGS開關且一第二SGS控制線120可耦合至16個記憶體子區塊120之串之SGS開關。

一般而言，可對一或多個選定記憶體子區塊102執行記憶體操作(例如，讀取操作、程式化操作、擦除操作)，而未選擇全部其他記憶體子區塊102。對一或多個選定記憶體子區塊102執行一記憶體操作可包含選擇性啟用SGD開關、SGS開關及/或記憶體胞。在本文中就個別記憶體子區塊102來進行記憶體操作之描述。然而，將理解，在一些實例中，可將一或多個所描述之操作同時應用於任何數目個記憶體子區塊102。此外，在本文中參考選擇性啟用SGD開關及SGS開關以執行記憶體操作。如所描述，可藉由分別在SGD控制線106或SGS控制線120上提供控制信號來啟用SGD開關及SGS開關，且可由控制單元150提供以此方式提供之控制信號。

在一擦除操作中，例如，可停用SGD開關及SGS開關。對於各列，

可將一低電壓(諸如接地電位(例如，0 V))施加至與該列相關聯之記憶體存取線104，藉此擦除各記憶體胞之電壓狀態。在一些實例中，可在一區塊層級實施擦除操作，且因此可同時擦除一或多個記憶體子區塊102。因此，全部SGD線106及全部SGS線120在一擦除操作期間可具有一低電壓，以停用SGD開關及SGS開關。

通常，對經擦除記憶體胞執行程式化操作，且因此僅需要程式化一記憶體子區塊102之意欲自一經擦除電壓狀態調整至一不同電壓狀態的記憶體胞。在一例示性程式化操作中，可循序程式化一記憶體子區塊102的一或多個選定列。藉由實例，對於各選定列，可將與待程式化之一胞相關聯之信號線預充電至一第一電壓(例如，0 V至1 V)，且可將與未待程式化之一胞相關聯之信號線預充電至一第二電壓(2 V至3 V)，例如，該第二電壓可高於該第一預充電電壓。可施加一相對較高電壓(例如，15 V)至對應於經程式化之列之一記憶體存取線104，同時可施加一中間電壓(例如，8 V)至全部其他記憶體存取線104。該中間電壓之一量值可大於具有一最高量值之電壓狀態之一電壓，以確保記憶體子區塊102之全部記憶體胞導電。此後，與選定記憶體子區塊102相關聯之一SGD控制線106可變為作用中，且可選擇性啟用與待程式化之串相關聯之SGD開關(而SGS開關可保持停用)以程式化該列之胞。因為與未程式化之胞相關聯之信號線具有一較高預充電電壓，所以與該等信號線相關聯之SGD開關可保持停用，且防止程式化各自胞。在一些實例中，施加至記憶體存取線104之相對較高電壓可增量地增加直至目標列之各選定胞達成一所要電壓位準。在程式化操作期間，可停用未選定記憶體子區塊102的SGD開關及SGS開關。

在一例示性讀取操作中，可將選定信號線預充電至一電壓(例如，0.3

V)，且可啟用一記憶體子區塊102之SGD開關及SGS開關兩者。因為各SGS控制線120可與各自複數個記憶體子區塊102相關聯，所以亦可啟用與相同SGS控制線120相關聯之一或多個其他記憶體子區塊102的SGS開關。此後，可施加一相對較低電壓(例如，0 V至2 V)至與待讀取之列相關聯之一記憶體存取線104，同時可施加一中間電壓(例如，8 V)至全部其他記憶體存取線104。在一些實例中，該相對較低電壓可為具有在特定電壓狀態之電壓位準之間之一量值之一電壓。此外，如所描述，該中間電壓之一量值可大於具有一最高量值之電壓狀態之一電壓，以確保記憶體子區塊102之全部記憶體胞導電。可停用SGD開關(例如，以電隔離選定信號線)，且各選定信號線之電壓可用於判定該列之選定記憶體胞之電壓狀態。在一些實例中，可在停用SGD開關之前感測各選定信號線的電壓，以判定該列之選定記憶體胞的電壓狀態。在讀取操作期間，可停用未選定記憶體子區塊102的SGD開關，且可停用不與該讀取操作之作用中SGS線120相關聯之全部記憶體子區塊102的SGS開關。以此方式，僅與一作用中SGS線120相關聯之各自複數個記憶體子區塊102可具有經啟用的SGS開關。全部其他記憶體子區塊102可與一非作用中SGS線120相關聯，且據此可具有經停用的SGS開關。

在一些實例中，可以一三維配置實施區塊100。圖2係根據本發明之一實施例之三維記憶體陣列200之一方塊圖。該三維記憶體陣列200可包含任何數目個區塊202，該等區塊202之一或多者可使用圖1之區塊100實施。藉由實例，該三維記憶體陣列200可包含32個區塊202或可包含64個區塊202。在一些實例中，可並行、同時及/或以一另外重疊方式存取各區塊202之記憶體胞使得可根據一或多個記憶體操作自多個區塊202讀取資

料，將資料程式化至該多個區塊202及/或自該多個區塊202擦除資料。在其他實例中，區塊202可經組態以共用一或多個組件，諸如信號線及/或控制線。

圖3a至圖3b繪示在一程式化操作期間之NAND串300至310之示意圖且圖3c至圖3e繪示在一讀取操作期間之NAND串320至340之示意圖。該等NAND串300至340可包含各自SGD開關302至342、各自SGS開關304至344及各自記憶體胞306至346。如所描述，各SGD開關可定位於一NAND串之一第一端處且可經組態以回應於提供至一SGD開關之一控制信號之確證將該NAND串選擇性耦合至一信號線VBL。例如，該控制信號可提供在耦合至一SGD開關302之一SGD控制線(諸如圖1之一SGD控制線106)上。類似地，各SGS開關可定位於該NAND串之一第二端處且可經組態以回應於提供至一SGS開關之一控制信號之確證將該NAND串選擇性耦合至一源極SRC。例如，該控制信號可提供在耦合至一SGS開關之一SGS控制線(諸如圖1之一SGS控制線120)上。記憶體胞之各者可以一串聯組態耦合於各自SGD開關與SGS開關之間。

圖3a係根據本發明之一實施例之在一程式化操作期間之一選定記憶體子區塊之一NAND串300之一示意圖。如所描述，在該程式操作期間，可啟用SGD開關302且可停用SGS開關304。因此，在一程式操作期間，各胞306可在該胞306之一端與信號線VBL之間提供(例如，產生)一電容性負載。

圖3b係根據本發明之一實施例之在一程式化操作期間之一未選定記憶體子區塊之一NAND串310之一示意圖。如所描述，在該程式化操作期間，可停用SGD開關312及SGS開關314。以此方式，該串之電壓位準可

浮動。因此，在程式化操作期間，各胞316可在該胞316之一閘極與源極SRC之間提供一電容性負載。然而，該電容性負載可與SGS開關314之一接面電容串聯。因為藉由NAND串310之胞316提供之電容性負載可與SGS開關314之接面電容串聯，所以藉由NAND串300提供之電容性負載可超過在程式化操作期間藉由NAND串310提供之電容性負載。

圖3c係根據本發明之一實施例之在一讀取操作期間之一選定記憶體子區塊之一NAND串320之一示意圖。如所描述，在該讀取操作期間，可同時啟用SGD開關322及SGS開關324兩者。因此，胞326之各者可在該胞326之一閘極與源極SRC之間提供一負載。該負載可包含一電容性負載及一電阻性負載。該電阻性負載可包含NAND串320之一通道電阻。

圖3d係根據本發明之一實施例之在一讀取操作期間之一未選定記憶體子區塊之一NAND串330之一示意圖。該NAND串330雖然包含於一未選定記憶體子區塊中但可(例如)與相同於圖3c之NAND串320之一SGS控制線120相關聯。因此，在一讀取操作期間，NAND串330可與一作用中SGS控制線120相關聯且具有一經啟用之SGS開關334。因此，在讀取操作期間，各胞336可在該胞336之一閘極與源極SRC之間提供一電容性負載。

圖3e係根據本發明之一實施例之在一讀取操作期間之一未選定記憶體子區塊之一NAND串340之一示意圖。與圖3d之NAND串330相反，該NAND串340可不與相同於圖3c之選定NAND串320之一SGS控制線相關聯。因此，在讀取操作期間，NAND串340可與一非作用中SGS控制線120相關聯且可停用SGS開關344。因此，各胞346可在該胞346之一閘極與源極SRC之間提供一電容性負載。然而，該電容性負載可與SGS開關344之一接面電容串聯。因為藉由NAND串340之胞346提供之電容性負載可與

SGS開關344之接面電容串聯，所以藉由NAND串330提供之電容性負載可超過在讀取操作期間藉由NAND串340提供之電容性負載。

參考圖1，藉由在一讀取操作期間減少具有經啟用SGS開關之記憶體子區塊102之數目(例如，少於區塊100之全部記憶體子區塊102)，區塊100之整體電容性負載可在讀取操作期間減小。以此方式，可放寬設計約束及/或可改良效能。藉由實例，可減小藉由記憶體存取線驅動器(未展示)驅動之電容性負載使得操作可需要一較小充電泵及/或在操作期間記憶體存取線電壓轉變更快。

圖4繪示根據本發明之一實施例之一記憶體400。該記憶體400包含具有複數個記憶體胞之一記憶體陣列430。該等記憶體胞可為非揮發性記憶體胞(諸如NAND快閃胞)或可一般為任何類型之記憶體胞。在一些實例中，該記憶體陣列430可包含一或多個記憶體區塊，諸如圖1之一記憶體區塊100。此外，記憶體陣列430可實施為一三維記憶體陣列，諸如圖2之三維記憶體陣列200。

命令信號、位址信號及寫入資料信號可作為透過一輸入/輸出(「I/O」)匯流排428傳輸之循序I/O信號組提供至記憶體400。類似地，讀取資料信號可透過該I/O匯流排428自記憶體400提供。該I/O匯流排428連接至一I/O控制單元420，該I/O控制單元420在I/O匯流排428與一內部資料匯流排422之間、一內部位址匯流排424及一內部命令匯流排426之間投送信號。記憶體400亦包含一控制邏輯單元410，該控制邏輯單元410在外部或透過該內部命令匯流排426接收許多控制信號以控制記憶體400之操作。

內部位址匯流排424施加區塊列及/或子區塊列位址信號至一列解碼

器440且施加行位址信號至一行解碼器450。該等列解碼器440及行解碼器450可用於選擇用於記憶體操作(例如，讀取、程式化及擦除操作)之記憶體或記憶體胞之區塊。行解碼器450可啟用待施加至對應於行位址信號之記憶體行之寫入資料信號且容許讀取資料信號自對應於行位址信號之行耦合。

回應於藉由控制邏輯單元410解碼之記憶體命令，讀取、程式化及/或擦除記憶體陣列430中之記憶體胞。耦合至記憶體陣列430之讀取、程式化、擦除電路468自控制邏輯單元410接收控制信號且包含用於產生針對讀取、程式化及擦除操作之各種泵抽電壓之電壓產生器(例如，充電泵)。

在已將列位址信號施加至內部位址匯流排424之後，I/O控制單元420將寫入資料信號投送至一快取暫存器470。將寫入資料信號以各具有對應於I/O匯流排428之寬度之一大小之連續組儲存於該快取暫存器470中。快取暫存器470循序儲存寫入資料信號組以用於記憶體陣列430中之記憶體胞之一完整列或頁。接著，將全部經儲存寫入資料信號用於程式化藉由透過內部位址匯流排424耦合之區塊列位址或子區塊列位址選擇之記憶體陣列430中之記憶體胞之一列或頁。以一類似方式，在一讀取操作期間，將來自藉由透過內部位址匯流排424耦合之區塊列位址選擇之記憶體胞之一列或區塊之資料信號儲存於一資料暫存器480中。接著，透過I/O控制單元420將大小對應於I/O匯流排428之寬度之資料信號組自該資料暫存器480循序傳送至I/O匯流排428。

自前面描述將理解，雖然已在本文中為圖解之目的描述本發明之特定實施例，但可在不脫離本發明之精神及範疇的情況下作出各種修改。因

此，本發明除受限於隨附申請專利範圍外並無限制。

【符號說明】

100	記憶體區塊/區塊
102	記憶體子區塊
104	記憶體存取線
106	選擇閘汲(SGD)控制線/作用中選擇閘汲(SGD)控制線/非作用中選擇閘汲(SGD)控制線/選擇閘汲(SGD)線
120	選擇閘源(SGS)控制線/選擇閘源(SGS)線/作用中選擇閘源(SGS)控制線/非作用中選擇閘源(SGS)控制線/第一選擇閘源(SGS)控制線/第二選擇閘源(SGS)控制線/作用中選擇閘源(SGS)線/非作用中選擇閘源(SGS)線
150	控制單元
200	三維記憶體陣列
202	區塊
300	NAND串
302	選擇閘汲(SGD)開關
304	選擇閘源(SGS)開關
306	記憶體胞/胞
310	NAND串
312	選擇閘汲(SGD)開關
314	選擇閘源(SGS)開關
316	記憶體胞/胞
320	NAND串

322	選擇閘汲(SGD)開關
324	選擇閘源(SGS)開關
326	記憶體胞/胞
330	NAND串
332	選擇閘汲(SGD)開關
334	選擇閘源(SGS)開關
336	記憶體胞/胞
340	NAND串
342	選擇閘汲(SGD)開關
344	選擇閘源(SGS)開關
346	記憶體胞/胞
400	記憶體
410	控制邏輯單元
420	輸入/輸出(I/O)控制單元
422	內部資料匯流排
424	內部位址匯流排
426	內部命令匯流排
428	輸入/輸出(I/O)匯流排
430	記憶體陣列
440	列解碼器
450	行解碼器
468	讀取、程式化、擦除電路
470	快取暫存器

480	資料暫存器
SRC	源極
VBL	信號線
WL	記憶體存取線



I661425

【發明摘要】

IPC分類：G11C 16/06 (2006.01)
G11C 16/08 (2006.01)
G11C 16/24 (2006.01)

【中文發明名稱】

用於經劃分之選擇閘源線之裝置及方法

【英文發明名稱】

APPARATUSES AND METHODS FOR SEGMENTED SGS LINES

【中文】

本案關於經劃分之選擇閘源線之裝置及方法。例示性裝置包含記憶體區塊之第一及第二複數個記憶體子區塊。該裝置包含與第一複數個記憶體子區塊相關之第一選擇閘控制線，及與第二複數個記憶體子區塊相關之第二選擇閘控制線。第一選擇閘控制線經耦合至第一複數個記憶體子區塊之第一複數個選擇閘開關。第二選擇閘控制線經耦合至第二複數個記憶體子區塊之第二複數個選擇閘開關。第一及第二複數個選擇閘開關經耦合至源極。該裝置包含與第一及第二複數個記憶體子區塊之各者相關的複數個記憶體存取線。

【英文】

Apparatuses and methods for segmented SGS lines are described. An example apparatus may include first and second pluralities of memory subblocks of a memory block. The apparatus may include a first select gate control line associated with the first plurality of memory subblocks and a second select gate control line associated with the second plurality of memory subblocks. The first select gate control line may be coupled to a first plurality of select gate switches of the first plurality of memory subblocks. The second select gate control line may be coupled to a second plurality of select gate switches of the second plurality of memory subblocks. The first and

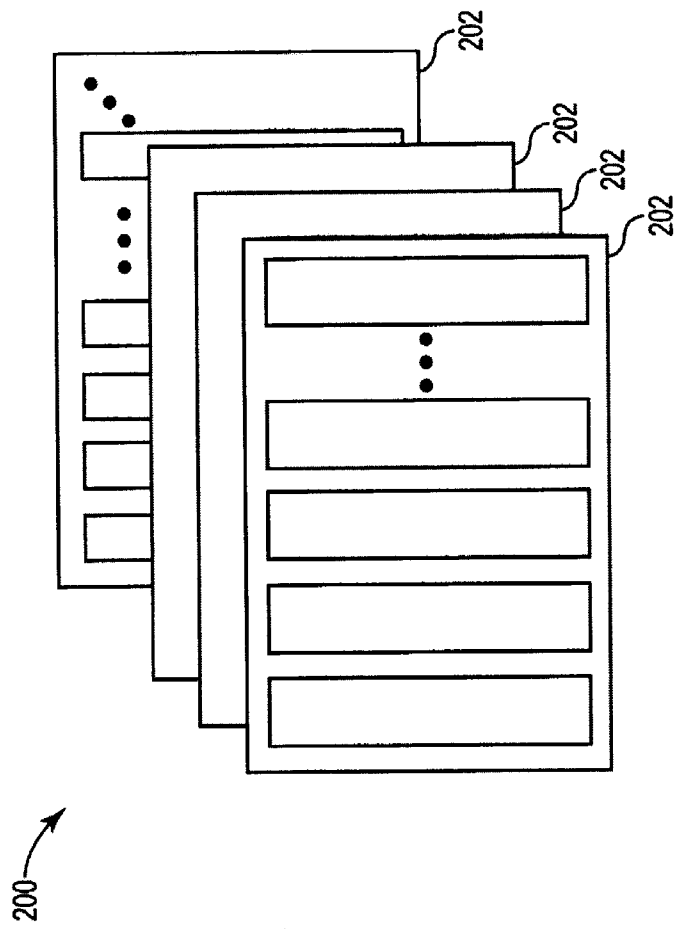
second pluralities of select gate switches may be coupled to a source. The apparatus may include a plurality of memory access lines associated with each the first and second pluralities of memory subblocks.

【指定代表圖】

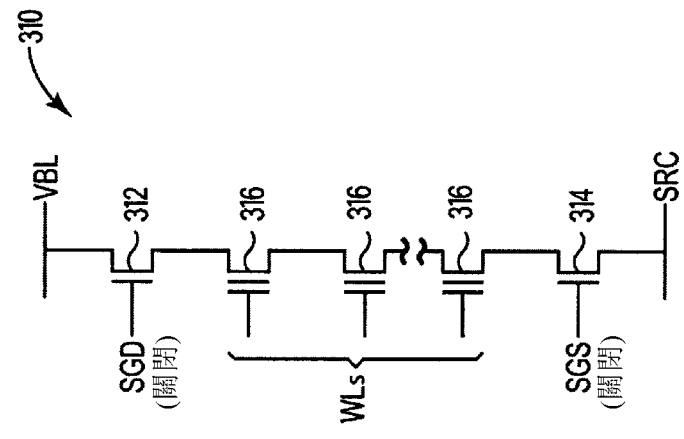
圖1

【代表圖之符號簡單說明】

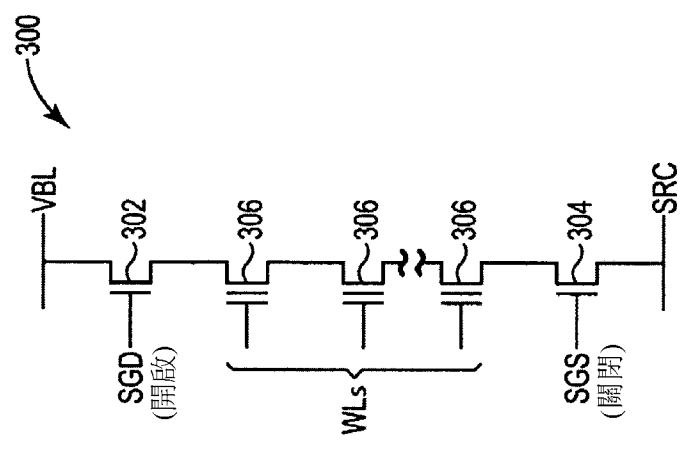
100	記憶體區塊/區塊
102	記憶體子區塊
104	記憶體存取線
106	選擇閘汲(SGD)控制線/作用中選擇閘汲(SGD)控制線/非作用中選擇閘汲(SGD)控制線/選擇閘汲(SGD)線
120	選擇閘源(SGS)控制線/選擇閘源(SGS)線/作用中選擇閘源(SGS)控制線/非作用中選擇閘源(SGS)控制線/第一選擇閘源(SGS)控制線/第二選擇閘源(SGS)控制線/作用中選擇閘源(SGS)線/非作用中選擇閘源(SGS)線
150	控制單元
VBL	信號線
WL	記憶體存取線



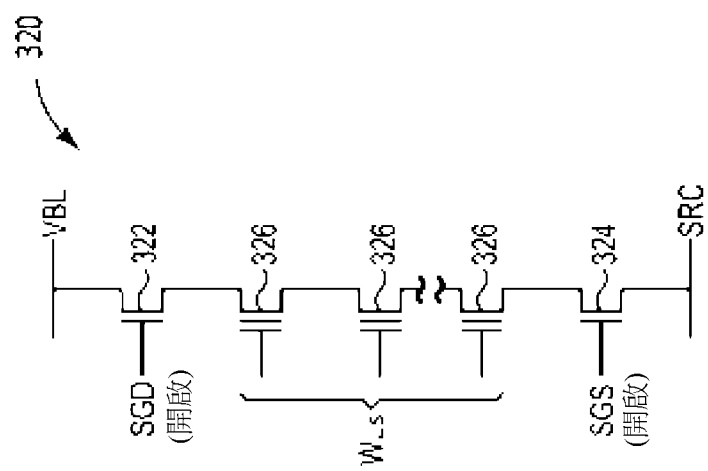
【圖 2】



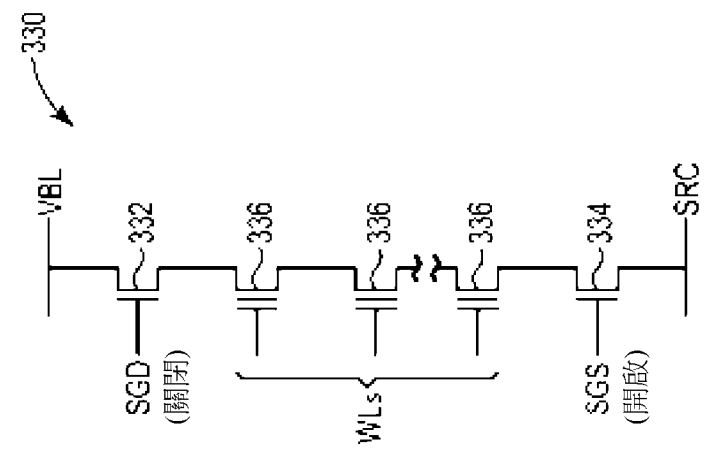
【圖 3b】



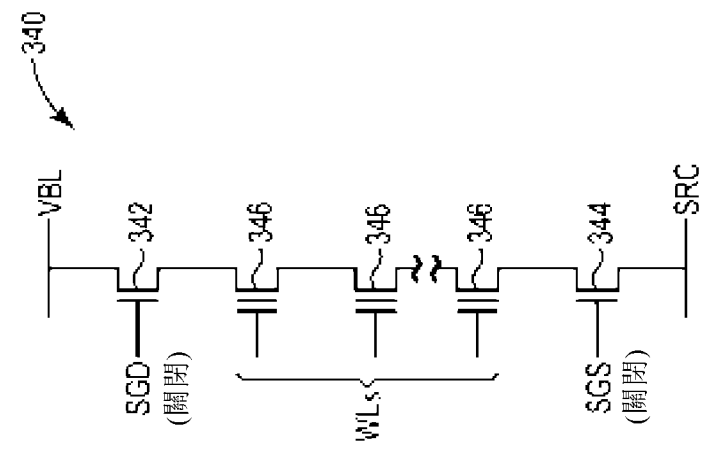
【圖 3a】



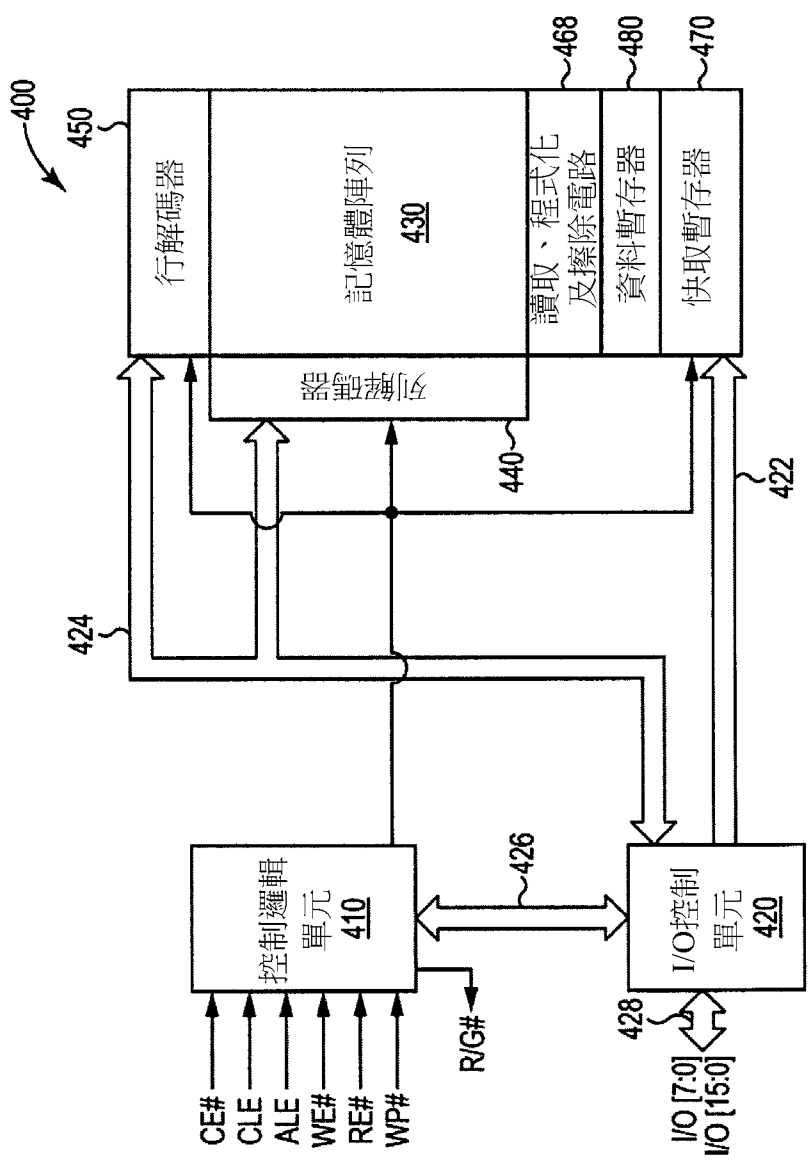
【圖 3c】



【圖 3d】



【圖 3e】



【圖 4】

【發明申請專利範圍】

【第1項】

一種記憶體裝置，其包括：

第一複數個記憶體子區塊；

第二複數個記憶體子區塊；

複數個第一選擇閘控制線，該複數個第一選擇閘控制線之每一第一選擇閘控制線經組態以將該第一複數個記憶體子區塊或該第二複數個記憶體子區塊之一單一各自記憶體子區塊耦合至一相同信號線；

一第二選擇閘控制線，其經組態以將一源極線耦合至該第一複數個記憶體子區塊；

一第三選擇閘控制線，其與該第二選擇閘控制線分開，該第三選擇閘控制線經組態以將該源極線耦合至該第二複數個記憶體子區塊；及

複數個存取線，每一存取線耦合至該第一複數個記憶體子區塊及該第二複數個記憶體子區塊之每一者中的一記憶體胞。

【第2項】

如請求項1之記憶體裝置，其中該複數個第一選擇閘控制線之每一者耦合至複數個選擇閘汲開關之一單一選擇閘汲開關。

【第3項】

如請求項2之記憶體裝置，其中該複數個選擇閘汲開關之一選擇閘汲開關經組態以將該信號線耦合至該第一複數個記憶體子區塊或該第二複數個記憶體子區塊之該單一各自記憶體子區塊之一各自記憶體胞串。

【第4項】

如請求項3之記憶體裝置，其中該第二選擇閘控制線耦合至該第一複數個記憶體子區塊之複數個選擇閘源開關，該第一複數個記憶體子區塊耦合至該信號線。

【第5項】

如請求項4之記憶體裝置，其中每一選擇閘源開關經組態以將該源極線耦合至該第一複數個記憶體區塊之一各自記憶體子區塊之一第二各自記憶體胞串，該第一複數個記憶體區塊耦合至該信號線。

【第6項】

如請求項5之記憶體裝置，其進一步包括：

一控制單元，其經組態以提供一或多個控制信號以啟動（activate）該複數個第一選擇閘控制線之至少一第一選擇閘控制線，且進一步經組態以提供一或多個控制信號以啟動該第二選擇閘控制線。

【第7項】

如請求項6之記憶體裝置，其中該控制單元經組態以藉由施加一電壓至耦合至該第一選擇閘控制線之該各自複數個選擇閘汲開關之每一選擇閘汲開關之一閘極，而啟動該複數個第一選擇閘控制線之該第一選擇閘控制線。

【第8項】

如請求項6之記憶體裝置，其中該控制單元經組態以藉由施加一電壓至耦合至該第二選擇閘控制線之該複數個選擇閘源開關之每一選擇閘源開關之一閘極，而啟動該第二選擇閘控制線。

【第9項】

一種記憶體裝置，其包括：

一記憶體存取線，其經組態以存取第一複數個記憶體子區塊之記憶體胞以及存取第二複數個記憶體子區塊之記憶體胞；

複數個選擇閘汲控制線，每一選擇閘汲控制線經組態以選擇性將該第一複數個記憶體子區塊及該第二複數個記憶體子區塊之一記憶體子區塊耦合至複數個信號線之一信號線；及

一第一選擇閘源控制線，其經組態以選擇性將一源極線耦合至經組態耦合至該信號線之該第一複數個記憶體子區塊；

一第二選擇閘源控制線，其經組態以選擇性地將該源極線耦合至經組態耦合至該信號線之該第二複數個記憶體子區塊，

其中該源極線經組態以藉由該第一選擇閘源控制線選擇性耦合至該第一複數個記憶體子區塊，而非藉由該第二選擇閘源控制線，且該源極線經組態以藉由該第二選擇閘源控制線選擇性地耦合至該第二複數個記憶體子區塊，而非藉由該第一選擇閘源控制線。

【第10項】

如請求項9之記憶體裝置，其中該第一複數個記憶體子區塊及該第二複數個記憶體子區塊之每一者各自包括第一複數個記憶體胞串及第二複數個記憶體胞串，

其中該複數個選擇閘汲控制線之每一選擇閘汲控制線耦合至該第一複數個記憶體胞串及該第二複數個記憶體胞串之一相應者。

【第11項】

如請求項9之記憶體裝置，其中該第一複數個記憶體子區塊及該第二

複數個記憶體子區塊各自包括第一複數個記憶體胞串及第二複數個記憶體胞串，

其中該複數個選擇閘汲控制線之每一選擇閘汲控制線於該第一複數個記憶體胞串及該第二複數個記憶體胞串之一相應者的一第一端處各自耦合至該第一複數個記憶體子區塊及該第二複數個記憶體子區塊之該第一複數個記憶體胞串及該第二複數個記憶體胞串之該相應者。

【第12項】

如請求項11之記憶體裝置，其中該複數個選擇閘源控制線之每一選擇閘源控制線於該第一複數個記憶體胞串及該第二複數個記憶體胞串之一相應者的一第二端處各自耦合至該第一複數個記憶體子區塊及該第二複數個記憶體子區塊之該第一複數個記憶體胞串及該第二複數個記憶體胞串之該相應者。

【第13項】

如請求項9之記憶體裝置，進一步包括複數個選擇閘汲開關，其耦合至該複數個選擇閘汲控制線之各自一者，並經組態以回應一第一控制信號而選擇性將該複數個記憶體子區塊之該記憶體子區塊耦合至該信號線。

【第14項】

如請求項13之記憶體裝置，其進一步包括複數個選擇閘源開關，其耦合至該第一選擇閘源控制線及該第二選擇閘源控制線之一相應者，並經組態以回應一第二控制信號而選擇性將該第一複數個記憶體子區塊及該第二複數個記憶體子區塊各自耦合至該源極線。

【第15項】

一種記憶體操作方法，其包括：

執行一程式操作，其中執行該程式操作包括：

選擇性啟動一第一選擇閘汲線、一第二選擇閘汲線及一第三選擇閘汲線，以將一第一記憶體子區塊、一第二記憶體子區塊及一第三記憶體子區塊之所有記憶體子區塊之一各自記憶體子區塊各自耦合至一信號線；

選擇性停用一第一選擇閘源線，以將一源極線自經組態耦合至該信號線之該第一記憶體子區塊、該第二記憶體子區塊及該第三記憶體子區塊解耦；及

將一電壓提供至一記憶體存取線，其中該記憶體存取線耦合至該第一記憶體子區塊、該第二記憶體子區塊及該第三記憶體子區塊之記憶體胞，並耦合至經組態耦合至該信號線之一第四記憶體子區塊之記憶體胞，其中該源極線藉由不同於該第一選擇閘源線之一第二選擇閘源線而自與經組態耦合至該信號線之該第四記憶體子區塊解耦，

其中該第二選擇閘源線未經組態以將該第一記憶體子區塊、該第二記憶體子區塊及該第三記憶體子區塊耦合至該源極線或自該源極線解耦，且該第一選擇閘源線未經組態以將該第四記憶體子區塊耦合至該源極線或自該源極線解耦。

【第16項】

如請求項15之記憶體操作方法，其中執行該程式操作產生位於耦合至該第一選擇閘汲線之一記憶體胞之一閘極及該信號線之間的一電容性負載。

【第17項】

如請求項15之記憶體操作方法，其中執行該程式操作產生位於耦合至該第二選擇閘汲線之一記憶體胞之一閘極及該信號線之間的一電容性負載。

【第18項】

如請求項15之記憶體操作方法，其進一步包括：

執行一讀取操作，其中執行該讀取操作包括：

選擇性啟動該第一選擇閘汲線，以將該第一記憶體子區塊耦合至該信號線；

選擇性停用該第二選擇閘汲線，以將該第二記憶體子區塊自該信號線解耦；

選擇性停用該第三選擇閘汲線以將該第三記憶體子區塊自該信號線解耦；及

選擇性啟動該第一選擇閘源線，以將該第一記憶體子區塊、該第二記憶體子區塊及該第三記憶體子區塊耦合至該源極線。

【第19項】

如請求項18之記憶體操作方法，其中執行該讀取操作產生位於耦合至該第一選擇閘汲線之一記憶體胞之一閘極及該源極線之間的一電容性負載。