



(12) 发明专利

(10) 授权公告号 CN 102801421 B

(45) 授权公告日 2015. 07. 01

(21) 申请号 201110137416. 4

CN 101498949 A, 2009. 08. 05, 图 1.

(22) 申请日 2011. 05. 25

US 6064239 A, 2000. 05. 16, 全文.

CN 101286742 A, 2008. 10. 15, 全文.

(73) 专利权人 安凯(广州)微电子技术有限公司
地址 510663 广东省广州市科学城科学大道
182 号创新大厦 C1 区 3 楼

审查员 覃婧婵

(72) 发明人 张亮 胡胜发

(74) 专利代理机构 北京集佳知识产权代理有限
公司 11227

代理人 马敬 逯长明

(51) Int. Cl.

H03M 1/34(2006. 01)

(56) 对比文件

US 6771117 B2, 2004. 08. 03, 说明书第 7 栏
第 21 行 - 第 9 栏第 41 行, 第 13 栏第 53 行 - 第 15
栏第 46 行、图 5, 14.

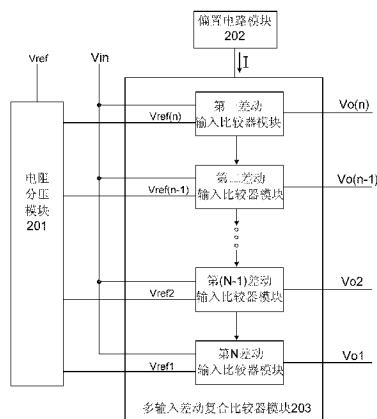
权利要求书 2 页 说明书 8 页 附图 6 页

(54) 发明名称

一种复合比较器

(57) 摘要

本发明公开了一种复合比较器,用于单路输入信号与多路固定参考电压比较,该复合比较器包括:电阻分压模块,与基准参考电压信号 Vref 连接,将所述基准参考电压信号 Vref 分压成一组参考电压 Vrefi, i = 1, 2, n, n 为自然数,形成 n+1 个电压范围子域区间;偏置电路模块,与电源端 Vcc 连接,给多输入差动复合比较器模块提供偏置电源;多输入差动复合比较器模块,与单路输入信号 Vin、基准参考电压信号 Vref 和偏置电路模块分别连接,其输出 n 个比较结果,以确定单路输入信号 Vin 所在电压范围的子域区间。本发明节省了芯片设计的尺寸,且无论输入信号的所在范围分布和大小如何,本申请均只消耗 2I 的电流大小。



1. 一种复合比较器,用于单路输入信号与多路固定参考电压比较,其特征在于,所述复合比较器包括:

电阻分压模块,与基准参考电压信号 V_{ref} 连接,将所述基准参考电压信号 V_{ref} 分压成一组参考电压 V_{refi} , $i = 1, 2, \dots, n$, n 为自然数,形成 $n+1$ 个电压范围子域区间;

偏置电路模块,与电源端 V_{cc} 连接,给多输入差动复合比较器模块提供偏置电源;

多输入差动复合比较器模块,与单路输入信号 V_{in} 、基准参考电压信号 V_{ref} 和偏置电路模块分别连接,输出 n 个比较结果,以确定单路输入信号 V_{in} 所在电压范围的子域区间;

其中,所述电阻分压模块包括 $n+1$ 个分压电阻子模块,所述 $n+1$ 个分压电阻子模块依次串接在基准参考电压信号 V_{ref} 和地之间,形成 n 个参考电压 V_{refi} , $i = 1, 2, \dots, n$, n 为自然数;

其中,所述偏置电路模块包括:

$n+2$ 个开关管,所述 $n+2$ 个开关管中的每个开关管分别包括三个端,其中,第一端连接电压偏置信号 V_b ,第二端连接电源端 V_{cc} ,第三端连接至多输入差动复合比较器模块;

其中,所述多输入差动复合比较器模块包括:

n 个差分输入对模块和 $n+1$ 个 $1:1$ 电流镜负载模块,其中,每个差分输入对模块和每个 $1:1$ 电流镜负载模块内分别包括两个开关管,每个开关管包括三个端,其中,

第 n 差分输入对模块中的第一开关管的第一端连接至参考电压 V_{ref1} ,第二端与第二开关管的第二端连接,且该连接端与偏置电路模块中第一开关管的第三端相连,第 n 差分输入对模块中第一开关管的第三端连接至第一 $1:1$ 电流镜负载模块中的第一开关管的第二端;第 n 差分输入对模块中的第二开关管的第一端连接至单路输入信号 V_{in} ,第三端连接至第 $n-1$ 差分输入对模块中第一开关管的第二端;

第 $n-1$ 差分输入对模块中的第一开关管的第一端连接至参考电压 V_{ref2} ,第二端与第二开关管的第二端连接,且该连接端与第 n 差分输入对模块中第二开关管第三端相连,第 $n-1$ 差分输入对模块中第一开关管的第三端连接至第二 $1:1$ 电流镜负载模块中的第一开关管的第二端;第 $n-1$ 差分输入对模块中的第二开关管的第一端连接至单路输入信号 V_{in} ,第三端连接至第 $n-2$ 差分输入对模块中第一开关管的第二端;依此类推,直至

第一差分输入对模块中的第一开关管的第一端连接至参考电压 V_{refn} ,第二端与第二开关管的第二端连接,且该连接端与第 2 差分输入对模块中第二开关管第三端相连,第一差分输入对模块中第一开关管的第三端连接至第 n 个 $1:1$ 电流镜负载模块中的第一开关管的第二端;第一差分输入对模块中的第二开关管的第一端连接至单路输入信号 V_{in} ,第三端连接至第 $n+1$ 个 $1:1$ 电流镜负载模块中第一开关管的第二端;

第 $n+1$ 个 $1:1$ 电流镜负载模块中,第一开关管的第一端和第二开关管的第一端相连,且第一开关管的第一端和第二端相连,第 $n+1$ 个 $1:1$ 电流镜负载模块中第一开关管的第三端和第二开关管的第三端分别接地;第 $n+1$ 个 $1:1$ 电流镜负载模块中第二开关管的第二端为第一输出端,且该第一输出端与偏置电路模块中第二开关管的第三端相连;

第 n 个 $1:1$ 电流镜负载模块中,第一开关管的第一端和第二开关管的第一端相连,且第一开关管的第一端和第二端相连,第 n 个 $1:1$ 电流镜负载模块中第一开关管的第三端和第二开关管的第三端分别接地;第 n 个 $1:1$ 电流镜负载模块中第二开关管的第二端为第二输出端,且该第二输出端与偏置电路模块中第三开关管的第三端相连;依此类推,直至

第一个 1:1 电流镜负载模块中,第一开关管的第一端和第二开关管的第一端相连,且第一开关管的第一端和第二端相连,第一个 1:1 电流镜负载模块中第一开关管的第三端和第二开关管的第三端分别接地;第 1 个 1:1 电流镜负载模块中第二开关管的第二端为第 n 输出端,且该第 n 输出端与偏置电路模块中第 n+2 个开关管的第三端相连;

其中,所述 n 大于等于 2。

2. 根据权利要求 1 所述的复合比较器,其特征在于,所述开关管为 MOS 管或三极管,所述开关管的第一端为控制端。

3. 根据权利要求 1 所述的复合比较器,其特征在于,所述偏置电路模块和 n 个差分输入对模块中的开关管为 PMOS 管,所述 n+1 个 1:1 电流镜负载模块中的开关管为 NMOS 管。

4. 根据权利要求 1 所述的复合比较器,其特征在于,所述偏置电路模块中的开关管为 PMOS 管,所述 n 个差分输入对模块中的开关管为三极管,所述 n+1 个 1:1 电流镜负载模块中的开关管为 NMOS 管。

5. 根据权利要求 3 或 4 所述的复合比较器,其特征在于,

当所述开关管为 PMOS 管时,所述开关管的第一端为栅极,第二端为源极,第三端为漏极;

当所述开关管为 NMOS 管时,所述开关管的第一端为栅极,第二端为漏极,第三端为源极。

6. 根据权利要求 1 所述的复合比较器,其特征在于,所述偏置电路模块、n 个差分输入对模块和 n+1 个 1:1 电流镜负载模块中的开关管均为三极管。

一种复合比较器

技术领域

[0001] 本发明涉及电子电路技术领域,特别涉及一种多输入的复合比较器。

背景技术

[0002] 集成电路设计,特别是在模数转换器的采样量化过程中,需要确定模拟输入采样信号所在电压范围的子域区间。通常情况下,一个简单而常用的方法是将模拟输入信号与多路固定参考电压之间进行比较,当比较器阵列出现状态变化时便可得到该输入信号所在电压范围的子域区间。

[0003] 图 1(a) 所示为典型的单路输入信号与多路固定参考电压进行比较的电路原理图。 V_{ref} 为与电源和温度不相关的基准参考电压,通过 $N+1$ 个电阻将基准电压 V_{ref} 分压成 N 个由小到大依次排列的参考电压,如第一参考电压 V_{ref1} 、第二参考电压 V_{ref2} 、...、第 n 参考电压 V_{refn} 。每个参考电压都对应一个独立比较器。参考电压接入比较器的反相输入端,输入信号 V_{in} 接比较器的同相输入端。随着 V_{in} 信号的逐渐增大,比较器 $1, 2, \dots, n$ 将会逐渐依次翻转。

[0004] 图 1(b) 所示为图 1(a) 中用到的独立比较器的电路,本实施例中比较器的电路为传统的差分电压比较器,且在互补金属氧化物半导体 (CMOS, Complementary Metal Oxide Semiconductor) 制程下。在图 1(b) 所示的比较器电路中,第一 MOS 管 M1 和第八 MOS 管 M8 组成差分输入电路,其栅极对应两个信号输入端,分别为第一输入端 VP 和和第二输入端 VN。第三 MOS 管 M3 和第四 MOS 管 M4、第五 MOS 管 M5 和第六 MOS 管 M6、第二 MOS 管 M2 和第七 MOS 管 M7 分别构成比例为 1 : 1 的电流镜负载。比较器的比较结果从第六 MOS 管 M6 和第七 MOS 管 M7 的漏接输出。可以理解,上述第一输入端 VP 是比较器的正极输入端,第二输入端 VN 是比较器的负极极输入端。对应到图 1(a),第一输入端 VP 接入 V_{in} ,第二输入端 VN 继而 V_{ref} 。

[0005] 考虑到差分输入电路的输入信号对输出的作用路径不同,将从 M1、M4、M3、M2、M7 构成的路径称为“长路径”,将 M8、M5、M6 构成的路径称为“短路径”。作为比较器,极小概率会出现 $V_P = V_N$ 的情况,在此忽略此种情况。因此,通常认为比较器会处于以下两种状态之一:

[0006] 1) 当输入信号 $V_P > V_N$,输出 V_{out} (即图 1(a) 中的 V_o) 为高电平。M1 与 M4、M2 与 M3 所在的支路导通,每条支路通过电流分别为 I ,其它支路截止,通过的电流为 0。即长路径导通,短路径截止。此时比较器消耗的总电流为 $2I$ 。

[0007] 2) 当输入信号 $V_P < V_N$,输出 V_{out} (图 1(a) 中的 V_o) 为低电平。M8 与 M5 所在的支路导通,通过的电流为 I ,其它支路截止,通过的电流为 0。即长路径截止,短路径导通。此时比较器消耗的总电流为 I 。

[0008] 如果多个比较器进行比较操作,且上述两种情况出现的概率相等时,可以计算比较器的消耗电流为概率平均电流 I_{AV} 为:

[0009] $I_{AV} = 2I * 0.5 + I * 0.5 = 1.5I$

[0010] 考虑图 1(a) 中的输入信号 V_{in} 在全量程范围内均匀分布, 计算其比较器阵列消耗的总电流 $I_{T,AV}$ 为:

[0011] $I_{T,AV} = 1.5I * n = 1.5nI$

[0012] 观察 $I_{T,AV}$ 的表达式可以发现, 随着比较器个数 n 的增加, 其消耗的电流逐渐增大。这使得在进行单路输入信号与多路固定参考电压比较时, 不得不面临由多个比较器所构成的芯片尺寸与功耗设计的难题。

发明内容

[0013] 本发明实施例提供了一种复合比较器, 该复合比较器允许多路输入, 解决了在进行单路输入信号与多路固定参考电压比较, 比较器芯片尺寸与功耗设计的矛盾。

[0014] 本发明实施例提供了一种复合比较器, 用于单路输入信号与多路固定参考电压比较, 所述符合比较器包括:

[0015] 电阻分压模块, 与基准参考电压信号 V_{ref} 连接, 将所述基准参考电压信号 V_{ref} 分压成一组参考电压 V_{refi} , $i = 1, 2, \dots, n$, n 为自然数, 形成 $n+1$ 个电压范围子域区间;

[0016] 偏置电路模块, 与电源端 V_{cc} 连接, 给多输入差动复合比较器模块提供偏置电源;

[0017] 多输入差动复合比较器模块, 与单路输入信号 V_{in} 、基准参考电压信号 V_{ref} 和偏置电路模块分别连接, 输出 n 个比较结果, 以确定单路输入信号 V_{in} 所在电压范围的子域区间。

[0018] 其中, 所述电阻分压模块包括 $n+1$ 个分压电阻子模块, 所述 $n+1$ 个分压电阻子模块依次串接在基准参考电压信号 V_{ref} 和地之间, 形成 n 个参考电压 V_{refi} , $i = 1, 2, \dots, n$, n 为自然数。

[0019] 其中, 所述偏置电路模块包括:

[0020] $n+2$ 个开关管, 所述 $n+2$ 个开关管中的每个开关管分别包括三个端, 其中, 第一端连接电压偏置信号 V_b , 第二端连接电源端 V_{cc} , 第三端连接至多输入差动复合比较器模块。

[0021] 其中, 所述多输入差动复合比较器模块包括:

[0022] n 个差分输入对模块和 $n+1$ 个 $1:1$ 电流镜负载模块, 其中, 每个差分输入对模块和每个 $1:1$ 电流镜负载模块内分别包括两个开关管, 每个开关管包括三个端, 其中,

[0023] 第 n 差分输入对模块中的第一开关管的第一端连接至参考电压 V_{ref1} , 第二端与第二开关管的第二端连接, 且该连接端与偏置电路模块中第一开关管的第三端相连, 第 n 差分输入对模块中第一开关管的第三端连接至第一 $1:1$ 电流镜负载模块中的第一开关管的第二端; 第 n 差分输入对模块中的第二开关管的第一端连接至单路输入信号 V_{in} , 第三端连接至第 $n-1$ 差分输入对模块中第一开关管的第二端;

[0024] 第 $n-1$ 差分输入对模块中的第一开关管的第一端连接至参考电压 V_{ref2} , 第二端与第二开关管的第二端连接, 且该连接端与第 n 差分输入对模块中第二开关管第三端相连, 第 $n-1$ 差分输入对模块中第一开关管的第三端连接至第二 $1:1$ 电流镜负载模块中的第一开关管的第二端; 第 $n-1$ 差分输入对模块中的第二开关管的第一端连接至单路输入信号 V_{in} , 第三端连接至第 $n-2$ 差分输入对模块中第一开关管的第二端; 依此类推, 直至

[0025] 第一差分输入对模块中的第一开关管的第一端连接至参考电压 V_{refn} , 第二端与第二开关管的第二端连接, 且该连接端与第 2 差分输入对模块中第二开关管第三端相连,

第一差分输入对模块中第一开关管的第三端连接至第 n 个 $1:1$ 电流镜负载模块中的第一开关管的第二端;第一差分输入对模块中的第二开关管的第一端连接至单路输入信号 V_{in} ,第三端连接至第 $n+1$ 个 $1:1$ 电流镜负载模块中第一开关管的第二端;

[0026] 第 $n+1$ 个 $1:1$ 电流镜负载模块中,第一开关管的第一端和第二开关管的第一端相连,且第一开关管的第一端和第二端相连,第 $n+1$ 个 $1:1$ 电流镜负载模块中第一开关管的第三端和第二开关管的第三端分别接地;第 $n+1$ 个 $1:1$ 电流镜负载模块中第二开关管的第二端为第一输出端,且该第一输出端与偏置电路模块中第二开关管的第三端相连;

[0027] 第 n 个 $1:1$ 电流镜负载模块中,第一开关管的第一端和第二开关管的第一端相连,且第一开关管的第一端和第二端相连,第 n 个 $1:1$ 电流镜负载模块中第一开关管的第三端和第二开关管的第三端分别接地;第 n 个 $1:1$ 电流镜负载模块中第二开关管的第二端为第二输出端,且该第二输出端与偏置电路模块中第三开关管的第三端相连;依此类推,直至

[0028] 第一个 $1:1$ 电流镜负载模块中,第一开关管的第一端和第二开关管的第一端相连,且第一开关管的第一端和第二端相连,第一个 $1:1$ 电流镜负载模块中第一开关管的第三端和第二开关管的第三端分别接地;第 1 个 $1:1$ 电流镜负载模块中第二开关管的第二端为第 n 输出端,且该第 n 输出端与偏置电路模块中第 $n+2$ 个开关管的第三端相连;

[0029] 其中,所述 n 大于等于 2。

[0030] 其中,所述开关管为 MOS 管或三极管,所述开关管的第一端为控制端。

[0031] 其中,所述偏置电路模块和 n 个差分输入对模块中的开关管为 PMOS 管,所述 $n+1$ 个 $1:1$ 电流镜负载模块中的开关管为 NMOS 管。

[0032] 其中,所述偏置电路模块中的开关管为 PMOS 管,所述 n 个差分输入对模块中的开关管为三极管,所述 $n+1$ 个 $1:1$ 电流镜负载模块中的开关管为 NMOS 管。

[0033] 其中,当所述开关管为 PMOS 管时,所述开关管的第一端为栅极,第二端为源极,第三端为漏极;

[0034] 当所述开关管为 NMOS 管时,所述开关管的第一端为栅极,第二端为漏极,第三端为源极;

[0035] 其中,所述偏置电路模块、 n 个差分输入对模块和 $n+1$ 个 $1:1$ 电流镜负载模块中的开关管均为三极管。

[0036] 应用本发明实施例提供的复合比较器,即用一个复合比较器实现单路输入信号同多个固定参考电压之间的大小关系比较。既节省了芯片设计尺寸,也减少了芯片功耗的消耗。而且无论输入信号的分布和大小如何,本申请均只消耗 $2I$ 的电流大小。尤其当需求的比较位数很多时,节省的功耗尤为可观。

附图说明

[0037] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0038] 图 1(a) 为现有典型的单路输入信号与多路固定参考电压进行比较的电路原理

图；

[0039] 图 1(b) 所示为图 1(a) 中用到的独立比较器的电路；

[0040] 图 2 是根据本申请实施例的一种复合比较器的原理图框图；

[0041] 图 3 是 CMOS 制程下的一个复合了四个独立比较器的四输入复合比较器电路原理图；

[0042] 图 4 是根据本发明实施例的 BICOMS 制程下的复合了四个独立比较器的四输入复合比较器电路原理图；

[0043] 图 5 是根据本发明实施例的 CMOS 制程下的复合了两个独立比较器的二输入复合比较器电路原理图；

[0044] 图 6 是根据本发明实施例的 BCD (BIPOLAR-CMOS-DMOS) 制程下的复合了两个独立比较器的二输入复合比较器电路原理图；

[0045] 图 7(a) 为现有的 N 位快闪 ADC (Analog-to-Digital Converter) 的电路原理框图；

[0046] 图 7(b) 为采用本申请的多路输入复合比较器的 N 位快闪 ADC 电路原理框图。

具体实施方式

[0047] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0048] 在阐述本申请技术原理之前,有必要先了解一下本申请所隐含的运算关系:电路设计中,经常会出现单路输入信号 V_{in} 与多路固定参考电压 V_{refi} ($i = 1, 2, \dots, n$) 之间进行比较的情况,而比较的输出结果彼此之间存在很强的相关性,部分比较器的输出结果往往隐含其它比较器的输出结果。例如,对固定参考电压 V_{refi} ($i = 1, 2, \dots, n$) 而言,假设它们的大小关系为: $V_{ref1} < V_{ref2} < \dots < V_{refn}$,则:

[0049] 1) 如果 $V_{in} > V_{refi}$ ($1 \leq i \leq n$),必然有 $V_{in} > V_{refj}$ ($1 \leq j \leq i$)

[0050] 2) 如果 $V_{in} < V_{refi}$ ($1 \leq i \leq n$),必然有 $V_{in} < V_{refj}$ ($i \leq j \leq n$)

[0051] 因此,可以利用这层隐含关系运算,在设计比较时通过路径的选择和切换,使多个需要工作的比较器仅利用一路偏置源依次偏置工作,而冗余的比较器得不到偏置源而被关断,从而达到节省电路设计时的元器件数目和减少功耗的目的。

[0052] 参见图 2,其是根据本申请实施例的一种复合比较器的原理图框图。该复合比较器包含电阻分压模块 201,偏置电路模块 202 和多输入差动复合比较器模块 203,其中,

[0053] 电阻分压模块 201,与基准参考电压信号 V_{ref} 连接,将所述基准参考电压信号 V_{ref} 分压成一组参考电压 V_{refi} , $i = 1, 2, \dots, n$, n 为自然数,形成 $n+1$ 个电压范围子域区间;

[0054] 上述电阻分压模块包括 $n+1$ 个分压电阻子模块,所述 $n+1$ 个分压电阻子模块依次串接在基准参考电压信号 V_{ref} 和地之间,形成 n 个参考电压 V_{refi} , $i = 1, 2, \dots, n$, n 为自然数。上述 $n+1$ 个分压电阻子模块的阻值可以相同也可以不同。

[0055] 偏置电路模块 202,与电源端 V_{cc} 连接,给多输入差动复合比较器模块提供偏置电

源；

[0056] 上述偏置电路模块包括 $n+2$ 个开关管,所述 $n+2$ 个开关管中的每个开关管分别包括三个端,其中,第一端连接电压偏置信号 V_b ,第二端连接电源端 V_{cc} ,第三端连接至多输入差动复合比较器模块。

[0057] 多输入差动复合比较器模块 203,与单路输入信号 V_{in} 、基准参考电压信号 V_{ref} 和偏置电路模块分别连接,输出 n 个比较结果,以确定单路输入信号 V_{in} 所在电压范围的子域区间。

[0058] 多输入差动复合比较器模块由多个分立差动输入比较器复合而成,在此分别命名为第一差动输入比较器模块,第二差动输入比较器模块...,第 $N-1$ 差动输入比较器模块以及第 N 差动输入比较器模块。每个差动复合比较器模块的一端接单路输入信号 V_{in} ,另一端接参考电压 V_{refi} ($i = 1, 2, \dots, n$)。每个差动复合比较器模块有两方面的作用,第一用于提供输入信号与参考电压的比较输出,第二根据比较输出的结果控制下一个差动比较器的工作状态。当判断结果显示下一个差动比较器不需要工作时,被关闭的差动比较器的将输出其默认状态。

[0059] 具体而言,假设输入信号 V_{in} 落在参考电压 V_{refi} ($i = 1, 2, \dots, n$) 的子域空间 ($V_{ref}(k-1), V_{ref}(k)$) ($1 \leq k \leq n$) 内。初始比较时,第一差动比较器起作用,其首先将比较结果输出,接着开启第二差动比较器的偏置源,使得第二差动比较器能够正常工作。第二次比较将比较结果输出之后,开启第三差动比较器的偏置源,促使第三差动比较器能够正常工作。依次类推,直到第 k ($1 \leq k \leq n$) 个差动比较器能够正常工作,不同的是,在输入信号 V_{in} 的电压小于参考电压 V_{refk} 时其输出结果不能开启第 $k+1$ ($1 \leq k \leq n-1$) 个差动比较器的偏置源,从而第 $k+1$ ($1 \leq k \leq n-1$) 个差动比较器不能正常工作,由此转折点便可判断输入信号 V_{in} 落在参考电压序列 V_{refi} ($i = 1, 2, \dots, n$) 的子域空间 ($V_{ref}(k-1), V_{ref}(k)$) ($1 \leq k \leq n$) 内。至于第 $k+1$ ($1 \leq k \leq n-1$) 个差动比较器模块以后的差动比较器模块,由于得不到偏置源,不能建立偏置工作点,因此不能正常工作。其输出结果为电路初始化时配置的默认状态。

[0060] 图 3 所示为 CMOS 制程下的一个复合了四个独立比较器的四输入复合比较器电路原理图,结合图 2 和图 3,上述多输入差动复合比较器模块包括:

[0061] n 个差分输入对模块和 $n+1$ 个 $1:1$ 电流镜负载模块,其中,每个差分输入对模块和每个 $1:1$ 电流镜负载模块内分别包括两个开关管,每个开关管包括三个端,其中,

[0062] 第 n 差分输入对模块中的第一开关管的第一端连接至参考电压 V_{ref1} ,第二端与第二开关管的第二端连接,且该连接端与偏置电路模块中第一开关管的第三端相连,第 n 差分输入对模块中第一开关管的第三端连接至第一 $1:1$ 电流镜负载模块中的第一开关管的第二端;第 n 差分输入对模块中的第二开关管的第一端连接至单路输入信号 V_{in} ,第三端连接至第 $n-1$ 差分输入对模块中第一开关管的第二端;

[0063] 第 $n-1$ 差分输入对模块中的第一开关管的第一端连接至参考电压 V_{ref2} ,第二端与第二开关管的第二端连接,且该连接端与第 n 差分输入对模块中第二开关管第三端相连,第 $n-1$ 差分输入对模块中第一开关管的第三端连接至第二 $1:1$ 电流镜负载模块中的第一开关管的第二端;第 $n-1$ 差分输入对模块中的第二开关管的第一端连接至单路输入信号 V_{in} ,第三端连接至第 $n-2$ 差分输入对模块中第一开关管的第二端;依此类推,直至

[0064] 第一差分输入对模块中的第一开关管的第一端连接至参考电压 V_{refn} , 第二端与第二开关管的第二端连接, 且该连接端与第 2 差分输入对模块中第二开关管第三端相连, 第一差分输入对模块中第一开关管的第三端连接至第 n 个 1 : 1 电流镜负载模块中的第一开关管的第二端; 第一差分输入对模块中的第二开关管的第一端连接至单路输入信号 V_{in} , 第三端连接至第 $n+1$ 个 1 : 1 电流镜负载模块中第一开关管的第二端;

[0065] 第 $n+1$ 个 1 : 1 电流镜负载模块中, 第一开关管的第一端和第二开关管的第一端相连, 且第一开关管的第一端和第二端相连, 第 $n+1$ 个 1 : 1 电流镜负载模块中第一开关管的第三端和第二开关管的第三端分别接地; 第 $n+1$ 个 1 : 1 电流镜负载模块中第二开关管的第二端为第一输出端, 且该第一输出端与偏置电路模块中第二开关管的第三端相连;

[0066] 第 n 个 1 : 1 电流镜负载模块中, 第一开关管的第一端和第二开关管的第一端相连, 且第一开关管的第一端和第二端相连, 第 n 个 1 : 1 电流镜负载模块中第一开关管的第三端和第二开关管的第三端分别接地; 第 n 个 1 : 1 电流镜负载模块中第二开关管的第二端为第二输出端, 且该第二输出端与偏置电路模块中第三开关管的第三端相连; 依此类推, 直至

[0067] 第一个 1 : 1 电流镜负载模块中, 第一开关管的第一端和第二开关管的第一端相连, 且第一开关管的第一端和第二端相连, 第一个 1 : 1 电流镜负载模块中第一开关管的第三端和第二开关管的第三端分别接地; 第 1 个 1 : 1 电流镜负载模块中第二开关管的第二端为第 n 输出端, 且该第 n 输出端与偏置电路模块中第 $n+2$ 个开关管的第三端相连。

[0068] 其中, 所述 n 大于等于 2。

[0069] 需要说明的是, 上述开关管为 MOS 管或三极管, 开关管的第一端为控制端。

[0070] 在一种可能的实施例中, 所述偏置电路模块和 n 个差分输入对模块中的开关管为 PMOS 管, 所述 $n+1$ 个 1 : 1 电流镜负载模块中的开关管为 NMOS 管。

[0071] 在另一种可能的实施例中, 所述偏置电路模块中的开关管为 PMOS 管, 所述 n 个差分输入对模块中的开关管为三极管, 所述 $n+1$ 个 1 : 1 电流镜负载模块中的开关管为 NMOS 管。

[0072] 当所述开关管为 PMOS 管时, 所述开关管的第一端为栅极, 第二端为源极, 第三端为漏极;

[0073] 当所述开关管为 NMOS 管时, 上述开关管的第一端为栅极, 第二端为漏极, 第三端为源极;

[0074] 在又一种可能的实施例中, 所述偏置电路模块、 n 个差分输入对模块和 $n+1$ 个 1 : 1 电流镜负载模块中的开关管均为三极管。

[0075] 需要说明的是, 本申请所述复合比较器可在 CMOS、双极互补金属氧化半导体 (BICOMS, BiCMOS bipolar complementary metal oxide semiconductor)、BCD (BIPILOR-CMOS-DMOS) 制程下实现。

[0076] 应用本发明实施例提供的复合比较器, 即用一个复合比较器实现单路输入信号同多个固定参考电压之间的大小关系比较。也就是说, 本发明实施例所提供的方法相当于将每个差动比较器用作偏置源路径选择器, 逐级判断偏置源的走向, 使得需要进行比较工作的比较器依次得到偏置而进行比较, 从而完成多次比较的功能。对于比较结果不会影响最终输出的差动比较器, 则会通过差动比较器本身切断其偏置源, 使其停止工作。这样, 应用

本发明,用较少的元器件实现单路输入信号同多个固定参考电压之间的大小关系比较,既节省了芯片设计尺寸,又减少了芯片功耗的消耗。而且无论输入信号的分布和大小如何,本申请均只消耗 $2I$ 的电流大小。尤其当需求的比较位数很多时,节省的功耗尤为可观。

[0077] 下面结合附图和具体实施例对本申请再做详细说明。

[0078] 参见图 3,其是 CMOS 制程下的一个复合了四个独立比较器的四输入复合比较器电路原理图。本实施例中, M 后面的数字即代表第几 MOS 管,例如, $M17$ 表示第十七 MOS 管,其余类似同。

[0079] 其中 V_{ref} 为与电源和温度无关的基准参考电压信号,通过 5 个分压电阻第一分压电阻 $R1 \sim$ 第五分压电阻 $R5$ 产生 4 个固定参考电压 $V_{ref1}, V_{ref2}, V_{ref3}, V_{ref4}$,他们之间的具有以下大小关系: $V_{ref1} < V_{ref2} < V_{ref3} < V_{ref4}$ 。这里的 $R1 \sim R5$ 相当于 5 个分压电阻子模块,该 5 个分压电阻子模块构成了电阻分压模块。 V_b 为电压偏置信号,记以 V_b 为栅极的 PMOS 产生的偏置电流为 I 。 $M1 \sim M6$ 为尺寸大小相同的 PMOS 管,其构成偏置电路,该偏置电路中每个 PMOS 管均产生电流大小为 I 的偏置电流。 $M7$ 和 $M8, M9$ 和 $M10, M11$ 和 $M12, M13$ 和 $M14$ 分别构成复合比较器的 4 个差分输入对模块。 $M19$ 和 $M20, M18$ 和 $M21, M17$ 和 $M22, M16$ 和 $M23, M15$ 和 $M24$ 为 5 个比例 1 : 1 的电流镜负载模块。 4 个差分输入对模块和 5 个 1 : 1 的电流镜负载模块构成了多输入差动复合比较器模块。 V_{in} 为单路输入信号, $V_{oi} (1 \leq i \leq 4)$ 为四输入复合比较器输出信号。本例中, $M1 \sim M14$ 为 PMOS 管, $M15 \sim M24$ 为 NMOS 管。

[0080] 假设输入信号 V_{in} 所处电压范围的子域空间为 $V_{ref2} < V_{in} < V_{ref3}$,图三所示的四输入复合比较器电路的详细工作原理可以分为以下几个过程:

[0081] 1) 因为 $V_{ref2} < V_{in} < V_{ref3}$, 又因 $V_{ref1} < V_{ref2} < V_{ref3} < V_{ref4}$, 在 $V_{in} < V_{ref4}$ 时,对于 $M7$ 和 $M8$ 组成的差分输入对模块, $M7$ 截止, $M8$ 导通。 $M7$ 截止,使得 $M7, M15, M24$ 所在的支路断开, V_{o5} 在 $M6$ 的上拉作用下输出高电平。 $M8$ 导通,使得偏置电流从 $M1$ 经 $M8$ 流向 $M9$ 和 $M10$ 组成的差分输入对,为其提供电流偏置。

[0082] 2) 在 $V_{in} < V_{ref3}$ 时,对于 $M9$ 和 $M10$ 组成的差分输入对模块, $M9$ 截止, $M10$ 导通。 $M9$ 截止,使得 $M9, M16, M23$ 所在的支路断开, V_{o4} 在 $M5$ 的上拉作用下输出高电平。 $M10$ 导通,使得偏置电流从 $M1$ 经 $M8, M10$ 流向 $M11$ 和 $M12$ 组成的差分输入对,为其提供电流偏置。

[0083] 3) 在 $V_{in} > V_{ref2}$ 时,对于 $M11$ 和 $M12$ 组成的差分输入对模块, $M11$ 导通, $M12$ 截止。 $M11$ 导通,使得 $M11, M18, M21$ 所在的支路导通, V_{o3} 在 $M21$ 的下拉作用下输出低电平。 $M12$ 截止,偏置电流不能流向 $M13$ 和 $M14$ 组成的差分输入对,该差分输入对组成的电路不能正常工作。

[0084] 4) $M12$ 截止,偏置电流不能流向 $M13$ 和 $M14$ 组成的差分输入对模块,使得 $M13, M18, M21$ 所在的支路以及 $M14, M19, M20$ 所在的支路断开, V_{o1}, V_{o2} 分别在 $M2, M3$ 的上拉作用下输出高电平,此也为 V_{o1}, V_{o2} 在初始化时的默认状态。

[0085] 最终,可以确认输入信号 V_{in} 所处电压范围的子域空间对应的输出数字编码为 '11011', '0' 代表其所处电压范围的子域空间为 (V_{ref2}, V_{ref3}) 。

[0086] 图 3 所示的四输入复合比较器工作时,在差分输入比较部分,由于各个差分输入对共用同一路电流源,因此此部分的消耗的电流为 I 。而比较器输出部分,只有输出为低电平的节点所在支路才有电流 I 流过,其它输出为高电平的支路没有电流流过。因此,此复合

比较器无论输入信号的分布和大小如何,整个电路消耗的总电流恒定为 $2I$ 。

[0087] 参见图 4,其是根据本发明实施例的 BICOMS 制程下的复合了四个独立比较器的四输入复合比较器电路原理图。其与图 3 所示实施例不同的是,用三极管 Q 替代了 MOS 管,类似的,本实施例中 Q1 ~ Q14 为 P 输入晶体管, Q15 ~ Q24 为 N 输入晶体管。本实施例的详细工作原理与图 3 所示实施例相同,不再赘述。

[0088] 参见图 5,其是根据本发明实施例的 CMOS 制程下的复合了两个独立比较器的二输入复合比较器电路原理图。其详细的工作原理与图 3 所示实施例相同,不再赘述。

[0089] 参见图 6,其是根据本发明实施例的 BCD (BIPOLAR-CMOS-DMOS) 制程下的复合了两个独立比较器的二输入复合比较器电路原理图。其与图 5 的区别是只在差分输入对模块部分使用的三极管,在其余部分使用的是 MOS 管。本实施例的详细工作原理与图 3 所示实施例相同,不再赘述。

[0090] 图 7(a) 为现有的 N 位快闪 ADC (Analog-to-Digital Converter) 的电路原理框图,图 7(b) 为采用本申请的多路输入复合比较器的 N 位快闪 ADC 电路原理框图。在图 7(a) 中,主要由分压电阻串,比较器阵列,数字编码网络等部分组成。

[0091] 对于一个 N 位快闪 ADC,其需求的比较器个数为 2^N-1 个。若比较器的输入信号平均分布,则可算得比较器阵列部分消耗的功耗为: $(2^N-1)*1.5I$ 。且随着分辨率的提高,快闪 ADC 的功耗更是成指数倍的增加。例如,一个 6 位快闪 ADC 需要 63 个比较器,其比较器部分消耗的功耗为: $94.5I$ 。当分辨率提高两位时,则需要 255 个比较器,比较器部分消耗的功耗为: $382.5I$ 。仅此部分消耗如此大的功耗在电路设计中几乎是不可忍受的。

[0092] 而采用如图 7(b) 所示多输入复合比较器则不存在这方面的问题,它不管快闪 ADC 的位数为多少,复合比较器消耗的功耗恒定为 $2I$ 。因此,本申请在功耗节省方面存在巨大的优势。同时,由于复合比较器的输入差分对仅用一路电流源,省掉了部分的元器件,因此在面积上也有相当的节省。

[0093] 需要说明的是,在本文中,诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来,而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且,术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含,从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素,而且还包括没有明确列出的其他要素,或者是还包括为这种过程、方法、物品或者设备所固有的要素。在没有更多限制的情况下,由语句“包括一个……”限定的要素,并不排除在包括所述要素的过程、方法、物品或者设备中还存在另外的相同要素。

[0094] 以上所述仅为本发明的较佳实施例而已,并非用于限定本发明的保护范围。凡在本发明的精神和原则之内所作的任何修改、等同替换、改进等,均包含在本发明的保护范围内。

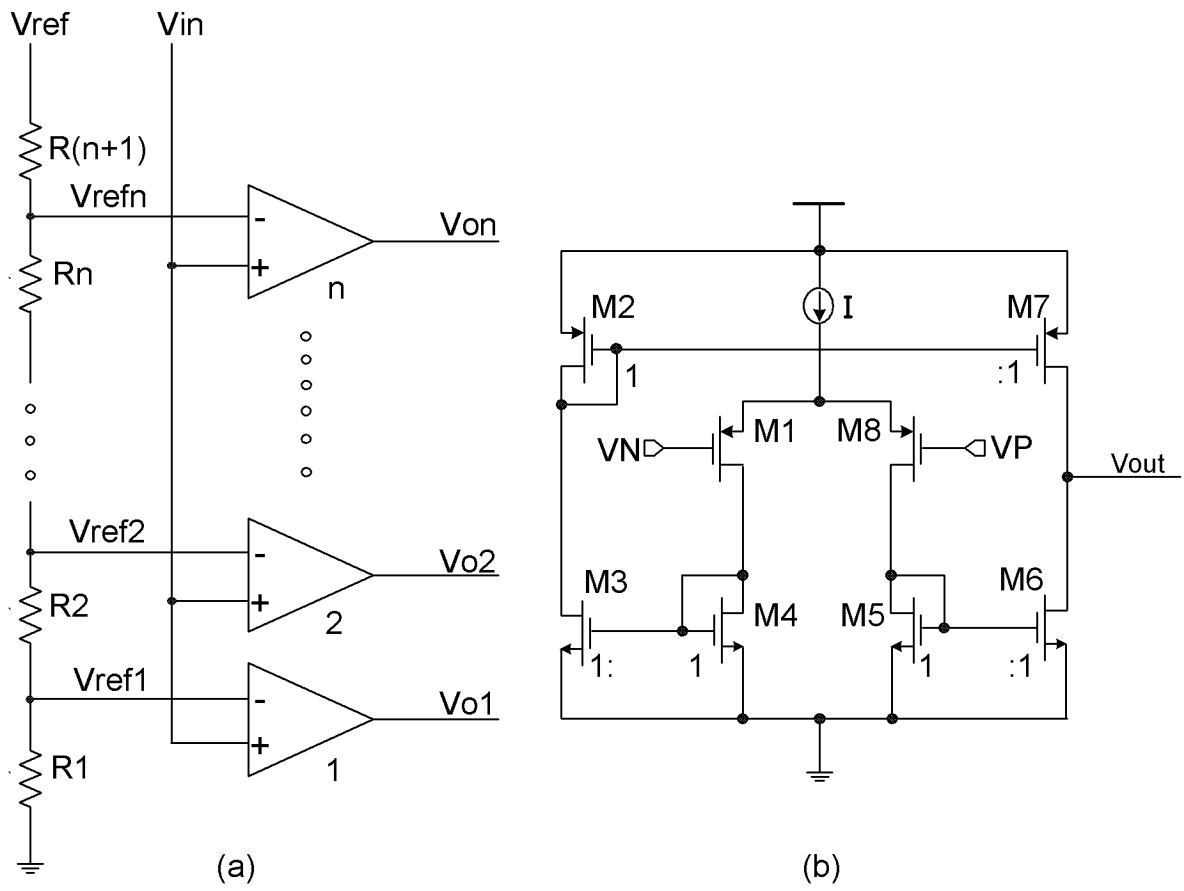


图 1

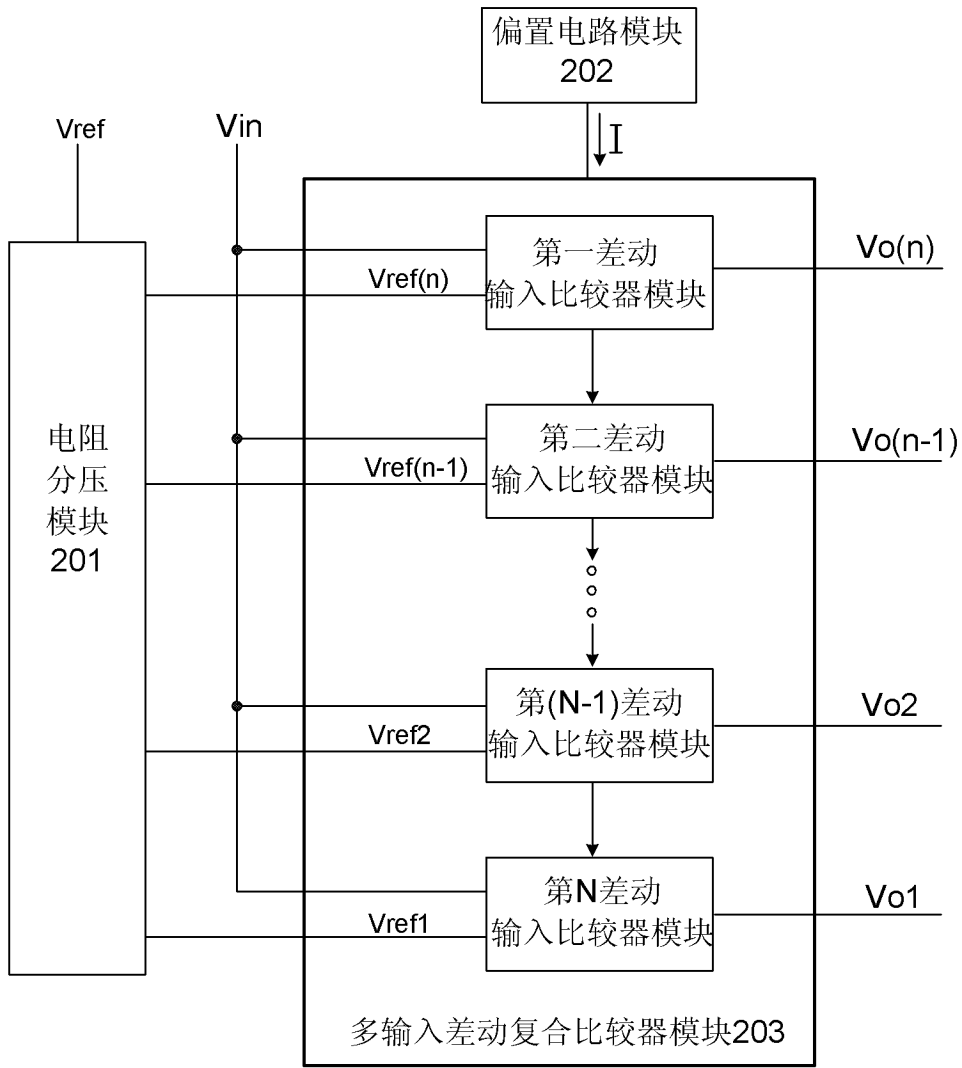


图 2

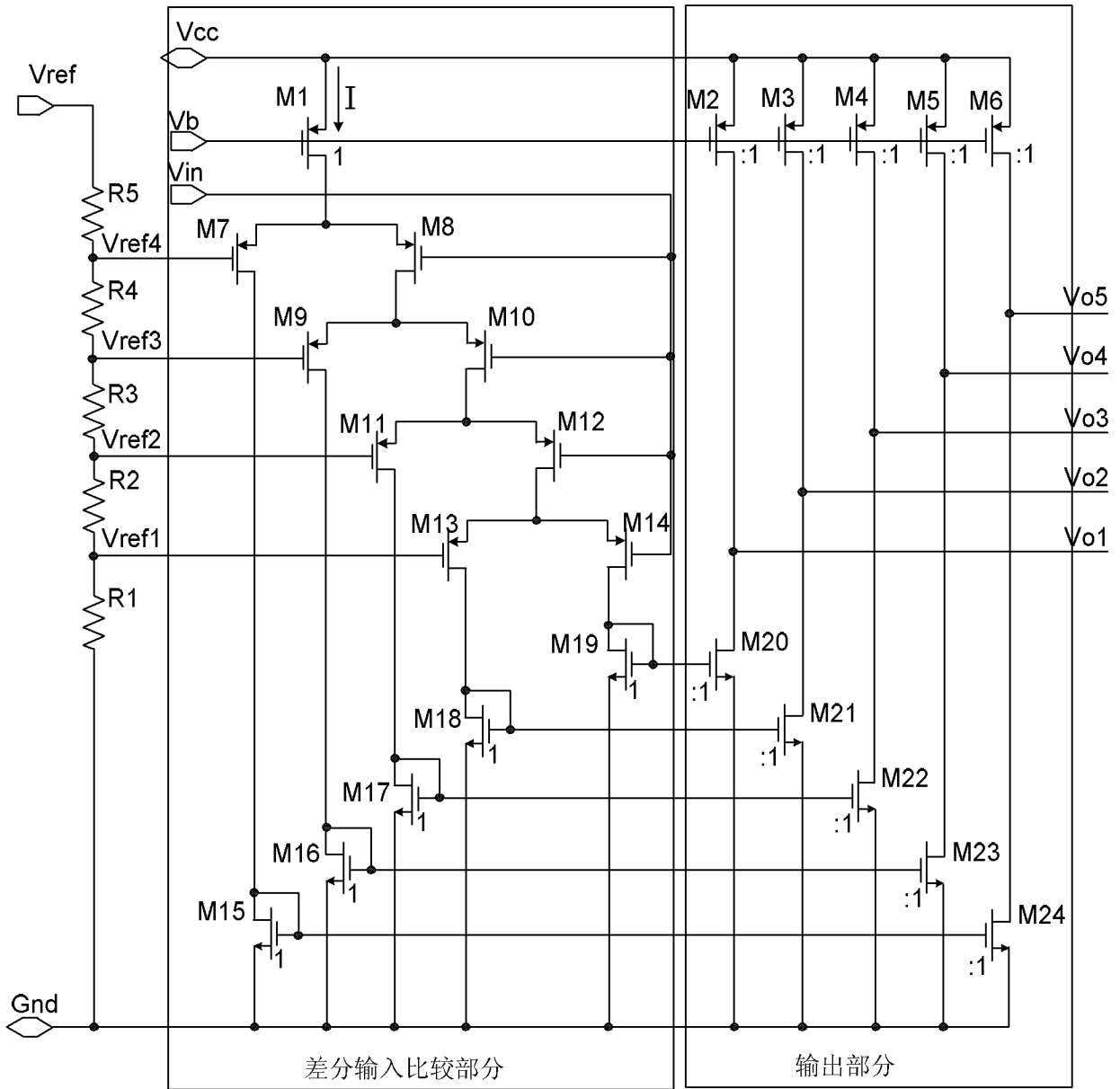


图 3

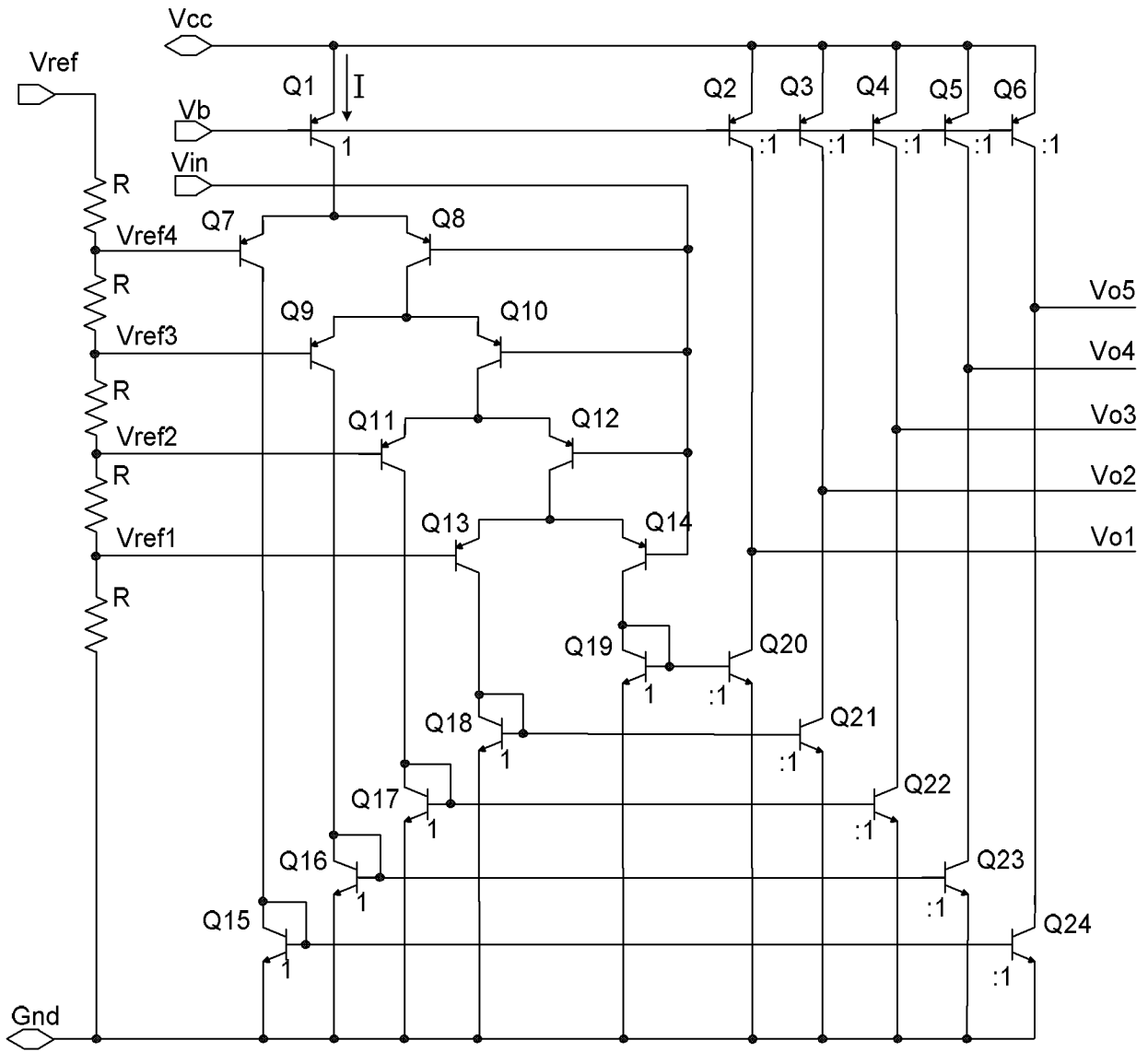


图 4

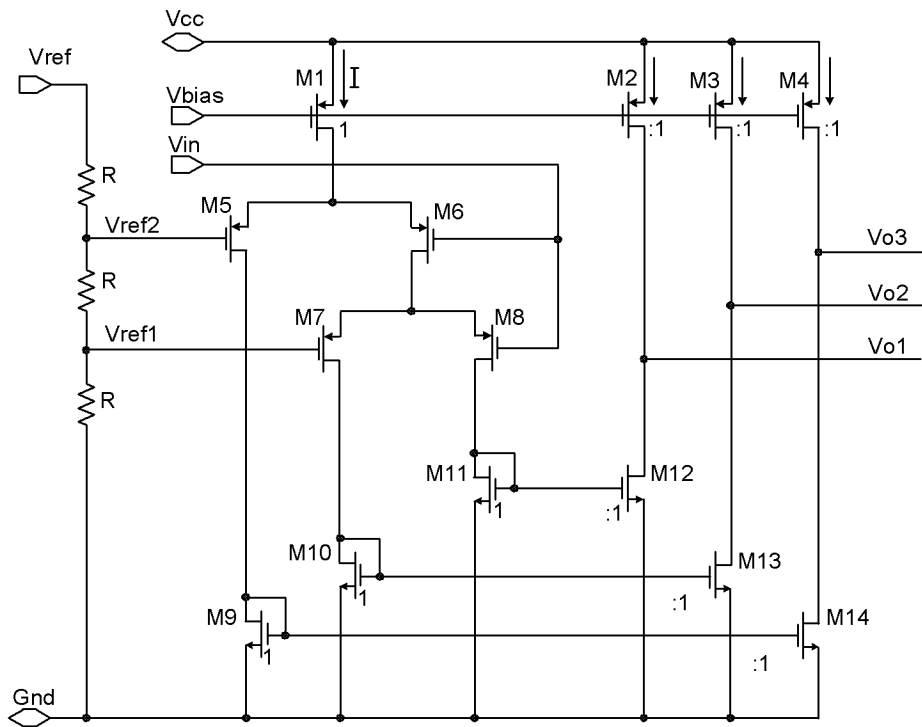


图 5

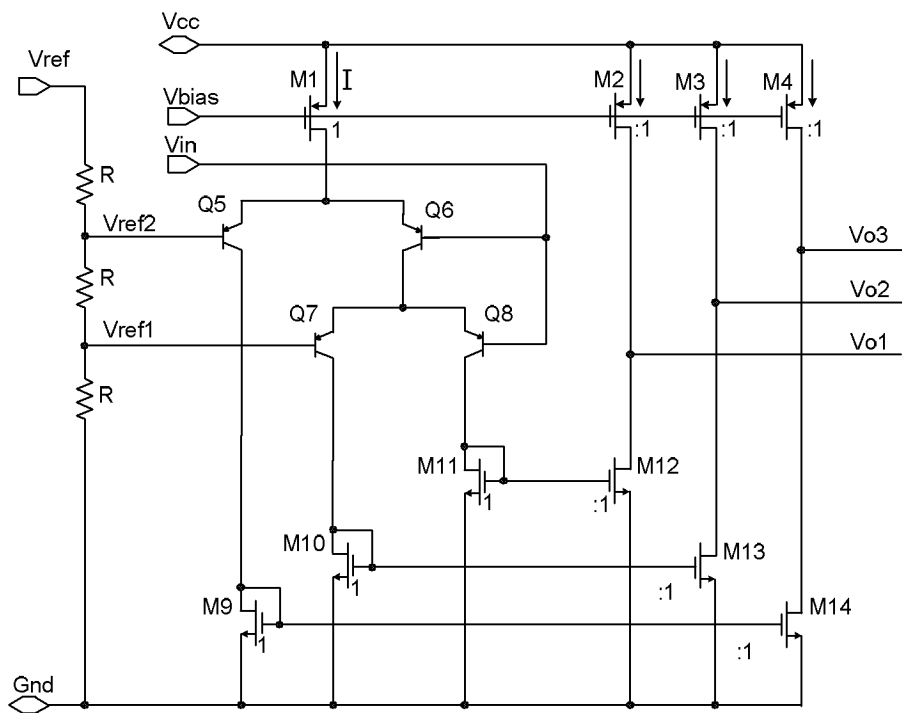


图 6

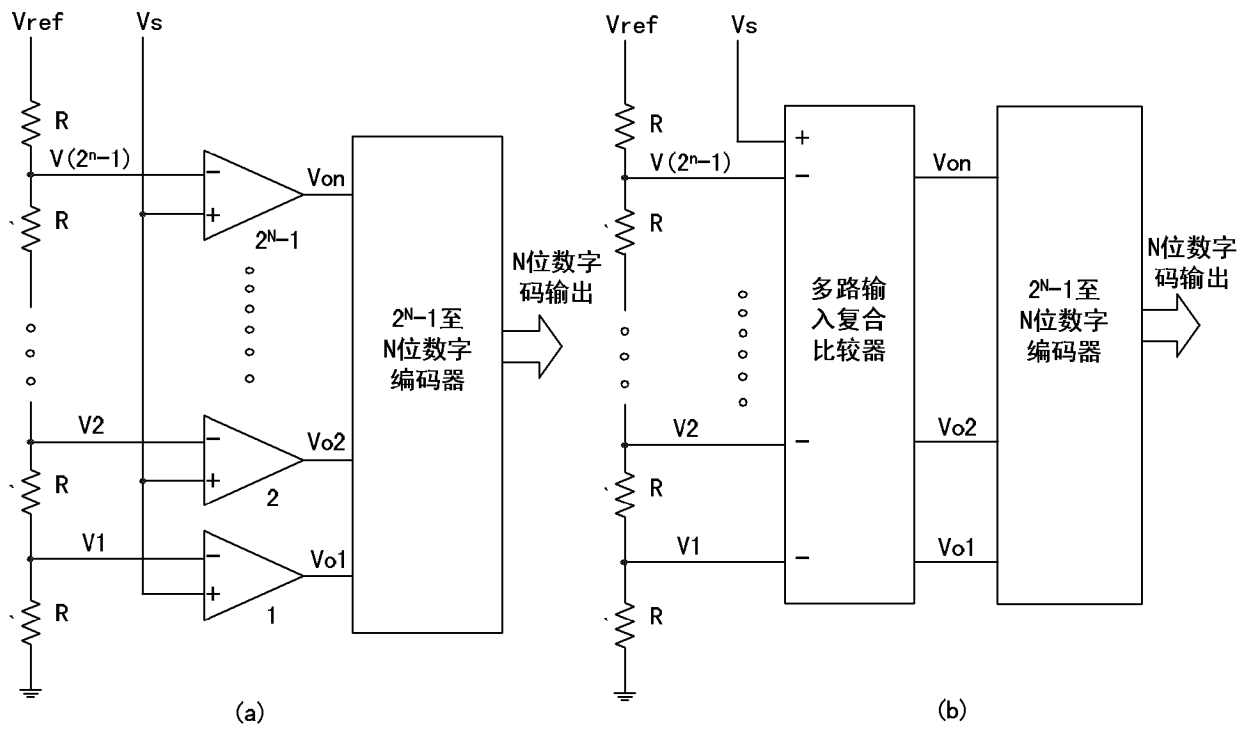


图 7