

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2012-511285

(P2012-511285A)

(43) 公表日 平成24年5月17日(2012.5.17)

(51) Int.Cl. F I テーマコード (参考)
H04B 1/10 (2006.01) H04B 1/10 P 5K052

審査請求 有 予備審査請求 未請求 (全 27 頁)

(21) 出願番号	特願2011-539765 (P2011-539765)	(71) 出願人	595020643
(86) (22) 出願日	平成21年12月4日 (2009.12.4)		クアルコム・インコーポレイテッド
(85) 翻訳文提出日	平成23年8月8日 (2011.8.8)		QUALCOMM INCORPORATED
(86) 国際出願番号	PCT/US2009/066882		ED
(87) 国際公開番号	W02010/065934		アメリカ合衆国、カリフォルニア州 92
(87) 国際公開日	平成22年6月10日 (2010.6.10)		121-1714、サン・ディエゴ、モア
(31) 優先権主張番号	12/327,990		ハウス・ドライブ 5775
(32) 優先日	平成20年12月4日 (2008.12.4)	(74) 代理人	100108855
(33) 優先権主張国	米国 (US)		弁理士 蔵田 昌俊
		(74) 代理人	100159651
			弁理士 高倉 成男
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠

最終頁に続く

(54) 【発明の名称】 周波数選択付きスイッチング電圧レギュレータ

(57) 【要約】

スイッチング電圧レギュレータのスイッチャ周波数をインテリジェントに変えることにより、スイッチング電圧レギュレータからの干渉を軽減するための技術が提供される。一態様では、スイッチャ周波数は、プログラマブル・クロック・ディバイダへの周波数セッティング入力を調整することにより設定される。さらなる態様では、プロセッサは、スイッチング電圧レギュレータに対しての所望のスイッチャ周波数を生成するための基準クロック周波数信号を分周するためのディバイディングファクタを表す値を受け取るプログラマブル・クロック・ディバイダを駆動する。プログラマブル・クロック・ディバイダの値は、最適なパフォーマンスを達成し、そして、所定の動作状態に対してのスイッチャ周波数スプリアス成分の効果を軽減するために、選択的に変更される。

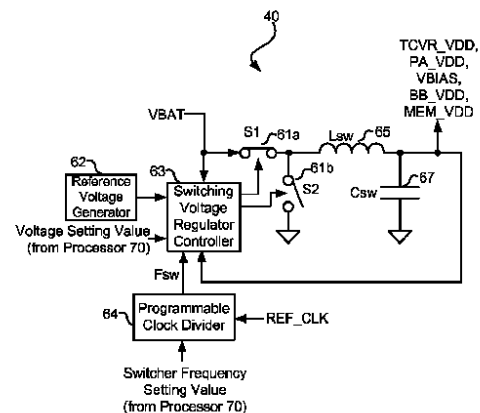


FIG. 6

【特許請求の範囲】

【請求項 1】

出力電圧を発生するためのスイッチング電圧レギュレータを含むデバイスであって、
スイッチャ周波数を生成するために、基準クロック周波数信号と、少なくとも電流動作状態 (current operating condition) を表すスイッチャ周波数セッティング値 (switcher frequency setting value) とにตอบสนองするプログラマブル・クロック・ディバイダ (programmable clock divider)、および

前記出力電圧を調整する (regulate) ための、前記スイッチャ周波数と基準電圧とにตอบสนองするスイッチング電圧レギュレータ・コントローラ (switching voltage regulator controller)

10

を具備するデバイス。

【請求項 2】

前記スイッチャ周波数セッティング値は、受信チャンネルバンド幅に一部は基づく請求項 1 のデバイス。

【請求項 3】

前記スイッチャ周波数セッティング値は、フルデュプレックスモード (full duplex mode) の動作の期間にチャンネル周波数分離 (channel frequency separation) を受け取るための送信チャンネルに一部は基づく請求項 1 のデバイス。

【請求項 4】

ジャマー検出値 (jammer detect value) を生成するためのジャミング検出回路をさらに具備し、前記スイッチャ周波数セッティング値は、さらに前記ジャマー検出値に一部は基づく請求項 1 のデバイス。

20

【請求項 5】

前記ジャマー検出値は、前記受信チャンネル周波数からのジャマーオフセットの存在を表す請求項 4 のデバイス。

【請求項 6】

前記スイッチャ周波数セッティング値を生成するための前記ジャマー検出値にตอบสนองするプロセッサをさらに具備する請求項 5 のデバイス。

【請求項 7】

前記デバイスは集積回路である請求項 1 のデバイス。

30

【請求項 8】

スイッチング電圧レギュレータのための出力電圧を発生するための集積回路 (IC) であって、

スイッチャ周波数を生成するために、基準クロック周波数信号と、少なくとも電流動作状態 (current operating condition) を表すスイッチャ周波数セッティング値 (switcher frequency setting value) とにตอบสนองする、プログラマブル・クロック・ディバイダ (programmable clock divider)、および

前記出力電圧を調整する (regulate) ための、前記スイッチャ周波数と基準電圧とにตอบสนองするスイッチング電圧レギュレータ・コントローラ (switching voltage regulator controller)

40

を具備する IC。

【請求項 9】

前記スイッチャ周波数セッティング値は、受信チャンネルバンド幅に一部は基づく請求項 8 の IC。

【請求項 10】

前記スイッチャ周波数セッティング値は、フルデュプレックスモード (full duplex mode) の動作の期間にチャンネル周波数分離 (channel frequency separation) を受け取るための送信チャンネルに一部は基づく請求項 8 の IC。

【請求項 11】

ジャマー検出値を生成するためのジャミング検出回路をさらに具備し、前記スイッチャ

50

周波数セッティング値は、さらに前記ジャマー検出値の一部に基づく請求項 8 の I C。

【請求項 1 2】

前記ジャマー検出値は、前記受信チャンネル周波数からのジャマーオフセットの存在を表す請求項 1 1 の I C。

【請求項 1 3】

前記スイッチャ周波数セッティング値を生成するための前記ジャマー検出値に応答するプロセッサをさらに具備する請求項 1 2 の I C。

【請求項 1 4】

スイッチング電圧レギュレータのための出力電圧を発生するためのデバイスであって、スイッチャ周波数を生成するために、基準クロック周波数信号と、少なくとも電流動作状態 (current operating condition) を表すスイッチャ周波数セッティング値 (switcher frequency setting value) とに 10 応答する手段、および

前記出力電圧を調整する (regulate) ための、前記スイッチャ周波数と基準電圧とに 10 応答する手段

を具備するデバイス。

【請求項 1 5】

前記スイッチャ周波数セッティング値は、受信チャンネルバンド幅の一部に基づく請求項 1 4 のデバイス。

【請求項 1 6】

前記スイッチャ周波数セッティング値は、フルデュプレックスモード (full duplex mode) の動作の期間にチャンネル周波数分離 (channel frequency separation) を受け取るための送信チャンネルの一部に基づく請求項 1 4 のデバイス。 20

【請求項 1 7】

ジャマー検出値を生成するためのジャミング検出回路をさらに具備し、前記スイッチャ周波数セッティング値は、さらに前記ジャマー検出値の一部に基づく請求項 1 4 のデバイス。

【請求項 1 8】

前記ジャマー検出値は、前記受信チャンネル周波数からのジャマーオフセットの存在を表す請求項 1 7 のデバイス。

【請求項 1 9】

前記スイッチャ周波数セッティング値を生成するための前記ジャマー検出値に 30 応答するプロセッサをさらに具備する請求項 1 8 のデバイス。

【請求項 2 0】

スイッチング電圧レギュレータの出力電圧を調整すること (regulating) の方法であって、

電流動作状態 (current operating condition) を特定すること (identifying)、

前記電流動作状態に基づいてスイッチャ周波数セッティング値を生成すること、

プログラマブル・クロック・ディバイダ (programmable clock divider) を用い、前記 40 スwitchャ周波数セッティング値と基準クロック周波数信号とを用いるスイッチャ周波数を生成すること、

少なくとも前記スイッチャ周波数に基づき、スイッチング電圧レギュレータ・コントローラ (switching voltage regulator controller) を用いて、スイッチ信号を生成すること、および

前記出力電圧を調整するために前記スイッチング電圧レギュレータの前記出力に結合されたスイッチをオンおよびオフに切り替えること (toggling)

を具備する方法。

【請求項 2 1】

前記スイッチャ周波数セッティング値は、受信チャンネルバンド幅の一部に基づく請求項 2 0 の方法。

【請求項 2 2】

10

20

30

40

50

前記スイッチャ周波数セッティング値は、フルデュプレックスモード (full duplex mode) の動作の期間にチャンネル周波数分離 (channel frequency separation) を受け取るための送信チャンネルに一部は基づく請求項 20 の方法。

【請求項 23】

ジャマー検出値を生成するためのジャミング検出回路をさらに具備し、前記スイッチャ周波数セッティング値は、さらに前記ジャマー検出値に一部は基づく請求項 20 の方法。

【請求項 24】

前記ジャマー検出値は、前記受信チャンネル周波数からのジャマーオフセットの存在を表す請求項 23 の方法。

【請求項 25】

前記ジャマー検出値に応じて前記スイッチャ周波数セッティング値を生成することをさらに具備する請求項 24 の方法。

【請求項 26】

ジャミング検出回路およびスイッチング電圧レギュレータとともに動作するために構成されたプロセッサであって、

前記ジャミング検出回路からジャマー検出信号を受け取るための手段、および

前記スイッチング電圧レギュレータへの動作スイッチング周波数 (operating switching frequency) に関連したスイッチャ周波数セッティング値 (switcher frequency setting value) を生成するための、前記ジャマー検出信号に応答する手段

を具備するプロセッサ。

【請求項 27】

ジャマー検出回路およびスイッチング電圧レギュレータとともに動作するために構成されたプロセッサに対して、

前記ジャマー検出回路からジャマー検出信号を受け取らせ、および

前記ジャマー検出値および前記電流動作状態に応じて、前記スイッチング電圧レギュレータに関連した出力電圧を調整するための、前記スイッチング電圧レギュレータによる使用のためのスイッチャ周波数セッティング値を生成させるための命令 (instructions) を持つコンピュータ読取り可能媒体を含むコンピュータプログラムプロダクト。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は一般には集積回路に関わり、より詳細には無線通信デバイス内のスイッチング電圧レギュレータに関する。

【背景技術】

【0002】

無線通信デバイスは、電源供給のために電池または外部 DC 電源を必要とする。無線通信デバイス内には複数の集積回路 (ICs) がある。これらの ICs は、通常は、無線通信デバイスに取り付けられた電池 (battery) または外部 DC 電源よりもずっと低い DC 電圧で動作する。低動作電圧での集積回路動作を容易にするために、外部 DC 電源または電池の電圧を集積回路の低電圧に変化するためのスイッチング電圧レギュレータが普通は必要とされる。

【0003】

スイッチング電圧レギュレータは、電池電圧 (VBAT) と集積回路供給電圧 (VDD) との差が数百ミリボルトよりも大きい時に、最も高い出力効率を提供する。一つの特定の例においては、電池は公称電圧 3.6 の Li イオンセルからなり、そして、集積回路は 1.8 V で動作する。したがって、電池電圧と集積回路電圧との差は、3.6 V - 1.8 V、つまり、1.8 V である。この特定の例においては、スイッチング電圧レギュレータは線形レギュレータ上において強く好ましい。線形レギュレータは電池と負荷との間で、まる 1.8 V の降下を経験するであろう。線形レギュレータで消費される電力は 1.8 V * IDD (集積回路の負荷電流) である。それ自体としてはスイッチング電圧レギュレー

10

20

30

40

50

タは（負荷電流のワイドレンジ上で）集積回路で使用するエネルギーのたった10%を消費し得るが、線形レギュレータは負荷電流にかかわらず集積回路で使用するエネルギーの100%を消費するであろう。このような理由のため、スイッチング電圧レギュレータはしばしば無線通信デバイス内に使用される。

【0004】

スイッチング電圧レギュレータは、高い（higher）外部DC電源電圧と低い（lower）集積回路電圧との間でエネルギーを伝達するために、エネルギー貯蔵デバイス（インダクタまたはキャパシタ）と連動して一つまたは複数の電子スイッチを用いて、高い（higher）入力電圧と低い（lower）出力電圧との間で変換し得る。

【0005】

背景として、スイッチング電圧レギュレータ出力電圧（ V_o ）とスイッチング電圧レギュレータ入力電圧（ V_i ）との間の比は、スイッチング電圧レギュレータのためにデューティサイクル（ $D = V_o / V_i$ ）をセットする。スイッチング電圧レギュレータ周波数は、出力電圧リップル要求、スイッチング電圧レギュレータ内の直列のインダクタおよび負荷フィルタリングキャパシタのサイズ、出力DC負荷電流、および、スイッチング電圧レギュレータの所望の電力効率によって規定される（dictated）。スイッチング電圧レギュレータが他の無線周波数（RF）トランシーバ回路に結合される場合、スイッチング電圧レギュレータのスイッチ周波数は無線通信デバイス内の他のそのようなコンポーネントに干渉をもたらすことができる。この干渉はVDDおよびRFトランシーバ回路のアース接続上の電圧リップルとして現れる。この電圧リップルは離散周波数コンポーネント（components）からなる。各周波数コンポーネントはスイッチング電圧レギュレータのスイッチ周波数の調波（harmonic）である。各調波の電力レベルは、（i）スイッチング電圧レギュレータのスイッチ周波数のデューティサイクル、（ii）出力電圧の容量性フィルタリングの程度、さらに、（iii）スイッチング電圧レギュレータとRFトランシーバ回路との間のカップリングのタイプに依存する。

【0006】

無線周波数（RF）電圧制御オシレータ（複数）（VCOs）は一般にはRFトランシーバ回路内に組み込まれ、そして、通信信号（複数）をベースバンドから／へ（from/to）RFに／からに（to/from）アップコンバートまたはダウンコンバートするためのローカルオシレータ（複数）（L Os）として機能する。RF VCOに直接的または間接的に結合されたスイッチング電圧レギュレータを有する典型的なコンフィギュレーションにおいては、スイッチング電圧レギュレータの出力での電圧リップルは、スイッチング電圧レギュレータ周波数の調波に等しいオフセットでRF VCO出力上に周波数変調（FM）を作成するために、RF VCOの周波数同調素子電圧（frequency tuning element voltage）にコンバインし得る。スイッチング電圧レギュレータ誘発のRF VCO上のFMは、調波スプリアス・コンテンツ（harmonic spurious content）をRF VCOの基本出力キャリア周波数からのオフセットに出現させる。

【0007】

スイッチング電圧レギュレータにより誘起された、この（RF VCOに直接またはRF VCOに結合された）調波スプリアス・コンテンツは、ある動作条件下では、無線通信デバイスのパフォーマンスに干渉し得る。例えば、弱い受信強度、所望の受信チャネルからの特定周波数オフセットでの外部ジャマーの存在、および／または、フルデュプレックストランシーバ（full-duplex transceiver）内の受信パスへの送信漏れは全て、スイッチング電圧レギュレータの存在下で、無線周波数（radio frequencies）へまたはから（to or from）、にアップまたはダウン・コンバートされるアナログ信号上でより大きな（greater）干渉の寄与することができる。

【0008】

無線通信デバイス内のスイッチング電圧レギュレータによって生じたスイッチング周波数スプリアス・コンテンツの効果を低減するための周知の方法は、（i）パルス幅変調、パルス密度変調、または、周波数ホッピングを用いて、スイッチング電圧レギュレータの

10

20

30

40

50

周波数を連続的に調整すること； b) 無線通信デバイスの受信オンリーモード (receive only modes) の期間にスイッチング電圧レギュレータと線形レギュレータとを切り替えること (toggling)； および (i i i) 敏感な V C O および他のコンポーネントからできるだけ遠くにスイッチング電圧レギュレータを (改善されたアイソレーションのためにシールドイングおよび差動信号パスを用いて) 動かすことを含み、これらの全てはあるレベルの設計複雑さ (design complexity)、または、回路ボードまたは周回路エリアの能率的でない利用を導入する。

【 0 0 0 9 】

従来の技術に不利益を与えずに無線通信デバイス内のスイッチング電圧レギュレータから干渉の効果を低減するための改良方法 (improved way) が要求される。

10

【 発明の概要 】

【 0 0 1 0 】

スイッチング電圧レギュレータのスイッチャ周波数をインテリジェントに変えることにより、スイッチング電圧レギュレータからの干渉を軽減するための技術が提供される。一態様では、スイッチャ周波数は、プログラマブル・クロック・ディバイダ (programmable clock divider) への周波数セッティング入力を調整することにより設定される。さらなる態様では、プロセッサは、スイッチング電圧レギュレータに対しての所望のスイッチャ周波数を生成するための基準クロック周波数信号を分周するためのディバイディングファクタ (dividing factor) を表す値を受け取るプログラマブル・クロック・ディバイダを駆動する。プログラマブル・クロック・ディバイダの値は、最適なパフォーマンスを達成し、そして、所定の動作状態に対してのスイッチャ周波数スプリアス成分 (switcher frequency spurious content) の効果を軽減するために、選択的に変更される。

20

【 0 0 1 1 】

本開示のさまざまな他の態様および実施形態は以下にさらに詳細に説明される。

【 0 0 1 2 】

前記概要は、全範囲の代表および本開示の範囲であるとの意図もなく、また、そう解釈されるべきでもなく、これらと追加の態様は、詳細な説明から、特に添付した図面と結合された時には、より容易に明確になるであろう。

【 図面の簡単な説明 】

【 0 0 1 3 】

30

【 図 1 】 図 1 は、無線通信デバイスのブロック図である。

【 図 2 】 図 2 は、無線周波数 (R F) トランシーバのブロック図である。

【 図 3 】 図 3 は、無線周波数 (R F) ローカルオシレータ (L O) 発生ブロックの図である。

【 図 4 】 図 4 は、無線周波数電圧制御オシレータの概略図である。

【 図 5 】 図 5 は、 R F V C O 出力周波数対 R F V C O チューニング電圧 (V t) を示すグラフの例証である。

【 図 6 】 図 6 は、好ましい実施形態に従うスイッチング電圧レギュレータのブロック図である。

【 図 7 】 図 7 は、図 2 の受信信号処理ブロックのブロック図を示す。

40

【 図 8 】 図 8 は、 (i) R F L O 出力、 (i i) 送信 R F チャンネル漏れ、および (i i i) ジャマー存在下のレシーバ特性の上におけるスイッチング電圧レギュレータからの干渉のインパクトを示すグラフの例証である。

【 図 9 】 図 9 は、好ましい実施形態に従うスイッチング電圧レギュレータコントローラを利用したスイッチング電圧レギュレータのためのスイッチャ周波数を選択するプロセスの動作フロー図である。

【 図 1 0 】 好ましい実施形態に従う C D M A モードに対しての異なる動作周波数バンド内におけるスイッチング電圧レギュレータのための最適なスイッチャ周波数、 F s w を選択するプロセスの動作フロー図である。

【 発明を実施するための形態 】

50

【 0 0 1 4 】

理解を容易にするために、図面において共通の同じ要素を示すことが可能の場合、このような要素を区別するために添字が追加されることが適切であるときを除いて、同じ参照数字が用いられる。図面内のイメージは例証のために簡略され、必ずしも縮尺通りに描かれてはならない。

【 0 0 1 5 】

添付した図面は本開示の代表的なコンフィギュレーションを例証し、そして、そのようなことで、他の同様に有効なコンフィギュレーションを認め得る本開示の範囲を限定するとはみなされるべきではない。したがって、詳説が無くても、いくつかのコンフィギュレーションの特徴 (features) は他のコンフィギュレーション内に有利に組み込まれ得ると考えられる。

10

【 0 0 1 6 】

本明細書に述べられるデバイスはセルラ (cellular) 、 P C S および I M T などのさまざまな無線通信周波数バンドならびに C D M A 、 T D M A 、 F D M A 、 O F D M A および S C - F D M A などの無線インターフェースに使用可能である。セルラ、P C S または I M T ネットワーク標準および周波数バンドに加えて、このデバイスはローカル-エリアまたはパーソナル-エリアネットワーク標準、W L A N 、 B l u e t o o t h (登録商標) およびウルトラ-ワイドバンド (ultra-wideband (UWB)) に使用され得る。

【 0 0 1 7 】

示されるように図 1 は本実施形態に従う無線通信デバイス 1 0 のブロック図である。無線通信デバイス 1 0 は、 R F フロント-エンド 1 4 に接続された無線周波数 (R F) アンテナ 1 2 を含む。 R F フロント-エンド 1 4 は、送信および受信 R F 信号パス (path) を分離し、そして、増幅および信号分配 (signal distribution) を提供する。送信のための R F 信号、 T X _ R F 、 および、受信のための R F 信号、 R X _ R F は、トランシーバ 2 0 と R F フロント-エンド 1 4 との間を通過する。

20

【 0 0 1 8 】

トランシーバ 2 0 は、 R F からの R X _ R F 信号を、プロセッサ 7 0 によってベースバンド I / Q 復調のための信号にダウンコンバートするように構成され、それはベースバンドモデム等で構わない。トランシーバ 2 0 は、同様に、プロセッサ 7 0 からの信号を、ベースバンド I / Q 変調を用いて、 T X _ R F 信号にアップコンバートするように構成されている。ベースバンド I / Q 変調から / へとアップコンバートおよびダウンコンバートされる信号はトランシーバ 2 0 とプロセッサ 7 0 との間に接続されて示されている。

30

【 0 0 1 9 】

示されるようにメモリ 7 5 はプロセッサプログラムおよびデータを格納し、そして、単一の集積回路 (I C) として実施され得る。

【 0 0 2 0 】

プロセッサ 7 0 は、入ってくるベースバンド受信 I / Q 信号を復調し、ベースバンド送信 I / Q 信号をエンコードおよび変調し、そして、メモリ 7 5 などのストレージから、さまざまな回路ブロックを全て既知の方法で作動させるために、データを処理またはデータおよびコマンドを送るための、アプリケーションを実行するように構成されている。

40

【 0 0 2 1 】

加えて、プロセッサ 7 0 は、データバス、シリアルバス、または、専用の一組の信号を介してトランシーバ 2 0 へのコントロール信号を発生する。このようなコントロール信号は、例えば、トランシーバ 2 0 をオンおよびオフにチューニングすること、受信信号強度を測ること、送信 R F 信号電力または受信信号パス利得を設定すること、 R F チャンネルを変えること、受信信号ジャマーを検出すること、および、ハイパワーモードと電力セーブモードとの間で送信 / 受信信号ブロックをスイッチングすることを含み得る。

【 0 0 2 2 】

プロセッサ 7 0 はまたトランシーバ 2 0 の状態を読み、そして、同時にトランシーバ 2 0 から一つまたは複数の割り込み信号 (不図示) も受信する。割り込み信号はトランシー

50

バ 2 0 とプロセッサ 7 0 との間でコマンドおよびアルゴリズムを開始させる (initiate) ために用いられる。

【 0 0 2 3 】

プロセッサ 7 0、トランシーバ 2 0 およびメモリ 7 5 の一般的な動作は、当業者によってよく知られかつ理解され、そして、少数の (fewer) 集積回路 (ICs) または単一の IC 内を横断して、機能 (functions) を提供または組み合わせることを含む、関連した機能 (associated functions) を実行するためのさまざまな方法もまたよく知られていることは理解されるべきである。

【 0 0 2 4 】

図 1 のプロセッサ 7 0、トランシーバ 2 0、メモリ 7 5 および RF フロント-エンド 1 4 は一般に動作するために DC 電力供給を必要とする。DC 電力は慣習的には来はジェネリック (generic) DC 電力源 6 0 から供給される。DC 電力源 6 0 は外部 DC 電力供給 6 1 a (出力電圧は VEXT が付されている) またはバッテリー 6 1 b (出力電圧は VBAT が付されている) の一方で構成され得る。外部 DC 電力供給 6 1 a からの出力電圧 VEXT またはバッテリー 6 1 b からの出力電圧 VBAT のどちらも供給電圧をスイッチング電圧レギュレータ 4 0 中にドライブする。スイッチング電圧レギュレータ 4 0 は、VEXT または VBAT の出力電圧を、プロセッサ 7 0 (BB__VDD)、トランシーバ 2 0 (TCVR__VDD)、メモリ 7 5 (MEM__VDD) および RF フロント-エンド 1 4 (PA__VDD および VBIAS) の個々に電力を供給するための、個々の供給電圧に変換するように構成されている。スイッチング電圧レギュレータ 4 0 はまた他のブロックに必要な 20 に応じて供給電圧を提供し得る (不図示)。

【 0 0 2 5 】

スイッチング電圧レギュレータ 4 0 は、高い (higher) 入力電圧と低い (lower) 出力電圧との間でエネルギーを転送するために、スイッチャ (switcher) 周波数 (以下、"Fsw") で、エネルギー格納デバイス (インダクタまたはキャパシタ) と併せて一つまたは複数のスイッチをオンおよびオフに切り替えること (toggling) により、高い入力電圧と低い出力電圧との間で変換するように構成されている。

【 0 0 2 6 】

一態様においては、プロセッサ 7 0 は、スイッチング電圧レギュレータ 4 0 のスイッチャ周波数、Fsw をトランシーバ 2 0 の一つまたは複数の条件に依存してコントロールする 30 。本開示のバックグラウンドで前述したように、スイッチング電圧レギュレータ 4 0 はトランシーバ 2 0 動作と干渉し得る。

【 0 0 2 7 】

トランシーバ 2 0 条件は、受信信号バンド幅、動作周波数バンド (US セルラ、US PCS、IMT、・・・)、および受信ジャミング検出回路 (ジャマープレゼント (jammer present)、ジャマー電力レベル、所望の受信シグナルからのジャマー周波数オフセット) に関連した動作モード (CDMA、TDMA、FDMA、OFDMA、SC-FDMA、GPRS) を含む。

【 0 0 2 8 】

無線通信デバイス 1 0 内で、スイッチング電圧レギュレータ 4 0、トランシーバ 2 0 およびプロセッサ 7 0 は、基準クロック発信器 8 0 を共有する。基準クロック発信器 8 0 は、続く図 2、3 および 6 に示される、基準クロック周波数信号、REF__CLK、を発生 40 する。

【 0 0 2 9 】

RF フロント-エンド 1 4、トランシーバ 2 0、スイッチング電圧レギュレータ 4 0、メモリ 7 5 および基準クロック発信器 8 0 は、共通シリコン、セパレートパッケージデバイス (separate packaged device) のように共通パッケージ基板上の分かれたシリコン、または、それらの組合せで機能または回路設計の観点から適切なものの上に存在し得る。

【 0 0 3 0 】

示されるように図 2 は本実施形態に従う図 1 の無線周波数 (RF) トランシーバ (トラ 50

ンシーバ 20) のブロック図である。トランシーバ 20 は、送信信号処理ブロック 22、受信信号処理ブロック 24、RF ローカルオシレータ (RF LO) 発生ブロック 28、ならびに、コントロールおよびステータスブロック 26 を含む。コントロールおよびステータスブロック 26 は、ジャマー検出信号を含んでいるプロセッサ 70 に / から (to/from) デジタルコントロールロジックを提供する。RF LO 発生ブロック 28 中に基準クロック発信器 80 からの REF__CLK が供給される。

【0031】

トランシーバ 20 は一つの送信および受信信号処理ブロックしか示されていないが、多数の (multiple) 受信ブロック、多数の送信ブロックのいかなる組合せ、または、可能な送信および受信信号処理ブロック配置 (configurations) のいかなる数でもって存在し得る。例えば、送信信号プロセッサブロック 22 および受信信号処理ブロック 24 は別の機能のブロックとして示されているが、ハーフデュプレックス (half duplex) 無線デバイスモード内である程度は結合され (combined) 得る。同様に、RF LO 発生ブロック 28 は、送信信号処理ブロック 22 と受信信号処理ブロック 24 との間に配置された別の普通のブロックとして論理的には示されているが、他の配置 (configurations) も考えられる。

【0032】

示されるように図 3 は本実施形態に従う図 2 の無線周波数 (RF) ローカルオシレータ (LO) 発生ブロック 28 である。RF LO 発生ブロック 28 は、RX LO 発生ブロック 29 と TX LO 発生器 37 とを含む。RX LO 発生ブロック 29 は、RF PLL およびループフィルタを具備するチャンネル選択チューニングブロック 31 を含む。チャンネル選択チューニングブロック 31 は、基準クロック発信器 80 からの REF__CLK を、RF VCO 33 を所望の周波数にロックするための RF VCO 33 からの出力信号、RX__VCO と比べる。チャンネル選択チューニングブロック 31 からの出力、Vt は RF VCO 33 の出力信号 RX__VCO の周波数をチューニングするためのアナログコントロール信号である。

【0033】

出力信号 RX__VCO はさらに LO 発信ブロック 35 により処理され、そして、周波数は所望の受信 RF チャンネル周波数、RX__LO に変換される。LO 発信ブロック 35 は、さまざまな周波数多重または信号 RX__VCO と RX__LO の分割比を作成するための周波数分割器、周波数ミキサ、スイッチ、または、全ての三つのタイプの要素の組合せを用いて実施され得る。RX__LO 信号周波数は、特定の動作周波数バンド (US セルラ、US-PCS、IMT、GPS など) 内の所望の RX RF チャンネル周波数に等しい。RX__LO 信号は図 2 の受信信号処理ブロック 24 に接続される。

【0034】

TX LO 発生器 37 に対しての等価ブロックは簡潔のために示されていない。LO 発生ブロック 29 に対して示されたのと同様なブロックは、TX LO 発生器 37、ならびに、RX および TX の両方または RX のみの多重信号処理ブロックに対して必要されるのと同じ数の LO 発信ブロックに対して利用されることは容易に理解されるはずである。

【0035】

示されるように図 4 は本実施形態に従う図 3 の無線周波数電圧制御発信器、RF VCO 33 の概略図である。RF VCO 33 は、出力信号 RX__VCO の周波数をシフトするために二つのパラクタ要素 41 (VCAP 1 および VCAP 2) と並列な固定インダクタ Lvc0 43 を含む。この周波数 (ラジアン / 秒で) は $\{ 1 / (Lvc0 * Cvcap) \}^{1/2}$ に等しく、ここで、Cvcap は二つのパラクタ要素 41 (VCAP 1 および VCAP 2) のトータルのキャパシタンスである。周波数チューニングは、VCAP 1 および VCAP 2 を横切る入力であるチャンネル選択チューニングブロック 31 からの出力、Vt を調整することでトータルのキャパシタンスを変えることで成し遂げられる。図 3 に示すように、RF VCO 33 の出力、RX__VCO は、それから、もとのチャンネル選択チューニングブロック 31 へと、そして、LO 発信ブロック 35 へと入力される。

【 0 0 3 6 】

図 4 に示された回路は、R X および T X の両方の多重パス (multiple paths) のために必要とされるのと同じ数の R F V C O (複数) を横切って適用し得る。また、一つの R F V C O は、多重周波数バンド内の同時動作が要求されない限りは、多重モードおよび動作バンドをカバーし得る。R F V C O の出力周波数をシフトできる他の回路トポロジーも知られているが、機能的には同等である。

【 0 0 3 7 】

図 5 は本実施形態に従う R F V C O 出力周波数対図 4 のチューニング電圧 (V_t) のグラフの例証である。この例の設計では、R F V C O 33 の周波数チューニングレンジは、0 と . 7 ボルト D C との間のチューニング電圧、 V_t によって連続的に調整できる。 V_t チューニングスロープ ($K_v = \text{MHz} / \text{V}$) および絶対周波数チューニングレンジは回路トポロジーおよび要素値を変えることで変更され得るが、機能的には同等である。

【 0 0 3 8 】

図 5 から明らかのように、 V_t チューニングスロープ ($K_v = \text{MHz} / \text{V}$) は非常に大きい (約 $K_v = 5, 000 \text{ MHz} / \text{V}$)。大きな V_t チューニングスロープの結果として、R F V C O 33 は、チューニング電圧、 V_t 上のノイズに敏感である。例えば、もし、 2 MHz (F_{sw}) で $1 \mu\text{V}$ (一ボルトの百万分の一) の正弦波リップルが 0.2 V D C チューニング電圧を連れた V_t 上に結合されると、R F V C O 33 出力は、 2 MHz 毎に間隔をあけたスペクトル成分 (スプリアス成分 (spurious content)) を連れた 2.57 GHz の基本周波数からなる。

【 0 0 3 9 】

スプリアス成分の相対振幅 (relative amplitude) は、R F V C O 33 の周波数変調 (F_M) に対してのベッセル関数 J_n (beta) を用いて計算され得れ、ここで、 n はスイッチング電圧レギュレータ 40 に対してのスイッチャ周波数、 F_{sw} の調波インデックス (harmonic index) (1, 2, 3...) に等しく、そして、beta は変調インデックス ($\text{beta} = K_v * \text{ripple} / F_{sw}$) である。 $K_v = 5000 \text{ MHz} / \text{V}$ 、電圧リップル = $1 \mu\text{V}$ 、および、 $F_{sw} = 2 \text{ MHz}$ の値に対して、R F V C O 基本周波数から 2 MHz オフセットの第 1 のスペクトル・コンポーネント ($n = 1$) は 58 dBc となる。

【 0 0 4 0 】

V_t 上により多くの電圧リップルが結合すると、R F V C O 33 出力上で測定されるスプリアス成分の振幅も相対振幅において増大する。次に図 7 および 8 において示されるように、スプリアス成分は異なる動作条件下のトランシーバ 20 の無線特性 (radio performance) を下げ得る。

【 0 0 4 1 】

図 6 は、図 1 の好ましい実施形態に従うスイッチング電圧レギュレータ 40 の概略図である。スイッチング電圧レギュレータ 40 は、図 1 の電力源 61b からの電圧源入力、 V_{BAT} と、トランシーバ 20 に対しての電圧出力 $TCVR_VDD$ と、R F フロント-エンド 14 に対しての PA_VDD および $VBIAS$ と、プロセッサ 70 に対しての BB_VDD と、図 1 のメモリ 75 に対しての MEM_VDD を含む。図 1 のスイッチャ 40 またはプロセッサ 70 のいずれかに選択されたなら、代替の入力電圧 $VEXT$ もまた使用され得る。 PA_VDD 、 $VBIAS$ 、 BB_VDD および MEM_VDD などの個々の出力電圧は、異なる供給電圧が必要ならば、追加のスイッチング電圧レギュレータにより別々に発生させられても構わない。

【 0 0 4 2 】

スイッチング電圧レギュレータ 40 の入力と出力、 $VEXT$ と $TCVR_VDD$ (PA_VDD 、 $VBIAS$ 、 BB_VDD および MEM_VDD と一緒に) との間は、それぞれ、スイッチング電圧レギュレータ・コントローラ 63、プログラマブル・クロック・ディバイダ (programmable clock divider) 64、直列インダクタ L_{sw} 65 およびフィルタリング・キャパシタ C_{sw} 67 と一緒にスイッチ 61a および 61b である。

【 0 0 4 3 】

スイッチング電圧レギュレータ・コントローラ 63 は、基準電圧発生器 62 の出力電圧に基づいて、出力電圧 $TCVR_VDD(PA_VDD、VBIA S、BB_VDD$ および MEM_VDD と一緒に) を、プログラマブル電圧セッティング値と比べ、そして、出力電圧、 $TCVR_VDD(PA_VDD、VBIA S、BB_VDD$ および MEM_VDD と一緒に) が、プログラマブル電圧セッティング値に収束するように、S1 および S2 のデューティサイクルを調整する。プログラマブル電圧セッティング値は、プロセッサ 70 により設定され、または、スイッチング電圧レギュレータ 40 の内部で固定値となるハードウェア構成にすることができる。スイッチング電圧レギュレータ・コントローラ 40 へのスイッチャ周波数、 F_{sw} は、プログラマブル・クロック・ディバイダ 64 に対してのスイッチャ周波数セッティング値により設定される。

10

【0044】

プログラマブル・クロック・ディバイダ 64 は、スイッチ 61a および 61b をコントロールするために用いられる、 REF_CLK (この例では基準クロック発信器 80 からの) と、スイッチャ周波数、 F_{sw} との間の整数周波数 (integer frequency) ディバイダで構わない。一実施形態において、 REF_CLK 出力周波数は 19.2 MHz であり、そして、プログラマブル・クロック・ディバイダ 64 は、次に示す図 9 のプロセスに依存して異なる三つの周波数設定値 (6, 7, または 8 によって分割) の間に設定される。

【0045】

スイッチング電圧レギュレータ 40 は、図 1 および 6 に示される供給電圧 $TCVR_VDD$ を介して直接的にトランシーバ 20 に結合される。スイッチング電圧レギュレータ 40 のスイッチャ周波数、 F_{sw} は、トランシーバ 20 のパフォーマンスに干渉し得る。干渉は $TCVR_VDD$ 上の電圧リップルとしてあらわれる。電圧リップルは離散的な周波数コンポーネントからなる。各周波数コンポーネントは、スイッチング電圧レギュレータ 40 のスイッチャ周波数、 F_{sw} の調波 (harmonics) である。各調波のパワーレベルは、(i) スwitchング電圧レギュレータ 40 のスイッチャ周波数、 F_{sw} のデューティサイクル、(ii) 出力電圧 $TCVR_VDD$ の容量的フィルタリング (capacitive filtering) の度合い、他に、(iii) $TCVR_VDD$ とトランシーバ 20 内の敏感な回路 (sensitive circuits) との間の結合の法方に依存する。

20

【0046】

図 5 を参照して前に述べたように、ランシーバ 20 内の最も敏感な回路は RF_VCO_{33} である。スイッチング電圧レギュレータ 40 のスイッチャ周波数、 F_{sw} の調波に等しい周波数オフセットで、 RF_VCO_{33} 出力、 RX_VCO の周波数変調 (FM) を生成するために、スイッチング電圧レギュレータ 40 の出力での電圧リップルは、 RF_VCO_{33} のチューニング電圧、 V_t にコンバインし得る。

30

【0047】

スイッチング電圧レギュレータ 40 のスイッチャ周波数、 F_{sw} は、(直接的に、または、 RF_VCO_{33} に結合されて) ある動作条件下の無線通信デバイス 10 のパフォーマンスに、干渉し得る。現在の好ましい実施形態に従う図 1 および図 6 に示されるスイッチング電圧レギュレータ 40 に対して動作しているスイッチャ周波数を調整的に選択するための技術が異なる動作条件に対して説明される。

40

【0048】

スイッチング電圧レギュレータ 40 が図 1 の無線通信デバイス 10 の一部である場合、第 1 の動作条件は電流動作技術モード (current operating technology mode) (GSM (登録商標)、 $CDMA$ 、 $WCDMA$ 等) に基づく。各技術モードは予め定められた RF チャンネルバンド幅 (F_{ch}) に関連されている。 GSM (登録商標) に対しては、 RF チャンネルバンド幅 (F_{ch_gsm}) は 1.23 MHz である。 $CDMA$ に対しては、 RF チャンネルバンド幅 (F_{ch_cdma}) は 1.23 MHz である。 $WCDMA$ に対しては、 RF チャンネルバンド幅 (F_{ch_wcdma}) は 3.84 MHz である、等である。

【0049】

ここでの一態様は、与えられた技術モードに関連されている、スイッチング電圧レギュ

50

レータ 40 のスイッチャ周波数, F_{sw} は、RF チャンネルバンド幅の半分よりも大きくなるように調整される ($F_{sw} > F_{ch} / 2$)。このスイッチャ周波数調整は、トランシーバ 20 上のスイッチング電圧レギュレータ 40 干渉が、ベースバンドアナログ受信信号 (図 2 の RX_I_FILT および RX_Q_FILT) および送信信号 (図 2 の TX_I , TX_Q) 上に現れることを低減または除去する。

【0050】

フルデュプレックスモード (full duplex mode) で動作している無線通信デバイス 10 の場合、スイッチング電圧レギュレータ 40 のスイッチャ周波数を RF チャンネルバンド幅の半分よりも大きく ($F_{sw} > F_{ch} / 2$) 設定することは、特に干渉を緩和するのに役立つ。フル・デュプレックスモードの一例は、送信 RF チャンネル (F_{tx} での) と受信 RF チャンネル (F_{rx} での) との間の周波数分離が D に等しく ($D = F_{rx} - F_{tx}$)、そして、送信および受信 RF チャンネルがともに同時にアクティブの場合である。 D は無線通信デバイス 10 と関連する動作周波数バンドに基づいて設定される。単一周波数バンドの無線通信デバイス 10 においては、RF 動作バンドは、技術モード (US セルラ、US PCS、IMT バンド内の CDMA など) に対して重要な一つの周波数バンドのみを含む。マルチ・周波数バンドの無線通信デバイス 10 (例えば、US セルラ、US PCS および / または CDMA (IMT) 能力) においては、動作周波数バンドは、いくつかの可能な周波数バンドの一つである。US セルラに対して、 $D = 45 \text{ MHz}$ 、US PCS に対して、 $D = 80 \text{ MHz}$ である。IMT バンド内の CDMA に対して、 $D = 190 \text{ MHz}$ である、等である。

【0051】

理想的な状況では、送信 RF チャンネル (F_{tx} での) はスプリアス成分 (スイッチング電圧レギュレータ 40 からの) とミックスしてはならない、それは受信 RF チャンネル周波数で (F_{rx} で) 干渉を生成する可能性があるからである。スイッチング電圧レギュレータ 40 のスイッチャ周波数, F_{sw} は、実際は、 $D - F_{ch} < N * F_{sw} < D + F_{ch}$ となるような周波数の範囲内に入ってはならない、ここで $N * F_{sw}$ は D に最も近い整数スイッチャ周波数調波 (integer switcher frequency harmonic) の周波数の範囲である。ここでの態様に従いスイッチャ周波数を選択することにより、スイッチング電圧レギュレータ 40 から送信 RF チャンネルおよび受信 RF チャンネルのどちらの上への干渉は緩和される。

【0052】

示されるように図 7 は本実施形態に従う図 2 の受信信号処理ブロック 24 のブロック図である。受信信号処理ブロック 24 は、 RX_RF_I/Q ダウンコンバータ 55、一対のベースバンドアナログローパスフィルタ 57a および 57b、ならびに、ジャミング検出ブロック 59 を含む。代替の実施形態は、低ノイズ増幅器、RF フィルタリング、多重 RF バンド、および、種々の形態のコントロール回路を含み得る。

【0053】

I/Q ダウンコンバータ 55 内のダイレクト変換 (RF からベースバンド) ミキサを用いて受信 RF 信号をダウンコンバートする前の RX バンド外の干渉と同様に、(図 1 の) RF フロント-エンド 14 からの RX_RF 信号は、 I/Q ダウンコンバータ 55 中に供給される。(トランシーバ 20 またはプロセッサ 70 上で) アナログで、または、(トランシーバ 20 またはプロセッサ 70 上で) アナログ・デジタル・コンバータを伴う変換後の) デジタル領域 (digital domain) でさらに処理する前に、 I/Q ダウンコンバータ 55 の出力, RX_I および RX_Q は、ローパスフィルタ 57a および 57b によってフィルタされる。図 7 には示されていないが、ローパスフィルタ 57a および 57b は、プロセッサ 70 内でのアナログ・デジタル変換の前に、 RX_I_FILT および RX_Q_FILT の振幅を調整するための、固定または可変のゲインを含んでも構わない。

【0054】

ジャミング検出ブロック 59 はジャマー検出信号を送り、選択された受信信号からの周波数オフセットであるジャマーが現れた時に、その値はプロセッサ 70 に伝達する。ジャミング検出ブロック 59 は、 RX_I_FILT および RX_Q_FILT からのオフセ

10

20

30

40

50

ットのジャマーの出現を周波数内で検出するために、アナログローパスフィルタ 57 a および / または 57 b の前または後で、ベースバンドアナログ領域 (baseband analog domain) 内で測定を行っても構わない。代わりに、ジャミング検出ブロック 59 は、プロセッサ 70 内でデジタル領域内で実行されても構わなく、または、トランシーバ 20 とプロセッサ 70 との間で分けられても構わない。

【0055】

所望の受信 RF チャンネルからの一つまたは二つの異なる周波数オフセットでの RX_RF 信号経路内での一つまたは二つのジャマーの出現は、(図 2 - 4 の) RX_VCO および RF_LO 信号上に現れるスプリアス成分とミックスされた時に、所望の RF チャンネルと干渉し得る。この望まないミキシングプロダクト (mixing product) は、ベースバンド受信信号経路 (図 7 の RX_I , RX_Q , RX_IFILT および RX_Q_FILT) で測定された受信信号バンド幅内に入り得る。

【0056】

ここでの他の態様において、スイッチング電圧レギュレータ 40 のスイッチャ周波数は、ベースバンド受信信号経路内に一つまたは複数のジャマーが所定よりも上そして検出可能なしきい値で現れた時に、ベースバンド受信信号経路中のこの干渉を、緩和するように設定される。受信信号処理ブロック 24 に作用している図 2 および図 8 に関連した上述のスプリアス成分問題はグラフィカルに例証することが可能である。

【0057】

示されるように図 8 は、図 1 - 7 のジャマーの存在下における、(i) RF_LO 出力、(ii) 送信 RF チャンネル漏れ、および (iii) レシーバ特性に対しての、スイッチング電圧レギュレータからの干渉の影響を示している、グラフィカルな例証である。例証 90 は (図 7 の) I/Q ダウンコンバータ 55 への入力としての、 F_{rx} で受信信号、 F_{tx} で送信信号漏れ、および、(図 7 のブロック 35 からの) F_{j1} でジャマー信号を持った増幅された / フィルタされた RX_RF 信号入力を含む。例証 90 はまた (図 7 の) I/Q ダウンコンバータ 55 への第 2 の入力としての、 $N * F_{sw}$ (ここで $N = -2, -1, +1, +2, +3$ および $+4$) に対応する周波数オフセットにスイッチャ周波数スプリアス成分を持った (図 3 のブロック 35 からの) RX_LO 信号を含む。例証 90 はまた同相 (the in-phase) または図 7 の I/Q のダウンコンバータ 55 の I ダウンコンバータからの RX_I 信号を含む。

【0058】

例証された RX_I 信号は、 I/Q ダウンコンバータ 55 ベースバンド出力での LO RX_RF および RX_LO 入力信号のミキシングプロダクト (mixing product) を示している。所望の受信ベースバンドチャンネル、 RX_I 信号経路中の RX_BB は DC で集中される (centered)。 RX_BB 信号バンド幅より上の周波数で、 $J1$ 周波数でのジャマーに対してのオフセット (offsets) にてスペクトル・コンポーネント (spectral components) があり、および、 D_{tx} 周波数にて TX 信号漏れがある。加えて、受信チャンネル、 RX_BB 、特に、 $J1 - 3 * F_{sw}$ および $D_{tx} - N * F_s$ (ここで N は整数、 $N * F_s$ はスイッチング電圧レギュレータ 40 のスイッチャ周波数の調波 (harmonic)) 内に入るスプリアス成分がある。受信チャンネルバンド幅内のスプリアス成分は、 RX_BB 信号を変調する前は、フィルタまたは除去することができず、そして、プロセッサ 70 による適切な RX_BB 復調と干渉する。

【0059】

TX および RX 周波数の間の周波数バンドオフセットに依存して、スイッチング電圧レギュレータ 40 のスイッチャ周波数 (F_{sw}) およびオフセットジャマー周波数 (この例では $J1$) は、 I/Q ダウンコンバータ 55 (RX_I または RX_Q) のベースバンド出力にて測定されるように受信信号処理干渉の多重のソース (multiple source) があり得る。以下にさらに詳細に説明するように、スイッチング電圧レギュレータ 40 のスイッチャ周波数、 F_{sw} を調整することにより、受信信号処理干渉は異なる動作条件に対して最小化され得る。

10

20

30

40

50

【0060】

図9は、好ましい実施形態に従うスイッチング電圧レギュレータコントローラを利用したスイッチング電圧レギュレータのためのスイッチャ周波数を選択するプロセスの動作フロー図である。動作フロー図100は、現在の動作条件（例えば、現在の動作バンド、動作モードおよび/またはジャマー検出値）を特定するプロセッサ70から始まる（ブロック101）。プロセッサ70はそれから現在の動作条件に基づいてスイッチャ周波数セッティング値を生成する（ブロック103）。プログラマブル・クロック・ディバイダ64は、基準周波数クロック信号、REF__CLKと一緒にスイッチャ周波数セッティング値を受け取りそして処理して、所望のスイッチング周波数を発生する（ブロック105）。スイッチング電圧レギュレータ・コントローラ63は、スイッチ信号を発生するために、プログラマブル・クロック・ディバイダ64からスイッチング周波数、例えばプロセッサ70から電圧セッティング値、および、基準電圧発生器62から信号を受け取る（ブロック107）。スイッチ信号は、スイッチング電圧レギュレータ40の出力電圧を調整する効果を有するスイッチ（61a, 61b）を切り替える（toggle）ために用いられる（ブロック109）。現在の動作条件が変化したなら、いつでも、動作フロー図100はリスタートしても構わない（ブロック101に戻る）。マルチバンドCDMA無線通信デバイスに対してのより具体的な動作フロー図を以下にさらに説明する。

10

【0061】

図10は、好ましい実施形態に従うCDMAモードに対しての異なる動作周波数バンド内におけるスイッチング電圧レギュレータのための最適なスイッチャ周波数、F_{sw}を選択するプロセスの動作フロー図である。動作フロー図200はスタートブロック（ブロック201）から始まり、その後、使用される特別な動作バンドのためのトランシーバ20内の一つまたは複数のレジスタをプログラミングすることが続く（ブロック203）。いったん動作バンドが決定されると、スイッチング電圧レギュレータ40のスイッチャ周波数（F_{sw}）が2.4MHz（CDMA PCSバンド）、2.74MHz（CDMA 450/800バンド）または3.2MHz（CDMA IMTバンド）に等しくなるように、19.2MHzの基準クロック周波数信号、REF__CLKに基づいて、スイッチング電圧レギュレータ40内の、プログラマブル・クロック・ディバイダ64は、異なる三つの値6, 7または8の一つに設定される（ブロック205）。

20

【0062】

スイッチャ周波数、F_{sw}は、複数（multiple）のパラメータに基づき計算される。第1の基準（criterion）は所望のチャンネルバンド幅（CDMAに対してF_{ch}=1.23MHz）である。図1、2、7、および8に示されるように、スイッチングノイズがベースバンドI/Oアナログ信号中に直接的に結合しないことを保証するために、F_{sw}は、F_{ch}の半分よりも大きくなければならない。下の表1は動作モードに対するF_{ch}を示す。追加の動作モードが含まれていても構わない。動作フロー図200は一つの動作モード、CDMAに簡略化されている。レシーバ入力に現れる送信信号漏れおよび/またはジャミングトーン（jamming tones）があるとき、スイッチャ周波数、F_{sw}はより高い値に調整されるという追加の基準を必要とするであろう。

30

【表 1】

動作モード	チャンネルバンド幅 Fch
GSM/EDGE	200 kHz
CDMA	1.23 MHz
UMTS	3.92 MHz

表1.例 動作のモードとチャンネルバンド幅(Fch)

10

【0063】

第2の基準は(CDMA等のフルデュプレックスシステムにおける)送信RFチャンネル漏れが受信RFチャンネルをそこなわない(not corrupt)ことである。前述したように、RF LO発生ブロック28はスイッチャ周波数電圧リップルに汚染され、そして、スイッチング電圧レギュレータ40からの調波周波数(harmonic frequencies)に対応している。もし、スイッチャ周波数調波(switche frequency harmonic)が送信RFおよび受信RFチャンネル間の周波数分離に近い周波数オフセットであると、特定のスイッチャ調波は、(スイッチャ周波数電圧リップルがRF VCO33(RX__VCOおよびRX__LO信号)中に結合した後)I/Qダウンコンバータ55での送信RFチャンネル漏れとミックスし、そして、受信信号処理干渉(receive signal processing interference)を発生させるであろう。同様に、スイッチャ周波数電圧リップルおよび対応する調波周波数はTX LO発生器37内のRF VCOに結合することができ、そして、トランシーバ20の送信信号処理ブロック22の出力内にスプリアス成分を生成することができる。この送信スプリアス成分は受信RFチャンネル内に入ることができ、そして、受信RFチャンネル干渉を生成することができる。

20

【0064】

異なる動作バンドに対してRFチャンネル分離を送るための受信RFチャンネルを以下の表2に示す。 F_{sw} が方程式ここでは $|N * F_{sw} - D| > F_{ch} / 2$ (ここでNは整数)を保証することにより、図7-8に示されるように、スイッチャ周波数調波は受信ベースバンドI/Qアナログ信号、RX__Iおよび/またはRX__Q中に直接的に結合しなくなるはずである。

30

【表 2】

動作バンド	RX TX分離 D
CDMA450	10 MHz
US Cellular	45 MHz
US PCS	80 MHz
IMT	190 MHz

表2.例 動作のモードとRX-TXチャンネル分離(D)

40

50

【 0 0 6 5 】

第3の指針は、所望の受信RFチャネルと周波数が近いジャミング干渉の存在に基づく。(RF VCO 33上に結合された)基本のスイッチャ周波数は、ベースバンドチャネルバンド幅(図8のRX_BB)内に干渉を生成するために、フィルタで除去(filter out)または削除(eliminate)できないオフセットジャミングトーン(RFでF_{J1}、図8のベースバンドでJ1)とミックスすることができる。異なる動作バンドおよびモードに対する受信信号処理ブロック24ジャミング仕様は、公になった最小特性基準(published minimum performance standards)に応じるように適用し得る。CDMAの場合、所望のRX RFチャネルからのジャマー周波数オフセット(シングルトーンテストに対してはJ1オフセットまたはツートンテストに対してはJ1+J2オフセット)は、以下の各周波数バンドにつき以下の表3のように明示される。

10

【表3】

CDMAバンド	J1周波数オフセット	J2周波数オフセット
CDMA450	900 kHz	1.7 MHz
US Cellular	900 kHz	1.7 MHz
US PCS	1.25 MHz	2.05 MHz
IMT	2.5 MHz	4.9 MHz

20

表3.異なるCDMA動作バンド(J1またはJ1+J2)に対するジャミングオフセット

【 0 0 6 6 】

受信信号処理ブロック24が(図7の)ジャミング検出回路59を有するとすると、スイッチャ周波数は $F_{sw} > (J1 \text{ または } J2) + F_{ch} / 2$ となるように調整され得る。許可された最大スイッチャ周波数に依存して、J1またはJ2周波数オフセットは、上記の F_{sw} 式に対して表3から選ばれ得る。第2または第3の指針の両方を満足するスイッチャ周波数があれば、ジャミング干渉の存在はTX信号漏れ(第2の指針)に優先する。

30

【 0 0 6 7 】

19.2 MHzのクロック周波数信号, REF_CLKが(図6の)プログラマブル・クロック・ディバイダ64に入力されるとして前記三つの制約を適用すると、表4に示されるように、CDMAにおける多重の(multiple)動作条件に対して、最適なスイッチャ周波数, F_{sw} は計算され得れ、そして、格納され得る。2.4 MHzは19.2 MHzを8で割ることにより、2.74 MHzは19.2 MHzを7で割ることにより、そして、3.2 MHzは19.2 MHzを6で割ることにより発生させられる。一実施形態では、6, 7, および8のスイッチャ周波数値は、ジャマーの有りおよび無しの異なるCDMA周波数バンドに対して選択される。

40

【表 4】

CDMA バンド	ジャマーなし	ジャマーあり	スイッチャ周波数値
CDMA450	2.74 MHz	2.74 MHz	7
US Cellular	2.74 MHz	2.74 MHz	7
US PCS	2.4 MHz	2.74 MHz	8(ジャマーなし) 7(ジャマーあり)
IMT	3.2 MHz	3.2 MHz	6

表4.ジャマー干渉ありとなしの異なるCDMA動作バンドに対するスイッチング周波数,F_{sw}

【0068】

ひとたび F_{sw}がプログラムされると、ジャミング検出回路 59 は、ポーリングされる (poll ed) か、または、干渉 (ブロック 107) として用いられるかのどちらかである。

【0069】

(表 4 に従う) CDMA - PCS モードにおいてジャマー検出信号がアクティブ (高ロジックレベル) のとき、スイッチャ周波数を 8 から 7 に変えることにより、スイッチャ周波数 (F_{sw}) は 2.4 MHz から 2.74 MHz (ブロック 109) に変えられる。ひとたびジャマーがもはや現れなくなると、ジャマー検出は、低ロジックレベルに遷移し、そして、スイッチャ周波数を 8 に変えることにより (ブロック 105 が繰り返される)、スイッチャ周波数 (F_{sw}) は 2.4 MHz に戻り、そして、ジャミング検出回路 59 はモニタリングを続ける (ブロック 107 等)。利用できる基準信号周波数信号、REF__CLK、および、前記三つの基準が最適に満たされるようなプログラマブル・クロック・ディバイダ 64 に対してのディバイダ比 (divider ratios) に依存して、他のスイッチャ周波数は用いられ得る。

【0070】

信号は、さまざまな異なる技術の任意のものを用いて表され得ることが、当業者に理解されるであろう。例えば、上記記載を全体にわたって言及されるデータ、命令 (instructions) は、電圧、電流、電磁波、磁界または光粒子、またはこれらを組み合わせたものによって表され得る。

【0071】

本書類内の開示に関連して説明されたさまざまな例示的な無線周波数またはアナログ回路ブロックは、本開示で述べられたのと同じ機能を実行するとともに、ロジック回路およびシステムと分離または組み合わせられた、さまざまな異なる回路トポロジー、一つまたは複数の集積回路にて実行され得ることが、当業者にさらに理解されるであろう。

【0072】

本書類内の開示に関連して説明されたさまざまな例示的な論理的なブロック、モジュール、回路およびアルゴリズムステップは、電子的なハードウェア、コンピュータソフトウェア、またはこれらの組み合わせとして実行され得ることが、当業者にさらに理解されるであろう。このハードウェアとソフトウェアとの互換性 (interchangeability) を明確に示すために、種々の例示的なコンポーネント、ブロック、モジュール、回路、およびステップは、全般的にそれらの機能性の観点から、上記では説明してきた。そのような機能性がハードウェアで実行されるかソフトウェアで実行されるかは、特定のアプリケーションおよび全体のシステムに課せられた設計の制約に依存する。当業者は、前記記載された機能性を、各特定のアプリケーションにつき種々の方法で実行し得り、しかし、そのような実行の決定は、本開示の範囲からの逸脱を生じざるものとして解釈されるべきではない。

10

20

30

40

50

【 0 0 7 3 】

本書類内の開示に関連して述べられたさまざまな例示的な論理的なブロック、モジュール、および回路は、本書類内に述べられた機能を実行するように設計された汎用プロセッサ、デジタルシグナルプロセッサ（DSP）、特定用途向け集積回路（ASIC）、フィールドプログラマブルゲートアレイシグナル（FPGA）、またはその他のプログラマブル論理デバイス、ディスクリートゲートまたはトランジスタロジック、ディスクリートハードウェア部品、またはこれらを組み合わせたものによって、実装または実行され得る。汎用プロセッサは、マイクロプロセッサであっても良いが、代わりに前記プロセッサは従来のプロセッサ、コントローラ、マイクロコントローラ、またはステートマシンのいずれであっても構わない。プロセッサはまた、コンピューティングデバイスを組み合わせたものとして実装されても構わなく、例えば、DSPとマイクロプロセッサ、複数のマイクロプロセッサ、DSPコアと接続された一つ以上のマイクロプロセッサ、またはその他のそのような構成を組み合わせたものである。

10

【 0 0 7 4 】

本書類内の開示に関連して述べられた方法またはアルゴリズムのステップは、ハードウェア、プロセッサによって実行されるソフトウェアモジュール、またはこれら2つを組み合わせたものによって、直接的に具体化され得る。ソフトウェアモジュールは、RAMメモリ、フラッシュメモリ、ROMメモリ、EPROMメモリ、EEPROMメモリ、レジスタ、ハードディスク、取外し可能ディスク、CD-ROM、または当技術分野で知られている任意の他の形態の記憶媒体内に存在してもよい。例示的な記憶媒体は、プロセッサが、記憶媒体から情報を読み出し、記憶媒体に情報を書き込むことができるようにプロセッサに結合されている。代替法では、記憶媒体は、プロセッサと一体であってもよい。プロセッサおよび記憶媒体は、ASIC内に存在してもよい。ASICはユーザー端末内に存在してもよい。代替法では、プロセッサおよび記憶媒体は、ユーザー端末内でディスクリートコンポーネントとして存在してもよい。

20

【 0 0 7 5 】

本開示の先の説明は、任意の当業者が本開示を作製かまたは使用することを可能にするために提供されている。本開示に対する種々の変更は、当業者に容易に明らかになり、そして、本書類で規定される一般的な原理は、本開示の範囲から逸脱することなく、他の変更にも適用されてもよい。したがって、本開示は、本書類で説明された例および設計に限定されることを意図されるのではなく、本書類に開示される原理および新規な特徴に一致する最も広い範囲に一致することを意図される。

30

【図 1】

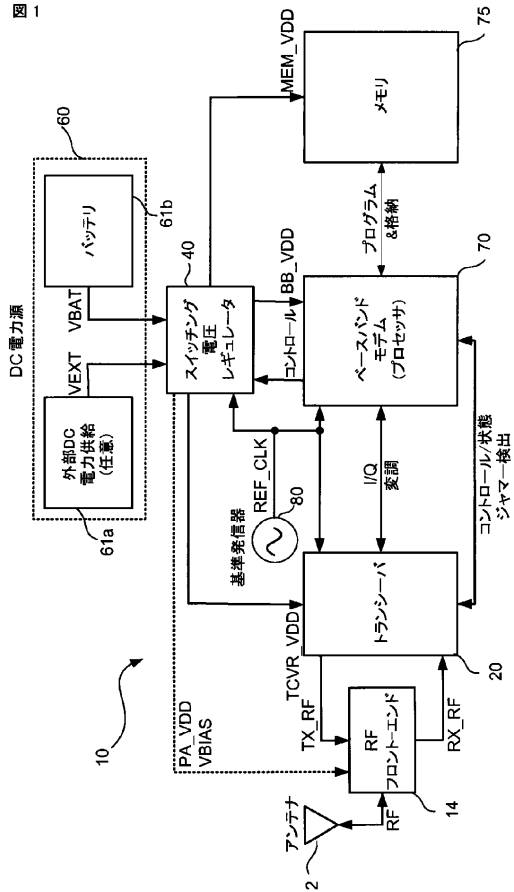


FIG. 1

【図 2】

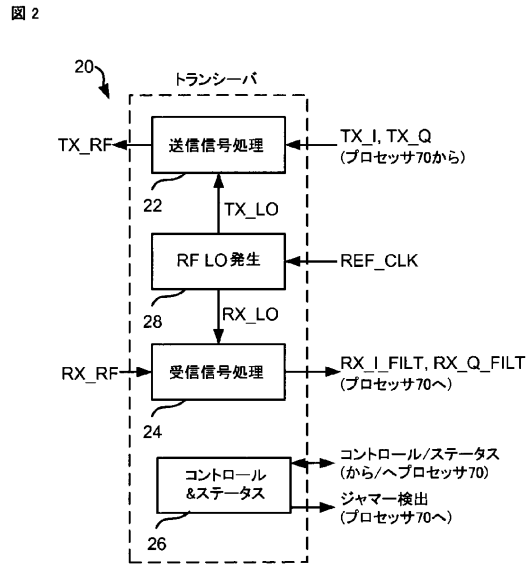


FIG. 2

【図 3】

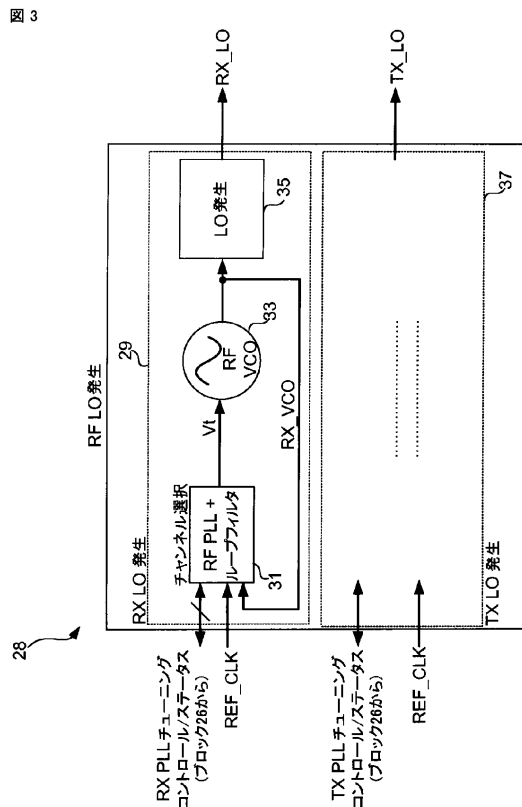


FIG. 3

【図 4】

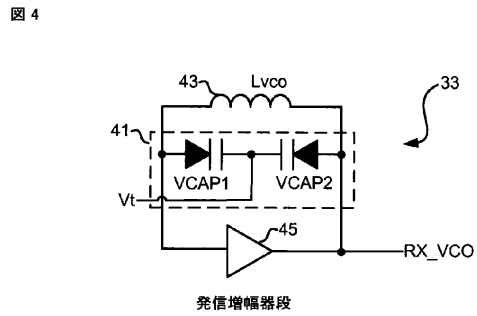


FIG. 4

【図 5】

図 5

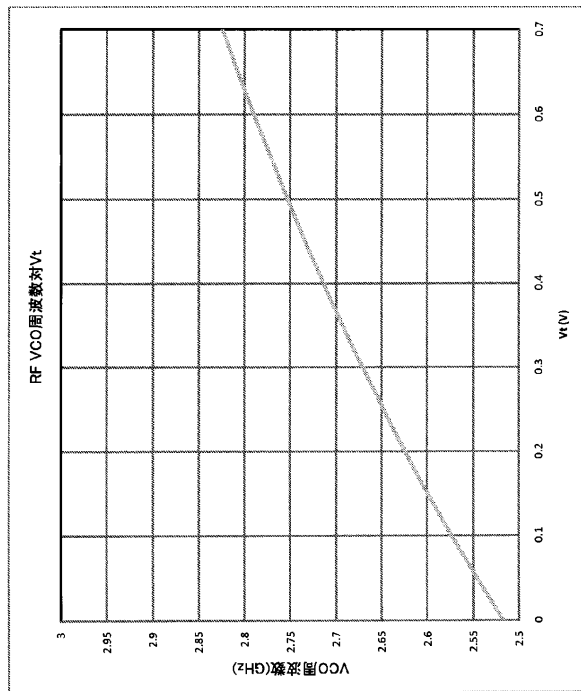


FIG. 5

【図 6】

図 6

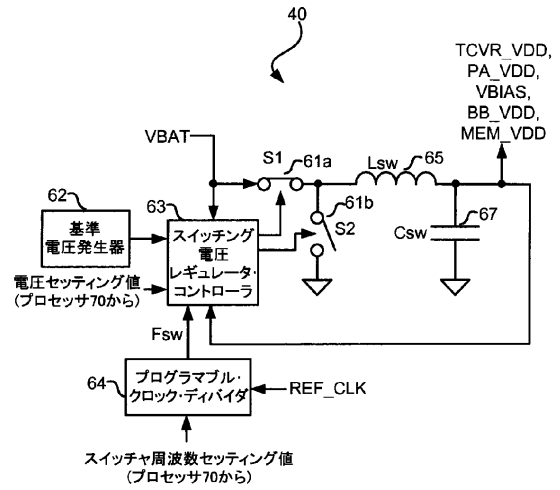


FIG. 6

【図 7】

図 7

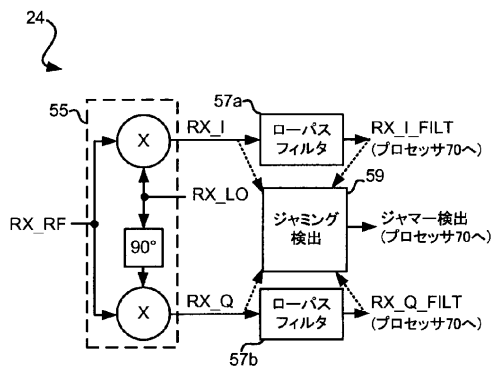


FIG. 7

【図 8】

図 8

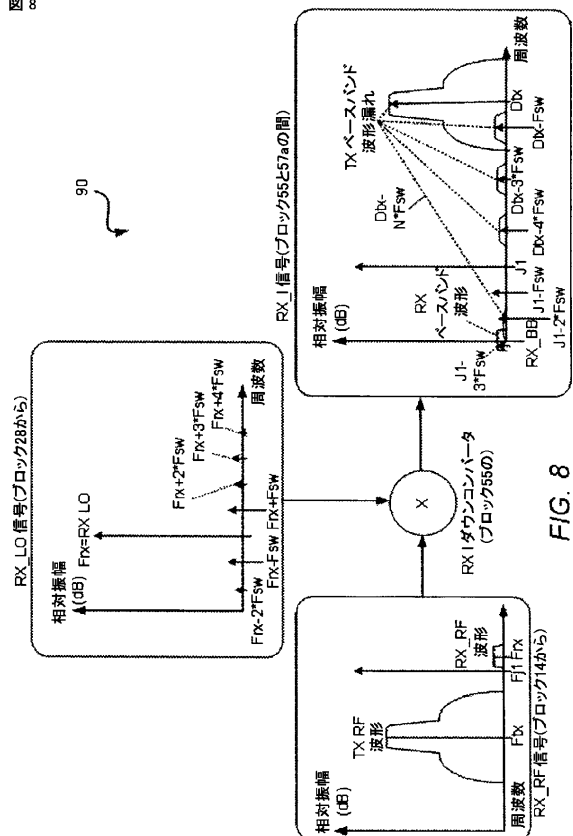


FIG. 8

【図 9】

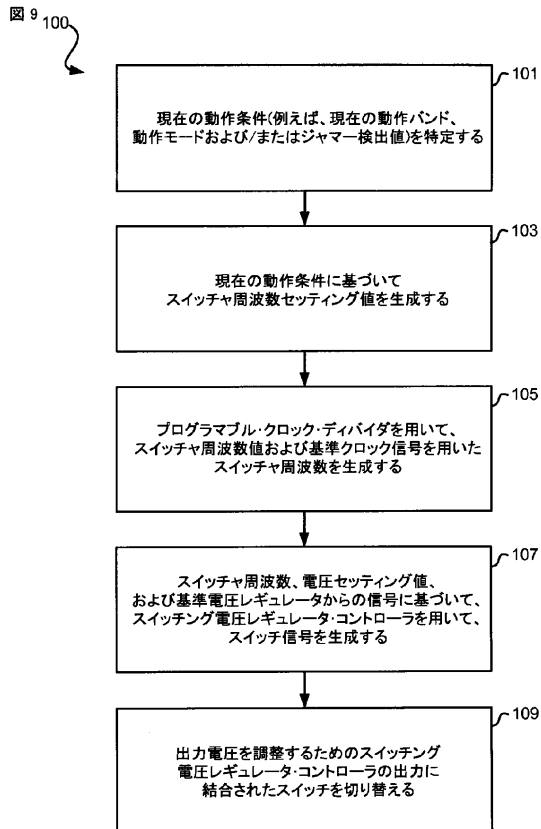


FIG. 9

【図 10】

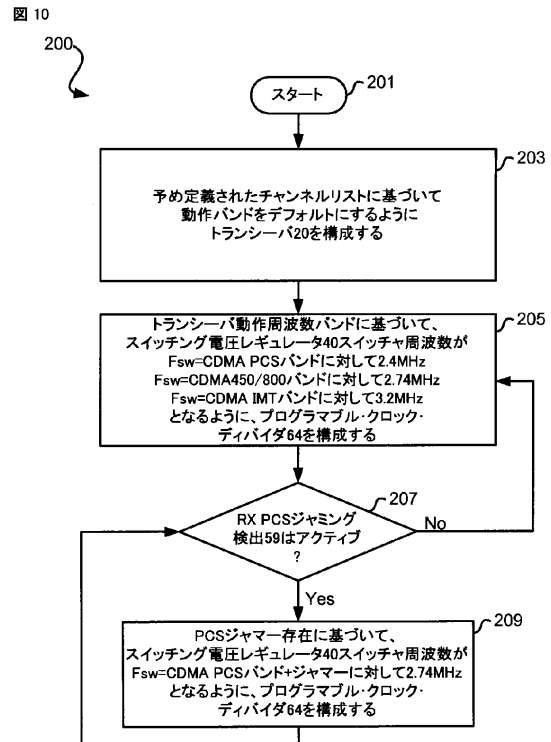


FIG. 10

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2009/066882

A. CLASSIFICATION OF SUBJECT MATTER
INV. H04B1/10 H04B15/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H02M H04B

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the International search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 02/19551 A2 (CIRRUS LOGIC INC [US]) 7 March 2002 (2002-03-07)	1-3, 10, 14-16, 20-22
Y	page 6, line 13 - line 22 figures 1-3	4-9, 11-13, 17-19, 23-25
X	WO 2004/040743 A1 (SIERRA WIRELESS INC [CA]; POURSEYED BEHROUZ [CA]; HOANG TRONG [CA]) 13 May 2004 (2004-05-13)	14
Y	paragraphs [0003], [0016] figures 1-6	7-9
	----- -/-	

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

11 March 2010

Date of mailing of the international search report

12/05/2010

Name and mailing address of the ISA/
European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Avilés Martínez, L

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2009/066882

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2004/042937 A2 (QUALCOMM INC [US]) 21 May 2004 (2004-05-21) paragraphs [0003], [0014] claims 1-3,13,14 claims 27,28 figures 1-9	4,11,17, 23
Y	WO 2005/099109 A1 (QUALCOMM INC [US]; PERSICO CHARLES J [US]; VLADIMIR APARIN [US]; WU YU) 20 October 2005 (2005-10-20) paragraph [0036] figures 1-4	4-6, 11-13, 17-19, 23-25
A	JP 11 332230 A (ALINCO INC) 30 November 1999 (1999-11-30) abstract	1-25
A	JP 2006 094656 A (SHARP KK) 6 April 2006 (2006-04-06) abstract	1-25
A	WO 2004/036331 A2 (SKYWORKS SOLUTIONS INC [US]) 29 April 2004 (2004-04-29) paragraph [0001] figures 2,3a claim 1	1-25

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US2009/066882

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

see additional sheet

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:
1-25

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

International Application No. PCT/US2009 /066882

FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

This International Searching Authority found multiple (groups of) inventions in this international application, as follows:

1. claims: 1-25

A device for generating an output voltage comprising means for generating a switcher frequency and means responsive to the switcher frequency and a reference voltage for regulating the output voltage

2. claims: 26-27

A processor comprising means for detecting a jammer detect value from a jamming detection circuit and means for generating a switcher frequency setting value associated with an operating switching frequency.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/US2009/066882

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
WO 0219551	A2	07-03-2002	AT 381814 T AU 8549101 A DE 60131989 T2 DK 1314256 T3 EP 1314256 A2 JP 2004507967 T TW 519792 B US 2004100328 A1	15-01-2008 13-03-2002 11-12-2008 05-05-2008 28-05-2003 11-03-2004 01-02-2003 27-05-2004
WO 2004040743	A1	13-05-2004	AU 2003283095 A1 US 2004090802 A1	25-05-2004 13-05-2004
WO 2004042937	A2	21-05-2004	AU 2003287410 A1 BR 0315830 A KR 20050073576 A US 2004142670 A1	07-06-2004 13-09-2005 14-07-2005 22-07-2004
WO 2005099109	A1	20-10-2005	BR PI0509601 A KR 20060132035 A US 2005221790 A1	18-09-2007 20-12-2006 06-10-2005
JP 11332230	A	30-11-1999	NONE	
JP 2006094656	A	06-04-2006	NONE	
WO 2004036331	A2	29-04-2004	AU 2003287086 A1 CN 1706103 A EP 1552618 A2 US 2004203544 A1 US 2006128325 A1	04-05-2004 07-12-2005 13-07-2005 14-10-2004 15-06-2006

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(74)代理人 100109830

弁理士 福原 淑弘

(74)代理人 100075672

弁理士 峰 隆司

(74)代理人 100095441

弁理士 白根 俊郎

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100103034

弁理士 野河 信久

(74)代理人 100119976

弁理士 幸長 保次郎

(74)代理人 100153051

弁理士 河野 直樹

(74)代理人 100140176

弁理士 砂川 克

(74)代理人 100158805

弁理士 井関 守三

(74)代理人 100124394

弁理士 佐藤 立志

(74)代理人 100112807

弁理士 岡田 貴志

(74)代理人 100111073

弁理士 堀内 美保子

(74)代理人 100134290

弁理士 竹内 将訓

(72)発明者 クウォク、サイ・シー・

アメリカ合衆国、カリフォルニア州 92121、サン・ディエゴ、モアハウス・ドライブ 5775

Fターム(参考) 5K052 AA01 BB02 DD20 EE12 FF26